

サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

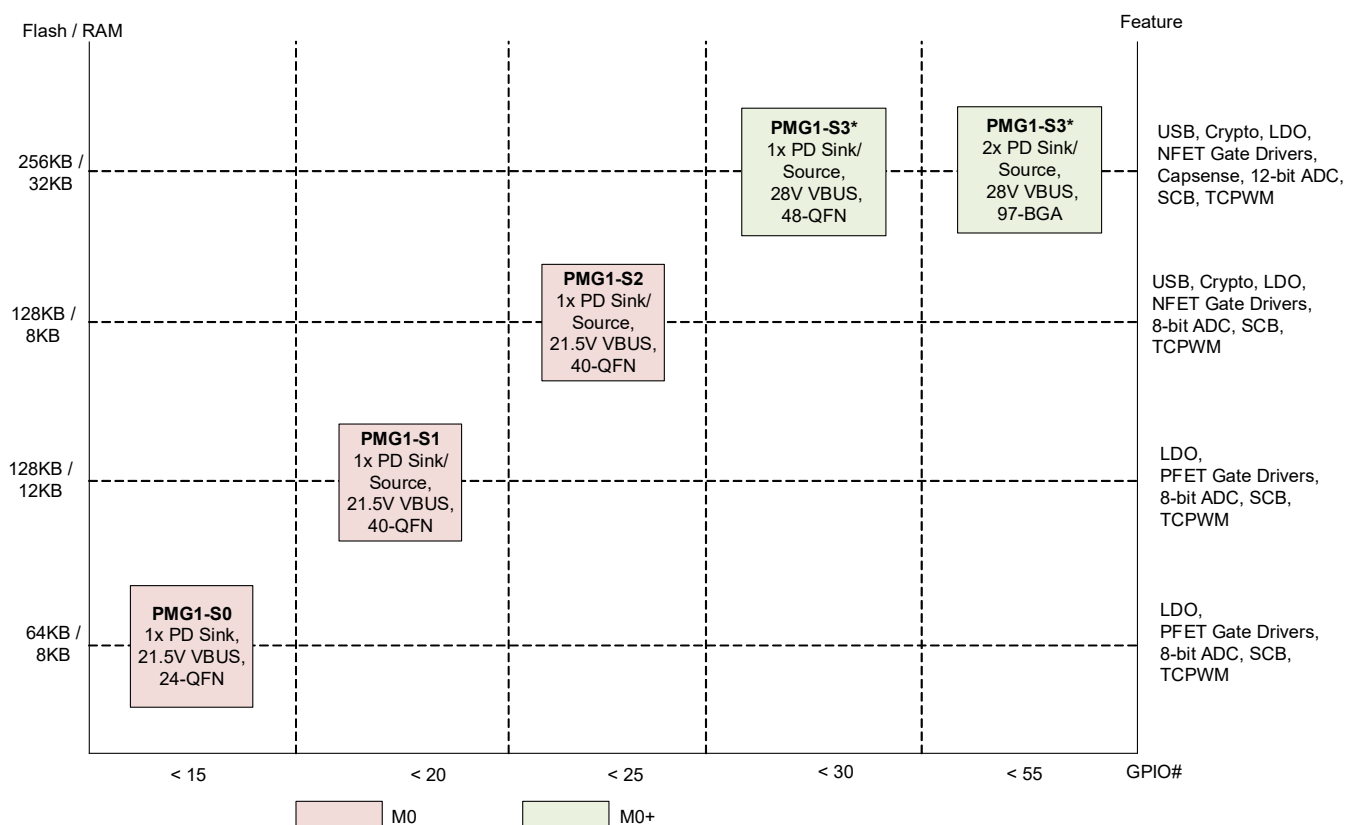
インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

第 1 世代パワー デリバリー マイクロ コントローラー

PMG1 ファミリの概要

PMG1 (第 1 世代パワー デリバリー マイクロコントローラー) は、高電圧の USB-C パワー デリバリー (PD) マイクロコントローラー (MCU) のファミリーです。これらのチップには、Arm® Cortex®-M0/M0+ CPU、USB-C PD コントローラー、およびアナログとデジタル ペリフェラルが搭載されます。PMG1 は、高電圧 USB-C PD ポートとの間で電力を供給/消費し、マイクロコントローラーを活用して追加の制御機能を提供する組み込みシステムを対象としています。図 1 に、PMG1 ファミリのセグメンテーションを示します。

図 1. PMG1 ファミリー セグメンテーション



* PMG1-S3 の詳細については、最寄りのサイプレス営業所にお問い合わせください。

表 1 に、PMG1 ファミリのさまざまな MCU の機能の比較を示します。

表 1. PMG1 ファミリのさまざまな MCU の機能の比較

サブシステム または範囲	項目	PMG1-S0	PMG1-S1	PMG1-S2	PMG1-S3*
CPU および メモリ サブシステム	コア	Arm® Cortex®-M0	Arm® Cortex®-M0	Arm® Cortex®-M0	Arm® Cortex®-M0+
	最大周波数 (MHz)	48	48	48	48
	フラッシュ (KB)	64	128	128	256
	SRAM (KB)	8	12	8	32
パワー デリバリー	パワー デリバリー ポート	1	1	1	48-QFN の場合は 1 ポート 97-BGA の場合は 2 ポート
	ロール	シンク	DRP	DRP	DRP
	MOSFET ゲート ドライバ	1x PFET	2x PFET	2x NFET	柔軟な 2x NFET
	フォールト保護	VBUS OVP および UVP	VBUS OVP、UVP、 および OCP。 SCP および RCP (ソース コンフィギュレーション のみ)	VBUS OVP、UVP、 および OCP	VBUS OVP、UVP、 および OCP。 SCP および RCP (ソース コンフィギュレーションのみ)
USB	Billboard クラスをサ ポートする統合された フルスピード USB 2.0 デバイス	無	無	有	有
電圧範囲	電源電圧 (V)	VDDD (2.7 ~ 5.5) VBUS (4 ~ 21.5)	VSYS (2.75 ~ 5.5) VBUS (4 ~ 21.5)	VSYS (2.7 ~ 5.5) VBUS (4 ~ 21.5)	VSYS (2.8 ~ 5.5) VBUS (4 ~ 28)
	IO (V)	1.71 ~ 5.5	1.71 ~ 5.5	1.71 ~ 5.5	1.71 ~ 5.5
デジタル	SCB (I2C/UART/SPI として構成可能)	2	4	4	48-QFN の場合は 7 (そのうち 5 だけを SPI およ び UART として構成可能) 97-BGA の場合は 8
	TCPWM ブロック (タイマー、カウン ター、またはパルス幅 変調器として構成可能)	4	2	4	48-QFN の場合は 7 97-BGA の場合は 8
	ハードウェア認証ブ ロック (暗号)	無	無	有 (AES-128/192/256、 SHA1、SHA2-224、 SHA2-256、 PRNG、CRC)	有 (AES-128、SHA2-256、 TRNG、ベクトル ユニット)
アナログ	ADC	2x 8 ビット SAR	1x 8 ビット SAR	2x 8 ビット SAR	2x 8 ビット SAR 1x 12 ビット SAR
	内蔵温度センサー	有	有	有	有
ダイレクト メモリ アクセス (DMA)	DMA	無	無	無	有
GPIO	I/O の最大数	12 (10 + 2 OVT)	17 (15 + 2 OVT)	20 (18 + 2 OVT)	48-QFN の場合は 26 (24 + 2 OVT) 97-BGA の場合は 50 (48 + 2 OVT)
充電規格	充電ソース	-	BC1.2、AC	BC1.2、AC	BC 1.2、AC、AFC、および Quick Charge 3.0
	充電シンク	BC 1.2、Apple Charging (AC)	BC1.2、AC	BC1.2、AC	BC1.2、AC
ESD 保護	ESD 保護	有 (最大 ±8kV の接触 放電、最大 ±15kV の 空中放電、体モデル とデバイス帯電 モデル)	有 (人体モデルとデバイス帯 電モデル)	有 (最大 ±8kV の接触 放電、最大 ±15kV の 空中放電、人体 モデルとデバイス 帯電モデル)	有 (人体モデルとデバイス帯電 モデル)

* PMG1-S3 の詳細については、最寄りの [サイプレス営業所](#) にお問い合わせください。

表 1. PMG1 ファミリのさまざまな MCU の機能の比較 (続き)

サブシステム または範囲	項目	PMG1-S0	PMG1-S1	PMG1-S2	PMG1-S3*
パッケージ	パッケージ オプション	24 ピン QFN (4 × 4mm、 0.5mm ピッチ)	40 ピン QFN (6 × 6mm、0.5mm ピッチ)	40 ピン QFN (6 × 6mm、 0.5mm ピッチ)	48 ピン QFN (6 × 6mm、0.5mm ピッチ) 97-BGA (6 × 6mm、0.5mm および 0.65mm ピッチ)

* PMG1-S3 の詳細については、最寄りの[サイプレス営業所](#)にお問い合わせください。

本書の残りの部分では、PMG1-S1 デバイスについて詳しく説明します。

PMG1-S1 の概要

PMG1-S1 は、128KB フラッシュ、すべての終端抵抗 R_p 、 R_D 、デッド バッテリ R_D を備えた完全な Type-C USB PD トランシーバ、および認証用の真性乱数発生器 (TRNG) を備えています。これは 40 ピン QFN パッケージで提供されています。

特長

USB-PD

- 最新の USB PD 3.0 仕様に対応
- 高速ロール スワップ (FRS)
- 拡張データ メッセージング

Type-C

- ダウンストリーム ポート (DFP)^[1] ロール用各種ソースとしての内蔵抵抗 (R_p)
 - 500/900mA でのデフォルト電流
 - 1.5A
 - 3A
- UFP^[2] ロールのための内蔵 R_D 抵抗
- EMCA ケーブルへの電源供給のための内蔵 VCONN FET
- 内蔵されたデッド バッテリ終端
- Type-C コネクタにおけるVBUSピンとの不慮の短絡故障から保護するために CC ピンに高電圧保護機能を備える

レガシー充電 (ソースとシンク)

- BCv1.2
- Apple

マルチプレクサ

- USB 2.0 HS データのための統合された USB2.0 アナログ マルチプレクサ

統合された VBUS ロード スイッチ コントローラー

- VBUS プロバイダ パスで最大 20V をサポート
- プロバイダ パスで外部 VBUS PFET を駆動するための、24V を許容するスルー レート制御ゲート ドライバ
- コンシューマ パスで外部 VBUS PFET を駆動するための、24V を許容するゲート ドライバ
- 構成可能なハードウェア制御の VBUS 過電圧保護 (OVP)、低電圧保護 (UVP)、過電流保護 (OCP)、短絡保護 (SCP)、および逆電流保護 (RCP)
- 5mΩ 直列抵抗を通過する電流を測定できる VBUS ハイサイド電流検出アンプ
- FRS 要求に応答して、コンシューマ PFET をオフにし、プロバイダ PFET をオン

LDO

- デッド バッテリ モード動作に最大 21.5V で動作する統合高電圧 LDO

32 ビット MCU サブシステム

- 48MHz ARM Cortex-M0 CPU
- 128KB フラッシュ
- 12KB SRAM

内蔵デジタル ブロック

- USB-PD プロトコルが必要とする応答時間要件を満たす統合された 2 個のタイマー / カウンター
- I²C、SPI、または UART 機能を備えた、実行時に再構成可能な 4 個のシリアル通信ブロック (SCB)

認証

- 真性乱数発生器

クロックおよび発振器

- 内蔵発振器により外部クロックが不要

動作範囲

- VSYS (2.75V ~ 5.5V)
- VBUS (4.0V ~ 21.5V)

ホットスワップ可能な I/O

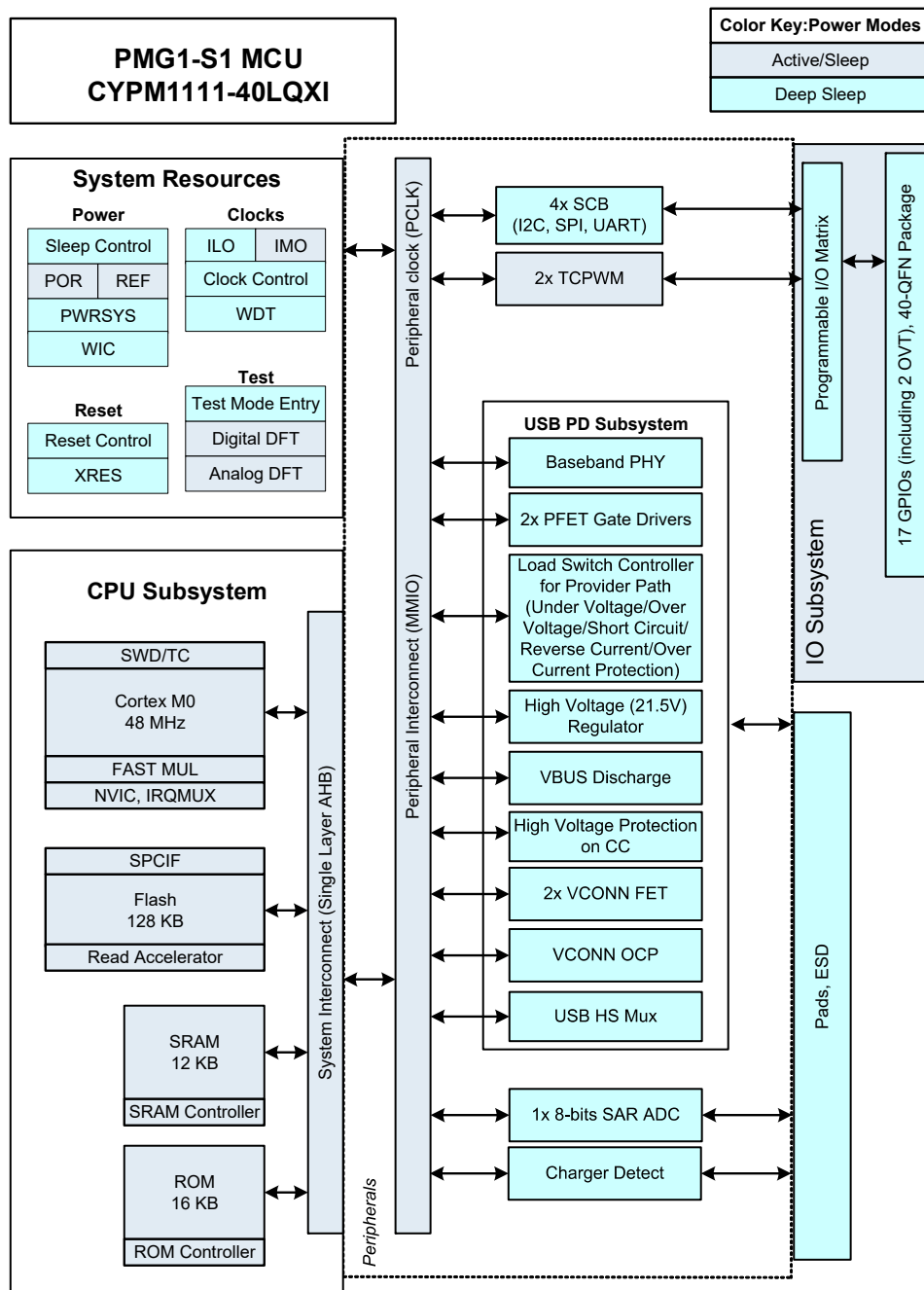
- SCB1 からの I²C ピンはホットスワップ可能

パッケージ

- 6.0mm×6.0mm、0.5mm、40 ピン QFN
- 産業用温度範囲 (-40°C ~ +85°C) に対応

注:

1. DFP はパワー ソースを意味します。
2. UFP はパワー シンクを意味します。

ブロック図


目次

開発サポート	7	注文情報	34
ドキュメント	7	注文コードの定義	34
オンライン	7	パッケージ	35
ツール	7	略語	36
ModusToolbox™ IDE および PMG1 SDK	8	本書の表記法	38
機能概要	9	測定単位	38
USB-PD サブシステム (SS)	9	改訂履歴	39
真性乱数発生器	11	販売、ソリューションおよび法律情報	40
CPU およびメモリ サブシステム	12	ワールドワイド販売と設計サポート	40
ペリフェラル	12	製品	40
タイマー／カウンタ／PWM (TCPWM) ブロック	12	PSoC® ソリューション	40
GPIO	12	サイプレス開発者コミュニティ	40
電源システム概要	13	テクニカル サポート	40
ピン配置	14		
アプリケーション図	17		
電氣的仕様	19		
絶対最大定格	19		
デバイス レベルの仕様	20		
デジタル ペリフェラル	23		
システム リソース	25		

開発サポート

PMG1 ファミリーには、開発プロセスを支援する豊富なドキュメント、開発ツールおよびオンライン リソースが用意されています。詳細については、www.cypress.com/products/ez-pd-pmg1 をご覧ください。

ドキュメント

PMG1 ファミリーをサポートするドキュメント一式により、ユーザーは疑問点に対する答えを素早く見つけられます。重要なドキュメントのいくつかをここにリストアップします。

ソフトウェア ユーザー ガイド : ModusToolbox™ (MTB) の使用に関する段階を追った手引き書です。ソフトウェア ユーザー ガイドには、MTB によるビルド プロセスの詳細、MTB を用いたソース制御の使い方などが記載されています。

コンポーネント データシート : PMG1 の柔軟性によって、デバイスが量産に入ってから長い期間の後でも新しいペリフェラル (コンポーネント) を作成できます。コンポーネント データシートには、機能説明、API ドキュメント、推奨サンプルコード、AC/DC 仕様を含む、特定のコンポーネントの選択および使用に必要な情報がすべて記載されています。

アプリケーション ノート : 入門のアプリケーション ノートとハードウェア設計ガイドラインが含まれます。

テクニカル リファレンス マニュアル : テクニカル リファレンス マニュアル (TRM) には、すべての PMG1 レジスタの詳細な説明など、PMG1 デバイスを使用する際に必要な技術的詳細がすべて記載されています。TRM は www.cypress.com/products/ez-pd-pmg1 の「Documentation」セクションにあります。

オンライン

印刷された資料のほかに、[サイプレス PMG1 フォーラム](#)によって 24 時間 365 日、世界中の他のユーザーや PMG1 の専門家と連絡がとれます。

ツール

業界標準のコア、プログラミングおよびデバッグ インターフェースを備えた PMG1 ファミリーは、開発ツール エコシステムの一部です。

革新的で使いやすい ModusToolbox IDE、サポートされるサードパーティーのコンパイラ、プログラマ、デバッグおよび開発キットの最新情報については、Web サイト

<https://www.cypress.com/products/modus-toolbox-software-environment> をご覧ください。

ModusToolbox™ IDE および PMG1 SDK

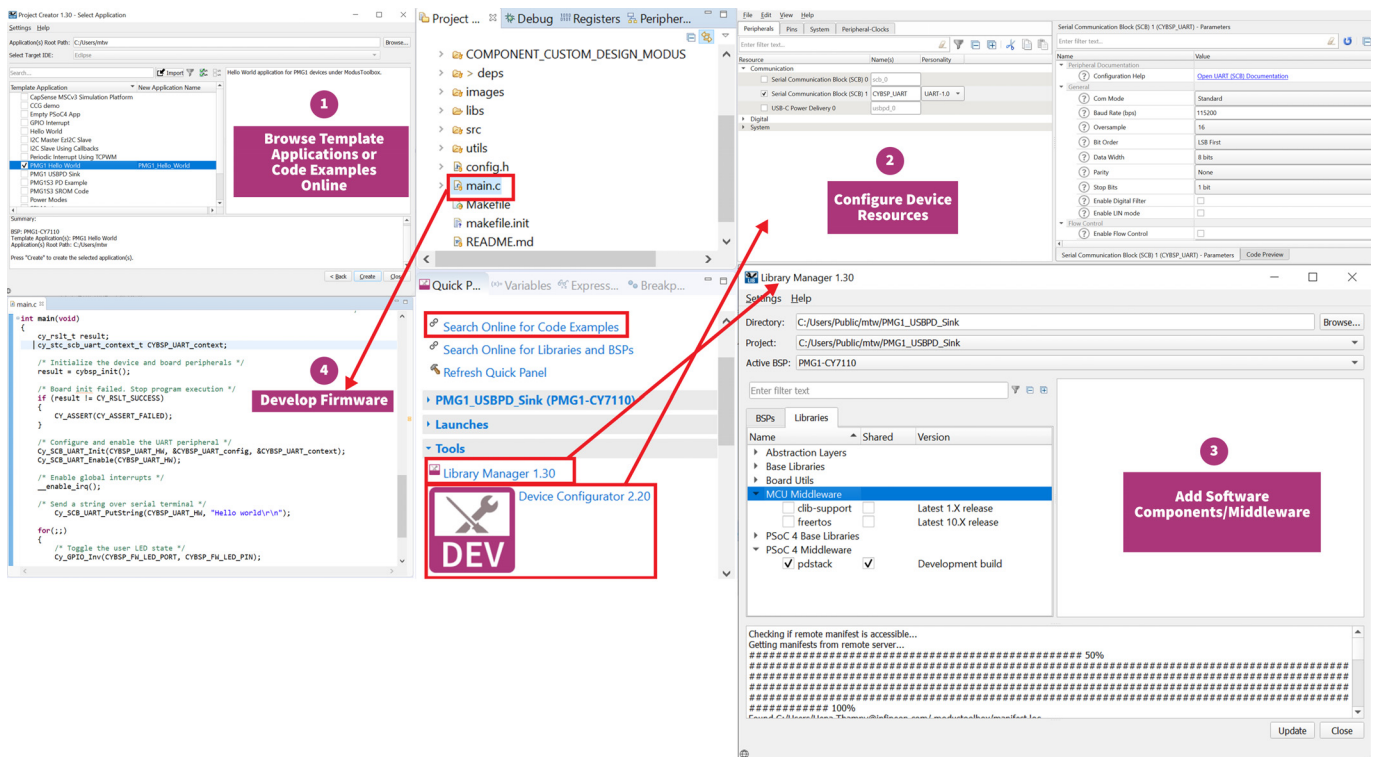
ModusToolbox は、Windows、macOS、および Linux プラットフォームで実行される Eclipse ベースの開発環境であり、ModusToolbox IDE と PMG1 SDK を含みます。ModusToolbox IDE はアプリケーションを構築するために、いくつかのデバイスリソース、ミドルウェアおよびファームウェアを組み合わせます。ModusToolbox を使用すると、デバイスリソースとミドルウェアライブラリを有効にして構成し、C/C++/アセンブリのソースコードを記述し、デバイスをプログラムしてデバッグできます。

PMG1 SDK は PMG1 MCU ファミリー向けのソフトウェア開発キットです。SDK を使用すると、デバイスリソースの複雑さを理解しなくても、サポートされているデバイスのファームウェアを簡単に開発できます。

サイプレス ツールの使用の詳細については、ModusToolbox を使用する PMG1 MCU 入門のアプリケーション ノートと、ModusToolbox に統合されたドキュメントおよびヘルプを参照してください。図 2 に示すように、ModusToolbox IDE を使用すると、以下のことができます。

1. キットまたはデバイスでフィルタリングされるテンプレートアプリケーションのリストに基づいて新しいアプリケーションを作成するか、サンプルコードのコレクションをオンラインで閲覧します。
2. Device Configurator でデバイスリソースを構成して、ワークスペースでハードウェアシステム設計を構築します。
3. ソフトウェアコンポーネントまたはミドルウェアを追加します。
4. アプリケーションファームウェアを開発します。

図 2. ModusToolbox IDE のリソースとミドルウェア



機能概要

USB-PD サブシステム (SS)

USB-PD 物理層

PMG1-S1 USB-PDサブシステムは、図3に示すように、USB-PD 物理層 (PHY) ブロックとサポート回路で構成されています。PHY は、PD 3.0 仕様に基づいて CC チャンネルを介して BMC および 4b/5b 符号化 / 復号されたデータを通信するトランスミッタとレシーバから成ります。すべての通信は半二重です。PHY はチャンネル上の通信エラーを最小限に抑えるために衝突回避を実行します。

さらに、PMG1-S1 USB-PD ブロックには、USB Type-C 仕様で要求されるすべての終端抵抗 (R_P および R_D) とそれらのスイッチが含まれています。 R_P および R_D 抵抗は、接続検出、プラグ方向検出、および USB ソース / シンクのロールの確立に必要です。

統合された R_P 抵抗により、PMG1-S1 をソースとして構成できます。 R_P 抵抗は電流ソースとして実装され、USB Type-C 仕様で定義されているVBUSの電流容量の全範囲をサポートするようにプログラムできます。

R_D 抵抗は、PMG1-S1 をデュアル ロール パワー (DRP) アプリケーションでシンクとして識別するために使用されます。デバイスに電力が供給されていないとき、バッテリー切れの検出と充電のためにCCピン上のデッド バッテリー R_D 抵抗が必要です。

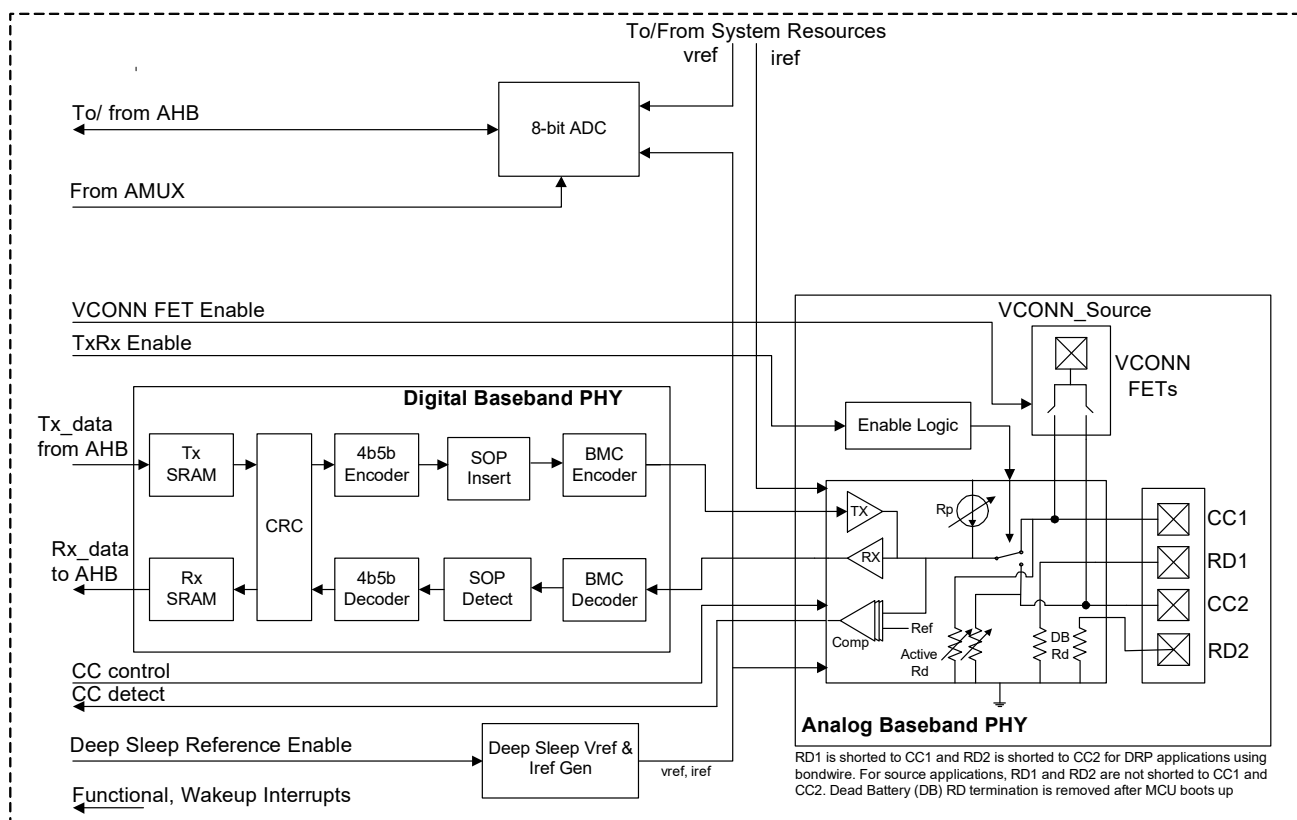
最新の USB-PD 3.0 仕様をサポートするために、PMG1-S1 には高速ロール スワップ (FRS) が備えられています。FRS 機能を使用すると、外部電源が取り外されたときに、外部電源のドックとハブをバス電源にすばやく切り替えられます。

FRSの詳細は、[USB-PD 3.0 仕様](#)の6.3.19 セクションを参照してください。

PMG1-S1 は、USB パワー デリバリー仕様のリビジョン 3.0 およびリビジョン 2.0 と完全に相互運用できるように設計されています。

PMG1-S1 は、最大 260 バイトのデータを含む拡張メッセージをサポートします。拡張メッセージは、USB-PD 2.0 ハードウェアで予想されるよりも大きくなります。リビジョン 2.0 ベースのシステムに対応するために、両方のシステムがより長いメッセージ長をサポートしていることが検出されない限り、メッセージがリビジョン 2.0 のサイズに制限されるようにチャンキングメカニズムが実装されています。

図 3. USB-PD サブシステム



VCONN FET

PMG1-S1 には、内蔵 VCONN FET を介して EMCA ケーブルに電力供給するための電源入力 VCONN Source があります。CC1 ピンまたは CC2 ピンのいずれかに電力を供給する 2 個の VCONN FET があります。これらの FET は、アクティブな EMCA ケーブルの CC1 ピンと CC2 ピンで VCONN を介して 1.5W の電力を供給できます。PMG1-S1 は、VCONN での過電流保護 (OCP) も備えられています。

ADC

USB-PD サブシステムには、1 個の 8 ビット 125ksps 逐次比較レジスタ アナログ - デジタル変換器 (SAR ADC) があります。その ADC は 8 ビット DAC とコンパレータを含みます。DAC 出力はコンパレータの非反転入力となります。コンパレータの反転入力、4 入力マルチプレクサからのものです。マルチプレクサの 4 本の入力は、1 対のグローバル アナログ マルチプレクサバス、内部バンドギャップ電圧、および絶対温度に比例する内部電圧です。チップ上のすべての GPIO は、チップ全体のアナログ マルチプレクサバスを介して ADC にアクセスできます。CC1 と CC2 のピンはマルチプレクサバスに接続できません。

USB 2.0 マルチプレクサ

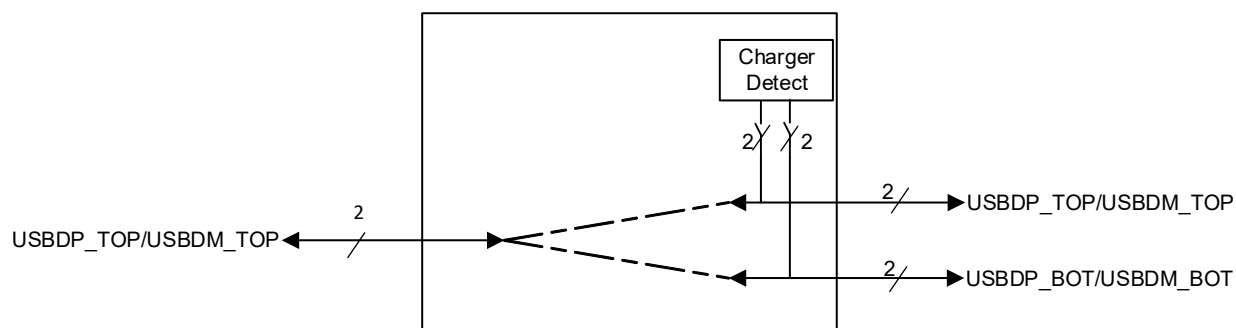
HS マルチプレクサには、CC (Type-C プラグ) の向きに基づいて、システムの DP および DM のラインを Type-C の上部または下部のポートにルーティングするための 2×1 クロスバースイッチが含まれています。

USB 2.0 マルチプレクサには、USB BC1.2 および Apple の終端を検出するための充電器検出 / エミュレーションも含まれています。充電器検出ブロックは、図 4 に示すように、システムから DP および DM に接続されます。

十分なマージンを持って HS アイダイアグラムの要件を満たすために、以下のガイドラインに従ってください。

- USB HS 信号の配線長の合計を 4 インチに維持する (USB 2.0 ホストから PMG1-S1 まで、PMG1-S1 から Type-C コネクタピンまで)
- USB 2.0 ホストの駆動強度の調整により、USB HS 信号の配線長の合計を最大 8 インチまで増やすことができる
- DP/DM 信号配線間の差動インピーダンスは 90Ω であること
- 配線幅は 6mil であること
- エアギャップ (配線間の距離) は 8mil であること

図 4. DP/DM スイッチ ブロック図



VBUS 放電

PMG1-S1 には VBUS 放電回路も組み込まれています。これは、デタッチ条件または負の電圧遷移時に USB-PD 仕様のタイミングを満たすように、VBUS の放電のために使用されます。

VBUS レギュレータ

PMG1-S1 は VSYS および VBUS の 2 つの電源で動作できます。PMG1-S1 は、レギュレータ (最大 21.5V をサポート) を統合して、動作電源電圧を生成します。VSYS は常に VBUS よりも優先されます。VSYS がいない場合、レギュレータは VBUS から PMG1-S1 に電力を供給します。

コンシューマバス上の VBUS PFET のゲートドライバ

PMG1-S1 には、VBUS コンシューマバス上の外部 PFET を駆動するための統合 PFET ゲートドライバを備えています。このゲートドライバは LOW または High-Z の駆動のみが可能であり、外付けプルアップ抵抗が必要です。このピンは VBUS 電圧に耐えられます。

充電検出

PMG1-S1 は、USB BC1.2 と Apple 充電のために、バッテリー充電のエミュレーションと検出を統合します。

高電圧耐性 CC ライン

このチップは、高電圧耐性 CC ラインに対応しています。コネクタで VBUS に CC が短絡している場合、これらのラインは内部で保護されます。

プロバイダバス用の VBUS ロードスイッチコントローラ

ロードスイッチコントローラは、VBUS プロバイダバスで最大 20V をサポートします。

RCP

PMG1-S1 は、10μs 以上続く逆電流を検出する機能を備えた逆電流保護 (RCP) 回路を統合し、そのようなイベントの検出時にゲートを自動的にシャットダウンすることによってシステムを保護します。

PMG1-S1 は、コネクタ VBUS_C からプロバイダ VBUS_P への逆電流を検出できる RCP 回路を提供します。

RCP イベントは、プロバイダ FET がオンのときに VBUS_C > VBUS_P の場合に認識され、コネクタ VBUS からプロバイダ VBUS に電流が流れます。RCP イベントを認識した後、プロバイダ FET がシャットダウンされ、プロバイダとコネクタ VBUS が分離されます。

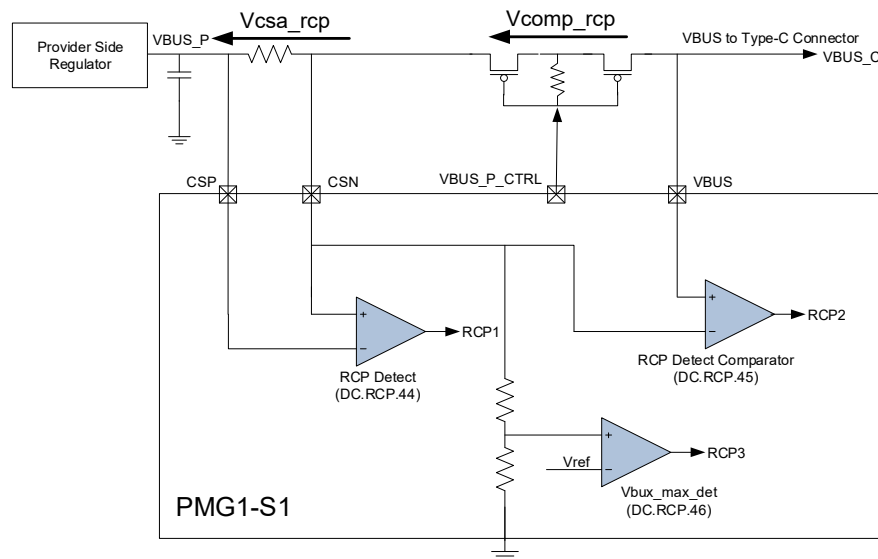
PMG1-S1 には、図 5 に示すように、逆電流を検出する 3 つの異なるメカニズムがあります。

- **メカニズム 1:** コンパレータは、ピン CSP および CSN を介して外部 Rsense の両端の電圧降下を検出します。このコンパレータが、表 33 に示す V_{csa_rcp} 電圧により $CSN > CSP$ となる場合は常に、RCP イベントを通知します。このコンパレータの出力は RCP1 として図 5 に示されています。
- **メカニズム 2:** コンパレータは、PMG1-S1 の CSN および VBUS のピンを介してプロバイダ FET の両端の電圧降下を検出します。このコンパレータが、表 33 に示された V_{comp_rcp} 電圧により $VBUS > CSN$ となる場合は常に、RCP イベントを通知します。このコンパレータの出力は、RCP2 として図 5 に示されています。

- **メカニズム 3:** コンパレータは CSN ピンの電圧の 20% を検出し、5V プロバイダ VBUS アプリケーションの ($V_{ref} = 1.15V$) と比較します。このコンパレータは、CSN 電圧が 5V アプリケーションとして表 33 に示された $V_{bus_max_det}$ 電圧を超えると、RCP イベントを通知します。このコンパレータの出力は RCP3 として図 5 に示されています。注: V_{ref} はプログラム可能であり、分圧器には 10% または 20% の値を使用するオプションがあります。プロバイダの電圧が高い場合、VBUS デバイスはこの閾値を自動的に調整します。

3 つのコンパレータ出力のいずれかが RCP イベントを示すと、プロバイダ FET がオフになります。アプリケーションに応じて個々のメカニズムを有効または無効にするファームウェアのオプションがあります。

図 5. RCP メカニズム



CSA

PMG1-S1 チップには、プロバイダパス上の 5mΩ 外付け抵抗を通過する約 100mA の電流を検出できるハイサイド電流検出アンプが組み込まれています。これは、電流負荷を監視し、Type-C ポートのシンクに VBUS を供給しているときに OCP や SCP などのシステム障害を検出するために使用されます。これにより、PD コントローラはプロバイダ FET をシャットダウンしてデバイスを保護できます。

スルー レート制御可能なゲート ドライバ

PMG1-S1 には、プログラム可能なスルー レート制御可能なゲートドライバがあり、接続イベント中の突入電流を制限するのに役立ちます。

VBUS 過電圧と低電圧保護

PMG1-S1 は、VBUS 電源用の低電圧 / 過電圧 (UVOV) 検出回路を実装しています。OV および UV 検出の閾値は個別に設定できます。UV 検出器および OV 検出器の閾値はプログラム可能であり、ファームウェアによって制御されます。OV コンパレータへの入力、VBUS 電源電圧とリファレンス電圧の除算 (8%

または 10%) です。リファレンス電圧は、10mV のステップで 200mV ~ 2190mV の範囲で構成できます。

UV コンパレータへの入力、VBUS 電源電圧とリファレンス電圧の除算 (10% または 20%) です。リファレンス電圧は、10mV のステップで 200mV ~ 2190mV の範囲で構成できます。

VBUS 過電流保護

PMG1-S1 は、ハイサイド電流検出アンプを統合して、VBUS 上の過電流を検出します。VBUS 負荷は、CSP ピンと CSN ピンの間に接続された外付け 5mΩ 検出抵抗を使用して検出され、OCP 検出器の閾値と比較されます。OCP 検出器の閾値はプログラム可能であり、ファームウェアによって制御されます。

真性乱数発生器

PMG1-S1 は、乱数を生成するための真性乱数発生器 (TRNG) をサポートしています。乱数は、USB Type C 認証仕様 (USBTCAS) のイニシエーター実装の一部としてランダム チャレンジを生成するために使用できます。

CPU およびメモリ サブシステム

CPU

PMG1-S1 の Cortex-M0 CPU は 32 ビット MCU サブシステムの一部であり、広範なクロックゲーティングに対応した低消費電力動作に最適化されています。

また、CPU は 2 線式 JTAG のシリアル ワイヤ デバッグ (SWD) インターフェースも備えています。PMG1-S1 に使用するデバッグ コンフィギュレーションには、4 個のブレークポイント (アドレス) コンパレータと 2 個のウォッチポイント (データ) コンパレータがあります。

フラッシュ

PMG1-S1 デバイスは、フラッシュ ブロックからの平均アクセス時間を改善するために、CPU に密結合されたフラッシュ アクセラレータを備えた 128KB フラッシュ モジュールを持っています。フラッシュ ブロックは、48MHz で 2 ウェイトステート (WS) アクセス時間を提供するように設計されます。フラッシュ アクセラレータは、シングル サイクル SRAM のアクセス性能の平均 85% を達成します必要に応じて、EEPROM 動作をエミュレートするためにフラッシュ モジュールの一部を使用できます。

SRAM

ブートおよびコンフィギュレーション ルーチンを含む監視 ROM が提供されます。

SRAM

PMG1-S1 は、12KB SRAM に対応します。

ペリフェラル

PMG1-S1 は 4 個の SCB を内蔵しています。それぞれは I²C、UART、または SPI インターフェースを実装できます。

I²C モード：ハードウェア I²C ブロックは完全なマルチマスターとスレーブ インターフェースを実装します (マルチマスターアービトラレーションが可能)。このブロックは最大 1Mbps (ファースト モード プラス) で動作でき、CPU 用の割り込みオーバヘッドとレイテンシを削減するためにバッファリング オプションを柔軟に選択できます。FIFO モードはすべてのチャネルに対応し、DMA が無い場合に非常に有用です。

I²C ペリフェラルは NXP I²C バスの仕様とユーザー マニュアル (UM10204) で定義されているとおりに I²C 標準モード、ファースト モード、およびファースト モード プラスのデバイスと互換性があります。I²C バス I/O は、オープンドレイン モードの GPIO を使って実装されます。I²C バスは、すべてのノードに接続されたクロックおよびデータ用のバスにプルアップ抵抗を備えたクロックおよびデータ用オープン ドレイン ドライバを使用します。異なる I²C 速度に対応する必要な立ち上りおよび立ち下り時間は、VDD、バス容量および抵抗の許容誤差に依存する適切なプルアップ抵抗値を使用することによって保証されます。

設計に最適なプルアップ抵抗値を計算する方法の詳細は、UM10204 I²C バスの仕様とユーザー マニュアルを参照してください (最新リビジョンは www.nxp.com で入手できます)。

PMG1-S1 は、以下の点では I²C 仕様に完全には準拠していません。

- SCB1 のみが過電圧耐性があります。SCB2、SCB3 および SCB4 の GPIO セルは、過電圧耐性がないため、I²C システムの残りの部分から独立してホットスワップや電源投入できません。

- ファースト モード プラスの I_{OL} 仕様は、V_{OL} 0.4V で 20mA です。GPIO セルは V_{OL} 最大値 0.6V で I_{OL} 最大値は 8mA です。
- ファースト モードとファースト モード プラスは、GPIO セルで満たせない最小立ち下り時間の仕様があります。低速スロッシング モードはバス負荷によってはこの仕様を満たすことがあります。

UART モード：最大 1Mbps で動作するフル機能の UART です。基本 UART プロトコルから少し発展した車載向けシングルワイヤ インターフェース (LIN)、赤外線インターフェース (IrDA)、SmartCard (ISO7816) プロトコルに対応しています。また、共通の RX と TX ラインを介して接続したペリフェラルのアドレス指定を可能にする 9 ビット マルチプロセッサ モードに対応しています。パリティ エラー、ブレーク検出、フレーム エラーなどの一般的な UART 機能に対応しています。深さ 8 ビットの FIFO は、非常に大きい CPU サービス レイテンシを許容できるようにします。

SPI モード：SPI モードは Motorola SPI、TI SSP (SPI コデックの同期化用の開始パルスを本質的に追加)、National Microwire (半二重の SPI) に完全に対応しています。SPI ブロックは FIFO を使用できます。

タイマー/カウンタ/PWM (TCPWM) ブロック

PMG1-S1 には 2 個の TCPWM ブロックがあります。各 TCPWM ブロックは、ユーザーがプログラム可能な周期長の 4 個の 16 ビット カウンターから成ります。キャプチャ レジスタは、I/O イベントなどのイベントのときにカウント値を記録します。周期レジスタは、カウンターのカウントが周期レジスタのカウントに等しくなるときにカウントを停止、または自動的にリロードします。比較レジスタは、PWM デューティ比の出力として使用される比較値信号を生成します。ブロックは真出力とコンプリメンタリー出力 (それらの間のオフセットがプログラム可能) も提供しており、これらをプログラム可能なデッドバンド付きコンプリメンタリー PWM 出力として使用することを可能にします。また、出力を事前に決定された状態に移行させるキル (Kill) 入力もあります。たとえば、モータ駆動システムでは、過電流状態が示され、FET を駆動している PWM をソフトウェア介入なしに直ちに止める必要があるとき、キル入力を使用されます。

GPIO

PMG1-S1 には、GPIO として使用可能な SCB および SWD ピンを含む 17 個の GPIO があります。SCB1 のみの I²C ピンは、過電圧耐性があります。GPIO ブロックは以下を実装します。

- 7 つの駆動強度モード：
 - 入力のみ
 - 弱プルアップ、強プルダウン
 - 強プルアップ、弱プルダウン
 - オープンドレイン、強プルダウン
 - オープンドレイン、強プルアップ
 - 強プルアップ、強プルダウン
 - 弱プルアップ、弱プルダウン
- 入力閾値選択 (CMOS または LVTTTL)
- 駆動強度モード以外に、入力と出力バッファのイネーブル / ディセーブルの個別制御
- 前の状態をラッチするための保持モード (ディープスリープモードで I/O 状態を維持するため)
- EMI を改善するための dV/dt 関連のノイズ制御用の選択可能なスルーレート

ピンは、8 ビット幅のポートと呼ばれる論理エンティティに構成されています。電源投入とリセットの間、入力に過電流を与えず、過剰なターンオン電流を発生させないために、ブロックは無効状態にされます。高速 I/O マトリックスとして知られている多重化ネットワークは、1 本の I/O ピンに接続され得る複数の信号間を多重化するために使用されます。固定機能ペリフェラルのピン位置は、内部多重化の複雑さを減少させるために固定されています。

データ出力とピン ステート レジスタそれぞれはピン上で駆動される値とそれらのピンの状態を格納します。各 I/O ピンは有効になった場合に割り込みを生成できます。各 I/O ポートには、割り込み要求 (IRQ) とそれに対応する割り込みサービス ルーチン (ISR) のペアがあります (PMG1-S1 の場合、6 ポートがあるため、ペア数は 6 です)。

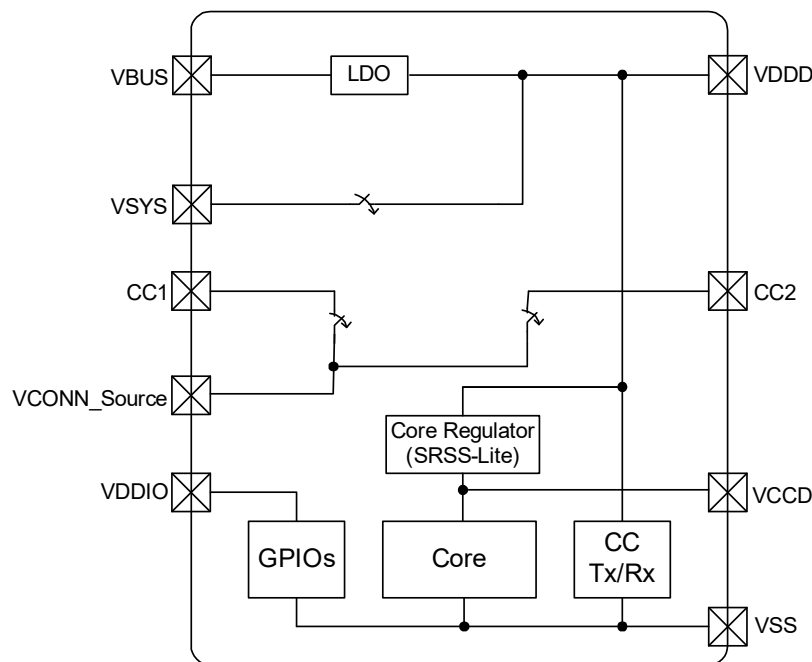
電源システム概要

図 6 に、PMG1-S1 の電源システムの概要を示します。PMG1-S1 は、VBUS (4V ~ 21.5V) または VSYS (2.75V ~ 5.5V) の外部電源から動作できます。VBUS 電源電圧は LDO によってチップ内で安定化されます。スイッチング電源 VDDD は、一部のアナログブロック内で直接使用され、コアの大部分に電源を供給する VCCD にさらに降圧されます。PMG1-S1 は 2 つの電力モード (アクティブおよびディープスリープ) があります。これらの消費電力モード間の遷移は電源システムによって管理されます。GPIO には、個別のパワー ドメイン VDDIO が提供されます。レギュレータの出力である VDDD ピンと VCCD ピンは、レギュレータの安定性のみを目的として、それぞれ 1 μ F と 0.1 μ F のコンデンサを接続するために引き出されています。VCCD ピンは電源としてサポートされていません。VDDD は、外部負荷用に 2mA (Max) を供給できます。PMG1-S1 では、VDDD は PCB 上の VDDIO に短絡されます。

表 2. PMG1-S1 電力モード

モード	説明
リセット	電源が有効および XRES はアサートされていない。内部リセット ソースはアサートされたか、またはスリープ コントローラーがシステムをリセット状態から起動している
アクティブ	電源が有効および CPU が命令を実行している
ディープスリープ	主レギュレータおよびほとんどのブロックがオフにされる。ディープ スリープ レギュレータがロジックに電源を供給するが、低速クロックのみ利用可能

図 6. PMG1-S1 電力モード



ピン配置

表 3. CYPM1111-40LQXI ピン配置

グループ	40 ピン QFN	ピン名	説明
GPIO および シリアル イン ターフェース	2	P1.0 / SWD_CLK / UART_2_RX / SPI_2_SEL	GPIO / SWD クロック / UART_2_RX / SPI_2_SEL
	3	P1.1 / UART_2_TX / SPI_2_MOSI / I2C_2_SDA	GPIO / UART_2_TX / SPI_2_MOSI / I2C_2_SDA
	4	P1.2 / UART_2_CTS / SPI_2_MISO / I2C_2_SCL	GPIO / UART_2_CTS / SPI_2_MISO / I2C_2_SCL
	5	P1.3 / UART_2_RTS / SPI_2_CLK	GPIO / UART_2_RTS / SPI_2_CLK
	6	P1.4 / SWD_IO	GPIO / SWD IO
	13	P2.0 / UART_4_CTS / SPI_4_SEL / I2C_4_SCL	GPIO / UART_4_CTS / SPI_4_SEL / I2C_4_SCL
	14	P2.1 / UART_4_RTS / SPI_4_MOSI / I2C_4_SDA	GPIO / UART_4_RTS / SPI_4_MOSI / I2C_4_SDA
	15	P2.2 / UART_1_CTS /	GPIO / UART_1_CTS / SPI_1_SEL
	16	P5.0 / UART_1_RTS / SPI_1_MOSI / I2C_1_SDA	GPIO / UART_1_RTS / SPI_1_MOSI / I2C_1_SDA
	17	P5.1 / UART_1_TX /	GPIO / UART_1_TX / SPI_1_MISO / I2C_1_SCL
	18	P3.0 / UART_1_RX /	GPIO / UART_1_RX / SPI_1_CLK
	20	P3.1 / UART_3_CTS /	GPIO / UART_3_CTS / SPI_3_SEL / I2C_3_SDA
	21	P3.2 / UART_3_RTS / SPI_3_MOSI / I2C_3_SCL	GPIO / UART_3_RTS / SPI_3_MOSI / I2C_3_SCL
	29	P4.0 / UART_3_TX / SPI_3_MISO	GPIO / UART_3_TX / SPI_3_MISO。未使用の場合、フローティングのままにする
	30	P4.1 / UART_3_RX / SPI_3_CLK	GPIO / UART_3_RX / SPI_3_CLK。未使用の場合、フローティングのままにする
	38	P0.0 / UART_4_TX / SPI_4_MISO	GPIO / UART_4_TX / SPI_4_MISO。未使用の場合、フローティングのままにする
	39	P0.1 / UART_4_RX / SPI_4_CLK	GPIO / UART_4_RX / SPI_4_CLK。未使用の場合、フローティングのままにする
USB Type-C	9	CC1	Type-C CC1 ピンに接続。GND に接続した 390pF コンデンサでノイズをフィルタリング
	7	CC2	Type-C CC2 ピンに接続。GND に接続した 390pF コンデンサでノイズをフィルタリング
マルチプレクサ / スイッチ	23	USBDP_SYS	ホスト側から USB 2.0 DP に接続
	24	USBDM_SYS	ホスト側から USB 2.0 DM に接続
	25	USBDM_BOT	Type-C D- ボトム ピンに接続。配線長を 2 インチ未満に維持
	26	USBDP_BOT	Type-C D+ ボトム ピンに接続。配線長を 2 インチ未満に維持
	27	USBDM_TOP	Type-C D- トップ ピンに接続。配線長を 2 インチ未満に維持
	28	USBDP_TOP	Type-C D+ トップ ピンに接続。配線長を 2 インチ未満に維持
VBUS	11	VBUS_P_CTRL	プロバイダ側を有効/無効にするためのスルー レート制御 I/O PFET 0: パスがオン High Z: パスがオフ
	12	VBUS_C_CTRL	コンシューマ側 PFET を有効/無効にするためのピン 0: パスがオン High Z: パスがオフ

表 3. CYPM1111-40LQXI ピン配置 (続き)

グループ	40 ピン QFN	ピン名	説明
VBUS OCP / SCP / RCP	1	CSP	電流検出正入力 このピンを CSN ピンよりも高い電位に接続
	40	CSN	電流検出負入力
リセット	10	XRES	リセット入力 (アクティブ LOW)
電源	8	VCONN_Source	EMCA ケーブルに電力を供給する 4.85V ~ 5.5V の電源入力。低インピーダンス スイッチを使用して CC1 または CC2 に接続。 UFP / シンク専用アプリケーションは NA
	19	VSYS	PD サブシステムおよびシステム リソース用の電源入力 (2.75V ~ 5.5 V)
	22	VBUS	3.3V レギュレータへの VBUS 電源入力 (4V ~ 21.5V)。このピンは、内部ブルダウン抵抗を使用して VBUS を放電し、過電圧および低電圧状態のモニタも備える
	31	VDDD	3.3V レギュレータへの VBUS 出力、またはスイッチを使用して VSYS に接続。GND に接続したコンデンサでバイパス。このピンは 2mA の外部負荷を駆動可能。
	32	VDDIO	I/O 用の 1.71V ~ 5.5V 電源
	33	VCCD	フィルター コンデンサ用の 1.8V レギュレータ出力。このピンは外部負荷を駆動不可。
GND	EPAD	VSS	グラウンド
NC	34	NC	未接続
	35	NC	未接続
	36	NC	未接続
	37	NC	未接続

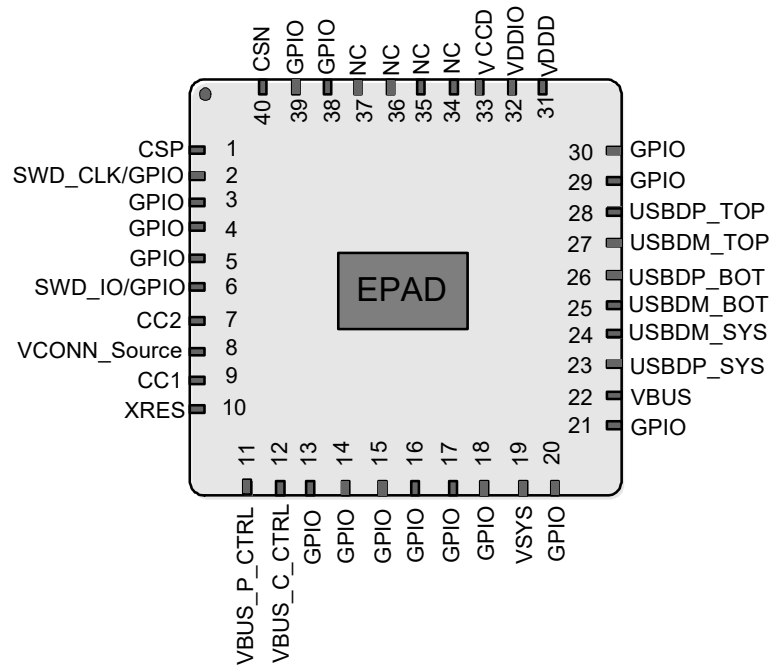
表 4 は、シリアル インターフェースのさまざまな構成オプションを提供します。

表 4. SCB およびそれらの機能

ポート	40 ピン QFN	SCB 機能			GPIO 機能
		UART	SPI	I2C	
P5.0	16	UART_1_RTS	SPI_1_MOSI	I2C_1_SDA	GPIO
P5.1	17	UART_1_TX	SPI_1_MISO	I2C_1_SCL	GPIO
P3.0	18	UART_1_RX	SPI_1_CLK	—	GPIO
P2.2	15	UART_1_CTS	SPI_1_SEL	—	GPIO
P1.0	2	UART_2_RX	SPI_2_SEL	—	SWD_CLK / GPIO
P1.1	3	UART_2_TX	SPI_2_MOSI	I2C_2_SDA	GPIO
P1.2	4	UART_2_CTS	SPI_2_MISO	I2C_2_SCL	GPIO
P1.3	5	UART_2_RTS	SPI_2_CLK	—	GPIO
P3.1	20	UART_3_CTS	SPI_3_SEL	I2C_3_SDA	GPIO
P3.2	21	UART_3_RTS	SPI_3_MOSI	I2C_3_SCL	GPIO
P4.0	29	UART_3_TX	SPI_3_MISO	—	GPIO
P4.1	30	UART_3_RX	SPI_3_CLK	—	GPIO
P2.0	13	UART_4_CTS	SPI_4_SEL	I2C_4_SCL	GPIO
P2.1	14	UART_4_RTS	SPI_4_MOSI	I2C_4_SDA	GPIO

表 4. SCB およびそれらの機能 (続き)

ポート	40 ピン QFN	SCB 機能			GPIO 機能
		UART	SPI	I2C	
P0.0	38	UART_4_TX	SPI_4_MISO	–	GPIO
P0.1	39	UART_4_RX	SPI_4_CLK	–	GPIO

図 7. CYPM1111-40LQXI の 40 ピン QFN ピン配置 (上面図)


アプリケーション図

図 8 に、PMG1-S1 を使用したシンク アプリケーションを示します。これには 2 つの主要部分として、アプリケーションに電力をシンクする USB Type-C レセプタクルと、出力電力として使用される負荷があります。

図 8. PMG1-S1 ベースのシンク アプリケーション図

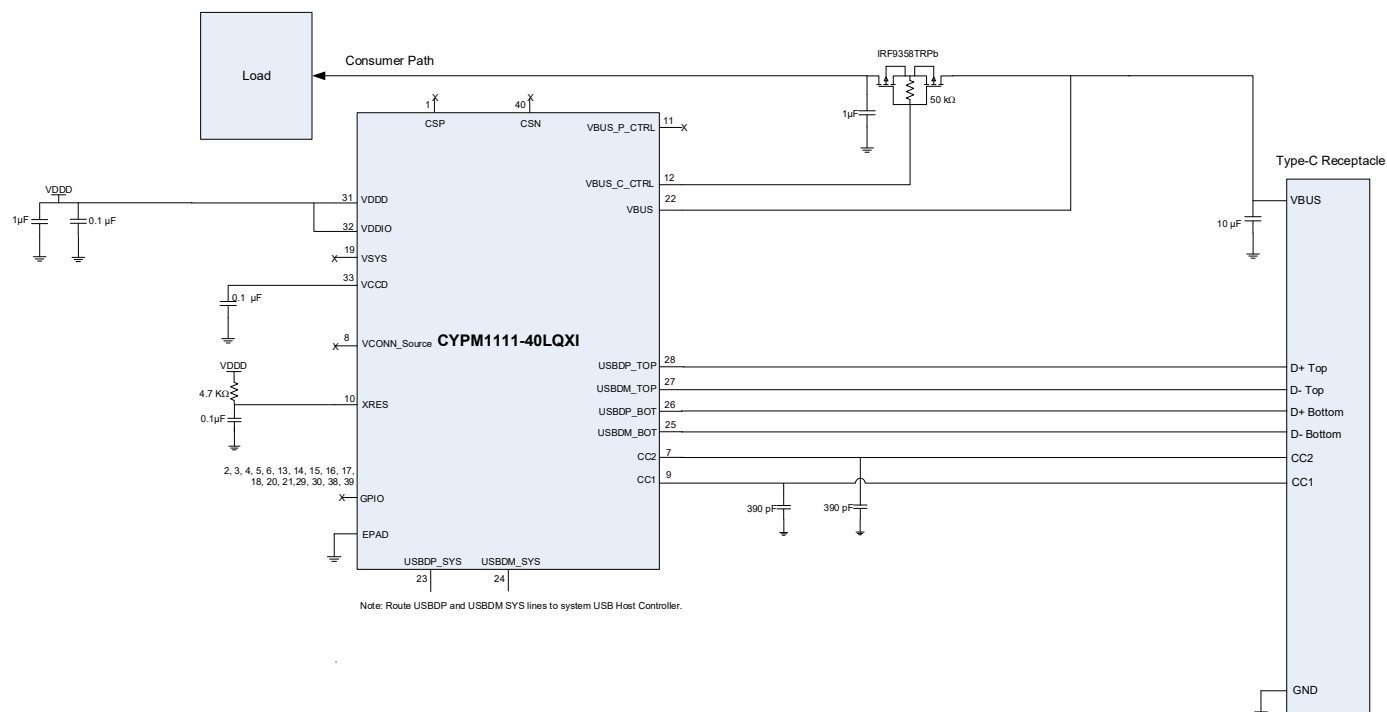
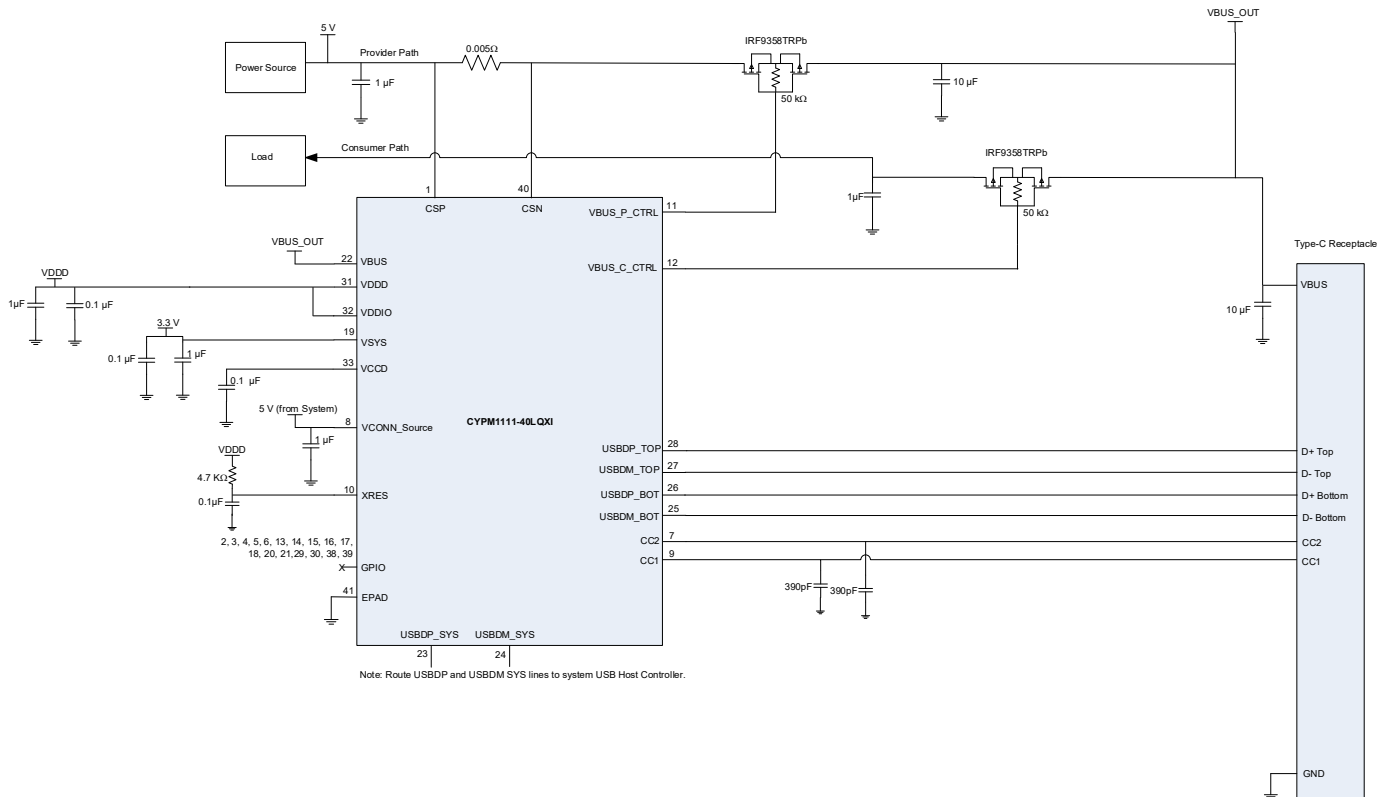


図 9 に、PMG1-S1 を使用した DRP アプリケーションを示します。このようなアプリケーションでは、Type-C ポートは電力プロバイダおよび電力コンシューマとして使用されます。VBUS を介して電力を供給または消費するための VBUS FET があります。

PMG1-S1 の VBUS_P_CTRL ピンには、VBUS 上の OVP と UVP を検出できる VBUS 監視回路が組み込まれています。これに加えて、5V 電源とプロバイダ FET 間の 5mΩ 抵抗は、VBUS の過電流を検出できます。PMG1-S1 デバイスには、アクセサリやケーブルに電力を供給する必要があるアプリケーションのために VCONN FET も統合されています。

図 9. PMG1-S1 ベースの DRP アプリケーション図



電氣的仕様

絶対最大定格

表 5. 絶対最大定格^[3]

パラメーター	説明	Min	Typ	Max	単位	詳細／条件
V _{SYS_MAX}	V _{SS} を基準にした電源電圧	–	–	6	V ^[4]	–
V _{CONN_SOURCE_MAX}	V _{SS} を基準にした最大電源電圧	–	–	6	V	
V _{BUS_MAX}	V _{SS} を基準にした最大 V _{BUS} 電圧	–	–	24	V	
V _{DDIO_MAX}	V _{SS} を基準にした最大電源電圧	–	–	V _{DDD}	V	
V _{GPIO_ABS}	GPIO、DP/DM マルチプレクサへの入力 (USBDP / DM_SYS、USBDP / DM_TOP/BOT)	-0.5 ^[5]	–	V _{DDIO} + 0.5	V	
I _{GPIO_ABS}	GPIO ごとの最大電流	-25	–	25	mA	–
I _{GPIO_INJECTION}	GPIO 注入電流、 V _{IH} > V _{DDD} の場合は Max、 V _{IL} < V _{SS} の場合は Min	-0.5	–	0.5	mA	絶対最大値、ピンごとの注入された電流
ESD_HBM	静電気放電 (人体モデル)	2200	–	–	V	–
ESD_CDM	静電気放電 (デバイス帯電モデル)	500	–	–	V	–
LU	ラッチアップ時のピン電流	-200	–	200	mA	–
V _{CC_PIN_ABS}	CC1 と CC2 ピンの最大電圧	–	–	24	V	–
V _{GPIO_OVT_ABS}	OVT ピン (16、17) 電圧	-0.5	–	6	V	–

注：

- 表 5 に記載されている絶対最大条件を超えて使用すると、デバイスに恒久的なダメージを与える可能性があります。長時間にわたって絶対最大条件下に置くと、デバイスの信頼性に影響する可能性があります。最大保管温度は JEDEC 標準「JESD22-A103、High Temperature Storage Life」に準拠した 150°C です。絶対最大条件以下で使用している場合でも、標準的な動作条件を超えると、デバイスが仕様に従って動作しない可能性があります。
- 特に指定がない限り、すべての電圧はグラウンドを基準にしています。
- システムでは、負のスパイクがここで指定された最小電圧を超える場合は、ショットキー ダイオードを追加して負のスパイクをクランプすることを推奨します。

デバイス レベルの仕様

特記のない限り、すべての仕様は $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ および $T_J \leq 100^{\circ}\text{C}$ の条件で有効です。仕様は、特に注記した場合を除いて、3.0V ~ 5.5V において有効です。

DC 仕様
表 6. DC 仕様 (動作条件)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.PWR#23	V _{SYS}		2.75	－	5.5	V	UFP アプリケーション
SID.PWR#23_A	V _{SYS}		3	－	5.5	V	DFP/DRP アプリケーション
SID.PWR#22	V _{BUS}		4	－	21.5	V	－
SID.PWR#1	V _{DDD}	V _{SYS} 電源時の安定化出力電圧	V _{SYS} －0.05	－	V _{SYS}	V	－
SID.PWR#1_A	V _{DDD}	V _{BUS} 電源時の安定化出力電圧	3	－	3.65	V	－
SID.PWR#26	V _{5V}		4.85	－	5.5	V	－
SID.PWR#13	V _{DDIO}		V _{DDD}	－	V _{DDD}	V	－
SID.PWR#24	V _{CCD}	安定化出力電圧 (コア ロジック用)	－	1.8	－	V	－
SID.PWR#15	C _{EFC}	V _{CCD} 用のレギュレータ バイパスコンデンサ	－	100	－	nF	X5R セラミック
SID.PWR#16	C _{EXC}	V _{DDD} 用のレギュレータ バイパスコンデンサ	－	1	－	μF	
アクティブ モード、V _{SYS} = 2.75V ～ 5.5V。Typ 値は V _{SYS} = 3.3V で測定							
SID.PWR#4	I _{DD12}	供給電流	－	10	－	mA	T _A = 25°C、CC I/O 送信 / 受信、I/O ソース電流なし、CPU 速度 24MHz、PD ポートがアクティブ
ディープ スリープ モード、V _{SYS} = 2.75V ～ 3.6V							
SID34	I _{DD29}	V _{SYS} = 2.75 ～ 3.6V、I ² C、ウェイクアップおよび WDT がオン	－	150	－	μA	V _{SYS} = 3.3V、T _A = 25°C、
SID_DS1	I _{DD_DS1}	V _{SYS} = 3.3V、CC ウェイクアップがオン、Type-C が未接続	－	100	－	μA	電源 = V _{SYS} 、Type-C が未接続、CC ウェイクアップが有効、R _P と R _D は CPU による 70ms 間隔で接続。
SID_DS_3	I _{DD_DS2}	V _{SYS} = 3.3V、CC ウェイクアップがオン、ADC/CSA/UVOV がオンの状態で DP/DM がオン	－	500	－	μA	IDD_DS1 + DP/DM、CC がオン、ADC/CSA/UVOV がオン
XRES 電流							
SID307	I _{DD_XR}	XRES がアサート時の供給電流	－	50	－	μA	電源ソース = V _{SYS} = 3.3V、Type-C が未接続、T _A = 25°C

CPU
表 7. CPU 仕様 (特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.CLK#4	F _{CPU}	CPU 入力周波数	–	–	48	MHz	すべての V _{DDD}
SID.PWR#21	T _{DEEPSLEEP}	ディープ スリープ モードからの復帰時間	–	35	–	μs	特性評価で保証
SYS.XRES#5	T _{XRES}	外部リセット パルス幅	5	–	–	μs	
SYS.FES#1	T _{PWR_RDY}	電源投入から「I ² C/CC コマンドが受信できる」までの時間	–	5	25	ms	

GPIO
表 8. GPIO の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.GIO#37	V _{IH_CMOS}	入力電圧 HIGH 閾値	0.7 × V _{DDIO}	–	–	V	CMOS 入力
SID.GIO#38	V _{IL_CMOS}	入力電圧 LOW 閾値	–	–	0.3 × V _{DDIO}	V	CMOS 入力
SID.GIO#39	V _{IH_VDDIO2.7-}	LVTTL 入力、V _{DDIO} < 2.7V	0.7 × V _{DDIO}	–	–	V	–
SID.GIO#40	V _{IL_VDDIO2.7-}	LVTTL 入力、V _{DDIO} < 2.7V	–	–	0.3 × V _{DDIO}	V	–
SID.GIO#41	V _{IH_VDDIO2.7+}	LVTTL 入力、V _{DDIO} ≥ 2.7V	2.0	–	–	V	–
SID.GIO#42	V _{IL_VDDIO2.7+}	LVTTL 入力、V _{DDIO} ≥ 2.7V	–	–	0.8	V	–
SID.GIO#33	V _{OH}	出力 HIGH 電圧	V _{DDIO} – 0.6	–	–	V	3V V _{DDIO} で I _{OH} = -4mA
SID.GIO#34	V _{OH}	出力 HIGH 電圧	V _{DDIO} – 0.5	–	–	V	1.8V V _{DDIO} で I _{OH} = -1mA
SID.GIO#35	V _{OL}	出力 LOW 電圧	–	–	0.6	V	1.8V V _{DDIO} で I _{OL} = 4mA
SID.GIO#35A	V _{OL_I2C_2}	出力 LOW 電圧			0.4	V	I _{OL} = 3mA、V _{DDIO} > 2V
SID.GIO#35B	V _{OL_I2C_3}	出力 LOW 電圧			0.6 ^[6]	V	I _{OL} = 6mA、V _{DDIO} > 1.71V
SID.GIO#35C	V _{OL1_20mA}	出力 LOW 電圧			0.4	V	I _{OL} = 20mA、V _{DDIO} > 3.0V、過電圧耐性ピンにのみ適用可能
SID.GIO#36	V _{OL}	出力 LOW 電圧	–	–	0.6	V	3V V _{DDIO} で I _{OL} = 10mA (IOL_LED)
SID.GIO#5	R _{pu}	有効時プルアップ抵抗	3.5	5.6	8.5	kΩ	+25°C T _A 、すべての V _{DDIO}
SID.GIO#6	R _{pd}	有効時プルダウン抵抗	3.5	5.6	8.5	kΩ	+25°C T _A 、すべての V _{DDIO}
SID.GIO#16	I _{IL}	入力リーク電流 (絶対値)	–	–	2	nA	+25°C T _A 、3V V _{DDIO}
SID.GIO#17	C _{PIN}	ピン最大負荷容量	–	3	7	pF	–
SID.GIO#43	V _{HYSTTL}	入力ヒステリシス、LVTTL	15	40	–	mV	V _{DDIO} > 2.7V。特性評価で保証
SID.GIO#44	V _{HYSCMOS}	入力ヒステリシス CMOS	0.05 × V _{DDIO}	–	–	mV	V _{DDIO} < 4.5V
SID.GIO#44A	V _{HYSCMOS55}	入力ヒステリシス CMOS	200	–	–	mV	V _{DDIO} > 4.5V

表 9. GPIO の AC 仕様 (特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID70	T _{RISEF}	高速ストロング モードでの立ち上り時間	2	–	12	ns	3.3V V _{DDIO} 、C _{load} = 25pF
SID71	T _{FALLF}	高速ストロング モードでの立ち下り時間	2	–	12	ns	3.3V V _{DDIO} 、C _{load} = 25pF
SID.GIO#46	T _{RISES}	低速ストロング モードでの立ち上り時間	10	–	60	ns	3.3V V _{DDIO} 、C _{load} = 25pF
SID.GIO#47	T _{FALLS}	低速ストロング モードでの立ち下り時間	10	–	60	ns	3.3V V _{DDIO} 、C _{load} = 25pF
SID.GIO#48	F _{GPIO_OUT1}	GPIO F _{OUT} ; 3.3V ≤ V _{DDIO} ≤ 5.5V。 高速ストロング モード	–	–	16	MHz	90/10%、25pF 負荷
SID.GIO#49	F _{GPIO_OUT2}	GPIO F _{OUT} ; 1.7V ≤ V _{DDIO} ≤ 3.3V。 高速ストロング モード	–	–	16	MHz	90/10%、25pF 負荷
SID.GIO#50	F _{GPIO_OUT3}	GPIO F _{OUT} ; 3.3V ≤ V _{DDIO} ≤ 5.5V。 低速ストロング モード	–	–	7	MHz	90/10%、25pF 負荷
SID.GIO#51	F _{GPIO_OUT4}	GPIO F _{OUT} ; 1.7V ≤ V _{DDIO} ≤ 3.3V。 低速ストロング モード。	–	–	3.5	MHz	90/10%、25pF 負荷
SID.GIO#52	F _{GPIO_IN}	GPIO 入力動作周波数。 1.7V ≤ V _{DDIO} ≤ 5.5V	–	–	16	MHz	90/10% V _{IO}

XRES

表 10. XRES の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.XRES#1	V _{IH}	入力電圧 HIGH 閾値	0.7 × V _{DDIO}	–	–	V	CMOS 入力
SID.XRES#2	V _{IL}	入力電圧 LOW 閾値	–	–	0.3 × V _{DDIO}	V	CMOS 入力
SID.XRES#3	C _{IN}	入力静電容量	–	–	7	pF	–
SID.XRES#4	V _{HYSXRES}	入力電圧ヒステリシス	–	0.05 × V _{DDIO}	–	mV	特性評価で保証

注 :

6. 400kHz でバスの全負荷を駆動するためには、0.6V V_{OL} で 6mA の I_{OL} が必要です。この仕様を満たさないデバイスは引き続き機能しますが、400kHz および 400pF では機能しません。

デジタル ペリフェラル

次の仕様は、タイマー モードでのタイマー／カウンタ／ PWM ペリフェラルに適用されます。

GPIO ピン用のパルス幅変調 (PWM)

表 11. PWM の AC 仕様 (特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.TCPWM.3	$T_{CPWMFREQ}$	動作周波数	—	—	F_c	MHz	$F_c \text{ Max} = CLK_SYS$ 。 $\text{Max} = 48\text{MHz}$
SID.TCPWM.4	$T_{PWMENEXT}$	入力トリガ パルス幅	$2/F_c$	—	—	ns	すべてのトリガ イベント
SID.TCPWM.5	T_{PWMEXT}	出力トリガ パルス幅	$2/F_c$	—	—	ns	オーバーフロー、アンダーフローおよび CC (カウンタ = 比較値) 出力の最小幅
SID.TCPWM.5A	T_{CRES}	カウンタの分解能	$1/F_c$	—	—	ns	逐次カウント同士間の最小時間
SID.TCPWM.5B	PWM_{RES}	PWM 分解能	$1/F_c$	—	—	ns	PWM 出力の最小パルス幅
SID.TCPWM.5C	Q_{RES}	直交位相入力分解能	$1/F_c$	—	—	ns	直角位相入力同士間の最小パルス幅

I²C

表 12. 固定 I²C の AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID153	F_{I2C1}	ビット レート	—	—	1	Mbps	—

UART

表 13. 固定 UART の AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID162	F_{UART}	ビット レート	—	—	1	Mbps	—

SPI

表 14. 固定 SPI の AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID166	F_{SPI}	SPI 動作周波数 (マスター、6 倍オーバーサンプリング)	—	—	8	MHz	—

表 15. 固定 SPI マスター モードの AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID167	T_{DMO}	SClock 駆動エッジ後の MOSI 有効時間	—	—	15	ns	—
SID168	T_{DSI}	SClock 取得エッジ前の MISO 有効時間	20	—	—	ns	フルクロック、MISO の遅いサンプリング
SID169	T_{HMO}	直前の MOSI データ ホールド時間	0	—	—	ns	スレーブ 取得エッジを基準にする

表 16. 固定 SPI スレーブ モードの AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID170	T _{DMI}	Sclock取得エッジ前のMOSI有効時間	40	—	—	ns	—
SID171	T _{DSO}	Sclock駆動エッジ後のMISO有効期間	—	—	48 + (3 × T _{SCB})	ns	T _{SCB} = T _{CPU}
SID171A	T _{DSO_EXT}	外部クロック モードでの Sclock 駆動エッジ後の MISO 有効時間	—	—	48	ns	—
SID172	T _{HSD}	直前の MISO データ ホールド時間	0	—	—	ns	—
SID172A	T _{SSELSCK}	SSEL 有効から最初の SCK 有効エッジまでの時間	100	—	—	ns	—

メモリ

表 17. フラッシュの AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.MEM#4	T _{ROW_WRITE}	行 (ブロック) 書き込み時間 (消去 + プログラム)	—	—	20	ms	—
SID.MEM#3	T _{ROW_ERASE}	行消去時間	—	—	13	ms	—
SID.MEM#8	T _{ROWPROGRAM}	消去後の行プログラム時間	—	—	7	ms	25°C ~ 55°C、すべての V _{DDD}
SID178	T _{BULKERASE}	バルク消去時間 (128KB)	—	—	35	ms	設計で保証
SID180	T _{DEVPROG}	総デバイス プログラム時間	—	—	25	s	設計で保証
SID.MEM#6	F _{END}	フラッシュ アクセス可能回数	10 万回	—	—	サイクル	—
SID182	F _{RET1}	フラッシュ データ保持期間、 T _A ≤ 55°C、 10 万回の P/E サイクル	20	—	—	年	—
SID182A	F _{RET2}	フラッシュ データ保持期間、 T _A ≤ 85°C、 1 万回の P/E サイクル	10	—	—	年	—
SID182B	F _{RET3}	フラッシュ データ保持期間、 T _A ≤ 105°C、 1 万回の P/E サイクル	3	—	—	年	—

システム リソース

電圧低下時のパワーオン リセット (POR)

表 18. 低精度パワーオン リセット (IPOR)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID185	$V_{RISEIPOR}$	立ち上りトリップ電圧	0.80	–	1.50	V	特性評価で保証
SID186	$V_{FALLIPOR}$	立ち下りトリップ電圧	0.70	–	1.4	V	

表 19. 高精度パワーオン リセット (POR)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID190	$V_{FALLPPOR}$	アクティブ / スリープのモードでの電圧低下検出 (BOD) トリップ電圧	1.48	–	1.62	V	特性評価で保証
SID192	$V_{FALLDPSLP}$	ディープ スリープ モードでの BOD トリップ電圧	1.1	–	1.5	V	

SWD インターフェース

表 20. SWD インターフェース仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.SWD#1	F_SWDCCLK1	$3.3V \leq V_{DDIO} \leq 5.5V$	–	–	14	MHz	SWDCCLK \leq 1/3 CPU クロック周波数
SID.SWD#2	F_SWDCCLK2	$1.8V \leq V_{DDIO} \leq 3.3V$	–	–	7	MHz	SWDCCLK \leq 1/3 CPU クロック周波数
SID.SWD#3	T_SWDI_SETUP	$T = 1/f_{SWDCCLK}$	$0.25 \times T$	–	–	ns	特性評価で保証
SID.SWD#4	T_SWDI_HOLD	$T = 1/f_{SWDCCLK}$	$0.25 \times T$	–	–	ns	
SID.SWD#5	T_SWDO_VALID	$T = 1/f_{SWDCCLK}$	–	–	$0.50 \times T$	ns	
SID.SWD#6	T_SWDO_HOLD	$T = 1/f_{SWDCCLK}$	1	–	–	ns	

内部主発振器

表 21. IMO の AC 仕様

(設計で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.CLK#13	F_{IMOTOL}	48MHzでの周波数誤差 (トリム済み)	–	–	± 2	%	$2.7V \leq V_{DD} < 5.5V$, $-25^{\circ}C \leq T_A \leq 85^{\circ}C$
SID226	$T_{STARTIMO}$	IMO 起動時間	–	–	7	μs	–
SID.CLK#1	F_{IMO}	IMO 周波数	–	48	–	MHz	–

内部低速発振器

表 22. ILO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID234	$T_{STARTILO1}$	I_{LO} 起動時間	–	–	2	ms	特性評価で保証
SID238	$T_{ILODUTY}$	I_{LO} デューティ比	40	50	60	%	
SID.CLK#5	F_{ILO}	I_{LO} 周波数	20	40	80	kHz	–

PD

表 23. PD の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.DC.cc_shvt.1	vSwing	トランスミッタ出力 HIGH 電圧	1.05	–	1.2	V	–
SID.DC.cc_shvt.2	vSwing_low	トランスミッタ出力 LOW 電圧		–	0.075	V	–
SID.DC.cc_shvt.3	zDriver	トランスミッタ出力インピーダンス	33	–	75	Ω	–
SID.DC.cc_shvt.4	zBmcRx	レシーバ入力インピーダンス	10	–		M Ω	設計で保証
SID.DC.cc_shvt.5	Idac_std	USB 標準アダプタイズメントのソース電流	64	–	96	μ A	–
SID.DC.cc_shvt.6	Idac_1p5a	5V アダプタイズメント、1.5A でのソース電流	165.6	–	194.4	μ A	–
SID.DC.cc_shvt.7	Idac_3a	5V アダプタイズメント、3A でのソース電流	303.6	–	356.4	μ A	–
SID.DC.cc_shvt.8	R _D	UFP (アップストリーム ポート) として機能する場合のブルダウン終端抵抗	4.59	–	5.61	k Ω	–
SID.DC.cc_shvt.9	Rd_db	UFP として機能する場合のデッドバッテリー付きブルダウン終端抵抗	4.08	–	6.12	k Ω	–
SID.DC.cc_shvt.10	zOPEN	無効時のグラウンドへの CC インピーダンス	108	–		k Ω	–
SID.DC.cc_shvt.11	DFP_default_0p2	DFP 側の CC 電圧 - 標準 USB	0.15	–	0.25	V	–
SID.DC.cc_shvt.12	DFP_1.5A_0p4	DFP 側の CC 電圧 - 1.5A	0.35	–	0.45	V	–
SID.DC.cc_shvt.13	DFP_3A_0p8	DFP 側の CC 電圧 - 3A	0.75	–	0.85	V	–
SID.DC.cc_shvt.14	DFP_3A_2p6	DFP 側の CC 電圧 - 3A	2.45	–	2.75	V	–
SID.DC.cc_shvt.15	UFP_default_0p66	UFP 側の CC 電圧 - 標準 USB	0.61	–	0.7	V	–
SID.DC.cc_shvt.16	UFP_1.5A_1p23	UFP 側の CC 電圧 - 1.5A	1.16	–	1.31	V	–
SID.DC.cc_shvt.17	Vattach_ds	ディープスリープのアタッチ閾値	0.3	–	0.6	%	–
SID.DC.cc_shvt.18	Rattach_ds	ディープスリープのプルアップ抵抗	10	–	50	k Ω	–
SID.DC.cc_shvt.30	FS_0p53	高速スワップ検出の電圧閾値	0.49	–	0.58	V	–

アナログ - デジタル変換器

表 24. ADC の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.ADC.1	分解能	ADC 分解能	–	8	–	ビット	–
SID.ADC.2	INL	積分非直線性	-1.5	–	1.5	LSB	–
SID.ADC.3	DNL	微分非直線性	-2.5	–	2.5	LSB	–
SID.ADC.4	Gain Error	ゲイン誤差	-1.5	–	1.5	LSB	–
SID.ADC.5	VREF_ADC1	ADC のリファレンス電圧	V _{DDDmin}	–	V _{DDDmax}	V	V _{DDD} から生成されたリファレンス電圧
SID.ADC.6	VREF_ADC2	ADC のリファレンス電圧	1.96	2.0	2.04	V	ディープスリープリファレンスから生成されたリファレンス電圧

充電器検出

表 25. 充電器検出の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
DC.CHGDET.1	VDAT_REF	充電器検出モードでのデータ検出電圧	250	–	400	mV	–
DC.CHGDET.2	VDM_SRC	充電器検出モードでの Dn 電圧ソース	500	–	700	mV	–
DC.CHGDET.3	VDP_SRC	充電器検出モードでの Dp 電圧ソース	500	–	700	mV	–
DC.CHGDET.4	IDM_SINK	充電器検出モードでの Dn シンク電流	25	–	175	μA	–
DC.CHGDET.5	IDP_SINK	充電器検出モードでの Dp シンク電流	25	–	175	μA	–
DC.CHGDET.6	IDP_SRC	データ コンタクト検出の電流ソース	7	–	13	μA	–
DC.CHGDET.32	RDM_UP	Dp/Dn プルアップ抵抗	0.9	–	1.575	kΩ	–
DC.CHGDET.31	RDM_DWN	Dp/Dn プルダウン抵抗	14.25	–	24.8	kΩ	–
DC.CHGDET.29	RDAT_LKG	Dp/Dn上のデータラインのリーク抵抗	300	–	500	kΩ	–
DC.CHGDET.34	VSETH	論理閾値	1.26	–	1.54	V	–
DC.pmg1s1.dpdm.14	RDCP_DAT	DP と DN 間の専用充電ポート抵抗	–	–	40	Ω	–

V_{sys} Switch

表 26. V_{sys} スイッチの仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.DC.VDDDSW.1	Res_sw	電源入力から出力電源 V _{DDD} までの抵抗	–	–	1.5	Ω	V _{DDD} で 5mA ~ 10mA の負荷電流で測定。

CSA

表 27. CSA の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
DC.csa_scp.42	SCP_6A	短絡電流検出 @ 6A	–	±10	–	%	–
DC.csa_scp.43	SCP_10A	短絡電流検出 @ 10A	–	±10	–	%	–
OP.csa_scp.11	Rsense	外付け検出抵抗	–	5	–	mΩ	1% 精度
DC.csa_scp.44	locp_1A	Rsense = 5mΩ、1A での OCP トリップ閾値	–	130 ±20%	–	%	コントラクト値の130%に設定された 1A PD コントラクト OCP、またはユーザーがプログラム可能
	locp_1A	Rsense = 10mΩ、1A での OCP トリップ閾値	–	130 ±10%	–	%	コントラクト値の130%に設定された 1A PD コントラクト OCP、またはユーザーがプログラム可能
DC.csa_scp.45	locp_5A	Rsense = 5/10mΩ、2A、3A、4A、5A での OCP トリップ閾値	–	130 ±10%	–	%	コントラクト値の130%に設定された 2A、3A、4A、5A PD コントラクト OCP、またはユーザーがプログラム可能
DC.rcp_scp.7a	I_csainn_lk	RCP および CSA ブロックがオフの場合の CSP ピン入力リーク電流	–	–	10	μA	プロバイダ V _{BUS} = 5V
DC.rcp_scp.6a	I_csainp_lk	RCP および CSA ブロックがオフの場合の CSN ピン入力リーク電流	–	–	80	μA	プロバイダ V _{BUS} = 5V
DC.sys.1	I_CSP_RCP_ON_CSA_OFF	RCP ブロックがオン、SCP がオフの場合の CSP ピン電流	–	–	20	μA	プロバイダ V _{BUS} = 5V

表 27. CSA の DC 仕様 (続き)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
DC.sys.2	I_CSN_RCP_ON_CSA_OFF	RCP ブロックがオン、SCP がオフの場合の CSN ピン電流	–	–	100	μA	プロバイダ V _{BUS} = 5V
DC.sys.3	I_CSP_CSA_ON	RCP ブロックがオフ、SCP がオンの場合の CSP ピン電流	–	–	30	μA	プロバイダ V _{BUS} = 5V
DC.sys.4	I_CSN_CSA_ON	RCP ブロックがオフ、SCP がオンの場合の CSN ピン電流	–	–	100	μA	プロバイダ V _{BUS} = 5V
DC.sys.5	I_CSP_RCP_ON_CSA_ON	RCP ブロックがオン、SCP がオンの場合の CSP ピン電流	–	–	50	μA	プロバイダ V _{BUS} = 5V。 設計で保証
DC.sys.6	I_CSP_RCP_ON_CAS_ON	RCP ブロックがオン、SCP がオンの場合の CSN ピン電流	–	–	120	μA	プロバイダ V _{BUS} = 5V。 設計で保証

V_{BUS} UV / OV

表 28. V_{BUS} UV / OV の仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.UVOV.1	VTHUVOV1	バンドギャップ リファレンスを使用したアクティブ モードでの電圧閾値精度	–	±3	–	%	–
SID.UVOV.2	VTHUVOV2	ディープスリープ リファレンスを使用したディープスリープ モードでの電圧閾値精度	–	±5	–	%	–
SID.COMP_ACC	COMP_ACC	4s でのコンパレータ入力オフセット	-15	–	15	mV	–

コンシューマ側 PFET ゲート ドライバ

表 29. コンシューマ側 PFET ゲート ドライバの DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.DC.PGDO.1	Rpd	「pull_dn」が有効な場合の抵抗	–	–	5	kΩ	–
DC.pgdo_pd_isnk.12	iout_0	iref_ctrl_lv < 11 ≥ LOW および iref_ctrl_lv < 10:0 ≥ 1 で、iref_out を通過するシンク電流	–	2	–	μA	–
DC.pgdo_pd_isnk.13	iout_1	iref_ctrl_lv < 11 ≥ LOW および iref_ctrl_lv < 10:0 ≥ 2 で、iref_out を通過するシンク電流	–	4	–	μA	–
DC.pgdo_pd_isnk.14	iout_2	iref_ctrl_lv < 11 ≥ LOW および iref_ctrl_lv < 10:0 ≥ 4 で、iref_out を通過するシンク電流	–	8	–	μA	–
DC.pgdo_pd_isnk.15	iout_3	iref_ctrl_lv < 11 ≥ LOW および iref_ctrl_lv < 10:0 ≥ 8 で、iref_out を通過するシンク電流	–	16	–	μA	–
DC.pgdo_pd_isnk.16	iout_4	iref_ctrl_lv < 11 ≥ LOW および iref_ctrl_lv < 10:0 ≥ 16 で、iref_out を通過するシンク電流	–	32	–	μA	–
DC.pgdo_pd_isnk.17	iout_5	iref_ctrl_lv < 11 ≥ LOW および iref_ctrl_lv < 10:0 ≥ 32 で、iref_out を通過するシンク電流	–	63	–	μA	–
DC.pgdo_pd_isnk.18	iout_6	iref_ctrl_lv < 11 ≥ LOW および iref_ctrl_lv < 10:0 ≥ 64 で、iref_out を通過するシンク電流	–	126	–	μA	–

表 29. コンシューマ側 PFET ゲート ドライバの DC 仕様 (続き)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
DC.pgdo_pd_isnk.19	iout_7	iref_ctrl_lv < 11 ≥ LOW および iref_ctrl_lv < 10:0 ≥ 128 で、iref_out を通過するシンク電流	–	252	–	μA	–
DC.pgdo_pd_isnk.20	iout_8	iref_ctrl_lv < 11 ≥ LOW および iref_ctrl_lv < 10:0 ≥ 256 で、iref_out を通過するシンク電流	–	504	–	μA	–
DC.pgdo_pd_isnk.21	iout_9	iref_ctrl_lv < 11 ≥ LOW および iref_ctrl_lv < 10:0 ≥ 512 で、iref_out を通過するシンク電流	–	1008	–	μA	–
DC.pgdo_pd_isnk.22	iout_10	iref_ctrl_lv < 11 ≥ LOW および iref_ctrl_lv < 10:0 ≥ 1024 で、iref_out を通過するシンク電流	–	2016	–	μA	–

表 30. コンシューマ側 PFET ゲート ドライバの AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.ac.pgdo.2	Tr_discharge	出力ノードの放電速度	–	–	5	V/μs	設計で保証
SID.ac.pgdo.sys_1	Tsoft_on	ソフト スタートのコンシューマ FET ターンオン遅延	–	5	–	ms	–

プロバイダ側 PFET ゲート ドライバ

表 31. プロバイダ側 PFET ゲート ドライバの DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
DC.pgdo_pu_1	Rpd	USBPD_PGDO_PD_ISNK_CFG レジスタの「STRONG_EN = 1」フィールドで、最強のプルダウン強度を使用して有効にした場合のプルダウン抵抗	–	–	2	kΩ	–
DC.pgdo_pu.2	Rpu	ブルアップ抵抗	–	1	2	kΩ	–
DC.pgdo_pd_isnk.1	Rpd_0	グラウンドに接続した iref_out の抵抗値、en_lv = HIGH、iref_ctrl_lv < 11 ≥ HIGH および iref_ctrl_lv < 10:0 ≥ 1	–	6830	–	Ω	–
DC.pgdo_pd_isnk.2	Rpd_1	グラウンドに接続した iref_out の抵抗値、en_lv = HIGH、iref_ctrl_lv < 11 ≥ HIGH および iref_ctrl_lv < 10:0 ≥ 2	–	3760	–	Ω	–
DC.pgdo_pd_isnk.3	Rpd_2	グラウンドに接続した iref_out の抵抗値、en_lv = HIGH、iref_ctrl_lv < 11 ≥ HIGH および iref_ctrl_lv < 10:0 ≥ 4	–	1900	–	Ω	–
DC.pgdo_pd_isnk.4	Rpd_3	グラウンドに接続した iref_out の抵抗値、en_lv = HIGH、iref_ctrl_lv < 11 ≥ HIGH および iref_ctrl_lv < 10:0 ≥ 8	–	1000	–	Ω	–
DC.pgdo_pd_isnk.5	Rpd_4	グラウンドに接続した iref_out の抵抗値、en_lv = HIGH、iref_ctrl_lv < 11 ≥ HIGH および iref_ctrl_lv < 10:0 ≥ 16	–	660	–	Ω	–
DC.pgdo_pd_isnk.6	Rpd_5	グラウンドに接続した iref_out の抵抗値、en_lv = HIGH、iref_ctrl_lv < 11 ≥ HIGH および iref_ctrl_lv < 10:0 ≥ 32	–	1700	–	Ω	–
DC.pgdo_pd_isnk.7	Rpd_6	グラウンドに接続した iref_out の抵抗値、en_lv = HIGH、iref_ctrl_lv < 11 ≥ HIGH および iref_ctrl_lv < 10:0 ≥ 64	–	900	–	Ω	–

表 31. プロバイダ側 PFET ゲート ドライバの DC 仕様 (続き)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
DC.pgdo_pd_isnk.8	Rpd_7	グラウンドに接続した iref_out の抵抗値、 en_lv = HIGH、iref_ctrl_lv < 11 ≥ HIGH お よび iref_ctrl_lv < 10:0 ≥ 128	–	630	–	Ω	–
DC.pgdo_pd_isnk.9	Rpd_8	グラウンドに接続した iref_out の抵抗値、 en_lv = HIGH、iref_ctrl_lv < 11 ≥ HIGH お よび iref_ctrl_lv < 10:0 ≥ 256	–	560	–	Ω	–
DC.pgdo_pd_isnk.10	Rpd_9	グラウンドに接続した iref_out の抵抗値、 en_lv = HIGH、iref_ctrl_lv < 11 ≥ HIGH お よび iref_ctrl_lv < 10:0 ≥ 512	–	530	–	Ω	–
DC.pgdo_pd_isnk.11	Rpd_10	グラウンドに接続した iref_out の抵抗値、 en_lv = HIGH、iref_ctrl_lv < 11 ≥ HIGH お よび iref_ctrl_lv < 10:0 ≥ 1024	–	520	–	Ω	–

表 32. プロバイダ側 PFET ゲート ドライバの AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
AC.pgdo_pu.1	Tpu	プルアップ遅延	–	10	35	μs	4nF コンデンサと 50kΩ 抵抗のプルアップ負荷
AC.pgdo_pu.2	Tpd	プルダウン遅延	–	–	2	μs	–
AC.pgdo_pu.3	SRpu	出力立ち上り波形の 20% から 80% ま でで測定した出力スルー レート	–	–	8	V/μs	Cload = 4nF、Vout = 0V ～ 24V、50kΩ の外付け プルアップ抵抗
AC.pgdo_pu.4	SRpd	出力立ち下り波形の 80% から 20% ま でで測定した出力スルー レート	–	–	8	V/μs	Cload = 4nF、Vout = 24V ～ 0V、50kΩ の外 付けプルアップ抵抗
AC.pgdo.sys_1	Tsoft_on	ソフトスタートのプロバイダ FET ター ンオン遅延	–	5	–	ms	–

プロバイダ側 PFET RCP

表 33. プロバイダ側 PFET RCP の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
DC.RCP.44	Vcsa_rcp	RCP 状態が検出された CSP と CSN 間の外付け Rsense の両端の電圧 (CSNはVcsa_rcpの分CSPより高い)	–	2	6	mV	–
DC.RCP.45	Vcomp_rcp	RCP 状態が検出された V _{BUS} ピンと CSN ピン間の電圧	20	–	130	mV	–
DC.RCP.46	Vbus_max_det	RCP 状態が検出された、プロバイダ FET がオン (ソース) 中の CSN ピン の電圧 (この閾値はユーザーがプログ ラム可能)	5.55	5.75	5.95	V	この仕様は、5V プロバ イダの V _{BUS} 電圧用。よ り 高 い 電 圧 の 場 合、 ファームウェアは VBUS コントラクト電 圧に基づいてこの閾値 を変更

表 34. プロバイダ側 PFET RCP、SCP の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
AC.RCP_SYS.1	Toff_scp	プロバイダ PFET を通過する短絡電流検出後のプロバイダ PFET スwitch オフ時間	–	10	–	μs	プロバイダ FET は、50kΩ のゲート プルアップ抵抗と合計 4nF のゲート コンデンサでオフになる。
AC.RCP_SYS.1	Toff_rcp	プロバイダ PFET を通過する逆電流検出後のプロバイダ PFET スwitch オフ時間	–	10	–	μs	プロバイダ FET は、50kΩ のゲート プルアップ抵抗と合計 4nF のゲート コンデンサでオフになる。
AC.RCP_SYS.2	Ton	ターンオン PFET RCP 状態が除去されるまでの回復時間	–	55	80	μs	–

表 35. V_{BUS} プロバイダの遷移仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
AC.tr.1	Ton	プロバイダ FET の V _{BUS} LOW から HIGH まで (10% から 90% まで) の時間	–	5	–	ms	0 から 5V までの遷移、システムレベル、50kΩ のゲート プルアップ抵抗と合計 4nF のゲート コンデンサの外部 PFET。
AC.tr.2	FR_Ton	FR スワップ中の V _{BUS} LOW から HIGH まで (10% から 90% まで) の時間	–	50	150	μs	0 から 5V までの遷移、システムレベル、50kΩ のゲート プルアップ抵抗と合計 4nF のゲート コンデンサの外部 PFET。
AC.tr.3	Toff	内蔵アクティブ プルアップ抵抗を使用した場合の V _{BUS} P_CTRL HIGH から LOW まで (90% から 10% まで) の時間	–	11	–	μs	5 から 0V までの遷移、システムレベル、50kΩ のゲート プルアップ抵抗と合計 4nF のゲート コンデンサの外部 PFET。

DP / DM スイッチ

表 36. DP / DM スイッチの DC 仕様

 (充電器検出ブロックは、スイッチを介して USB_{DP}_TOP、USB_{DM}_TOP、USB_{DP}_BOT、および USB_{DM}_BOT から切断されます)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
DC.pmg1s1.dpdm.1	RON_HS	DP/DM オン抵抗 (0 ~ 0.5V) - HS モード	–	–	8	Ω	–
DC.pmg1s1.dpdm.2	RON_FS	DP/DM オン抵抗 (0 ~ 3.3V) - FS モード	–	–	12	Ω	–
DC.pmg1s1.dpdm.5	Con_FS	6MHz でのオン容量 - FS モード	–	–	50	pF	設計で保証
DC.pmg1s1.dpdm.6	Con_HS	240MHz でのオン容量 - HS モード	–	–	10	pF	–
DC.pmg1s1.dpdm.9	ileak_pin	DP/DM コネクタ側とホスト側のピン リーク電流	–	–	1	μA	–
DC.pmg1s1.dpdm.11	RON_FLAT_HS	HS モードでの DP/DM オン フラット抵抗 (0 ~ 0.4V)	–	–	0.5	Ω	設計で保証
DC.pmg1s1.dpdm.12	RON_FLAT_FS	HS モードでの DP/DM オン フラット抵抗 (0 ~ 3.3V)	–	–	4	Ω	設計で保証

表 37. DP / DM スイッチの AC 仕様

(充電器検出ブロックは、スイッチを介して USBDP_TOP、USBDM_TOP、USBPD_BOT、および USBDM_BOT から切断されます)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
AC.pmg1s1.dpdm.1	BW_3dB_HS	3dB 帯域幅	700	—	—	MHz	設計で保証
AC.pmg1s1.dpdm.2	BW_3dB_FS	3dB 帯域幅	100	—	—	MHz	設計で保証
AC.pmg1s1.dpdm.5	T _{ON}	DP/DM スイッチ ターンオン時間	—	—	200	μs	—
AC.pmg1s1.dpdm.6	T _{OFF}	DP/DM スイッチ ターンオフ時間	—	—	0.4	μs	設計で保証
AC.pmg1s1.dpdm.7	T _{ON_VPUMP}	DP/DM チャージ ポンプ起動時間	—	—	200	μs	特性評価で保証
AC.pmg1s1.dpdm.8	Off_isolation_HS	HS でのオフ アイソレーション	-20	—	—	dB	設計で保証
AC.pmg1s1.dpdm.9	Off_isolation_FS	FS でのオフ アイソレーション	-50	—	—	dB	設計で保証
AC.pmg1s1.dpdm.10	X_talk	F = 12MHz での FS から HS への切り替えのクロストーク	-50	—	—	dB	設計で保証

VCONN スイッチ

表 38. VCONN スイッチの DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
DC.pmg1s1.20VCONN.1	R _{on}	VCONN_Source = 5V、負荷電流 215mA でのオン抵抗	—	0.7	1.3	Ω	—
DC.pmg1s1.20VCONN.9	I _{OCP}	CC1/CC2 の過電流検出範囲	550	—	—	mA	—
DC.pmg1s1.20VCONN.10	OVP_threshold	V _{DD} または VCONN_Source のいずれか高い方を超える、CC1、CC2 過電圧保護検出閾値	200	—	1200	mV	—
DC.pmg1s1.20VCONN.11	OVP_hysteresis	過電圧検出ヒステリシス	50	—	200	mV	設計で保証
DC.pmg1s1.20VCONN.12	OCP_hysteresis	過電流検出ヒステリシス	20	—	60	mA	—
DC.pmg1s1.20VCONN.14	OVP_threshold_on	CC1またはCC2スイッチが有効である場合の CC1/2 の VCONN_Source を超える過電圧検出閾値。同じ閾値が逆電流保護回路をトリガー	200	—	700	mV	—

表 39. VCONN スイッチの AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
AC.pmg1s1.20VCONN.1	T _{ON}	VCONN スイッチ ターンオン時間	—	—	200	μs	—
AC.pmg1s1.20VCONN.2	T _{OFF}	VCONN スイッチ ターンオフ時間	—	—	3	μs	設計で保証

V_{BUS}
表 40. V_{BUS} 放電仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.VBUS.DISC.1	Ron1	20V NMOS オン抵抗	1500	—	3000	Ω	—
SID.VBUS.DISC.2	Ron2	20V NMOS オン抵抗	750	—	1500	Ω	—
SID.VBUS.DISC.3	Ron3	20V NMOS オン抵抗	500	—	1000	Ω	—
SID.VBUS.DISC.4	Ron4	20V NMOS オン抵抗	375	—	750	Ω	—
SID.VBUS.DISC.5	Ron5	20V NMOS オン抵抗	300	—	600	Ω	—

注文情報

表 41 に、PMG1-S1 の製品番号と機能を一覧表示します。

表 41. PMG1-S1 注文情報

製品番号	アプリケーション	Type-C ポート	終端抵抗 : R_{D-DB}	ロール	パッケージ	Si ID
CYPM1111-40LQXI CYPM1111-40LQXIT	DRP アプリケーション	1	$R_P^{[7]}$ 、 $R_D^{[8]}$ 、 $R_{D-DB}^{[9]}$	DRP	40 ピン QFN	0x2A20

注文コードの定義

製品番号は CYPM1ABC-DEFGHIJ の形式であり、フィールドは以下のように定義されています。

表 42. 注文コードの定義

フィールド	説明	値	意味
CY	サイプレスの接頭辞	CY	会社 ID
PM	マーケティング コード	PM	PM = パワー デリバリー MCU ファミリ
1	第 1 世代 PM ファミリ	1	製品ファミリ世代
A	ファミリ	0	S0
		1	S1
		2	S2
		3	S3
B	PD ポート	1	1-PD ポート
		2	2-PD ポート
C	アプリケーション特有	X	アプリケーション特有
DE	ピン	XX	パッケージのピン数
FG	パッケージ コード	LQ	QFN
		BZ	BGA
		FN	CSP
H	鉛フリー	X	鉛 : X = 鉛フリー
I	温度範囲	I	産業用
J	T&R のみ	T	テープ & リール

注 :

7. 終端抵抗はソースを意味します。
8. 終端抵抗はアクセサリまたはシンクを意味します。
9. 終端抵抗はデッド バッテリ終端を意味します。

パッケージ

表 43. パッケージ特性

パラメーター	説明	条件	Min	Typ	Max	単位
T_A	動作周囲温度	産業用	-40	25	85	°C
T_J	動作接合部温度	産業用	-40	25	100	°C
T_{JA}	パッケージ θ_{JA} (40 ピン QFN)	—	—	—	19.3	°C/W
T_{JC}	パッケージ θ_{JC} (40 ピン QFN)	—	—	—	13.6	°C/W

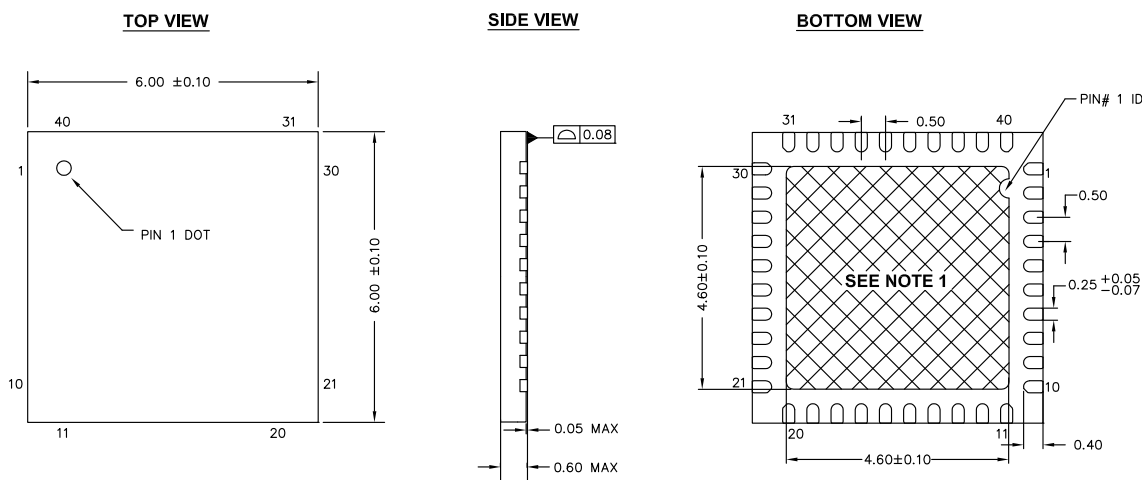
表 44. はんだリフロー ピーク温度

パッケージ	最高ピーク温度	ピーク温度の 5°C 以内での最長時間
40 ピン QFN	260°C	30 秒


表 45. パッケージの湿度感度レベル (MSL)、IPC/JEDEC J-STD-2

パッケージ	MSL
40 ピン QFN	MSL 3

図 10. 40 ピン QFN (6 × 6 × 0.5mm)、LR40A/LQ40A 4.6 × 4.6 E-PAD (Sawn) パッケージ外形図、001-80659



NOTES:

1.  HATCH AREA IS SOLDERABLE EXPOSED PAD
2. REFERENCE JEDEC # MO-248
3. PACKAGE WEIGHT: 68 ± 2 mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

001-80659 *A

略語

表 46. 本書で使用される略語

略語	説明
ADC	analog-to-digital converter (アナログ - デジタル変換器)
AES	advanced encryption standard (高度暗号化標準)
API	application programming interface (アプリケーション プログラミング インターフェース)
Arm®	advanced RISC machine (高度な RISC マシン): CPU アーキテクチャの一種
CC	configuration channel (コンフィギュレーション チャンネル)
BOD	Brown out Detect (電圧低下検出)
CPU	central processing unit (中央演算処理装置)
CRC	cyclic redundancy check (巡回冗長検査): エラー チェック プロトコルの一種
CS	current sense (電流検出)
CSA	current sense amplifier (電流検出アンプ)
DFP	downstream facing port (ダウストリーム ポート)
DP	DisplayPort (ディスプレイ ポート): Video Electronics Standards Association によって 策定されるデジタル ディスプレイ インター フェース規格
DIO	digital input/output (デジタル入出力): アナログ なし、デジタル機能のみを持つ GPIO。 GPIO を参照してください
DMA	direct memory access (ダイレクト メモリ アクセス)
DRP	dual role power (デュアル ロール パワー)
EEPROM	electrically erasable programmable read-only memory (電氣的消去書き込み可能読み出し専用メモリ)
EMCA	electronically marked cable assembly (電子的マーク付きケーブル アセンブリ): 定格電 流などのケーブル特性を Type-C ポートに報告す る IC を内蔵した USB ケーブル
EMI	electromagnetic interference (電磁干渉)
ESD	electrostatic discharge (静電気放電)
FPB	flash patch and breakpoint (フラッシュ パッチおよびブレイクポイント)
FRS	fast role swap (高速ロール スワップ)
FS	full-speed (フルスピード)
GPIO	general-purpose input/output (汎用入出力)
IC	integrated circuit (集積回路)

表 46. 本書で使用される略語 (続き)

略語	説明
IDE	integrated development environment (統合開発環境)
I ² C (別名: IIC)	Inter-Integrated Circuit (インター インテグレー テッド サーキット): 通信プロトコルの一種
ILO	internal low-speed oscillator (内部低速発振器)。 IMO を参照してください
IMO	internal main oscillator (内部主発振器)。 ILO を参照してください
I/O	input/output (入出力)。GPIO を参照してください
LVD	low-voltage detect (低電圧検出)
LVTTL	low-voltage transistor-transistor logic (低電圧トランジスタ - トランジスタ ロジック)
MCU	microcontroller unit (マイクロコントローラー ユニット)
NC	no connect (未接続)
NMI	nonmaskable interrupt (マスク不可割り込み)
NVIC	nested vectored interrupt controller (ネスト型ベクタ割り込みコントローラー)
OCP	overcurrent protection (過電流保護)
オペアンプ	operational amplifier (演算増幅器)
OVP	overvoltage protection (過電圧保護)
OVT	overvoltage tolerant (過電圧許容)
PCB	printed circuit board (プリント回路基板)
PD	power delivery (パワー デリバリー)
PGA	programmable gain amplifier (プログラマブル ゲイン アンプ)
PHY	physical layer (物理層)
POR	power-on reset (パワーオン リセット)
PRES	precise power-on reset (高精度パワーオン リセット)
PRNG	pseudo random number generation (擬似乱数生成器)
PWM	pulse-width modulator (パルス幅変調器)
RAM	random-access memory (ランダム アクセス メモリ)
RCP	reverse current protection (逆電流保護): ソース コンフィギュレーションでのみサポート
RISC	reduced-instruction-set computing (縮小命令セット コンピューティング)
RMS	root-mean-square (二乗平均平方根)
RTC	real-time clock (リアルタイム クロック)
RX	receive (受信)
SAR	successive approximation register (逐次比較レジスタ)

表 46. 本書で使用される略語 (続き)

略語	説明
SCB	serial communication block (シリアル通信ブロック)
SCL	I ² C serial clock (I ² C シリアル クロック)
SCP	short circuit protection (短絡保護): ソース コンフィギュレーションでのみサポート
SDA	I ² C serial data (I ² C シリアル データ)
S/H	sample and hold (サンプル / ホールド)
SHA	secure hash algorithm (セキュア ハッシュ アルゴリズム)
SPI	Serial Peripheral Interface (シリアル ペリフェラル インターフェース): 通信プロトコルの一種
SRAM	static random access memory (スタティック ランダム アクセス メモリ)
SWD	serial wire debug (シリアル ワイヤ デバッグ): テスト プロトコルの一種
TCPWM	timer counter pulse-width modulator (タイマー / カウンター / パルス幅変調器)
TRNG	true random number generation (真性乱数発生器)
TX	transmit (送信)
Type-C	薄型 USB コネクタとリバーシブルなケーブルの新規格。最大 100W までの電力を提供することが可能
UART	Universal Asynchronous Transmitter Receiver (汎用非同期トランスミッタレシーバ): 通信プロトコルの一種
UFP	upstream facing port (アップストリーム ポート)
USB	Universal Serial Bus (ユニバーサル シリアル バス)
USBIO	USB input/output (USB 入出力): USB ポートへの接続に使用される PMG1-S1 ピン
UVP	undervoltage protection (低電圧保護)
XRES	external reset I/O pin (外部リセット I/O ピン)

本書の表記法

測定単位

表 47. 測定単位

記号	測定単位
°C	摂氏温度
Hz	ヘルツ
KB	1024 バイト
kHz	キロヘルツ
kΩ	キロオーム
Mbps	メガビット毎秒
MHz	メガヘルツ
MΩ	メガオーム
Msps	メガサンプル毎秒
μA	マイクロアンペア
μF	マイクロファラド
μs	マイクロ秒
μV	マイクロボルト
μW	マイクロワット
mA	ミリアンペア
mΩ	ミリオーム
ms	ミリ秒
mV	ミリボルト
nA	ナノアンペア
ns	ナノ秒
Ω	オーム
pF	ピコファラド
ppm	100 万分の 1
ps	ピコ秒
s	秒
sps	サンプル毎秒
V	ボルト

改訂履歴

文書名 : PMG1-S1 データシート、第 1 世代パワー デリバリー マイクロコントローラー 文書番号 : 002-34373			
版	ECN	発行日	変更内容
**	7497759	12/09/2021	これは英語版 002-31597 Rev. *B を翻訳した日本語版 002-34373 Rev. ** です。

販売、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

Arm® Cortex® マイクロコントローラー	cypress.com/arm
車載用	cypress.com/automotive
クロック & バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラー	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [サンプル コード](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカル サポート

cypress.com/support

ユニバーサル シリアル バス仕様への準拠性に関する告知。サイプレスは、ユニバーサル シリアル バス仕様、USB Type-C™ ケーブルとコネクタ仕様、および他の USB Implementers Forum, Inc. (USB-IF) の仕様に準拠していると認証されたファームウェアおよびハードウェア ソリューションをご提供します。サンプル コードを含むサイプレスまたはサード パーティのソフトウェア ツールを使用し、ユーザーはサイプレス USB 製品のファームウェアを修正する場合があります。そのようなファームウェアの修正によって、ファームウェアとハードウェアの組合せが該当する USB-IF 仕様準拠しなくなる可能性があります。ユーザーは、行ったあらゆる修正の準拠性の保証について全責任を負い、行った修正に関連する USB-IF の商標やロゴを使用する前に USB-IF の準拠性の要件に従わなければなりません。また、サイプレスがユーザーの仕様に基づいてファームウェアを修正する場合、ユーザーが修正を行ったかのようにあらゆる所望の規格や仕様への準拠性の保証について責任を負います。ユーザーが認証済みのサイプレス製品を修正し、修正された製品がもはや該当する USB-IF 仕様準拠しない場合、サイプレスには責任がありません。

© Cypress Semiconductor Corporation, 2020-2021. 本書面は、Infineon Technologies グループの Cypress Semiconductor Corporation 及びその関連会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。) を含む) は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェア又はソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセス又は使用といったセキュリティ違反から生じるいかなる責任も負わない。Cypress は、Cypress 製品又は Cypress 製品を使用して生成されたシステムに破壊、攻撃、ウイルス、干渉、ハッキング、データの損失又は盗難、その他のセキュリティ侵害 (総称して、以下「セキュリティ違反」という。) がないことを表明又は保証しない。Cypress は、セキュリティ違反に関連するいかなる責任も否認し、セキュリティ違反から生じるいかなる請求、損害又はその他の責任について免責される。加えて、本書面に記載された製品には、エラーと呼ばれる設計上の欠陥又はエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。「ハイスループットデバイス」とは、不具合により人身傷害、死亡若しくは物的損害を引き起こす可能性のある装置若しくはシステムをいう。「ハイスループットデバイス」の例として、兵器、原子力施設、外科的移植、及びその他の医療機器が挙げられる。「重要な構成部分」とは、その不具合が直接又は間接的にハイスループットデバイスの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるようなハイスループットデバイスのあらゆる構成部分をいう。Cypress 製品をハイスループットデバイスの重要な構成部分として使用したことから生じるいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress (その関連会社を含む)、及びその取締役、執行役、従業員、代理人、販売業者、及び譲受人は Cypress 製品をハイスループットデバイスの重要な構成部分として使用したことから生じる製造物責任、又は人身傷害若しくは死亡、又は物的損害の請求を含むあらゆる請求から生じるすべての費用、損害及び経費から免責される。Cypress 製品は、(i) Cypress が特定のハイスループットデバイスで使用するための製品として明示的に認定している製品のデータシートを公表している場合、又は、(ii) Cypress が特定のハイスループットデバイスの重要な構成部分として製品を使用することを事前に書面により承認し、別途補償契約に署名した場合の限定された範囲を除いては、ハイスループットデバイスの重要な構成部分としての使用を意図又は承認されていない。

Cypress、Cypress のロゴ及びこれらの組み合わせ、PSoC、CapSense、EZ-USB、F-RAM、Traveo、WICED、及び ModusToolbox は、米国又はその他の国における Cypress 又はその子会社の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。