

サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

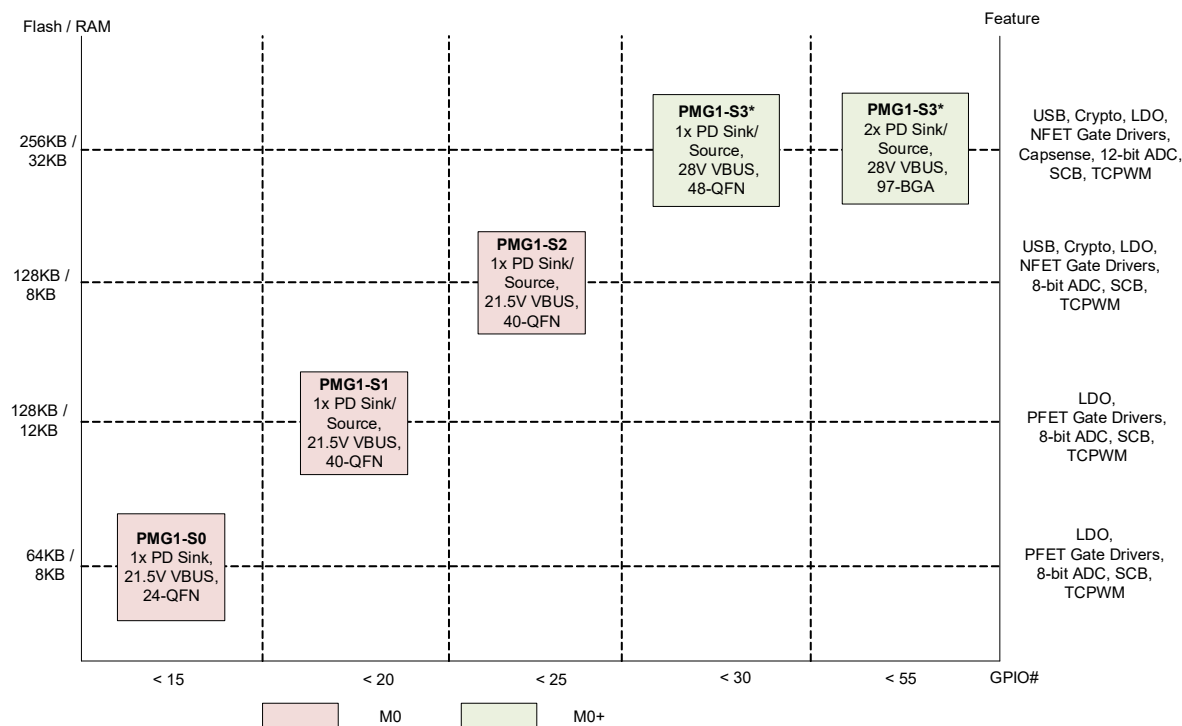
インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

第 1 世代パワー デリバリー マイクロ コントローラー

PMG1 ファミリの概要

PMG1 (第 1 世代パワー デリバリー マイクロコントローラー) は、高電圧の USB-C パワー デリバリー (PD) マイクロコントローラー (MCU) のファミリです。これらのチップには、Arm® Cortex®-M0/M0+ CPU、USB-C PD コントローラー、およびアナログとデジタル ペリフェラルが搭載されます。PMG1 は、高電圧 USB-C PD ポートとの間で電力を供給/消費し、マイクロコントローラーを活用して追加の制御機能を提供する組み込みシステムを対象としています。図 1 に、PMG1 ファミリのセグメンテーションを示します。

図 1. PMG1 ファミリ セグメンテーション



* PMG1-S3 の詳細については、最寄りのサイプレス営業所にお問い合わせください。

表 1 に、PMG1 ファミリのさまざまな MCU の機能の比較を示します。

表 1. PMG1 ファミリのさまざまな MCU の機能の比較

サブシステム または範囲	項目	PMG1-S0	PMG1-S1	PMG1-S2	PMG1-S3*
CPU および メモリ サブシステム	コア	Arm® Cortex®-M0	Arm® Cortex®-M0	Arm® Cortex®-M0	Arm® Cortex®-M0+
	最大周波数 (MHz)	48	48	48	48
	フラッシュ (KB)	64	128	128	256
	SRAM (KB)	8	12	8	32
パワー デリバリー	パワー デリバリー ポート	1	1	1	48-QFN の場合は 1 ポート 97-BGA の場合は 2 ポート
	ロール	シンク	DRP	DRP	DRP
	MOSFET ゲート ドライバ	1x PFET	2x PFET	2x NFET	柔軟な 2x NFET
	フォールト保護	VBUS OVP および UVP	VBUS OVP、UVP、 および OCP。 SCP および RCP (ソース コンフィギュレーション のみ)	VBUS、OVP、 UVP、および OCP	VBUS OVP、UVP、 および OCP。 SCP および RCP (ソース コンフィギュレーションのみ)
USB	Billboard クラスをサポート する統合されたフルス ピード USB 2.0 デバイス	無	無	有	有
電圧範囲	電源電圧 (V)	VDDD (2.7 ~ 5.5) VBUS (4 ~ 21.5)	VSYS (2.75 ~ 5.5) VBUS (4 ~ 21.5)	VSYS (2.7 ~ 5.5) VBUS (4 ~ 21.5)	VSYS (2.8 ~ 5.5) VBUS (4 ~ 28)
	IO (V)	1.71 ~ 5.5	1.71 ~ 5.5	1.71 ~ 5.5	1.71 ~ 5.5
デジタル	SCB (I2C/UART/SPI として構成可能)	2	4	4	48-QFN の場合は 7 (そのうち 5 のみを SPI およ び UART として構成可能) 97-BGA の場合は 8
	TCPWM ブロック (タイマー、カウンタ、 またはパルス幅変調器 として構成可能)	4	2	4	48-QFN の場合は 7 97-BGA の場合は 8
	ハードウェア認証 ブロック (暗号)	無	無	有 (AES-128/192/256、 SHA1、SHA2-224、 SHA2-256、 PRNG10、CRC)	有 (AES-128、SHA2-256、 TRNG、ベクトル ユニット)
アナログ	ADC	2x 8 ビット SAR	1x 8 ビット SAR	2x 8 ビット SAR	2x 8 ビット SAR 1x 12 ビット SAR
	内蔵温度センサー	有	有	有	有
ダイレクト メモリ アク セス (DMA)	DMA	無	無	無	有
GPIO	I/O の最大数	12 (10 + 2 OVT)	17 (15 + 2 OVT)	20 (18 + 2 OVT)	48-QFN の場合は 26 (24 + 2 OVT) 97-BGA の場合は 50 (48 + 2 OVT)
充電規格	充電ソース	-	BC1.2、AC	BC1.2、AC	BC1.2、AC、AFC、および Quick Charge 3.0
	充電シンク	BC 1.2、Apple Charging (AC)	BC1.2、AC	BC1.2、AC	BC1.2、AC
ESD 保護	ESD 保護	有 (最大 ±8kV の接触 放電、最大 ±15kV の 空中放電、人体モデ ルとデバイス帯電モ デル)	有 (人体モデルとデバイス帯 電モデル)	有 (最大 ±8kV の接触 放電、最大 ±15kV の 空中放電、人体モデ ルとデバイス帯電モ デル)	有 (人体モデルとデバイス帯電 モデル)

* PMG1-S3 の詳細については、最寄りの [サイプレス営業所](#) にお問い合わせください。

表 1. PMG1 ファミリのさまざまな MCU の機能の比較 (続き)

サブシステム または範囲	項目	PMG1-S0	PMG1-S1	PMG1-S2	PMG1-S3*
パッケージ	パッケージ オプション	24-QFN (4 × 4mm、 0.5mm ピッチ)	40-QFN (6 × 6mm、0.5mm ピッチ)	40-QFN (6 × 6mm、 0.5mm ピッチ)	48-QFN (6 × 6mm、0.5mm ピッチ) 97-BGA (6 × 6mm、0.5mm および 0.65mm ピッチ)

* PMG1-S3 の詳細については、最寄りの[サイプレス営業所](#)にお問い合わせください。

本書の残りの部分では、PMG1-S0 デバイスについて詳しく説明します。

PMG1-S0 の概要

PMG1-S0 は、64KB フラッシュ、完全な Type-C USB-PD トランシーバ、Type-C ポート上のシンクをサポートするプルダウン終端抵抗 R_D 、およびシステムレベルの ESD 保護を備えています。これは 24 ピン QFN パッケージで提供されています。

特長

Type-C および USB-PD 対応

- USB PD3.0 バージョン 2.0 仕様に対応
- 終端抵抗 R_D
- 1 個の USB Type-C ポートに対応

レガシー／独自の充電ブロック

- Apple Charging 2.4A、BC 1.2 に対応
- USB DP/DM ラインにすべての必要な終端抵抗を統合

システム レベル フォールト保護

- VBUS-CC 短絡保護
- オンチップ過電圧保護 (OVP) および低電圧保護 (UVP)

32 ビット MCU サブシステム

- Arm Cortex-M0 CPU
- 64KB フラッシュ
- 8KB SRAM

クロックおよび発振器

- 内蔵発振器により外部クロックが不要

電源

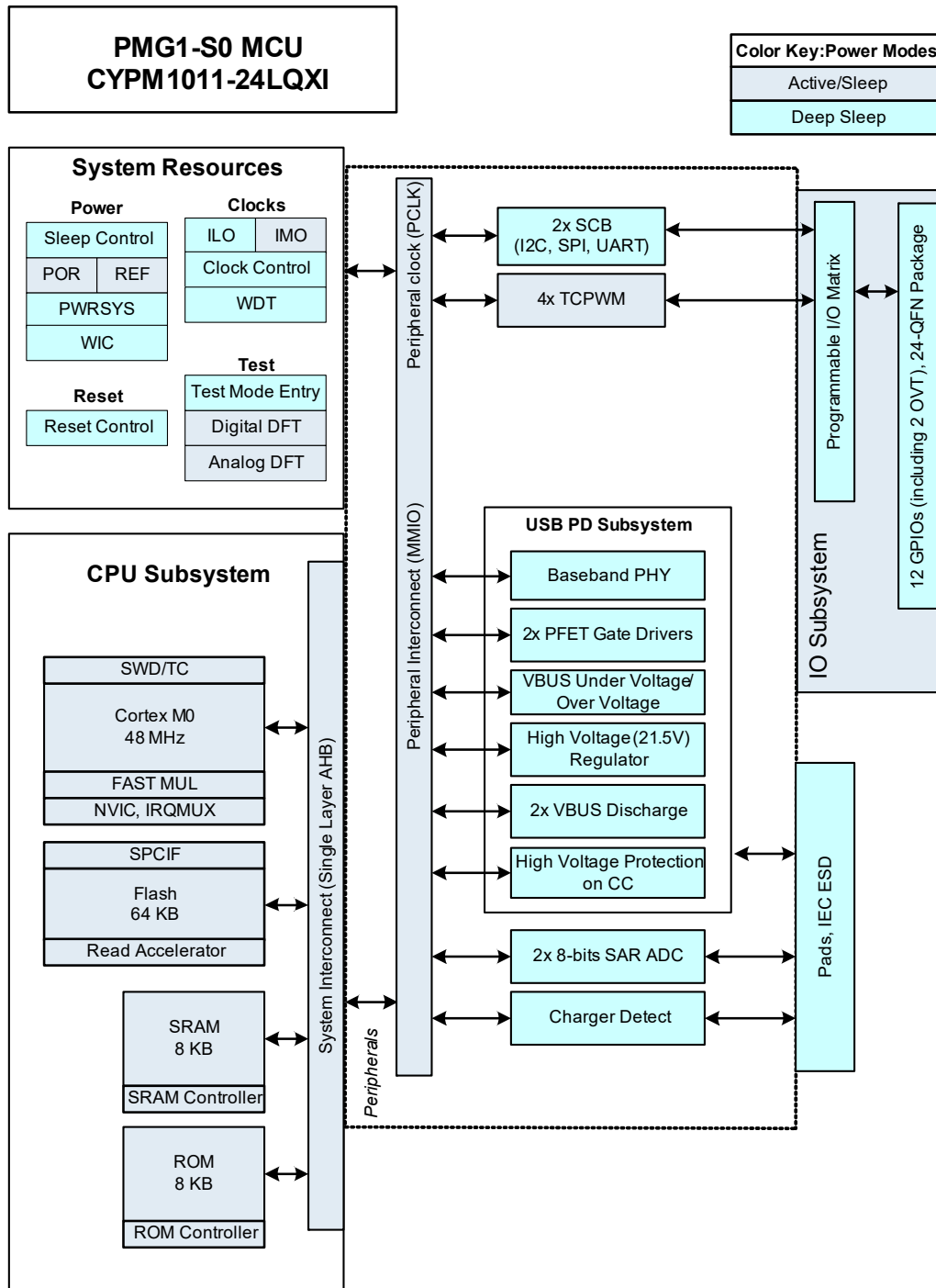
- VDDD (2.7V ~ 5.5V)
- VBUS (4.0V ~ 21.5V)

システム レベル ESD 保護

- CC、VBUS_MON、USBDP、USBDM、P2.2、P2.3 ピンに適用
- IEC61000-4-2 レベル 4C に基づいた $\pm 8\text{kV}$ 接触放電および $\pm 15\text{kV}$ 空中放電

パッケージ

- 24 ピン QFN
- 産業用拡張温度範囲 (-40°C ~ +105°C) に対応

ブロック図


目次

開発サポート	7	注文情報	27
ドキュメント	7	注文コードの定義	27
オンライン	7	パッケージ	28
ツール	7	略語	30
ModusToolbox™ IDE および PMG1 SDK	8	本書の表記法	32
機能概要	9	測定単位	32
MCU サブシステム	9	改訂履歴	33
USB-PD サブシステム (SS)	9	販売、ソリューションおよび法律情報	34
内蔵デジタル ブロック	10	ワールドワイド販売と設計サポート	34
I/O サブシステム	10	製品	34
電源システム概要	11	PSoC® ソリューション	34
ピン配置	12	サイプレス開発者コミュニティ	34
アプリケーション図	15	テクニカル サポート	34
電氣的仕様	16		
絶対最大定格	16		
デバイス レベルの仕様	17		
デジタル ペリフェラル	20		
システム リソース	22		

開発サポート

PMG1 ファミリーには、開発プロセスを支援する豊富なドキュメント、開発ツールおよびオンライン リソースが用意されています。詳細については、www.cypress.com/products/ez-pd-pmg1 をご覧ください。

ドキュメント

PMG1 ファミリーをサポートするドキュメント一式により、ユーザーは疑問点に対する答えを素早く見つけられます。重要なドキュメントのいくつかをここにリストアップします。

ソフトウェア ユーザー ガイド : ModusToolbox™ (MTB) の使用に関する段階を追った手引き書です。ソフトウェア ユーザー ガイドには、MTB によるビルド プロセスの詳細、MTB を用いたソース制御の使い方などが記載されています。

コンポーネント データシート : PMG1 の柔軟性によって、デバイスが量産に入ってから長い期間の後でも新しいペリフェラル (コンポーネント) を作成できます。コンポーネント データシートには、機能説明、API ドキュメント、推奨サンプルコード、AC/DC 仕様を含む、特定のコンポーネントの選択および使用に必要な情報がすべて記載されています。

アプリケーション ノート : 入門のアプリケーション ノートとハードウェア設計ガイドラインが含まれます。

テクニカル リファレンス マニュアル : テクニカル リファレンス マニュアル (TRM) には、すべての PMG1 レジスタの詳細な説明など、PMG1 デバイスを使用する際に必要な技術的詳細がすべて記載されています。TRM は www.cypress.com/products/ez-pd-pmg1 の「Documentation」セクションにあります。

オンライン

印刷された資料のほかに、[サイプレス PMG1 フォーラム](http://www.cypress.com/forums)によって 24 時間 365 日、世界中の他のユーザーや PMG1 の専門家と連絡がとれます。

ツール

業界標準のコア、プログラミングおよびデバッグ インターフェイスを備えた PMG1 ファミリーは、開発ツール エコシステムの一部です。

革新的で使いやすい ModusToolbox IDE、サポートされるサードパーティーのコンパイラ、プログラマ、デバッグおよび開発キットの最新情報については、Web サイト

<https://www.cypress.com/products/modus-toolbox-software-environment> をご覧ください。

ModusToolbox™ IDE および PMG1 SDK

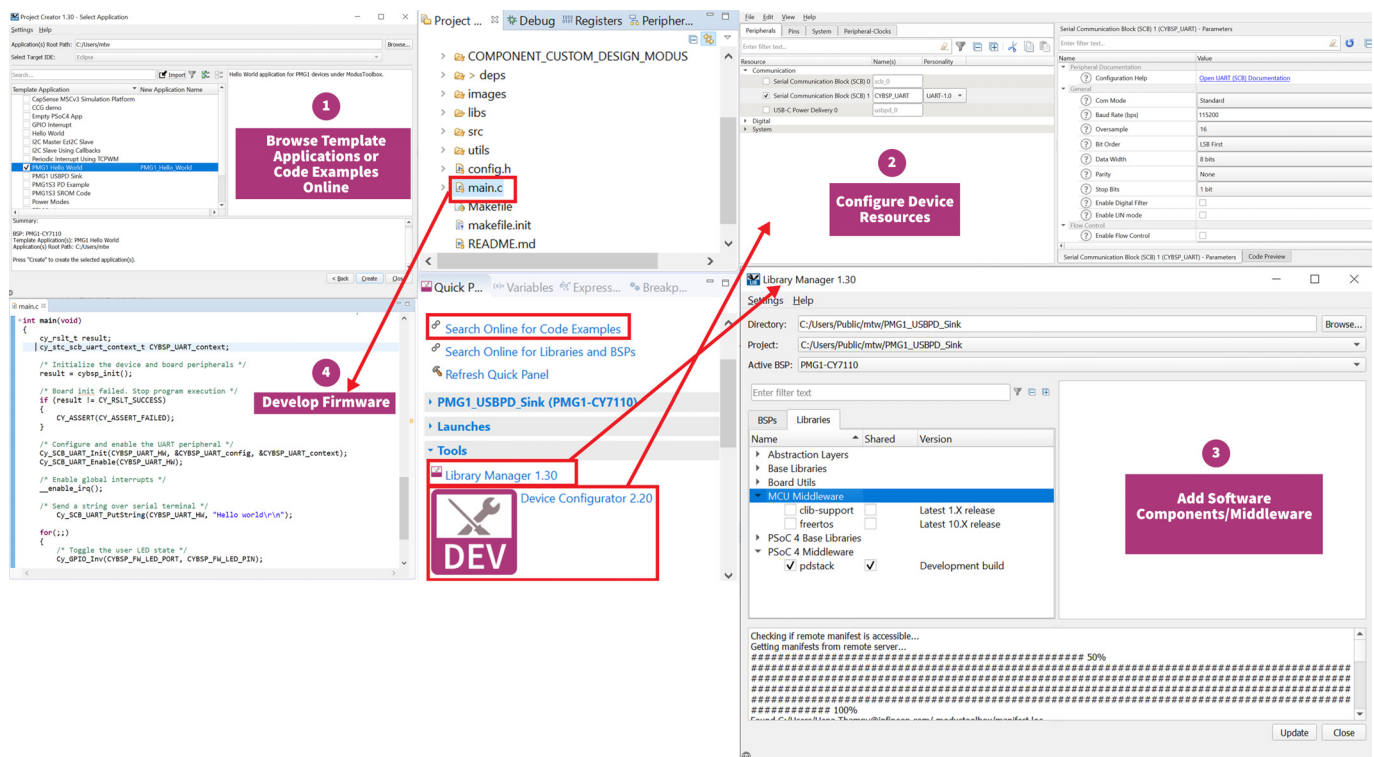
ModusToolbox は、Windows、macOS、および Linux プラットフォームで実行される Eclipse ベースの開発環境であり、ModusToolbox IDE と PMG1 SDK を含みます。ModusToolbox IDE はアプリケーションを構築するために、いくつかのデバイス リソース、ミドルウェアおよびファームウェアを組み合わせます。ModusToolbox を使用すると、デバイス リソースとミドルウェア ライブラリを有効にして構成し、C/C++/ アセンブリのソースコードを記述し、デバイスをプログラムしてデバッグできます。

PMG1 SDK は PMG1 MCU ファミリー向けのソフトウェア開発キットです。SDK を使用すると、デバイス リソースの複雑さを理解しなくても、サポートされているデバイスのファームウェアを簡単に開発できます。

ModusToolbox の使用の詳細については、ModusToolbox を使用する PMG1 MCU 入門のアプリケーション ノートと、ModusToolbox に統合されたドキュメントおよびヘルプを参照してください。図 2 に示すように、ModusToolbox IDE を使用すると、以下のことができます。

1. キットまたはデバイスでフィルターされるテンプレート アプリケーションのリストに基づいて新しいアプリケーションを作成するか、サンプル コードのコレクションをオンラインで閲覧する
2. Device Configurator でデバイス リソースを構成して、ワークスペースでハードウェア システム設計を構築する
3. ソフトウェア コンポーネントまたはミドルウェアを追加する
4. アプリケーション ファームウェアを開発する

図 2. ModusToolbox IDE のリソースとミドルウェア



機能概要

MCU サブシステム

CPU

PMG1-S0 内の Cortex-M0 CPU は 32 ビット MCU サブシステムの一部であり、広範なクロックゲーティングに対応した低消費電力動作に最適化されています。

また、CPU は 2 線式 JTAG のシリアルワイヤデバッグ (SWD) インターフェースも備えています。PMG1-S0 に使用するデバッグコンフィギュレーションには、4 個のブレークポイント (アドレス) コンパレータと 2 個のウォッチポイント (データ) コンパレータがあります。

フラッシュ

PMG1-S0 デバイスは、フラッシュブロックからの平均アクセス時間を改善するために、CPU に密結合されたフラッシュアクセラレータと 1 つの 64KB フラッシュバンクを備えたフラッシュモジュールを持っています。

SRAM

ブートおよびコンフィギュレーションルーチンを含む監視 ROM が提供されます。

USB-PD サブシステム (SS)

USB-PD サブシステムは、Type-C USB ポートへのインターフェースを提供します。このサブシステムは高電圧レギュレータ、OVP および電源スイッチブロックからなります。また、Type-C ポート上でサポートされているすべての必要な ESD も含まれています。

USB-PD 物理層

USB-PD 物理層は、PD 3.0 規格に従って CC チャンネルを介して BMC 符号化データを通信するトランスミッタとレシーバから成ります。すべての通信は半二重です。物理層 (PHY) は、チャネル上の通信エラーを最小限に抑えるために衝突回避を実行します。

USB-PD ブロックには、USB Type-C 仕様で要求される R_D 終端抵抗とスイッチが含まれています。終端抵抗は、接続検出、プラグ方向検出を実装し、シンクのパワーロールを確立するために必要です。デッドバッテリー R_D 終端により、PMG1-S0 デバイスは電力を供給されていないときにシンクとして識別できます。

ADC

ADC は、チップ上の汎用 AD 変換のアプリケーションに利用できる小フットプリントの 8 ビット 125ksps SAR ADC です。この ADC はチップ搭載アナログマルチプレクサを介して、すべての GPIO および USB の DP/DM ピンからアクセスできます。PMG1-S0 は、2 個の ADC インスタンスを含みます。ADC の電圧リファレンスは、VDDD 電源または内部バンドギャップのいずれから生成されます。ADC で GPIO ピンの電圧を検出するとき、そのピン電圧は VDDIO 電源電圧を超えることはできません。

充電検出

USBPD/DM ピンに接続された充電検出ブロックにより、PMG1-S0 は BC1.2 および Apple Charging 規格に準拠した従来のバッテリー充電を検出できます。

VBUS 低電圧と過電圧保護

PMG1-S0 チップには、Type-C ポートで構成可能な閾値と応答時間を備えた VBUS OVP/UVP 用の統合ハードウェアブロックがあります。

VBUS 短絡保護

PMG1-S0 は、4 本の VBUS 短絡保護ピンを提供します：CC1、CC2、P2.2、および P2.3。これらのピンは、誤って高電圧 VBUS と短絡しないように保護されています。CC1 と CC2 ピンが USB Type-C コネクタの VBUS ピンの隣に配置されているため、偶発的な短絡が発生することがあります。高電圧 VBUS 短絡保護を備えないパワーデリバリーコントローラーは、偶発的な短絡の発生で損傷します。保護回路がトリガされると、PMG1-S0 は OVT ピン上の VDC が 17V 未満の場合は永久に、17V ~ 22V の場合は 1000 時間動作できます。CC ピンで VBUS 短絡イベントが発生すると、USB Type-C ケーブルの RLC 素子によって発生した一時的な高リンギング電圧が観測できます。PMG1-S0 の接続なしでは、このリンギング電圧は最大 VBUS 電圧 (21.5V) の 2 倍 (44V) になることがあります。しかし、PMG1-S0 が接続されている場合、一時的な高リンギング電圧をクランプし、IEC ESD 保護ダイオードを使用して CC ピンを保護できます。

VBUS パス上の PFET ゲートドライバ

PMG1-S0 には、VBUS コンシューマパス上で外部 PFET を駆動するための 2 つの統合 PFET ゲートドライバを備えています。VBUS_FET_CTRL_0 ゲートドライバはアクティブなプルアップ抵抗に接続されており、HIGH、LOW または High-Z の駆動が可能です。

VBUS_FET_CTRL_1 ゲートドライバは LOW または High-Z の駆動のみが可能であり、外付けプルアップ抵抗が必要です。これらのピンは VBUS 電圧に耐えられます。

VBUS 放電 FET

PMG1-S0 はまた、取り外し時に USB-PD 仕様のタイミングを満たすように VBUS を放電するための 2 個の統合 VBUS 放電 FET を備えています。

内蔵デジタルブロック

シリアル通信ブロック (SCB)

PMG1-S0 は I²C、SPI または UART インターフェースを実装するように設定できる 2 個の SCB を内蔵しています。ハードウェア I²C ブロックは、マルチマスター アービトレーションが可能なフル マルチマスターおよびスレーブ インターフェースを実装します。SPI モードでは、SCB ブロックはマスターまたはスレーブとして動作するように設定できます。

I²C モードでは、SCB ブロックは最大 1Mbps (ファースト モード プラス) で動作でき、CPU の割込みオーバヘッドとレイテンシを削減するためにバッファリング オプションを柔軟に選択できます。これらのブロックはまた、PMG1-S0 のメモリにメールボックス アドレス範囲を作る I²C に対応しており、メモリ アレイへの読み書きをする I²C 通信を効果的に縮小します。さらに、送受信の深さ 8 の FIFO にも対応しています。これは、CPU がデータを読み出す時間を増加させて、CPU が時間どおりにデータを読み出せないことに起因したクロック ストレッチの必要性を大幅に低減します。

I²C ペリフェラルは NXP I²C バスの仕様とユーザー マニュアル (UM10204) で定義されているとおりに I²C 標準モード、ファースト モード、およびファースト モード プラスのデバイスと互換性があります。I²C バス I/O は、オープンドレイン モードの GPIO で実装されます。

以下の点では、PMG1-S0 の SCB ブロック上の I²C ポートは I²C 仕様に完全に準拠していません。

- SCB1 の I²C ポート用の GPIO セルは、過電圧耐性ががないため、I²C システムの残りの部分から独立してホットスワップや電源投入できません。
- ファースト モード プラスの I_{OL} 仕様は、V_{OL} 0.4V で 20mA です。GPIO セルは V_{OL} 最大値 0.6V で I_{OL} 最大値は 8mA です。
- ファースト モードとファースト モード プラスは、GPIO セルで満たせない最小立ち下り時間の仕様があります。低速スローリング モードはバス負荷によってはこの仕様を満たすことがあります。

タイマー/カウンター/ PWM (TCPWM) ブロック

PMG1-S0 には 4 個の TCPWM ブロックがあります。各 TCPWM ブロックは、16 ビット タイマー、カウンター、パルス幅変調器 (PWM)、直交デコーダ機能を実装します。ブロックは入力信号の周期とパルス幅の測定 (タイマー) や特定のイベントが発生する回数のカウント (カウンター)、PWM 信号の生成、直交信号の復号に使用されます。

I/O サブシステム

PMG1-S0 は最大 12 の GPIO を持っており、その一部は SCB の機能 (I²C、UART、SPI) にも使用できます。GPIO ピン P0.0 および P0.1 は、過電圧耐性 (OVT) (最大 6V) です。

GPIO ブロックは以下を実装します。

- 7 つの駆動強度モード：
 - 入力のみ
 - 弱プルアップ、強プルダウン
 - 強プルアップ、弱プルダウン
 - オープンドレイン、強プルダウン
 - オープンドレイン、強プルアップ
 - 強プルアップ、強プルダウン
 - 弱プルアップ、弱プルダウン
- 入力閾値選択 (CMOS または LVTTTL)
- 駆動強度モード以外に、入力と出力バッファのイネーブル/ディセーブルの個別制御
- 前の状態をラッチするための保持モード (ディープスリープモードで I/O 状態を維持するため)
- EMI を改善するための dV/dt 関連のノイズ制御用の選択可能なスルーレート

電源投入とリセットの間、I/O ピンは無効状態になり、入力に過電流を与えず、過剰なターンオン電流を発生させないようにします。高速 I/O マトリックスとして知られている多重化ネットワークは、1 本の I/O ピンに接続され得る複数の信号間を多重化するために使用されます。

ポート ピン P1.0 と P1.1 は、OVP/UVP に対するフォールト状態を示すように設定できます。2 つのフォールト状態は 2 個の GPIO にマッピングできるか、論理和が取られ 1 本の GPIO にマッピングできます。

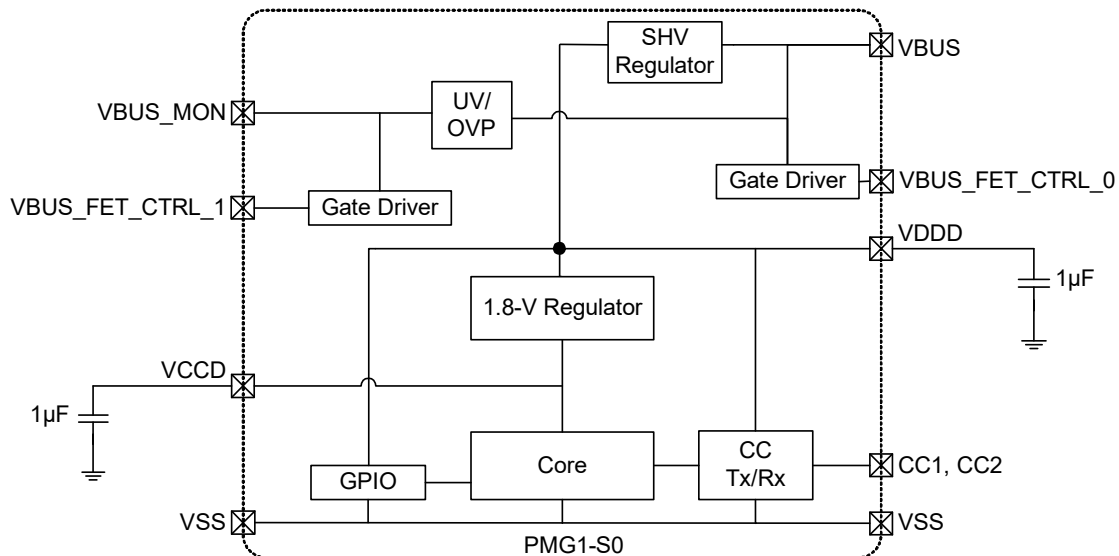
電源システム概要

PMG1-S0 は VBUS (4.0V ~ 21.5V) または VDDD (2.7V ~ 5.5V) の外部電源から動作できます。VBUS を介して電源供給される場合、内部レギュレータはチップ動作のために 3.3V の VDDD を生成します。安定化された電源 VDDD は、いくつかのアナログ ブロック内で直接使用されるか、またはレギュレータを使用して、コアの大部分に電源を供給する VCCD (1.8V) にさらに降圧されます。PMG1-S0 は 3 つの電力モード (アクティブ、スリープ、ディープスリープ) があります。これらの電力モード間の遷移は電源システムによって管理されます。VBUS ピンを介した電源供給の場合、VDDD は外部デバイスに電源を供給するために使用できず、レギュレータの安定化のみを目的として 1 μ F コンデンサに接続する必要があります。したがって、これらのピンは汎用的な電源としてサポートされていません。コンデンサの接続については、アプリケーション図を参照してください。

表 2. PMG1-S0 電力モード

モード	説明
パワーオン リセット (POR)	電源が有効および内部リセット ソースがアサートされたか、またはスリープ コントローラーがシステムをリセット状態から起動している
アクティブ	電源が有効および CPU が命令を実行している
スリープ	電源が有効および CPU が命令を実行していない。電力節約のために、動作中でないすべてのロジックはクロックゲートされる
ディープ スリープ	主レギュレータおよびほとんどのブロックがオフにされる。ディープ スリープ レギュレータがロジックに電源を供給するが、低速クロックのみ利用可能

図 3. 電源システム要件のブロック図



ピン配置

表 3. PMG1-S0 ピン説明

グループ	24 ピン QFN	ピン名	説明
GPIO およびシリアルインターフェース	1	P1.0 / UART_1_CTS / SPI_0_SEL /	ポート 1 ピン 0: GPIO / UART_1_CTS / SPI_0_SEL / I2C_1_SDA ^[1] / TCPWM_line_2 ^[4] 、プログラマブル OVP / UVP フォールト表示
	2	P1.1 / UART_1_RTS / SPI_0_MISO / I2C_1_SCL	ポート 1 ピン 1: GPIO / UART_1_RTS / SPI_0_MISO / I2C_1_SCL ^[1] / TCPWM_line_3 ^[5] 、プログラマブル OVP / UVP フォールト表示
	5	P1.2 / UART_1_TX1 / SPI_0_MOSI	ポート 1 ピン 2: GPIO / UART_1_TX1 / SPI_0_MOSI
	6	P1.3 / UART_1_RX1 / SPI_0_CLK	ポート 1 ピン 3: GPIO / UART_1_RX1 / SPI_0_CLK
	7	P0.0 / SWD_IO / UART_0_CTS / SPI_1_MOSI / I2C_0_SDA	ポート 0 ピン 0: GPIO / OVT / SWD_IO / UART_0_CTS / SPI_1_MOSI / I2C_0_SDA / TCPWM_line_0 ^[2]
	8	P0.1 / SWD_CLK / UART_0_RTS / SPI_1_MISO / I2C_0_SCL	ポート 0 ピン 1: GPIO / OVT / SWD_CLK / UART_0_RTS / SPI_1_MISO / I2C_0_SCL / TCPWM_line_1 ^[3]
	9	P2.0 / UART_0_TX0 / SPI_1_SEL	ポート 2 ピン 0: GPIO / TCPWM_line_2 / UART_0_TX0 / SPI_1_SEL このピンは、電源投入時の I/O 初期化時間 (詳細は表 7 を参照してください) の間内部でプルアップされる。 また、これはオープン ドレイン動作モードでのみ使用できる出力専用ピン
	10	P2.1 / UART_0_RX0 / SPI_1_CLK	ポート 2 ピン 1: GPIO / TCPWM_line_3 / UART_0_RX0 / SPI_1_CLK
	12	P2.2 / UART_0_TX1 / I2C_1_SDA	ポート 2 ピン 2: プルアップ アシスト付きオープン ドレイン GPIO。GPIO_20VT ^[6] / UART_0_TX1 / I2C_1_SDA / TCPWM_line_0 / IEC として構成可能。VBUS ピンとの一時的な短絡を許容
	13	P2.3 / UART_0_RX1 / I2C_1_SCL	ポート 2 ピン 3: プルアップ アシスト付きオープン ドレイン GPIO。GPIO_20VT / UART_0_TX1 / I2C_1_SCL / TCPWM_line_1 / IEC として構成可能。VBUS ピンとの一時的な短絡を許容
	16	P3.1 / USBDM / UART_1_RX0	USBDM / ポート 3 ピン 1: GPIO / UART_1_RX0 / BC 1.2 / Apple Charging / IEC 準拠
	17	P3.0 / USBDP / UART_1_TX0	USBPD / ポート 3 ピン 0: GPIO / UART_1_TX0 / BC 1.2 / Apple Charging / IEC 準拠
USB Type-C	14	CC2	デッドバッテリー R _D 接続オプション付き通信チャネル 2 / IEC 準拠。VBUS ピンとの一時的な短絡を許容
	15	CC1	デッドバッテリー R _D 接続オプション付き通信チャネル 1 / IEC 準拠。VBUS ピンとの一時的な短絡を許容

注:

- 2 個の SCB ブロック (SCB0 と SCB1) のうち、SCB0 の I2C 機能は P0.0/P0.1 の GPIO ピンにマッピングする一方、SCB1 の I2C 機能は P1.0/P1.1 または P2.2/P2.3 の GPIO ピンにマッピングできる柔軟性があります。
- TCPWM_line_0 はポート ピン P0.0 または P2.2 にマッピングできます。
- TCPWM_line_1 はポート ピン P0.1 または P2.3 にマッピングできます。
- TCPWM_line_2 はポート ピン P1.0 または P2.0 にマッピングできます。
- TCPWM_line_3 はポート ピン P1.1 または P2.1 にマッピングできます。
- これらのピンに関する仕様については、表 10 および表 11 を参照してください。

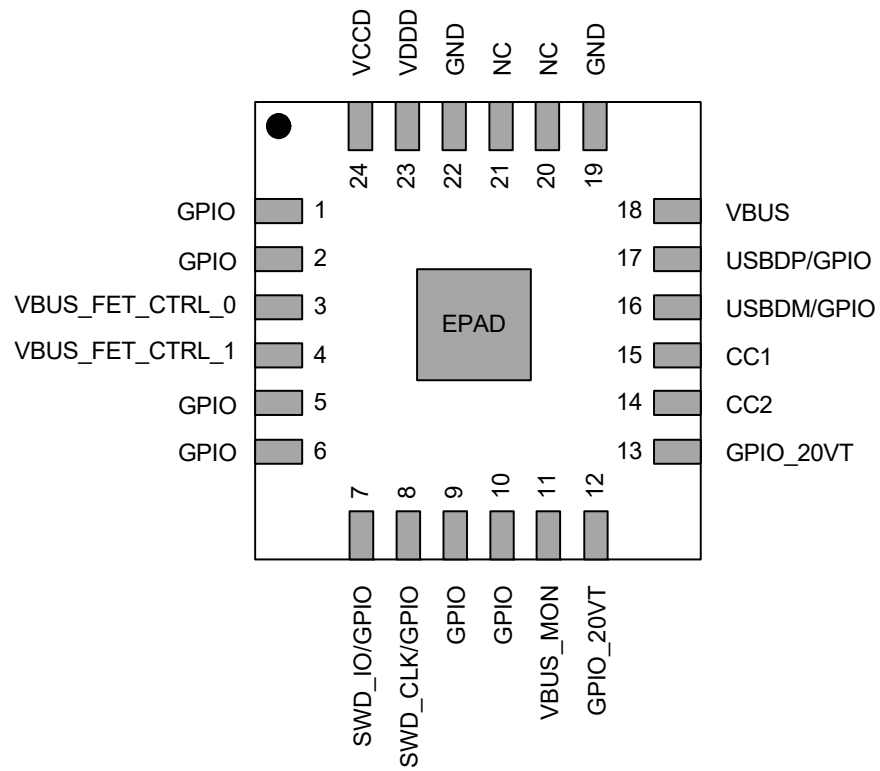
表 3. PMG1-S0 ピン説明 (続き)

グループ	24ピン QFN	ピン名	説明
VBUS	3	VBUS_FET_CTRL_0	内部プルアップ抵抗に接続した外部 PMOS FET 制御 (30V 許容) 0: パスがオン 1: パスがオフ
	4	VBUS_FET_CTRL_1	外部 PMOS FET 制御 (30V 許容) 0: パスがオン Z: パスがオフ このピンを使用するために、外付けプルアップ抵抗が必要
	11	VBUS_MON	内部放電 FET 付き Type C VBUS モニター
電源	18	VBUS	内部放電 FET 付き VBUS 電源入力 (4.0V ~ 21.5V)
	23	VDDD	3.3V 内部レギュレータの出力。1μF コンデンサおよび 2 個の 100nF コンデンサに接続
	24	VCCD	1.8V 内部レギュレータの出力 (電源として使用するものではない)。1μF デカップリング コンデンサに接続
GND	19	GND	システム グランド ピン
	22	GND	グランド
	EPAD	GND	グランド
NC	20	NC	未接続
	21	NC	未接続

表 4. SCB およびそれらの機能

ポート	24-QFN	SCB 機能			TCPWM	フォールト インジケータ	保護容量		USB 充電信号		IEC4
		UART	SPI	I2C			VBUS 短絡	OVT	BC1.2	Apple	
P0.0	7	UART_0_CTS	SPI_1_MOSI	I2C_0_SDA	TCPWM_line_0:0	—	—	有	—	—	—
P0.1	8	UART_0_RTS	SPI_1_MISO	I2C_0_SCL	TCPWM_line_1:0	—	—	有	—	—	—
P1.0	1	UART_1_CTS	SPI_0_SEL	I2C_1_SDA	TCPWM_line_2:1	有	—	—	—	—	—
P1.1	2	UART_1_RTS	SPI_0_MISO	I2C_1_SCL	TCPWM_line_3:1	有	—	—	—	—	—
P1.2	5	UART_1_TX1	SPI_0_MOSI	—	—	—	—	—	—	—	—
P1.3	6	UART_1_RX1	SPI_0_CLK	—	—	—	—	—	—	—	—
P2.0	9	UART_0_TX0	SPI_1_SEL	—	TCPWM_line_2:0	—	—	—	—	—	—
P2.1	10	UART_0_RX0	SPI_1_CLK	—	TCPWM_line_3:0	—	—	—	—	—	—
P2.2	12	UART_0_TX1	—	I2C_1_SDA	TCPWM_line_0:1	—	有	—	—	—	有
P2.3	13	UART_0_RX1	—	I2C_1_SCL	TCPWM_line_1:1	—	有	—	—	—	有
P3.0	17	UART_1_TX0	—	—	—	—	—	—	USBDP	USBDP	有
P3.1	16	UART_1_RX0	—	—	—	—	—	—	USBDM	USBDM	有

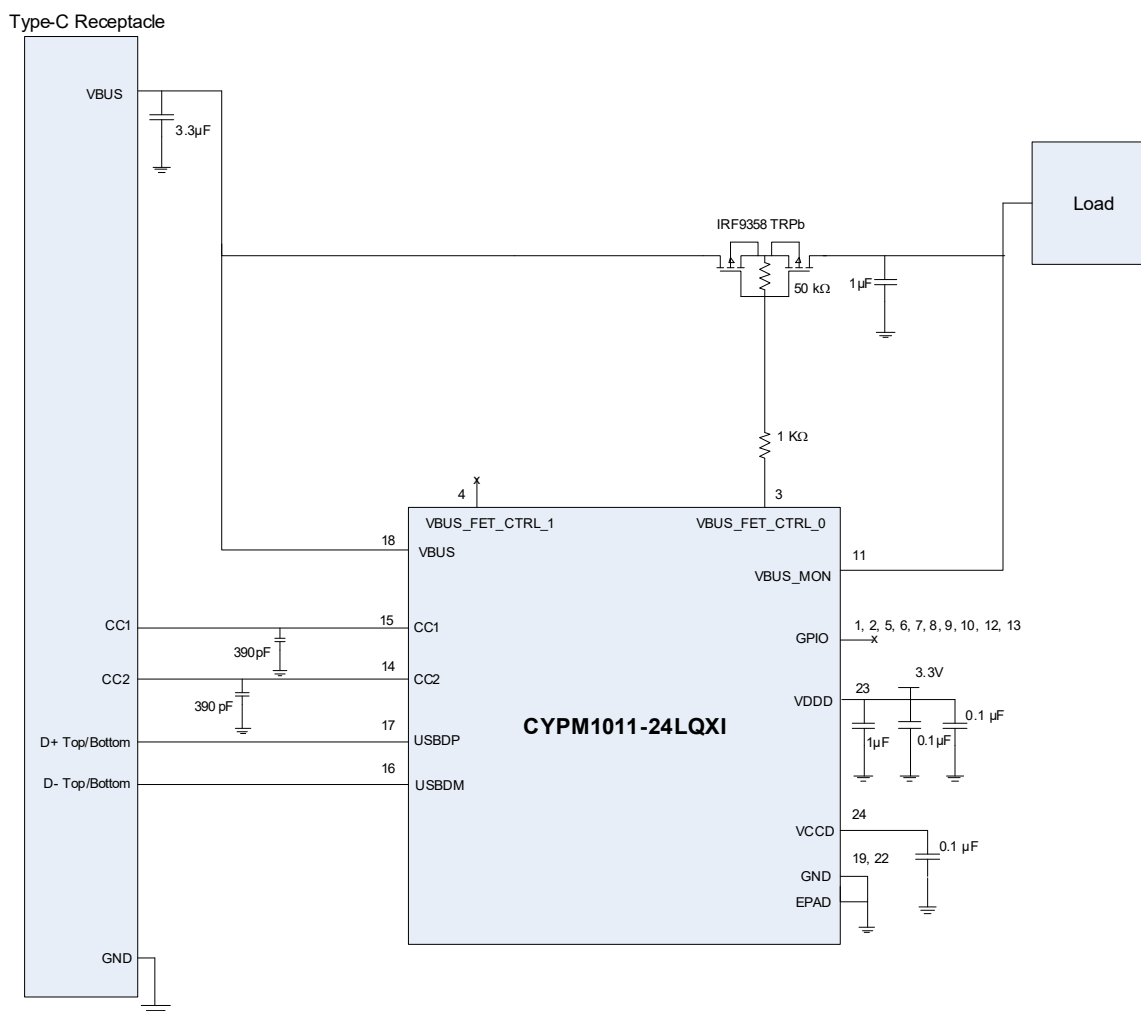
図 4. 24-QFN パッケージのピン配置 (上面図)



アプリケーション図

図 5 に、PMG1-S0 を使用したシンク アプリケーションを示します。これには 2 つの主要部分として、アプリケーションに入力電力を提供する USB Type-C レセプタクル、および出力電力として使用される負荷があります。

図 5. PMG1-S0 ベースのシンク アプリケーション図



電氣的仕様

絶対最大定格

表 5. 絶対最大定格 [7]

パラメーター	説明	Min	Typ	Max	単位	詳細/条件
V_{BUS_MAX}	VBUS および VBUS_MON ピンの、 V_{SS} を基準にした最大電源電圧	–	–	30	V ^[8]	絶対最大値
V_{DDD_MAX}	V_{SS} を基準にした最大電源電圧	–	–	6	V	
$V_{CC_PIN_ABS}$	該当デバイスにおける、CC1 と CC2 ピンおよび P2.2 と P2.3 ポート ピンの最大電圧	–	–	22 ^[9]	V	
V_{GPIO_ABS}	GPIO 電圧	-0.5 ^[10]	–	$V_{DDD}+0.5$	V	
I_{GPIO_ABS}	GPIO ごとの最大電流	-25	–	25	mA	
$I_{GPIO_injection}$	GPIO 注入電流、 $V_{IH} > V_{DDD}$ の場合は Max、 $V_{IL} < V_{SS}$ の場合は Min	-0.5	–	0.5	mA	絶対最大値、ピンごとの注入された電流
$V_{GPIO_OVT_ABS}$	OVT GPIO 電圧	-0.5	–	6	V	P0.0 と P0.1 のポート ピンに適用
ESD_HBM	静電気放電 (人体モデル)	2200	–	–	V	–
ESD_CDM	静電気放電 (デバイス帯電モデル)	500	–	–	V	–
LU	ラッチアップ時のピン電流	-100	–	100	mA	–
ESD_IEC_CON	静電気放電 (IEC61000-4-2)	8000	–	–	V	CC1、CC2、VBUS、P2.2 および P2.3 ピンの接触放電
ESD_IEC_AIR	静電気放電 (IEC61000-4-2)	15000	–	–	V	USBDP、USBDM、CC1、CC2、VBUS、P2.2 および P2.3 ピンの空中放電

注：

7. 表 5 に記載されている絶対最大条件を超えて使用すると、デバイスに恒久的なダメージを与える可能性があります。長時間にわたって絶対最大条件下に置くと、デバイスの信頼性に影響する可能性があります。最大保管温度は JEDEC 標準「JESD22-A103、High Temperature Storage Life」に準拠した 150°C です。絶対最大条件以下で使用している場合でも、標準的な動作条件を超えると、デバイスが仕様に従って動作しない可能性があります。
8. 特に指定がない限り、すべての電圧はグラウンドを基準にしています。
9. USB PD 仕様では、VBUS 最大許容電圧は 21.5V です。
10. システムでは、負のスパイクがここで指定された最小電圧を超える場合は、ショットキー ダイオードを追加して負のスパイクをクランプすることを推奨します。

デバイス レベルの仕様

特記のない限り、すべての仕様は $-40^{\circ}\text{C} \leq T_A \leq 105^{\circ}\text{C}$ および $T_J \leq 120^{\circ}\text{C}$ の条件で有効です。

表 6. DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.PWR#2	V_{DDD}	電源入力電圧	2.7	–	5.5	V	シンク モード、 $-40^{\circ}\text{C} \leq T_A \leq 105^{\circ}\text{C}$
SID.PWR#3	$V_{\text{BUS_IN}}$	電源入力電圧	4.0	–	21.5	V	$-40^{\circ}\text{C} \leq T_A \leq 105^{\circ}\text{C}$
SID.PWR#5	V_{CCD}	コア ロジック用の出力電圧	–	1.8	–	V	–
SID.PWR#13	C_{exc}	V_{DDD} 用電源デカップリング コンデンサ	0.8	1	–	μF	X5R セラミックまたはこれより良質のもの
SID.PWR#14	C_{exv}	V_{BUS} 用電源デカップリング コンデンサ	–	0.1	–	μF	X5R セラミックまたはこれより良質のもの
アクティブ モード。Typ 値は $V_{\text{DDD}} = 5.0\text{V}$ または $V_{\text{BUS}} = 5.0\text{V}$ および $T_A = 25^{\circ}\text{C}$ の条件で測定							
SID.PWR#8	$I_{\text{DD_A}}$	V_{BUS} または V_{DDD} からの供給電流	–	10	–	mA	$V_{\text{DDD}} = 5\text{V}$ または $V_{\text{BUS}} = 5\text{V}$ 、 $T_A = 25^{\circ}\text{C}$ 、CC1/CC2 が Tx または Rx、I/O ソース電流なし、2 個の SCB が 1Mbps で動作、ADC/UVOV がオン、CPU が 24MHz で動作
スリープ モード。Typ 値は $V_{\text{DD}} = 3.3\text{V}$ および $T_A = 25^{\circ}\text{C}$ の条件で測定							
SID25A	$I_{\text{DD_S}}$	CC、 $I^2\text{C}$ 、WDT ウェイクアップが有効。IMO が 24MHz で動作	–	3	–	mA	$V_{\text{DDD}} = 3.3\text{V}$ 、 $T_A = 25^{\circ}\text{C}$ 、CPU を除くすべてのブロックがオン、CC I/O がオン、ADC/UVOV がオン
ディープ スリープ モード。Typ 値は $T_A = 25^{\circ}\text{C}$ の条件で測定							
SID_DS_A_SNK	$I_{\text{DD_PB_DS_A_SNK}}$	$V_{\text{BUS}} = 4.0 \sim 21.5\text{V}$ 。 CC、 $I^2\text{C}$ 、WDT ウェイクアップが有効	–	500	–	μA	パワー シンク アプリケーション。 $V_{\text{BUS}} = 21.5\text{V}$ 、 $T_A = 25^{\circ}\text{C}$ 、デバイスがディープ スリープモード。接続済、CC I/O がオン、ADC/UVOV がオン

表 7. AC 仕様 (特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.CLK#4	F_{CPU}	CPU 入力周波数	DC	–	48	MHz	すべての V_{DDD}
SID.PWR#17	T_{SLEEP}	スリープ モードからの復帰時間	–	0	–	μs	–
SID.PWR#18	$T_{\text{DEEPSLEEP}}$	ディープ スリープ モードからの復帰時間	–	–	35	μs	–
SYS.FES#1	$T_{\text{PWR_RDY}}$	電源投入から「 $I^2\text{C}$ /CC コマンドが受信できる」までの時間	–	5	25	ms	–
SID.PWR#18A	$T_{\text{POR_HIZ_T}}$	電源投入時の I/O 初期化時間	–	3	–	ms	–

I/O

表 8. I/O の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.GIO#37	V_{IH_CMOS}	入力電圧 HIGH 閾値	$0.7 \times V_{DD}$	—	—	V	CMOS 入力
SID.GIO#38	V_{IL_CMOS}	入力電圧 LOW 閾値	—	—	$0.3 \times V_{DD}$	V	CMOS 入力
SID.GIO#39	$V_{IH_VDDD2.7-}$	LVTTL 入力、 $V_{DD} < 2.7V$	$0.7 \times V_{DD}$	—	—	V	—
SID.GIO#40	$V_{IL_VDDD2.7-}$	LVTTL 入力、 $V_{DD} < 2.7V$	—	—	$0.3 \times V_{DD}$	V	—
SID.GIO#41	$V_{IH_VDDD2.7+}$	LVTTL 入力、 $V_{DD} \geq 2.7V$	2.0	—	—	V	—
SID.GIO#42	$V_{IL_VDDD2.7+}$	LVTTL 入力、 $V_{DD} \geq 2.7V$	—	—	0.8	V	—
SID.GIO#33	V_{OH_3V}	出力 HIGH 電圧	$V_{DD} - 0.6$	—	—	V	3V V_{DD} で $I_{OH} = 4mA$
SID.GIO#36	V_{OL_3V}	出力 LOW 電圧	—	—	0.6	V	3V V_{DD} で $I_{OL} = 10mA$
SID.GIO#5	R_{PU}	プルアップ抵抗値	3.5	5.6	8.5	k Ω	+25°C T_A 、すべての V_{DD}
SID.GIO#6	R_{PD}	プルダウン抵抗値	3.5	5.6	8.5	k Ω	+25°C T_A 、すべての V_{DD}
SID.GIO#16	I_{IL}	入力リーク電流 (絶対値)	—	—	2	nA	+25°C T_A 、3V V_{DD}
SID.GIO#17	C_{PIN_A}	ピン最大負荷容量	—	—	22	pF	USBDP、USBDM ピンの容量。特性評価で保証
SID.GIO#17A	C_{PIN}	ピン最大負荷容量	—	3	7	pF	-40°C ~ +85°C T_A 、すべての V_{DD} 、その他すべての I/O、特性評価で保証
SID.GIO#43	V_{HYSTTL}	入力ヒステリシス、 LVTTL $V_{DD} > 2.7V$	15	40	—	mV	特性評価で保証
SID.GIO#44	$V_{HYSCMOS}$	入力ヒステリシス CMOS	$0.05 \times V_{DD}$	—	—	mV	$V_{DD} < 4.5V$ 。 特性評価で保証
SID69	I_{DIODE}	保護ダイオードをとって V_{DD}/V_{SS} に流れる電流	—	—	100	μA	設計で保証
SID.GIO#45	I_{TOT_GPIO}	チップの最大合計シンク電流	—	—	85	mA	設計で保証
OVT							
SID.GIO#46	I_{IHS}	パッド電圧 > OVT 入力の V_{DD} のときの入力電流	—	—	10.00	μA	I ² C 仕様による

表 9. I/O の AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID70	T_{RISEF}	高速ストロング モードでの立ち上がり時間	2	—	12	ns	3.3V V_{DD} 、 $C_{load} = 25pF$
SID71	T_{FALLF}	高速ストロング モードでの立ち下り時間	2	—	12	ns	3.3V V_{DD} 、 $C_{load} = 25pF$

表 10. GPIO_20VT の DC 仕様 (ポート ピン P2.2 と P2.3 のみに適用)

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.GPIO_20VT#4	GPIO_20VT_I_LU	GPIO_20VT ラッチ アップ 電流制限	-140	–	140	mA	入力または出力、ピン間、 ピンと電源間を流れる Max/Min 電流
SID.GPIO_20VT#5	GPIO_20VT_RPU	GPIO_20VT プルアップ抵 抗値	1	–	25	kΩ	+25°C T _A 、 1.4V ~ GPIO_20VT_Voh (Min)
SID.GPIO_20VT#6	GPIO_20VT_RPD	GPIO_20VT プルダウン抵 抗値	2.5	–	20	kΩ	+25°C T _A 、1.4V ~ V _{DD}
SID.GPIO_20VT#16	GPIO_20VT_IIL	GPIO_20VT 入力リーク電 流 (絶対値)	–	–	2	nA	+25°C T _A 、3V V _{DD}
SID.GPIO_20VT#17	GPIO_20VT_CPIN	GPIO_20VT ピン静電容量	15	–	25	pF	-40°C ~ +85°C T _A 、 すべての V _{DD} 、F = 1MHz
SID.GPIO_20VT#36	GPIO_20VT_Vol	GPIO_20VT 出力LOW電圧	–	–	0.4	V	I _{OL} = 2mA
SID.GPIO_20VT#41	GPIO_20VT_Vih_LVTTL	GPIO_20VT LVTTL 入力 HIGH 電圧	2	–	–	V	V _{DD} ≥ 2.7V
SID.GPIO_20VT#42	GPIO_20VT_Vil_LVTTL	GPIO_20VT LVTTL 入力 LOW 電圧	–	–	0.8	V	V _{DD} ≥ 2.7V
SID.GPIO_20VT#43	GPIO_20VT_Vhysttl	GPIO_20VT 入力ヒステリ シス LVTTL	15	40	–	mV	V _{DD} ≥ 2.7V
SID.GPIO_20VT#69	GPIO_20VT_IDIODE	保護ダイオードをとって V _{DD} /V _{SS} に流れる GPIO_20VT 電流	–	–	100	μA	–

表 11. GPIO_20VT の AC 仕様 (ポート ピン P2.2 と P2.3 のみに適用)

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.GPIO_20VT#70	GPIO_20VT_TriseF	高速ストロング モードでの GPIO_20VT 立ち上り時間	1	–	45	ns	すべての V _{DD} 、C _{load} = 25pF
SID.GPIO_20VT#71	GPIO_20VT_TfallF	高速ストロング モードでの GPIO_20VT 立ち下り時間	2	–	15	ns	すべての V _{DD} 、C _{load} = 25pF

デジタル ペリフェラル

次の仕様は、タイマー モードでのタイマー／カウンタ／ PWM ペリフェラルに適用されます。

GPIO ピン用のパルス幅変調 (PWM)

表 12. PWM の AC 仕様 (特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.TCPWM.3	$T_{CPWMFREQ}$	動作周波数	–	–	F_c	MHz	$F_c \text{ Max} = CLK_SYS$ 。 Max = 48MHz
SID.TCPWM.4	$T_{PWMENEXT}$	入力トリガ パルス幅	$2/F_c$	–	–	ns	すべてのトリガ イベント
SID.TCPWM.5	$T_{PWMEEXT}$	出力トリガ パルス幅	$2/F_c$	–	–	ns	オーバーフロー、アンダーフ ローおよび CC (カウンタ=比 較値) 出力の最小幅
SID.TCPWM.5A	T_{CRES}	カウンタの分解能	$1/F_c$	–	–	ns	逐次カウント同士間の最小時間
SID.TCPWM.5B	PWM_{RES}	PWM 分解能	$1/F_c$	–	–	ns	PWM 出力の最小パルス幅
SID.TCPWM.5C	Q_{RES}	直交位相入力分解能	$1/F_c$	–	–	ns	直角位相入力同士間の最小パル ス幅

I²C

表 13. 固定 I²C の DC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID149	I_{I2C1}	100kHz でのブロック消費電流	–	–	100	μA	–
SID150	I_{I2C2}	400kHz でのブロック消費電流	–	–	135	μA	–
SID151	I_{I2C3}	1Mbps でのブロック消費電流	–	–	310	μA	–
SID152	I_{I2C4}	I ² C がディープ スリープ モードで有 効の場合	–	1.4	–	μA	–

表 14. 固定 I²C の AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID153	F_{I2C1}	ビット レート	–	–	1	Mbps	–

表 15. 固定 UART の DC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID160	I_{UART1}	100kbps でのブロック消費電流	–	–	20	μA	–
SID161	I_{UART2}	1000kbps でのブロック消費電流	–	–	312	μA	–

表 16. 固定 UART の AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID162	F_{UART}	ビット レート	–	–	1	Mbps	–

表 17. 固定 SPI の DC 仕様
 (特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID163	I _{SPI1}	1Mb/s でのブロック消費電流	–	–	360	μA	–
SID164	I _{SPI2}	4Mb/s でのブロック消費電流	–	–	560	μA	–
SID165	I _{SPI3}	8Mb/s でのブロック消費電流	–	–	600	μA	–

表 18. 固定 SPI の AC 仕様
 (特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID166	F _{SPI}	SPI 動作周波数 (マスター、6 倍オーバーサンプリング)	–	–	8	MHz	–

表 19. 固定 SPI マスター モードの AC 仕様 (特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID167	T _{DMO}	SClock 駆動エッジ後の MOSI 有効時間	–	–	15	ns	–
SID168	T _{DSI}	SClock 取得エッジ前の MISO 有効時間	20	–	–	ns	フルクロック、MISO の遅いサンプリング
SID169	T _{HMO}	直前の MOSI データ ホールド時間	0	–	–	ns	スレーブ 取得エッジを基準にする

表 20. 固定 SPI スレーブ モードの AC 仕様
 (特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID170	T _{DMI}	Sclock 取得エッジ前の MOSI 有効時間	40	–	–	ns	–
SID171	T _{DSO}	Sclock 駆動エッジ後の MISO 有効時間	–	–	42 + 3×T _{CPU}	ns	T _{CPU} = 1/F _{CPU}
SID171A	T _{DSO_EXT}	外部クロック モードでの Sclock 駆動エッジ後の MISO 有効時間	–	–	48	ns	–
SID172	T _{HMO}	直前の MISO データ ホールド時間	0	–	–	ns	–
SID172A	T _{SSELSCK}	SSEL 有効から最初の SCK 有効エッジまでの時間	100	–	–	ns	–

システム リソース

電圧低下 SWD インターフェースのパワーオン リセット (POR)

表 21. 低精度パワーオン リセット (PRES) (特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID185	$V_{RISEIPOR}$	パワーオン リセット (POR) 立ち上りトリップ電圧	0.80	–	1.50	V	–
SID186	$V_{FALLIPOR}$	POR 立ち下りトリップ電圧	0.70	–	1.4	V	–

表 22. 高精度パワーオン リセット (POR)

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID190	$V_{FALLPPOR}$	アクティブ / スリープのモードでの電圧低下検出 (BOD) トリップ電圧	1.48	–	1.62	V	–
SID192	$V_{FALLDPSLP}$	ディープ スリープ モードでの BOD トリップ電圧	1.1	–	1.5	V	–

表 23. SWD インターフェース仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.SWD#1	F_SWDCCLK1	$3.3V \leq V_{DDD} \leq 5.5V$	–	–	14	MHz	SWDCLK $\leq 1/3$ CPU クロック周波数
SID.SWD#2	F_SWDCCLK2	$2.7V \leq V_{DDD} \leq 3.3V$	–	–	7	MHz	SWDCLK $\leq 1/3$ CPU クロック周波数
SID.SWD#3	T_SWDI_SETUP	$T = 1/f_{SWDCLK}$	$0.25 \times T$	–	–	ns	–
SID.SWD#4	T_SWDI_HOLD	$T = 1/f_{SWDCLK}$	$0.25 \times T$	–	–	ns	–
SID.SWD#5	T_SWDO_VALID	$T = 1/f_{SWDCLK}$	–	–	$0.50 \times T$	ns	–
SID.SWD#6	T_SWDO_HOLD	$T = 1/f_{SWDCLK}$	1	–	–	ns	–

内部主発振器

表 24. IMO の DC 仕様

(設計で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID218	I_{IMO1}	48MHz での IMO 動作電流	–	–	1000	μA	–

表 25. IMO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.CLK#13	F_{IMOTOL}	24MHz、36MHz および 48MHz での周波数誤差 (トリム済み)	–	–	± 2	%	–
SID226	$T_{STARTIMO}$	IMO 起動時間	–	–	7	μs	特性評価で保証
SID228	$T_{JITRMSIMO2}$	24MHz での RMS ジッタ	–	145	–	ps	特性評価で保証
SID.CLK#1	F_{IMO}	IMO 周波数	24	36	48	MHz	24MHz、36MHz、48MHz の 3 つの周波数のみがサポートされる

内部低速発振器－電源切断

表 26. ILO の DC 仕様

(設計で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID231	I_{ILO1}	I_{LO} 動作電流	–	0.3	1.05	μA	–
SID233	$I_{ILOLEAK}$	I_{LO} リーク電流	–	2	15	nA	–

表 27. ILO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID234	$T_{STARTILO1}$	I_{LO} 起動時間	–	–	2	ms	特性評価で保証
SID238	$T_{ILODUTY}$	I_{LO} デューティ比	40	50	60	%	特性評価で保証
SID.CLK#5	F_{ILO}	I_{LO} 周波数	20	40	80	kHz	–

表 28. PD の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.PD.4	R_D	UFP CC 終端抵抗	4.59	5.1	5.61	k Ω	–
SID.PD.5	R_{D_DB}	CC1 と CC2 上の UFP (パワーバンク) デッド バッテリ CC 終端抵抗	4.08	5.1	6.12	k Ω	全電源が 0V、1.32V が CC1 または CC2 に印加
SID.PD.6	$V_{gndoffset}$	BMC レシーバで許容されるグランド オフセット	-500	–	500	mV	リモート BMC トランスミッタを基準にする

表 29. UV / OV 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.UVOV.1	V_{THOV1}	過電圧閾値の精度、4.0V ~ 11.0V	-3	–	3	%	アクティブ モード
SID.UVOV.2	V_{THOV2}	過電圧閾値の精度、11V ~ 27.4V	-3.2	–	3.2	%	
SID.UVOV.3	V_{THUV1}	低電圧閾値の精度、2.7V ~ 3.3V	-4	–	4	%	
SID.UVOV.4	V_{THUV2}	低電圧閾値の精度、3.3V ~ 4.0V	-3.5	–	3.5	%	
SID.UVOV.5	V_{THUV3}	低電圧閾値の精度、4.0V ~ 11.0V	-3	–	3	%	
SID.UVOV.6	V_{THUV4}	低電圧閾値の精度、11.0V ~ 22.0V	-2.9	–	2.9	%	

表 30. UV / OV の AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.UVOV.AC.1	T_{OV_GPIO}	OV 閾値トリップから出力 GPIO トグルまでの遅延時間	–	–	20	μs	P1.0 または P1.1 に適用
SID.UVOV.AC.2	T_{OV_GATE}	OV 閾値トリップから外部 PFET パワー ゲート オフまでの遅延時間	–	–	50	μs	–
SID.UVOV.AC.3	T_{UV_GPIO}	UV 閾値トリップから出力 GPIO トグルまでの遅延時間	–	–	20	μs	P1.0 または P1.1 に適用

ゲート ドライバ仕様

表 31. ゲート ドライバの DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.GD.1	R _{PD}	プルダウン抵抗	–	–	3	kΩ	外部 PFET をオンにするために VBUS_FET_CTRL_0 と VBUS_FET_CTRL_1 に適用
SID.GD.2	R _{PU}	プルアップ抵抗	–	–	4	kΩ	外部 PFET をオフにするために VBUS_FET_CTRL_0 に適用
SID.GD.3	I _{PD0}	1 の駆動強度での電圧引き下げ時のシンク電流	25	–	75	μA	5V に電圧を引き下げたときの I モード (電流モード)。外部 PFET をオンにするために VBUS_FET_CTRL_0 と VBUS_FET_CTRL_1 に適用
SID.GD.4	I _{PD1}	2 の駆動強度での電圧引き下げ時のシンク電流	50	–	150	μA	
SID.GD.5	I _{PD2}	4 の駆動強度での電圧引き下げ時のシンク電流	140	–	300	μA	
SID.GD.6	I _{PD3}	8 の駆動強度での電圧引き下げ時のシンク電流	280	–	580	μA	
SID.GD.7	I _{PD4}	16 の駆動強度での電圧引き下げ時のシンク電流	560	–	1200	μA	
SID.GD.8	I _{PD5}	32 の駆動強度での電圧引き下げ時のシンク電流	1120	–	2300	μA	
SID.GD.9	I _{leak_p1}	VBUS_FET_CTRL_0 ピン上のリーク電流	–	0.003	–	μA	+25°C T _J , 5V V _{DDD} , 20V V _{BUS}
SID.GD.10	I _{leak_c1}	VBUS_FET_CTRL_1 ピン上のリーク電流	–	0.003	–	μA	+25°C T _J , 5V V _{DDD} , 20V V _{BU}
SID.GD.11	I _{leak_p2}	VBUS_FET_CTRL_0 ピン上のリーク電流	–	–	2	μA	+85°C T _J , 5V V _{DDD} , 20V V _{BU}
SID.GD.12	I _{leak_c2}	VBUS_FET_CTRL_1 ピン上のリーク電流	–	–	2	μA	+85°C T _J , 5V V _{DDD} , 20V V _{BU}
SID.GD.13	I _{leak_p3}	VBUS_FET_CTRL_0 ピン上のリーク電流	–	–	7	μA	+125°C T _J , 5V V _{DDD} , 20V V _{BU}
SID.GD.14	I _{leak_c3}	VBUS_FET_CTRL_1 ピン上のリーク電流	–	–	7	μA	+125°C T _J , 5V V _{DDD} , 20V V _{BU}

表 32. ゲート ドライバの AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.GD.15	T_{PD1}	VBUS_FET_CTRL_1 電圧引き下げ時の遅延時間	—	—	2	μs	Clload = 2nF、立ち下りエッジの開始から (VBUS - 1.5V) までの遅延、VBUS = 5V ~ 20V、VBUS_FET_CTRL_1 と VBUS の間に接続された 50K Ω
SID.GD.16	$T_{r_discharge}$	VBUS_FET_CTRL_1 上の出力ノードの放電速度	—	—	5	V/ μs	80% ~ 20%、VBUS_FET_CTRL_1 と VBUS の間に接続された 50K Ω 、Clload = 2nF、Vinitial = 24V
SID.GD.17	T_{PD2}	VBUS_FET_CTRL_0 電圧引き下げ時の遅延時間	—	—	2	μs	Clload = 2nF、立ち下りエッジの開始から (VBUS-1.5V) までの遅延、V _{BUS} = 5V ~ 20V、VBUS_FET_CTRL_0 と VBUS の間に接続された 50K Ω
SID.GD.18	T_{PU}	VBUS_FET_CTRL_0 電圧引き上げ時の遅延時間	—	—	18	μs	Clload=2nF、立ち下りエッジの開始から VBUS-1.5V までの遅延、VBUS=5V ~ 20V、VBUS_FET_CTRL_0 と VBUS の間に接続された 50K Ω
SID.GD.19	SR _{PU}	VBUS_FET_CTRL_0 上の出力スルー レート	—	—	5	V/ μs	Clload = 2nF、VBUS_FET_CTRL_0 範囲の 20% ~ 80%
SID.GD.20	SR _{PD}	VBUS_FET_CTRL_0 上の出力スルー レート	—	—	5	V/ μs	Clload = 2nF、VBUS_FET_CTRL_0 範囲の 80% ~ 20%

表 33. VBUS 放電仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.VBUS.DISC.6	I1	20V NMOS オン時の電流、DS = 1	0.15	—	1	mA	0.5V で計測
SID.VBUS.DISC.7	I2	20V NMOS オン時の電流、DS = 2	0.4	—	2	mA	
SID.VBUS.DISC.8	I4	20V NMOS オン時の電流、DS = 4	0.9	—	4	mA	
SID.VBUS.DISC.9	I8	20V NMOS オン時の電流、DS = 8	2	—	8	mA	
SID.VBUS.DISC.10	I16	20V NMOS オン時の電流、DS = 16	4	—	10	mA	
SID.VBUS.DISC.11	VBUS_Stop_Error	最終 V _{BUS} 値の設定値からの誤差率	—	—	10	%	V _{BUS} が 5V に放電されたとき。特性評価で保証

表 34. VBUS の短絡保護仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.VSP.1	V_SHORT_TRIGGER	CC/P2.2/P2.3 ピン上の VBUS 短絡時のシステム側クランプ電圧	—	9	—	V	特性評価で保証

表 35. VBUS の DC レギュレータ仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.VREG.2	VBUS_DETECT	VBUS 検出閾値電圧	1.08	—	2.62	V	—

表 36. VBUS の AC レギュレータ仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.VREG.3	T_{start}	安定化電源出力の合計スタートアップ時間	—	—	200	μs	特性評価で保証

アナログ - デジタル変換器
表 37. ADC の DC 仕様 (特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.ADC.1	分解能	ADC 分解能	–	8	–	ビット	–
SID.ADC.2	INL	積分非直線性	-2.5	–	2.5	LSB	V _{DDD} から生成されたリファレンス電圧
SID.ADC.2A	INL	積分非直線性	-1.5	–	1.5	LSB	バンドギャップから生成されたリファレンス電圧
SID.ADC.3	DNL	微分非直線性	-2.5	–	2.5	LSB	V _{DDD} から生成されたリファレンス電圧
SID.ADC.3A	DNL	微分非直線性	-1.5	–	1.5	LSB	バンドギャップから生成されたリファレンス電圧
SID.ADC.4	Gain Error	ゲイン誤差	-1.5	–	1.5	LSB	–
SID.ADC.6	V _{REF_ADC2}	バンドギャップから生成された場合の ADC リファレンス電圧	1.96	2.0	2.04	V	バンドギャップから生成されたリファレンス電圧

表 38. ADC の AC 仕様 (設計で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.ADC.7	SLEW_Max	サンプリングされた電圧信号の変化率	–	–	3	V/ms	–

メモリ
表 39. フラッシュの AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.MEM#3	FLASH_ERASE	行消去時間	–	–	15.5	ms	-40°C ≤ T _A ≤ 85°C、すべての V _{DDD}
SID.MEM#4	FLASH_WRITE	行 (ブロック) 書き込み時間 (消去 + プログラム)	–	–	20	ms	-40°C ≤ T _A ≤ 85°C、すべての V _{DDD}
SID.MEM#8	FLASH_ROW_PGM	消去後の行プログラム時間	–	–	7	ms	25°C ≤ T _A ≤ 55°C、すべての V _{DDD}
SID178	T _{BULKERASE}	パルク消去時間 (32KB)	–	–	35	ms	–
SID180	T _{DEVPROG}	総デバイス プログラム時間	–	–	7.5	s	–
SID182	F _{RET1}	フラッシュ データ保持期間、T _A ≤ 55°C、10 万回の P/E サイクル	20	–	–	年	–
SID182A	F _{RET2}	フラッシュ データ保持期間、T _A ≤ 85°C、1 万回の P/E サイクル	10	–	–	年	–
SID182B	F _{RET3}	フラッシュ データ保持期間、T _A ≤ 105°C、1 万回の P/E サイクル	3	–	–	年	–

注文情報

表 40 に、PMG1-S0 の製品番号と機能を示します。

表 40. PMG1-S0 注文情報

製品番号	アプリケーション	Type-C ポート	終端抵抗	ロール	パッケージ タイプ	Si ID
CYPM1011-24LQXI CYPM1011-24LQXIT	パワー シンク アプリ ケーション	1	R_D 、 R_{D-DB}	UFP	24 ピン QFN	0x2020

注文コードの定義

製品番号は CYPM1ABC-DEFGHIJ の形式であり、フィールドは表 41 に示すように定義されています。

表 41. PMG1-S0 注文コードの定義

フィールド	説明	値	意味
CY	サイプレスの接頭辞	CY	会社 ID
PM	マーケティング コード	PM	PM = パワー デリバリー MCU ファミリ
1	第 1 世代 PM ファミリ	1	製品ファミリ世代
A	ファミリ	0	S0
		1	S1
		2	S2
		3	S3
B	PD ポート	1	1-PD ポート
		2	2-PD ポート
C	アプリケーション特有	X	アプリケーション特有
DE	ピン	XX	パッケージのピン数
FG	パッケージ コード	LQ	QFN
		BZ	BGA
		FN	CSP
H	鉛フリー	X	鉛 : X = 鉛フリー
I	温度範囲	I	産業用
J	T&R のみ	T	テープ & リール

パッケージ

表 42. パッケージ特性

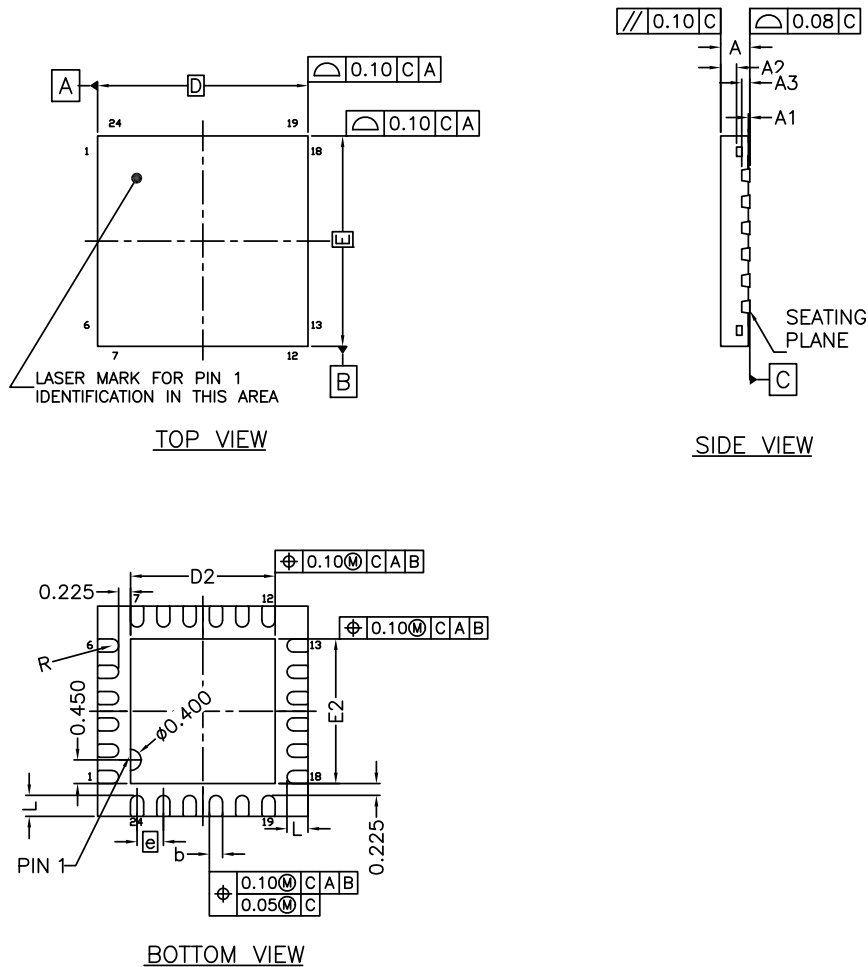
パラメーター	説明	条件	Min	Typ	Max	単位
T_A	動作周囲温度	産業用拡張温度範囲	-40	25	105	°C
T_J	動作接合部温度	産業用拡張温度範囲	-40	25	120	°C
T_{JA}	パッケージ θ_{JA} (24-QFN)	—	—	—	19.98	°C/W
T_{JC}	パッケージ θ_{JC} (24-QFN)	—	—	—	4.78	°C/W

表 43. はんだリフロー ピーク温度

パッケージ	最高ピーク温度	ピーク温度の 5°C 以内での最長時間
24 ピン QFN	260 °C	30 秒

表 44. パッケージの湿度感度レベル (MSL)、IPC/JEDEC J-STD-2

パッケージ	MSL
24 ピン QFN	MSL3

図 6. 24 ピン QFN パッケージ外形図


SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	0.60
A1	0.00	—	0.05
A2	—	0.40	0.425
A3	0.152 REF		
b	0.18	0.25	0.30
D	4.00 BSC		
D2	2.65	2.75	2.85
E	4.00 BSC		
E2	2.65	2.75	2.85
L	0.30	0.40	0.50
e	0.50 BSC		
R	0.09	—	—

NOTES

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. DIE THICKNESS ALLOWABLE IS 0.305 mm MAXIMUM(.012 INCHES MAXIMUM)
3. DIMENSIONING & TOLERANCES CONFORM TO ASME Y14.5M, -1994.
4. THE PIN #1 IDENTIFIER MUST BE PLACED ON THE TOP SURFACE OF THE PACKAGE BY USING INDENTATION MARK OR OTHER FEATURE OF PACKAGE BODY.
5. EXACT SHAPE AND SIZE OF THIS FEATURE IS OPTIONAL.
6. PACKAGE WARPAGE MAX 0.08 mm.
7. APPLIED FOR EXPOSED PAD AND TERMINALS. EXCLUDE EMBEDDING PART OF EXPOSED PAD FROM MEASURING.
8. APPLIED ONLY TO TERMINALS.
9. JEDEC SPECIFICATION NO. REF: N.A.

002-16934 °C

略語

表 45. 本書で使用される略語

略語	説明
ADC	analog-to-digital converter (アナログ - デジタル変換器)
AES	advanced encryption standard (高度暗号化標準)
API	application programming interface (アプリケーション プログラミング インターフェース)
Arm®	advanced RISC machine (高度な RISC マシン): CPU アーキテクチャの一種
CC	configuration channel (コンフィギュレーション チャンネル)
CPU	central processing unit (中央演算処理装置)
CRC	cyclic redundancy check (巡回冗長検査): エラー チェック プロトコルの一種
DFP	downstream facing port (ダウンストリーム ポート)
DIO	digital input/output (デジタル入出力): アナログなし、デジタル機能のみを持つ GPIO。 GPIO を参照してください
DRP	dual role port (デュアル ロール ポート)
EEPROM	electrically erasable programmable read-only memory (電氣的消去書き込み可能読み出し専用メモリ)
EMCA	electronically marked cable assembly (電子的マーク付きケーブル アセンブリ): 定格電 流などのケーブル特性を Type-C ポートに報告す る IC を内蔵した USB ケーブル
EMI	electromagnetic interference (電磁干渉)
ESD	electrostatic discharge (静電気放電)
FS	full-speed (フルスピード)
GPIO	general-purpose input/output (汎用入出力)
IC	integrated circuit (集積回路)
IDE	integrated development environment (統合開発環境)
I ² C (別名: IIC)	Inter-Integrated Circuit (インター インテグレー テッド サーキット): 通信プロトコルの一種
ILO	internal low-speed oscillator (内部低速発振器)。 IMO を参照してください
IMO	internal main oscillator (内部主発振器)。 ILO を参照してください
I/O	input/output (入出力)。GPIO を参照してください
LDO	low-dropout regulator (低ドロップアウト レギュレータ)
LVD	low-voltage detect (低電圧検出)
LVTTTL	low-voltage transistor-transistor logic (低電圧トランジスタ - トランジスタ ロジック)

表 45. 本書で使用される略語 (続き)

略語	説明
MCU	microcontroller unit (マイクロコントローラー ユニット)
NC	no connect (未接続)
NMI	nonmaskable interrupt (マスク不可割込み)
NVIC	nested vectored interrupt controller (ネスト型ベクタ割込みコントローラー)
OCP	over current protection (過電流保護)
オペアンプ	operational amplifier (演算増幅器)
OTP	over temperature protection (過熱保護)
OVP	overvoltage protection (過電圧保護)
OVT	overvoltage tolerant (過電圧耐性)
PCB	printed circuit board (プリント回路基板)
PD	power delivery (パワー デリバリー)
PHY	physical layer (物理層)
POR	power-on reset (パワーオン リセット)
PRES	precise power-on reset (高精度パワーオン リセット)
PRNG	pseudo random number generation (擬似乱数生成器)
PWM	pulse-width modulator (パルス幅変調器)
RAM	random-access memory (ランダム アクセス メモリ)
RCP	reverse current protection (逆電流保護): ソース コンフィギュレーションでのみサポート
RISC	reduced-instruction-set computing (縮小命令セット コンピューティング)
RMS	root-mean-square (二乗平均平方根)
RTC	real-time clock (リアルタイム クロック)
RX	receive (受信)
SAR	successive approximation register (逐次比較レジスタ)
SCB	serial communication block (シリアル通信ブロック)
SCL	I ² C serial clock (I ² C シリアル クロック)
SCP	short circuit protection (短絡保護): ソース コン フィギュレーションでのみサポート
SDA	I ² C serial data (I ² C シリアル データ)
S/H	sample and hold (サンプル / ホールド)
SHA	secure hash algorithm (セキュア ハッシュ アルゴリズム)
SPI	Serial Peripheral Interface (シリアル ペリフェラ ル インターフェース): 通信プロトコルの一種
SRAM	static random access memory (スタティック ランダム アクセス メモリ)

表 45. 本書で使用される略語 (続き)

略語	説明
SWD	serial wire debug (シリアル ワイヤ デバッグ): テスト プロトコルの一種
TCPWM	timer counter pulse-width modulator (タイマー／カウンタ／パルス幅変調器)
TRNG	true random number generation (真の乱数生成)
TX	transmit (送信)
Type-C	薄型 USB コネクタとリバーシブルなケーブルの新規格。最大 100W までの電力を提供することが可能
UART	Universal Asynchronous Transmitter Receiver (汎用非同期トランスミッタ レシーバ): 通信プロトコルの一種
USB	Universal Serial Bus (ユニバーサル シリアル バス)
USBIO	USB input/output (USB 入出力): USB ポートへの接続に使用される PMG1-S0 ピン
UVP	undervoltage protection (低電圧保護)
XRES	external reset I/O pin (外部リセット I/O ピン)

本書の表記法

測定単位

表 46. 測定単位

記号	測定単位
°C	摂氏温度
Hz	ヘルツ
KB	1024 バイト
kHz	キロヘルツ
kΩ	キロオーム
Mbps	メガビット毎秒
MHz	メガヘルツ
MΩ	メガオーム
Msps	メガサンプル毎秒
μA	マイクロアンペア
μF	マイクロファラド
μs	マイクロ秒
μV	マイクロボルト
μW	マイクロワット
mA	ミリアンペア
ms	ミリ秒
mV	ミリボルト
nA	ナノアンペア
ns	ナノ秒
Ω	オーム
pF	ピコファラド
ppm	100 万分の 1
ps	ピコ秒
s	秒
sps	サンプル毎秒
V	ボルト

改訂履歴

文書名 : PMG1-S0 データシート、第 1 世代パワー デリバリー マイクロコントローラー 文書番号 : 002-34375			
版	ECN	発行日	変更内容
**	7497759	12/09/2021	これは英語版 002-31596 Rev. *B を翻訳した日本語版 002-34375 Rev. ** です。

販売、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

Arm® Cortex® マイクロコントローラー	cypress.com/arm
車載用	cypress.com/automotive
クロック & バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラー	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [サンプル コード](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカル サポート

cypress.com/support

ユニバーサル シリアル バス仕様への準拠性に関する告知。サイプレスは、ユニバーサル シリアル バス仕様、USB Type-C™ ケーブルとコネクタ仕様、および他の USB Implementers Forum, Inc. (USB-IF) の仕様に準拠していると認証されたファームウェアおよびハードウェア ソリューションを提供します。サンプル コードを含むサイプレスまたはサード パーティのソフトウェア ツールを使用し、ユーザーはサイプレス USB 製品のファームウェアを修正する場合があります。そのようなファームウェアの修正によって、ファームウェアとハードウェアの組合せが該当する USB-IF 仕様準拠しなくなる可能性があります。ユーザーは、行ったあらゆる修正の準拠性の保証について全責任を負い、行った修正に関連する USB-IF の商標やロゴを使用する前に USB-IF の準拠性の要件に従わなければならない。また、サイプレスがユーザーの仕様に基づいてファームウェアを修正する場合、ユーザーが修正を行ったかのようにあらゆる所望の規格や仕様への準拠性の保証について責任を負います。ユーザーが認証済みのサイプレス製品を修正し、修正された製品がもはや該当する USB-IF 仕様準拠しない場合、サイプレスには責任がありません。

© Cypress Semiconductor Corporation, 2020-2021. 本書面は、Infineon Technologies グループの Cypress Semiconductor Corporation 及びその関連会社（以下「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア（以下「本ソフトウェア」という。）を含む）は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、（直接又は再販売者及び販売代理店を介して間接のいずれかで）本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス（サブライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェア又はソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセス又は使用といったセキュリティ違反から生じるいかなる責任も負わない。Cypress は、Cypress 製品又は Cypress 製品を使用して生成されたシステムに破壊、攻撃、ウイルス、干渉、ハッキング、データの損失又は盗難、その他のセキュリティ侵害（総称して、以下「セキュリティ違反」という。）がないことを表明又は保証しない。Cypress は、セキュリティ違反に関連するいかなる責任も否認し、セキュリティ違反から生じるいかなる請求、損害又はその他の責任について免責される。加えて、本書面に記載された製品には、エラーと呼ばれる設計上の欠陥又はエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。「ハイスループットデバイス」とは、不具合により人身傷害、死亡若しくは物的損害を引き起こす可能性のある装置若しくはシステムをいう。「ハイスループットデバイス」の例として、兵器、原子力施設、外科的移植、及びその他の医療機器が挙げられる。「重要な構成部分」とは、その不具合が直接又は間接的にハイスループットデバイスの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるようなハイスループットデバイスのあらゆる構成部分をいう。Cypress 製品をハイスループットデバイスの重要な構成部分として使用したことから生じるいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress（その関連会社を含む）、及びその取締役、執行役、従業員、代理人、販売業者、及び譲受人は Cypress 製品をハイスループットデバイスの重要な構成部品として使用したことから生じる製造物責任、又は人身傷害若しくは死亡、又は物的損害の請求を含むあらゆる請求から生じるすべての費用、損害及び経費から免責される。Cypress 製品は、(i) Cypress が特定のハイスループットデバイスで使用するための製品として明示的に認定している製品のデータシートを公表している場合、又は、(ii) Cypress が特定のハイスループットデバイスの重要な構成部分として製品を使用することを事前に書面により承認し、別途補償契約に署名した場合の限定された範囲を除いては、ハイスループットデバイスの重要な構成部分としての使用を意図又は承認されていない。

Cypress、Cypress のロゴ及びこれらの組み合わせ、PSoC、CapSense、EZ-USB、F-RAM、Traveo、WICED、及び ModusToolbox は、米国又はその他の国における Cypress 又はその子会社の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。