

Trench-Konzept verbindet mehr Zuverlässigkeit mit Leistungsfähigkeit:

Die Grenzen von SiC überwinden



Mit SiC-Bauelementen lassen sich Systeme mit hoher Leistungsfähigkeit und Effizienz realisieren. Si-Schalter hingegen galten bisher als deutlich zuverlässiger. Doch es gibt Möglichkeiten, das Beste aus beiden Welten in einem SiC-Leistungsschalter zu verbinden.

(Bild: Lightspring – Shutterstock)

Leistungsschalter auf Basis von SiC-MOSFETs ermöglichen im Vergleich zu Silizium-IGBTs dank ihrer deutlich geringeren Verluste signifikante Systemvorteile in Hinblick auf Leistungsdichte, Effizienz und Kühlung. So können die Systemkosten in Solaranwendungen oder die Betriebskosten in USV-Systemen trotz der teureren Halbleiterkomponenten deutlich gesenkt werden [1]. Damit sind die Voraussetzungen geschaffen, SiC-MOSFETs schrittweise in immer mehr Applikationen einzusetzen.

Während die elektrischen Leistungsmerkmale kommerziell verfügbarer SiC-Bauelemente unbestritten sind, gibt es immer noch Vorbehalte bezüglich der Zuverlässigkeit [2]. Derzeit basieren die meisten auf dem Markt verfügbaren Bauelemente auf einem Design mit planaren DMOS-Strukturen. Um die relativ geringe Leitfähigkeit des planaren Kanals auszugleichen, werden die Bauelemente mit hohen Gate-Oxid-Feldstärken (aufgrund vergleichbar dünner Gate-Oxid-Schichten) betrieben, um einen geringen Einschaltwiderstand zu erzielen. Damit verbunden ist das Risiko erhöhter Ausfallraten aufgrund

der dauerhaften Beanspruchung der Gate-Oxide im Durchlassbetrieb, die durch elektrische Feldstärken oberhalb von 4 MV/cm verursacht wird [3]. Der Konflikt zwischen der erwarteten SiC-Leistungsfähigkeit und der geringeren Zuverlässigkeit kann mit dem von Infineon entwickelten Trench-Konzept überwunden werden.

Aufbau eines CoolSiC-MOSFETs

Die CoolSiC-MOSFETs basieren auf einer Trench- (Graben)-Struktur. Diese bietet dank geringerer Defekte eine deutlich höhere Kanal-Leitfähigkeit im Vergleich zu planaren Kanälen auf der Silizium-Seite des 4H-SiC-Kristalls. Eine Evaluierung verschiedener Orientierungen der Trench-Seitenwände ergab geringfügig variierende Werte für die Einsatzspannung U_{Gsth} sowie signifikant unterschiedliche Kanal-Leitfähigkeiten [4]. Daher wurde für die Infineon-Lösung die Orientierung mit der höchstmöglichen Leitfähigkeit für den MOS-Kanal ausgewählt.

Bild 1 zeigt schematisch den Querschnitt der CoolSiC-MOSFET-Zelle (rechts) im Vergleich zur bekannten

Struktur mit einem planaren Gate. Anders als üblich sind die dotierten Regionen angrenzend zum Trench asymmetrisch ausgeführt, um, wie zuvor beschrieben, die bestmöglichen Kanaleigenschaften zu erhalten. Die linke Seite der Trench-Seitenwand enthält den MOS-Kanal, der exakt entlang der $\langle 11\bar{2}0 \rangle$ -Ebene des 4H-SiC platziert ist. Ein großer Anteil des Trench-Bodens ist in eine p-dotierte Region eingebettet, die zwei Funktionen erfüllt: als p-dotierter Emitter der integrierten Freilauf-Body-Diode und als JFET-artige Abschirmstruktur zur Reduktion der Gate-Oxid-Feldstärke.

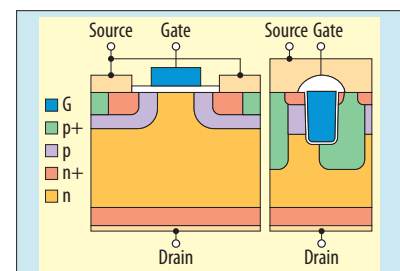


Bild 1. Schematische Darstellung eines gängigen MOSFETs mit planarem Gate (links) und der CoolSiC-Trench-MOSFET-Zelle (rechts).

(Quelle aller Bilder: Infineon)

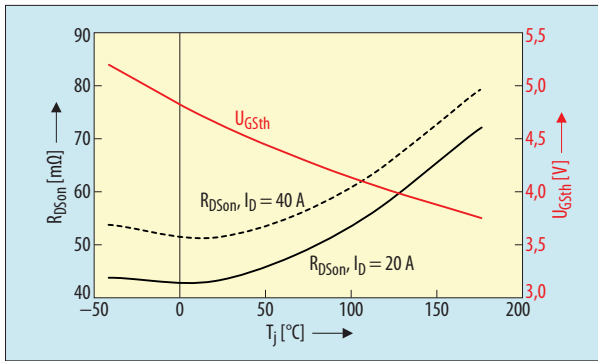


Bild 2. Temperaturabhängigkeit des Durchlasswiderstands $R_{DS(on)}$ bei $U_{GS} = 15$ V und der Einsatzspannung U_{GSth} ($U_{GS} = U_{DS}$, $I_{DS} = 10$ mA).

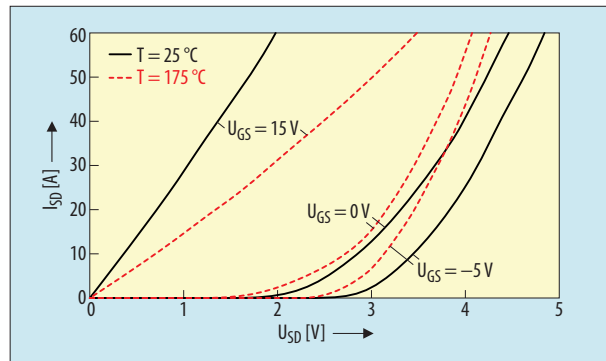


Bild 3. Typische Charakteristik für den 3. Quadranten bei 25 °C und bei 175 °C, $U_{GS} = +15$ V, 0 V und 5 V.

Die MOSFET-Struktur weist ein optimiertes Kapazitätsverhältnis auf, wobei die Miller-Kapazität C_{GD} klein und C_{GS} vergleichsweise groß ist. Dadurch wird ein kontrolliertes Schalten mit sehr geringen dynamischen Verlusten ermöglicht [5]. Dieses Merkmal ist insbesondere wichtig, um unerwünschte parasitäre Effekte und damit verbundene Verluste beim Schalten des MOSFETs zu verhindern.

Zuverlässigkeit garantieren

Um die Gate-Oxid-Zuverlässigkeit von SiC-MOSFETs garantieren zu können, muss das maximale Gate-Oxid-Feld in allen relevanten Betriebszuständen begrenzt werden. Dies ist erforderlich, damit eine ausreichende Lebensdauer und insbesondere eine den Applikationsanforderungen entsprechende FIT-Rate erreicht wird. Bei SiC-Trench-MOS-Strukturen im Sperrmodus muss zusätzlich berücksichtigt werden, dass das elektrische Feld in den Trench-Ecken erhöht ist. Aufgrund der speziellen Zellkonfiguration wie in Bild 1 findet man die größten Feldstärken im Sperrfall in den linken Trench-Ecken.

Dieses lokale Maximum für das elektrische Feld bestimmt letztendlich die Lebensdauer des Gate-Oxids im Sperrzustand. Mit Hilfe von Simulationen wurde das Design des Bauelements so ausgelegt, dass das elektrische Feld im Gate-Oxid auch unter Worst-Case-Bedingungen, das heißt bei maximaler Drain-Source-Spannung U_{DSS} von 1200 V und minimaler Gate-Source-Spannung V_{GS} von -10 V, auf einen Wert von deutlich unter 4 MV/cm begrenzt bleibt, um die geforderte Lebensdauer des Gate-Oxids zu gewährleisten.

Der typische Durchlasswiderstand beträgt 45 mΩ bei $U_{GS} = +15$ V, $I_D = 20$ A

und $T = 25$ °C. Die Einsatzspannung ist mit typisch 4,5 V deutlich höher als bei kommerziell erhältlichen planaren SiC-MOSFETs. Daher können die Bauelemente wie herkömmliche IGBTs betrieben werden. In Bild 2 ist die Temperaturabhängigkeit für den Durchlasswiderstand und die Einsatzspannung im spezifizierten Temperaturbereich von -40 °C bis 175 °C dargestellt. Der Durchlasswiderstand $R_{DS(on)}$ hat sein Minimum bei Raumtemperatur und steigt von 45 mΩ auf typisch 72 mΩ bei 175 °C an. Dies spiegelt das physikalisch erwartete Verhalten des Durchlasswiderstands in Abhängigkeit von der Temperatur für einen MOSFET mit nur geringer Defektdichte im Kanalbereich wider.

In Bild 3 sind die Charakteristika für den 3. Quadranten dargestellt. Wie bereits erwähnt, enthalten die MOSFETs eine Body-Diode, die für die harte Kommutierung genutzt werden kann. Daher ist es prinzipiell nicht erforderlich, eine zusätzliche externe und teure SiC-Diode für den Freilaufbetrieb zu verwenden. Die Kurven mit einer Gate-Source-Spannung von $U_{GS} = -5$ V geben den reinen Body-Dioden-Betrieb ohne Beitrag des MOS-Kanals zum Gesamtstrom wieder. Bei einer Gate-Spannung von $U_{GS} = 0$ V trägt der Kanal bereits etwas zum Diodenstrom bei – ein Effekt, der die Source-Drain-Spannung U_{SD} reduziert.

Um im Diodenbetrieb (3. Quadrant) geringstmögliche Verluste zu realisieren, ist es notwendig, den Kanal zuzuschalten (Anlegen von +15 V am Gate). Damit ergibt sich eine vom 1. Quadranten bekannte kniespannungsfreie lineare I-U-Kennlinie. Der in diesem Modus relevante Durchlasswiderstand beträgt nur 33 mΩ bei 25 °C und 57 mΩ bei 175 °C. Diese Werte sind etwas geringer im Vergleich zum 1. Quadranten, da der

JFET-Widerstand durch einen negativen Rückkopplungseffekt der pn-Sperrschicht-Vorspannung reduziert wird. Eine synchrone Gleichrichtung mit einer entsprechenden Verriegelungszeit wird daher empfohlen.

Spannungsverlauf steuern

Ein wichtiges Funktionsmerkmal der neuen MOSFETs ist, dass der Spannungsverlauf beim Ein- und Ausschalten über den externen Gate-Widerstand gesteuert werden kann. Damit können alle Systemanforderungen bezüglich einer geforderten Spannungssteilheit du/dt erfüllt werden. Bild 4 verdeutlicht die einfache Kontrollierbarkeit der Spannungssteilheit beim Ein- und Ausschalten mittels des externen Gate-Widerstands R_{Gext} . Die Schaltverluste sind nahezu unabhängig von der Temperatur und hängen damit nur vom Gate-Widerstand R_{Gext} ab. Dieser Zusammenhang ist in Bild 5 dargestellt. Hier unterscheidet sich der MOSFET deutlich von IGBTs, da Minoritätsträger kaum

CoolSiC-MOSFETs – die wesentlichen Funktionalitäten

Die CoolSiC-Bauelemente von Infineon kombinieren geringe statische und dynamische Verluste mit einer zu Silizium-IGBTs vergleichbaren Zuverlässigkeit. Die neuen Leistungshalbleiter adressieren damit verschiedenartige industrielle Anwendungen. Der Temperaturgang des Einschaltwiderstandes, die gewählte Einsatzspannung U_{GSth} und die Gate-Source-Einschaltspannung U_{GSon} von lediglich 15 V ermöglichen einen einfachen Betrieb der Leistungsschalter sowie eine unproblematische Parallelisierung. Das Schaltverhalten kann über den Gate-Widerstand komplett gesteuert werden.

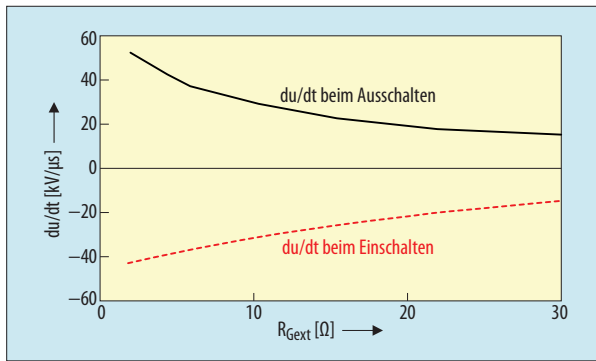


Bild 4. Maximale Spannungssteilheit du_{ds}/dt beim Einschalten und Abschalten (Schalt-Bedingungen: 800 V, 20 A, 175°C, Freilauf-Diode IDH20G120C5, MOSFET im TO-247-3-Gehäuse).

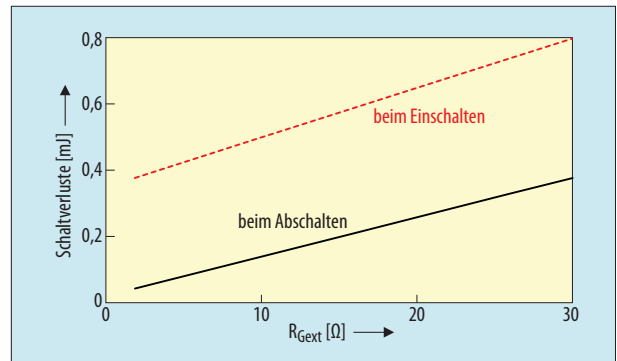


Bild 5: Schaltverluste beim Einschalten und Abschalten (Schalt-Bedingungen: 800 V, 20 A, 175°C, Freilauf-Diode IDH20G120C5, MOSFET im TO-247-3-Gehäuse).

Einfluss auf das Schaltverhalten des Bauelements nehmen.

Das dynamische Verhalten wird maßgeblich von den Kapazitäten des MOS-Systems kontrolliert, die durch den Aufbau der entsprechenden Raumladungszonen im Bauteil bestimmt sind. Die Kapazitätswerte sind unabhängig von der Temperatur des Bauelements.

In Halbbrücken-Konfiguration ist die Body-Diode aktiv und zeigt einen Einfluss auf die Verlustbilanz bei größeren Lastströmen und höheren Temperaturen. Dieser Effekt wird durch Minoritätsträger verursacht, die bei vorwärts gepoltem pn-Übergang injiziert werden und eine Speicherladung generieren. Allerdings sind die absoluten Werte bei einem Strom von 20 A im Vergleich zu den bei bipolaren Silizium-Bauelementen auftretenden Werten sehr klein, sodass sie in der Regel nur einen geringen Einfluss auf die Gesamtverluste haben.

Extrinsische Defekte beachten

Eine der größten Bedenken beim Einsatz von SiC-MOSFETs ist die Zuverlässigkeit des Gate-Oxids im Hinblick auf sogenannte extrinsische Defekte. Ursache extrinsischer Defekte, die sich auf das Gate-Oxid von SiC-MOS-Bausteinen auswirken, sind hauptsächlich das Substrat-Material und der Epitaxie-Prozess, aber auch Defektbeiträge der restlichen Prozesskette [6]. Die Herausforderung besteht nun darin – trotz einer signifikant höheren Defektdichte im Vergleich zur etablierten Siliziumtechnologie – für die Gate-Oxid-Zuverlässigkeit der SiC-MOSFETs eine möglichst geringe Fehlerrate über die gesamte Lebensdauer unter gegebenen Betriebsbedingungen zu sichern, beispielsweise < 1 FIT in In-

dustrieanwendungen (das entspricht einer Fehlerrate von <100 ppm in 20 Jahren).

Für die Bewertung der Zuverlässigkeit von SiC-MOSFETs wird oftmals auf Untersuchungen bei hohen Sperrspannungen (HTRB-Testbedingungen) verwiesen. Diese Vorgehensweise beschreibt jedoch nicht den primären Belastungsvorgang im realen Betrieb bzw. resultiert in zu geringen Fehlerraten aus der Extrapolation, da noch Überlagerungen mit weiteren Effekten im Halbleiter auftreten. Daher wurden zahlreiche Bauelemente im eingeschalteten Zustand in Langzeit-Gate-Belastungstests unter realen, applikationsnahen Bedingungen untersucht.

300-Tage-Test

Im Rahmen der Untersuchungen wurden zwei Gruppen mit je 1000 diskreten Bauelementen getestet. Der dreistufige Test wurde bei einer Umgebungstemperatur von 150 °C mit konstanter Gate-Bias-Belastung durchgeführt. Jede Stufe dauerte jeweils 100 Tage, danach wurde für das nächste Zeitintervall die Gate-Source-Spannung um jeweils 5 V erhöht. Jeder Ausfall wurde mit einem Zeitstempel versehen. Bild 6 zeigt die Summe der Ausfälle pro 100-Tage-Testsequenz. Im Fall der Gruppe G1 (siehe Bild 6)

begann der Test mit einer Gate-Source-Spannung von +25 V und zeigte nach 100 Tagen keine Ausfälle. Der Test an Gruppe G1 endete bei +35 V (also 20 V über der empfohlenen Gate-Source-Spannung von +15 V) mit einer Ausfallrate von insgesamt 2,9 % nach 300 Tagen. Die zweite Gruppe G2 wurde zunächst bei 30 V getestet, mit Steigerung auf 35 V und zuletzt auf 40 V. Dabei wurde eine Ausfallrate von insgesamt 6,5 % beobachtet.

Die Evaluierung ergibt, dass die Ausfallstatistik gut mit dem linearen E-Modell beschreibbar ist [7]. Extrapoliert man das Ergebnis auf eine Lebensdauer von 20 Jahren, sagt das Modell eine Ausfallrate von 0,2 ppm voraus. Das Experiment resultiert damit in einer Fehlerrate für das Gate-Oxid, die mit der eines IGBTs vergleichbar ist und unter praxisnahen Bedingungen die typischen Anforderungen im industriellen Bereich mit 1 FIT pro Chip erfüllt.

Zusätzlich wurden Hochtemperatur-Gate-Belastungstests (HTGS) durchgeführt. Sowohl Belastungstests mit posi-

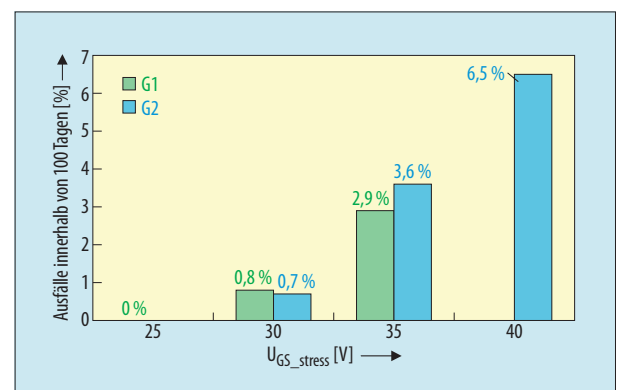


Bild 6. Ausfallraten nach 300 Tagen Gate-Belastungstest. Zwei Gruppen von je 1000 MOSFETs wurden mit konstanter Gate-Belastung bei 150 °C getestet. Jeweils nach 100 Tagen erfolgte eine Erhöhung der Gate-Source-Spannung um weitere 5 V.

tiver (Positive Bias Temperature Instability, PBTI) als auch mit negativer Gate-Spannung (Negative Bias Temperature Instability, NBTI) zeigten eine Silizium-MOSFETs entsprechende temperaturabhängige Verschiebung der Einsatzspannung $\Delta V_{GSth} \sim (\text{Zeit})^n$. Bei einer Belastung über 1000 h bei 150 °C betrug die gesamte Drift der Einsatzspannung etwa +0,3 V für $U_{GS} = +20$ V und -0,1 V für $U_{GS} = -10$ V. Im Unterschied zu Silizium ist die durch BTI induzierte Verschiebung der Einsatzspannung bei SiC-MOSFETs überlagert von einer vollständig wiederherstellbaren Ein-/Aus-Hysterese [8]. Diese Hysterese der Einsatzspannung ist eine intrinsische Eigenschaft der SiC/SiO₂-Grenzfläche und wird durch die Dynamik von schnellen Einfang- und Emissionseffekten an Grenzflächenzuständen hervorgerufen.

Die aus Anwendungssicht wichtigere permanente bzw. nur langsam relaxierende Veränderung der Einsatzspannung ist bei typischen DC-Stressbedingungen (1000 h, +20 V, 150 °C) auf einige 100 mV beschränkt. Die darüber hinaus noch verbleibende Verschiebung der Einsatzspannung am Ende des BTI-Stresstests geht sehr wahrscheinlich auf den Ladungseinfang durch grenzflächennahe Defekte im Gate-Oxid zurück. Ladungsträger, welche an dieser Stelle eingefangen werden, reduzieren zwar nicht die Oxid-Integrität, benötigen aber mehr Zeit um wieder freigesetzt zu werden. ih

Literatur

- [1] S. Buschhorn: SiC Cost Benefits in PV, UPS and Drive Systems, Proc. ECPE SiC & GaN User Forum, Warwick, 2015.
- [2] H. Lin and P. Gueguen: GaN and SiC Devices for Power Electronics Applications, Yole Development Market & Technology Report, p. 8, July 2015, <http://www.yole.fr>
- [3] M. Beier-Moebius and J. Lutz: Break-down of gate oxide of 1.2 kV SiC-MOSFETs under high temperature and high gate voltage, Proc. PCIM, Nuremberg, 2016.
- [4] H. Yano, H. Nakao, T. Hatayama, Y. Uraoka and T. Fuyuki: Increased channel mobility in 4H-SiC UMOSFETs using on-axis substrates, Materials Science Forum, Vols. 556-557, pp. 807-811, 2007.
- [5] D. Heer, D. Domes and D. Peters: Switching performance of a 1200 V SiC-Trench-MOSFET in a Low-Power Module, Proc. PCIM, Nuremberg, 2016.
- [6] J. Senzaki, A. Shimozato, M. Okamoto, K. Kojima, K. Fukuda, H. Okumura and K. Arai: Gate-Area Dependence of SiC Thermal Oxides Reliability, Materials Science Forum, Vols. 600-603, pp. 787-790, 2007.
- [7] D. Peters, T. Aichinger, T. Basler, W. Bergner, D. Kueck, R. Esteve: 1200V SiC Trench-MOSFET Optimized for High Reliability and High Performance, ECSCRM'16, Sep. 2016, to be published in Materials Science Forum in 2017.
- [8] G. Rescher, G. Pobegen, T. Aichinger and T. Grasser: On the Subthreshold Drain Current Sweep Hysteresis of 4H-SiC nMOSFETs, Proc. IEDM, pp. 276-279, San Francisco, 2016.

Dethard Peters

von Infineon in Erlangen verfügt über langjährige Erfahrung in der Entwicklung von SiC-Leistungsbauteilen und ist Experte für die Entwicklung von SiC-MOSFETs.

Wolfgang Bergner

ist bei Infineon Austria in Villach verantwortlich für die SiC-Technologieentwicklung.

Daniel Kück

arbeitet seit 2010 bei Infineon Austria in Villach und ist Projektleiter in der Technologieentwicklung für SiC-Leistungsbaulemente.

Thomas Basler

ist seit 2014 bei Infineon in Neuburg und beschäftigt sich mit Entwicklungen im Bereich Si- und SiC-Leistungshalbleiter.

Bernd Zippelius

seit 2012 bei Infineon in Erlangen, ist Entwicklungsingenieur und im Bereich SiC-Leistungselektronik mit Schwerpunkt TCAD-Simulation tätig.

Ralf Siemieniec

von Infineon Austria in Villach beschäftigt sich mit der Entwicklung von Technologiekonzepten für Si- und SiC-MOSFETs und ist Experte für Bauelemente-Simulation.

Thomas Aichinger

befasst sich mit der Technologie-Entwicklung von SiC-MOSFETs und ist spezialisiert auf die Zuverlässigkeit von Gate-Oxid und SiC/SiO₂-Grenzflächen.

Romain Esteve

ist bei Infineon Austria in Villach in der SiC-Technologie-Entwicklung tätig und Experte für 4H-SiC-MOSFETs.