

サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

EZ-USB™ CX3: MIPI CSI-2 — Super-Speed USB ブリッジ コントローラー

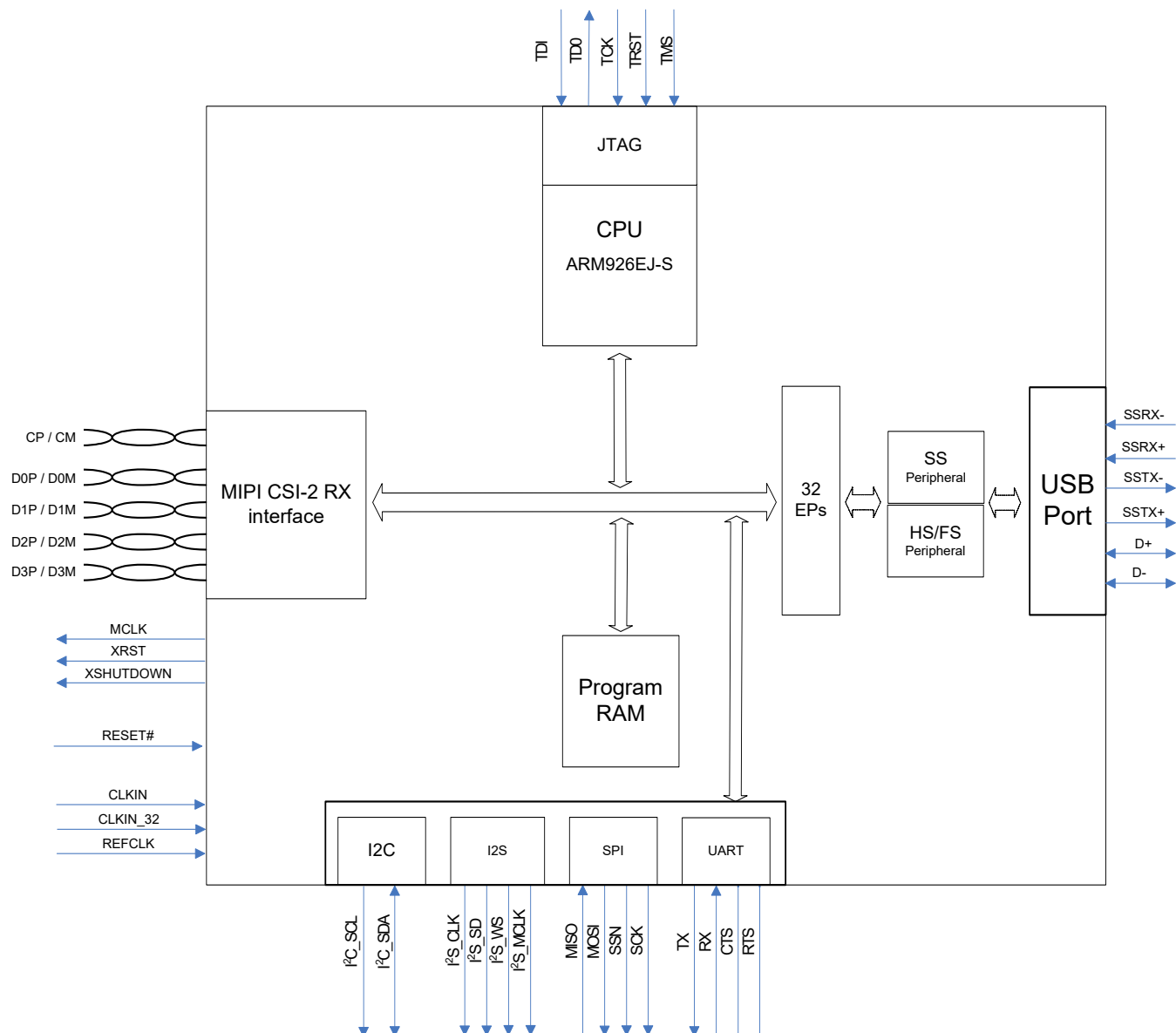
特長

- ユニバーサル シリアル バス (USB) を統合
 - USB 3.0 仕様 Rev. 1.0 に準拠した USB 3.0 および USB 2.0 ペリフェラル
 - PIPE 3.0 準拠の 5Gbps USB 3.0 PHY
 - 32 の物理エンドポイント
- MIPI CSI-2 RX インターフェース
 - MIPI CSI-2 準拠 (Ver. 1.01 Rev. 0.04、2009 年 4 月 2 日)
 - 最大 4 本のデータレーン (CYUSB3065 は最大 4 本のレーン、CYUSB3064 は最大 2 本のレーン)
 - 各レーンは最大 1Gbps に対応 (CYUSB3065 は最大 4 本のレーン、CYUSB3064 は最大 2 本のレーン)
 - イメージ センサー設定用の CCI インターフェース
- 以下のビデオ データ フォーマットに対応
 - ユーザー定義 8 ビット
 - RAW8/10/12/14
 - YUV422 (CCIR/ITU 8/10 ビット)、YUV444
 - RGB888/666/565
- 完全にアクセス可能な 32 ビット CPU
 - 200MHz で動作する ARM926EJ-S コア
 - 512KB または 256KB の組み込み SRAM
- 以下のペリフェラルへの接続機能
 - 1MHz での I²C マスター コントローラー
 - 8kHz、16kHz、32kHz、44.1kHz、48kHz、96kHz、192kHz のサンプリング周波数での I²S マスター (トランスミッタ専用)
 - 4Mbps まで対応可能な UART
 - 33MHz で動作する SPI マスター
- 12 個の GPIO
- コア パワーダウン モードでの超低消費電力
- コアと I/O 用の独立パワー ドメイン
 - 1.2V でのコア動作
 - 1.8 ~ 3.3V で動作する I²S、UART、SPI
 - 1.8 ~ 3.3V で動作する I²C、I/O
- 10 × 10mm、0.8mm ピッチ鉛フリー ボール グリッド アレイ (BGA) パッケージ
- 容易なコード開発のために EZ-USB™ ソフトウェア開発キット (SDK) を用意

アプリケーション

- デジタル ビデオ カメラ
- デジタル スチル カメラ
- ウェブカメラ
- スキャナー
- テレビ会議システム
- ジェスチャー ベースの制御
- 監視カメラ
- 医療用画像装置
- ビデオ IP フォン
- USB 顕微鏡
- 産業用カメラ

論理ブロック ダイアグラム



詳細情報

インフィニオンは、www.cypress.com に大量のデータを掲載しており、ユーザーがデザインに適切な PSoC デバイスを選択し、デバイスを迅速で効果的にデザインに統合する手助けをしています。リソースの包括的な一覧については、CX3 ウェブ ページ www.cypress.com/CX3 を参照してください。

- 概要 : USB ポートフォリオ、USB ロードマップ
- USB 3.0 製品セレクト : [FX3](#)、[FX3S](#)、[CX3](#)、[GX3](#)、[HX3](#)
- アプリケーション ノート : インフィニオンは、基本レベルから高度なレベルまでの様々なトピックに触れる大量の USB アプリケーション ノートを提供しています。以下は CX3 入門用の推奨アプリケーション ノートです。
 - [AN75705](#) - EZ-USB™ FX3 入門
 - [AN90369](#) - MIPI CSI-2 イメージセンサーを EZ-USB™ CX3 にインターフェースする方法
 - [AN75779](#) - USB ビデオクラス (UVC)、フレームワーク内で EZ-USB™ FX3 を使用してイメージセンサーインターフェースを実装する方法
 - [AN76405](#) - EZ-USB™ FX3/FX3S? ブートオプション
 - [AN70707](#) - EZ-USB™ FX3/FX3S ハードウェア設計ガイドラインおよび回路図チェックリスト
 - [AN86947](#) - EZ-USB™ FX3 による USB 3.0 スループットの最適化
- サンプル コード
 - [USB SuperSpeed](#)
- テクニカル リファレンス マニュアル (TRM)
 - [EZ-USB™ CX3 テクニカル リファレンス マニュアル](#)

- ナレッジベース
 - [CX3 Firmware: Frequently Asked Questions - KBA91297](#)
 - [CX3 Hardware: Frequently Asked Questions - KBA91295](#)
 - [CX3 Application Software / USB Driver: Frequently Asked Questions - KBA91298](#)
 - [Knowledge Base - Cypress Semiconductor Cage Code - KBA89258](#)
- 開発キット
 - [Ascella - CX3 THine ISP 13MP reference design kit \(RDK\)](#)
 - [Denebola - USB 3.0 UVC Reference Design Kit \(RDK\)](#)
 - [Tania - CX3 Socionext ISP reference design kit \(RDK\) with Dual Sony Sensors](#)
- モデル
 - [CX3 Device OrCad Schematic Symbol](#)
 - [CYUSB306x - IBIS](#)

EZ-USB™ ソフトウェア開発キット

インフィニオンは、SuperSpeed USB をさまざまな組込み MIPI イメージ センサー アプリケーションに簡単に統合するために完全なファームウェア スタックを CX3 に提供しています。[ソフトウェア開発キット \(FX3 SDK\)](#) は、アプリケーション開発を加速させるツール、ドライバやアプリケーション例を含みません。FX3 SDK セットアップは、OmniVision OV5640 および Aptina AS0260 イメージ センサー インターフェース用の CX3 API とサンプル ファームウェアを含みます。FX3 SDK 用の [Eclipse プラグイン](#) はその他のイメージ センサーの CX3 ファームウェア開発を加速させます。

目次

機能の概要	5	絶対最大定格	17
アプリケーション例	5	動作条件	17
USB インターフェース	6	DC 仕様	17
ReNumeration	6	MIPI D-PHY 電気的特性	19
VBUS 過電圧保護	6	熱特性	19
MIPI CSI-2 RX インターフェース	7	AC タイミング パラメーター	20
その他出力	7	MIPI データとクロックのタイミング	20
CPU	7	リファレンス クロック仕様	20
JTAG インターフェース	7	MIPI CSI ローパワー AC 特性	21
その他インターフェース	7	AC 仕様	21
UART インターフェース	7	シリアル ペリフェラル タイミング	22
I2C インターフェース	7	リセット シーケンス	27
I2S インターフェース	8	注文情報	28
SPI インターフェース	8	注文コードの定義	28
ブート オプション	8	パッケージ図	29
リセット	8	略語	30
ハード リセット	8	本書の表記法	30
ソフト リセット	8	測定単位	30
クロック	9	エラッタ	31
32kHz ウォッチドッグ タイマー クロック入力	9	影響を受ける部品番号	31
電源	10	認定の状態	31
電力モード	10	エラッタのまとめ	31
構成オプション	13	改訂履歴	37
デジタル I/O	13	セールス, ソリューションおよび法律情報	38
GPIO	13	ワールドワイドな販売と設計サポート	38
EMI	13	製品	38
システム レベルの ESD	13	PSoC™ ソリューション	38
ピンの設定	14	サイプレス開発者コミュニティ	38
ピン説明	15	テクニカル サポート	38
電氣的仕様	17		

機能の概要

インフィニオン EZ-USB™ CX3 は、MIPI CSI-2 (カメラ シリアル インターフェース 2) インターフェース付きデバイスを USB 3.0 ホストに接続する次世代ブリッジ コントローラーです。

CX3 は、4 レーンの CSI-2 レシーバを備えており、それぞれのレーンが最大 1Gbps の速度に対応できます。RAW8/10/12/14、YUV422 (CCIR/ITU 8/10 ビット)、RGB888/666/565、ユーザー定義 8 ビットなどのビデオ データ フォーマットに対応しています。

CX3 は、USB 3.0 と USB 2.0 物理層 (PHY) を、強力なデータ処理とカスタム アプリケーションの構築に対応した 32 ビット ARM926EJ-S マイクロプロセッサと統合しています。

CX3 には、コードとデータ用の 512KB の内蔵 SRAM (28 ページの注文情報を参照) を備えています。さらに、EZ-USB™ CX3 は、UART, SPI, I²C, および I²S などのシリアル ペリフェラルに接続するインターフェースも提供しています。

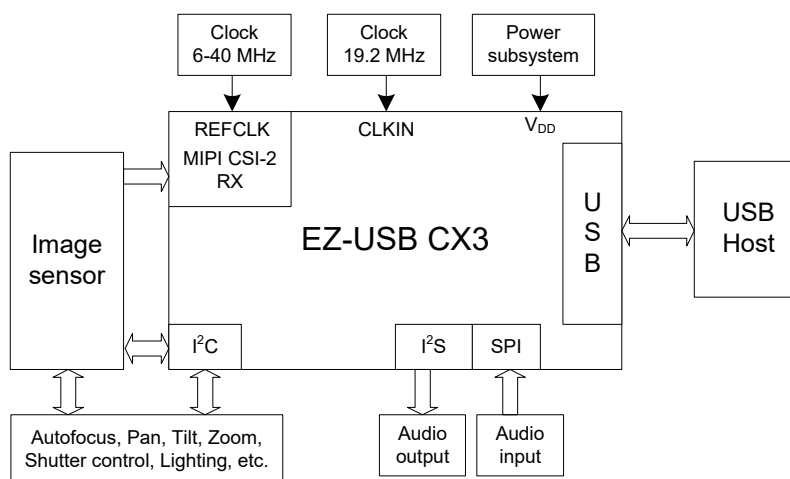
CX3 にはアプリケーション開発ツールが用意されています。ソフトウェア開発キットにはアプリケーション例が付随しており、市場投入までの時間を短縮できます。

CX3 は USB 3.0 v1.0 仕様に準拠しており、USB 2.0 との後方互換性があります。また、MIPI CSI-2 v1.01 Rev. 0.04 仕様 (2009 年 4 月 2 日) にも準拠しています。

アプリケーション例

一般的なアプリケーション例 (図 1 を参照) では、CX3 がメイン プロセッサとして動作し、イメージ センサー、オーディオ装置、カメラ制御装置などと接続します。

図 1. EZ-USB™ CX3 の応用例

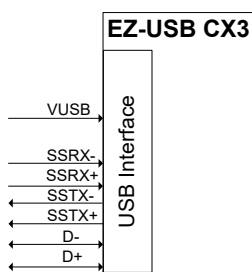


USB インターフェース

CX3 は以下の仕様に準拠し、次の特長を持ちます。

- CX3はUSB 3.0仕様 Rev. 1.0に準拠するUSB ペリフェラル機能をサポートしており、また USB 2.0仕様との後方互換性も備えています。
- ペリフェラルとして、CX3はスーパースピード、ハイスピード、フルスピードで動作できます。
- 最大 16 入力エンドポイントと 16 出力エンドポイントをサポートします。
- USB 3.0 ストリーム機能をサポートします。
- USB ペリフェラルとして、CX3 は UAS (USB 外付けストレージ)、UVC (USB ビデオ クラス)、および MTP (メディア転送プロトコル) の USB ペリフェラル クラスに対応しています。USB ペリフェラルとして、他のすべてのデバイスクラスがパススルーモード (外部のホストプロセッサによって完全に処理される) でのみサポートされています。

図 2. USB インターフェース信号



ReNumeration

CX3 はソフト構成のため、1 個のチップが複数の異なる USB デバイス ID を持っています。

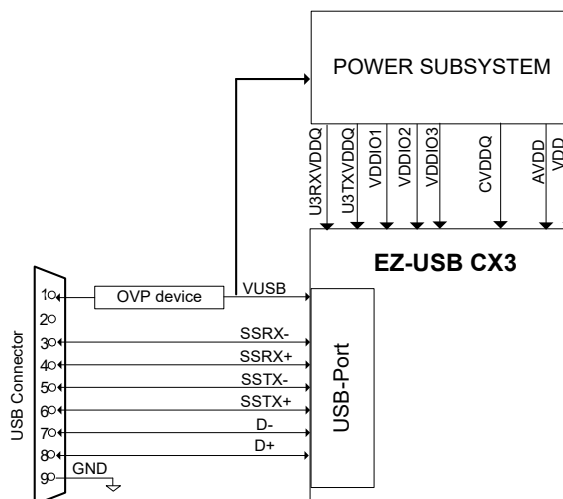
初めて USB に差し込むと、CX3 はインフィニオン ベンダー ID (0x04B4) で自動的にエニユメレートし、ファームウェアと USB ディスクリプタを USB インターフェースを介してダウンロードします。ダウンロードしたファームウェアは、電気的な切断と接続を行います。CX3 は、ダウンロードした情報に定義されたデバイスとして再びエニユメレートします。この特許化された 2 段階のプロセスは ReNumeration と呼ばれ、デバイスが USB に接続された直後に実行されます。

VBUS 過電圧保護

CX3 の VUSB ピン上の最大入力電圧は 6V です。充電器は VBUS 上で最大 9V まで供給できます。この場合、CX3 を VUSB による損傷から保護するために外付けの過電圧保護 (OVP) 装置が必要になります。図 3 は、OVP 装置が VUSB に接続されたシステム アプリケーション図を示しています。VUSB の動作電圧範囲については 17 ページの DC 仕様を参照してください。

注: USB コネクタの VBUS ピンは CX3 の VUSB ピンに接続する必要があります。

図 3. VUSB 用の OVP デバイスのシステム図



MIPI CSI-2 RX インターフェース

MIPI (Mobile Industry Processor Interface) 協会は、イメージデータを広帯域幅のシリアルライン上で送信するためのカメラシリアルインターフェース 2 (CSI-2) 規格を定義しました。

CX3 は次の特長を持つ MIPI CSI-2 レシーバを実装しています。

1. 最大 4 本のレーンでクロックとデータを受信できます。(CYUSB3065 は最大 4 本のレーン、CYUSB3064 は最大 2 本のレーンをサポートします)。
2. 各 CSI レーンは最大 1Gbps に対応できます (合計最大帯域幅は 2.4Gbps を超えてはいけません)。
3. RAW8/10/12/14, YUV422 (CCIR/ITU 8/10 ビット), RGB888/666/565, およびユーザー定義 8 ビットなどのビデオフォーマットに対応できます。
4. センサーを設定するための CCI インターフェース (7 ビットのアドレス指定が可能な 100kHz または 400kHz I²C インターフェースと互換性がある) が提供されています。
5. 外部フラッシュや照明システムをイメージセンサーと同期させるための GPIO が用意されています。これは信号対ノイズ比を改善することにより、画質が良くなり、被写体が明るくなります。
6. GPIO は、外部イベントとイメージセンサを同期させるためにも使用できます。それにより画像を外部イベントにより取り込みます。
7. シリアルインターフェース (I²C, I²S, SPI, UART など) は、オートフォーカス、パン、チルト、ズーム (PTZ) などのカメラ機能を実装するために利用されます。

その他出力

標準の MIPI CSI-2 信号に加え、次の 3 つの出力が提供されます。

1. XRESET: イメージセンサをリセットするために使用できます。
2. XSHUTDOWN: センサをスタンバイモードやシャットダウンモードに移行させるために使用できます。
3. MCLK: クロック出力を提供できます。イメージセンサーのテストに利用できます。量産では、外部クロックジェネレータをイメージセンサーのクロック入力として使用します。

CPU

CX3 は、32 ビット 200MHz ARM926EJ-S コア CPU を内蔵しています。コアは 16KB の命令密接メモリ (TCM) および 8kB のデータ TCM に直接アクセスできます。ARM926EJ-S コアはファームウェアデバッグ用に JTAG インターフェースを備えます。

CX3 は次の利点を持ちます。

- コードとデータに対応する 512KB の組込み SRAM と、8kB の命令キャッシュとデータキャッシュを内蔵しています。
- さまざまなペリフェラル (USB, CSI-2 Rx, I²S, SPI, および UART など) の間で効率的で柔軟な DMA 接続を行います。これにより、ファームウェアがペリフェラル間のデータアクセスを設定するだけで、その後は DMA 構造によって管理されます。
- ARM926EJ-S 用の業界標準の開発ツールを使用して、容易にアプリケーションを開発できます。

CX3 ファームウェアのサンプルは Infineon EZ-USB™ CX3 開発キットに付属します。外部プロセッサに移植可能なソフトウェア

API は、Infineon EZ-USB™ CX3 ソフトウェア開発キットに付属します。

JTAG インターフェース

CX3 の JTAG インターフェースは、JTAG デバッガへ接続するために標準の 5 ピン インターフェースを備えており、CPU コアのオンチップ デバッグ回路を介してファームウェアをデバッグできます。

ARM926EJ-S コア用の業界標準デバッグツールは、CX3 アプリケーション開発に使用できます。

その他インターフェース

CX3 は以下のシリアルペリフェラルをサポートします。

- UART
- I²C
- I²S
- SPI

15 ページの [CYUSB306X ピン一覧](#) にこれらのインターフェースをマッピングする方法を示します。

UART インターフェース

CX3 の UART インターフェースは、全二重通信に対応しています。取り扱う信号を [表 1](#) に示します。

表 1. UART インターフェース信号

信号	説明
TX	出力信号
RX	入力信号
CTS	フロー制御
RTS	フロー制御

UART はファームウェアで選択可能な 300bps ~ 4608Kbps のボーレートを発生させられます。フロー制御が有効である場合、CTS 入力のアサートされる時のみ、CX3 の UART はデータを送信します。また CX3 の UART は、データを受信できるようになったとき、RTS 出力信号をアサートします。

I²C インターフェース

CX3 の I²C インターフェースは I²C バス仕様 Rev.3 に準拠しています。この I²C インターフェースは、I²C マスターとしてのみ動作します。他の I²C のスレーブデバイスと通信するために使用できます。例えば、CX3 はブートオプションとして、I²C インターフェースに接続している EEPROM から起動できます。

CX3 の I²C マスターコントローラーは、マルチマスターモードにも対応しています。

I²C インターフェース用の電源は、他のシリアルペリフェラルから分離されているパワードメインである V_{DDIO1} です。これにより、他のインターフェースと異なる電圧で動作する柔軟性が I²C インターフェースにあります。

I²C コントローラーは、400kHz と 1MHz のバス周波数をサポートします。V_{DDIO1} が 1.8V、2.5V または 3.3V である場合、サポートされる動作周波数は 400kHz と 1MHz です。I²C コント

ローラーは、クロックストレッチ機能をサポートし、遅いデバイスがフロー制御を実行できるようにします。

I²C インターフェースの SCL と SDA 信号には、外部プルアップ抵抗が必要です。プルアップ抵抗は V_{DDIO1} に接続する必要があります。

注：0x0000111x パターンを持つ I²C アドレスは内部で使用され、このアドレスを持つスレーブ デバイスをバスに接続してはいけません。

I²S インターフェース

CX3 は I²S ポートを備えており、外部オーディオコーデック デバイスをサポートしています。CX3 は、トランスミッタとなる I²S のマスターとしてのみ機能します。I²S インターフェースは 4 つの信号 (クロックライン (I2S_CLK)、シリアルデータライン (I2S_SD)、ワードセレクトライン (I2S_WS)、マスターシステムクロック (I2S_MCLK)) から構成されています。CX3 は、I2S_MCLK を出力としてシステムクロックを生成するか、I2S_MCLK を入力として外部システムクロックを受け入れられます。

I²S インターフェースが対応するサンプリング周波数は 8kHz、16kHz、32kHz、44.1kHz、48kHz、96kHz、192kHz です。

SPI インターフェース

CX3 は、シリアルペリフェラルポートで SPI マスターインターフェースをサポートします。最大動作周波数は 33MHz です。

SPI コントローラは、スタート/ストップクロックを使用した SPI 通信の 4 つのモードに対応しています (モードの詳細については、[25 ページの SPI タイミング仕様](#) を参照してください)。このコントローラは、1 つの SSN 信号の制御を持つ、1 つのマスター用のコントローラです。これは 4 ビット ~ 32 ビットのトランザクションサイズに対応します。

ブート オプション

CX3 は、PMODE ピンの設定により選択される様々なソースからブートイメージをロードできます。CX3 のブートオプションは以下のとおりです。

- USB からのブート
- I²C からのブート
- SPI からのブート
 - サポートされるインフィニオン SPI フラッシュデバイスは S25FS064S (64M ビット)、S25FS128S (128M ビット) および S25LFL064L (64M ビット) です。
 - W25Q32FW (32M ビット) もサポートされます。

表 2. CX3 ブート オプション

PMODE[2:0] ^[1]	ブート元
F11	USB ブート
F1F	I ² C、不具合時 USB ブートが有効
1FF	I ² C のみ
0F1	SPI、不具合時 USB ブートが有効

リセット

ハード リセット

ハード リセットは、CX3 の RESET# ピンをアサートすることで行われます。特定のリセットシーケンスとタイミング要件の詳細については、[27 ページの図 11](#) と [27 ページの表 18](#) を参照してください。ハード リセット中、すべての I/O はトリステートにされます。

MIPI_RESET と呼ばれる追加のリセットピンが、MIPI CSI-2 コアのリセットに用意されます。これは通常動作では抵抗でプルダウンします。

ソフト リセット

ソフト リセットには、次の 2 種類があります。

- CPU リセット: CPU プログラムカウンタがリセットされます。CPU リセット後に、ファームウェアをリロードする必要はありません。
- デバイス全体のリセット: このリセットはハード リセットと同じです。デバイス全体のリセット後に、ファームウェアをリロードする必要があります。

注:

1. F はフローティング状態を意味します。

クロック

CX3 は、通常動作のために 2 つのクロックを必要とします。

1. CLKIN ピンに接続する 19.2MHz のクロック。
2. REFCLK ピンに接続する 6MHz ~ 40MHz のクロック。

CX3 へのクロック入力は、表 3 で指定されている位相ノイズとジッタの要件を満たす必要があります。

入力クロック周波数は、CX3 コアまたはいずれのデバイス インターフェース (CSI-2 Rx ポートを含む) のクロックおよびデー

タ レートと無関係です。内部 PLL は、入力周波数に応じて適切なクロック逡倍オプションを適用します。

注: REFCLK は VDDIO1 電力ドメインに属し、CLKIN は CVDDQ 電力ドメインに属します。同じ信号源を使用する場合、そのクロックは 2 つの出力を備えたバッファを通してクロックピンに接続する必要があります。クロックバッファ、CVDDQ、および VDDIO1 には必ず同じ電圧で電力を供給してください。

表 3. CX3 入力クロック仕様

パラメーター	説明	仕様		単位
		Min	Max	
位相ノイズ	100Hz オフセット	-	-75	dB
	1kHz オフセット	-	-104	dB
	10kHz オフセット	-	-120	dB
	100kHz オフセット	-	-128	dB
	1MHz オフセット	-	-130	dB
最大周波数偏差	-	-	150	ppm
デューティ比	-	30	70	%
オーバーシュート	-	-	3	%
アンダーシュート	-	-	-3	%
立ち上り時間／立ち下り時間	-	-	3	ns

32kHz ウォッチドッグ タイマー クロック入力

CX3 はウォッチドッグ タイマーを内蔵しています。ウォッチドッグ タイマーは、ARM926EJ-S コアに割り込みをかけ、スタンバイ モード中の CX3 を自動的に復帰させ、ARM926EJ-S コアをリセットするために使用できます。ウォッチドッグ タイマーは 32kHz のクロックで動作します。このクロックはオプションで CX3 の専用ピンに接続する外部クロックから供給されます。

ファームウェアはウォッチドッグ タイマーを無効にできます。

表 4 にオプションの 32kHz クロック入力の要件を示します。

表 4. 32kHz クロック入力の要件

パラメーター	Min	Max	単位
デューティ比	40	60	%
周波数偏差	-	±200	ppm
立ち上り時間／立ち下り時間	-	200	ns

電源

CX3 は、次の電源ドメインがあります。

- **IO_VDDQ**: デジタルI/O用の個別のパワードメインのグループ
 - **V_{DDIO1}**: GPIO、I²C、JTAG、XRST、XSHUTDOWN および REFCLK
 - **V_{DDIO2}**: UART と I²S (MCLK を除く)
 - **V_{DDIO3}**: I²S_MCLK と SPI
 - **C_{VDDQ}**: CLKIN
 - **V_{DD_MIPI}**: MIPI CSI-2 クロックとデータ レーン
- **V_{DD}**: これはロジック コア用の電源です。定格電源電圧レベルは 1.2V であり、コア ロジック回路に供給されます。同じ電源を以下にも使用します。
 - **A_{VDD}**: PLL、水晶発振器およびその他のコア アナログ回路用の 1.2V 電源です。
 - **U3TXVDDQ/U3RXVDDQ**: USB 3.0 インターフェース用の 1.2V 電源です。
- **V_{USB}**: USB I/Oおよびアナログ回路用の4V～6V電源です。これは CX3 の内部電圧レギュレータを介して USB トランシーバに電源を供給します。V_{USB} は内部で 3.3V に調整されています。

注: 図 4 に示すように、これらの電源は特定のシーケンスでオン/オフする必要があります。

電力モード

CX3 は以下の電力モードに対応しています。

- **通常モード**: これは機能がすべて動作するモードです。このモードでは、内部CPUクロックと内部PLLが有効になります。
 - 通常の動作消費電力は、I_{CC} コアの最大値と I_{CC} USB の最大値の合計を超えません (消費電流の仕様については、17ページの DC 仕様を参照してください)。
 - V_{DDIO2}とV_{DDIO3}のI/O電源は、対応するインターフェースが使用されていないときにオフにできます。V_{DDIO1} は、通常動作の場合にオフにはしてはいけません。
- **低消費電力モード** (11 ページの表 5 を参照してください)
 - USB 3.0 PHY が有効にされたサスペンド モード
 - スタンバイ モード
 - コア電源遮断モード

図 4. 電源投入シーケンス

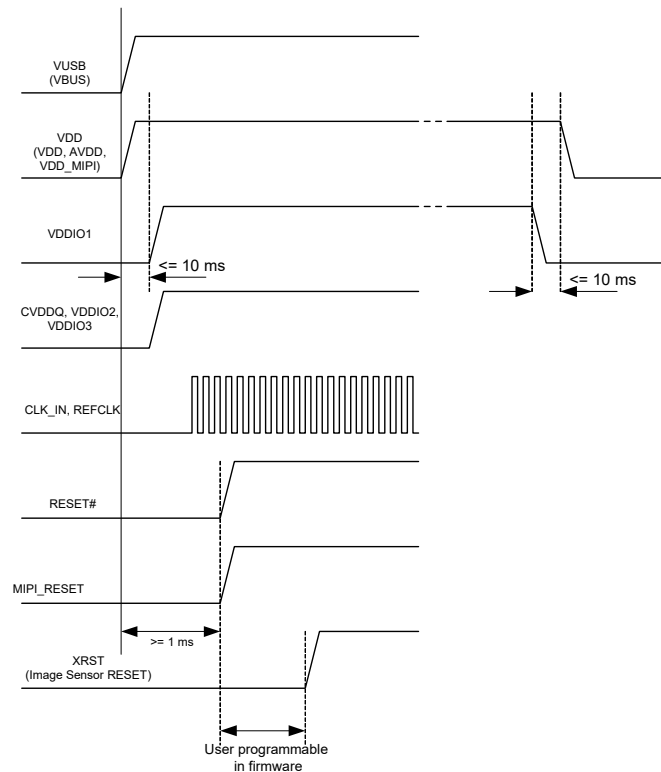


表 5. 低消費電力モードの開始および終了方法

低消費電力モード	特性	遷移方法	離脱方法
USB 3.0 PHY を有効にしたサスペンドモード	<ul style="list-style-type: none"> ■ このモードの消費電力は I_{SB1} を超えません。 ■ USB 3.0 PHY が有効で、U3 モードになります (USB 3.0 仕様で定義されたサスペンドモードの 1 つ)。その他すべてのクロックはシャットダウンするが、このブロックはそれ自身の内部クロックで動作可能です。 ■ すべての I/O は前の状態を保持します。 ■ ウェイクアップ ソースへの電源とコア電源を保持する必要があります。その他すべてのパワー ドメインは個別にオン/オフにできます。 ■ コンフィギュレーション レジスタ、バッファ メモリおよびすべての内部 RAM の状態が保持されます。 ■ CX3 がサスペンド モードに入る前に、すべてのトランザクションを完了する必要があります。(未完了トランザクションの状態は保持されない) ■ プログラム カウンターがリセットしないため、ファームウェアは一時停止した時点から動作を再開します。(RESET# のアサートによって復帰した場合を除く) 	<ul style="list-style-type: none"> ■ ARM926EJ-S コアで実行されるファームウェアは CX3 をサスペンド モードにできます。例えば、USB サスペンド状態で、ファームウェアは CX3 をサスペンド状態にする場合があります。 	<ul style="list-style-type: none"> ■ D+のLOWまたはHIGHへの遷移 ■ D-のLOWまたはHIGHへの遷移 ■ SSRX± の再開条件 ■ VBUS の検知 ■ UART_CTS でのレベル検知 (プログラマブル極性) ■ RESET# のアサーション
スタンバイモード	<ul style="list-style-type: none"> ■ このモードの消費電力は I_{SB3} を超えません。 ■ すべてのコンフィギュレーション レジスタ設定およびプログラム/データ RAM の内容は保持されます。ただし、バッファ内またはデータバスの他の部分にあるデータは保証されません。このため、外部プロセッサは CX3 をスタンバイモードに移行させる前に、必要なデータが読み出されるように気を付ける必要があります。 ■ プログラム カウンターは、スタンバイモードからの復帰時にリセットされます。 ■ GPIO ピンはその設定を保持します。 ■ 内部 PLL はオフになります。 ■ USB トランシーバはオフになります。 ■ ARM926EJ-S コア電源はオフになります。復帰時に、コアは再起動し、プログラム/データ RAM に保存されたプログラムを実行します。 ■ ウェイクアップ ソースへの電源とコア電源を保持する必要があります。その他すべてのパワー ドメインは個別にオン/オフにできます。 	<ul style="list-style-type: none"> ■ ARM926EJ-S コアまたは外部プロセッサで実行されるファームウェアは適切なレジスタが設定されます。 	<ul style="list-style-type: none"> ■ VBUS の検知 ■ UART_CTS でのレベル検知 (プログラマブル極性) ■ RESET# のアサーション

表 5. 低消費電力モードの開始および終了方法 (続き)

低消費電力モード	特性	遷移方法	離脱方法
コア電源遮断モード	<ul style="list-style-type: none"> ■ このモードの消費電力は ISB_4 を超えません。 ■ コア電源はオフになります。 ■ すべてのバッファ、メモリ、コンフィギュレーションレジスタおよびプログラムRAMは状態を保持しません。このモードを終了した後、ファームウェアをリロードします。 ■ このモードでは、他のすべてのパワードメインは個別にオン／オフにできます。 	<ul style="list-style-type: none"> ■ V_{DD} をオフにします。 	<ul style="list-style-type: none"> ■ V_{DD} を再供給 ■ RESET# のアサーション

構成オプション

構成オプションは、特定の使用方法で利用できます。詳細については弊社のマーケティング部門 (usb3@cypress.com) までお問い合わせください。

デジタル I/O

CX3 は、すべてのデジタル I/O ピンにファームウェアで制御される内部プルアップまたはプルダウン抵抗を持ちます。ピンがフローティングにならないように、内部 50kΩ 抵抗で HIGH にプルし、内部 10kΩ 抵抗で LOW にプルします。I/O ピンは次の状態をとります。

- トライステート (High-Z)
- 軽プルアップ (内部 50kΩ)
- プルダウン (内部 10kΩ)
- 低消費電力モードのとき、ホールド (I/O はその値を保持)
- JTAG TDI、TMC、および TRST# 信号には固定の 50kΩ 内部プルアップ抵抗を付け、TCK 信号には固定の 10kΩ プルダウン抵抗を付けています。

内部プルアップ抵抗を使用して、すべての未使用の I/O を HIGH にする必要があります。すべての未使用の出力はフローティングにします。すべての I/O は、フル、3/4、1/2、1/4 の能力で駆動できます。これら駆動強度はインターフェースごとに設定します。

GPIO

CX3 では、照明、同期表示などに使用できる汎用 I/O として 12 個のピンを用意しています。詳細は [14 ページのピンの設定](#) を参照してください。

すべての GPIO ピンは最大 16pF の外部負荷に対応します。

EMI

CX3 は、家電に対応する FCC 15B (米国) および EN55022 (ヨーロッパ) に記述されている EMI 要件をシステムレベルで満たしています。CX3 は、これらの規格に記述されるレベルの EMI への耐性があり、正常に機能し続けます。

システム レベルの ESD

CX3 は、USB インターフェース上の D+、D-、GND ピンに ESD 保護を組み込んでいます。これらのポートに提供される ESD 保護レベルは次のとおりです。

- JESD22-A114 仕様による ±2.2kV 人体モデル (HBM)
- IEC61000-4-2 レベル 3A によるシステムレベルの外部保護デバイスを使用した接触放電は ±6kV、気中放電は ±8kV
- IEC61000-4-2 レベル 4C によるシステムレベルの外部保護デバイスを使用した接触放電は ±8kV、気中放電は ±15kV

この保護により、ここで述べられているレベルに達した ESD イベントが発生した後もデバイスが継続して機能することを保証しています。

SSRX+、SSRX-、SSTX+、SSTX- ピンは、最大 ±2.2kV の HBM 内部 ESD 保護を備えています。

ピンの設定

図 5. CX3 ボール配置 (トップビュー)

A1	A2	A3	A4	A5	A6	A7	A8	A9	A10	A11
U3VSSQ	U3RXVDDQ	SSRXM	SSRXP	SSTXP	SSTXM	AVDD	VSS	DP	DM	GPIO[24]
B1	B2	B3	B4	B5	B6	B7	B8	B9	B10	B11
VDDIO3	VSS	GPIO[23]	GPIO[21]	U3RXVDDQ	CVDDQ	AVSS	VSS	VSS	VDD	TRST#
C1	C2	C3	C4	C5	C6	C7	C8	C9	C10	C11
SPI_SS/IO[54]	SPI_MISO/IO[55]	VDD	GPIO[26]	RESET#	GPIO[18]	GPIO[19]	GPIO[22]	GPIO[45]	TDO	I2S_MCLK/IO[57]
D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11
I2S_CLK/IO[50]	I2S_SD/IO[51]	I2S_WS/IO[52]	SPI_SCK/IO[53]	SPI_MOSI/IO[56]	CLKIN_32	CLKIN	VSS	I2C_SCL	I2C_SDA	GPIO[17]
E1	E2	E3	E4	E5	E6	E7	E8	E9	E10	E11
UART_CTS/IO[47]	VSS	VDDIO2	UART_RX/IO[49]	UART_TX/IO[48]	GPIO[20]	TDI	TMS	VDD	VUSB	VSS
F1	F2	F3	F4	F5	F6	F7	F8	F9	F10	F11
DNU	REFCLK	GPIO[44]	XRST	UART_RTS/IO[46]	TCK:	DNU	DNU	DNU	DNU	VDD
G1	G2	G3	G4	G5	G6	G7	G8	G9	G10	G11
VSS	XSHUTDOWN	MCLK	PMODE[0]/IO[30]	GPIO[25]	HSYNC_test	DNU	DNU	DNU	DNU	VSS
H1	H2	H3	H4	H5	H6	H7	H8	H9	H10	H11
VDD	DNU	DNU	PMODE[1]/IO[31]	VSYNC_test	MIPI RESET	DNU	PCLK_test	DNU	DNU	VDDIO1
J1	J2	J3	J4	J5	J6	J7	J8	J9	J10	J11
DNU	DNU	DNU	DNU	MIPI_D0P	MIPI_D1P ¹	MIPI_CP	MIPI_D2P ^{1, 2}	MIPI_D2N ^{1, 2}	DNU	VDD
K1	K2	K3	K4	K5	K6	K7	K8	K9	K10	K11
DNU	DNU	VSS	VSS	MIPI_D0N	MIPI_D1N ¹	MIPI_CN	MIPI_D3N ^{1, 2}	DNU	DNU	DNU
L1	L2	L3	L4	L5	L6	L7	L8	L9	L10	L11
VSS	VSS	VSS	PMODE[2]/IO[32]	VDD_MIPI	VSS	VDD	MIPI_D3P ^{1, 2}	VDDIO1	DNU	VSS

1. GND に接続される未使用の MIPI 入力データ レーンです。

2. MIPI_D2N、MIPI_D2P、MIPI_D3N、および MIPI_D3P 信号は CYUSB3064 デバイスでは利用不可です。カスタム基板では、これらのピンを「開放」のままにする必要があります。

凡例

	グラウンド
	USB PHY 電源、クロック電源
	電源

ピン説明

表 6. CYUSB306X ピン一覧

CX3		
ピン番号	ピン名	I/O
F10	DNU	I/O
F9	DNU	I/O
F7	DNU	I/O
G10	DNU	I/O
G9	DNU	I/O
F8	DNU	I/O
H10	DNU	I/O
H9	DNU	I/O
J10	DNU	I/O
H7	DNU	I/O
K11	DNU	I/O
L10	DNU	I/O
K10	DNU	I/O
K9	DNU	I/O
G7	DNU	I/O
G8	DNU	I/O
K2	DNU	I/O
J4	DNU	I/O
K1	DNU	I/O
J2	DNU	I/O
J3	DNU	I/O
J1	DNU	I/O
H2	DNU	I/O
H3	DNU	I/O
G6	HSYNC_test	I/O
H5	VSYNC_test	I/O
H8	PCLK_test	I/O
VDDIO1 パワードメイン		
D11	GPIO[17]	I/O
C6	GPIO[18]	I/O
C7	GPIO[19]	I/O
E6	GPIO[20]	I/O
B4	GPIO[21]	I/O
C8	GPIO[22]	I/O
B3	GPIO[23]	I/O
A11	GPIO[24]	I/O
G5	GPIO[25]	I/O

表 6. CYUSB306X ピン一覧 (続き)

CX3		
ピン番号	ピン名	I/O
C4	GPIO[26]	I/O
F3	GPIO[44]	I/O
C9	GPIO[45]	I/O
G4	PMODE[0]/GPIO[30]	I/O
H4	PMODE[1]/GPIO[31]	I/O
L4	PMODE[2]/GPIO[32]	I/O
F1	DNU	I/O
H6	MIPI RESET	I/O
C5	RESET#	I
F4	XRST	O
G2	XSHUTDOWN	O
G3	MCLK	O
VDDIO2 パワードメイン		
F5	UART_RTS/GPIO[46]	I/O
E1	UART_CTS/GPIO[47]	I/O
E5	UART_TX/GPIO[48]	I/O
E4	UART_RX/GPIO[49]	I/O
D1	I2S_CLK/GPIO[50]	I/O
D2	I2S_SD/GPIO[51]	I/O
D3	I2S_WS/GPIO[52]	I/O
VDDIO3 パワードメイン		
D4	SPI_SCK/GPIO[53]	I/O
C1	SPI_SSN/GPIO[54]	I/O
C2	SPI_MISO/GPIO[55]	I/O
D5	SPI_MOSI/GPIO[56]	I/O
C11	I2S_MCLK/GPIO[57]	I/O
USB ポート (U3TXVDDQ/U3RXVDDQ パワードメイン)		
A3	SSRXM	I
A4	SSRXP	I
A6	SSTXM	O
A5	SSTXP	O
USB ポート (VUSB パワードメイン)		
A9	DP	I/O
A10	DM	I/O
VDDIO1 パワードメイン		
F2	REFCLK	I
VDD_MIPI パワードメイン		
J7	MIPI_CP	I

表 6. CYUSB306X ピン一覧 (続き)

CX3		
ピン番号	ピン名	I/O
K7	MIPI_CN	I
J5	MIPI_D0P	I
K5	MIPI_D0N	I
J6	MIPI_D1P ¹	I
K6	MIPI_D1N ¹	I
J9	MIPI_D2N ^{1,2}	I
J8	MIPI_D2P ^{1, 2}	I
L8	MIPI_D3P ^{1, 2}	I
K8	MIPI_D3N ^{1, 2}	I
CVDDQ パワードメイン		
D7	CLKIN	I
D6	CLKIN_32	I
VDDIO1 パワードメイン		
D9	I2C_SCL	I/O
D10	I2C_SDA	I/O
E7	TDI	I
C10	TDO	O
B11	TRST#	I
E8	TMS	I
F6	TCK:	I
パワードメイン		
E10	VUSB	PWR
A1	U3VSSQ	PWR
H11	VDDIO1	PWR
L9	VDDIO1	PWR
E3	VDDIO2	PWR
B1	VDDIO3	PWR
B6	CVDDQ	PWR
B5	U3RXVDDQ	PWR
A2	U3RXVDDQ	PWR
A7	AVDD	PWR
B7	AVSS	PWR
L5	VDD_MIPI	PWR
B10	VDD	PWR
J11	VDD	PWR
C3	VDD	PWR
E9	VDD	PWR
F11	VDD	PWR
H1	VDD	PWR

表 6. CYUSB306X ピン一覧 (続き)

CX3		
ピン番号	ピン名	I/O
L7	VDD	PWR
D8	VSS	PWR
E2	VSS	PWR
E11	VSS	PWR
G1	VSS	PWR
A8	VSS	PWR
G11	VSS	PWR
L1	VSS	PWR
B8	VSS	PWR
L6	VSS	PWR
B2	VSS	PWR
L11	VSS	PWR
B9	VSS	PWR
K4	VSS	PWR
L3	VSS	PWR
K3	VSS	PWR
L2	VSS	PWR

1. GND に接続される未使用の MIPI 入力データ レーンです。
2. MIPI_D2N、MIPI_D2P、MIPI_D3N および MIPI_D3P 信号は CYUSB3064 デバイスでは利用不可です。カスタム基板では、これらのピンを「開放」のままにする必要があります。

電氣的仕様

絶対最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。

保存温度 -65°C ~ +150°C

グランド電位への電源電圧

V_{DD} 、 A_{VDDQ} 1.25V

V_{DDIO1} 、 V_{DDIO2} 、 V_{DDIO3} 3.6V

$U3TX_{VDDQ}$ 、 $U3RX_{VDDQ}$ 1.25V

任意の入力ピンへの DC 入力電圧 $V_{CC} + 0.3$

High Z 状態の出力に印加される DC 電圧

(V_{CC} は対応する I/O 電圧) $V_{CC} + 0.3$

DC 仕様

表 7. DC 仕様

記号	説明	Min	Max	単位	注記
V_{DD}	コア電源電圧	1.15	1.25	V	Typ 1.2V
A_{VDD}	アナログ電源電圧	1.15	1.25	V	Typ 1.2V
V_{DD_MIPI}	MIPI ブリッジ D-PHY 電源電圧	1.15	1.25	V	Typ 1.2V
V_{DDIO1}	I ² C、JTAG と GPIO 電源電圧ドメイン	1.7	3.6	V	Typ 1.8V、2.5V、3.3V
V_{DDIO2}	UART/I ² S 電源電圧ドメイン	1.7	3.6	V	Typ 1.8V、2.5V、3.3V
V_{DDIO3}	SPI/I ² S 電源電圧ドメイン	1.7	3.6	V	Typ 1.8V、2.5V、3.3V
V_{USB}	USB 電源電圧	4	6	V	Typ 5V
$U3TX_{VDDQ}$	USB 3.0 1.2V 電源	1.15	1.25	V	Typ 1.2V この電源電圧には、22μF のバイパスコンデンサが必要です。
$U3RX_{VDDQ}$	USB 3.0 1.2V 電源	1.15	1.25	V	Typ 1.2V この電源電圧には、22μF のバイパスコンデンサが必要です。
C_{VDDQ}	クロック電源電圧	1.7	3.6	V	Typ 1.8V、3.3V
V_{IH1}	入力 HIGH 電圧 1	$0.625 \times V_{CC}$	$V_{CC}+0.3$	V	$2.0V \leq V_{CC} \leq 3.6V$ の場合 (USB と MIPI CSI-2 ピンを除く)。 V_{CC} は対応する I/O 電源電圧です。
V_{IH2}	入力 HIGH 電圧 2	$V_{CC}-0.4$	$V_{CC}+0.3$	V	$1.7V \leq V_{CC} \leq 2.0V$ の場合 (USB と MIPI CSI-2 ピンを除く)。 V_{CC} は対応する I/O 電源電圧です。
V_{IL}	入力 LOW 電圧	-0.3	$0.25 \times V_{CC}$	V	V_{CC} は対応する I/O 電源電圧です。
V_{OH}	出力 HIGH 電圧	$0.9 \times V_{CC}$	-	V	$I_{OH}(\max) = -100\mu A$ 。1/4 の駆動強度でテストします。 V_{CC} は対応する I/O 電源電圧です。さまざまな駆動強度と V_{CC} で測定される I_{OH} の値は、18 ページの表 8 を参照してください。
V_{OL}	出力 LOW 電圧	-	$0.1 \times V_{CC}$	V	$I_{OL}(\min) = +100\mu A$ 。1/4 の駆動強度でテストします。 V_{CC} は対応する I/O 電源電圧です。さまざまな駆動強度と V_{CC} で測定される I_{OL} の値は、18 ページの表 8 を参照してください。
I_{IX}	SSTXP/SSXM/SSRXP/SSRXM を除くすべてのピンの入力漏れ電流	-1	1	μA	すべての I/O 信号は V_{DDQ} に保持されます。(プルアップ/プルダウン抵抗を接続した I/O の漏れ電流は V_{DDQ}/R_{PU} または V_{DDQ}/R_{PD} 分増加)

最大ラッチアップ電流 140mA

すべての I/O 設定に対応した最大出力短絡電流

($V_{OUT} = 0V$) -100mA

動作条件

T_A (バイアス印加時の周囲温度)

民生用 0°C ~ +70°C

産業用 -40°C ~ +85°C

V_{DD} 、 A_{VDDQ} 、 $U3TX_{VDDQ}$ 、 $U3RX_{VDDQ}$

電源電圧 1.15V ~ 1.25V

V_{USB} 電源電圧 4V ~ 6V

V_{DDIO1} 、 V_{DDIO2} 、 V_{DDIO3} 、 C_{VDDQ}

電源電圧 1.7V ~ 3.6V

表 7. DC 仕様 (続き)

記号	説明	Min	Max	単位	注記
I_{OZ}	SSTXP/SSXM/SSRXP/SSRXM および MIPI CSI-2 信号を除くすべてのピンの出力 High-Z 漏れ電流	-1	1	μA	すべての I/O 信号は V_{DDQ} に保持されます。
I_{CC} コア	コアおよびアナログ電圧動作電流	-	192	mA	A_{VDD} 、 V_{DD} に流れる合計電流
I_{CC} USB	USB 電源の動作電流	-	60	mA	-
I_{SB1}	USB 3.0 PHY が有効なサスペンドモード中の総サスペンド電流	コア : 558.35 μA	-	μA	コア電流は V_{DD} 、 A_{VDD} および V_{DD_MIPI} を介して測定されます。 I/O 電流は $V_{DDIO1} \sim V_{DDIO3}$ を介して測定されます。
		I/O: 4.58 μA	-	μA	
		USB: 4672 μA	-	μA	
I_{SB3}	コア電源遮断モード中の合計スタンバイ電流	コア : 148.31 μA	-	μA	USB 電流は V_{USB} 、 $U3TX_{VDDQ}$ および $U3RX_{VDDQ}$ を介して測定されます。
		I/O: 3.16 μA	-	μA	
		USB: 15.8 μA	-	μA	
V_{RAMP}	コアおよび I/O 電源の電圧ランプレート	0.2	12	V/ms	電圧の立ち上りは単調でなければいけません。
V_N	V_{DD} および I/O 電源に許容されるノイズレベル	-	100	mV	A_{VDD} を除くすべての電源に許容される最大 p-p ノイズレベル
V_{N_AVDD}	A_{VDD} 電源に許容されるノイズレベル	-	20	mV	A_{VDD} に許容される最大 p-p ノイズレベル

 表 8. 異なる駆動強度と V_{DDIO} 値に対応する I_{OH}/I_{OL} 値

V_{DDIO} (V)	V_{OH} (V)	V_{OL} (V)	駆動強度	$I_{OH\ max}$ (mA)	$I_{OL\ min}$ (mA)
1.7	1.53	0.17	1/4	1.02	2.21
			1/2	1.51	3.28
			3/4	1.83	3.85
			フル	2.28	4.73
2.5	2.25	0.25	1/4	5.03	3.96
			1/2	7.38	5.84
			3/4	8.89	6.89
			フル	11.07	8.61
3.6	3.24	0.36	1/4	7.80	5.74
			1/2	11.36	8.64
			3/4	13.64	10.15
			フル	16.92	12.67

MIPI D-PHY 電気的特性
表 9. MIPI D-PHY の電気的特性

パラメーター	項目	仕様			単位
		Min	Nom	Max	
MIPI D-PHY RX DC 特性					
V _{PIN}	入力信号の電圧範囲	-50	-	1350	mV
V _{IH}	ロジック 1 入力電圧	880	-	-	mV
V _{IL}	ロジック 0 入力電圧	-	-	550	mV
V _{CMRX} (DC)	HS レシーバ モードのコモンモード電圧	70	-	330	mV
V _{IDTH}	差動入力スレッショルド High		-	70	mV
V _{IDTL}	差動入力スレッショルド Low	-70	-	-	mV
V _{IHHS}	シングル エンド 入力 HIGH 電圧		-	460	mV
V _{ILHS}	シングル エンド 入力 HIGH 電圧	-40	-	-	mV

熱特性
表 10. 熱特性

パラメーター	説明	値	単位
$T_{J\ MAX}$	最大接合部温度	125	°C
Θ_{JA}	熱抵抗 (接合部から周囲)	24.4	°C/W
Θ_{JB}	熱抵抗 (接合部から基板)	17.27	°C/W
Θ_{JC}	熱抵抗 (接合部からケース)	5.5	°C/W

AC タイミング パラメーター

MIPI データとクロックのタイミング

図 6. MIPI CSI 信号データとクロックのタイミング

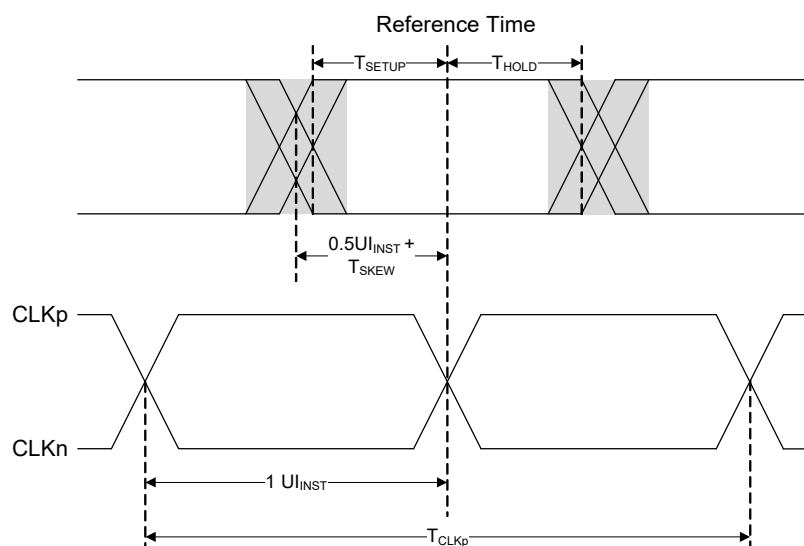


表 11. MIPI データとクロックのタイミング

記号	説明	Min	Max	単位
t_{SKEW}	データからクロックまでのスキュー (トランスミッタで観測)	-0.15	0.15	$U_{\text{I_INST}}$
T_{SETUP}	データからクロックまでのセットアップ時間 (レシーバ側)	0.15	-	$U_{\text{I_INST}}$
T_{HOLD}	クロックからデータまでのホールド時間 (レシーバ側)	0.15	-	$U_{\text{I_INST}}$
$U_{\text{I_INST}}$	1 データ ビット 時間 (瞬時)	1	12.5	ns
T_{CLKp}	デュアル データ レート クロックの周期	2	25	ns

リファレンス クロック仕様

表 12. リファレンス クロック仕様

記号	説明	Min	Max	単位	注
RefClk	リファレンス クロック周波数	6	40	MHz	-
RefclkDutyCyl	デューティ比	40%	60%	-	-
RefClkPJ	リファレンス クロック入力周期ジッタ	-100	100	ps	-

MIPI CSI ローパワー AC 特性

図 7. MIPI CSI バス入力グリッチ除去

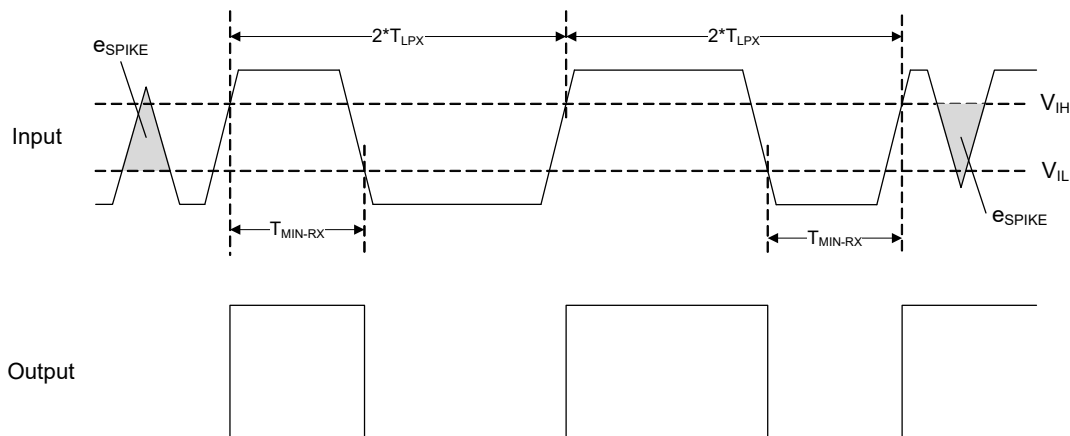


表 13. MIPI CSI ローパワー AC 特性

記号	説明	Min	Max	単位	注記
e_{SPIKE}	入力ノイズ除去	-	300	V.ps	スパイクの電圧と時間の積算値。電圧が V_{IL} 以上 (LP-0 状態の場合) または V_{IH} 以下 (LP-1 状態の場合) が該当します。これより小さいインパルスはレシーバの状態を変更しません。
$T_{\text{MIN-RX}}$	応答する最小パルス幅	20	-	ns	これより大きい入力パルスは出力をトグルします。
V_{INT}	干渉の最大振幅	-	200	mV	-
F_{INT}	干渉の周波数	450	-	MHz	-
T_{LPX}	任意の低電力状態の期間	50	-	ns	-

AC 仕様

表 14. AC 仕様

記号	説明	Min	Max	単位	詳細/条件
$\Delta V_{\text{CMRX(HF)}}$	450MHz を超えるコモン モード干渉	-	100	mV	$\Delta V_{\text{CMRX(HF)}}$ は、レシーバ入力で観測する重ね合わせた正弦波の最大振幅です。
$\Delta V_{\text{CMRX(LF)}}$	50 ~ 450MHz のコモン モード干渉	-50	50	mV	定常的なグラウンド電位の変動分 50mV を差し引きます。これは DC 平均コモン モード電位と比較した電圧差です。

シリアル ペリフェラル タイミング

I²C タイミング

図 8. I²C タイミング定義

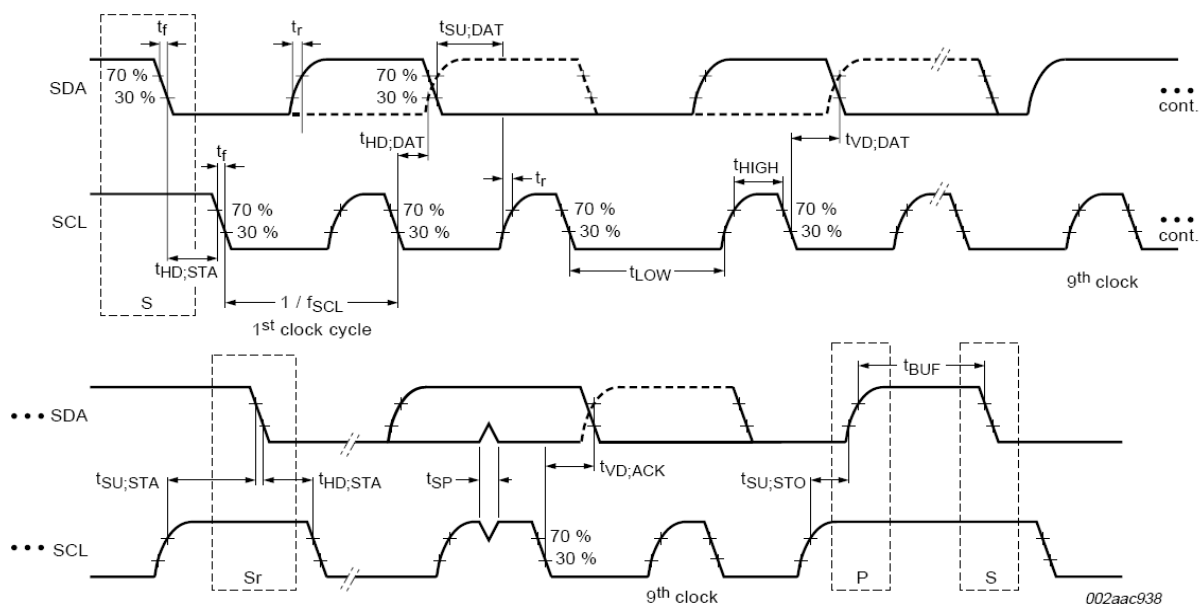


表 15. I²C のタイミング パラメーター [2]

記号	説明	Min	Max	単位
I ² C 標準モード パラメーター				
f _{SCL}	SCL クロック周波数	0	100	kHz
t _{HD,STA}	START 条件までのホールド時間	4	-	μs
t _{LOW}	SCL の LOW 時間	4.7	-	μs
t _{HIGH}	SCL の HIGH 時間	4	-	μs
t _{SU,STA}	リピート START 条件のセットアップ時間	4.7	-	μs
t _{HD,DAT}	データ ホールド時間	0	-	μs
t _{SU,DAT}	データ セットアップ時間	250	-	ns
t _r	SDA および SCL 信号の立ち上がり時間	-	1000	ns
t _f	SDA および SCL 信号の立ち下り時間	-	300	ns
t _{SU,STO}	STOP 条件のセットアップ時間	4	-	μs
t _{BUF}	STOP 条件と START 条件間のバスの空き時間	4.7	-	μs
t _{VD,DAT}	データ有効時間	-	3.45	μs
t _{VD,ACK}	データ有効 ACK	-	3.45	μs
t _{SP}	入力フィルタによって抑制する必要があるスパイクのパルス幅	該当なし	該当なし	

注：

2. すべてのパラメーターは設計で保証されており、特性評価によって検証済みです。

表 15. I²C のタイミング パラメーター ^[2](続き)

記号	説明	Min	Max	単位
I²C ファースト モード パラメーター				
f _{SCL}	SCL クロック周波数	0	400	kHz
t _{HD:STA}	START 条件のホールド時間	0.6	-	μs
t _{LOW}	SCL の LOW 時間	1.3	-	μs
t _{HIGH}	SCL の HIGH 時間	0.6	-	μs
t _{SU:STA}	リピート START 条件のセットアップ時間	0.6	-	μs
t _{HD:DAT}	データ ホールド時間	0	-	μs
t _{SU:DAT}	データ セットアップ時間	100	-	ns
t _r	SDA および SCL 信号の立ち上り時間	-	300	ns
t _f	SDA および SCL 信号の立ち下り時間	-	300	ns
t _{SU:STO}	STOP 条件のセットアップ時間	0.6	-	μs
t _{BUF}	STOP 条件と START 条件との間でのバスの空き時間	1.3	-	μs
t _{VD:DAT}	データ有効時間	-	0.9	μs
t _{VD:ACK}	データ有効 ACK	-	0.9	μs
t _{SP}	入力フィルタによって抑制する必要があるスパイクのパルス幅	0	50	ns
I²C ファースト モード プラス パラメーター				
f _{SCL}	SCL クロック周波数	0	1000	kHz
t _{HD:STA}	ホールド時間 START 条件	0.26	-	μs
t _{LOW}	SCL の LOW 時間	0.5	-	μs
t _{HIGH}	SCL の HIGH 時間	0.26	-	μs
t _{SU:STA}	リピート START 条件のセットアップ時間	0.26	-	μs
t _{HD:DAT}	データ ホールド時間	0	-	μs
t _{SU:DAT}	データ セットアップ時間	50	-	ns
t _r	SDA および SCL 信号の立ち上り時間	-	120	ns
t _f	SDA および SCL 信号の立ち下り時間	-	120	ns
t _{SU:STO}	STOP 条件のセットアップ時間	0.26	-	μs
t _{BUF}	STOP 条件と START 条件との間のバス空き時間	0.5	-	μs
t _{VD:DAT}	データ有効時間	-	0.45	μs
t _{VD:ACK}	データ有効 ACK	-	0.55	μs
t _{SP}	入力フィルタによって抑制する必要があるスパイクのパルス幅	0	50	ns

I²S タイミング ダイアグラム

図 9. I²S 送信サイクル

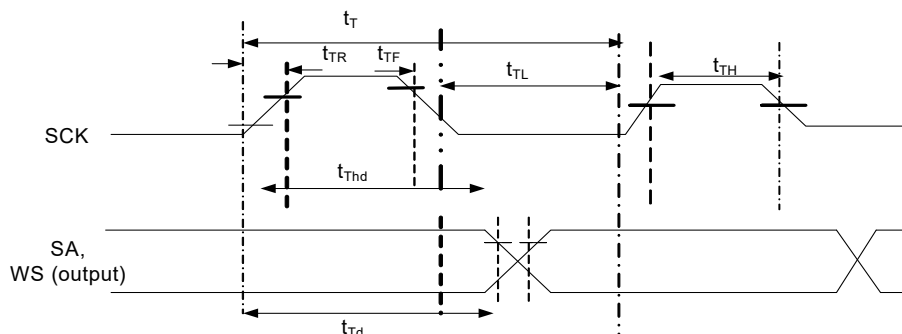


表 16. I²S タイミング パラメーター [3]

記号	説明	Min	Max	単位
t_T	I ² S トランスミッタ クロック サイクル	t_{TR}	-	ns
t_{TL}	I ² S トランスミッタ サイクル LOW 時間	$0.35 t_{TR}$	-	ns
t_{TH}	I ² S トランスミッタ サイクル HIGH 時間	$0.35 t_{TR}$	-	ns
t_{TR}	I ² S トランスミッタ立ち上り時間	-	$0.15 t_{TR}$	ns
t_{TF}	I ² S トランスミッタ立ち下り時間	-	$0.15 t_{TR}$	ns
t_{Thd}	I ² S のトランスミッタ データ ホールド時間	0	-	ns
t_{Td}	I ² S トランスミッタ遅延時間	-	$0.8 t_T$	ns

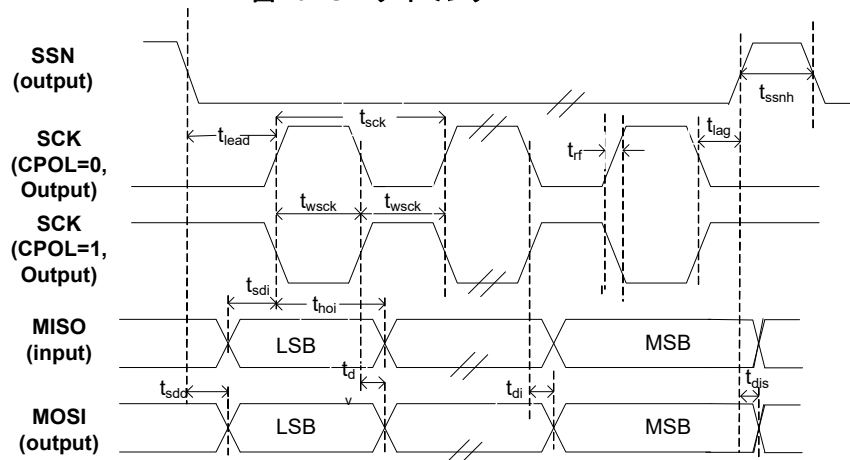
注: t_T はクロック ギアで選択できます。32 ビットでの 96kHz コーデック用に設計される Max t_{TR} は 326ns (3.072MHz) です。

注:

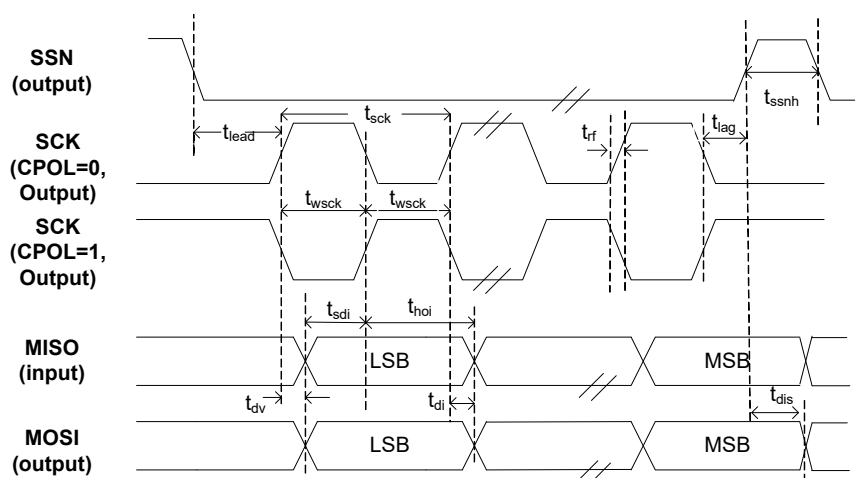
3. すべてのパラメーターは設計で保証されており、特性評価によって検証済みです。

SPI タイミング仕様

図 10. SPI タイミング



SPI Master Timing for CPHA = 0



SPI Master Timing for CPHA = 1

表 17. SPI タイミング パラメータ ^[4]

記号	説明	Min	Max	単位
f_{op}	動作周波数	0	33	MHz
t_{sck}	サイクル時間	30	-	ns
t_{wsck}	クロック HIGH/LOW 時間	13.5	-	ns
t_{lead}	SSN-SCK 先行時間	$1/2 t_{sck}^{[5]} - 5$	$1.5 t_{sck}^{[5]} + 5$	ns
t_{lag}	可能遅延時間	0.5	$1.5 t_{sck}^{[5]} + 5$	ns
t_{RF}	立ち上り／立ち下り時間	-	8	ns
t_{sdd}	出力 SSN からデータ有効までの遅延時間	-	5	ns
t_{dv}	出力データ有効時間	-	5	ns
t_{di}	出力データ無効	0	-	ns
t_{ssnh}	最小 SSN HIGH 時間	10	-	ns
t_{sdi}	入力データセットアップ時間	8	-	ns
t_{hoi}	入力データホールド時間	0	-	ns
t_{dis}	SSN HIGH でデータ出力を無効	0	-	ns

注：

4. すべてのパラメーターは設計で保証されており、特性評価によって検証済みです。
5. SPI_CONFIG レジスタの LAG と LEAD 設定に依存します。

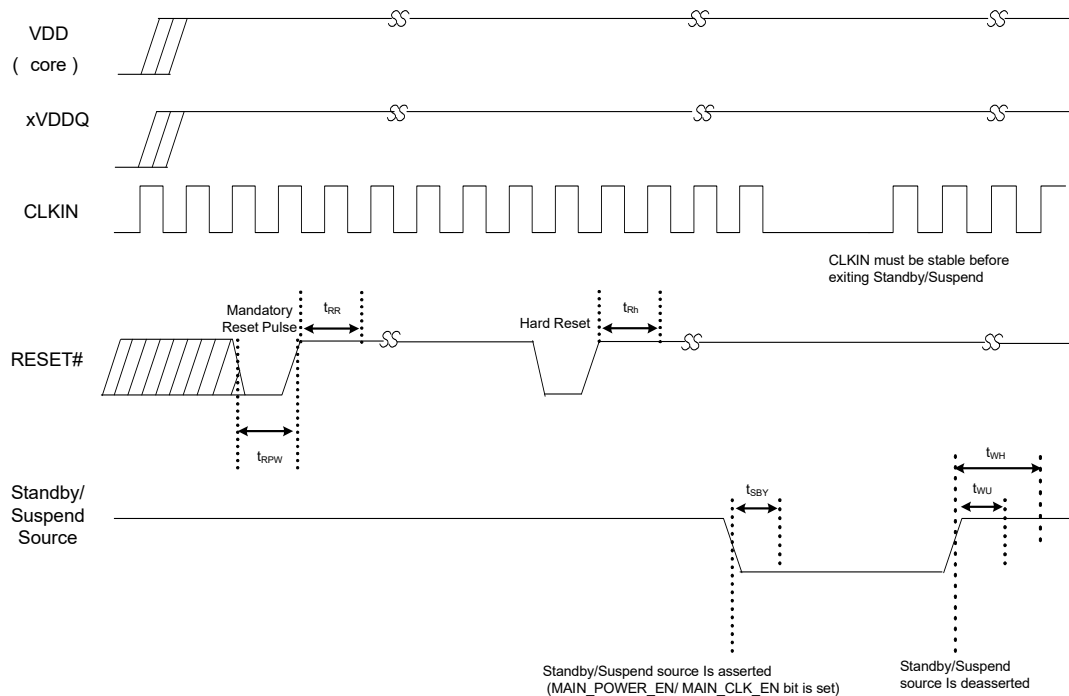
リセット シーケンス

ここでは、CX3 のハード リセット シーケンスの要件を規定します。

表 18. リセットおよびスタンバイ タイミング パラメーター

記号	定義	条件	Min (ms)	Max (ms)
t _{RPW}	RESET# 最小パルス幅	クロック入力	1	-
t _{RH}	RESET# 最小 HIGH 時間	-	5	-
t _{RR}	リセット回復時間（この時間後、ブートローダがファームウェアのダウンロードを開始）	クロック入力	1	-
t _{SBY}	スタンバイ／サスペンド モード開始までの時間 (MAIN_CLOCK_EN / MAIN_POWER_EN ビットをセットした時点から)	-	-	1
t _{WU}	スタンバイ状態から復帰するまでの時間	クロック入力	1	-
t _{WH}	スタンバイ／サスペンド ソースを再アサートするまでの最小時間	-	5	-

図 11. リセット シーケンス

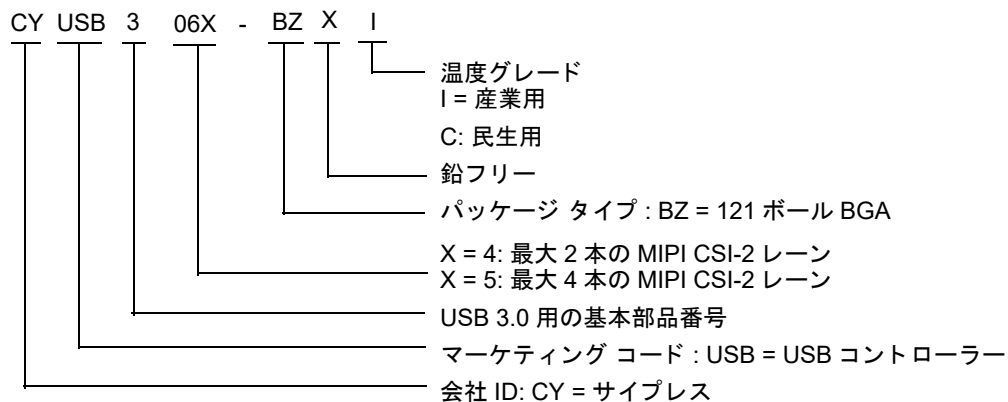


注文情報

表 19. 注文情報

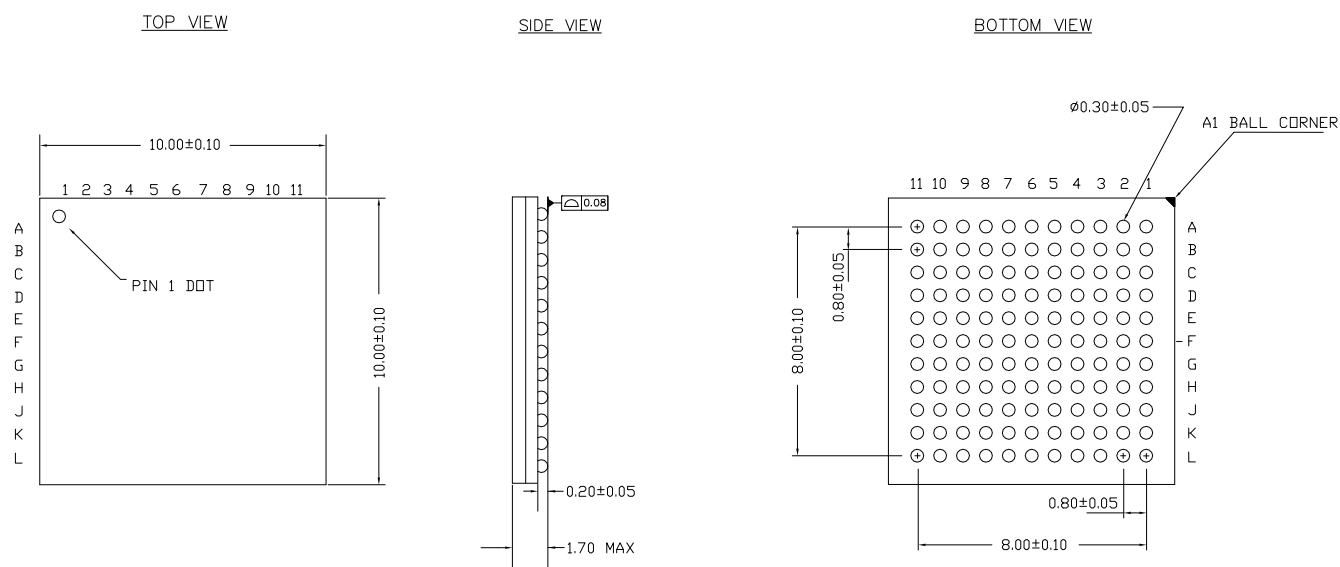
注文コード	MIPI CSI-2 レーン	パッケージ タイプ	温度グレード
CYUSB3065-BZXI	4	121 ボール BGA	産業用
CYUSB3065-BZXC	4	121 ボール BGA	民生用
CYUSB3064-BZXI	2	121 ボール BGA	産業用
CYUSB3064-BZXC	2	121 ボール BGA	民生用

注文コードの定義



パッケージ図

図 12. 121 ボール BGA (10 × 10 × 1.7mm) パッケージの外形図、001-87293



NOTES:

1. ALL DIMENSIONS ARE IN MILLIMETERS
2. REFERENCE JEDEC : PUB 95, DESIGN GUIDE 4.5

001-87293 **

略語

表 20. 本書で使用する略語

略語	説明
CSI-2	Camera Serial Interface - 2、カメラ シリアル インターフェース - 2
DMA	Direct Memory Access、ダイレクト メモリ アクセス
DNU	Do Not Use、未使用
HNP	Host Negotiation Protocol、ホスト ネゴシエーション プロトコル
MIPI	Mobile Industry Processor Interface、団体名
MMC	Multimedia Card、マルチメディア カード
MTP	Media Transfer Protocol、メディア転送プロトコル
PLL	Phase Locked Loop、位相ロック ループ
PMIC	Power Management IC、パワー マネージメント IC
SD	Secure Digital、セキュア デジタル
SDIO	Secure Digital Input/Output、セキュア デジタル入力／出力
SLC	Single-Level Cell、単一レベル セル
SPI	Serial Peripheral Interface、シリアル ペリフェラル インターフェース
SRP	Session Request Protocol、セッション リクエスト プロトコル
USB	Universal Serial Bus、ユニバーサル シリアル バス
WLCSP	Wafer Level Chip Scale Package、ウェハー レベル チップ スケール パッケージ

本書の表記法

測定単位

表 21. 測定単位

記号	測定単位
°C	摂氏温度
Mbps	メガビット／秒
MBps	メガバイト／秒
MHz	メガヘルツ
μA	マイクロアンペア
μs	マイクロ秒
mA	ミリアンペア
ms	ミリ秒
ns	ナノ秒
Ω	オーム
pF	ピコファラド
V	ボルト

エラッタ

ここでは、CX3 のエラッタについて説明します。詳細は、エラッタのトリガー条件、影響の範囲、可能な回避方法、シリコン レビジョンの適用可能性を含みます。ご質問がありましたら、最寄りの弊社販売代理店まで連絡してください。

影響を受ける部品番号

型番	デバイスの特性
CYUSB306x-xxxx	全種類

認定の状態

製品の状態：量産中

エラッタのまとめ

下表は、EZ-USB™ CX3 SuperSpeed USB コントローラー デバイス ファミリへのエラッタの適用性を定義します。

項目	【製品番号】	シリコン チップ レビジョン	修正状況
1. 通常、サスペンド、およびスタンバイ モード中に VDDIO1 をオフにすることによって、CX3 の動作が停止	CYUSB306x-xxxx	すべて	回避方法が用意されています。
2. CX3 が自己給電時、USB エニュメレーションが USB ブートモードで失敗	CYUSB306x-xxxx	すべて	回避方法が用意されています。
3. GPIF II ステートで COMMIT アクションによって追加の ZLP が生成される	CYUSB306x-xxxx	すべて	回避方法が用意されています。
4. USB 2.0 ISOC データ転送での無効な PID シーケンス	CYUSB306x-xxxx	すべて	回避方法が用意されています。
5. 同じマイクロフレーム内で ZLP の後に続いてデータ パケットが転送される場合に USB データ転送エラーが発生	CYUSB306x-xxxx	すべて	回避方法が用意されています。
6. I2C マルチマスター コンフィギュレーションで I2C ブロックをマスターとして使用する場合にバス衝突が発生	CYUSB306x-xxxx	すべて	シングル マスター コンフィギュレーションで CX3 を使用します
7. USB 3.0 ホスト コントローラーの低電力 U1 高速終了問題	CYUSB306x-xxxx	すべて	回避方法が用意されています。
8. リンク品質の悪いホストで動作時の USB データの破損	CYUSB306x-xxxx	すべて	回避方法が用意されています。
9. デバイスは USB 3.0 ホストからの Rx 検出シーケンスを有効な U1 終了 LFPS バーストとして取り扱います。	CYUSB306x-xxxx	すべて	回避方法が用意されています。
10. 40/60 デューティ比および 400kHz での I2C データ有効 (tVD:DAT) 仕様違反	CYUSB306x-xxxx	すべて	回避方法は不要です。
11. CX3 デバイスが複数のパワー サイクル後にホストからのポート機能要求に正しく応答しません。	CYUSB306x-xxxx	すべて	回避方法が用意されています。

1. 通常、サスペンド、およびスタンバイ モード中に VDDIO1 をオフにすることによって、CX3 の動作が停止

- **問題定義**
通常、サスペンド、およびスタンバイ モード中に VDDIO1 をオフにすることによって、CX3 の動作が停止します。
- **影響を受けるパラメーター**
該当なし
- **トリガー条件**
この状態は、通常、サスペンド、およびスタンバイ モード中に VDDIO1 をオフにすることにトリガーされます。
- **影響範囲**
CX3 の動作が停止します。
- **回避方法**
通常、サスペンド、およびスタンバイ モード中に VDDIO1 をオンのままにしなければいけません。
- **修正状況**
修正なし。回避方法が必要

2. CX3 が自己給電時、USB エニューメレーションが USB ブート モードで失敗

- **問題定義**
CX3 が自己給電であり、かつ USB ホストにまだ接続されていない場合、デバイスは低消費電力モードに入り、USB ホストに接続されるときに復帰しません。理由は、ブートローダーが USB 接続を検出するためにコネクタでの VBUS ピンをチェックしないためです。ブートローダーが、電源投入時に USB バスがホストに接続されることを期待します。
- **影響を受けるパラメーター**
該当なし
- **トリガー条件**
この状態は、CX3 が USB ブート モードで自己給電となるとときにトリガーされます。
- **影響範囲**
デバイスはエニューメレートしません。
- **回避方法**
USB ホストに接続した後にデバイスをリセットします。
- **修正状況**
修正なし。回避方法が必要

3. GPIF II ステートで COMMIT アクションによって追加の ZLP が生成される

- **問題定義**
GPIF-II ステートで IN_DATA アクションなしに COMMIT アクションが使用される場合、追加の長さゼロの packets (ZLP) がデータ packets とともに転送されます。
- **影響を受けるパラメーター**
該当なし
- **トリガー条件**
この状態は、あるステートで COMMIT アクションが IN_DATA アクションなしに使用されるときにトリガーされます。
- **影響範囲**
追加の ZLP が生成されます。
- **回避方法**
同じステートで COMMIT アクションとともに IN_DATA アクションを使用します。
- **修正状況**
修正なし。回避方法が必要

4. USB 2.0 ISOC データ転送での無効な PID シーケンス

- **問題定義**

CX3 デバイスが高帯域幅アイソクロナス エンドポイントを持つ Hi Speed USB デバイスとして機能する場合、ISO データ パケットの PID シーケンスはアイソマルチ設定のみによって支配されます。各マイクロフレーム中の PDI シーケンス生成時に、データ パケットの長さは考慮されません。例えば、MULT が 2 に設定されたエンドポイントでショート パケットが転送される場合にも、使用される PID は DATA2 となります。

- **影響を受けるパラメーター**

該当なし

- **トリガー条件**

この状態は、高帯域幅 ISOC 転送エンドポイントが使用されるときにトリガーされます。

- **影響範囲**

ISOC データ転送は失敗します。

- **回避方法**

この問題を回避するために、ショート パケットの転送前により低いアイソマルチ設定でエンドポイントを再設定し、その後に元の値に戻します。

- **修正状況**

修正なし。回避方法が必要

5. 同じマイクロフレーム内で ZLP の後に続いてデータ パケットが転送される場合に USB データ転送エラーが発生

- **問題定義**

SuperSpeed で動作するバースト対応 USB IN エンドポイントで、長さゼロのパケットの後にすぐに (1 マイクロフレームまたは 125 μ s 以内) 他のデータ パケットが続く場合、データ転送エラーが発生する可能性があります。

- **影響を受けるパラメーター**

該当なし

- **トリガー条件**

この状態は ZLP の SuperSpeed 転送でトリガーされます。

- **影響範囲**

データ転送が失敗し、データ転送速度が低くなります。

- **回避方法**

バースト対応 USB IN エンドポイントで ZLP と次のデータ パケットの間に十分な時間が与えられることを保証します。データ転送元で保証できない場合、EOP 状態の発生時に CyU3PDmaChannelSetSuspend() API を使用して対応する USB DMA ソケットを一時停止できます。その後、一時停止コールバックが受信されるとチャンネルの動作が再開できます。

- **修正状況**

修正なし。回避方法が必要

6. I²C マルチマスター コンフィギュレーションで I²C ブロックをマスターとして使用する場合にバス衝突が発生

- **問題定義**

I²C マルチマスター コンフィギュレーションで CX3 をマスターとして使用するとき、バス衝突が発生する場合があります。

- **影響を受けるパラメーター**

該当なし

- **トリガー条件**

この状態は、CX3 の I²C ブロックがマルチマスター コンフィギュレーションで動作するときのみトリガーされます。

- **影響範囲**

CX3 の I²C ブロックは、I²C バスがアイドルでないときにデータを送信できるため、バス衝突が発生します。

- **回避方法**

CX3 をシングル マスターとして使用します。

- **修正状況**

修正なし。

7. USB 3.0 ホスト コントローラーの低電力 U1 高速終了問題

■ 問題定義

CX3 デバイスが低電力 U1 ステートに入ってから 5 μ s 以内に U0 ステートに遷移する場合、デバイス は U0 ステートに戻って遷移することに失敗し、USB リセットを発生させる可能性があります。

■ 影響を受けるパラメーター

該当なし

■ トリガー条件

この状態は低電力遷移モード中にトリガーされます。

■ 影響範囲

データ転送中に期待しないウォーム リセットが発生します。

■ 回避方法

この問題を回避するために、FW でデータ転送中に LPM (リンク パワー マネジメント) を無効にします。

■ 修正状況

FW の回避方法は実証され、信頼できます。

8. リンク品質の悪いホストで動作時の USB データの破損

■ 問題定義

CX3 が信号品質の悪い USB 3.0 リンクで動作する場合、デバイスはいずれかの IN エンドポイント (制御エンドポイントを含む) で破損したデータを送信する可能性があります。

■ 影響を受けるパラメーター

該当なし

■ トリガー条件

この状態は USB 3.0 リンクの信号品質が非常に悪い場合にトリガーされます。

■ 影響範囲

いずれかの IN エンドポイント (制御エンドポイントを含む) でデータが破損します。

■ 回避方法

アプリケーション ファームウェアは、CYU3P_USBEPSS_RESET_EVT イベント (SDK 1.3.3 以降でのみ) の受信時にエンドポイントを停止してから、CLEAR_FEATURE 要求の受信時に DMA バスを停止および再起動することで、エラー回復を行います。

注: アプリケーション ファームウェアの詳細については、SDK で提供されている [GpiftoUsb](#) の例を参照してください。

■ 修正状況

FW の回避方法は実証され、信頼できます。

9. デバイスは USB 3.0 ホストからの Rx 検出シーケンスを有効な U1 終了 LFPS パーストとして取り扱います。

■ 問題定義

CX3 デバイス内の USB 3.0 PHY は電氣的アイドル検出器を使用して LFPS が受信されているかどうかを判定します。レシーバが電氣的アイドル状態を検出しない期間は、さまざまな LFPS パーストを検出するために調整されます。この実装のため、デバイスは USB ホストからの Rx 検出シーケンスを有効な U1 終了 LFPS パーストとして取り扱います。

■ 影響を受けるパラメーター

該当なし

■ トリガー条件

この状態は、CX3 の USB 3.0 リンク ステート マシンが U1 ステートのときに USB ホストが Rx 検出シーケンスを開始する場合にトリガーされます。ホストが RX 検出ステートと U2 ステートでのみ Rx 検出シーケンスを実行するため、CX3 のリンクが U1 ステートのときにホストの USB リンクが U2 ステートに遷移した場合にのみエラー状態は発生します。

■ 影響範囲

CX3 は早まって回復状態に遷移するため、回復に失敗し、その後にウォーム リセットおよび USB 再エニュメレーションが発生します。このシーケンスは複数回繰り返し、その結果、データ転送の失敗となります。

■ 回避方法

ホストの遷移の数マイクロ秒前に CX3 が U1 から U2 に遷移するように設定します。これにより、ホストが Rx 検出シーケンスを実行する前にデバイス側のリンクが U2 にあるため、U1 終了の誤った検出が防止されることを保証できます。

■ 修正状況

回避方法は SDK ライブラリ 1.3.4 およびそれ以降のバージョンで実装されます。

10. 40/60 デューティ比および 400kHz での I²C データ有効 (t_{VD:DAT}) 仕様違反

■ 問題定義

40/60 デューティ比および 400kHz での I²C データ有効 (t_{VD:DAT}) パラメーターは 1.0625μs であり、0.9μs の I²C 上限を超えます。

■ 影響を受けるパラメーター

該当なし

■ トリガー条件

この違反は、I²C クロックの 40/60 デューティ比および 400kHz でのみ発生します。

■ 影響範囲

400kHz で転送されるデータのセットアップ時間 (t_{SUDAT}) は大きいマージンで満たされるため、t_{VD:DAT} の違反はデータ完全性の問題を発生させません。

■ 回避方法

回避方法は不要です。

■ 修正状況

修正は不要です。

11. CX3 デバイスが複数のパワー サイクル後にホストからのポート機能要求に正しく応答しません。

- **問題定義**

複数のパワー サイクルの間、CX3 デバイスが USB コントローラーからのポート機能要求 (リンク パケット) に正しく応答しない場合があります。したがって、CX3 は USB コントローラーからの後続のポート コンフィギュレーション要求を受信できず、SS.Disabled 状態を発生させます。デバイスはこの状態から回復できず、最終的にエニュメレーション失敗になります。

- **影響を受けるパラメーター**

該当なし

- **トリガー条件**

この状態は、CX3 がホストからのポート機能要求に正しくなく応答したときにトリガーされます。

- **影響範囲**

デバイスは複数回の再試行の後にエニュメレーションに失敗します。

- **回避方法**

ホストは CX3 にポート コンフィギュレーション要求を送信しないため、ポート コンフィギュレーション要求タイムアウト割込みをデバイスで発生させます。この割込みは FX3 SDK 1.3.4 またはそれ以降のバージョンで処理され、CY_U3P_USB_EVENT_LMP_EXCH_FAIL イベントを生成し、アプリケーションに通知します。このイベントは、USB インターフェースブロック再起動を行うようにユーザー アプリケーションで処理する必要があります。詳細およびファームウェアによる回避方法のサンプル プロジェクトについては、ナレッジベース ([KBA225778](#)) を参照してください。

- **修正状況**

提案されたファームウェアによる回避方法は実証され、信頼できます。

改訂履歴

文書名 : CYUSB306X、EZ-USB™ CX3: MIPI CSI-2 - SuperSpeed USB ブリッジ コントローラー 文書番号 : 001-90635			
版	ECN	発行日	変更内容
**	4237242	01/06/2014	これは英語版 001-87516 Rev. *E を翻訳した日本語版 Rev. ** です。
*A	4377480	05/15/2014	これは英語版 001-87516 Rev. *F を翻訳した日本語版 Rev. *A です。
*B	5639210	02/22/2017	テンプレートを最新に変更しました。 Sunset レビューを実施しました。
*C	6682612	09/26/2019	これは英語版 001-87516 Rev. *N を翻訳した日本語版 Rev. *C です。
*D	7698225	02/28/2022	これは英語版 001-87516 Rev. *O を翻訳した日本語版 Rev. *D です。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューションセンター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーションページ](#)をご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック & バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラー	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC™ ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [サンプルコード](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカル サポート

[cypress.com/support](https://www.cypress.com/support)

© Cypress Semiconductor Corporation, 2013-2022. 本書面は、Infineon Technologies グループの Cypress Semiconductor Corporation 及びその関連会社（以下「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア（以下「本ソフトウェア」という。）を含む）は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、（直接又は再販売者及び販売代理店を介して間接のいずれかで）本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス（サブライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェア又はソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセス又は使用といったセキュリティ違反から生じるいかなる責任も負わない。**Cypress は、Cypress 製品又は Cypress 製品を使用して生成されたシステムに破壊、攻撃、ウイルス、干渉、ハッキング、データの損失又は盗難、その他のセキュリティ侵害（総称して、以下「セキュリティ違反」という。）がないことを表明又は保証しない。**Cypress は、セキュリティ違反に関連するいかなる責任も否認し、セキュリティ違反から生じるいかなる請求、損害又はその他の責任について免責される。加えて、本書面に記載された製品には、エラーと呼ばれる設計上の欠陥又はエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。「ハイスループットデバイス」とは、不具合により人身傷害、死亡若しくは物的損害を引き起こす可能性のある装置若しくはシステムをいう。「ハイスループットデバイス」の例として、兵器、原子力施設、外科的移植、及びその他の医療機器が挙げられる。「重要な構成部分」とは、その不具合が直接又は間接的にハイスループットデバイスの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるようなハイスループットデバイスのあらゆる構成部分をいう。Cypress 製品をハイスループットデバイスの重要な構成部分として使用したことから生じるいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress（その関連会社を含む）、及びその取締役、執行役、従業員、代理人、販売業者、及び譲受人は Cypress 製品をハイスループットデバイスの重要な構成部分として使用したことから生じる製造物責任、又は人身傷害若しくは死亡、又は物的損害の請求を含むあらゆる請求から生じるすべての費用、損害及び経費から免責される。Cypress 製品は、(i) Cypress が特定のハイスループットデバイスで使用するための製品として明示的に認定している製品のデータシートを公表している場合、又は、(ii) Cypress が特定のハイスループットデバイスの重要な構成部分として製品を使用することを事前に書面により承認し、別途補償契約に署名した場合の限定された範囲を除いては、ハイスループットデバイスの重要な構成部分としての使用を意図又は承認されていない。

Cypress、Cypress のロゴ及びこれらの組み合わせ、PSoC、CapSense、EZ-USB、F-RAM、Traveo、WICED、及び ModusToolbox は、米国又はその他の国における Cypress 又はその子会社の商標又は登録商標である。Cypress のより完全な商標のリストは、[cypress.com](https://www.cypress.com) を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。