

请注意赛普拉斯已正式并入英飞凌科技公司。

此封面页之后的文件标注有“赛普拉斯”的文件即该产品为此公司最初开发的。请注意作为英飞凌产品组合的部分,英飞凌将继续为新的及现有客户提供该产品。

文件内容的连续性

事实是英飞凌提供如下产品作为英飞凌产品组合的部分不会带来对于此文件的任何变更。未来的变更将在恰当的时候发生,且任何变更将在历史页面记录。

订购零件编号的连续性

英飞凌继续支持现有零件编号的使用。下单时请继续使用数据表中的订购零件编号。

EZ-USB® FX3 SuperSpeed USB 控制器

性能

- 通用串行总线 (USB) 集成
 - 符合 USB 3.1 规范版本 1.0 (TID #340800007) 的 USB 3.1、Gen 1 和 USB 2.0 外设
 - 符合 USB 3.1 Gen 1 的 5 Gbps SuperSpeed 物理层
 - 高速 On-The-Go (HS-OTG) 主机和外设符合 OTG 补充标准版本 2.0
 - 具有 32 个物理端点
- 通用可编程接口 (GPIF™ II)
 - 可编程的 100 MHz GPIF II 能连接多种类型的外部器件
 - 8、16、24 和 32 位数据总线
 - 最多 16 个可配置的控制信号
- 可完全访问的 32 位 CPU
 - 工作频率为 200 MHz 的 ARM926EJ 内核
 - 512 KB 或 256 KB 嵌入式 SRAM
- 另外, 还可连接下列外设
 - 频率高达 33 MHz 的 SPI 主设备
 - 支持速度高达 4 Mbps 的 UART
 - 频率为 1 MHz 的 I²C 主控制器
 - 采样频率为 32kHz、44.1 kHz、48 kHz、96 kHz 和 192 kHz 的 I²S 主设备 (仅用于发送器)
- 可选择的多种时钟输入频率
 - 19.2、26、38.4 和 52 MHz
 - 支持 19.2 MHz 的晶振输入
- 内核断电模式下功耗超低
 - 打开 VBATT 时功耗低于 60 μ A, 关闭 VBATT 时功耗则低于 20 μ A
- 内核和 I/O 各有独立的电压范围
 - 内核的工作电压为 1.2 V
 - I²S、UART 和 SPI 的工作电压为 1.8 到 3.3 V
 - I²C 的工作电压为 1.2 V 到 3.3 V
- 封装选项
 - 121 ball, 10 \times 10 mm, 0.8 mm 间距无铅球栅阵列 (BGA)
 - 请参阅表 24, 以了解七种 FX3 形式的详细内容
- 用于固件和 PC 应用代码开发的 EZ-USB® 软件开发工具 (SDK)
 - 包括 RTOS 框架 (使用 ThreadX 版本 5)

- 用于所有 I/O 模块的固件示例
- 使用 C++ 和 C# 的 Visual Studio 主机示例
- 可用于加快原型开发过程的 SuperSpeed Explorer 板
 - 其他可用配件板:
 - 用于开发 Xilinx/Altera FPGA 的适配器电路板
 - 用于视频开发的适配器电路板
 - 用于概念测试和初始开发的 CPLD 板

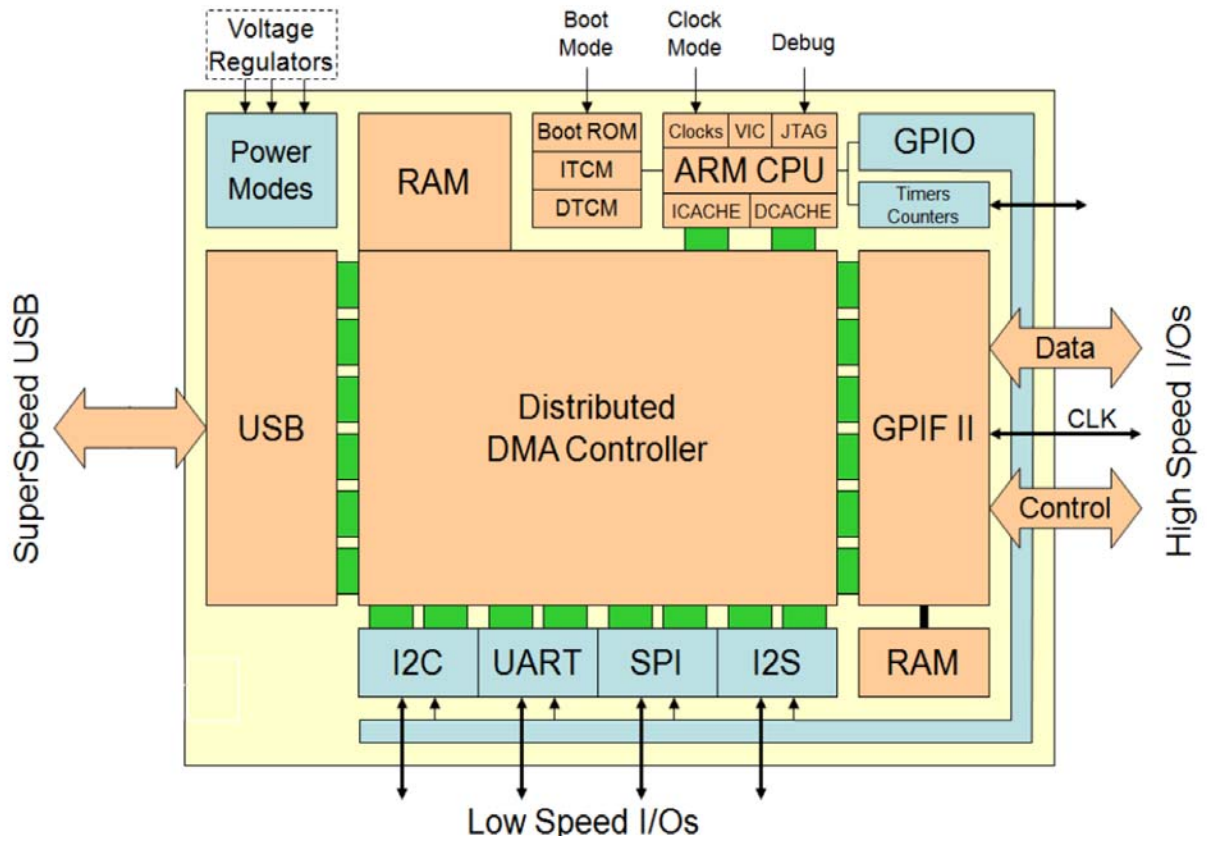
应用

- 数字视频摄录机
- 数码照相机
- 打印机
- 扫描仪
- 视频采集卡
- 测试和测量设备
- 监控照相机
- 个人导航设备
- 医疗成像设备
- 视频 IP 电话
- 便携式媒体播放器
- 工业照相机
- 数据记录器
- 数据采集
- 高性能人机接口器件 (手势识别)

功能说明

要获取相关文档的完整列表, 请单击[此处](#)。

逻辑框图



更多信息

赛普拉斯的网站 www.cypress.com 上提供了大量资料，有助于正确选择您设计的 FX3™/FX3S™ 器件，并允许您能够快速和有效地将器件集成到设计中。

■ 概况：USB 产品系列、USB 产品路线图

■ USB 3.0 产品选择器：FX3、FX3S、CX3、GX3、HX3

■ 应用笔记：赛普拉斯提供了大量的 USB 应用笔记，包括了从基本到高级的广泛主题。下面列出的是 FX3 入门的应用笔记：

- [AN75705](#) — EZ-USB FX3 入门
- [AN76405](#) — EZ-USB FX3 启动选项
- [AN70707](#) — EZ-USB FX3/FX3S 硬件设计指南和原理图检查表
- [AN65974](#) — 使用 EZ-USB FX3 从设备 FIFO 接口进行设计
- [AN75779](#) — 如何使用 EZ-USB FX3 在 USB 视频类别 (UVC) 框架内实现图像传感器连接
- [AN86947](#) — 使用 EZ-USB FX3 优化 USB 3.0 的吞吐量
- [AN84868](#) — 使用赛普拉斯 EZ-USB FX3 通过 USB 配置 FPGA
- [AN68829](#) — 用于 EZ-USB FX3 的从设备 FIFO 接口 5 位地址模式
- [AN73609](#) — 在 Linux 上的 EZ-USB FX2LP/ FX3 开发 Bulk-Loop 示例

□ [AN77960](#) — EZ-USB FX3 高速 USB 主机控制器简介

□ [AN76348](#) — EZ-USB FX2LP 和 EZ-USB FX3 应用的实现的区别

□ [AN89661](#) — 使用 EZ-USB FX3S 设计 USB RAID 1 磁盘

■ 代码示例：

□ [USB 高速](#)

□ [USB 全速](#)

□ [USB 超速](#)

■ 技术参考手册 (TRM)：

□ [EZ-USB FX3 技术参考手册](#)

■ 开发套件：

□ [CYUSB3KIT-003](#)，EZ-USB FX3 SuperSpeed 探秘套件

□ [CYUSB3KIT-001](#)，EZ-USB FX3 开发套件

■ 模型：IBIS

EZ-USB FX3 软件开发套件

赛普拉斯为 FX3 提供了完整的软件和固件栈，这样很容易便能够将超高速 USB 集成到嵌入式应用内。[软件开发套件](#) (SDK) 中带有各种工具、驱动程序和应用示例，有助于加快应用开发程序。

GPIF™ II Designer

[GPIF II Designer](#) 是一个图形软件，设计师可以通过它来配置 EZ-USB FX3 USB 3.0 器件控制器的 GPIF II 接口。

用户使用该工具可以从赛普拉斯所提供的五个接口选择一个，或从头创建专有的 GPIF II 接口。赛普拉斯提供了符合工业标准的接口，如异步和同步从设备 FIFO、异步和同步 SRAM 以及异步 SRAM。在具有上面所述接口的系统中，开发者可从一组标准参数（如总线宽度 (x8、16、x32)、字节顺序、时钟设置）选择所需要的接口。然后，编译已选定的接口。该工具为需要自定义接口的用户提供了一个简洁的三步骤 GPIF 接口开发程序。用户先选择引脚配置和标准参数。然后，他们可以使用可配置操作设计一个虚拟的状态机。最后，用户通过查看输出时序验证是否与所需时序相匹配。一旦完成这三个步骤，便可以使用 FX3 对该接口进行编译和集成操作。

目录

功能概述	5	电气规范	19
应用示例	5	最大绝对额定值	19
USB 接口	6	工作条件	19
OTG	6	直流规范	19
重新枚举	7	热量特性	21
VBUS 过压保护	7	交流电时序参数	21
Carkit UART 模式	7	频率为 100 MHz 的 GPIF II 线交流特性	21
GPIF II	8	GPIF II PCLK 抖动特性	21
CPU	8	GPIF II 时序	22
JTAG 接口	8	从器件 FIFO 接口	25
其它接口	8	主机处理器接口（P 端口）时序	31
SPI 接口	8	串行外设时序	38
UART 接口	9	复位序列	43
I2C 接口	9	封装图	44
I2S 接口	9	订购信息	45
启动选项	9	订购代码定义	45
复位	9	缩略语	46
硬复位	9	文档规范	46
软复位	9	测量单位	46
时钟	10	勘误表	47
32 kHz 看门狗定时器时钟输入	10	合格状态	47
电源	11	勘误表总结	47
功耗模式	11	文档修订记录页	53
数字 I/O	13	销售、解决方案和法律信息	54
通用 I/O	13	全球销售和 design 支持	54
系统电平 ESD	13	产品	54
引脚配置	14	PSoC® 解决方案	54
引脚说明	15	赛普拉斯开发者社区	54
		技术支持	54

功能概述

赛普拉斯的 EZ-USB FX3 是一个超高速的外设控制器，可提供集成且灵活的功能。

FX3 具有完全可配置的并行通用可编程接口 GPIF II，它能够与任何处理器、ASIC 或 FPGA 连接。GPIF II 是赛普拉斯 USB 2.0 旗舰产品 FX2LP™ 中的 GPIF 的改进版本。它可轻松无缝地连接到多种常用接口，如异步 SRAM、异步和同步地址数据复用式接口以及并行 ATA。

FX3 集成了 USB3.1 Gen 1 和 USB2.0 物理层（PHY）以及 32 位 ARM926EJ-S 微处理器，因此具有强大的数据处理能力，并可用于构建自定义应用。本产品采用了一种架构，能够使从 GPIF II 到 USB 接口的数据传输速度可达 375 MBps。

一个集成 USB 2.0 OTG 控制器允许 FX3 在某些应用中扮演两个角色。例如，EZ-USB FX3 可以作为 OTG 主机控制 MSC 设备使用，同时可以作为 HID 设备使用。

FX3 具有大小为 512 KB 或 256KB 的片上 SRAM（参阅第 45 页上的订购信息），用于存储代码和数据。EZ-USB FX3 还具有可连接至 UART、SPI、I²C 和 I²S 等串行外设的接口。

FX3 带有应用开发工具。软件开发套件中带有固件和主机应用示例，从而能够加快产品的上市时间。

FX3 符合 USB 3.1 Gen 1.0 规范，并可向下与 USB 2.0 相兼容。它还符合 USB 2.0 OTG 规范版本 2.0。

应用示例

在典型的应用中（参见图 1），FX3 作为运行应用软件的主处理器使用，该软件将外部硬件连接到 SuperSpeed USB。另外，FX3 可作为协处理器使用，能够通过 GPIF II 接口连接到应用处理器（参阅图 2）部分），并作为子系统运行，为应用处理器提供 SuperSpeed USB 连接。

图 1. EZ-USB FX3 作为主处理器使用

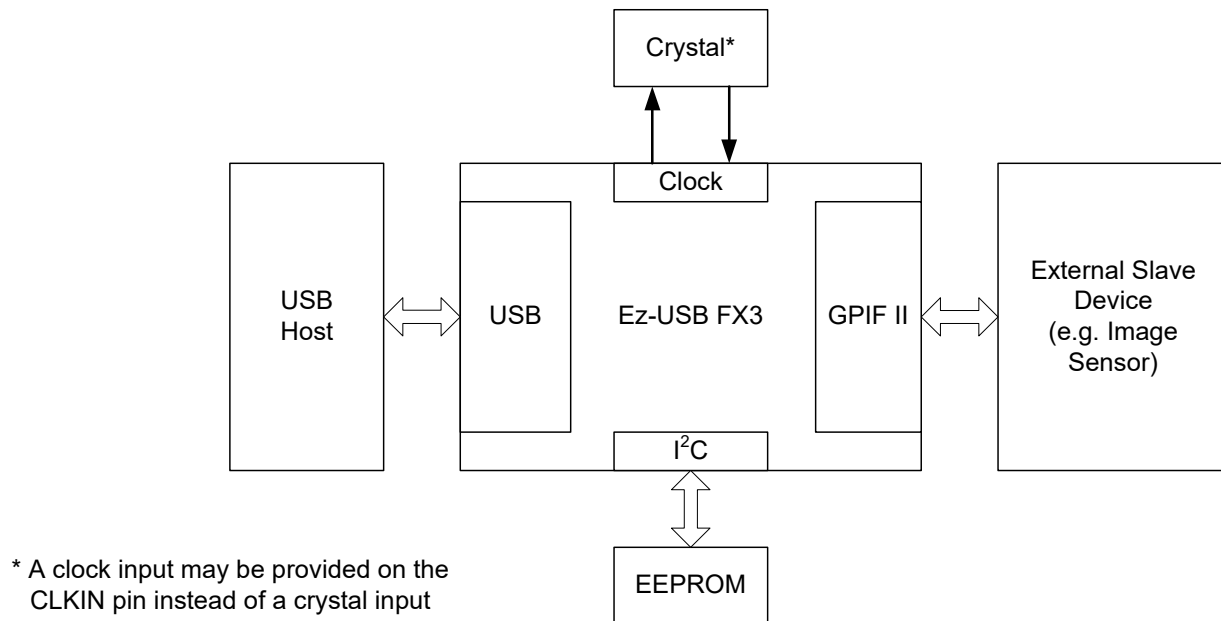
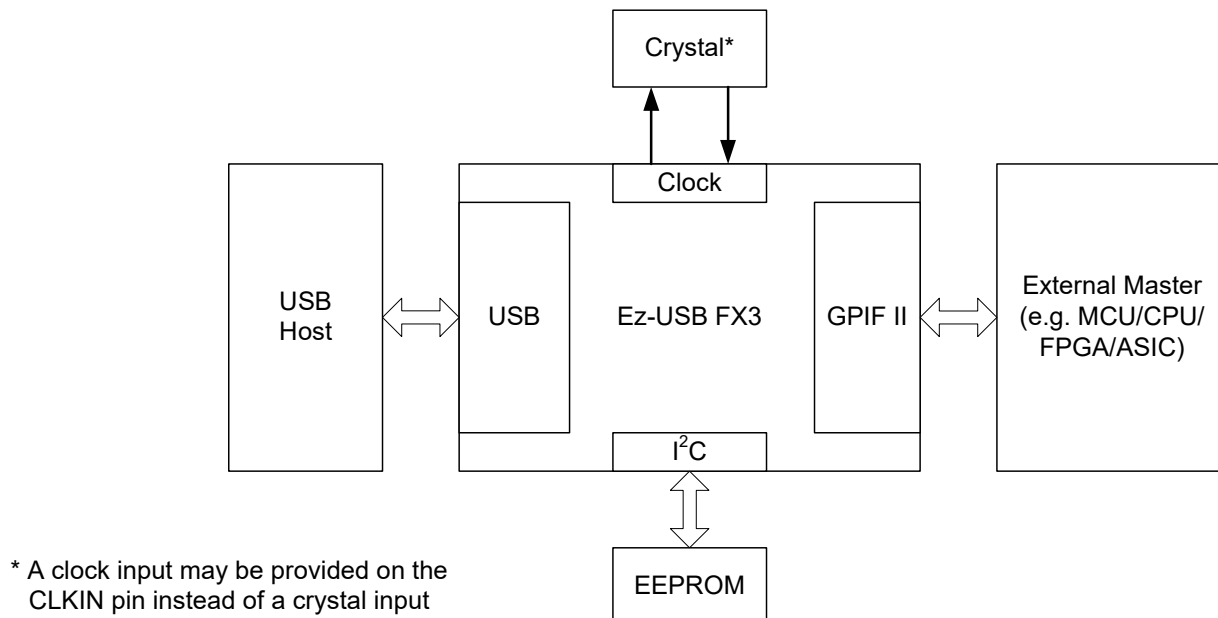


图 2. EZ-USB FX3 作为协处理器使用



USB 接口

FX3 符合下面规范，同时支持下面性能：

- 支持符合 USB 3.1 规范版本 1.0 的 USB 外设功能，并与 USB 2.0 规范向后兼容。
- FX3 超速器件（CYUSB201X）仅支持 USB 2.0。
- 符合 OTG 补充标准版本 2.0。它支持高速、全速和低速 OTG 双角色器件功能。作为一个外设时，FX3 能够执行超速、高速以及全速的数据传输。作为主机时，它能够实现高速、全速以及低速传输功能。
- 根据 CEA-936A 规格，在 USB D+/D- 线上支持 Carkit UART 通过功能。
- 支持 16 个输入端点和 16 个输出端点。
- 支持 USB3.0 的流特性它还支持 USB Attached SCSI (UAS) 器件类，能优化大容量存储性能。
- 作为 USB 外设，应用示例介绍了 FX3 支持 UAS、USB 视频类别 (UVC) 以及大容量存储类别 (MSC) 等 USB 外设类别。客户固件可以支持所有其他设备类别；模板示例被提供作为开发点。
- 作为 OTG 主机，应用示例显示了 FX3 支持 MSC 和 HID 器件类别。

注意：当 USB 端口未被占用时，可禁用 PHY 和收发器以降低功耗。

OTG

FX3 符合 OTG 规范版本 2.0。在 OTG 模式下，FX3 支持 A 器件模式和 B 器件模式，并支持控制、中断、批量和同步等数据传输。

在 OTG A 器件模式下，FX3 要求外部电荷泵（独立式或集成于 PMIC）用以为 VBUS 供电。

用于实现 OTG 主机的目标外设类别列表中包括 MSC 和 HID 类器件。

FX3 不支持连接检测协议（ADP）。

OTG 连接

在 OTG 模式下，可以将 FX3 配置作为 A、B 或双角色器件使用。它可以与以下器件连接：

- ACA 器件
- 目标 USB 外设
- 具有 SRP 功能的 USB 外设
- 具有 HNP 功能的 USB 外设
- OTG 主机
- 具有 HNP 功能的主机
- OTG 器件

重新枚举

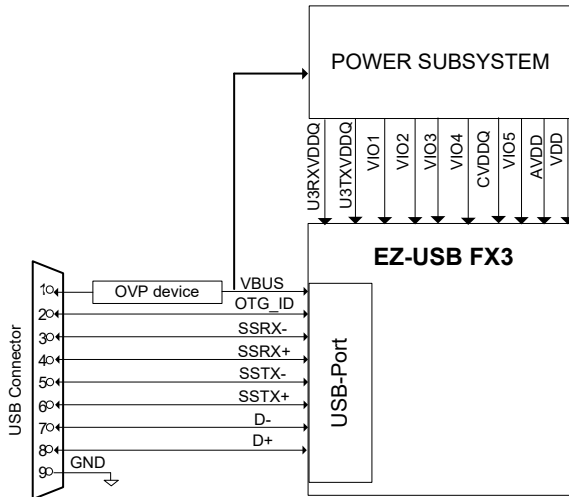
由于 FX3 的软配置，一个芯片可以模仿多个不同 USB 设备的特征。

首次插入 USB 时，FX3 将自动枚举赛普拉斯供货商 ID (0x04B4)，并通过 USB 接口下载固件和 USB 描述符。下载的固件将执行有关电的断连与连接操作。之后，FX3 会作为下载信息定义的器件再次进行枚举。这个专有的两步流程，称作重新枚举，在器件插入时即时发生。

VBUS 过压保护

FX3 的 VBUS 引脚上的最大输入电压为 6 V。充电器可在 VBUS 上提供高达 9 V 的电压。在此情况下，要求使用一个外部过压保护 (OVP) 器件以保护 FX3，防止 VUSB 损坏。图 3 显示了与 VBUS 连接的 OVP 器件的系统应用框图。请参见第 19 页上的表 8，了解 VUSB 和 VBATT 的工作电压范围。

图 3. 针对 VBUS 的 OVP 器件的系统框图



Carkit UART 模式

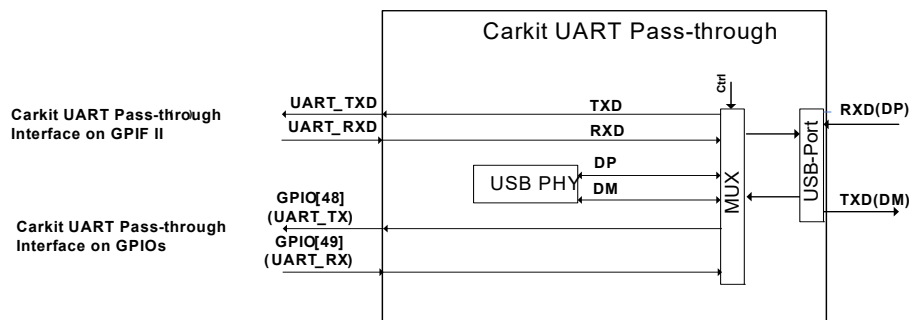
USB 接口支持 Carkit UART 模式 (D+/D- 上的 UART) 用于非 USB 串行数据的传输。该模式是基于 CEA-936A 规范。

在 Carkit UART 模式下，输出信号电压为 3.3 V。配置为 Carkit UART 模式时，UART 的 TXD (输出) 将映射到 D- 行线，UART 的 RXD (输入) 将映射到 D+ 线。

在 Carkit UART 模式下，FX3 将禁用 USB 收发器，D+ 和 D- 引脚将作为通过引脚连接到主机处理器的 UART。Carkit UART 信号可以连接到 GPIF II 接口，或连接到 GPI/O[48] 和 GPI/O[49]，如图 4 中所示。

在该模式下，FX3 支持高达 9600 bps 的数据速率。

图 4. Carkit UART Pass-through 框图



GIPIF II

高性能的 GIPIF II 接口与 FX2LP 的 GIPIF 和从器件 FIFO 接口的功能相似，但其功能更先进。

GIPIF II 是一种可编程状态机，其所启用的灵活接口可用作行业标准或专用接口中的主器件或从器件。GIPIF II 可支持并行和串行接口。

下面列出的是 GIPIF II 的特性：

- 可作为主器件和从器件使用
- 提供 256 种固件可编程状态
- 支持 8 位、16 位、24 位和 32 位的并行数据总线
- 接口的工作频率可高达 100 MHz
- 使用 32 位数据总线时支持 14 个可配置控制引脚。所有控制引脚可作为输入 / 输出或双向引脚使用。
- 使用一个 16/8 位数据总线时，支持 16 个可配置控制引脚。所有控制引脚可作为输入 / 输出或双向引脚使用。

GIPIF II 的状态切换根据控制输入信号发生。根据 GIPIF II 状态转换的结果驱动控制输出信号。INT# 输出信号可由 GIPIF II 控制。请参考 GIPIFII Designer 工具的信息。GIPIF II 状态机的行为取决于 GIPIF II 描述符。设计 GIPIF II 描述符，使其符合所需接口的规范。大小为 8 KB 的存储器（独立于 256/512 KB 的嵌入式 SRAM）专用于 GIPIF II 波形，其中 GIPIF II 描述符以特殊格式被存储。

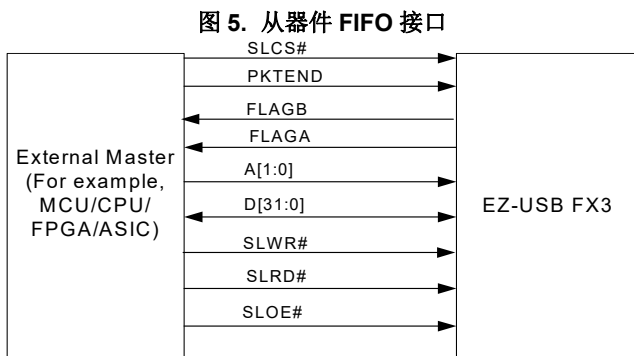
赛普拉斯的 GIPIFII Designer 工具可实现 GIPIF II 描述符的快速开发，并且包含了常用接口的示例。

GIPIF II 的实现示例为异步和同步从器件 FIFO 接口。

从器件 FIFO 接口

从器件 FIFO 接口信号如图 5 中所示。通过该接口，外部处理器可以直接访问多达四个 FX3 内部缓冲区。有关从器件 FIFO 接口的详细信息，请参阅第 25 页。

注意： 通过从器件 FIFO 接口，也可以访问全部 32 个缓冲区。若想了解详细信息，请联系赛普拉斯应用支持。



Note: Multiple Flags may be configured.

CPU

FX3 拥有一个片上 32 位、200 MHz ARM926EJ-S 内核 CPU。该内核能直接访问 16 KB 的指令紧耦合存储器（TCM）和 8 KB 的数据紧耦合存储器。ARM926EJ-S 内核还提供了用于固件调试的 JTAG 接口。

FX3 具有下面各优点：

- 集成了用于存储代码和数据的 256/512 KB 嵌入式 SRAM，以及 8 KB 的指令缓存和数据缓存。
- 能够在多种外设（如 USB、GIPIF II、I²S、SPI、UART、I²C）间实现高效灵活的 DMA 连接。固件只需配置外设间的数据访问，而这些访问将由 DMA 结构管理。
- 适用于面向 ARM926EJ-S 的行业标准开发工具，可轻松开发应用。

赛普拉斯 EZ-USB FX3 开发套件中包含了 FX3 固件示例。

JTAG 接口

FX3 的 JTAG 接口包含一个标准的 5 引脚接口，用于连接 JTAG 调试器。该调试器可通过 CPU 内核的片上调试电路来调试固件。

ARM926EJ-S 内核的行业标准的调试工具可用于 FX3 应用开发。

对于执行 ARM JTAG 访问，TCK 频率不应超过 CPU 时钟频率的 1/6。

其它接口

FX3 支持下列串行外设：

- SPI
- UART
- I²C
- I²S

SPI、UART 和 I²S 接口可复用至串行外设端口。

第 15 页上的 CYUSB3012 和 CYUSB3014 引脚列表 显示了接口复用方式的详细信息。请注意，配置 GIPIF II 以使用 32 位数据总线宽度（CYUSB3012 和 CYUSB3014）时，SPI 接口不可用。

SPI 接口

FX3 支持串行外设端口上的 SPI 主器件接口。最高的工作频率为 33 MHz。

SPI 控制器支持四种使用启动-停止时钟信号的 SPI 通信模式（请参见第 41 页上的 SPI 时序规范，了解有关各种模式的详细信息）。该控制器是一个单主器件控制器，并带有一个单自动 SSN 控制。它支持大小为 4 到 32 位的数据传输。

UART 接口

FX3 的 UART 接口支持全双工通信。其中包括表 1 中所说明的信号。

表 1. UART 接口信号

信号	说明
TX	输出信号
RX	输入信号
CTS	流量控制
RTS	流控

UART 可生成各种波特率，从 300 bps 到 4608 Kbps，并且可通过固件进行选择。如果启用了流控制，那么只有激活 CTS 输入时，FX3 的 UART 才会发送数据。此外，当它就绪接收数据时，FX3 的 UART 将激活 RTS 输出信号。

I²C 接口

FX3 的 I²C 接口符合 I²C 总线规范版本 3。该 I²C 接口只能作为 I²C 主器件使用，因此，将使用它与其它 I²C 从器件进行通信。例如，可从连接至 I²C 接口的 EEPROM 启动 FX3，这是一个可选的启动选项。

FX3 的 I²C 主器件控制器还支持多主器件模式功能。

I²C 接口由 VIO5 供电，该电源独立于其它串行外设的电源。这样，I²C 接口可以灵活地在与其它接口不同的电压条件下工作。

I²C 控制器分别支持 100 kHz、400 kHz 和 1 MHz 的总线频率。当 VIO5 为 1.2 V 时，支持的最大工作频率为 100 kHz。当 VIO5 为 1.8 V、2.5 V 或 3.3 V 时，支持的工作频率为 400 kHz 和 1 MHz。I²C 控制器支持时钟扩展能力，从而允许较慢的器件实现流控制。

I²C 接口的 SCL 和 SDA 信号都要求外部上拉电阻。上拉电阻必须连接到 VIO5。

I²S 接口

FX3 具有一个 I²S 端口，用于支持外部音频解码器件。当 FX3 作为 I²S 主器件使用时，它只实现发送器的功能。I²S 接口具有四条信号线：时钟线 (I2S_CLK)、串行数据线 (I2S_SD)、字选择线 (I2S_WS) 和主器件系统时钟线 (I2S_MCLK)。FX3 可在 I2S_MCLK 上生成系统时钟输出，或在 I2S_MCLK 上接受外部系统时钟输入。

I²S 接口支持的采样频率有 8 kHz、16 kHz、32 kHz、44.1 kHz、48 kHz、96 kHz 和 192 kHz。

启动选项

FX3 可从多个源加载启动镜像文件，源可通过 PMODE 引脚配置来选择。FX3 具有以下启动选项：

- 从 USB 启动
- 从 I²C 启动
- 从 SPI 启动
 - 受支持的赛普拉斯 SPI 闪存器件包括 S25FS064S (64 Mbit)、S25FS128S (128 Mbit) 和 S25LFL064L (64 Mbit)。
 - 此外，还支持 W25Q32FW (32 Mbit)。
- 从 GPIF II 异步 ADMux 模式启动
- 从 GPIF II 同步 ADMux 模式启动
- 从 GPIF II 异步 SRAM 模式启动

表 2. FX3 启动选项

PMODE[2:0] ^[1]	启动源
F00	同步 ADMux (16 位)
F01	异步 ADMux (16 位)
F11	USB 启动
F0F	异步 SRAM (16 位)
F1F	I ² C，如失败，则使能 USB 启动
1FF	仅使用 I ² C
0F1	SPI，如失败，则启用 USB 启动

复位

硬复位

通过激活 FX3 上的 Reset# 引脚可以初始化硬复位。有关特定复位序列和时序要求的详细信息，请查看第 43 页上的图 29 和第 43 页上的表 23。在硬复位期间，所有 I/O 都为三态。请注意，发生硬复位后，片上 Bootloader 将占有控制权，并且它将根据所选择的启动模式对 I/O 信号进行配置。更多详细信息，请参阅 AN76405 - EZ-USB[®] FX3[™] 启动选项。

软复位

在软复位中，处理器将设置 PP_INIT 控制寄存器中的相应位。软复位有两种类型：

- CPU 复位 — 复位 CPU 程序计数器。CPU 复位后无需重新加载固件。
- 全器件复位 — 该复位与硬复位相同。
- 全器件复位后必须重新加载固件。

注释：

1. F 表示悬空。

时钟

FX3 允许在 XTALIN 和 XTALOUT 引脚之间连接晶振，或者在 CLKIN 引脚上连接一个外部时钟。如果没有使用 XTALIN、XTALOUT、CLKIN 和 CLKIN_32 引脚，可以将它们设置为无连接状态。

支持的晶振频率为 19.2 MHz，则支持的外部时钟频率为 19.2、26、38.4 和 52 MHz。

FX3 具有一个使用 19.2 MHz (± 100 ppm) 外部晶振（选用晶振时）的片上振荡器电路。如果使用了晶振，则需要一个相应的负载电容。请参阅所使用的振荡器的规范，以确定相应的负载电容。必须适当地配置 FSLC[2:0] 引脚，以决定选用晶振频率还是时钟频率。有关配置选项，请参见表 3。

FX3 的时钟输入必须符合表 4 中指定的相位噪声和抖动的要求。

输入时钟频率独立于 FX3 内核或任何器件接口的时钟和数据速率。内部 PLL 根据输入频率使用相应的时钟倍频选项。

表 3. 晶振 / 时钟频率选择

FSLC[2]	FSLC[1]	FSLC[0]	晶振 / 时钟频率
0	0	0	19.2 MHz 晶振
1	0	0	19.2 MHz 输入时钟
1	0	1	26 MHz 输入时钟
1	1	0	38.4 MHz 输入时钟
1	1	1	52 MHz 输入时钟

表 4. FX3 输入时钟规范

参数	说明	规格		单位
		最小值	最大值	
相位噪声	100 Hz 偏移	—	-75	dB
	1 kHz 偏移	—	-104	
	100 Hz 偏移	—	-120	
	100 kHz 偏移	—	-128	
	1 MHz 偏移	—	-130	
最大频率偏差	—	—	150	ppm
占空比	—	30	70	%
过冲	—	—	3	
下冲	—	—	-3	
上升时间 / 下降时间	—	—	3	ns

32 kHz 看门狗定时器时钟输入

FX3 具有一个看门狗定时器。可以使用该看门狗定时器中断 ARM926EJ-S 内核，自动唤醒处于待机模式下的 FX3，以及复位 ARM926EJ-S 内核。看门狗定时器运行一个 32 kHz 的时钟，该时钟可由专用 FX3 引脚上的一个外部源选择性地提供。

可以通过固件禁用看门狗定时器。表 5 中列出了可选 32 kHz 时钟输入的要求。

表 5. 32 kHz 时钟输入要求

参数	最小值	最大值	单位
占空比	40	60	%
频率偏差	—	± 200	ppm
上升时间 / 下降时间	—	200	ns

电源

FX3 具有下列电源域。

■ **IO_VDDQ**: 用于数字 I/O 的一组独立电源域。这些电源的电压范围为 1.8 V~3.3 V。FX3 为下列数字 I/O 信号提供了 6 个独立的电源域（请查看第 15 页上的表 7，了解每个电源域信号的详情）：

- VIO1: GPIF II I/O
- VIO2: IO2
- VIO3: IO3
- VIO4: UART-/SPI/I²S
- VIO5: I²C 和 JTAG（支持的电压范围为 1.2 V~3.3 V）
- **CVDDQ**: 为时钟和复位 I/O 的供电电压。根据 CLKIN 信号的电压，该电压可为 1.8 V 或 3.3 V。
- **V_{DD}**: 逻辑内核的供电电压。额定供电电压为 1.2 V。该电源域为内核逻辑电路供电。下列各项也必须使用同样的供电电压：
 - AVDD: PLL、晶体振荡器和其它内核模拟电路的 1.2 V 供电电压。
 - **U3TXVDDQ/U3RXVDDQ**: 用于 USB 3.0 接口的 1.2 V 供电电压。

■ **VBATT/VBUS**: USB I/O 和模拟电路的 3.2 V~6 V 电池供电电压。该电源通过 FX3 的内部电压调节器给 USB 收发器供电。VBATT 被内部调节为 3.3 V。

注意:

FX3 电源域没有特定的上电序列。不过，上电复位时间至少要 1 ms，并且电源域必须稳定，这样 FX3 能够正常工作。

功耗模式

FX3 支持下列各功耗模式：

- **正常模式**: 全功能工作模式。在该模式下，内部 CPU 时钟和内部 PLL 都被启用。
 - 正常工作功耗不能超过 I_{CC} 内核最高值和 I_{CC} USB 最高值的总和（请参见第 19 页上的表 8，了解电流消耗规范）。
 - 当相应的接口未被使用时，可关闭 VIO2、VIO3、VIO4 和 VIO5 等 I/O 电源。如果在应用中使用 GPIF II 接口，则始终不能关闭 VIO1。
- **低功耗模式**（请参见表 6）：
 - USB 3.0 PHY 被启用的暂停模式（L1）
 - USB 3.0 PHY 被禁用的暂停模式（L2）
 - 待机模式（L3）
 - 内核断电模式（L4）

表 6. 低功耗模式的进入和退出方法

低功耗模式	特性	进入方法	退出方法
启用 USB 3.0 PHY 的暂停模式（L1）	<ul style="list-style-type: none"> ■ 此模式下的功耗不会超过 ISB₁ ■ USB 3.0 PHY 被使能，并处于 U3 模式（为 USB3.0 规范中所定义的暂停模式之一）。其他时钟均关闭时，该模块可单独使用其内部时钟工作 ■ 所有 I/O 均维持先前的状态 ■ 必须保留源和内核的唤醒电源。所有其他电域都可独立开启 / 关闭 ■ 必须维持配置寄存器、缓冲存储器以及所有内部 RAM 的状态 ■ 全部数据操作必须在 FX3 进入暂停模式前完成（未完成的数据操作的状态将不被保存） ■ 由于程序计数器并不会复位，因此固件将恢复暂停前的操作（除非通过 RESET# 激活唤醒） 	<ul style="list-style-type: none"> ■ ARM926EJ-S 内核上执行的固件可将 FX3 置于暂停模式。例如，在 USB 暂停时，固件可使 FX3 进入暂停模式 ■ 外部处理器通过使用邮箱寄存器，可使 FX3 进入暂停模式 	<ul style="list-style-type: none"> ■ D+ 切换到低电平或高电平 ■ D- 切换到低电平或高电平 ■ OTG_ID 引脚上的阻抗更改 ■ SSRX± 上的恢复状态 ■ VBUS 检测 ■ UART_CTS 电平检测（可编程极性） ■ CTL[0] 的 GPIF II 接口确认信号 ■ RESET# 确认信号

表 6. 低功耗模式的进入和退出方法 (续)

低功耗模式	特性	进入方法	退出方法
禁用 USB 3.0 PHY 的暂停模式 (L2)	<ul style="list-style-type: none"> ■ 该模式下的功耗不会超过 ISB_2 ■ USB 3.0 PHY 被禁用, USB 接口进入暂停模式 ■ 时钟均被关闭。PLL 被禁用 ■ 所有 I/O 均维持先前的状态 ■ USB 接口维持先前的状态 ■ 必须保留源和内核的唤醒电源。所有其他电源域都可独立开启 / 关闭 ■ 必须维持配置寄存器、缓冲存储器以及所有内部 RAM 的状态 ■ 全部数据操作必须在 FX3 进入暂停模式前完成 (未完成的数据操作的状态将不被保存) ■ 由于程序计数器并不会复位, 因此固件将恢复暂停前的操作 (除非通过 RESET# 激活唤醒) 	<ul style="list-style-type: none"> ■ ARM926EJ-S 内核上执行的固件可将 FX3 置于暂停模式。例如, 在 USB 暂停时, 固件可使 FX3 进入暂停模式 ■ 外部处理器通过使用邮箱寄存器, 可使 FX3 进入暂停模式 	<ul style="list-style-type: none"> ■ D+ 切换到低电平或高电平 ■ D- 切换到低电平或高电平 ■ OTG_ID 引脚上的阻抗更改 ■ VBUS 检测 ■ UART_CTS 电平检测 (可编程极性) ■ CTL[0] 的 GPIF II 接口确认信号 ■ RESET# 确认信号
待机模式 (L3)	<ul style="list-style-type: none"> ■ 该模式下的功耗不会超过 ISB_3 ■ 所有配置寄存器的设置以及程序 / 数据 RAM 的内容将被预留。但是, 无法保证缓冲区数据或数据路径的其他部分 (如存在)。因此, 在将 FX3 进入该待机模式前, 外部处理器应确保读取所需的数据 ■ 从待机状态唤醒后, 程序计数器将复位 ■ GPIO 引脚维持其配置情况 ■ 关闭晶体振荡器 ■ 关闭内部 PLL ■ 关闭 USB 收发器 ■ 断开供给 ARM926EJ-S 内核的电源。唤醒后, 内核重新启动并运行程序 / 数据 RAM 中所存储的程序 ■ 必须保留源和内核的唤醒电源。所有其他电源域都可独立开启 / 关闭 	<ul style="list-style-type: none"> ■ ARM926EJ-S 内核或外部处理器上所执行的固件将配置相应的寄存器 	<ul style="list-style-type: none"> ■ VBUS 检测 ■ UART_CTS 电平检测 (可编程极性) ■ CTL[0] 的 GPIF II 接口确认信号 ■ RESET# 确认信号
内核断电模式 (L4)	<ul style="list-style-type: none"> ■ 该模式下的功耗不会超过 ISB_4 ■ 关闭内核电源 ■ 所有缓冲存储器、配置寄存器和程序 RAM 的状态将不被维持。退出该模式后, 请重载固件 ■ 在该模式下, 所有其他电域都可独立开启 / 关闭 	<ul style="list-style-type: none"> ■ 关闭 V_{DD} 	<ul style="list-style-type: none"> ■ 再次实施 VDD ■ RESET# 确认信号

注意: 功耗取决于在应用中使用 FX3 IO 的方式。要想估算不同电源域 (VIO1–VIO5) 的电流消耗, 请参阅 [KBA85505](#)。

数字 I/O

FX3 在所有数字 I/O 引脚上提供了由固件控制的内部上拉或下拉电阻。50 k Ω 的内部电阻上拉引脚的电平，而 10 k Ω 的电阻下拉引脚的电平，以避免各个引脚进入悬空状态。I/O 引脚可以有下面状态：

- 三态（高阻抗）
- 弱上拉（通过内部 50 k Ω 电阻）
- 下拉（通过内部 10 k Ω 电阻）
- 低功耗模式下保持（I/O 值不变）
- JTAG TDI、TMC 和 TRST# 信号有固定的 50 k Ω 内部上拉电阻，TCK 信号有固定的 10 k Ω 下拉电阻。

应通过内部上拉电阻将所有未使用的 I/O 上拉为高电平。应保持所有未使用的输出为悬空状态。所有 I/O 的驱动强度可为全强度、四分之三、半强度或四分之一的强度。为每个接口独立配置这些驱动强度。

通用 I/O

EZ-USB 在 GPIF II 和串行外设接口上均可实现灵活的引脚配置。GPIF II 接口上任何未使用的控制引脚（CTL[15] 除外）都可作为通用 I/O 使用。同样，串行外设接口上任何未使用的引脚均可配置为通用 I/O。请参阅[引脚配置](#)，了解各引脚配置选项的内容。

所有 GPIF II 和 GPIO 引脚都支持每个引脚 16 pF 的外部负载。

EMI

FX3 符合 FCC 15B（美国）和 EN55022（欧洲）电子消费品规定中的 EMI 要求。按照上列规定，FX3 可承受由干扰源造成的 EMI，并继续按预期工作。

系统电平 ESD

FX3 在 USB 接口的 D+、D- 和 GND 引脚上具有内置 ESD 保护。这些端口上的 ESD 保护电平分别为：

- 基于 JESD22-A114 规范的 ± 2.2 KV 人体模型（HBM）
- 根据 IEC61000-4-2 的 3A 级标准，接触放电为 ± 6 KV，且气隙放电为 ± 8 KV
- 基于 IEC61000-4-2 的 4C 级标准，接触放电为 ± 8 KV，且气隙放电为 ± 15 KV。

这种保护能确保器件在出现最高达到上述电平的 ESD 事件后继续工作。

SSRX+、SSRX-、SSTX+ 和 SSTX- 引脚只有最高为 ± 2.2 KV 的人体模型（HBM）内部 ESD 保护。

引脚配置

图 6. FX3 121 Ball BGA 球形焊盘映射图（顶视图）

	1	2	3	4	5	6	7	8	9	10	11
A	U3VSSQ	U3RXVDDQ	SSRXM	SSRXP	SSTXP	SSTXM	AVDD	VSS	DP	DM	NC
B	VIO4	FSLC[0]	R_USB3	FSLC[1]	U3TXVDDQ	CVDDQ	AVSS	VSS	VSS	VDD	TRST#
C	GPIO[54]	GPIO[55]	VDD	GPIO[57]	RESET#	XTALIN	XTALOUT	R_USB2	OTG_ID	TDO	VIO5
D	GPIO[50]	GPIO[51]	GPIO[52]	GPIO[53]	GPIO[56]	CLKIN_32	CLKIN	VSS	I2C_GPIO[58]	I2C_GPIO[59]	NC
E	GPIO[47]	VSS	VIO3	GPIO[49]	GPIO[48]	FSLC[2]	TDI	TMS	VDD	VBATT	VBUS
F	VIO2	GPIO[45]	GPIO[44]	GPIO[41]	GPIO[46]	TCK	GPIO[2]	GPIO[5]	GPIO[1]	GPIO[0]	VDD
G	VSS	GPIO[42]	GPIO[43]	GPIO[30]	GPIO[25]	GPIO[22]	GPIO[21]	GPIO[15]	GPIO[4]	GPIO[3]	VSS
H	VDD	GPIO[39]	GPIO[40]	GPIO[31]	GPIO[29]	GPIO[26]	GPIO[20]	GPIO[24]	GPIO[7]	GPIO[6]	VIO1
J	GPIO[38]	GPIO[36]	GPIO[37]	GPIO[34]	GPIO[28]	GPIO[16]	GPIO[19]	GPIO[14]	GPIO[9]	GPIO[8]	VDD
K	GPIO[35]	GPIO[33]	VSS	VSS	GPIO[27]	GPIO[23]	GPIO[18]	GPIO[17]	GPIO[13]	GPIO[12]	GPIO[10]
L	VSS	VSS	VSS	GPIO[32]	VDD	VSS	VDD	INT#	VIO1	GPIO[11]	VSS

图 7. FX3 高速 121 Ball BGA 球形焊盘映射图（顶视图）

	1	2	3	4	5	6	7	8	9	10	11
A	VSS	VDD	NC	NC	NC	NC	AVDD	VSS	DP	DM	NC
B	VIO4	FSLC[0]	NC	FSLC[1]	VDD	CVDDQ	AVSS	VSS	VSS	VDD	TRST#
C	GPIO[54]	GPIO[55]	VDD	GPIO[57]	RESET#	XTALIN	XTALOUT	R_USB2	OTG_ID	TDO	VIO5
D	GPIO[50]	GPIO[51]	GPIO[52]	GPIO[53]	GPIO[56]	CLKIN_32	CLKIN	VSS	I2C_GPIO[58]	I2C_GPIO[59]	NC
E	GPIO[47]	VSS	VIO3	GPIO[49]	GPIO[48]	FSLC[2]	TDI	TMS	VDD	VBATT	VBUS
F	VIO2	GPIO[45]	GPIO[44]	GPIO[41]	GPIO[46]	TCK	GPIO[2]	GPIO[5]	GPIO[1]	GPIO[0]	VDD
G	VSS	GPIO[42]	GPIO[43]	GPIO[30]	GPIO[25]	GPIO[22]	GPIO[21]	GPIO[15]	GPIO[4]	GPIO[3]	VSS
H	VDD	GPIO[39]	GPIO[40]	GPIO[31]	GPIO[29]	GPIO[26]	GPIO[20]	GPIO[24]	GPIO[7]	GPIO[6]	VIO1
J	GPIO[38]	GPIO[36]	GPIO[37]	GPIO[34]	GPIO[28]	GPIO[16]	GPIO[19]	GPIO[14]	GPIO[9]	GPIO[8]	VDD
K	GPIO[35]	GPIO[33]	VSS	VSS	GPIO[27]	GPIO[23]	GPIO[18]	GPIO[17]	GPIO[13]	GPIO[12]	GPIO[10]
L	VSS	VSS	VSS	GPIO[32]	VDD	VSS	VDD	INT#	VIO1	GPIO[11]	VSS

注意：对于 FX3 高速器件，不需要连接 A2 和 C3。

引脚说明

表 7. CYUSB3012 和 CYUSB3014 引脚列表

BGA	电源域	I/O	名称	说明	
				GPIF II 接口	从设备 FIFO 接口 ^[2]
F10	VIO1	I/O	GPIO[0]	DQ[0]	DQ[0]
F9	VIO1	I/O	GPIO[1]	DQ[1]	DQ[1]
F7	VIO1	I/O	GPIO[2]	DQ[2]	DQ[2]
G10	VIO1	I/O	GPIO[3]	DQ[3]	DQ[3]
G9	VIO1	I/O	GPIO[4]	DQ[4]	DQ[4]
F8	VIO1	I/O	GPIO[5]	DQ[5]	DQ[5]
H10	VIO1	I/O	GPIO[6]	DQ[6]	DQ[6]
H9	VIO1	I/O	GPIO[7]	DQ[7]	DQ[7]
J10	VIO1	I/O	GPIO[8]	DQ[8]/A0 ^[3]	DQ[8]/A0 ^[3]
J9	VIO1	I/O	GPIO[9]	DQ[9]/A1 ^[3]	DQ[9]/A1 ^[3]
K11	VIO1	I/O	GPIO[10]	DQ[10]	DQ[10]
L10	VIO1	I/O	GPIO[11]	DQ[11]	DQ[11]
K10	VIO1	I/O	GPIO[12]	DQ[12]	DQ[12]
K9	VIO1	I/O	GPIO[13]	DQ[13]	DQ[13]
J8	VIO1	I/O	GPIO[14]	DQ[14] ^[4]	DQ[14] ^[4]
G8	VIO1	I/O	GPIO[15]	DQ[15] ^[4]	DQ[15] ^[4]
J6	VIO1	I/O	GPIO[16]	PCLK	CLK
K8	VIO1	I/O	GPIO[17]	CTL[0]	SLCS#
K7	VIO1	I/O	GPIO[18]	CTL[1]	SLWR#
J7	VIO1	I/O	GPIO[19]	CTL[2]	SLOE#
H7	VIO1	I/O	GPIO[20]	CTL[3]	SLRD#
G7	VIO1	I/O	GPIO[21]	CTL[4]	FLAGA
G6	VIO1	I/O	GPIO[22]	CTL[5]	FLAGB
K6	VIO1	I/O	GPIO[23]	CTL[6]	GPIO
H8	VIO1	I/O	GPIO[24]	CTL[7]	PKTEND#
G5	VIO1	I/O	GPIO[25]	CTL[8]	GPIO
H6	VIO1	I/O	GPIO[26]	CTL[9]	GPIO
K5	VIO1	I/O	GPIO[27]	CTL[10]	GPIO
J5	VIO1	I/O	GPIO[28]	CTL[11]	A1
H5	VIO1	I/O	GPIO[29]	CTL[12]	A0
G4	VIO1	I/O	GPIO[30]	PMODE[0]	PMODE[0]
H4	VIO1	I/O	GPIO[31]	PMODE[1]	PMODE[1]
L4	VIO1	I/O	GPIO[32]	PMODE[2]	PMODE[2]
L8	VIO1	I/O	INT#	INT#/CTL[15]	CTL[15]

注释:

- 从设备 FIFO 是 GPIF II 接口的一个实例配置。通过 GPIF-II Designer 工具可以修改从设备 FIFO 控制信号分配。
- 对于 8 位数据总线配置，GPIO[8] 和 GPIO[9] 作为地址线。
- 也可以将 GPIF II 配置为串行接口。在该模式下，DQ[15] 引脚作为串行输出，而 DQ[14] 作为串行输入。

表 7. CYUSB3012 和 CYUSB3014 引脚列表 (续)

BGA	电源域	I/O	名称	说明					
				32 位数据总线	16 位数据总线 + UART + SPI + I2S	16 位数据总线 + UART + GPIO	16 位数据总线 + SPI + GPIO	16 位数据总线 + I2S + GPIO	仅用于 GPIO
K2	VIO2	I/O	GPIO[33]	DQ[16]	GPIO	GPIO	GPIO	GPIO	GPIO
J4	VIO2	I/O	GPIO[34]	DQ[17]	GPIO	GPIO	GPIO	GPIO	GPIO
K1	VIO2	I/O	GPIO[35]	DQ[18]	GPIO	GPIO	GPIO	GPIO	GPIO
J2	VIO2	I/O	GPIO[36]	DQ[19]	GPIO	GPIO	GPIO	GPIO	GPIO
J3	VIO2	I/O	GPIO[37]	DQ[20]	GPIO	GPIO	GPIO	GPIO	GPIO
J1	VIO2	I/O	GPIO[38]	DQ[21]	GPIO	GPIO	GPIO	GPIO	GPIO
H2	VIO2	I/O	GPIO[39]	DQ[22]	GPIO	GPIO	GPIO	GPIO	GPIO
H3	VIO2	I/O	GPIO[40]	DQ[23]	GPIO	GPIO	GPIO	GPIO	GPIO
F4	VIO2	I/O	GPIO[41]/A0 ^[5]	DQ[24]	GPIO	GPIO	GPIO	GPIO	GPIO
G2	VIO2	I/O	GPIO[42]/A1 ^[5]	DQ[25]	GPIO	GPIO	GPIO	GPIO	GPIO
G3	VIO2	I/O	GPIO[43]	DQ[26]	GPIO	GPIO	GPIO	GPIO	GPIO
F3	VIO2	I/O	GPIO[44]	DQ[27]	GPIO	GPIO	GPIO	GPIO	GPIO
F2	VIO2	I/O	GPIO[45]	GPIO	GPIO	GPIO	GPIO	GPIO	GPIO
F5	VIO3	I/O	GPIO[46]	DQ[28]	UART_RT S	GPIO	GPIO	GPIO	GPIO
E1	VIO3	I/O	GPIO[47]	DQ[29]	UART_CT S	GPIO	GPIO	GPIO	GPIO
E5	VIO3	I/O	GPIO[48]	DQ[30]	UART_TX	GPIO	GPIO	GPIO	GPIO
E4	VIO3	I/O	GPIO[49]	DQ[31]	UART_R X	GPIO	GPIO	GPIO	GPIO
D1	VIO3	I/O	GPIO[50]	I2S_CLK	I2S_CLK	GPIO	GPIO	GPIO	GPIO
D2	VIO3	I/O	GPIO[51]	I2S_SD	I2S_SD	GPIO	GPIO	GPIO	GPIO
D3	VIO3	I/O	GPIO[52]	I2S_WS	I2S_WS	GPIO	GPIO	GPIO	GPIO
D4	VIO4	I/O	GPIO[53]	UART_RTS	SPI_SCK	UART_RTS	SPI_SCK	GPIO	GPIO
C1	VIO4	I/O	GPIO[54]	UART_CTS	SPI_SSN	UART_CTS	SPI_SSN	I2S_CLK	GPIO
C2	VIO4	I/O	GPIO[55]	UART_TX	SPI_MIS O	UART_TX	SPI_MISO	I2S_SD	GPIO
D5	VIO4	I/O	GPIO[56]	UART_RX	SPI_MOS I	UART_RX	SPI_MOSI	I2S_WS	GPIO
C4	VIO4	I/O	GPIO[57]	I2S_MCLK	I2S_MCL K	GPIO	GPIO	I2S_MCLK	GPIO
				USB 端口					
				CYUSB301X			CYUSB201X		
A3	U3RXVDDQ	I	SSRXM	SSRX-			NC		
A4	U3RXVDDQ	I	SSRXP	SSRX+			NC		
A6	U3TXVDDQ	O	SSTXM	SSTX-			NC		
A5	U3TXVDDQ	O	SSTXP	SSTX+			NC		
B3	U3TXVDDQ	I/O	R_usb3	针对 USB 3.0 的高精度电阻 （在该引脚和 GND 之间连接一个 200 ±1% 的电阻）			NC		
C9	VBUS/VBATT	I	OTG_ID	OTG_ID					
A9	VBUS/VBATT	I/O	DP	D+					
A10	VBUS/VBATT	I/O	DM	D-					
C8	VBUS/VBATT	I/O	R_usb2	针对 USB 2.0 的高精度电阻 （在该引脚和 GND 之间连接一个 6.04 k ±1% 的电阻）					

注释:

5. 对于 24 位数据总线配置, GPIO[41] 和 GPIO[42] 作为地址行使用。

表 7. CYUSB3012 和 CYUSB3014 引脚列表 (续)

BGA	电源域	I/O	名称	说明
				时钟和复位
B2	CVDDQ	I	FSLC[0]	FSLC[0]
C6	AVDD	I/O	XTALIN	XTALIN
C7	AVDD	I/O	XTALOUT	XTALOUT
B4	CVDDQ	I	FSLC[1]	FSLC[1]
E6	CVDDQ	I	FSLC[2]	FSLC[2]
D7	CVDDQ	I	CLKIN	CLKIN
D6	CVDDQ	I	CLKIN_32	CLKIN_32
C5	CVDDQ	I	RESET#	RESET#
				I2C 和 JTAG
D9	VIO5	I/O	I2C_GPIO[58]	I ² C_SCL
D10	VIO5	I/O	I2C_GPIO[59]	I ² C_SDA
E7	VIO5	I	TDI	TDI
C10	VIO5	O	TDO	TDO
B11	VIO5	I	TRST#	TRST#
E8	VIO5	I	TMS	TMS
F6	VIO5	I	TCK	TCK
D11	VIO5	O	O[60]	GPIO
				电源
E10		PWR	VBATT	
B10		PWR	VDD	
		PWR	VDD	
A1		PWR	U3VSSQ	
E11		PWR	VBUS	
D8		PWR	VSS	
H11		PWR	VIO1	
E2		PWR	VSS	
L9		PWR	VIO1	
G1		PWR	VSS	
		PWR	VIO1	
		PWR	VSS	
F1		PWR	VIO2	
G11		PWR	VSS	
		PWR	VIO2	
E3		PWR	VIO3	
L1		PWR	VSS	
B1		PWR	VIO4	
L6		PWR	VSS	
		PWR	VSS	
B6		PWR	CVDDQ	
B5		PWR	U3TXVDDQ	
A2		PWR	U3RXVDDQ	
C11		PWR	VIO5	

表 7. CYUSB3012 和 CYUSB3014 引脚列表 (续)

BGA	电源域	I/O	名称	说明
L11		PWR	VSS	
A7		PWR	AVDD	
B7		PWR	AVSS	
C3		PWR	VDD	
B8		PWR	VSS	
E9		PWR	VDD	
B9		PWR	VSS	
F11		PWR	VDD	
		PWR	VSS	GND
		PWR	VDD	
		PWR	VSS	GND
		PWR	VSS	GND
H1		PWR	VDD	
L7		PWR	VDD	
J11		PWR	VDD	
L5		PWR	VDD	
K4		PWR	VSS	
L3		PWR	VSS	
K3		PWR	VSS	
L2		PWR	VSS	
A8		PWR	VSS	
			NC	无连接
A11			NC	无连接

电气规范

最大绝对额定值

超过最大额定值可能会缩短器件的使用寿命。

存储温度	-65 °C~+150 °C
供电环境温度（工业级）	-40 °C~+85 °C
供电环境温度（商业级）	0 °C~+70 °C
接地电位的供电电压	
V_{DD} 、 A_{VDDQ}	1.25 V
V_{IO1} 、 V_{IO2} 、 V_{IO3} 、 V_{IO4} 、 V_{IO5}	3.6 V
$U3TX_{VDDQ}$ 、 $U3RX_{VDDQ}$	1.25 V
任何输入引脚的直流输入电压	$V_{CC} + 0.3 V$
高阻态下的输出直流电压	$V_{CC} + 0.3 V$
（ V_{CC} 是相应的 I/O 电压）	
静电放电电压 ESD 保护电平为：	

■ 基于 JESD22-A114 的 ± 2.2 KV 人体模型（HBM）

■ D+、D-、GND 引脚和串行外设引脚上的附加 ESD 保护电平

直流规范

表 8. 直流规范

参数	说明	最小值	最大值	单位	注意
V_{DD}	内核供电电压	1.15	1.25	V	典型值为 1.2 V
A_{VDD}	模拟供电电压	1.15	1.25	V	典型值为 1.2 V
V_{IO1}	GPIO II I/O 电源域	1.7	3.6	V	典型值为 1.8、2.5 和 3.3 V
V_{IO2}	IO2 电源域	1.7	3.6	V	典型值为 1.8、2.5 和 3.3 V
V_{IO3}	IO3 供电电域	1.7	3.6	V	典型值为 1.8、2.5 和 3.3 V
V_{IO4}	UART/SPI/I2S 电源域	1.7	3.6	V	典型值为 1.8、2.5 和 3.3 V
V_{BATT}	USB 供电电压	3.2	6	V	典型值为 3.7 V
V_{BUS}	USB 供电电压	4.0	6	V	典型值为 5 V
$U3TX_{VDDQ}$	USB 3.0 的电源值为 1.2 V	1.15	1.25	V	典型值为 1.2 V。该电源需要安装一个大小为 22 μF 的旁路电容。 CYUSB201X 不需要使用旁路电容。
$U3RX_{VDDQ}$	USB 3.0 的电源值为 1.2 V	1.15	1.25	V	典型值为 1.2 V。该电源需要安装一个大小为 22 μF 的旁路电容。 CYUSB201X 不需要使用旁路电容。
C_{VDDQ}	时钟供电电压	1.7	3.6	V	典型值为 1.8 V 和 3.3 V
V_{IO5}	I ² C 和 JTAG 的供电电压	1.15	3.6	V	典型值为 1.2、1.8、2.5 和 3.3 V
V_{IH1}	输入高电平电压 1	$0.625 \times V_{CC}$	$V_{CC} + 0.3$	V	针对于 $2.0 V \leq V_{CC} \leq 3.6 V$ （USB 端口除外）。 V_{CC} 是相应的 IO 供电电压。
V_{IH2}	输入高电平电压 2	$V_{CC} - 0.4$	$V_{CC} + 0.3$	V	针对于 $1.7 V \leq V_{CC} \leq 2.0 V$ （USB 端口除外）。 V_{CC} 是相应的 I/O 供电电压。
V_{IL}	输入低电平电压	-0.3	$0.25 \times V_{CC}$	V	V_{CC} 是相应的 I/O 供电电压。

■ 基于 IEC61000-4-2 的 3A 级标准的 ± 6 KV 接触放电和 ± 8 KV 气隙放电，基于 IEC61000-4-2 的 4C 级标准的 ± 8 KV 接触放电和 ± 15 KV 气隙放电

闩锁电流	> 200 mA
所有 I/O（累计）的最大输出短路电流	-100 mA
每个 I/O（源电流或灌电流）的最大输出电流为	20 mA

工作条件

T_A （有偏差的环境温度）

工业级	-40 °C~+85 °C
商业级	0 °C~+70 °C

V_{DD} 、 A_{VDDQ} 、 $U3TX_{VDDQ}$ 、 $U3RX_{VDDQ}$	
供电电压	1.15 V~1.25 V
V_{BATT} 供电电压	3.2 V~6 V
V_{IO1} 、 V_{IO2} 、 V_{IO3} 、 V_{IO4} 、 C_{VDDQ}	
供电电压	1.7 V~3.6 V
V_{IO5} 供电电压	1.15 V~3.6 V

表 8. 直流规范 (续)

参数	说明	最小值	最大值	单位	注意
V_{OH}	输出高电平电压	$0.9 \times V_{CC}$	—	V	以四分之一的驱动强度测试的 I_{OH} (最大值) = $-100 \mu A$ 。VCC 是相应的 I/O 供电电压。请参阅第 21 页上的表 9, 以了解在不同驱动强度和 VCC 条件下的 I_{OH} 值。
V_{OL}	输出低电平电压	—	$0.1 \times V_{CC}$	V	以四分之一的驱动强度测试的 I_{OL} (最小值) = $+100 \mu A$ 。VCC 是相应的 I/O 供电电压。请参阅第 21 页上的表 9, 以了解在不同驱动强度和 VCC 条件下测量的 I_{OL} 值。
I_{IX}	所有引脚输入漏电流 (SSTXP/SSXM/SSRXP/SSRXM 除外)	-1	1	μA	V_{DDQ} 上保持的所有 I/O 信号 (用于已连接上拉 / 下拉电阻的 I/O, 漏电流以 V_{DDQ}/R_{pu} 或 V_{DDQ}/R_{PD} 增加)
I_{OZ}	所有引脚输出高阻态漏电流 (SSTXP/SSXM/SSRXP/SSRXM 除外)	-1	1	μA	V_{DDQ} 上保持的所有 I/O 信号
I_{CC} 内核	内核和模拟电压工作电流	—	200	mA	通过 A_{VDD} 和 V_{DD} 的总电流
I_{CC} USB [6]	USB 供电电压工作电流	—	60 [6]	mA	—
I_{SB1}	启用 USB 3.0 PHY 时暂停模式期间的总暂停电流 (L1)	—	—	mA	内核电流: 1.5 mA I/O 电流: 20 μA USB 电流: 2 mA 用于典型 PVT (典型芯片, 所有电源均处于其各自的额定值, 温度为 25°C。)
I_{SB2}	USB 3.0 PHY 被禁用时暂停模式期间的总暂停电流 (L2)	—	—	mA	内核电流: 250 μA I/O 电流: 20 μA USB 电流: 1.2 mA 用于典型 PVT (典型芯片, 所有电源均处于其各自的额定值, 温度为 25°C。)
I_{SB3}	待机模式期间的总待机电流 (L3)	—	—	μA	内核电流: 60 μA I/O 电流: 20 μA USB 电流: 40 μA 用于典型 PVT (典型芯片, 所有电源均处于其各自的额定值, 温度为 25°C。)
I_{SB4}	内核断电模式期间的总待机电流 (L4)	—	—	μA	内核电流: 0 μA I/O 电流: 20 μA USB 电流: 40 μA 用于典型 PVT (典型芯片, 所有电源均处于其各自的额定值, 温度为 25°C。)
V_{RAMP}	内核和 I/O 供电的电压斜坡率	0.2	50	V/ms	电压斜坡必须是单调的
V_N	V_{DD} 和 I/O 供电电源上允许的噪声级别	—	100	mV	所有供电电源上允许的最大峰 - 峰噪声级别 (A_{VDD} 除外)
V_{N_AVDD}	A_{VDD} 供电电源上允许的噪声级别	—	20	mV	A_{VDD} 上允许的最大峰 - 峰噪声级别

注释:

 6. 对于 CYUSB2014, I_{CC} USB 的电压值通常为 22 mA–23 mA。

表 9. 不同驱动强度的 I_{OH}/I_{OL} 值以及 V_{DDIO} 值

V_{DDIO} (V)	V_{OH} (V)	V_{OL} (V)	驱动强度	$I_{OH\ max}$ (mA)	$I_{OL\ min}$ (mA)
1.7	1.53	0.17	1/4	1.02	2.21
			1/2	1.51	3.28
			3/4	1.83	3.85
			全满	2.28	4.73
2.5	2.25	0.25	1/4	5.03	3.96
			1/2	7.38	5.84
			3/4	8.89	6.89
			全满	11.07	8.61
3.6	3.24	0.36	1/4	7.80	5.74
			1/2	11.36	8.64
			3/4	13.64	10.15
			全满	16.92	12.67

热量特性

表 10. 热量特性

参数	说明	数值	单位
$T_{J\ MAX}$	最高结温	125	°C
Θ_{JA}	热阻 (结至环境)	34.66	°C/W
Θ_{JB}	热阻 (结至板上)	27.03	°C/W
Θ_{JC}	热阻 (结至外壳)	13.57	°C/W

交流电时序参数

频率为 100 MHz 的 GPIF II 线交流特性

表 11. 频率为 100 MHz 的 GPIF II 线交流特性

符号	参数	最小值	典型值	最大值	单位
T_r	上升时间	—	—	2.5	ns
T_f	下降时间	—	—	2.5	ns
T_{ov}	过冲	—	—	3	%
T_{un}	下冲	—	—	3	%

GPIF II PCLK 抖动特性

表 12. GPIF II PCLK 抖动特性

时钟频率 (MHz)	周期抖动时间 (ps)	C-C 最小值 (ps)	C-C 最大值 (ps)
10.08	354.44	-187.92	204.55
25.2	205.97	-153.54	126.53
50.4	144.62	-100.16	85.769
100.8	171.43	-155.13	157.14

注意： 使用内部生成的 PCLK 测量时钟抖动。PCLK 被配置为 GPIF 的输出。数据是在 10,000 个时钟周期内测量到的。

GPIF II 时序

图 8. 同步模式中的 GPIF II 时序

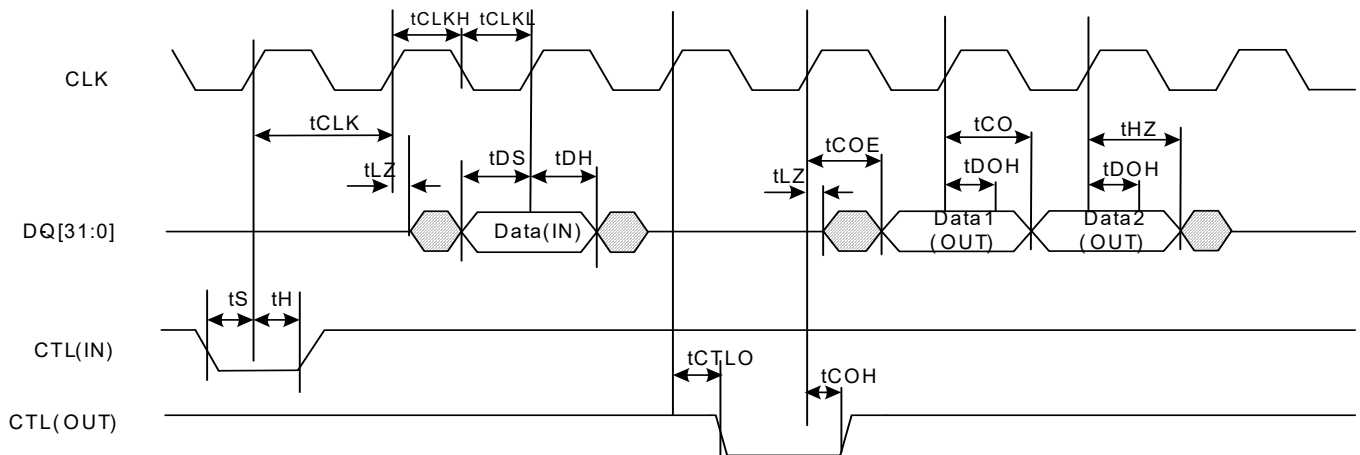


表 13. 同步模式中 GPIF II 时序参数^[7]

参数	说明	最小值	最大值	单位
频率	接口时钟频率	—	100	MHz
tCLK	接口时钟周期	10	—	ns
tCLKH	时钟为高电平的时间	4	—	ns
tCLKL	时钟为低电平的时间	4	—	ns
tS	从 CTL 输入到时钟上升沿的建立时间	2	—	ns
tH	从 CTL 输入到时钟上升沿的保留时间	0.5	—	ns
tDS	数据输入到时钟上升沿的建立时间	2	—	ns
tDH	数据输入到时钟上升沿的保留时间	0.5	—	ns
tCO	DQ 总线输出时，从时钟到数据输出的传输延迟	—	7	ns
tCOE	DQ 线从三态变更为输出以及 DQ 总线上存在有效数据时，从时钟到数据输出的传输延迟	—	9	ns
tCTLO	从时钟到 CTL 输出的传输延迟	—	8	ns
tDOH	从时钟到数据输出的保留时间	2	—	ns
tCOH	从时钟到 CTL 输出的保留时间	0	—	ns
tHZ	从时钟到数据为高阻态的时间	—	8	ns
tLZ	从时钟到数据为低阻态的时间	0	—	ns

注释：

7. 所有参数均由设计保证，并通过特性化进行验证。

图 9. 异步模式中的 GPIF II 时序

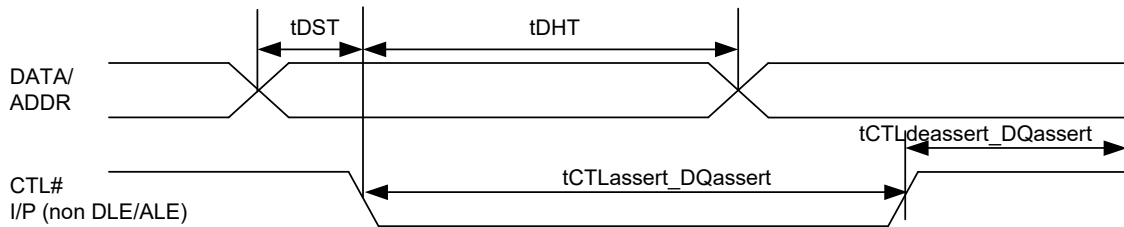
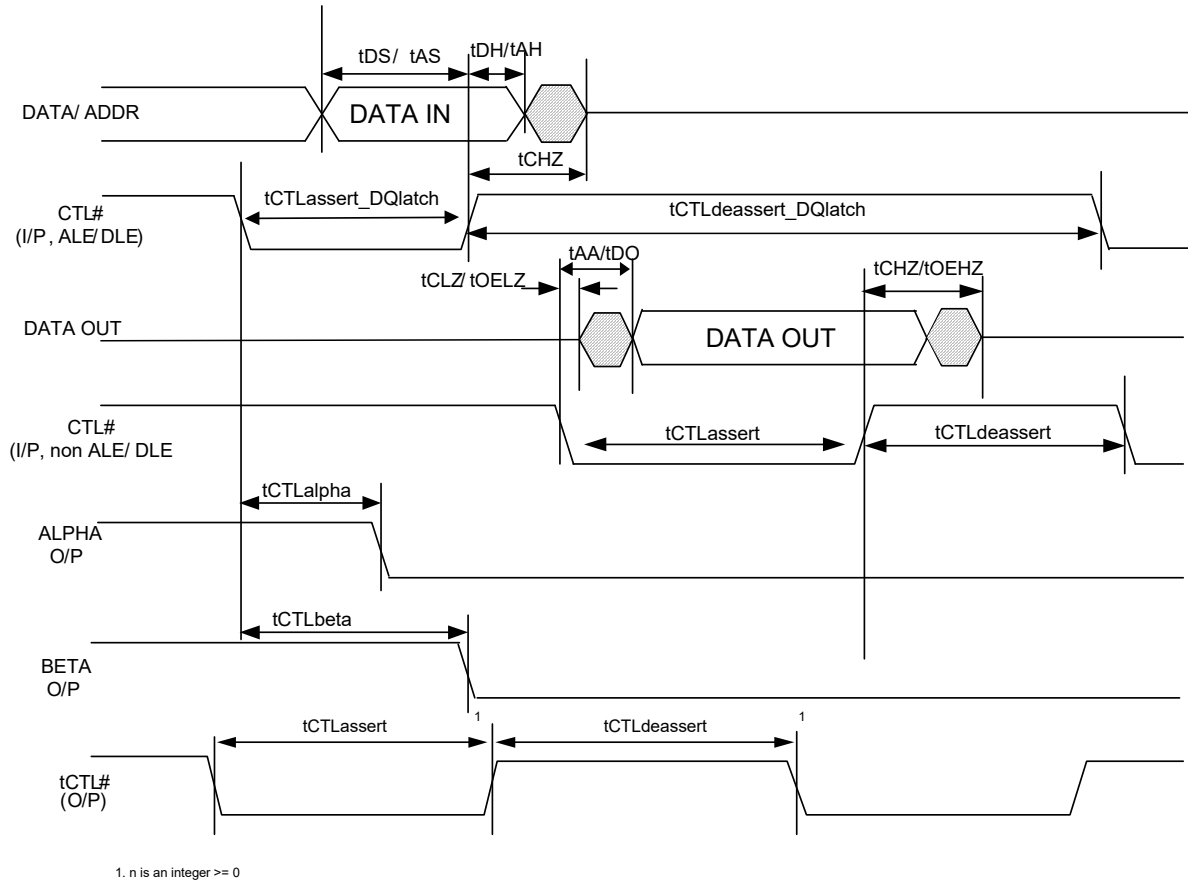


图 10. 异步 DDR 模式中的 GPIF II 时序

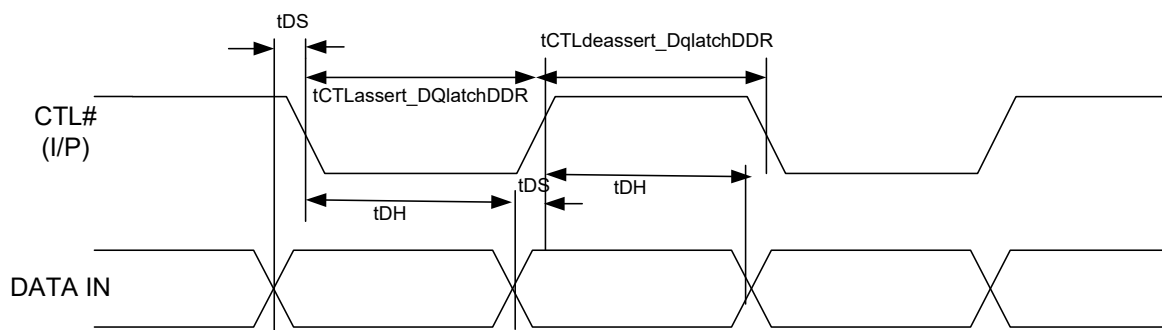


表 14. 异步模式下的 GPIF II 时序 [8、9]

注意：下面各参数均假设了一个状态切换

参数	说明	最小值	最大值	单位
tDS	数据输入到 DLE 的建立时间。该参数在 DDR 异步模式下有效。	2.3	—	ns
tDH	数据输入到 DLE 的保持时间。在 DDR 异步模式下有效。	2	—	ns
tAS	地址输入到 ALE 的建立时间	2.3	—	ns
tAH	地址输入到 ALE 的保持时间	2	—	ns
tCTLassert	用于无 DQ 输入关联性的 CTRL 输入以及输出的 CTL I/O 激活脉冲宽度。	7	—	ns
tCTLdeassert	用于无 DQ 输入关联性的 CTRL 输入以及输出的 CTL I/O 解除激活脉冲宽度。	7	—	ns
tCTLassert_DQassert	用于 CTL 输入的 CTL 激活脉冲宽度，其中 CTL 输入表明 DQ 输入在激活的边沿有效，但没有为此类 DQ 输入采用内置锁存器（ALE/DLE）。	20	—	ns
tCTLdeassert_DQassert	用于 CTL 输入的 CTL 解除激活脉冲宽度，其中 CTL 输入表明 DQ 输入在激活的边沿有效，但没有为此类 DQ 输入采用内置锁存器（ALE/DLE）。	7	—	ns
tCTLassert_DQdeassert	用于 CTL 输入的 CTL 激活脉冲宽度，其中 CTL 输入表明 DQ 输入在解除激活的边沿有效，但没有为此类 DQ 输入采用内置锁存器（ALE/DLE）。	7	—	ns
tCTLdeassert_DQdeassert	用于 CTL 输入的 CTL 解除激活脉冲宽度，其中 CTL 输入表明 DQ 输入在解除激活的边沿有效，但没有为此类 DQ 输入采用内置锁存器（ALE/DLE）。	20	—	ns
tCTLassert_DQlatch	用于 CTL 输入的 CTL 激活脉冲宽度，其中 CTL 输入采用内置锁存器（ALE/DLE）来锁存 DQ 输入。在该非 DDR 情况下，内置锁存器在解除激活的边沿始终保持关闭状态。	7	—	ns
tCTLdeassert_DQlatch	用于 CTL 输入的 CTL 解除激活脉冲宽度，其中 CTL 输入采用内置锁存器（ALE/DLE）来锁存 DQ 输入。在该非 DDR 情况下，内置锁存器在解除激活的边沿始终保持关闭状态。	10	—	ns
tCTLassert_DQlatchDDR	用于 CTL 输入的 CTL 激活脉冲宽度，其中 CTL 输入采用内置锁存器（DLE）以在 DDR 模式中锁存 DQ 输入。	10	—	ns
tCTLdeassert_DQlatchDDR	用于 CTL 输入的 CTL 解除激活脉冲宽度，其中 CTL 输入采用内置锁存器（DLE）以在 DDR 模式中锁存 Q 输入。	10	—	ns
tAA	当 DQ 变更或 CTL 变更需要进行检测且变更影响输入和输出 DQ 线的内部更新时，DQ/CTL 输入到 DQ 输出的时间。	—	30	ns
tDO	当 CTL 变更仅能使已建立数据的输出触发器更新时，CTL 到数据输出的时间。	—	25	ns
tOELZ	CTL 被指定为 OE 到低阻态的时间外部器件应停止驱动数据的时间。	0	—	ns
tOEHZ	CTL 被指定为 OE 到高阻态的时间	8	8	ns
tCLZ	从 CTL（非 OE）到低阻态的时间。外部器件应停止驱动数据的时间。	0	—	ns
tCHZ	CTL（非 OE）到高阻态的时间	30	30	ns
tCTLalpha	CTL 到 alpha 输出变更的时间	—	25	ns
tCTLbeta	CTL 到 beta 输出变更的时间	—	30	ns
tDST	不使用 DLE/ALE 时，地址 / 数据的建立时间	2	—	ns
tDHT	不使用 DLE/ALE 时，地址 / 数据的保持时间	20	—	ns

注释：

8. 所有参数均由设计保证，并通过特性化进行验证。

9. “alpha” 输出对应于 “早期输出”，而 “beta” 对应于 “延迟输出”。有关这些输出的使用，请参阅 GPIFII Designer 工具。

从器件 FIFO 接口

同步从器件 FIFO 读序列说明

- FIFO 地址稳定，并且 SLCS 被激活
- FLAG 表示 FIFO 非空闲状态
- SLOE 被激活。SLOE 仅是一个输出使能信号，其唯一功能是驱动数据总线。
- SLRD 被激活

FIFO 指针在 PCLK 的上升沿上更新，同时 SLRD 被激活。该事件会启动从新寻址位置到数据总线之间的数据传输。经过 t_{CO} 传输延迟（从 PCLK 的上升沿测量）后即可提供新的数据值。N 是从 FIFO 读取的第一个数据值。要想将数据传输到 FIFO 数据总线上，则必须激活 SLOE。

突发读取时将发生相同的事件序列。

FLAG 的用途：

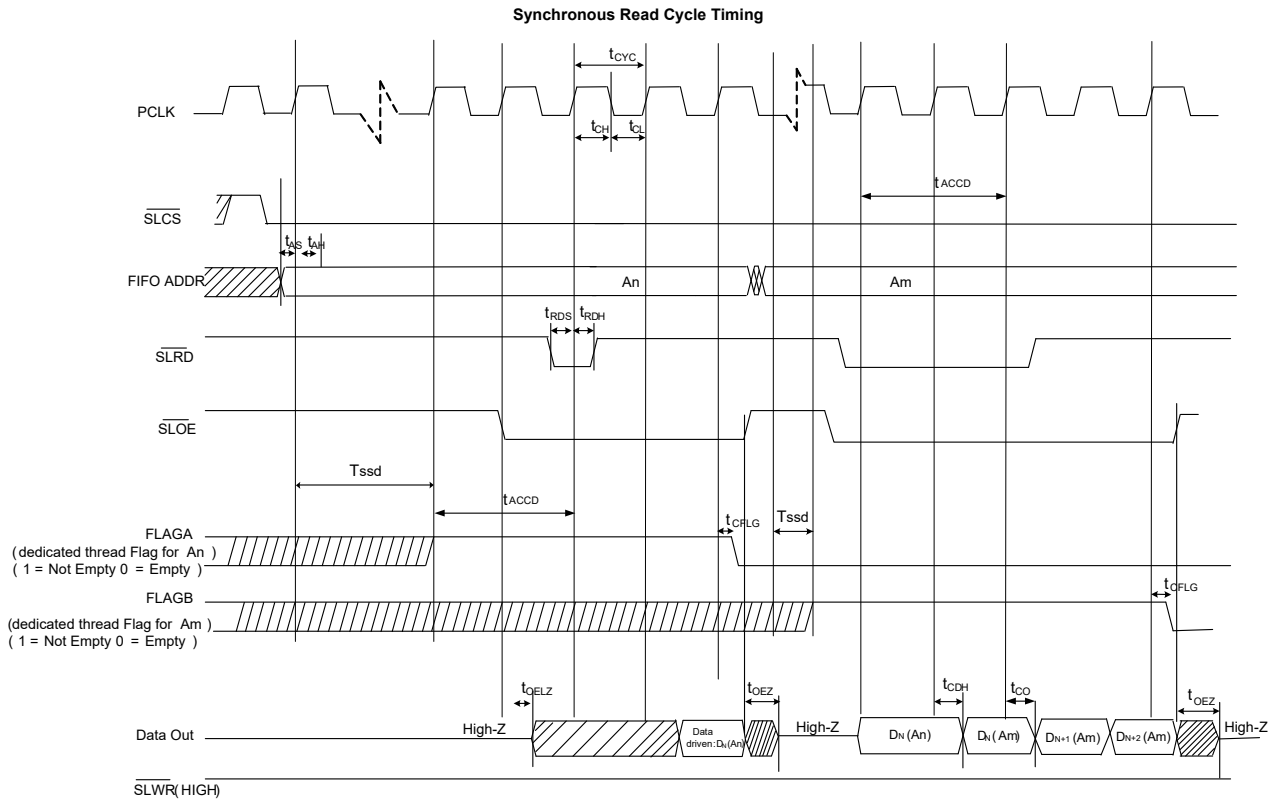
外部处理器通过监控 FLAG 信号来实现流量控制。FLAG 信号由 FX3 器件输出。配置该器件，可显示专用线程或当前寻址线程的空、满或局部状态。

套接字切换延迟（Tssd）：

套接字切换延迟指的是从主器件激活 EPSWITCH#（这时地址总线上有新的套接字地址）到 Current_Thread_DMA_Ready 标志被激活之间的时长。对于发送端套接字，当它准备好在 DMA 缓冲区中接收数据时，该标志将被激活。对于接收端套接字，当它就绪从 DMA 缓冲区中输出数据时，该标志将被激活。对于同步从器件 FIFO 接口，切换延迟为 GPIF 接口时钟周期的倍数；对于异步从器件 FIFO 接口，该测量单位则为 PIB 时钟周期。该设置仅适用于 5 位从器件 FIFO 接口；FX3 的 2 位从器件 FIFO 接口没有套接字切换延迟，因为它使用了 GPIF™ II 状态机中的线程切换。

注意：对于突发模式，在整个读取过程中持续激活 SLRD# 和 SLOE#。当 SLOE# 被激活时，将（使用来自之前已寻址的 FIFO 数据）驱动数据总线。对于 PCLK 的每个后续上升沿，当 SLRD# 被激活时，FIFO 指针将递增，并且下一个数据值将被传输到数据总线上。

图 11. 同步从器件 FIFO 读取模式



同步从器件 FIFO 写序列说明

- FIFO 地址稳定，并且 SLCS# 信号被激活
- 外部主器件或外设将数据输出到数据总线上。
- SLWR# 被激活
- 当 SLWR# 被激活时，数据将被写入到 FIFO 内，并且在 PCLK 的上升沿上，FIFO 指针将递增
- 从时钟的上升沿起，经过 t_{WFLG} 的延迟后，FIFO 标志将被更新。

突发写入时还会显示相同的事件序列

注意：对于突发模式，SLWR# 和 SLCS# 在写入所有所需数据值的整个过程中保持激活状态。在突发写入模式下，SLWR# 被激活后，会在 PCLK 的每个上升沿上将 FIFO 数据总线上的数据写入到 FIFO 中。在 PCLK 的每个上升沿上更新 FIFO 指针。

短数据包：通过 PKTEND# 信号可将某个短数据包发送到 USB 主机。需要设计外部器件或处理器，使之在最后数据字以及与该字相应的 SLWR# 脉冲时同时激活 PKTEND#，必须在激活 PKTEND# 过程中保持 FIFOADDR 不变。

零长度数据包：通过激活 PKTEND#，而没有激活 SLWR#，外部器件或处理器可以轻松地将一个零长度数据包（ZLP）传输到 FX3。必须按照图 12 的内容驱动 SLCS# 和地址。

图 12. 同步从器件 FIFO 写入模式

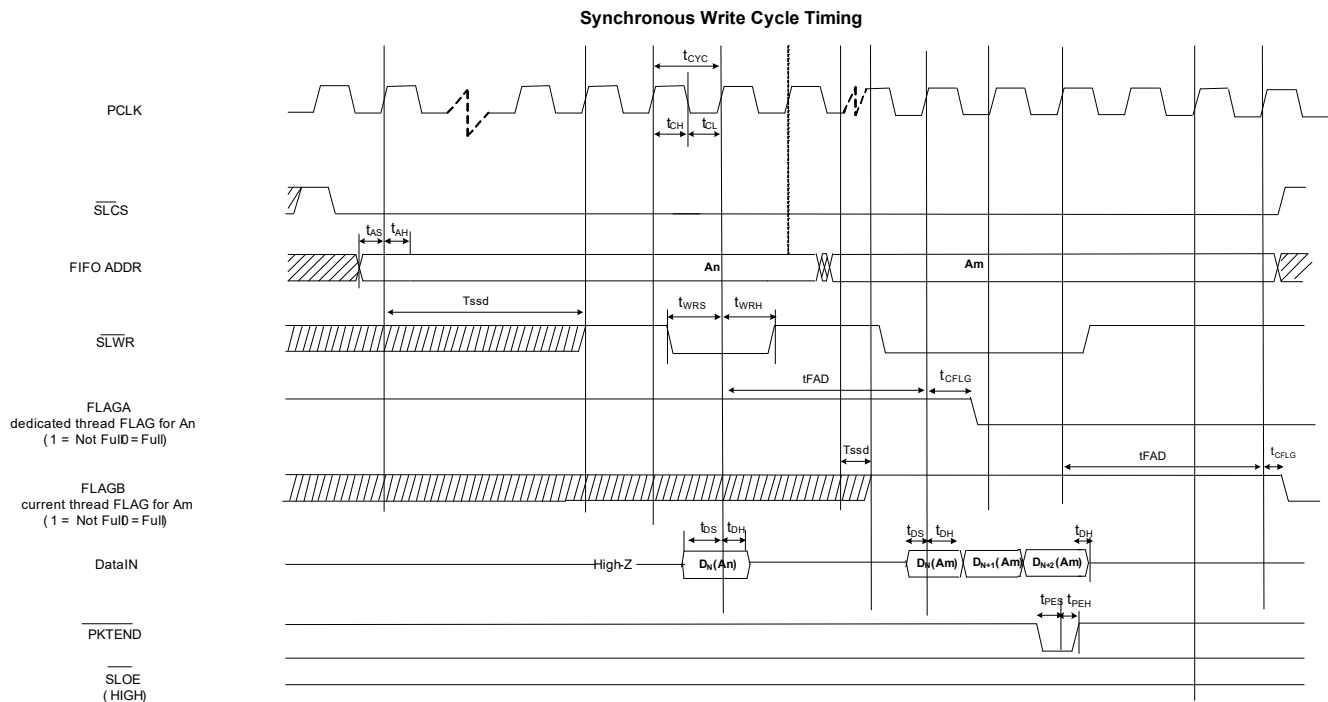


图 13. 同步从器件 FIFO ZLP 写周期时序
Synchronous ZLP Write Cycle Timing

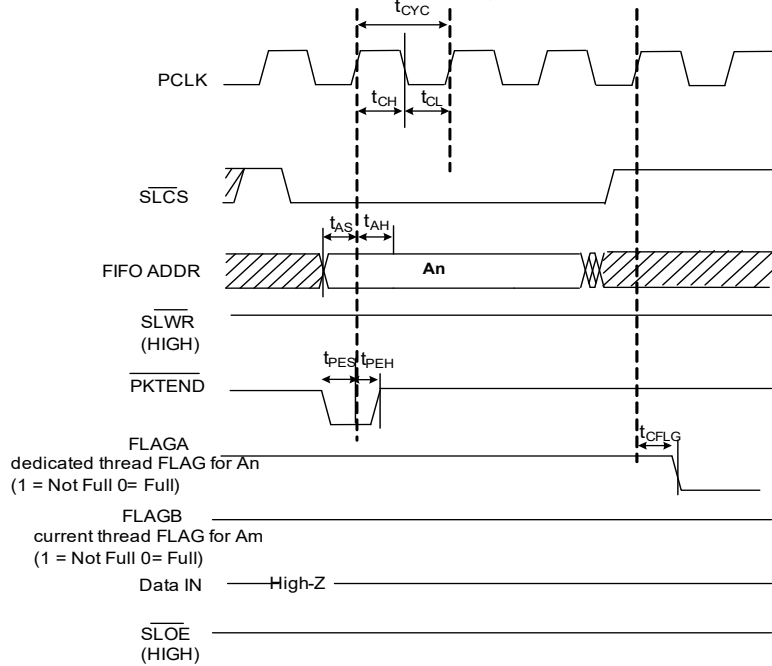


表 15. 同步从设备 FIFO 参数^[10]

参数	说明	最小值	最大值	单位
FREQ	接口时钟频率	—	100	MHz
tCYC	时钟周期	10	—	ns
tCH	时钟为高电平的时间	4	—	ns
tCL	时钟为低电平的时间	4	—	ns
tRDS	SLRD# 至 CLK 的建立时间	2	—	ns
tRDH	SLRD# 至 CLK 的保留时间	0.5	—	ns
tWRS	SLWR# 至 CLK 的建立时间	2	—	ns
tWRH	SLWR# 至 CLK 的保留时间	0.5	—	ns
tCO	从时钟到数据有效的时间	—	7	ns
tDS	数据输入的建立时间	2	—	ns
tDH	从时钟到数据输入的保留时间	0.5	—	ns
tAS	从地址到时钟的建立时间	2	—	ns
tAH	从 CLK 到地址的保留时间	0.5	—	ns
tOELZ	SLOE# 到数据为低阻态的时间	0	—	ns
tCFLG	从时钟到标志输出的传输延迟	—	8	ns
tOEZ	从 SLOE# 解除激活到数据为高阻态的时间	—	8	ns
tPES	PKTEND# 到 CLK 的建立时间	2	—	ns
tPEH	CLK 到 PKTEND# 的保留时间	0.5	—	ns
tCDH	CLK 到数据输出的保留时间	2	—	ns
tSSD	套接字转换延迟	2	68	时钟周期
tACCD	SLRD# 到数据有效的时间	2	2	时钟周期
tFAD	SLWR# 到标志激活的延迟	3	3	时钟周期

注：从 ADDR 到 DATA/FLAGS 的三个周期延迟。

注释：

10. 所有参数均由设计保证，并通过特性化进行验证。

异步从器件 FIFO 读序列说明

- FIFO 地址稳定，并且 SLCS# 信号被激活。
- SLOE# 被激活。这使得数据总线被驱动。
- SLRD# 被激活。
- SLRD# 激活后，开始驱动来自 FIFO 的数据。从 SLRD# 下降沿起，经过 t_{RDO} 传输延迟后，该数据将生效。
- FIFO 指针在 SLRD# 的解除激活后递增

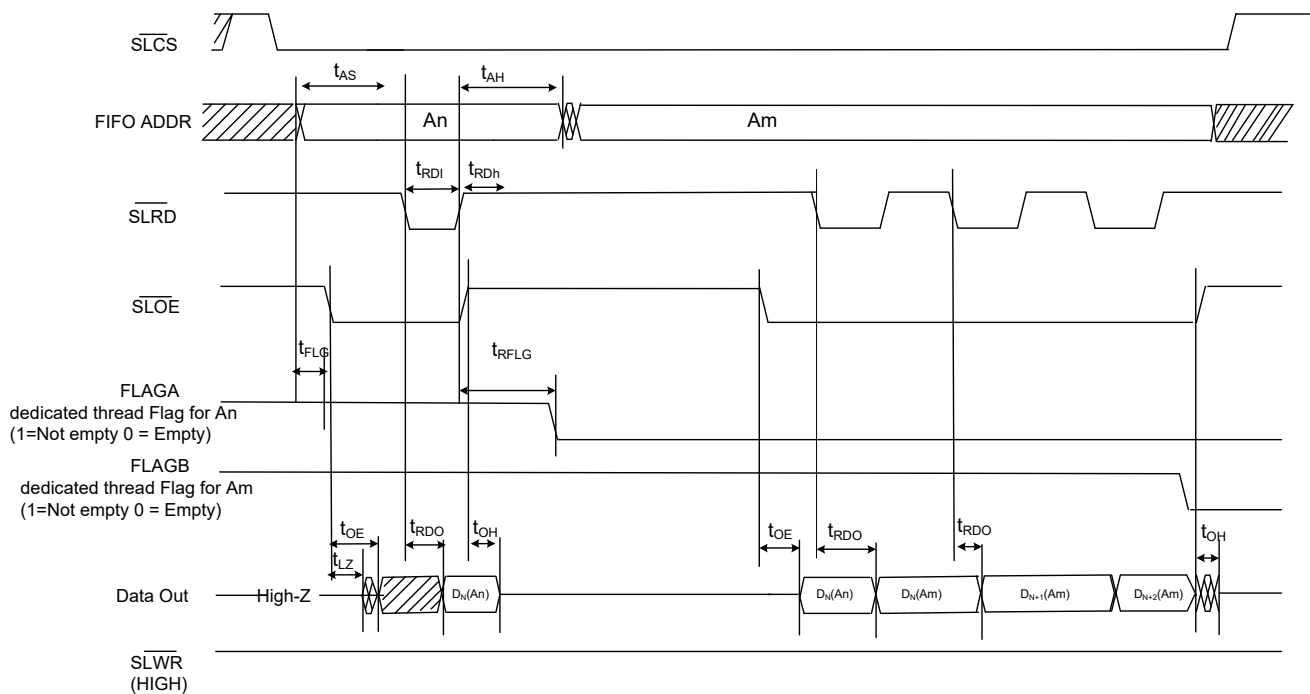
在图 14 中，数据 N 是从 FIFO 读取的第一个有效数据。要想在读周期内使数据在总线上出现，SLOE# 必须处于激活状态。也可以绑定 SLRD# 和 SLOE#。

突发读取时还会显示相同的事件序列。

注意：在突发读取模式下，数据总线在 SLOE# 激活期间处于驱动状态（数据从之前已寻址的 FIFO 中启动）。SLRD# 激活后，在数据总线上驱动来自 FIFO 的数据（也必须激活 SLOE#）。FIFO 指针在 SLRD# 的解除激活后递增。

图 14. 异步从器件 FIFO 读取模式

Asynchronous Read Cycle Timing



异步从器件 FIFO 写序列说明

- FIFO 地址被驱动，并且 SLCS# 被激活
 - SLWR# 被激活。SLCS# 必须与 SLWR# 同时激活，或先于 SLWR# 激活
 - 在 SLWR# 边沿上解除激活前，数据必须显示在总线 tWRS 上
 - 解除激活 SLWR# 会导致将数据从数据总线写入到 FIFO 内，然后 FIFO 指针递增
 - 从 SLWR 边沿解除激活起，经过 tWFLG 后，FIFO 标志将被更新。
- 突发写入时显示相同的事件序列。

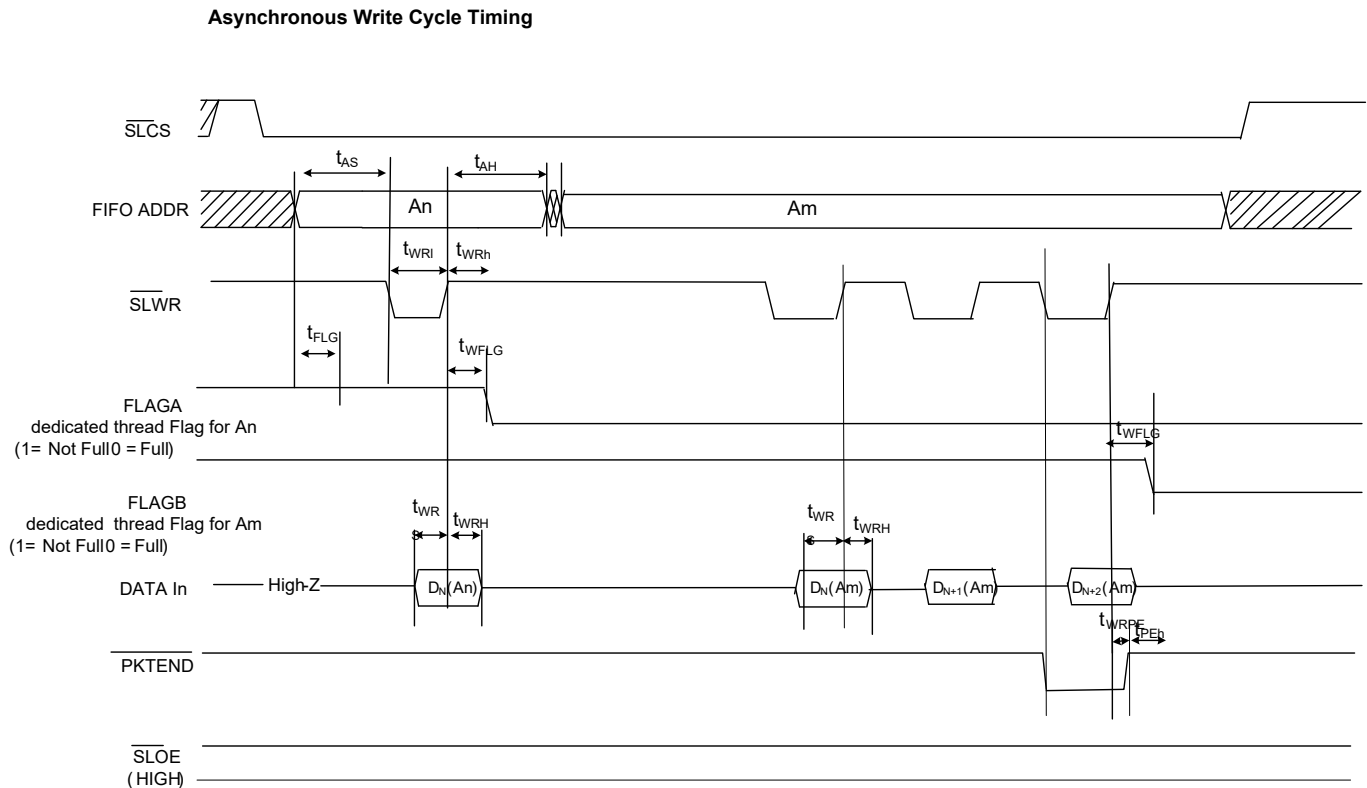
请注意，在突发写入模式下，SLWR# 解除激活后，会将数据写入 FIFO 内，然后 FIFO 指针将递增。

短数据包：通过 PKTEND# 信号可将某个短数据包发送到 USB 主机。需要设计外部器件或处理器，使之在最后数据字以及与该字相应的 SLWR# 脉冲时同时激活 PKTEND#。必须在激活 PKTEND# 过程中保持 FIFOADDR 不变。

零长度数据包：通过激活 PKTEND#，而没有激活 SLWR#，外部器件或处理器可以轻松地将一个零长度数据包（ZLP）传输到 FX3。必须按照第 30 页上的图 16 的内容驱动 SLCS# 和地址。

FLAG 用途：外部处理器通过监控 FLAG 信号来实现流控制。FLAG 信号由 FX3 器件输出。配置该器件，可显示专用地址或当前地址的空、满和局部状态。

图 15. 异步从器件 FIFO 写入模式



tWRPE: SLWR# de-assert to PKTEND deassert = 2 ns min (This means that PKTEND should not be deasserted before SLWR#)

Note: PKTEND must be asserted at the same time as SLWR#.

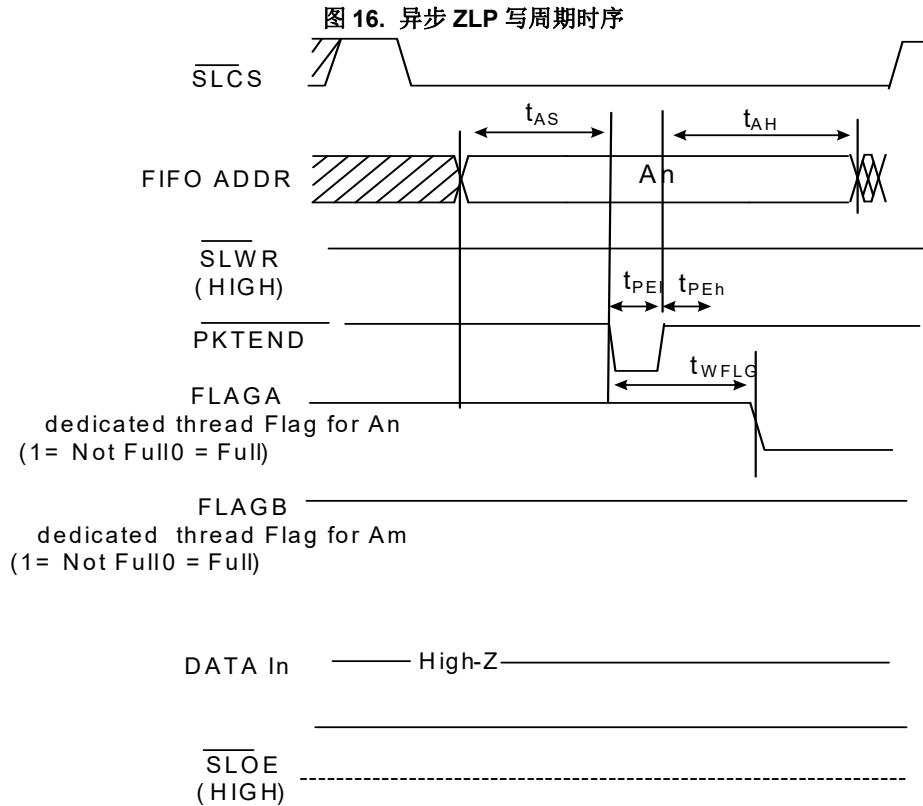


表 16. 异步从设备 FIFO 参数^[11]

参数	说明	最小值	最大值	单位
tRDI	SLRD# 为低电平的时间	20	—	ns
tRDh	SLRD# 为高电平的时间	10	—	ns
tAS	从地址到 SLRD#/SLWR# 的建立时间	7	—	ns
tAH	从 SLRD#/SLWR#/PKTEND 到地址的保留时间	2	—	ns
tRFLG	SLRD# 到 FLAGS 输出的传输延迟	—	35	ns
tFLG	ADDR 到 FLAGS 输出的传输延迟	—	22.5	ns
tRDO	SLRD# 到数据有效的的时间	—	25	ns
tOE	OE# 为低电平到数据有效的的时间	—	25	ns
tLZ	OE# 为低电平到数据为低阻态的时间	0	—	ns
tOH	SLOE# 解除激活数据输出的保留时间	—	22.5	ns
tWRI	SLWR# 为低电平的时间	20	—	ns
tWRh	SLWR# 为高电平的时间	10	—	ns
tWRS	数据有效到 SLWR# 的建立时间	7	—	ns
tWRH	SLWR# 到数据有效的保留时间	2	—	ns
tWFLG	SLWR#/PKTEND 到标志输出的传输延迟	—	35	ns
tPEI	PKTEND 为低电平的时间	20	—	ns
tPEh	PKTEND 为高电平的时间	7.5	—	ns
tWRPE	SLWR# 解除激活到 PKTEND 解除激活的时间	2	—	ns

注释:

11. 所有参数均由设计保证，并通过特性化进行验证。

主机处理器接口（P 端口）时序

异步 SRAM 时序

图 17. 非复用异步 SRAM 读取时序

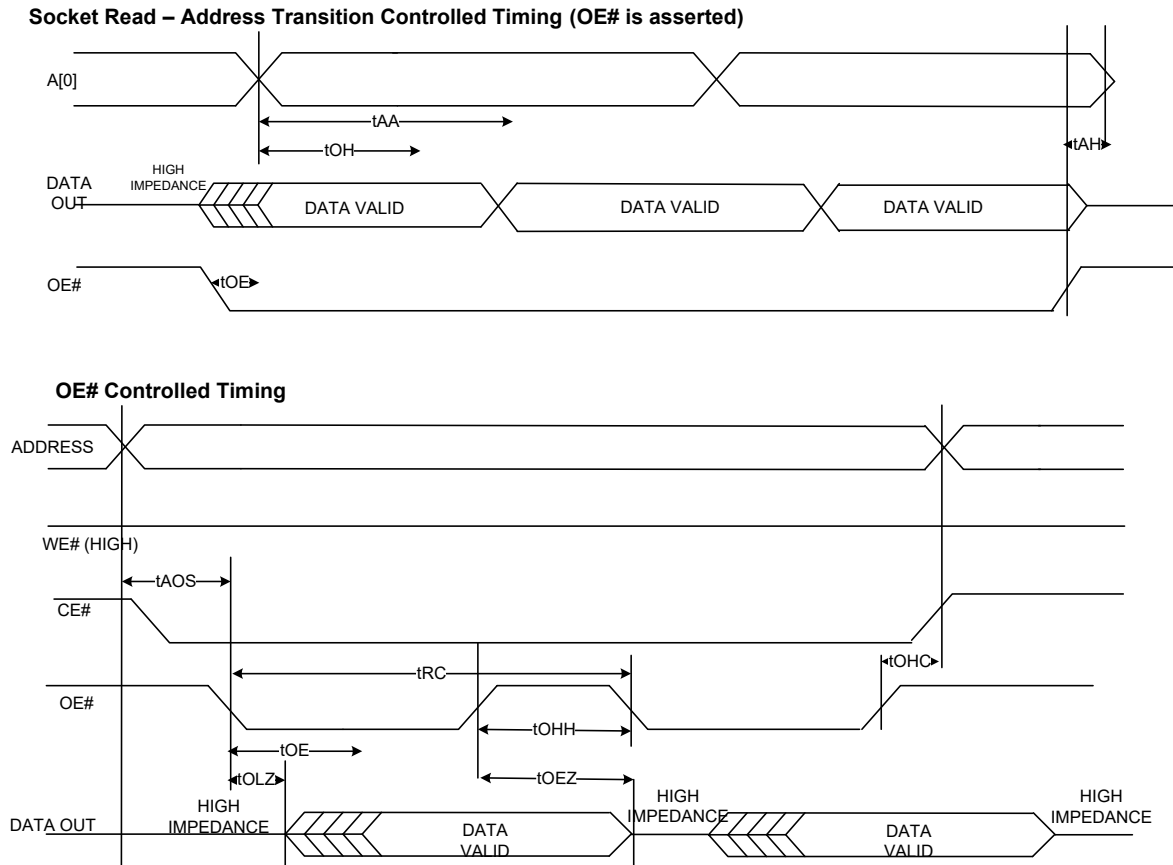


图 18. 非复用异步 SRAM 写入时序 (WE# 和 CE# 控制)

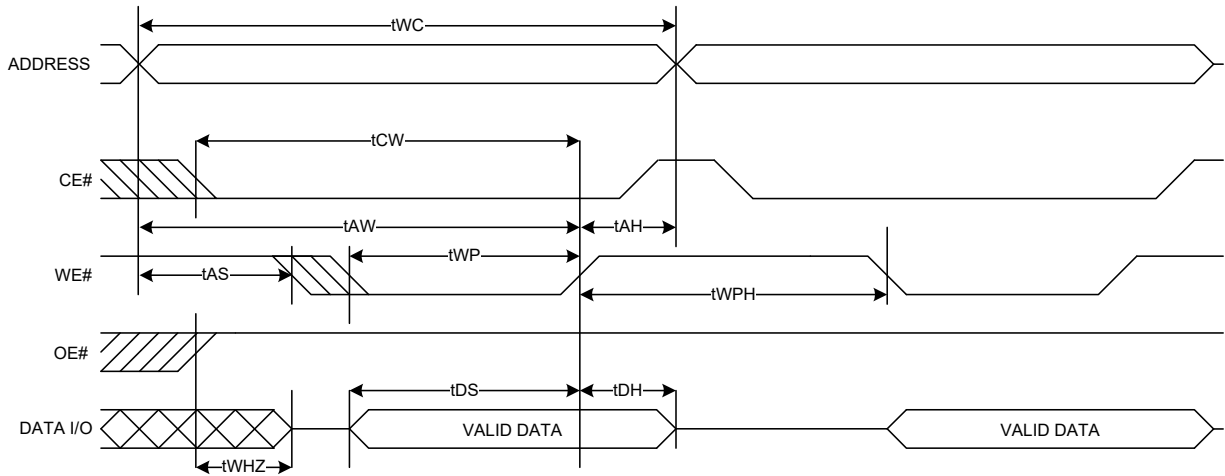
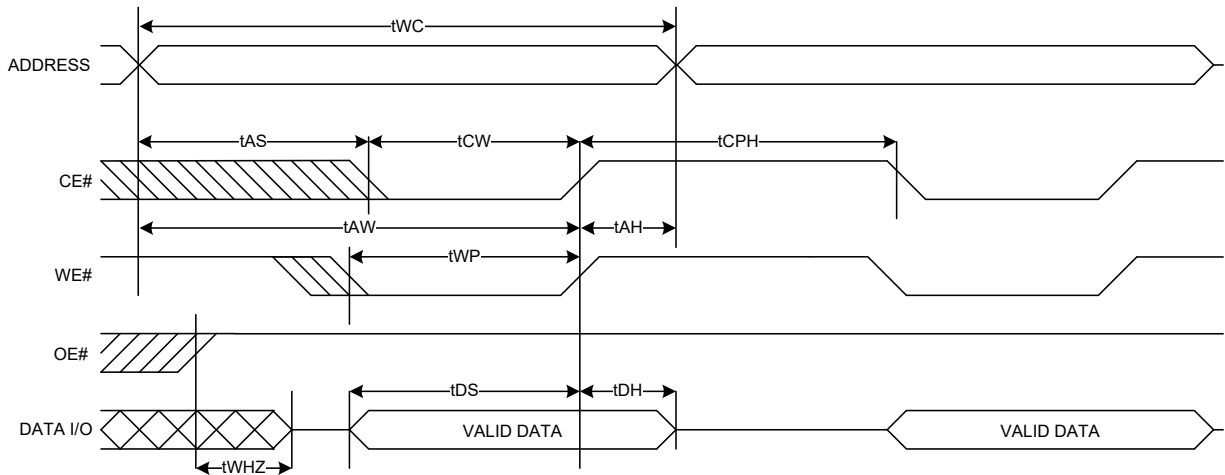
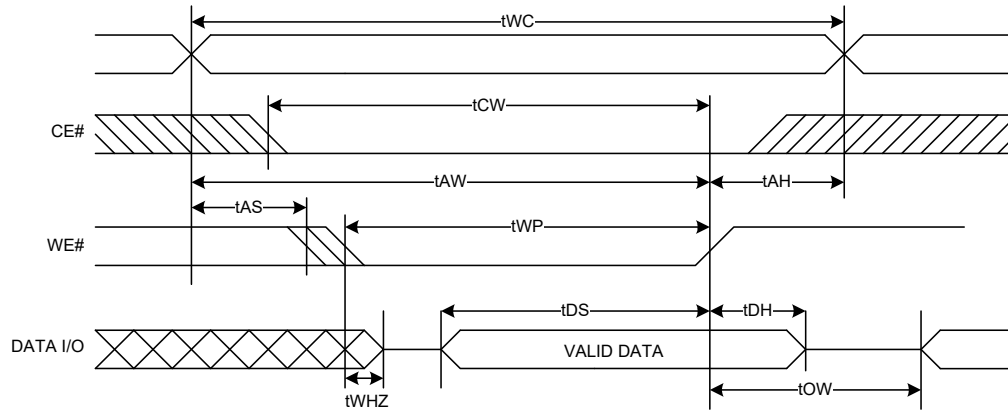
Write Cycle 1 WE# Controlled, OE# High During Write

Write Cycle 2 CE# Controlled, OE# High During Write


图 19. 非复用异步 SRAM 写入时序 (WE# 控制, OE# 为低电平)
Write Cycle 3 WE# Controlled. OE# Low


Note: tWP must be adjusted such that $tWP > tWHZ + tDS$

表 17. 异步 SRAM 时序参数^[12]

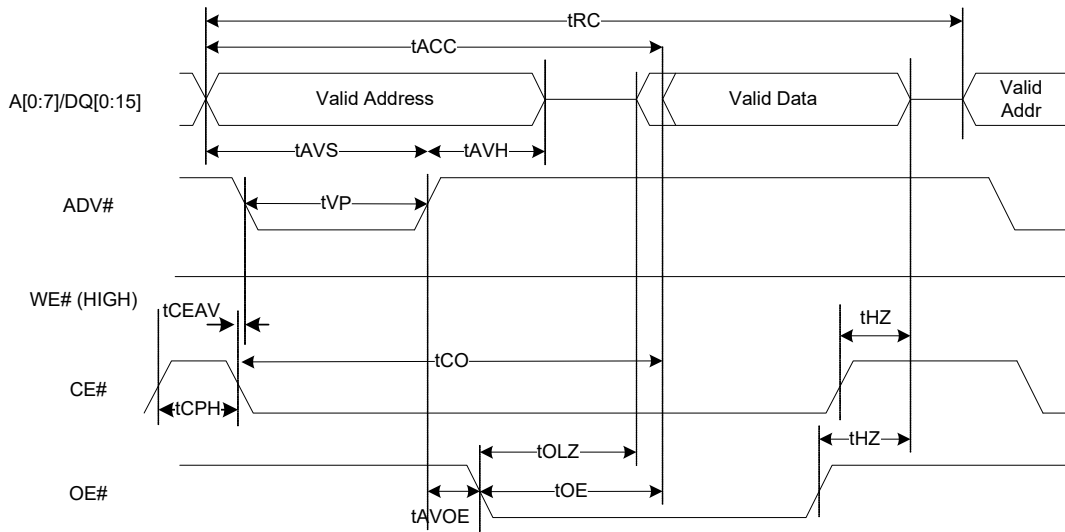
参数	说明	最小值	最大值	单位
—	SRAM 接口带宽	—	61.5	Mbps
tRC	读周期的时间	32.5	—	ns
tAA	地址到数据有效的时间	—	30	ns
tAOS	地址到 OE# 为低电平的建立时间	7	—	ns
tOH	地址更改后的数据保留时间	3	—	ns
tOHH	OE# 为高电平的保留时间	7.5	—	ns
tOHC	OE# 为高电平到 CE# 为高电平的时间	2	—	ns
tOE	OE# 为低电平到数据有效的时间	—	25	ns
tOLZ	OE# 为低电平到数据为低阻态的时间	0	—	ns
tWC	写周期的时间	30	—	ns
tCW	CE# 为低电平到写周期结束的时间	30	—	ns
tAW	从地址有效到写入结束的时间	30	—	ns
tAS	地址建立到写周期开始的时间	7	—	ns
tAH	CE# 或 WE# 的地址保持时间	2	—	ns
tWP	WE# 脉冲宽度	20	—	ns
tWPH	WE# 为高电平的时间	10	—	ns
tCPH	CE# 为高电平的时间	10	—	ns
tDS	数据建立到写周期结束的时间	7	—	ns
tDH	数据保留到写入结束的时间	2	—	ns
tWHZ	写入有效到 DQ 输出为高阻态的时间	—	22.5	ns
tOEZ	OE# 为高电平到 DQ 输出为高阻态的时间	—	22.5	ns
tOW	写入结束到输出为低阻态的时间	0	—	ns

注释:

12. 所有参数均由设计保证, 并通过特性化进行验证。

用于异步访问的 **ADMux** 时序

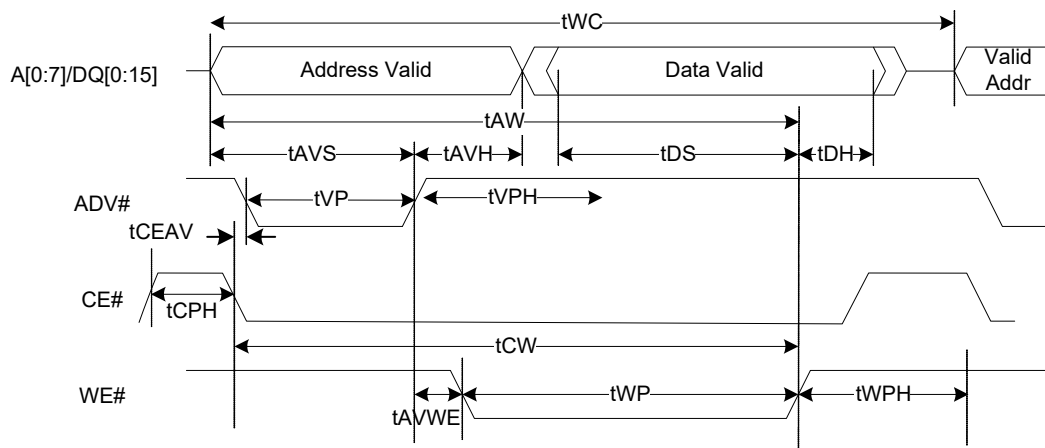
图 20. ADMux 异步随机读取



Note:

1. Multiple read cycles can be executed while keeping CE# low.
2. Read operation ends with either de-assertion of either OE# or CE#, whichever comes earlier.

图 21. ADMux 异步随机写入



Note:

1. Multiple write cycles can be executed while keeping CE# low.
2. Write operation ends with de-assertion of either WE# or CE#, whichever comes earlier.

表 18. 异步 ADMux 时序参数^[13]

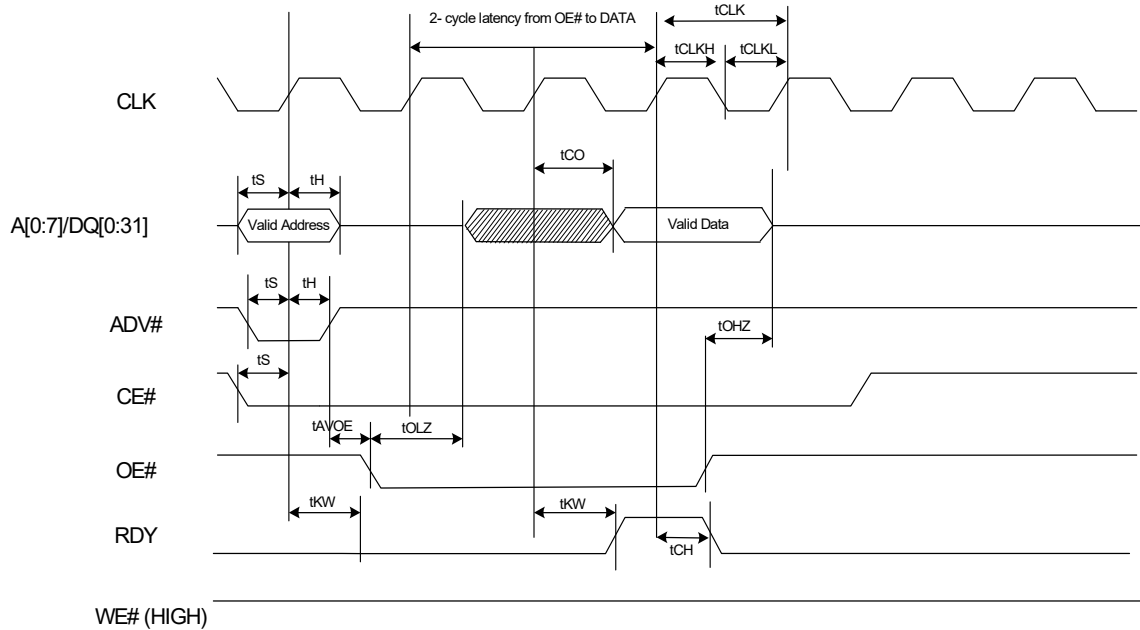
参数	说明	最小值	最大值	单位	注意
ADMux 异步 READ（读取）访问的时序参数					
tRC	有效地址之间的读周期时间	54.5	—	ns	该参数取决于 P 端口处理器取消激活 OE# 的时间
tACC	地址有效到数据有效的时间	—	32	ns	—
tCO	CE# 激活到数据有效的时间	—	34.5	ns	—
tAVOE	ADV# 取消激活到 OE# 激活的时间	2	—	ns	—
tOLZ	OE# 激活到数据为低阻态的时间	0	—	ns	—
tOE	OE# 激活到数据有效的时间	—	25	ns	—
tHZ	读周期结束到数据为高阻态的时间	—	22.5	ns	—
ADMux 异步 WRITE（写入）访问的时序参数					
tWC	有效地址之间的写周期时间	—	52.5	ns	—
tAW	地址有效到写入结束的时间	30	—	ns	—
tCW	CE# 激活到写入结束的时间	30	—	ns	—
tAVWE	ADV# 取消激活到 WE# 激活的时间	2	—	ns	—
tWP	WE# 为低脉冲宽度的时间	20	—	ns	—
tWPH	WE# 为高脉冲宽度的时间	10	—	ns	—
tDS	数据有效到 WE# 取消激活的建立时间	18	—	ns	—
tDH	WE# 取消激活到数据有效的保留时间	2	—	ns	—
ADMux 异步通用 READ/WRITE（读 / 写）访问的时序参数					
tAVS	地址有效到 ADV# 取消激活的建立时间	5	—	ns	—
tAVH	ADV# 取消激活到地址有效的保留时间	2	—	ns	—
tVP	ADV# 为低脉冲宽度的时间	7.5	—	ns	—
tCPH	CE# 为高脉冲宽度的时间	10	—	ns	—
tVPH	ADV# 为高脉冲宽度的时间	15	—	ns	—
tCEAV	CE# 激活到 ADV# 激活的时间	0	—	ns	—

注释：

13. 所有参数均由设计保证，并通过特性化进行验证。

同步 ADMux 时序

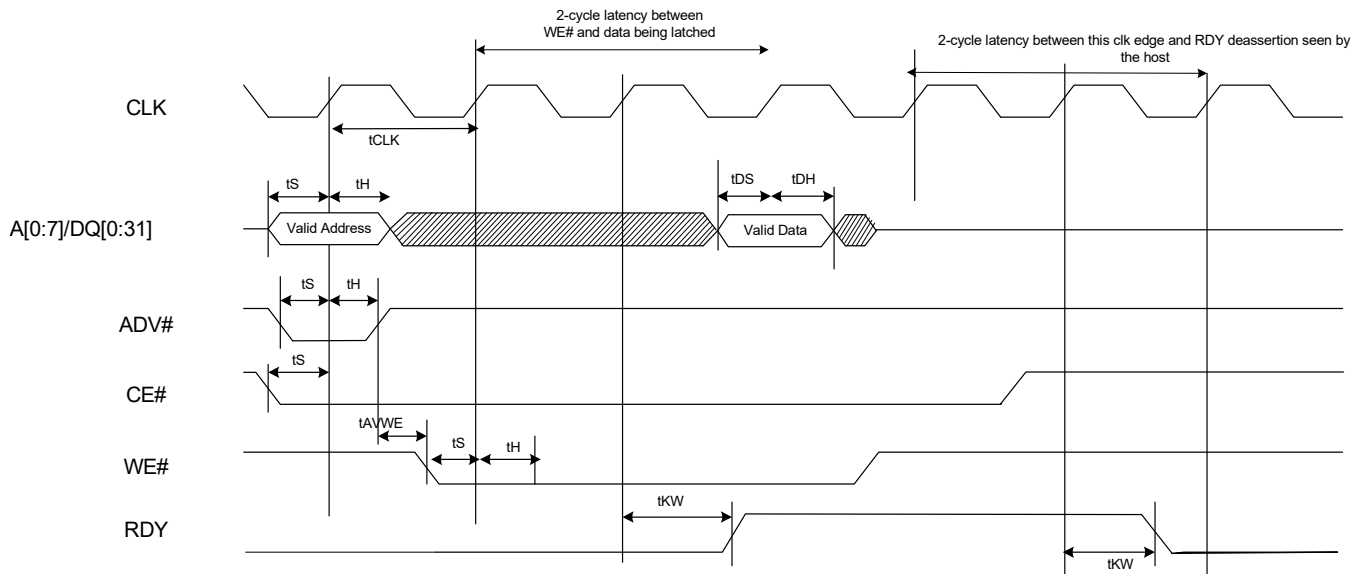
图 22. 同步 ADMux 接口 — 读周期时序



Note:

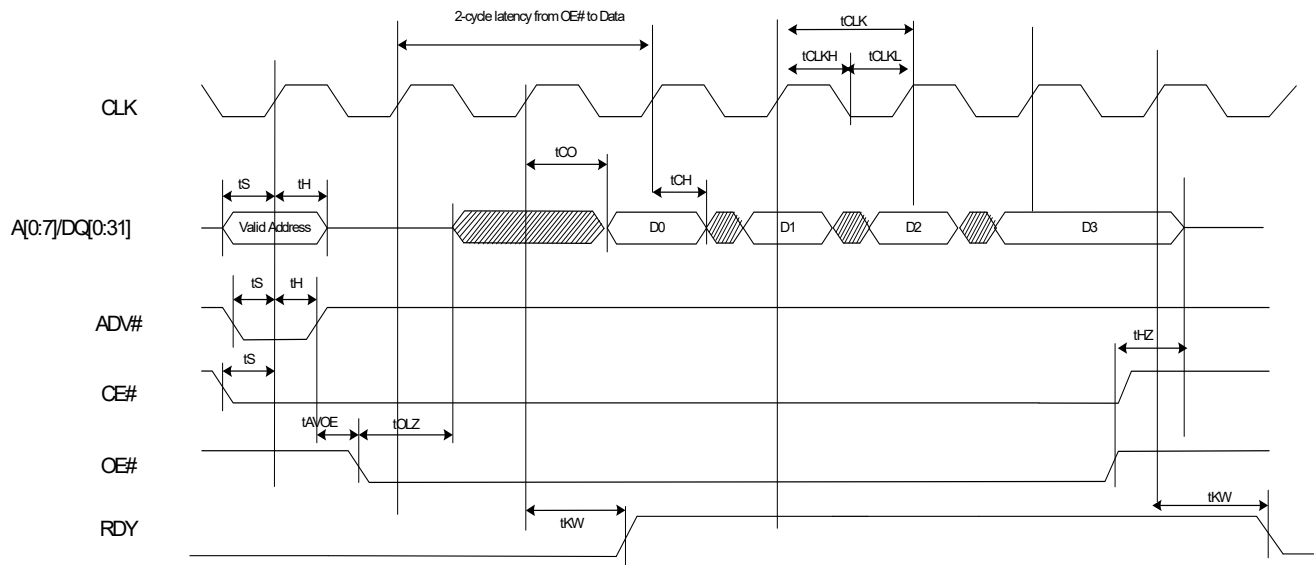
- 1) External P-Port processor and FX3 operate on the same clock edge
- 2) External processor sees RDY assert 2 cycles after OE # asserts and sees RDY deassert a cycle after the data appears on the output
- 3) Valid output data appears 2 cycle after OE # asserted. The data is held until OE # deasserts
- 4) Two cycle latency is shown for 0-100 MHz operation. Latency can be reduced by 1 cycle for operations at less than 50 MHz (this 1 cycle latency is not supported by the bootloader)

图 23. 同步 ADMux 接口 — 写周期时序

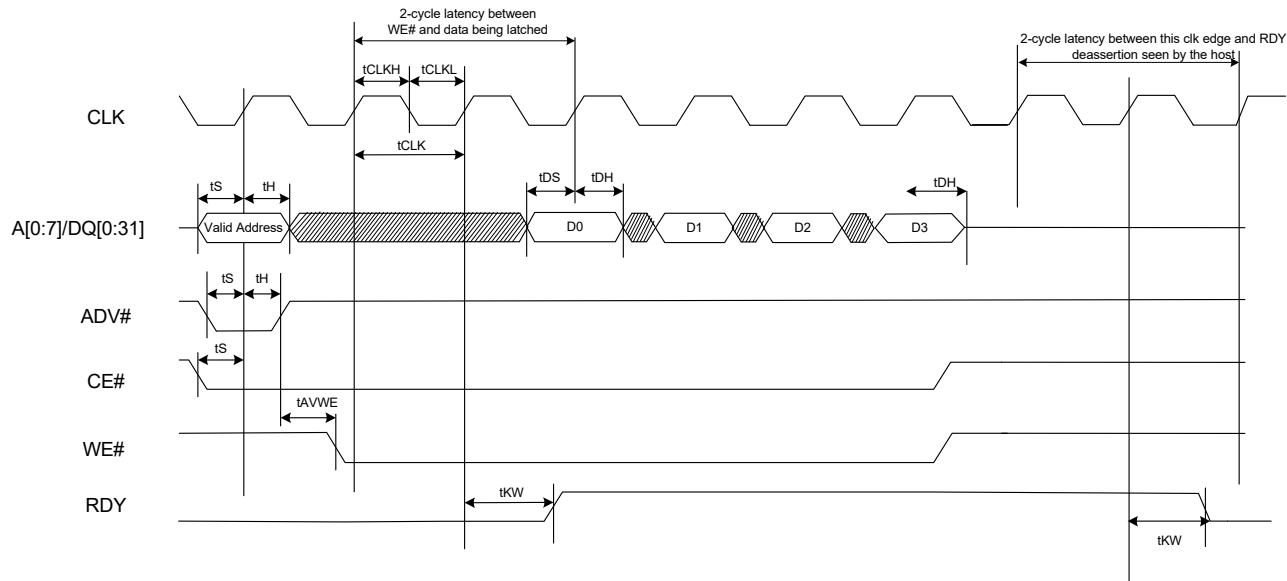


Note:

- 1) External P-Port processor and FX3 operate on the same clock edge
- 2) External processor sees RDY assert 2 cycles after WE # asserts and deasserts 3 cycles after the edge sampling the data.
- 3) Two cycle latency is shown for 0-100 MHz operation. Latency can be reduced by 1 cycle for operations at less than 50 MHz (this 1 cycle latency is not supported by the bootloader)



- 1) External P-Port processor and FX3 work operate on the same clock edge
- 2) External processor sees RDY assert 2 cycles after OE# asserts and and sees RDY deassert a cycle after the last burst data appears on the output
- 3) Valid output data appears 2 cycle after OE# asserted. The last burst data is held until OE# deasserts
- 4) Burst size of 4 is shown. Transfer size for the operation must be a multiple of burst size. Burst size is usually power of 2. RDY will not deassert in the middle of the burst.
- 5) External processor cannot deassert OE in the middle of a burst. If it does so, any bytes remaining in the burst packet could get lost
- 6) Two cycle latency is shown for 0-100 MHz operation. Latency can be reduced by 1 cycle for operations at less than 50 MHz (this 1 cycle latency is not supported by the bootloader)



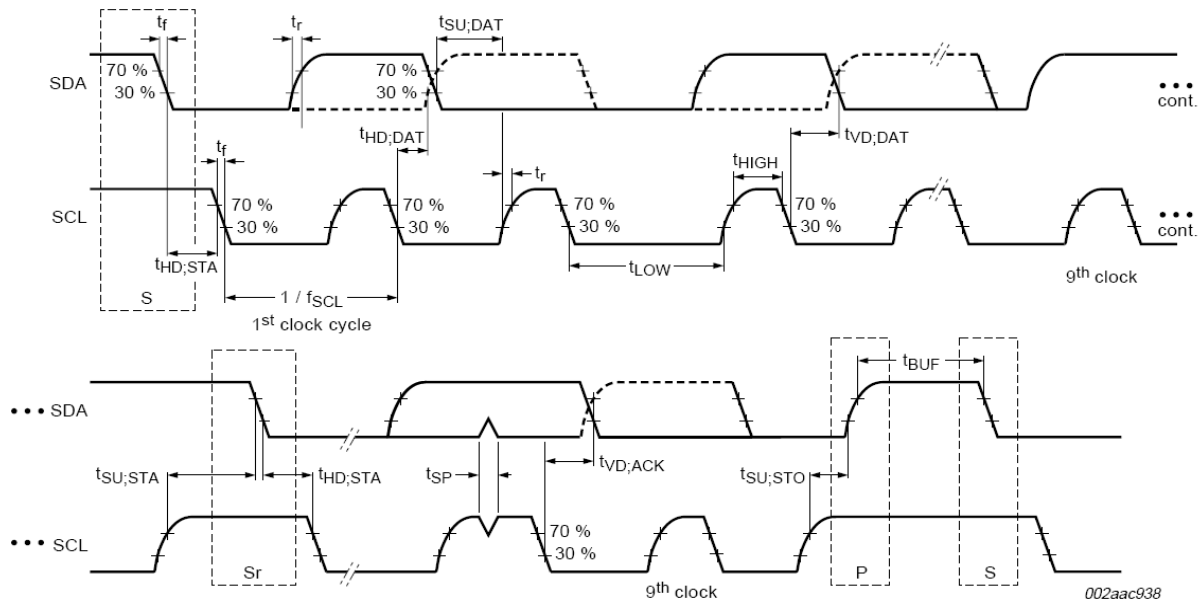
- 1) External P-Port processor and FX3 operate on the same clock edge
- 2) External processor sees RDY assert 2 cycles after WE # asserts and deasserts 3 cycles after the edge sampling the last burst data.
- 3) Transfer size for the operation must be a multiple of burst size. Burst size is usually power of 2. RDY will not deassert in the middle of the burst. Burst size of 4 is shown
- 4) External processor cannot deassert WE in the middle of a burst. If it does so, any bytes remaining in the burst packet could get lost
- 5) Two cycle latency is shown for 0-100 MHz operation. Latency can be reduced by 1 cycle for operations at less than 50 MHz (this 1 cycle latency is not supported by the bootloader)

表 19. 同步 ADMux 时序参数^[14]

参数	说明	最小值	最大值	单位
FREQ	接口时钟频率	—	100	MHz
tCLK	时钟周期	10	—	ns
tCLKH	时钟为高电平的时间	4	—	ns
tCLKL	时钟为低电平的时间	4	—	ns
tS	CE#/WE#/DQ 的建立时间	2	—	ns
tH	CE#/WE#/DQ 的保留时间	0.5	—	ns
tCH	时钟到数据输出的保留时间	0	—	ns
tDS	数据输入的建立时间	2	—	ns
tDH	时钟到数据输入的保留时间	0.5	—	ns
tAVDOE	ADV# 为高电平到 OE# 为低电平的时间	0	—	ns
tAVDWE	ADV# 为高电平到 WE# 为低电平的时间	0	—	ns
tHZ	CE# 为高电平到数据为高阻态的时间	—	8	ns
tOHZ	OE# 为高电平到数据为高阻态的时间	—	8	ns
tOLZ	OE# 为低电平到数据为低阻态的时间	0	—	ns
tKW	时钟到 RDY 有效的的时间	—	8	ns

串行外设时序

I²C 时序

 图 26. I²C 时序定义


注释:

14. 所有参数均由设计保证，并通过特性化进行验证。

表 20. I²C 时序参数^[15]

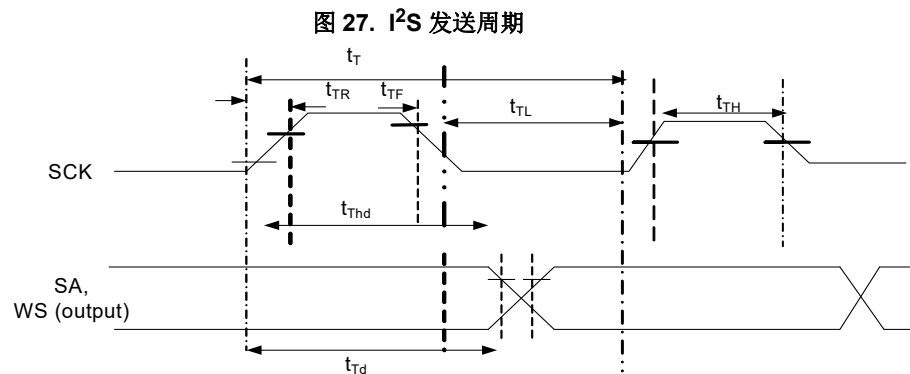
参数	说明	最小值	最大值	单位
I²C 标准模式参数				
fSCL	SCL 时钟频率	0	100	kHz
tHD:STA	启动条件的保留时间	4	—	μs
tLOW	SCL 为低电平的周期	4.7	—	μs
tHIGH	SCL 为高电平的周期	4	—	μs
tSU:STA	重复启动条件的建立时间	4.7	—	μs
tHD:DAT	数据保留时间	0	—	μs
tSU:DAT	数据建立时间	250	—	ns
tr	SDA 和 SCL 信号的上升时间	—	1000	ns
tf	SDA 和 SCL 信号的下降时间	—	300	ns
tSU:STO	停止条件的建立时间	4	—	μs
tBUF	停止和启动条件之间的总线空闲时间	4.7	—	μs
tVD:DAT	数据有效时间	—	3.45	μs
tVD:ACK	数据有效 ACK 时间	—	3.45	μs
tSP	输入滤波器抑制的尖峰脉冲的宽度	N/A	N/A	
I²C 快速模式的参数				
fSCL	SCL 时钟频率	0	400	kHz
tHD:STA	启动条件的保留时间	0.6	—	μs
tLOW	SCL 为低电平的周期	1.3	—	μs
tHIGH	SCL 为高电平的周期	0.6	—	μs
tSU:STA	重复启动条件的建立时间	0.6	—	μs
tHD:DAT	数据保留时间	0	—	μs
tSU:DAT	数据建立时间	100	—	ns
tr	SDA 和 SCL 信号的上升时间	—	300	ns
tf	SDA 和 SCL 信号的下降时间	—	300	ns
tSU:STO	停止条件的建立时间	0.6	—	μs
tBUF	停止和启动条件之间的总线空闲时间	1.3	—	μs
tVD:DAT	数据有效时间	—	0.9	μs
tVD:ACK	数据有效 ACK 时间	—	0.9	μs
tSP	输入滤波器抑制的尖峰脉冲的宽度	0	50	ns

注释:

15. 所有参数均由设计保证, 并通过特性化进行验证。

表 20. I²C 时序参数^[15] (续)

参数	说明	最小值	最大值	单位
I²C 增强型快速模式的参数 (在 I2C_VDDQ = 1.2 V 时不支持)				
fSCL	SCL 时钟频率	0	1000	kHz
tHD:STA	启动条件的保留时间	0.26	—	μs
tLOW	SCL 为低电平的周期	0.5	—	μs
tHIGH	SCL 为高电平的周期	0.26	—	μs
tSU:STA	重复启动条件的建立时间	0.26	—	μs
tHD:DAT	数据保留时间	0	—	μs
tSU:DAT	数据建立时间	50	—	ns
tr	SDA 和 SCL 信号的上升时间	—	120	ns
tf	SDA 和 SCL 信号的下降时间	—	120	ns
tSU:STO	停止条件的建立时间	0.26	—	μs
tBUF	停止和启动条件之间的总线空闲时间	0.5	—	μs
tVD:DAT	数据有效时间	—	0.45	μs
tVD:ACK	数据有效 ACK 时间	—	0.55	μs
tSP	输入滤波器抑制的尖峰脉冲的宽度	0	50	ns

 I²S 时序图

 表 21. I²S 时序参数^[16]

参数	说明	最小值	最大值	单位
tT	I ² S 发送器的时钟周期	Ttr	—	ns
tTL	I ² S 发送器为低电平的周期	0.35 Ttr	—	ns
tTH	I ² S 发送器为高电平的周期	0.35 Ttr	—	ns
tTR	I ² S 发送器的上升时间	—	0.15 Ttr	ns
tTF	I ² S 发送器的下降时间	—	0.15 Ttr	ns
tThd	I ² S 发送器的数据保留时间	0	—	ns
tTd	I ² S 发送器的延迟时间	—	0.8tT	ns

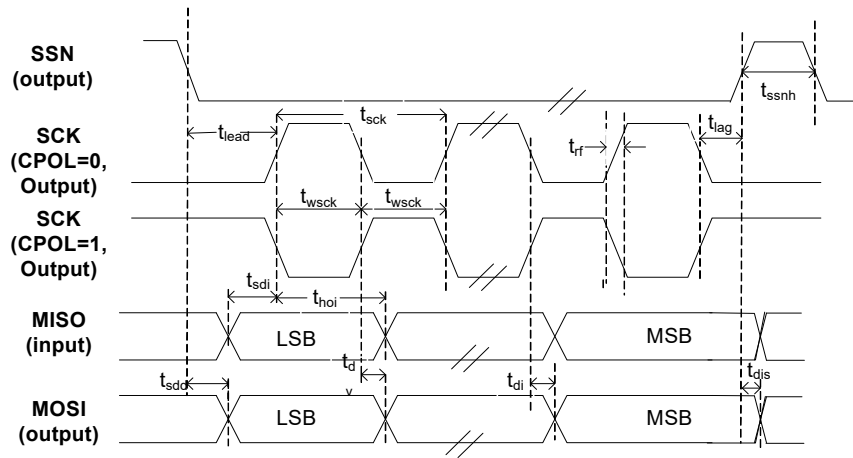
注意： 通过时钟齿轮可以选择 tT Ttr 的最大值是 326 ns (3.072 MHz)，此值用于 32 位的 96 kHz 编解码器。

注释：

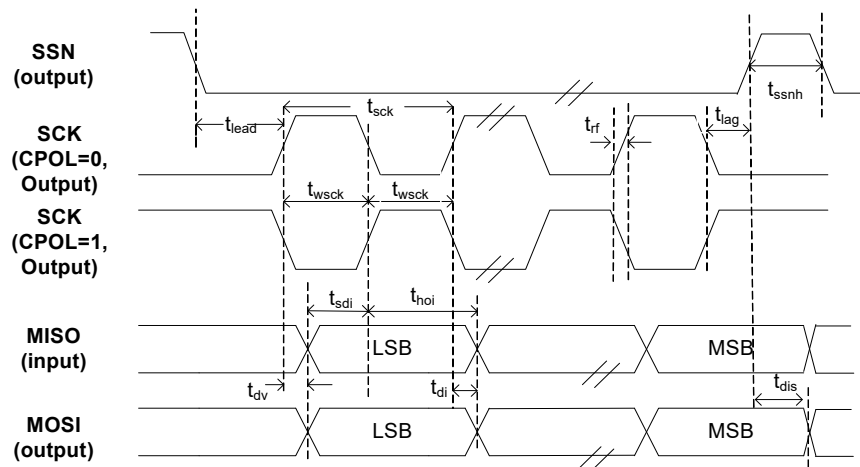
16. 所有参数均由设计保证，并通过特性化进行验证。

SPI 时序规范

图 28. SPI 时序



SPI Master Timing for CPHA = 0



SPI Master Timing for CPHA = 1

表 22. SPI 时序参数^[17]

参数	说明	最小值	最大值	单位
fop	工作频率	0	33	MHz
tsck	周期时间	30	—	ns
twscck	时钟为高 / 低电平的时间	13.5	—	ns
tlead	SSN-SCK 前置时间	$1/2 \text{ tsck}^{[18]-5}$	$1.5 \text{ tsck}^{[18]} + 5$	ns
tlag	使能延迟时间	0.5	$1.5 \text{ tsck}^{[18]} + 5$	ns
trf	上升 / 下降时间	—	8	ns
tsdd	输出 SSN 到数据有效的延迟时间	—	5	ns
tdv	输出数据有效的时间	—	5	ns
tdi	输出数据无效的时间	0	—	ns
tssnh	SSN 为高电平的最短时间	10	—	ns
tsdi	数据输入的建立时间	8	—	ns
thoi	数据输入的保留时间	0	—	ns
tdis	SSN 为高电平时禁用数据输出的时间	0	—	ns

注释:

17. 所有参数均由设计保证, 并通过特性化进行验证。

18. 取决于 SPI_CONFIG 寄存器中的 LAG 和 LEAD 设置。

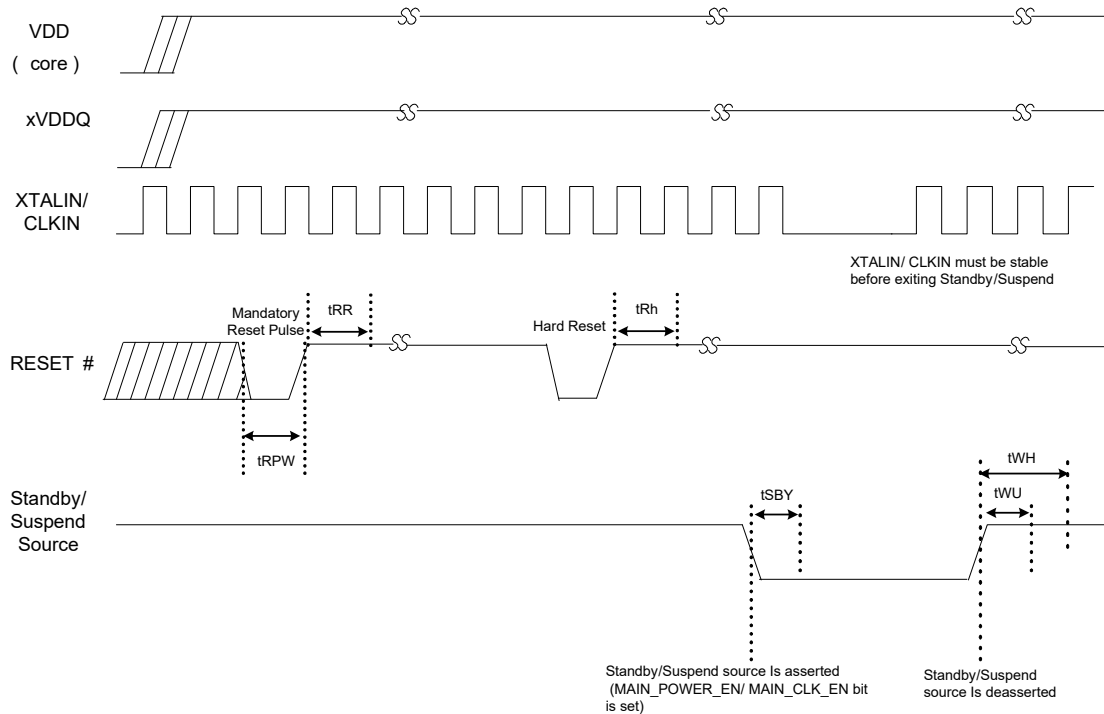
复位序列

本节中详细介绍了 FX3 的硬复位序列的要求。

表 23. 复位和待机时序参数

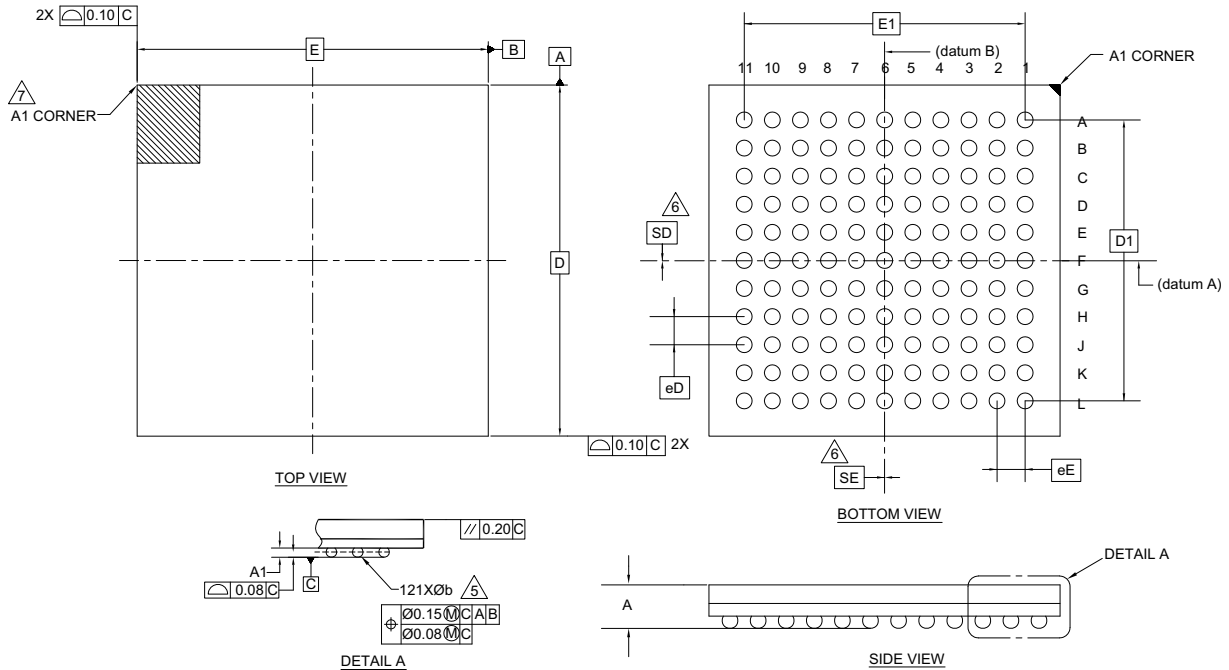
参数	定义	条件	最小值 (ms)	最大值 (ms)
tRPW	最小 RESET# 脉冲宽度	时钟输入	1	—
		晶振输入	1	—
tRH	RESET# 为高电平的最短时间	—	5	—
tRR	复位恢复时间（从此之后 Bootloader 开始下载固件）	时钟输入	1	—
		晶振输入	5	—
tSBY	进入待机 / 暂停模式的时间（起始时间为 MAIN_CLOCK_EN/MAIN_POWER_EN 位的建立时间）	—	—	1
tWU	从待机模式唤醒的时间	时钟输入	1	—
		晶振输入	5	—
tWH	重新激活待机 / 暂停资源前的最短时间	—	5	—

图 29. 复位序列



封装图

图 30. 121 Ball BGA 封装图



NOTES:

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. SOLDER BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
3. "e" REPRESENTS THE SOLDER BALL GRID PITCH.
4. SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION. SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION. N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
5. DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
6. "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" OR "SE" = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
7. A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK METALIZED MARK, INDENTATION OR OTHER MEANS.
8. "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED SOLDER BALLS.

001-54471 *F

缩略语

缩略语	说明
DMA	直接存储器访问
FIFO	先入先出
GPIF	通用编程接口
HNP	主机协商协议
I ² C	内部集成电路
I ² S	集成电路内置音频
MISO	主入从出
MOSI	主出从入
MMC	多媒体卡
MSC	大容量存储类
MTP	媒体传输协议
OTG	on-the-go (活动式)
OVP	过压保护
PHY	物理层
PLL	锁相环
PMIC	电源管理 IC
PVT	流程电压温度
RTOS	实时操作系统
SCL	串行时钟线
SCLK	串行时钟
SD	安全数字
SD	安全数字
SDA	串行数据时钟
SDIO	安全数字输入 / 输出
SLC	单层单元
SLCS	从设备选择
SLOE	从设备输出使能
SLRD	从设备读取
SLWR	从设备写入
SPI	串行外设接口
SRP	会话请求协议
SSN	SPI 从设备选择 (低电平有效)
UART	通用异步发射器接收器
UVC	USB 视频类别
USB	通用串行总线

文档规范

测量单位

符号	测量单位
°C	摄氏度
μA	微安
μs	微秒
mA	毫安
Mbps	每秒兆位数
MBps	每秒兆字节
MHz	兆赫兹
ms	毫秒
ns	纳秒
Ω	欧姆
pF	皮法
V	伏特

勘误表

本节介绍的是 FX3 版本 D、C 和 B 的勘误表。勘误表中包括勘误触发条件、影响范围、可用解决方案和芯片版本的适用性。若有任何问题，请联系本地赛普拉斯销售代表。

受影响的器件型号

器件型号	器件特性
CYUSB301x-xxxx	所有形式
CYUSB201x-xxxx	所有形式

合格状态

产品状态：量产

勘误表总结

该表定义了可购的 EZ-USB FX3 超速 USB 控制器器件系列版本 D 的勘误表的适用性。

项目	【器件型号】	芯片版本	修正状态
1. 在正常、暂停和待机模式下关闭 VIO1 时，FX3 将停止工作。	CYUSB301x-xxxx CYUSB201x-xxxx	版本 D、C、B	已提供解决方案
2. 当 FX3 自供电时，在 USB 启动模式下发生 USB 枚举故障。	CYUSB301x-xxxx CYUSB201x-xxxx	版本 D、C、B	已提供解决方案
3. GPIF II 状态中的 COMMIT（发送）操作会生成额外的 ZLP。	CYUSB301x-xxxx CYUSB201x-xxxx	版本 D、C、B	已提供解决方案
4. 在进行 USB 2.0 ISOC 数据传输时，出现无效的 PID 序列	CYUSB301x-xxxx CYUSB201x-xxxx	版本 D、C、B	已提供解决方案
5. 在同一个微帧中某个 ZLP 后跟随一个数据包时，将显示 USB 数据传输错误。	CYUSB301x-xxxx CYUSB201x-xxxx	版本 D、C、B	已提供解决方案
6. 当在 I2C 多主器件配置中将 I2C 模块作为一个主器件使用时，将发生总线冲突。	CYUSB301x-xxxx CYUSB201x-xxxx	版本 D、C、B	使用单主配置的 FX3
7. USB3.0 主机控制器的低功耗 U1 快速退出问题	CYUSB301x-xxxx CYUSB201x-xxxx	版本 D、C、B	已提供解决方案
8. 在带有较差链接质量的主机上运行时，将发生 USB 数据破坏。	CYUSB301x-xxxx CYUSB201x-xxxx	版本 D、C、B	已提供解决方案
9. 器件将 USB 3.0 主机的 Rx 检测序列视为一个有效的 U1 退出 LFPS 突发。	CYUSB301x-xxxx CYUSB201x-xxxx	版本 D、C、B	已提供解决方案
10. 在频率为 400 kHz、占空比为 40/60 的条件下，违反了 I2C 数据有效（tVD:DAT）规范。	CYUSB301x-xxxx CYUSB201x-xxxx	版本 D、C、B	无需解决方案
11. 在经过多个电源周期后，FX3 器件没有正确响应主机的端口能力请求。	CYUSB301x-xxxx CYUSB201x-xxxx	版本 D、C、B	已提供解决方案

1. 在正常、暂停和待机模式下关闭 VIO1 时，FX3 将停止工作。

■问题定义

当在正常、暂停和待机模式下关闭 VIO1 时，FX3 将停止工作。

■受影响的参数

不适用

■触发条件

在正常、暂停和待机模式下关闭 VIO1 时，该故障将被触发。

■影响范围

FX3 停止工作。

■解决方案

在正常、暂停和待机模式下，必须确保 VIO1 被打开。

■修复状态

无修复。需要相应的解决方案。

2. 当 FX3 自供电时，在 USB 启动模式下发生 USB 枚举故障。

■问题定义

当 FX3 自供电，并且不与 USB 主机连接时，它将进入低功耗模式，并且与 USB 主机建立连接时，它不会被唤醒。这是由于 Bootloader 没有通过检查连接器上的 VBUS 引脚来检测 USB 的连接情况。它希望在器件得到供电时，USB 总线将连接到 USB 主机。

■受影响的参数

不适用

■触发条件

当 FX3 在 USB 启动模式下自供电时，该故障将被触发。

■影响范围

器件没有枚举

■解决方案

在连接到 USB 主机后，复位该器件。

■修复状态

无修复。需要相应的解决方案。

3. GPIF II 状态中的 COMMIT（发送）操作会生成额外的 ZLP。

■问题定义

在 GPIF-II 状态中执行一次 COMMIT 操作，而没有执行 IN_DATA 操作时，除了发送数据包外，还会额外发送一个零长度的数据包（ZLP）。

■受影响的参数

不适用

■触发条件

在某个状态中执行一次 COMMIT 操作，而没有执行 IN_DATA 操作时，该故障将被触发。

■影响范围

生成额外的 ZLP。

■解决方案

在同一个状态中，执行 COMMIT 操作和 IN_DATA 操作。

■修复状态

无修复。需要相应的解决方案。

4. 在进行 USB 2.0 ISOC 数据传输时，出现无效的 PID 序列

■问题定义

当 FX3 器件作为一个高速 USB 器件使用，并且它使用高带宽异步端点时，ISO 数据包的 PID 序列仅由 isomult 设置控制。在每个微帧期间，如果生成 PID 序列，则不会考虑数据包的长度。例如，即便是 MULT 被设为 2，在某个端点上发送一个短数据包，使用的 PID 仍然为 DATA2

■受影响的参数

不适用

■触发条件

当使用高带宽 ISOC 传输端点时，该故障将被触发。

■影响范围

ISOC 数据传输故障。

■解决方案

可以通过下面方法解决，在发送短数据包前，先重新对端点进行配置，将 isomult 设置为一个更小的值，然后再切换到原始值。

■修复状态

无修复。需要相应的解决方案。

5. 在同一个微帧中某个 ZLP 后跟随一个数据包时，将显示 USB 数据传输错误。

■问题定义

在一个以超速运行、突发被使能的 USB IN 端点上发送一个零长度数据包，后面（一个微帧或 125 μ s 内）紧跟另一个数据包，那么可能会出现某些数据传输错误。

■受影响的参数

不适用

■触发条件

在进行带有 ZLP 的超速传输时，该故障将被触发。

■影响范围

发生数据故障和较低的数据速度。

■解决方案

该问题解决方法是，要确保在突发被使能的 USB IN 端点上传输 ZLP 和下一个数据包之间要有一定的时间间隔。如果不能通过数据源确保该条件，那么看到 EOP 条件时，可以通过使用 CyU3PDmaChannelSetSuspend() API 暂停相应的 USB DMA 套接字。接收到暂停回调时，便可以恢复通道操作。

■修复状态

无修复。需要相应的解决方案。

6. 当在 I²C 多主器件配置中将 I²C 模块作为一个主器件使用时，将发生总线冲突。

■问题定义

在 I²C 多主器件配置中将 FX3 作为一个主器件使用时，会发生总线冲突。

■受影响的参数

不适用

■触发条件

只有 FX3 I²C 模块运行于多主器件配置时，该故障才被触发。

■影响范围

FX3 I²C 模块可以在 I²C 总线非空闲状态下发送数据，从而导致总线冲突。

■解决方案

将 FX3 作为一个单主器件使用。

■修复状态

无修复。

7. USB3.0 主机控制器的低功耗 U1 快速退出问题

■问题定义

FX3 器件进入低功耗 U1 状态后的 5 μ s 内再次切换到 U0 状态，有时候器件无法切换到 U0 状态，这样会导致 USB 复位事件。

■受影响的参数

不适用

■触发条件

该故障在低功耗切换模式下被触发。

■影响范围

数据传输期间发生意外的 USB 热复位。

■解决方案

解决该问题的方法是，在 FW 中，数据传输期间禁用 LPM（链接电源管理）。

■修复状态

FW 解决方案已得到证明，并切该方法可靠。

8. 在带有较差链接质量的主机上运行时，将发生 USB 数据破坏。

■问题定义

如果 FX3 运行于一个带有较差信号质量的 USB 3.0 链接上，该器件可能在任何 IN 端点（包括控制端点）上发送破坏数据。

■受影响的参数

不适用

■触发条件

当 USB3.0 链接信号质量非常差时，该故障将被触发。

■影响范围

在任何 IN 端点（包括控制端点）上发生数据破坏。

■解决方案

应用固件需要执行错误恢复，具体是在接收到 CYU3P_USBEPSS_RESET_EVT 事件时停止端点，然后在接收到 CLEAR_FEATURE 请求时先停止，然后再重新启动 DMA 路径。

注意: SDK 版本 1.3.3 或更高版本内部管理 DMA 传输，并在出现潜在错误条件时执行端点复位。更多有关应用固件的详细信息，请参阅 SDK 中提供的 [GpiftoUsb](#) 示例。

■修复状态

FW 解决方案已得到证明并是一个可靠的方法。

9. 器件将 USB 3.0 主机的 Rx 检测序列视为一个有效的 U1 退出 LFPS 突发。

■问题定义

FX3 器件中的 USB 3.0 PHY 使用一个电气空闲检测器来确定是否正在接收 LFPS。接收器没有检测到电气空闲条件的时长被定时，以便能够检测不同的 LFPS 突发。这样的实现使器件将 USB 主机的 Rx 检测序列视为一个有效的 U1 退出 LFPS 突发。

■受影响的参数

不适用

■触发条件

当 FX3 上的 USB 3.0 链接状态机处于 U1 状态时，USB 主机将启动一个 Rx 检测序列，这时会触发该故障。由于主机只会在 RX 检测状态和 U2 状态下执行 Rx 检测序列，因此只有主机上的 USB 链接已切换到 U2 状态，而 FX3 上的链接仍处于 U1 状态时，才能发现该错误条件。

■影响范围

FX3 进入恢复模式过早，因此会发生一次恢复故障，接着是热复位和 USB 枚举。该序列可以重复多次，从而使数据传输发生故障。

■解决方案

可以配置 FX3，以便在主机进行状态转换前，FX3 会提前几微秒从 U1 转换到 U2。这样可以确保在主机尝试任何 Rx 检测序列前，该器件的链接已经处于 U2 状态。从而避免发生一次 U1 退出的错误检测。

■修复状态

在 FX3 SDK 库 1.3.4 和更高版本中实现了该解决方案。

10. 在频率为 400 kHz、占空比为 40/60 的条件下，违反了 I²C 数据有效 (t_{VD:DAT}) 规范。

■问题定义

在频率为 400 kHz、占空比为 40/60 的条件下，I²C 数据有效 (t_{VD:DAT}) 参数为 1.0625 μ s，该数值超过了 I²C 规范中规定的 0.9 μ s 限制。

■受影响的参数

不适用

■触发条件

只有在 I²C 时钟频率为 400 kHz、占空比为 40/60 的条件下，才发生该违规情况。

■影响范围

由于按照 400 kHz 的频率发送数据时，建立时间 (t_{SUDAT}) 仍然满足宽广容限，所以 t_{vd:DAT} 违规情况不会引起任何数据完整性问题。

■解决方案

无需解决方案。

■修复状态

无需修复。

11. 在经过多个电源周期后，FX3 器件没有正确响应主机的端口能力请求。**■问题定义**

在多个电源周期内，有时 FX3 器件未能正确响应 USB 控制器的端口能力请求（链接数据包）。在这种情况下，FX3 没有收到 USB 控制器的后续端口配置请求，从而发生 SS 被禁用的状态。该器件无法从该状态恢复，并最终导致枚举故障发生。

■受影响的参数

不适用

■触发条件

当 FX3 给主机的端口能力请求提供了一个错误响应时，该故障将被触发。

■影响范围

经过多次重试，器件仍无法进行枚举。

■解决方案

由于主机没有将端口配置请求发送给 FX3 器件，因此器件中将触发一个端口配置请求超时中断。该中断在 FX3 SDK 1.3.4 和后续版本中得到处理，从而可为应用生成并发送一个 `CY_U3P_USB_EVENT_LMP_EXCH_FAIL` 事件。应该在用户应用中处理该事件，使之执行一次 USB 内部模块重启。请参阅知识库文章（[KBA225778](#)），了解更多详细信息以及固件解决方案示例项目。

■修复状态

所建议的固件解决方案已得到证明并是一个可靠的方法。

文档修订记录页

文档标题: CYUSB301X/CYUSB201X, EZ-USB® FX3 SuperSpeed USB 控制器 文档编号: 001-79276				
版本	ECN	变更者	提交日期	变更说明
**	3617806	ZHC	05/17/2012	本文档版本号为 Rev**, 译自英文版 001-52136 Rev*K。
*A	3798033	LWEN	10/30/2012	第五页标题由 VBUS 所用 OVP 器件的系统图更改为 “Carkit UART 模式”。
*B	4795365	LIP	06/12/2015	日落复审后无更改的内容。
*C	6501742	YLIU	03/13/2019	本文档版本号为 Rev*C, 译自英文版 001-52136 Rev*X。

销售、解决方案和法律信息

全球销售和 design 支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要想找到最靠近您的办事处，请访问[赛普拉斯所在地](#)。

产品

Arm® Cortex® 微控制器	cypress.com/arm
汽车级	cypress.com/automotive
时钟与缓冲器	cypress.com/clocks
接口	cypress.com/interface
物联网	cypress.com/iot
存储器	cypress.com/memory
微控制器	cypress.com/mcu
PSoC	cypress.com/psoc
电源管理 IC	cypress.com/pmic
触摸感应	cypress.com/touch
USB 控制器	cypress.com/usb
无线连接	cypress.com/wireless

PSoC® 解决方案

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

赛普拉斯开发者社区

[社区](#) | [项目](#) | [视频](#) | [博客](#) | [培训](#) | [组件](#)

技术支持

cypress.com/support

© 赛普拉斯半导体公司，2009-2019 年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC（“赛普拉斯”）的财产。本文件，包括其包含或引用的任何软件或固件（“软件”），根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可（无再许可权）（1）在赛普拉斯特软件著作权项下的下列许可权（一）对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和（二）仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供（无论直接提供或通过经销商和分销商间接提供），和（2）在被软件（由赛普拉斯公司提供，且未经修改）侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。没有任何电子设备是绝对安全的。因此，尽管赛普拉斯在其硬件和软件产品中采取了必要的安全措施，但是赛普拉斯并不承担任何由于使用赛普拉斯产品而引起的安全问题及安全漏洞的责任，例如未经授权的访问或使用赛普拉斯产品。此外，本材料中所介绍的赛普拉斯产品有可能存在设计缺陷或设计错误，从而导致产品的性能与公布的规格不一致。（如果发现此类问题，赛普拉斯会提供勘误表）赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用人应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统（包括急救设备和手术植入物）、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途（“非预期用途”）。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，WICED，及 PSoC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。