サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

CYUSB3015
CYUSB3016
CYUSB3017

EZ-USB SX3: 構成可能な SuperSpeed USB コントローラー

特長

- ユニバーサル シリアル バス (USB) 統合
  - USB 3.2 仕様 Rev. 1.0 に準拠した USB 3.2 Gen 1 および USB 2.0 のペリフェラル
  - USB 3.2 Gen 1 に準拠した 5Gbps SuperSpeed PHY
  - 3 つの物理エンドポイント
  - UVC、UAC および USB ベンダー クラス プロトコルをサポート
- 汎用構成可能インターフェース
  - 最大 100MHz に対応
  - 8、16、24、32 ビットのデータ バス
  - スレーブ FIFO、パラレル カメラ インターフェースをサポート
- 32 ビット CPU
  - 200MHz で動作する ARM926EJ コア
  - 512KB の組込み SRAM
- 以下のペリフェラルへの接続機能
  - SPI ブート フラッシュ
  - 100kHz / 400kHz / 1MHz の I^2C スレーブ
- 選択可能なクロック入力周波数
  - 19.2MHz、26MHz、38.4MHz、52MHz
  - 19.2MHz 水晶振動子の入力サポート
- コア電源切断モードでの超低消費電力
  - VBATT 有効時は 60µA 未満、VBATT 無効時は 20µA 未満
- コアと I/O 用の独立パワー ドメイン
  - 1.2V でのコア動作
  - 1.2V ～ 3.3V で動作する SPI
  - 1.2V ～ 3.3V で動作する I^2C
- パッケージ オプション
  - 121 ボール、10mm × 10mm、0.8mm ピッチ鉛フリー ボール グリッド アレイ (BGA)
  - SX3 のバリアントの詳細は、表 16 を参照してください。
- SX3 構成のための EZ-USB SX3 コンフィギュレーション ユーティリティ
  - Windows、macOS、Linux に対応
  - イメージ センサー、HDMI レシーバ、データ アプリケーションのコンフィギュレーション例
  - SX3 のプログラミングおよび FPGA の構成をサポート
  - SX3 コンフィギュレーションと FPGA コンフィギュレーションのマージをサポートし、単一の SPI フラッシュに保存
- 迅速なプロトタイピングのための SX3 開発キット
  - サイプレス設計パートナーから入手可能なサードパーティの HDMI-USB3 キャプチャ カード キット

アプリケーション

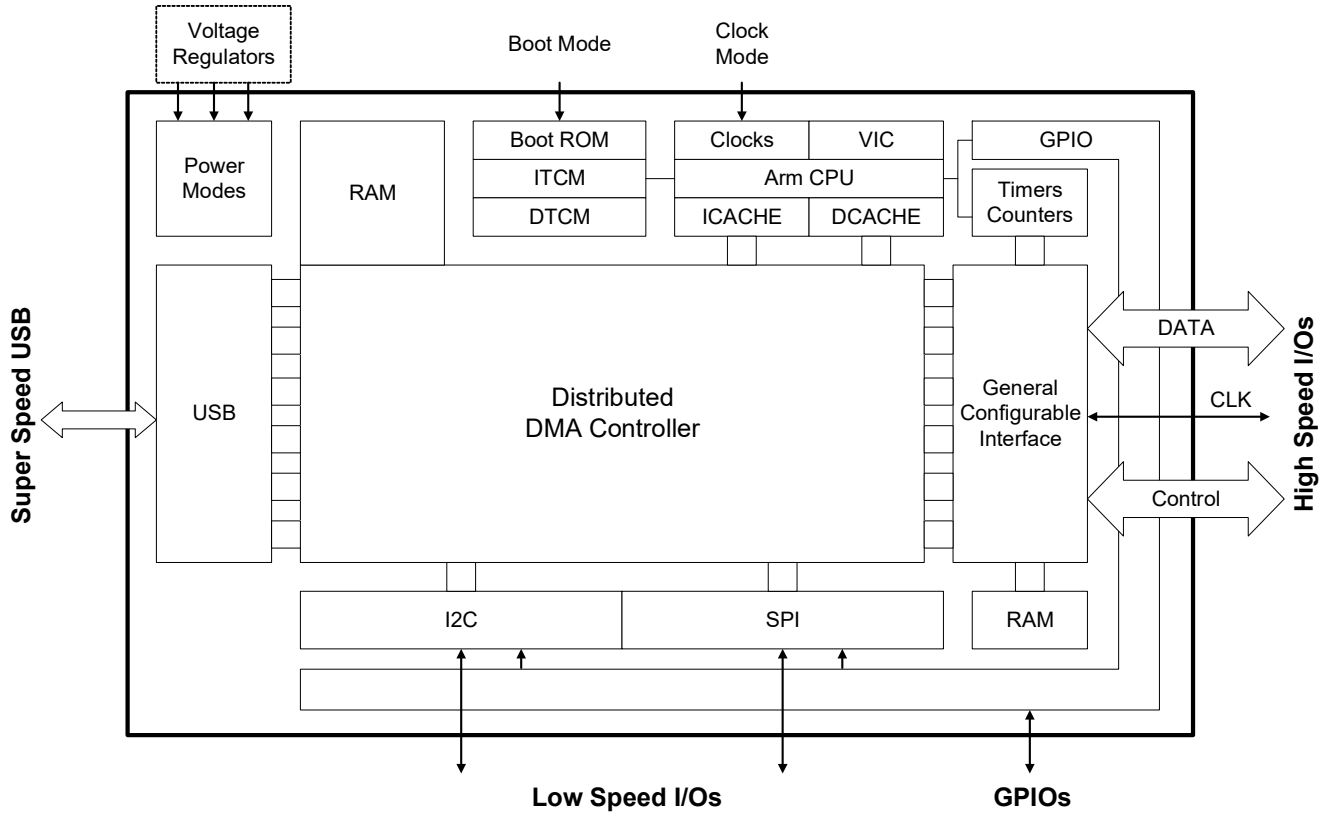
- USB ウェブカメラ
- ドキュメント カメラ
- テレビ会議システム
- USB-LVDS (低電圧差動信号) へのカメラ インターフェース ボード
- HDMI USB ビデオ キャプチャ カード
- SDI USB ビデオ キャプチャ カード
- 試験および測定機器
- 監視カメラ
- 医療用画像装置
- 産業用カメラ
- USB ロジック アナライザ
- USB オシロスコープ
- USB データ ロガー
- USB データ取得システム
- USB TOF (Time-of-Flight) カメラ

機能説明

すべての関連資料の一覧は、ここをクリックしてください。

エラッタ : シリコン チップ エラッタに関する情報については、35 ページの「エラッタ」を参照してください。詳細には、トリガー条件、影響を受けるデバイス、および提案する回避策が含まれています。

SX3 ブロック図


Voltage Regulators
Boot Mode
Clock Mode
Power Modes
RAM
Boot ROM
ITCM
DTCM
Clocks
VIC
Arm CPU
ICACHE
DCACHE
GPIO
Timers Counters
Super Speed USB
USB
Distributed DMA Controller
General Configurable Interface
DATA
CLK
Control
High Speed I/Os
I2C
SPI
RAM
Low Speed I/Os
GPIOs

詳細情報

サイプレスは www.cypress.com サイトに大量のデータを掲載しており、ユーザーがデザインに適切な < 製品 > デバイスを選択し、デバイスを迅速で効果的にデザインに統合する手助けをしています。

- 概要 : USB ポートフォリオ、USB ロードマップ
- USB 3.0 製品セレクタ : SX3、FX3、FX3S、CX3、GX3、HX3
- アプリケーション ノート : サイプレスは基本レベルから上級レベルまでの様々なトピックに触れる大量のUSBアプリケーション ノートを提供しています。以下は SX3 入門用の推奨アプリケーション ノートです。
  - AN231295 - Getting started with EZ-USB SX3

以下のアプリケーション ノートは参考のために使用できます。
  - AN75705 - Getting Started with EZ-USB FX3
  - AN76405 - EZ-USB FX3 Boot Options
  - AN70707 - EZ-USB FX3/FX3S Hardware Design Guidelines and Schematic Checklist
  - AN65974 - Designing with the EZ-USB FX3 Slave FIFO Interface
  - AN75779 - How to Implement an Image Sensor Interface with EZ-USB FX3 in a USB Video Class (UVC) Framework
  - AN86947 - Optimizing USB 3.0 Throughput with EZ-USB FX3
  - AN84868 - Configuring an FPGA over USB Using Cypress EZ-USB FX3
  - AN73609 - EZ-USB FX2LP/ FX3 Developing Bulk-Loop Example on Linux
- 開発キット :
  - CYUSB3KIT-004, EZ-USB SX3 SuperSpeed Explorer Kit
- モデル : IBIS

EZ-USB™ SX3 コンフィギュレーション ユーティリティ

EZ-USB™ SX3 コンフィギュレーション ユーティリティは、ユーザーが EZ-USB™ SX3 USB 3.0 デバイス コントローラーのバリアントを構成できるようにするグラフィカル ユーザー アプリケーションです。

ユーザーは、システム要件に応じて EZ-USB™ SX3 を完全に構成できます。このツールは、SX3 UVC および SX3 Data のバリアントの構成をサポートします。

ユーザーは、EZ-USB コンフィギュレーション ユーティリティを使用してバリアントごとに以下を構成できます。

- SX3 UVC (CYUSB3017 - UVC および UAC 対応のバリアント)
  - USB ディスクリプタ設定
    - ベンダー ID
    - プロダクト ID
    - ディスクリプタ文字列 (製品、メーカー、シリアル番号)
    - リモート ウェイクアップ コンフィギュレーション
  - GPIO コンフィギュレーション
  - デバッグ インターフェース
  - FPGA、HDMI レシーバまたは ISP のコンフィギュレーション
  - DMA バッファ コンフィギュレーション
  - UVC ビデオ フォーマットと解像度
  - カメラ ターミナルの制御機能
  - プロセッシング ユニットの制御機能
  - エクステンションユニットの制御機能
  - イメージ センサー / HDMI RX コンフィギュレーション
  - オーディオ インターフェース コンフィギュレーション
- SX3 Data (CYUSB3015、CYUSB3016 - USB ベンダー クラス対応のバリアント)
  - USB ディスクリプタ設定
    - ベンダー ID
    - プロダクト ID
    - ディスクリプタ文字列 (製品、メーカー、シリアル番号)
    - リモート ウェイクアップ コンフィギュレーション
  - GPIO コンフィギュレーション
  - デバッグ インターフェース
  - FPGA コンフィギュレーション
  - バッファ コンフィギュレーション

ユーザーは、ユーティリティに統合されたプログラミング ツールを使用して、作成したコンフィギュレーションを EX-USB SX3 にプログラムすることもできます。このユーティリティでは、作成したコンフィギュレーションを保存できます。また、選択したコンフィギュレーションをロードできます。このユーティリティは、Windows、Linux、MacOSX プラットフォームでサポートされています。

目次

機能概要 5
アプリケーション例 5
USB インターフェース 7
再エニュメレーション 7
VBUS 過電圧保護 7
汎用構成可能インターフェース 8
スレーブ FIFO インターフェース 8
イメージ センサー パラレル インターフェース 8
CPU 8
その他インターフェース 8
SPI インターフェース 8
I2C インターフェース 8
ブート オプション 9
リセット 9
ハード リセット 9
クロック 9
電源 10
電力モード 10
デジタル I/O 12
GPIO 12
EMI 12
システム レベルの ESD 12
ピン配置 13
ピン説明 15
電気的仕様 19
絶対最大定格 19
動作条件 19
DC 仕様 19
熱特性 21
AC タイミング パラメーター 22
汎用構成可能インターフェース ラインの 100MHz での AC 特性 22
汎用構成可能インターフェースの PCLK ジッタ特性 22
汎用構成可能インターフェース タイミング 22
スレーブ FIFO インターフェース 23
シリアル ペリフェラル タイミング 27
リセット シーケンス 30
パッケージ図 32
注文情報 33
注文コードの定義 33
略語 34
本書の表記法 34
測定単位 34
エラッタ 35
認定の状態 35
エラッタのまとめ 35
改訂履歴 37
販売、ソリューションおよび法律情報 38
ワールドワイドな販売と設計サポート 38
製品 38
PSoC® ソリューション 38
サイプレス開発者コミュニティ 38
テクニカル サポート 38

機能概要

サイプレスの EZ-USB™ SX3 は構成可能な SuperSpeed ペリフェラル コントローラーであり、統合した柔軟な機能を提供します。

SX3 には汎用構成可能インターフェースと呼ばれる完全に構成可能なパラレル インターフェースがあり、スレーブ FIFO またはビデオ インターフェースをサポートする ASIC、ISP、イメージ センサーまたは FPGA に接続できます。

SX3 は強力なデータ処理とカスタム アプリケーションの構築のために、USB 3.2 Gen 1 と USB 2.0 物理層 (PHY) を 32 ビット ARM926EJ-S マイクロプロセッサと一体化しています。汎用構成可能インターフェースから USB インターフェースへの 375MBps のデータ転送を可能にするアーキテクチャを実装しています。

SX3 には、コードとデータ用の 512KB の内蔵 SRAM (33 ページの注文情報を参照) を備えています。また、EZ-USB™ SX3 は、SPI および I2S などのシリアル ペリフェラルに接続するインターフェースも提供しています。

SX3 には「SX3 コンフィギュレーション ユーティリティ」が付属しており、お客様がさまざまなアプリケーション向けに SX3 を構成するのに役立ちます。このツールは、FPGA コンフィギュレーションまたは ISP ファームウェアを SX3 コンフィギュレーションとマージして、単一の SPI フラッシュに保存することもできます。

SX3 は USB 3.2 Gen 1.0 仕様に準拠しており、USB 2.0 との下位互換性があります。

アプリケーション例

一般的なアプリケーションでは (図 1 を参照)、SX3 は、外部ハードウェアを SuperSpeed USB に接続するアプリケーション ソフトウェアを実行するメイン プロセッサとして機能します。

図 1. CYUSB3015 / CYUSB3016 のアプリケーション例ブロック図

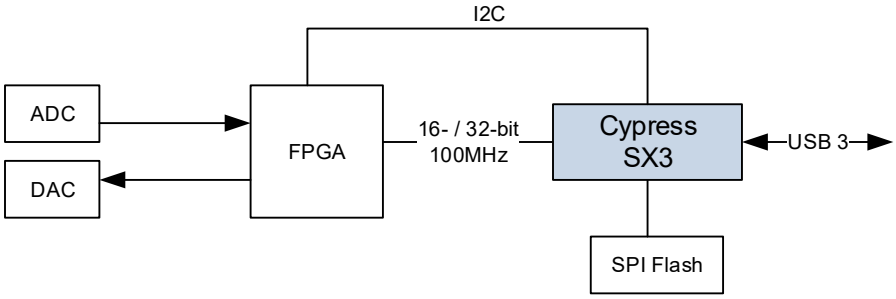
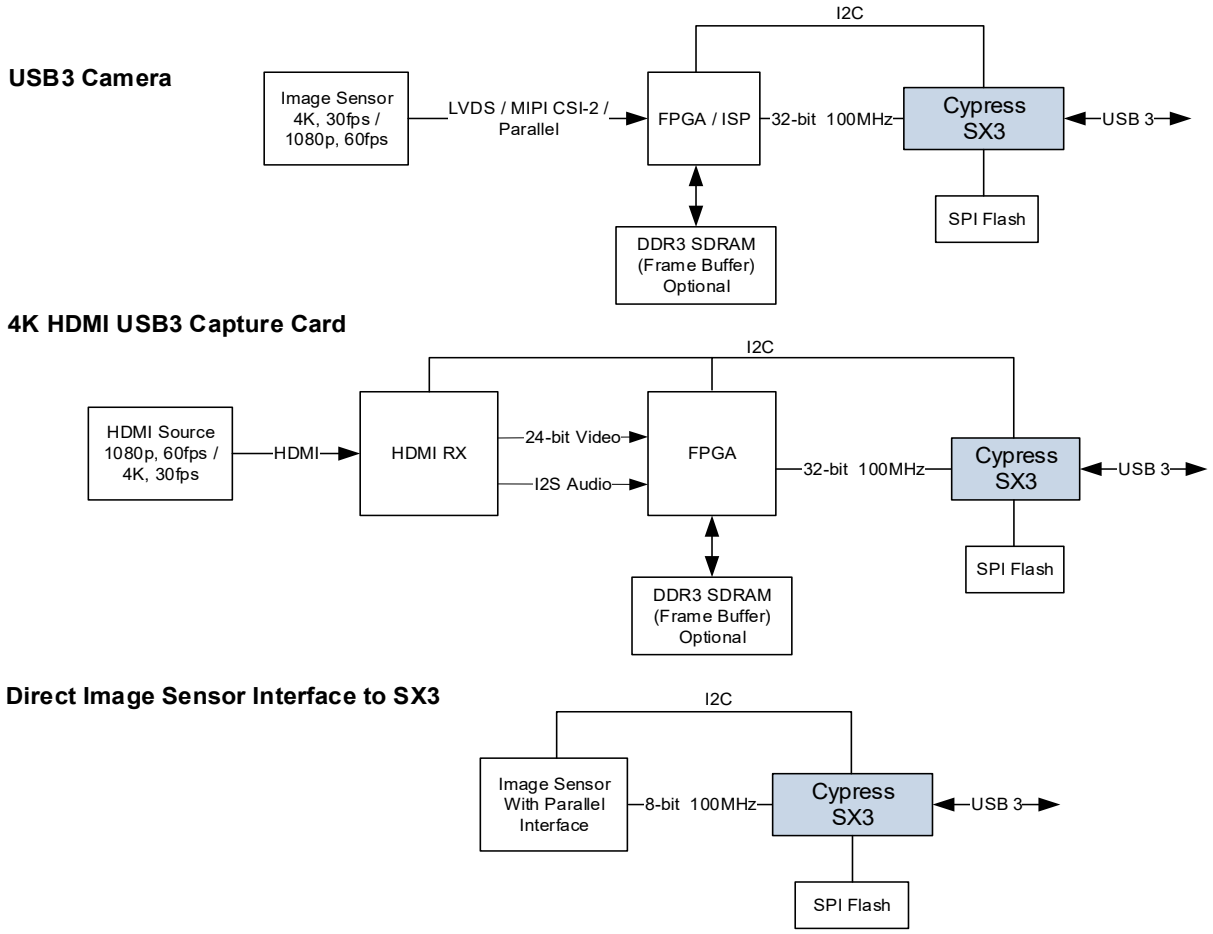


図 2. CYUSB3017 (SX3 - UVC) のアプリケーション例ブロック図



USB インターフェース

SX3 は以下の仕様に準拠し、次の特長を持っています。

- USB 3.2 Gen 1仕様Rev. 1.0に準拠するUSBペリフェラル機能をサポートしており、また USB 2.0 仕様との下位互換性も備えています。
- SX3 はスーパースピード、ハイスピード、フルスピードで動作できます。
- USB ビデオ クラス (UVC) および USB ベンダー クラスをサポートしています。

再エニュメレーション

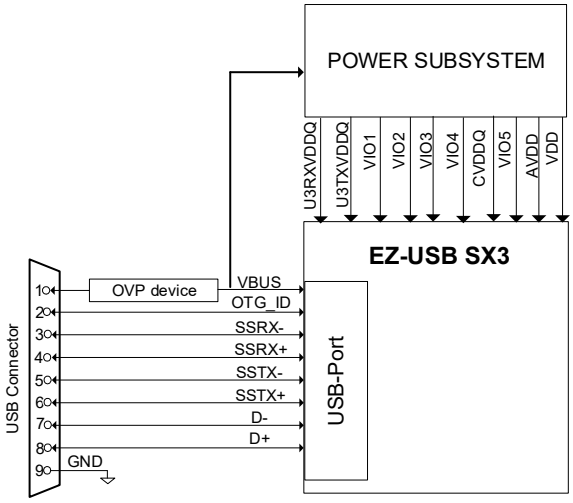
SX3 のソフトコンフィギュレーションのため、単一のチップが複数の異なる USB デバイス定義を持つことができます。

初めて USB に差し込むと、SX3 はサイプレス ベンダー ID (0x04B4) で自動的にエニュメレートし、ファームウェアと USB ディスクリプタをUSB インターフェースを介してダウンロードします。ダウンロードしたファームウェアは、電気的な切断と接続を行います。SX3 は、ダウンロードした情報に定義されたデバイスとして再びエニュメレートします。この特許化された 2 段階のプロセスは Re-enumeration (再エニュメレーション) と呼ばれ、デバイスが USB に接続された直後に実行されます。

VBUS 過電圧保護

SX3 の VBUS ピン上の最大入力電圧は 6V です。充電器は VBUS 上で最大 9V まで供給できます。この場合、SX3 を VBUS による損傷から保護するために外付けの過電圧保護 (OVP) デバイスが必要となります。図 3 に、OVP デバイスが VBUS に接続されたシステム アプリケーション図を示します。VBUS と VBATT の動作電圧範囲については表 6 を参照してください。

図 3. VBUS 用 OVP デバイスのシステム図



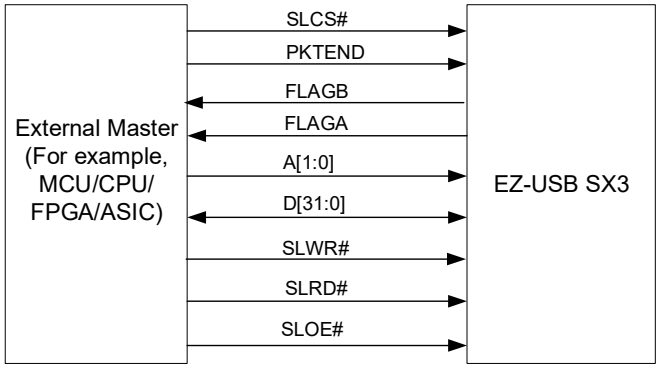
汎用構成可能インターフェース

高性能汎用構成可能インターフェースは、FX2LP の GPIF とスレーブ FIFO インターフェースに似ていますが、より高度な機能を備えています。汎用構成可能インターフェースは、スレーブ FIFO またはパラレル ビデオ インターフェースとして機能する柔軟なインターフェースを可能にする構成可能ステート マシンであり、8 ビット、16 ビット、24 ビット、32 ビットのパラレル データ バスに対応します。最大 100MHz までのインターフェース周波数を可能にします。

スレーブ FIFO インターフェース

スレーブ FIFO インターフェース信号を図 4 に示します。このインターフェースにより、外部プロセッサは SX3 内部の最大 4 つのバッファに直接アクセスできます。詳細はスレーブ FIFO インターフェースを参照してください。

図 4. スレーブ FIFO インターフェース

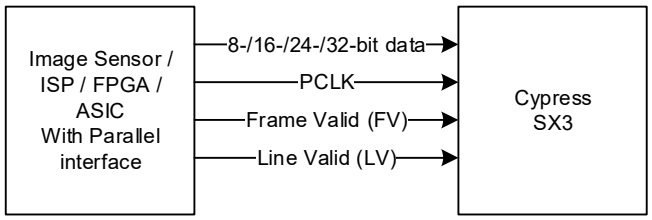


Note: Multiple Flags may be configured.

イメージ センサー パラレル インターフェース

イメージ センサー パラレル インターフェースにより、イメージ センサー / ISP を SX3 とパラレル インターフェースで直接通信することができます。詳細は、「AN75779 - How to Implement an Image Sensor Interface Using EZ-USB FX3 in a USB Video Class (UVC) Framework」のセクション 3 を参照してください。

図 5. カメラ パラレル インターフェース



CPU

SX3 は、32 ビット 200MHz ARM926EJ-S コア CPU を搭載しています。

SX3 は次の利点を持っています。

- コードとデータに対応する512KBの組込みSRAMを内蔵しています。
- さまざまなペリフェラル (USB、汎用構成インターフェース、SPI、I²C など) の間で効率的で柔軟な DMA 接続を行います。これにより、ファームウェアがペリフェラル間のデータ アクセスを設定するだけで、その後は DMA 構造によって管理されます。
- SX3 コンフィギュレーション ユーティリティにより、構成が簡単になります。

SX3 コンフィギュレーション例は、SX3 コンフィギュレーション ユーティリティでアクセスできます。

その他インターフェース

SX3 は SPI および I²C のシリアル ペリフェラルをサポートします。CYUSB3015、CYUSB3016 および CYUSB3017 のピン一覧にピン詳細を示します。

SPI インターフェース

SX3 は、SX3 ファームウェア、コンフィギュレーション データ、FPGA コンフィギュレーション / ISP ファームウェア、およびイメージ センサー/ HDMI RXコンフィギュレーション データを保存できる SPI フラッシュとのインターフェースにのみ使用できる SPI マスター インターフェースをサポートします。最大動作周波数は 33MHz です。SPI コントローラーは、スタート / ストップ クロックを使用した SPI 通信の 4 つのモードに対応しています (モードの詳細については、SPI タイミング仕様を参照してください)。このコントローラーは、1 つの SSN 信号の制御を持つ、1 つのマスター用のコントローラーです。これは 4 ビット～ 32 ビットのトランザクション サイズに対応します。

I²C インターフェース

SX3 の I²C インターフェースは I²C バス仕様 Rev. 3 に準拠しています。この I²C インターフェースは、I²C マスターとしてのみ動作します。他の I²C スレーブ デバイスと通信するのに使用できます。

SX3 の I²C マスター コントローラーは、マルチマスター モードにも対応しています。

I²C インターフェース用の電源は、他のシリアル ペリフェラルから分離されているパワー ドメインである VIO5 です。これにより、他のインターフェースと異なる電圧で動作する柔軟性が I²C インターフェースにあります。

I²C コントローラーは、100kHz、400kHz、1MHz のバス周波数をサポートします。VIO5 が 1.2V の場合、サポートされる最大動作周波数は 100kHz です。VIO5 が 1.8V、2.5V、または 3.3V の場合、サポートされる動作周波数は 400kHz と 1MHz です。I²C コントローラーは、クロック ストレッチ機能をサポートし、遅いデバイスがフロー制御を実行できるようにします。

I²C インターフェースの SCL と SDA 信号には、外付けプルアップ抵抗が必要です。プルアップ抵抗は VIO5 に接続する必要があります。

ブート オプション

SX3 は、PMODE ピンの設定により選択されるさまざまなソースからブート イメージをロードできます。

SX3 のブート オプションは以下のとおりです。

- USB からのブート
- SPI からのブート
  - サポートされるサイプレス SPI フラッシュ デバイスは S25FS064S (64M ビット)、S25FS128S (128M ビット) および S25FL064L (64M ビット) です。

表 1. SX3 ブート オプション

PMODE[2:0][1]	ブート元
F11	USB ブート
0F1	SPI、不具合時 USB ブートが有効

1. F はフローティング状態を意味します。

リセット

ハード リセット

ハード リセットは、SX3 の RESET# ピンをアサートすることで開始します。特定のリセット シーケンスとタイミング要件の詳細については、図 15 と表 15 を参照してください。ハード リセット中、すべての I/O はトライステートにされます。ただし、ハード リセット後にチップ搭載のブートローダは制御権を持ち、選択されたブート モードに応じて I/O 信号を設定します。詳細は、「AN76405 - EZ-USB FX3/FX3S Boot Options」を参照してください。

クロック

SX3 では、XTALIN ピンと XTALOUT ピンの間に水晶を接続するか、CLKIN ピンに外部クロックを接続できます。XTALIN、XTALOUT、CLKIN、および CLKIN_32 のピンを使用しない場合は未接続のままにできます。

サポートされる水晶の周波数は 19.2MHz であり、サポートされる外部クロック周波数は 19.2MHz、26MHz、38.4MHz、および 52MHz です。

SX3 は、外付けの 19.2MHz (±100ppm) の水晶振動子 (水晶振動子オプションを使用する場合) を使用する内蔵発振回路を備えています。水晶には、適切な負荷容量が必要です。適切な負荷容量を判定するために、使用する水晶振動子の仕様を参照してください。FSLC[2:0] ピンは、水晶振動子またはクロックの周波数オプションの選択に応じて適切に設定する必要があります。コンフィギュレーション オプションを表 2 に示します。

SX3 へのクロック入力は、表 3 で指定されている位相ノイズとジッタの要件を満たす必要があります。

入力クロック周波数は、SX3 コアまたはいずれのデバイス インターフェースのクロックとデータ レートとは無関係です。内部 PLL は、入力周波数に応じて適切なクロック逓倍オプションを適用します。

表 2. 水晶振動子 / クロック周波数の選択

FSLC[2]	FSLC[1]	FSLC[0]	水晶振動子 / クロック周波数
0	0	0	19.2MHz 水晶振動子
1	0	0	19.2MHz 入力クロック
1	0	1	26MHz 入力クロック
1	1	0	38.4MHz 入力クロック
1	1	1	52MHz 入力クロック

表 3. SX3 入力クロック仕様

パラメーター	説明	仕様		単位
		Min	Max	
位相ノイズ	100Hz オフセット	–	-75	dB
	1kHz オフセット	–	-104	
	10kHz オフセット	–	-120	
	100kHz オフセット	–	-128	
	1MHz オフセット	–	-130	
最大周波数偏差	–	–	150	ppm
デューティ比	–	30	70	%
オーバーシュート	–	–	3	
アンダーシュート	–	–	-3	
立ち上り時間 / 立ち下り時間	–	–	3	ns

電源

SX3 は、以下のパワー ドメインがあります。

- **IO_VDDQ**: デジタル I/O 用の個別のパワー ドメインのグループ。これらの電源の電圧レベルは 1.8V ～ 3.3V です。以下に示すように、SX3 はデジタル I/O 用に 6 つの個別のパワー ドメインを提供しています (各パワー ドメイン信号の詳細は表 5 を参照してください)。
  - **VIO1**: 汎用構成可能インターフェース I/O
  - **VIO2**: IO2
  - **VIO3**: IO3
  - **VIO4**: SPI
  - **VIO5**: I^2C
  - **CVDDQ**: クロックおよびリセット I/O 用の電源。CLKIN 信号の電圧レベルによって 1.8V または 3.3V です。
  - **V_{DD}**: ロジック コア用の電源。定格電源電圧は 1.2V であり、コア ロジック回路に供給されます。同じ電源を以下にも使用します。
    - **AVDD**: PLL、水晶発振器およびその他のコア アナログ回路用の 1.2V 電源
    - **U3TXVDDQ / U3RXVDDQ**: USB 3.0 インターフェース用の 1.2V 電源
- **VBATT / VBUS**: USB I/O およびアナログ回路用の 3.2V ～ 6V のバッテリ電源。これは SX3 の内部電圧レギュレータを介して USB トランシーバに電源を供給します。VBATT は内部で 3.3V に調整されています。

注 : SX3 のパワー ドメイン用の特定の電源投入シーケンスはありません。SX3 動作のために、1ms の最小パワーオン リセット (POR) 時間を満たし、パワー ドメインは安定する必要があります。

電力モード

SX3 は以下の電力モードに対応しています。

- 通常モード : これは機能がすべて動作するモードです。このモードでは、内部 CPU クロックと内部 PLL が有効になります。
  - 通常の動作消費電力は、I_{CC} コアの最大値と I_{CC} USB の最大値の合計を超えません (消費電流の仕様については表 6 を参照してください)。
  - VIO2、VIO3、VIO4、および VIO5 の I/O 電源は、対応するインターフェースが使用されていないときにオフにできます。VIO1 は、アプリケーションで汎用構成インターフェースが使用されているときはオフにしてはいけません。
- 低消費電力モード (表 4 を参照してください)
  - USB 3.0 PHY が有効なサスペンド モード (L1)
  - USB 3.0 PHY が無効なサスペンド モード (L2)
  - スタンバイ モード (L3)
  - コア電源切断モード (L4)

表 4. 低消費電力モードの開始および終了方法

低消費電力モード	特性	開始方法	終了方法
USB 3.0 PHY が有効なサスペンド モード (L1)	■ このモードの消費電力は I_{SB1} を超えない ■ USB 3.0 PHY が有効で、U3 モードになる (USB 3.0 仕様で定義されたサスペンド モードの 1 つ)。その他すべてのクロックはシャットダウンするが、このブロックはそれ自身の内部クロックで動作できる ■ すべての I/O は前の状態を保持 ■ ウェイクアップ ソースへの電源とコア電源を保持する必要がある。その他すべてのパワー ドメインは個別にオン / オフにできる ■ コンフィギュレーション レジスタ、バッファ メモリおよびすべての内部 RAM の状態が保持される ■ SX3 がサスペンド モードに入る前に、すべてのトランザクションを完了する必要がある (未完了トランザクションの状態は保持されない) ■ プログラム カウンターがリセットしないため、ファームウェアは一時停止した時点から動作を再開 (RESET# のアサートによって復帰した場合を除く)	■ ARM926EJ-S コアで実行されるファームウェアは SX3 をサスペンド モードにできる。例えば、USB サスペンド状態で、ファームウェアは SX3 をサスペンド状態にする場合がある ■ 外部プロセッサは、メールボックス レジスタを使用して SX3 をサスペンド モードに移行させる	■ D+ の LOW または HIGH への遷移 ■ D- の LOW または HIGH への遷移 ■ OTG_ID ピンでのインピーダンス変化 ■ SSRX± での再開条件 ■ VBUS の検知 ■ 汎用構成可能インターフェースの CTL[0] のアサート ■ RESET# のアサート

表 4. 低消費電力モードの開始および終了方法 (続き)

低消費電力モード	特性	開始方法	終了方法
USB 3.0 PHY が無効なサスペンド モード (L2)	■ このモードの消費電力は I_{SB2} を超えない ■ USB 3.0 PHY が無効で、USB インターフェースはサスペンド モード。 ■ クロックはオフ。PLL は無効 ■ すべての I/O は前の状態を保持 ■ USB インターフェースは前の状態を保持 ■ ウェイクアップ ソースへの電源とコア電源を保持する必要がある。その他すべてのパワー ドメインは個別にオン / オフにできる ■ コンフィギュレーション レジスタ、バッファ メモリおよびすべての内部 RAM の状態が保持される ■ SX3 がサスペンド モードに入る前に、すべてのトランザクションを完了する必要がある (未完了トランザクションの状態は保持されない) ■ プログラム カウンターがリセットしないため、ファームウェアは一時停止した時点から動作を再開 (RESET# のアサートによって復帰した場合を除く)	■ ARM926EJ-S コアで実行されるファームウェアは SX3 をサスペンド モードにできる。例えば、USB サスペンド状態で、ファームウェアは SX3 をサスペンド状態にする場合がある ■ 外部プロセッサは、メールボックス レジスタを使用して SX3 をサスペンド モードに移行させる	■ D+ の LOW または HIGH への遷移 ■ D- の LOW または HIGH への遷移 ■ OTG_ID ピンでのインピーダンス変化 ■ VBUS の検知 ■ 汎用構成可能インターフェースの CTL[0] のアサート ■ RESET# のアサート
スタンバイ モード (L3)	■ このモードの消費電力は I_{SB3} を超えない ■ すべてのコンフィギュレーション レジスタ設定およびプログラム/データRAMの内容は保持される。ただし、バッファ内またはデータ パスの他の部分にあるデータは保証されない。このため、外部プロセッサはSX3をスタンバイ モードに移行させる前に、必要なデータが読み出されるように気を付ける必要がある ■ プログラム カウンターは、スタンバイ モードから復帰した後にリセットされる ■ GPIO ピンはそのコンフィギュレーションを保持 ■ 水晶発振器はオフ ■ 内部 PLL はオフ ■ USB トランシーバはオフ ■ ARM926EJ-S コアは電源オフになる。復帰時に、コアは再起動し、プログラム / データ RAM に保存されたプログラムを実行 ■ ウェイクアップ ソースへの電源とコア電源を保持する必要がある。その他すべてのパワー ドメインは個別にオン / オフにできる	■ ARM926EJ-S コアまたは外部プロセッサで実行されるファームウェアは適切なレジスタを設定	■ VBUS の検知 ■ 汎用構成可能インターフェースの CTL[0] のアサート ■ RESET# のアサート
コア電源切断モード (L4)	■ このモードの消費電力は $I_{SB\ 4}$ を超えない ■ コア電源はオフ ■ すべてのバッファ メモリ、コンフィギュレーション レジスタおよびプログラム RAM は状態を保持しない。 このモードを終了した後、ファームウェアをリロード ■ このモードでは、その他すべてのパワー ドメインは個別にオン / オフにできる	■ V_{DD} をオフにする	■ V_{DD} を再供給 ■ RESET# のアサート

デジタル I/O

SX3 は、すべてのデジタル I/O ピンにファームウェアで制御される内部プルアップおよびプルダウン抵抗を持っています。ピンがフローティングにならないように、内部 50kΩ 抵抗で HIGH にプルし、内部 10kΩ 抵抗で LOW にプルします。I/O ピンは次の状態をとります。

- トライステート (High-Z)
- 弱プルアップ (内部 50kΩ)
- プルダウン (内部 10kΩ)
- 低消費電力モードのとき、ホールド (I/O はその値を保持)

内部プルアップ抵抗を使用して、すべての未使用の I/O を HIGH にする必要があります。すべての未使用の出力はフローティングにします。すべての I/O は、フル、3/4、1/2、1/4 の強度で駆動できます。これら駆動強度はインターフェースごとに設定します。

GPIO

SX3 は 7 個の GPIO をサポートします。それらは、SX3 コンフィギュレーション ユーティリティを使用して、事前定義された入力または出力機能の 1 つに設定できます。すべての汎用構成可能インターフェース ピンと GPIO ピンは、すべてのピンに対して最大 16pF の外部負荷をサポートします。

EMI

SX3 は、家電に対応する FCC 15B (米国) および EN55022 (ヨーロッパ) に記述されている EMI 要件を満たしています。SX3はこれらの規格に記述されているレベルのEMIへの耐性があり、正常に機能し続けます。

システム レベルの ESD

SX3 は、USB インターフェース上の D+、D-、GND ピンに静電気放電 (ESD) 保護を組み込んでいます。これらのポートに提供される ESD 保護レベルは次のとおりです。

- JESD22-A114 仕様による ±2.2kV 人体モデル (HBM)
- IEC61000-4-2レベル3Aによる±6kV接触放電および±8kV空中放電
- IEC61000-4-2レベル4Cによる±8kV接触放電および±15kV空中放電

この保護により、本節で述べられているレベルに達した ESD イベントが発生した後にもデバイスが継続して機能することを保証しています。

SSRX+、SSRX-、SSTX+、SSTX- ピンは、最大 ±2.2kV の HBM 内部 ESD 保護を備えています。

ピン配置

図 6. SX3 CYUSB3015 - 16 ビット - 121-BGA ボール配置 (上面図)

A1	A2	A3	A4	A5	A6	A7	A8	A9	A10	A11
U3VSSQ	U3RXVDDQ	SSRX-	SSRX+	SSTX+	SSTX-	AVDD	VSS	D+	D-	DNU
B1	**B2**	**B3**	**B4**	**B5**	**B6**	**B7**	**B8**	**B9**	**B10**	**B11**
VIO4	FSLC[0]	R_usb3	FSLC[1]	U3TXVDDQ	CVDDQ	AVSS	VSS	VSS	VDD	DNU
C1	**C2**	**C3**	**C4**	**C5**	**C6**	**C7**	**C8**	**C9**	**C10**	**C11**
SPI_SSN	SPI_MISO	VDD	FIFOM_SS / GPIO_6	RESET#	XTALIN	XTALOUT	R_usb2	OTG_ID	DNU	VIO5
D1	**D2**	**D3**	**D4**	**D5**	**D6**	**D7**	**D8**	**D9**	**D10**	**D11**
GPIO_3	GPIO_4	GPIO_5	SPI_SCK	SPI_MOSI	DNU	CLKIN	VSS	I2C_SCL	I2C_SDA	SUSPEND OUT
E1	**E2**	**E3**	**E4**	**E5**	**E6**	**E7**	**E8**	**E9**	**E10**	**E11**
DNU	VSS	VIO3	DNU	DNU	FSLC[2]	DNU	DNU	VDD	VBATT	VBUS
F1	**F2**	**F3**	**F4**	**F5**	**F6**	**F7**	**F8**	**F9**	**F10**	**F11**
VIO2	GPIO_2	DNU	DNU	DNU	DNU	DQ[2]	DQ[5]	DQ[1]	DQ[0]	VDD
G1	**G2**	**G3**	**G4**	**G5**	**G6**	**G7**	**G8**	**G9**	**G10**	**G11**
VSS	DNU	DNU	PMODE[0]	GPIO_1	DMA_READY	DMA_PARTIAL	DQ[15] [4]	DQ[4]	DQ[3]	VSS
H1	**H2**	**H3**	**H4**	**H5**	**H6**	**H7**	**H8**	**H9**	**H10**	**H11**
VDD	DNU	DNU	PMODE[1]	A0	INIT# / RESET	SLRD#	PKTEND#	DQ[7]	DQ[6]	VIO1
J1	**J2**	**J3**	**J4**	**J5**	**J6**	**J7**	**J8**	**J9**	**J10**	**J11**
DNU	DNU	DNU	DNU	A1	PCLK	SLOE#	DQ[14] [4]	DQ[9]/A1 [3]	DQ[8]/A0 [3]	VDD
K1	**K2**	**K3**	**K4**	**K5**	**K6**	**K7**	**K8**	**K9**	**K10**	**K11**
DNU	DNU	VSS	VSS	PROGRAM#	GPIO_0	SLWR#	SLCS#	DQ[13]	DQ[12]	DQ[10]
L1	**L2**	**L3**	**L4**	**L5**	**L6**	**L7**	**L8**	**L9**	**L10**	**L11**
VSS	VSS	VSS	PMODE[2]	VDD	VSS	VDD	DNU	VIO1	DQ[11]	VSS

図 7. SX3 CYUSB3016 - 32 ビット - 121-BGA ボール配置 (上面図)

A1	A2	A3	A4	A5	A6	A7	A8	A9	A10	A11
U3VSSQ	U3RXVDDQ	SSRX-	SSRX+	SSTX+	SSTX-	AVDD	VSS	D+	D-	DNU
B1	**B2**	**B3**	**B4**	**B5**	**B6**	**B7**	**B8**	**B9**	**B10**	**B11**
VIO4	FSLC[0]	R_usb3	FSLC[1]	U3TXVDDQ	CVDDQ	AVSS	VSS	VSS	VDD	DNU
C1	**C2**	**C3**	**C4**	**C5**	**C6**	**C7**	**C8**	**C9**	**C10**	**C11**
SPI_SSN	SPI_MISO	VDD	FIFOM_SS / GPIO_6	RESET#	XTALIN	XTALOUT	R_usb2	OTG_ID	DNU	VIO5
D1	**D2**	**D3**	**D4**	**D5**	**D6**	**D7**	**D8**	**D9**	**D10**	**D11**
GPIO_3	GPIO_4	GPIO_5	SPI_SCK	SPI_MOSI	DNU	CLKIN	VSS	I2C_SCL	I2C_SDA	SUSPEND OUT
E1	**E2**	**E3**	**E4**	**E5**	**E6**	**E7**	**E8**	**E9**	**E10**	**E11**
DQ[29]	VSS	VIO3	DQ[31]	DQ[30]	FSLC[2]	DNU	DNU	VDD	VBATT	VBUS
F1	**F2**	**F3**	**F4**	**F5**	**F6**	**F7**	**F8**	**F9**	**F10**	**F11**
VIO2	GPIO_2	DQ[27]	DQ[24]/A0[5]	DQ[28]	DNU	DQ[2]	DQ[5]	DQ[1]	DQ[0]	VDD
G1	**G2**	**G3**	**G4**	**G5**	**G6**	**G7**	**G8**	**G9**	**G10**	**G11**
VSS	DQ[25]/A1[5]	DQ[26]	PMODE[0]	GPIO_1	DMA_READY	DMA_PARTIAL	DQ[15] [4]	DQ[4]	DQ[3]	VSS
H1	**H2**	**H3**	**H4**	**H5**	**H6**	**H7**	**H8**	**H9**	**H10**	**H11**
VDD	DQ[22]	DQ[23]	PMODE[1]	A0	INIT# / RESET	SLRD#	PKTEND#	DQ[7]	DQ[6]	VIO1
J1	**J2**	**J3**	**J4**	**J5**	**J6**	**J7**	**J8**	**J9**	**J10**	**J11**
DQ[21]	DQ[19]	DQ[20]	DQ[17]	A1	PCLK	SLOE#	DQ[14] [4]	DQ[9]/A1 [3]	DQ[8]/A0 [3]	VDD
K1	**K2**	**K3**	**K4**	**K5**	**K6**	**K7**	**K8**	**K9**	**K10**	**K11**
DQ[18]	DQ[16]	VSS	VSS	PROGRAM#	GPIO_0	SLWR#	SLCS#	DQ[13]	DQ[12]	DQ[10]
L1	**L2**	**L3**	**L4**	**L5**	**L6**	**L7**	**L8**	**L9**	**L10**	**L11**
VSS	VSS	VSS	PMODE[2]	VDD	VSS	VDD	DNU	VIO1	DQ[11]	VSS

図 8. SX3 CYUSB3017 - UVC - 121-BGA ボール配置 (上面図)

A1	**A2**	**A3**	**A4**	**A5**	**A6**	**A7**	**A8**	**A9**	**A10**	**A11**
U3VSSQ	U3RXVDDQ	SSRX-	SSRX+	SSTX+	SSTX-	AVDD	VSS	D+	D-	DNU
B1	**B2**	**B3**	**B4**	**B5**	**B6**	**B7**	**B8**	**B9**	**B10**	**B11**
VIO4	FSLC[0]	R_usb3	FSLC[1]	U3TXVDDQ	CVDDQ	AVSS	VSS	VSS	VDD	DNU
C1	**C2**	**C3**	**C4**	**C5**	**C6**	**C7**	**C8**	**C9**	**C10**	**C11**
SPI_SSN	SPI_MISO	VDD	FIFOM_SS / GPIO_6	RESET#	XTALIN	XTALOUT	R_usb2	OTG_ID	DNU	VIO5
D1	**D2**	**D3**	**D4**	**D5**	**D6**	**D7**	**D8**	**D9**	**D10**	**D11**
GPIO_3	GPIO_4	GPIO_5	SPI_SCK	SPI_MOSI	DNU	CLKIN	VSS	I2C_SCL	I2C_SDA	SUSPEND OUT
E1	**E2**	**E3**	**E4**	**E5**	**E6**	**E7**	**E8**	**E9**	**E10**	**E11**
DQ[29]	VSS	VIO3	DQ[31]	DQ[30]	FSLC[2]	DNU	DNU	VDD	VBATT	VBUS
F1	**F2**	**F3**	**F4**	**F5**	**F6**	**F7**	**F8**	**F9**	**F10**	**F11**
VIO2	GPIO_2	DQ[27]	DQ[24]/A0[5]	DQ[28]	DNU	DQ[2]	DQ[5]	DQ[1]	DQ[0]	VDD
G1	**G2**	**G3**	**G4**	**G5**	**G6**	**G7**	**G8**	**G9**	**G10**	**G11**
VSS	DQ[25]/A1[5]	DQ[26]	PMODE[0]	GPIO_1	DMA_READY	DMA_PARTIAL	DQ[15] [4]	DQ[4]	DQ[3]	VSS
H1	**H2**	**H3**	**H4**	**H5**	**H6**	**H7**	**H8**	**H9**	**H10**	**H11**
VDD	DQ[22]	DQ[23]	PMODE[1]	A0	INIT# / RESET	SLRD# / LV	PKTEND#	DQ[7]	DQ[6]	VIO1
J1	**J2**	**J3**	**J4**	**J5**	**J6**	**J7**	**J8**	**J9**	**J10**	**J11**
DQ[21]	DQ[19]	DQ[20]	DQ[17]	A1	PCLK	SLOE# / FV	DQ[14] [4]	DQ[9]/A1 [3]	DQ[8]/A0 [3]	VDD
K1	**K2**	**K3**	**K4**	**K5**	**K6**	**K7**	**K8**	**K9**	**K10**	**K11**
DQ[18]	DQ[16]	VSS	VSS	PROGRAM#	GPIO_0	SLWR#	SLCS#	DQ[13]	DQ[12]	DQ[10]
L1	**L2**	**L3**	**L4**	**L5**	**L6**	**L7**	**L8**	**L9**	**L10**	**L11**
VSS	VSS	VSS	PMODE[2]	VDD	VSS	VDD	DNU	VIO1	DQ[11]	VSS

ピン説明

表 5. CYUSB3015、CYUSB3016 および CYUSB3017 のピン一覧

SI 番号	ピン番号	パワードメイン	I/O / 電源	SX3 ピン名			備考
				CYUSB3015 - 16 ビット	CYUSB3016 - 32 ビット	CYUSB3017 - UVC	
1	F10	VIO1	I/O	DQ[0]	DQ[0]	DQ[0]	–
2	F9	VIO1	I/O	DQ[1]	DQ[1]	DQ[1]	–
3	F7	VIO1	I/O	DQ[2]	DQ[2]	DQ[2]	–
4	G10	VIO1	I/O	DQ[3]	DQ[3]	DQ[3]	–
5	G9	VIO1	I/O	DQ[4]	DQ[4]	DQ[4]	–
6	F8	VIO1	I/O	DQ[5]	DQ[5]	DQ[5]	–
7	H10	VIO1	I/O	DQ[6]	DQ[6]	DQ[6]	–
8	H9	VIO1	I/O	DQ[7]	DQ[7]	DQ[7]	–
9	J10	VIO1	I/O	DQ[8] / A0[3]	DQ[8] / A0[3]	DQ[8] / A0[3]	[3] - 8 ビット モードのアドレス ビット 0
10	J9	VIO1	I/O	DQ[9] / A1[3]	DQ[9] / A1[3]	DQ[9] / A1[3]	[3] - 8 ビット モードのアドレス ビット 1
11	K11	VIO1	I/O	DQ[10]	DQ[10]	DQ[10]	–
12	L10	VIO1	I/O	DQ[11]	DQ[11]	DQ[11]	–
13	K10	VIO1	I/O	DQ[12]	DQ[12]	DQ[12]	–
14	K9	VIO1	I/O	DQ[13]	DQ[13]	DQ[13]	–
15	J8	VIO1	I/O	DQ[14]	DQ[14]	DQ[14]	–
16	G8	VIO1	I/O	DQ[15]	DQ[15]	DQ[15]	–
17	J6	VIO1	I	PCLK	PCLK	PCLK	–
18	K8	VIO1	I	SLCS#	SLCS#	SLCS#	–
19	K7	VIO1	I	SLWR#	SLWR#	SLWR#	–
20	J7	VIO1	I	SLOE#	SLOE#	SLOE# / FV	–
21	H7	VIO1	I	SLRD#	SLRD#	SLRD# / LV	–
22	G7	VIO1	O	DMA_PARTIAL	DMA_PARTIAL	DMA_PARTIAL	–
23	G6	VIO1	O	DMA_READY	DMA_READY	DMA_READY	–
24	K6	VIO1	I/O	GPIO_0	GPIO_0	GPIO_0	–
25	H8	VIO1	I	PKTEND#	PKTEND#	PKTEND#	–
26	G5	VIO1	I/O	GPIO_1	GPIO_1	GPIO_1	–
27	H6	VIO1	O	INIT# / RESET	INIT# / RESET	INIT# / RESET	FIFO マスター信号
28	K5	VIO1	O	PROGRAM#	PROGRAM#	PROGRAM#	
29	J5	VIO1	I	A1	A1	A1	16 ビット、32 ビット モードのアドレス ビット 1
30	H5	VIO1	I	A0	A0	A0	16 ビット、32 ビット モードのアドレス ビット 0
31	G4	VIO1	I	PMODE[0]	PMODE[0]	PMODE[0]	–
32	H4	VIO1	I	PMODE[1]	PMODE[1]	PMODE[1]	–
33	L4	VIO1	I	PMODE[2]	PMODE[2]	PMODE[2]	–
34	L8	VIO1	I	DNU	DNU	DNU	–

表 5. CYUSB3015、CYUSB3016 および CYUSB3017 のピン一覧 (続き)

SI 番号	ピン番号	パワードメイン	I/O / 電源	SX3 ピン名			備考
				CYUSB3015 - 16 ビット	CYUSB3016 - 32 ビット	CYUSB3017 - UVC	
35	K2	VIO2	I/O	DNU	DQ[16]	DQ[16]	–
36	J4	VIO2	I/O	DNU	DQ[17]	DQ[17]	–
37	K1	VIO2	I/O	DNU	DQ[18]	DQ[18]	–
38	J2	VIO2	I/O	DNU	DQ[19]	DQ[19]	–
39	J3	VIO2	I/O	DNU	DQ[20]	DQ[20]	–
40	J1	VIO2	I/O	DNU	DQ[21]	DQ[21]	–
41	H2	VIO2	I/O	DNU	DQ[22]	DQ[22]	–
42	H3	VIO2	I/O	DNU	DQ[23]	DQ[23]	–
43	F4	VIO2	I/O	DNU	DQ[24] / A0[5]	DQ[24] / A0[5]	[5] - 24 ビット モードのアドレス ビット 0
44	G2	VIO2	I/O	DNU	DQ[25] / A1[5]	DQ[25] / A1[5]	[5] - 24 ビット モードのアドレス ビット 1
45	G3	VIO2	I/O	DNU	DQ[26]	DQ[26]	–
46	F3	VIO2	I/O	DNU	DQ[27]	DQ[27]	–
47	F2	VIO2	I/O	GPIO_2	GPIO_2	GPIO_2	–
48	F5	VIO3	I/O	DNU	DQ[28]	DQ[28]	–
49	E1	VIO3	I/O	DNU	DQ[29]	DQ[29]	–
50	E5	VIO3	I/O	DNU	DQ[30]	DQ[30]	–
51	E4	VIO3	I/O	DNU	DQ[31]	DQ[31]	–
52	D1	VIO3	I/O	GPIO_3	GPIO_3	GPIO_3	–
53	D2	VIO3	I/O	GPIO_4	GPIO_4	GPIO_4	–
54	D3	VIO3	I/O	GPIO_5	GPIO_5	GPIO_5	–
55	D4	VIO4	O	SPI_SCK	SPI_SCK	SPI_SCK	–
56	C1	VIO4	O	SPI_SSN	SPI_SSN	SPI_SSN	–
57	C2	VIO4	I	SPI_MISO	SPI_MISO	SPI_MISO	–
58	D5	VIO4	O	SPI_MOSI	SPI_MOSI	SPI_MOSI	–
59	C4	VIO4	I/O	FIFOM_SS / GPIO_6	FIFOM_SS / GPIO_6	FIFOM_SS / GPIO_6	–
USB ポート							
60	A3	U3RXVDDQ	I	SSRX-	SSRX-	SSRX-	–
61	A4	U3RXVDDQ	I	SSRX+	SSRX+	SSRX+	–
62	A6	U3TXVDDQ	O	SSTX-	SSTX-	SSTX-	–
63	A5	U3TXVDDQ	O	SSTX+	SSTX+	SSTX+	–
64	B3	U3TXVDDQ	I/O	R_usb3	R_usb3	R_usb3	USB 3.0 用の高精度抵抗 (このピンと GND の間に 200Ω ±1% 抵抗を接続)
65	C9	VBUS / VBATT	I	OTG_ID	OTG_ID	OTG_ID	–

表 5. CYUSB3015、CYUSB3016 および CYUSB3017 のピン一覧 (続き)

SI 番号	ピン番号	パワードメイン	I/O / 電源	SX3 ピン名			備考
				CYUSB3015 - 16 ビット	CYUSB3016 - 32 ビット	CYUSB3017 - UVC	
66	A9	VBUS / VBATT	I/O	D+	D+	D+	–
67	A10	VBUS / VBATT	I/O	D-	D-	D-	–
68	C8	VBUS / VBATT	I/O	R_usb2	R_usb2	R_usb2	USB 2.0 用の高精度抵抗 (このピンと GND の間に 6.04kΩ ±1% 抵抗を接続)
クロックおよびリセット							
69	B2	CVDDQ	I	FSLC[0]	FSLC[0]	FSLC[0]	–
70	C6	AVDD	I/O	XTALIN	XTALIN	XTALIN	–
71	C7	AVDD	I/O	XTALOUT	XTALOUT	XTALOUT	–
72	B4	CVDDQ	I	FSLC[1]	FSLC[1]	FSLC[1]	–
73	E6	CVDDQ	I	FSLC[2]	FSLC[2]	FSLC[2]	–
74	D7	CVDDQ	I	CLKIN	CLKIN	CLKIN	–
75	D6	CVDDQ	I	DNU	DNU	DNU	DNU - 未使用
76	C5	CVDDQ	I	RESET#	RESET#	RESET#	–
I2C							
77	D9	VIO5	I/O	I2C_SCL	I2C_SCL	I2C_SCL	–
78	D10	VIO5	I/O	I2C_SDA	I2C_SDA	I2C_SDA	–
79	E7	VIO5	I	DNU	DNU	DNU	DNU - 未使用
80	C10	VIO5	O	DNU	DNU	DNU	
81	B11	VIO5	I	DNU	DNU	DNU	
82	E8	VIO5	I	DNU	DNU	DNU	
83	F6	VIO5	I	DNU	DNU	DNU	
84	D11	VIO5	O	SUSPEND OUT	SUSPEND OUT	SUSPEND OUT	–
パワー							
85	E10		電源	VBATT	VBATT	VBATT	–
86	B10		電源	VDD	VDD	VDD	–
87	A1		電源	U3VSSQ	U3VSSQ	U3VSSQ	–
88	E11		電源	VBUS	VBUS	VBUS	–
89	D8		電源	VSS	VSS	VSS	–
90	H11		電源	VIO1	VIO1	VIO1	–
91	E2		電源	VSS	VSS	VSS	–
92	L9		電源	VIO1	VIO1	VIO1	–
93	G1		電源	VSS	VSS	VSS	–
94	F1		電源	VIO2	VIO2	VIO2	–
95	G11		電源	VSS	VSS	VSS	–
96	E3		電源	VIO3	VIO3	VIO3	–
97	L1		電源	VSS	VSS	VSS	–

表 5. CYUSB3015、CYUSB3016 および CYUSB3017 のピン一覧 (続き)

SI 番号	ピン番号	パワードメイン	I/O / 電源	SX3 ピン名			備考
				CYUSB3015 - 16 ビット	CYUSB3016 - 32 ビット	CYUSB3017 - UVC	
98	B1		電源	VIO4	VIO4	VIO4	–
99	L6		電源	VSS	VSS	VSS	–
100	B6		電源	CVDDQ	CVDDQ	CVDDQ	–
101	B5		電源	U3TXVDDQ	U3TXVDDQ	U3TXVDDQ	–
102	A2		電源	U3RXVDDQ	U3RXVDDQ	U3RXVDDQ	–
103	C11		電源	VIO5	VIO5	VIO5	–
パワードメイン							
104	L11		電源	VSS	VSS	VSS	–
105	A7		電源	AVDD	AVDD	AVDD	–
106	B7		電源	AVSS	AVSS	AVSS	–
107	C3		電源	VDD	VDD	VDD	–
108	B8		電源	VSS	VSS	VSS	–
109	E9		電源	VDD	VDD	VDD	–
110	B9		電源	VSS	VSS	VSS	–
111	F11		電源	VDD	VDD	VDD	–
112	H1		電源	VDD	VDD	VDD	–
113	L7		電源	VDD	VDD	VDD	–
114	J11		電源	VDD	VDD	VDD	–
115	L5		電源	VDD	VDD	VDD	–
116	K4		電源	VSS	VSS	VSS	–
117	L3		電源	VSS	VSS	VSS	–
118	K3		電源	VSS	VSS	VSS	–
119	L2		電源	VSS	VSS	VSS	–
120	A8		電源	VSS	VSS	VSS	–
121	A11			DNU	DNU	DNU	未使用

電気的仕様

絶対最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。

保存温度 .....-65°C ～ +150°C

通電時の周囲温度 (産業用) .....-40°C ～ +85°C

通電時の周囲温度 (民生用) .....0°C ～ +70°C

グランド電位に対する電源電圧

V_{DD}、A_{VDDQ} 1.25V

V_{IO1}、V_{IO2}、V_{IO3}、V_{IO4}、V_{IO5} 3.6V

$U3TX_{VDDQ}$、$U3RX_{VDDQ}$ 1.25V

任意の入力ピンへの DC 入力電圧 .....V_{CC} + 0.3V

High-Z 状態の出力に印加される DC 電圧 .....V_{CC} + 0.3V

(V_{CC} は対応する I/O 電圧)

静電気放電電圧 ESD 保護レベル :

- JESD22-A114 による ±2.2kV HBM
- D+、D-、GND ピンおよびシリアル ペリフェラル ピンでの ESD 保護レベル
- IEC61000-4-2レベル3Aによる±6kV接触放電および±8kV空中放電、IEC61000-4-2 レベル 4C による ±8kV 接触放電および ±15kV 空中放電

ラッチアップ電流 .....> 200mA

すべての I/O の最大出力短絡電流 (累積).....-100mA

I/O ごとの最大出力電流 (ソースまたはシンク) 20mA

動作条件

T_A (バイアス印加時の周囲温度)

産業用 .....-40°C ～ +85°C

民生用 .....0°C ～ +70°C

V_{DD}、A_{VDDQ}、$U3TX_{VDDQ}$、$U3RX_{VDDQ}$ 電源電圧 ..... 1.15V ～ 1.25V

V_{BATT} 電源電圧 ..... 3.2V ～ 6V

V_{IO1}、V_{IO2} 、V_{IO3}、V_{IO4}、C_{VDDQ} 電源電圧 .... 1.7V ～ 3.6V

V_{IO5} 電源電圧 ..... 1.15V ～ 3.6V

DC 仕様

表 6. DC 仕様

パラメーター	説明	Min	Max	単位	備考
V_{DD}	コア電源電圧	1.15	1.25	V	1.2V Typ
A_{VDD}	アナログ電源電圧	1.15	1.25	V	1.2V Typ
V_{IO1}	汎用構成可能インターフェース I/O 電源電圧ドメイン	1.7	3.6	V	1.8V、2.5V、3.3V Typ
V_{IO2}	IO2 パワー ドメイン	1.7	3.6	V	1.8V、2.5V、3.3V Typ
V_{IO3}	IO3 パワー ドメイン	1.7	3.6	V	1.8V、2.5V、3.3V Typ
V_{IO4}	SPI パワー ドメイン	1.7	3.6	V	1.8V、2.5V、3.3V Typ
V_{BATT}	USB 電源電圧	3.2	6	V	3.7V Typ
V_{BUS}	USB 電源電圧	4.0	6	V	5V Typ
$U3TX_{VDDQ}$	USB 3.0 1.2V 電源	1.15	1.25	V	1.2V Typ。この電源には、22µF のバイパス コンデンサが必要
$U3RX_{VDDQ}$	USB 3.0 1.2V 電源	1.15	1.25	V	1.2V Typ。この電源には、22µF のバイパス コンデンサが必要
C_{VDDQ}	クロック電源電圧	1.7	3.6	V	1.8V、3.3V Typ
V_{IO5}	I^2C 電源電圧	1.15	3.6	V	1.2V、1.8V、2.5V、3.3V Typ
V_{IH1}	入力 HIGH 電圧 1	0.625 × V_{CC}	V_{CC} + 0.3	V	2.0V ≦ V_{CC} ≦ 3.6V の場合 (USB ポートを除く)。V_{CC} は対応する I/O 電源電圧
V_{IH2}	入力 HIGH 電圧 2	V_{CC} - 0.4	V_{CC} + 0.3	V	1.7V ≦ V_{CC} ≦ 2.0V の場合 (USBポートを除く)。V_{CC}は対応するI/O電源電圧

表 6. DC 仕様 (続き)

パラメーター	説明	Min	Max	単位	備考
V_{IL}	入力 LOW 電圧	-0.3	0.25 × V_{CC}	V	V_{CC} は対応する I/O 電源電圧
V_{OH}	出力 HIGH 電圧	0.9 × V_{CC}	–	V	I_{OH} (Max) = -100µA。1/4 の駆動強度でテスト。V_{CC} は対応する I/O 電源電圧。さまざまな駆動強度と V_{CC} で測定される I_{OH} の値は、表 7 を参照してください
V_{OL}	出力 LOW 電圧	–	0.1 × V_{CC}	V	I_{OL} (Min) = +100µA。1/4 の駆動強度でテスト。V_{CC} は対応する I/O 電源電圧。さまざまな駆動強度と V_{CC} で測定される I_{OL} の値は、表 7 を参照してください
I_{IX}	SSTXP / SSXM / SSRXP / SSRXMを除くすべてのピンの入力リーク電流	-1	1	µA	すべての I/O 信号は V_{DDQ} で保持される。(プルアップ / プルダウン抵抗を接続した I/O のリーク電流は V_{DDQ}/R_{pu} または V_{DDQ}/R_{PD})
I_{OZ}	SSTXP / SSXM / SSRXP / SSRXMを除くすべてのピンの出力 High-Z リーク電流	-1	1	µA	すべての I/O 信号は V_{DDQ} で保持される。
I_{CC} コア	コアおよびアナログ電源の動作電流	–	200	mA	A_{VDD}、V_{DD} を通る合計電流
I_{CC} USB	USB 電源の動作電流	–	60	mA	–
I_{SB1}	USB 3.0 PHY が有効なサスペンド モード (L1) 中の合計サスペンド電流	–	–	mA	コア電流 : 1.5mA I/O 電流 : 20µA USB 電流 : 2mA 標準 PVT の場合 (標準シリコン チップ、全電源は 25°C での公称レベル)
I_{SB2}	USB 3.0 PHY が無効なサスペンド モード (L2) 中の合計サスペンド電流	–	–	mA	コア電流 : 250µA I/O 電流 : 20µA USB 電流 : 1.2mA 標準 PVT の場合 (標準シリコン チップ、全電源は 25°C での公称レベル)
I_{SB3}	スタンバイ モード (L3) 中の合計スタンバイ電流	–	–	µA	コア電流 : 60µA I/O 電流 : 20µA USB 電流 : 40µA 標準 PVT の場合 (標準シリコン チップ、全電源は 25°C での公称レベル)
I_{SB4}	コア電源切断モード (L4) 中の合計スタンバイ電流	–	–	µA	コア電流 : 0µA I/O 電流 : 20µA USB 電流 : 40µA 標準 PVT の場合 (標準シリコン チップ、全電源は 25°C での公称レベル)
V_{RAMP}	コアおよびI/O電源の電圧ランプレート	0.2	50	V/ms	電圧の立ち上りは単調でなければならない
V_N	V_{DD} およびI/O電源で許容されるノイズ レベル	–	100	mV	A_{VDD} を除くすべての電源で許容される最大ピークツーピーク ノイズ レベル
V_{N_AVDD}	A_{VDD} 電源で許容されるノイズ レベル	–	20	mV	A_{VDD} で許容される最大ピークツーピーク ノイズ レベル

表 7. 異なる駆動強度と V_{DDIO} 値に対応する I_{OH} / I_{OL} 値

V_{DDIO} (V)	V_{OH} (V)	V_{OL} (V)	駆動強度	$I_{OH\ max}$ (mA)	$I_{OL\ min}$ (mA)
1.7	1.53	0.17	1/4	1.02	2.21
			1/2	1.51	3.28
			3/4	1.83	3.85
			フル	2.28	4.73
2.5	2.25	0.25	1/4	5.03	3.96
			1/2	7.38	5.84
			3/4	8.89	6.89
			フル	11.07	8.61
3.6	3.24	0.36	1/4	7.80	5.74
			1/2	11.36	8.64
			3/4	13.64	10.15
			フル	16.92	12.67

熱特性

表 8. 熱特性

パラメーター	説明	値	単位
$T_{J\ MAX}$	最大接合部温度	125	°C
Θ_{JA}	熱抵抗 (接合部から周囲)	34.66	°C/W
Θ_{JB}	熱抵抗 (接合部から基板)	27.03	°C/W
Θ_{JC}	熱抵抗 (接合部からケース)	13.57	°C/W

AC タイミング パラメーター

汎用構成可能インターフェース ラインの 100MHz での AC 特性

表 9. 汎用構成可能インターフェース ラインの 100MHz での AC 特性

記号	パラメーター	Min	Typ	Max	単位
Tr	立ち上り時間	–	–	2.5	ns
Tf	立ち下り時間	–	–	2.5	ns
Tov	オーバーシュート	–	–	3	%
Tun	アンダーシュート	–	–	3	%

汎用構成可能インターフェースの PCLK ジッタ特性

表 10. 汎用構成可能インターフェースの PCLK ジッタ特性

クロック周波数 (MHz)	周期ジッタ (ps)[2]	C-C Min (ps)	C-C Max (ps)
10.08	354.44	-187.92	204.55
25.2	205.97	-153.54	126.53
50.4	144.62	-100.16	85.769
100.8	171.43	-155.13	157.14

2. クロック ジッタは内部で生成された PCLK を使って測定されます。すなわち、PCLK は汎用構成可能インターフェースからの出力として設定されます。データは 10,000 クロック サイクルにわたって測定されます。

汎用構成可能インターフェース タイミング

図 9. 同期モードでの汎用構成可能インターフェース タイミング

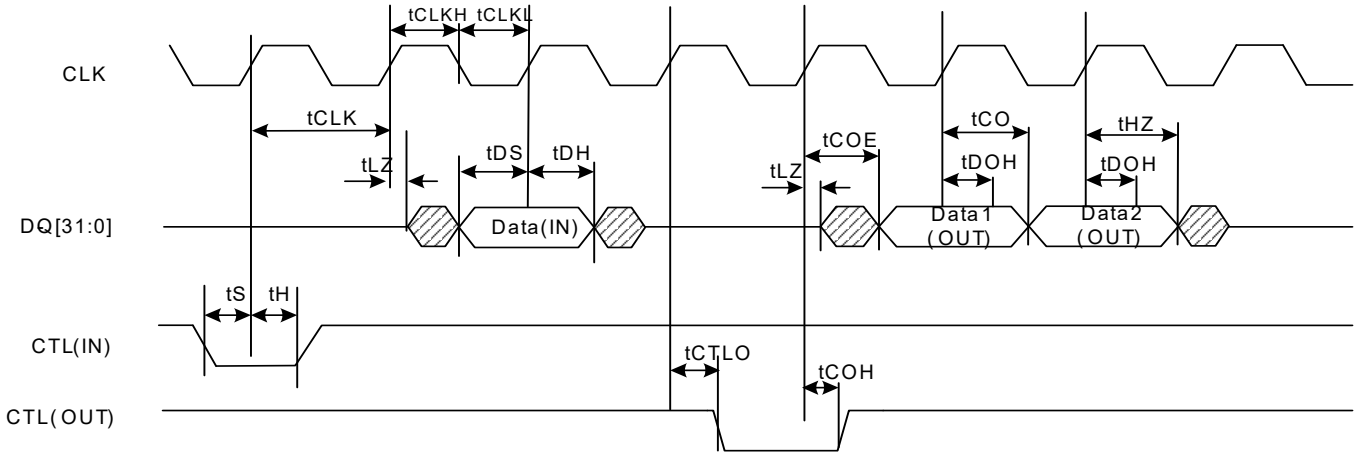


表 11. 同期モードでの汎用構成可能インターフェース タイミング [3]

パラメーター	説明	Min	Max	単位
周波数	インターフェース クロック周波数	–	100	MHz
t_{CLK}	インターフェース クロック周期	10	–	ns
t_{CLKH}	クロック HIGH 時間	4	–	ns
t_{CLKL}	クロック LOW 時間	4	–	ns
t_S	CTL 入力からクロックまでのセットアップ時間	2	–	ns
t_H	CTL 入力からクロックまでのホールド時間	0.5	–	ns
t_{DS}	データ入力からクロックまでのセットアップ時間	2	–	ns
t_{DH}	データ入力からクロックまでのホールド時間	0.5	–	ns
t_{CO}	DQ バスがすでに出力方向にあるときのクロックからデータ出力までの伝送遅延時間	–	7	ns
t_{COE}	DQ ラインがトライステートから出力に変化し、DQ バスで有効なデータが利用可能になるときの、クロックからデータ出力までの伝送遅延時間	–	9	ns
t_{CTLO}	クロックから CTL 出力までの伝送遅延時間	–	8	ns
t_{DOH}	クロックからデータ出力のホールド時間	2	–	ns
t_{COH}	クロックから CTL 出力までのホールド時間	0	–	ns
t_{HZ}	クロックから High-Z までの時間	–	8	ns
t_{LZ}	クロックから Low-Z までの時間	0	–	ns

3. すべてのパラメーターは設計で保証されており、特性評価によって検証済みです。

スレーブ FIFO インターフェース

同期スレーブ FIFO 読み出しシーケンスの説明

- FIFO アドレスが安定し、SLCS がアサートされます。
- FLAG は FIFO が空でない状態を示します。
- SLOE がアサートされます。SLOE は出力イネーブル専用で、その唯一の機能はデータ バスを駆動することです。
- SLRD がアサートされます。

SLRD のアサート中、FIFO ポインターは PCLK の立ち上りエッジで更新されます。これで、新たにアドレス指定された位置からデータ バスへのデータ伝送が始まります。t_{CO} の伝送遅延 (PCLK の立ち上りエッジから測定される) の後、新しいデータ値を得ます。N は、FIFO から読み出される最初のデータ値です。FIFO データ バス上のデータを取得するには、SLOE もアサートする必要があります。

バースト読み出しの場合でも同じ一連のイベントが適用されます。

FLAG の使用

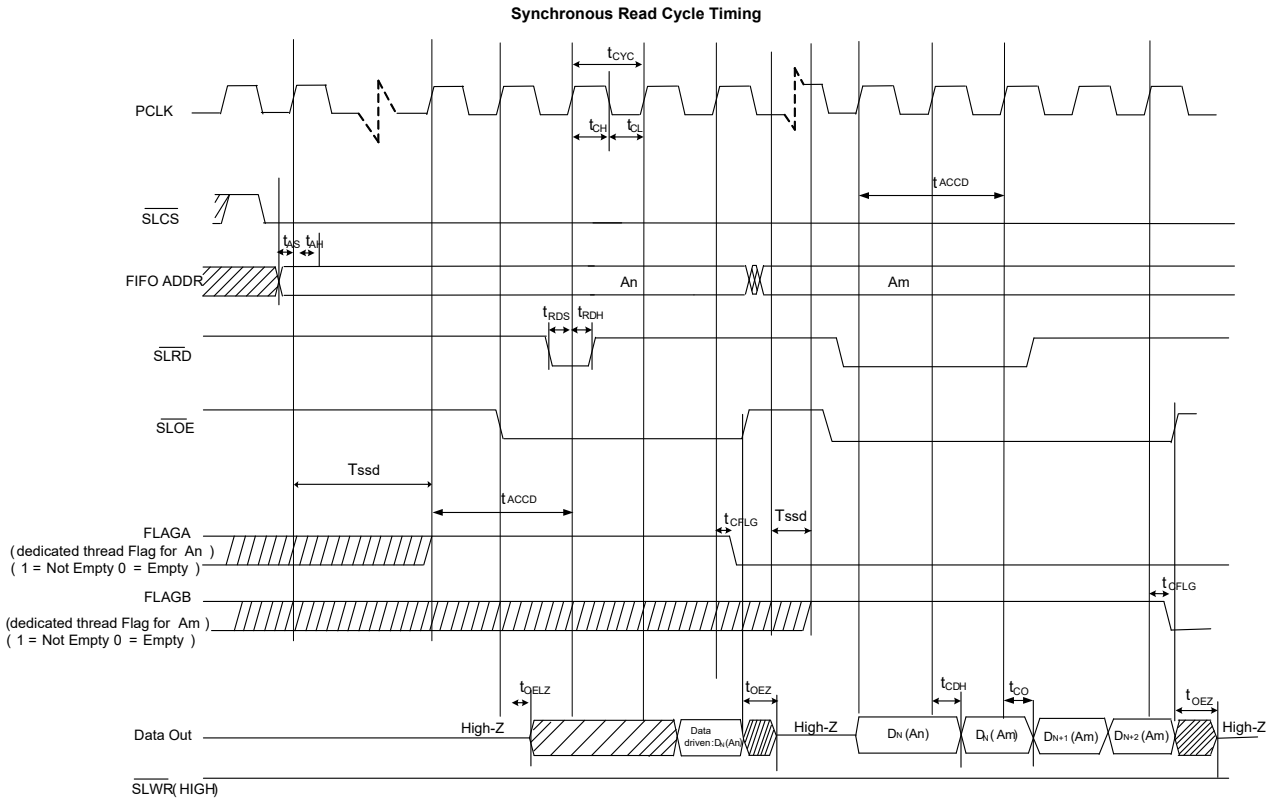
FLAG 信号は、フロー制御用に外部プロセッサによって監視されます。FLAG 信号は、SX3 からの出力であり、特定のスレッドまたは現時点でアドレス指定されているスレッドの空 / 満杯 / 部分的満杯の状態を示すように設定されます。

ソケット スイッチング遅延時間 (Tssd)

ソケット スイッチング遅延時間は、EPSWITCH# が (アドレス バス上の新しいソケット アドレスで) マスターによってアサートされてから Current_Thread_DMA_Ready フラグがアサートされるまで測定されます。プロデューサ ソケットの場合、DMA バッファ内のデータを受け入れられるようになるとフラグがアサートされます。コンシューマ ソケットの場合、DMA バッファからデータを駆動できるようになるとフラグがアサートされます。スイッチング遅延時間は、同期スレーブ FIFO インターフェースでは汎用構成可能なインターフェース クロック サイクルの単位で、非同期スレーブ FIFO インターフェースでは PIB クロック サイクルの単位で測定されます。これは 5 ビット スレーブ FIFO インターフェースにのみ適用されます。SX3 の 2 ビット スレーブ FIFO インターフェースでは、汎用構成可能なインターフェース ステート マシンのスレッド スイッチングが利用されるため、ソケット スイッチング遅延時間はありません。

注 : バースト モードでは、SLRD# と SLOE# は読み出し期間中アサートされます。SLOE# がアサートされると、以前にアドレス指定された FIFO からのデータを持つデータ バスが駆動されます。PCLK の後続の各立ち上りエッジで、SLRD# がアサートされている間に、FIFO ポインターがインクリメントされ、次のデータ値がデータ バスに配置されます。

図 10. 同期スレーブ FIFO 読み出しモード



同期スレーブ FIFO 書き込みシーケンスの説明

- FIFO アドレスが安定し、SLCS# 信号がアサートされます。
- 外部マスターまたはペリフェラルがデータ　バス上にデータを出力します。
- SLWR# がアサートされます。
- SLWR# のアサート中、データが FIFO に書き込まれ、PCLK の立ち上りエッジで FIFO ポインターがインクリメントされます。
- FIFO フラグは、クロックの立ち上りエッジから遅延時間 t_{WFLG} 後に更新されます。

バースト書き込みの場合でも同じ一連のイベントが適用されます。

注 : バースト モードでは、SLWR# と SLCS# はすべての必要なデータ値が書き込まれる全期間アサートされます。バースト書き込みモードでは、SLWR# がアサートされた後、PCLK の立ち上りエッジごとに FIFO データ バス上のデータが FIFO に書き込まれます。FIFO ポインターは、PCLK の各立ち上りエッジで更新されます。

ショート パケット : ショート パケットは、PKTEND# 信号を使用して USB ホストに転送します。外部デバイスまたはプロセッサは、最後のデータ ワードとそれに対応する SLWR# パルスとともに PKTEND# をアサートするよう設計する必要があります。FIFOADDR ラインは、PKTEND# のアサート中に一定に保持しなければなりません。

長さゼロのパケット : 外部デバイスまたはプロセッサは、SLWR# をアサートせずに単に PKTEND# をアサートすることで、長さゼロのパケット (ZLP) を SX3 に転送できます。SLCS# とアドレスは図 11 に示すように駆動する必要があります。

図 11. 同期スレーブ FIFO 書き込みモード

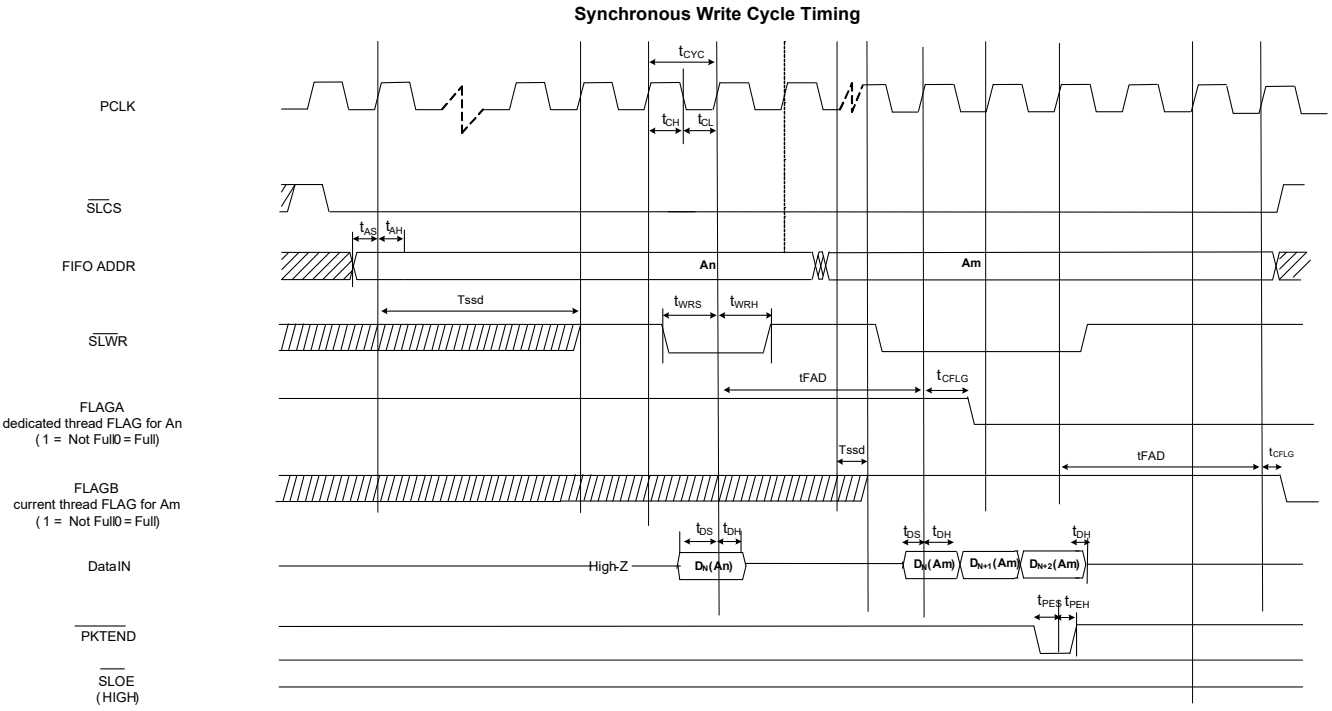


図 12. 同期スレーブ FIFO ZLP 書き込みサイクル タイミング

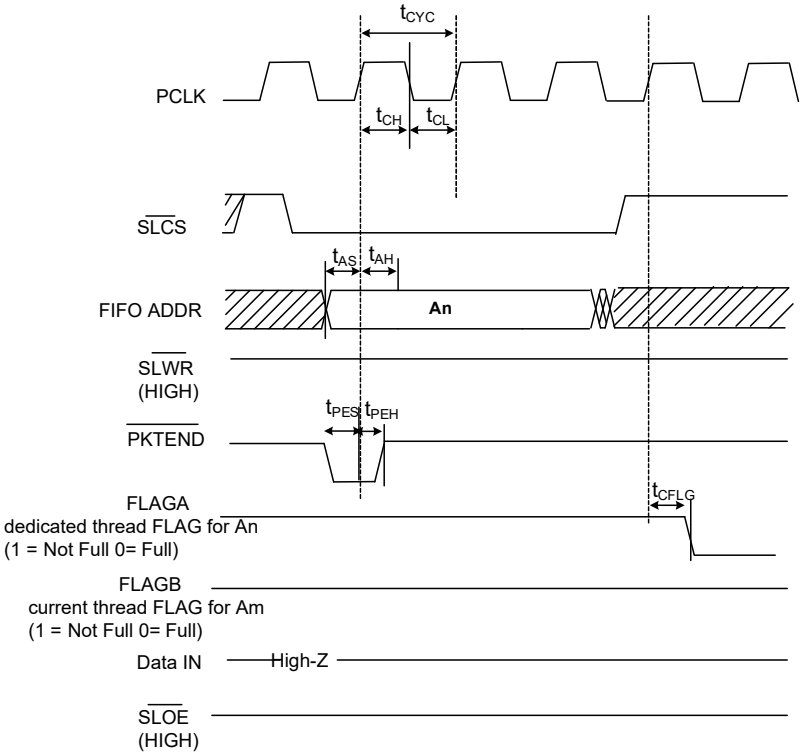


表 12. 同期スレーブ FIFO のタイミング パラメーター [4]

パラメーター	説明	Min	Max	単位
FREQ	インターフェース クロック周波数	–	100	MHz
t_{CYC}	クロック周期	10	–	ns
t_{CH}	クロック HIGH 時間	4	–	ns
t_{CL}	クロック LOW 時間	4	–	ns
t_{RDS}	SLRD# から CLK までのセットアップ時間	2	–	ns
t_{RDH}	SLRD# から CLK までのホールド時間	0.5	–	ns
t_{WRS}	SLWR# から CLK までのセットアップ時間	2	–	ns
t_{WRH}	SLWR# から CLK までのホールド時間	0.5	–	ns
t_{CO}	クロックからデータ有効までの時間	–	7	ns
t_{DS}	データ入力セットアップ時間	2	–	ns
t_{DH}	CLK からデータ入力までのホールド時間	0.5	–	ns
t_{AS}	アドレスから CLK までのセットアップ時間	2	–	ns
t_{AH}	CLK からアドレスまでのホールド時間	0.5	–	ns
t_{OELZ}	SLOE# からデータ Low-Z までの時間	0	–	ns
t_{CFLG}	CLK からフラグ出力までの伝送遅延時間	–	8	ns
t_{OEZ}	SLOE# アサート停止からデータ High-Z までの時間	–	8	ns
t_{PES}	PKTEND# から CLK までのセットアップの時間	2	–	ns
t_{PEH}	CLK から PKTEND# までのホールド時間	0.5	–	ns
t_{CDH}	CLK からデータ出力までのホールド時間	2	–	ns
t_{SSD}	ソケット スイッチング遅延時間	2	68	クロック サイクル
t_{ACCD}	SLRD# からデータまでのレイテンシ	2	2	クロック サイクル
t_{FAD}	SLWR# からの FLAG までのレイテンシ	3	3	クロック サイクル

4. アドレスからデータ / FLAG までの 3 サイクルのレイテンシ

シリアル ペリフェラル タイミング

I²C タイミング

図 13. I²C タイミング定義

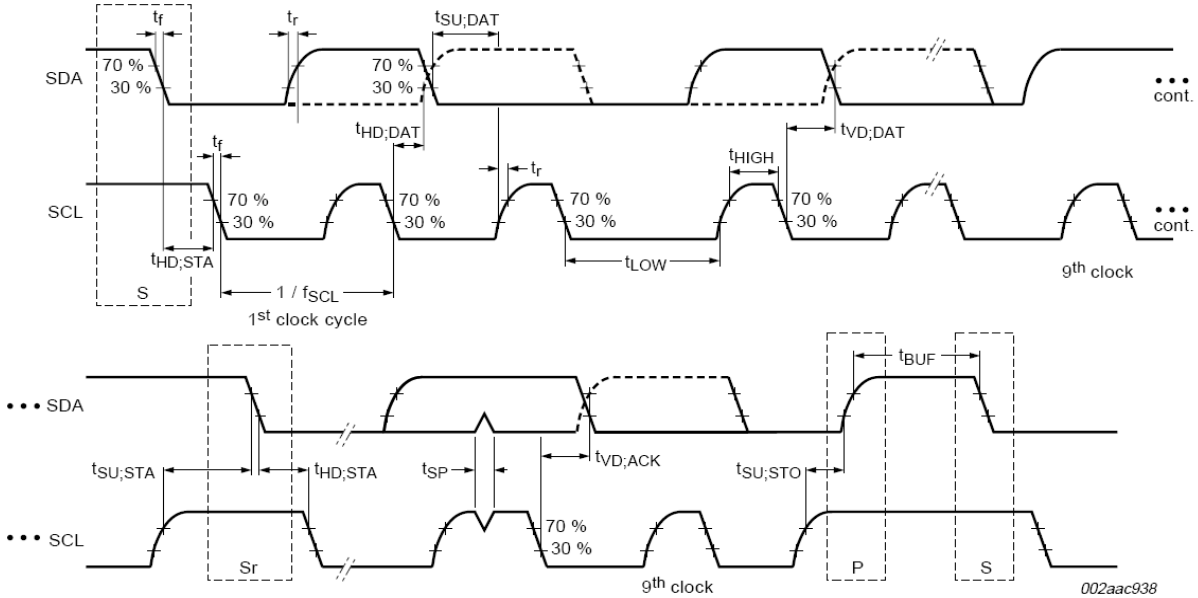


表 13. I²C タイミング パラメーター

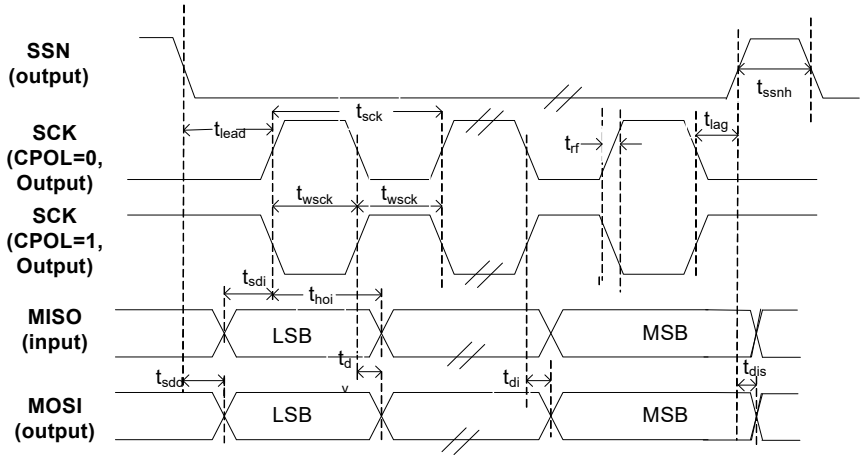
パラメーター	説明	Min	Max	単位
I²C 標準モード パラメーター				
f_{SCL}	SCL クロック周波数	0	100	kHz
t_{HD}:STA	START 条件までのホールド時間	4	–	µs
t_{LOW}	SCL の LOW 時間	4.7	–	µs
t_{HIGH}	SCL の HIGH 時間	4	–	µs
t_{SU}:STA	反復 START 条件のセットアップ時間	4.7	–	µs
t_{HD}:DAT	データ ホールド時間	0	–	µs
t_{SU}:DAT	データ セットアップ時間	250	–	ns
t_r	SDA および SCL 信号の立ち上り時間	–	1000	ns
t_f	SDA および SCL 信号の立ち下り時間	–	300	ns
t_{SU}:STO	STOP 条件のセットアップ時間	4	–	µs
t_{BUF}	STOP 条件と START 条件との間のバス空き時間	4.7	–	µs
t_{VD}:DAT	データ有効時間	–	3.45	µs
t_{VD}:ACK	データ有効 ACK	–	3.45	µs
t_{SP}	入力フィルターによって抑制する必要があるスパイクのパルス幅	該当なし	該当なし	
I²C ファスト モード パラメーター				
f_{SCL}	SCL クロック周波数	0	400	kHz
t_{HD}:STA	START 条件までのホールド時間	0.6	–	µs
t_{LOW}	SCL の LOW 時間	1.3	–	µs
t_{HIGH}	SCL の HIGH 時間	0.6	–	µs

表 13. I²C タイミング パラメーター (続き)

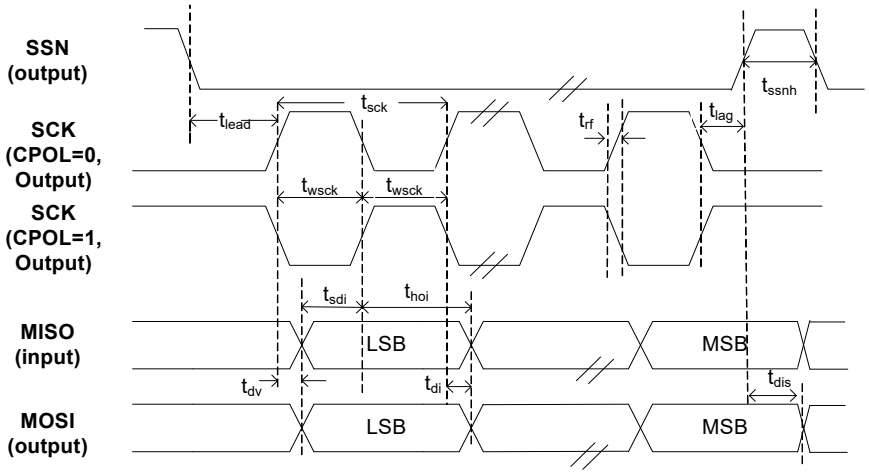
パラメーター	説明	Min	Max	単位
t_{SU}:ST_A	反復 START 条件のセットアップ時間	0.6	–	µs
t_{HD}:DAT	データ ホールド時間	0	–	µs
t_{SU}:DAT	データ セットアップ時間	100	–	ns
t_r	SDA および SCL 信号の立ち上り時間	–	300	ns
t_f	SDA および SCL 信号の立ち下り時間	–	300	ns
t_{SU}:STO	STOP 条件のセットアップ時間	0.6	–	µs
t_{BUF}	STOP 条件と START 条件との間のバス空き時間	1.3	–	µs
t_{VD}:DAT	データ有効時間	–	0.9	µs
t_{VD}:ACK	データ有効 ACK	–	0.9	µs
t_{SP}	入力フィルターによって抑制する必要があるスパイクのパルス幅	0	50	ns
I²C ファスト モード プラス パラメーター (I2C_VDDQ = 1.2V 時は未サポート)				
f_{SCL}	SCL クロック周波数	0	1000	kHz
t_{HD}:STA	START 条件までのホールド時間	0.26	–	µs
t_{LOW}	SCL の LOW 時間	0.5	–	µs
t_{HIGH}	SCL の HIGH 時間	0.26	–	µs
t_{SU}:STA	反復 START 条件のセットアップ時間	0.26	–	µs
t_{HD}:DAT	データ ホールド時間	0	–	µs
t_{SU}:DAT	データ セットアップ時間	50	–	ns
t_r	SDA および SCL 信号の立ち上り時間	–	120	ns
t_f	SDA および SCL 信号の立ち下り時間	–	120	ns
t_{SU}:STO	STOP 条件のセットアップ時間	0.26	–	µs
t_{BUF}	STOP 条件と START 条件との間のバス空き時間	0.5	–	µs
t_{VD}:DAT	データ有効時間	–	0.45	µs
t_{VD}:ACK	データ有効 ACK	–	0.55	µs
t_{SP}	入力フィルターによって抑制する必要があるスパイクのパルス幅	0	50	ns

SPI タイミング仕様

図 14. SPI タイミング



SPI Master Timing for CPHA = 0



SPI Master Timing for CPHA = 1

表 14. SPI タイミング パラメーター

パラメーター	説明	Min	Max	単位
f_{op}	動作周波数	0	33	MHz
t_{sck}	サイクル時間	30	–	ns
t_{wsck}	クロック HIGH / LOW 時間	13.5	–	ns
t_{lead}	SSN-SCK 先行時間	1/2 t_{sck}[5] - 5	1.5 t_{sck}[5] + 5	ns
t_{lag}	イネーブル遅延時間	0.5	1.5 t_{sck}[5] + 5	ns
t_{rf}	立ち上り / 立ち下り時間	–	8	ns
t_{sdd}	出力 SSN からデータ有効までの遅延時間	–	5	ns
t_{dv}	出力データ有効時間	–	5	ns
t_{di}	出力データ無効時間	0	–	ns
t_{ssnh}	最小 SSN HIGH 時間	10	–	ns
t_{sdi}	入力データ セットアップ時間	8	–	ns
t_{hoi}	入力データ ホールド時間	0	–	ns
t_{dis}	SSN HIGH 時のデータ出力無効時間	0	–	ns

5. SPI_CONFIG レジスタの LAG と LEAD 設定に依存します。

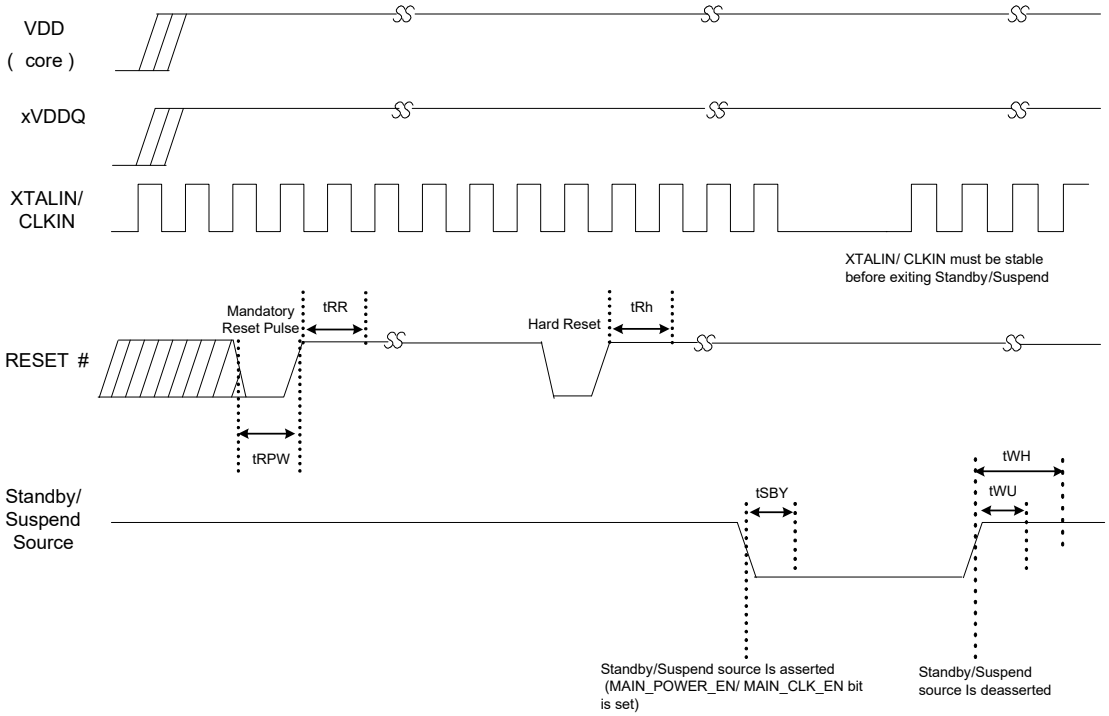
リセット シーケンス

ここでは、SX3 のハード リセット シーケンスの要件を規定します。

表 15. リセットおよびスタンバイ タイミング パラメーター

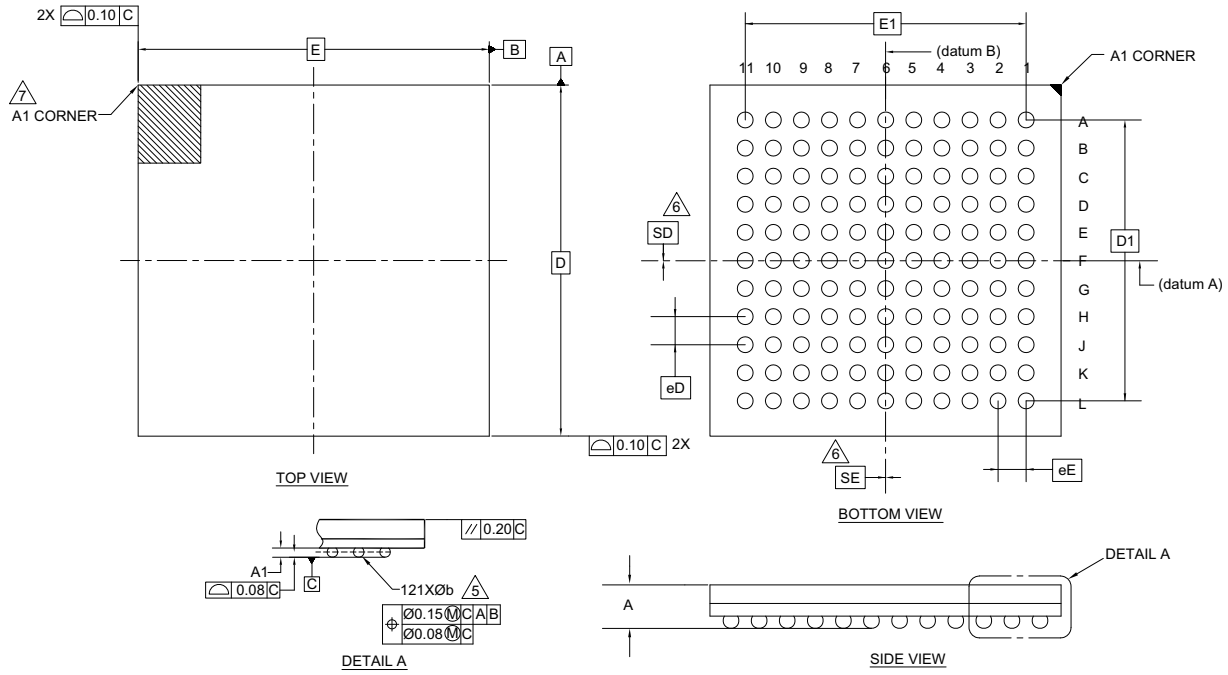
パラメーター	定義	条件	Min (ms)	Max (ms)
t_{RPW}	RESET# 最小パルス幅	クロック入力	1	–
		水晶振動子入力	1	–
t_{RH}	RESET# 最小 HIGH 時間	–	5	–
t_{RR}	リセット回復時間 (この時間後、ブートローダがファームウェアのダウンロードを開始)	クロック入力	1	–
		水晶振動子入力	5	
t_{SBY}	スタンバイ / サスペンド モード開始までの時間 (MAIN_CLOCK_EN / MAIN_POWER_EN ビットをセットした時点から)	–	–	1
t_{WU}	スタンバイ モードからの復帰時間	クロック入力	1	–
		水晶振動子入力	5	–
t_{WH}	スタンバイ / サスペンド ソースを再アサートするまでの最小時間	–	5	–

図 15. リセット シーケンス



パッケージ図

図 16. 121 ボール BGA パッケージ図



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	-	-	1.20
A1	0.15	-	-
D	10.00 BSC		
E	10.00 BSC		
D1	8.00 BSC		
E1	8.00 BSC		
MD	11		
ME	11		
N	121		
∅ b	0.25	0.30	0.35
eD	0.80 BSC		
eE	0.80 BSC		
SD	0.00		
SE	0.00		

NOTES:

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. SOLDER BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
3. "e" REPRESENTS THE SOLDER BALL GRID PITCH.
4. SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION.
   SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION.
   N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
5. DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
6. "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW.
   WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" OR "SE" = 0.
   WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
7. A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK METALIZED MARK, INDENTATION OR OTHER MEANS.
8. "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED SOLDER BALLS.

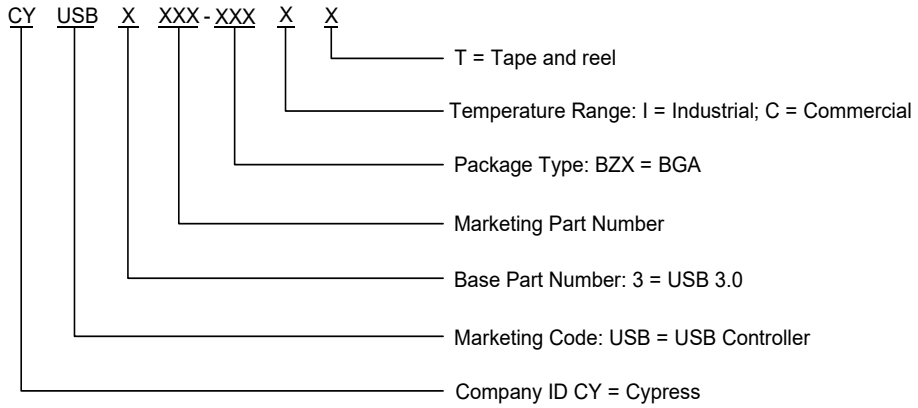
001-54471 *F

注文情報

表 16. 注文情報

注文コード	USB	SRAM	データ バス幅	USB プロトコル サポート	動作温度	パッケージ タイプ
CYUSB3015-BZXC	USB 3.0	512KB	16 ビット	USB ベンダー クラス	0°C ～ +70°C	121 ボール BGA
CYUSB3015-BZXI	USB 3.0	512KB	16 ビット	USB ベンダー クラス	-40°C ～ +85°C	121 ボール BGA
CYUSB3016-BZXC	USB 3.0	512KB	32 ビット	USB ベンダー クラス	0°C ～ +70°C	121 ボール BGA
CYUSB3016-BZXI	USB 3.0	512KB	32 ビット	USB ベンダー クラス	-40°C ～ +85°C	121 ボール BGA
CYUSB3017-BZXC	USB 3.0	512KB	32 ビット	USB ビデオ クラス (UVC)	0°C ～ +70°C	121 ボール BGA
CYUSB3017-BZXI	USB 3.0	512KB	32 ビット	USB ビデオ クラス (UVC)	-40°C ～ +85°C	121 ボール BGA

注文コードの定義



略語

表 17. 本書で使用する略語

略語	説明
DMA	direct memory access (ダイレクト メモリ アクセス)
ESD	electrostatic discharge (静電気放電)
FIFO	first in, first out (ファースト イン ファースト アウト)
GPIF™	general programmable interface (汎用プログラマブル インターフェース)
HBM	human body model (人体モデル)
HNP	host negotiation protocol (ホスト ネゴシエーション プロトコル)
I^2C	inter-integrated circuit (インター インテグレーテッド サーキット)
ISP	image signal processor (イメージ信号プロセッサ)
MISO	master in, slave out (マスター イン スレーブ アウト)
MOSI	master out, slave in (マスター アウト スレーブ イン)
MMC	multimedia card (マルチメディア カード)
MSC	mass storage class (大容量ストレージ クラス)
MTP	media transfer protocol (メディア転送プロトコル)
OTG	On-The-Go
OVP	overvoltage protection (過電圧保護)
PHY	physical layer (物理層)
PLL	phase locked loop (位相同期回路)
PMIC	power management IC (パワー マネージメント IC)
PVT	process voltage temperature (プロセス、電圧、温度)
RTOS	real-time operating system (リアルタイム OS)
SCL	serial clock line (シリアル クロック ライン)
SCLK	serial clock (シリアル クロック)
SD	secure digital (セキュア デジタル)
SD	secure digital (セキュア デジタル)
SDA	serial data clock (シリアル データ クロック)
SDI	serial data interface (シリアル デート インターフェース)
SDIO	secure digital input / output (セキュア デジタル入出力)
SLC	single-level cell (シングル レベル セル)
SLCS	Slave Chip Select (スレーブ チップ セレクト)
SLOE	Slave Output Enable (スレーブ出力イネーブル)
SLRD	Slave Read (スレーブ読み出し)
SLWR	Slave Write (スレーブ書き込み)

表 17. 本書で使用する略語

略語	説明
SPI	serial peripheral interface (シリアル ペリフェラル インターフェース)
SRP	session request protocol (セッション要求プロトコル)
SSN	SPI スレーブ選択 (アクティブ LOW)
TOF	Time-of-Flight
UAC	USB audio class (USB オーディオ クラス)
UVC	USB video class (USB ビデオ クラス)
USB	universal serial bus (ユニバーサル シリアル バス)
ZLP	zero-length packet (長さゼロのパケット)

本書の表記法

測定単位

表 18. 測定単位

記号	測定単位
°C	摂氏温度
µA	マイクロアンペア
µs	マイクロ秒
mA	ミリアンペア
Mbps	メガビット毎秒
MBps	メガバイト毎秒
MHz	メガヘルツ
ms	ミリ秒
ns	ナノ秒
Ω	オーム
pF	ピコファラド
V	ボルト

エラッタ

本節では、SX3 のレビジョン D のエラッタについて説明します。詳細は、エラッタのトリガー条件、影響の範囲、可能な回避方法、およびシリコン レビジョンの適用可能性を含みます。ご質問がありましたら、最寄りのサイプレス販売代理店までご連絡ください。

影響を受ける製品番号

製品番号	デバイスの特性
CYUSB301x-xxxx	全バリアント

認定の状態

製品の状態 : 量産中

エラッタのまとめ

下表は、EZ-USB™ SX3 構成可能な SuperSpeed USB コントローラーRev. D デバイス ファミリへのエラッタの適用性を定義します。

項目	製品番号	シリコン レビジョン	修正状況
1. 通常、サスペンド、スタンバイ モード中に VIO1 をオフにすることによって、SX3 の動作が停止	CYUSB301x-xxxx	Rev. D	回避方法が用意されている
2. SX3 が自己給電時、USB エニュメレーションが USB ブート モードで失敗	CYUSB301x-xxxx	Rev. D	回避方法が用意されている
3. I2C マルチマスター コンフィギュレーションで I2C ブロックをマスターとして使用する場合にバス衝突が発生	CYUSB301x-xxxx	Rev. D	シングルマスター コンフィギュレーションで SX3 を使用
4. 40/60 デューティ比および 400kHz での I2C データ有効 (tVD:DAT) 仕様違反	CYUSB301x-xxxx	Rev. D	回避策は不要

1. 通常、サスペンド、スタンバイ モード中に VIO1 をオフにすることによって、SX3 の動作が停止	
問題定義	通常、サスペンド、スタンバイ モード中にVIO1をオフにすることによって、SX3の動作が停止します。
影響を受けるパラメーター	該当なし
トリガー条件	この状態は、通常、サスペンド、スタンバイ モード中に VIO1 をオフにするときにトリガーされます。
影響範囲	SX3 の動作が停止します。
回避方法	通常、サスペンド、スタンバイ モード中に VIO1 をオンのままにしなければなりません。
修正状況	修正なし。回避方法が必要です。

2. SX3 が自己給電時、USB エニュメレーションが USB ブート モードで失敗	
問題定義	SX3 が自己給電であり、かつ USB ホストにまだ接続されていない場合、デバイスは低消費電力モードに入り、USB ホストに接続されるときに復帰しません。理由は、ブートローダが USB 接続を検出するためにコネクタでの VBUS ピンをチェックしないためです。ブートローダが、電源投入時に USB バスがホストに接続されることを期待します。
影響を受けるパラメーター	該当なし
トリガー条件	この状態は、SX3 が USB ブート モードで自己給電となるときにトリガーされます。
影響範囲	デバイスはエニュメレートしません。
回避方法	USB ホストに接続した後にデバイスをリセットします。
修正状況	修正なし。回避方法が必要です。

3. I^2C マルチマスター コンフィギュレーションで I^2C ブロックをマスターとして使用する場合にバス衝突が発生	
問題定義	I^2C マルチマスター コンフィギュレーションで SX3 をマスターとして使用するとき、バス衝突が発生する場合があります。
影響を受けるパラメーター	該当なし
トリガー条件	この状態は、SX3 の I^2C ブロックがマルチマスター コンフィギュレーションで動作するときにのみトリガーされます。
影響範囲	SX3 の I^2C ブロックは、I^2C バスがアイドルでないときにデータを送信できるため、バス衝突が発生します。
回避方法	SX3 をシングル マスターとして使用します。
修正状況	修正なし。

4. 40/60 デューティ比および 400kHz での I^2C データ有効 (tVD:DAT) 仕様違反	
問題定義	40/60 デューティ比および 400kHz での I^2C データ有効 (tVD:DAT) パラメーターは 1.0625µs であり、0.9µs の I^2C 上限を超えます。
影響を受けるパラメーター	該当なし
トリガー条件	この違反は、I^2C クロックの 40/60 デューティ比および 400kHz でのみ発生します。
影響範囲	400kHz で転送されるデータのセットアップ時間 (t_{SUDAT}) は大きいマージンで満たされるため、$t_{vd:DAT}$ の違反はデータ完全性の問題を発生させません。
回避方法	回避策は不要です。
修正状況	修正は不要です。

改訂履歴

文書名 : CYUSB3015 / CYUSB3016 / CYUSB3017、EZ-USB SX3: 構成可能な SuperSpeed USB コント ローラー 文書番号 : 002-35141			
版	ECN	発行日	変更内容
**	7742404	2022-03-31	本版は英語版 002-30704 Rev. *C を翻訳した日本語版 002-35141 Rev. ** です。

販売、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、サイプレスのロケーション ページをご覧ください。

製品

Arm® Cortex® マイクロコントローラー	cypress.com/arm
車載用	cypress.com/automotive
クロック & バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
モノのインターネット (IoT)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラー	cypress.com/mcu
PSoC	cypress.com/psoc
パワー マネージメント IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス接続	cypress.com/wireless

PSoC® ソリューション

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP | PSoC 6 MCU

サイプレス開発者コミュニティ

コミュニティ | サンプル コード | Projects | ビデオ | ブログ | トレーニング | Components

テクニカル サポート

cypress.com/support

© Cypress Semiconductor Corporation, 2020-2022. 本書面は , Infineon Technologies グループの Cypress Semiconductor Corporation 及びその関連会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。) を含む) は , アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し , 本段落で特に記載されているものを除き , その特許権 , 著作権 , 商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず , かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合 , Cypress は , (1) 本ソフトウェアの著作権に基づき , (a) ソースコード形式で提供されている本ソフトウェアについて , Cypress ハードウェア製品と共に用いるためにのみ , かつ組織内部でのみ , 本ソフトウェアの修正及び複製を行うこと , 並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ , (直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること , 並びに (2) 本ソフトウェア (Cypress により提供され , 修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき , Cypress ハードウェア製品と共に用いるためにのみ , 本ソフトウェアの作成 , 利用 , 配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用 , 複製 , 修正 , 変換又はコンパイルを禁止する。

適用される法律により許される範囲内で , Cypress は , 本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても , 明示又は黙示をとわず , いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。 いかなるコンピューティングデバイスも絶対に安全ということはない。従って , Cypress のハードウェア又はソフトウェア製品に講じられたセキュリティ対策にもかかわらず , Cypress は , Cypress 製品への権限のないアクセス又は使用といったセキュリティ違反から生じるいかなる責任も負わない。**Cypress は , Cypress 製品又は Cypress 製品を使用して生成されたシステムに破壊 , 攻撃 , ウイルス , 干渉 , ハッキング , データの損失又は盗難 , その他のセキュリティ侵害 (総称して , 以下「セキュリティ違反」という。) がないことを表明又は保証しない。** Cypress は , セキュリティ違反に関連するいかなる責任も否認し , セキュリティ違反から生じるいかなる請求 , 損害又はその他の責任について免責される。加えて , 本書面に記載された製品には , エラッタと呼ばれる設計上の欠陥又はエラーが含まれている可能性があり , 公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で , Cypress は , 別途通知することなく , 本書面を変更する権利を留保する。Cypress は , 本書面に記載のある , いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は , 参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計 , プログラム , かつテストすることは , 本書面のユーザーの責任において行われるものとする。「ハイリスク・デバイス」とは , 不具合により人身傷害 , 死亡若しくは物的損害を引き起こす可能性のある装置若しくはシステムをいう。「ハイリスク・デバイス」の例として , 兵器 , 原子力施設 , 外科的移植 , 及びその他の医療機器が挙げられる。「重要な構成部分」とは , それの不具合が直接又は間接的にハイリスク・デバイスの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるようなハイリスク・デバイスのあらゆる構成部分をいう。Cypress 製品をハイリスク・デバイスの重要な構成部分として使用したことから生じるいかなる請求 , 損害又はその他の責任についても , Cypress はその全部又は一部をとわず一切の責任を負わず , かつ Cypress はそれら一切から本書により免除される。Cypress (その関連会社を含む), 及びその取締役 , 執行役 , 従業員 , 代理人 , 販売業者 , 及び譲受人は Cypress 製品をハイリスク・デバイスの重要な構成部品として使用したことから生じる製造物責任 , 又は人身傷害若しくは死亡 , 又は物的損害の請求を含むあらゆる請求から生じるすべての費用 , 損害及び経費から免責される。Cypress 製品は , (i) Cypress が特定のハイリスク・デバイスで使用するための製品として明示的に認定している製品のデータシートを公表している場合 , 又は , (ii) Cypress が特定のハイリスク・デバイスの重要な構成部分として製品を使用することを事前に書面により承認し , 別途補償契約に署名した場合の限定された範囲を除いては , ハイリスク・デバイスの重要な構成部分としての使用を意図又は承認されていない。

Cypress, Cypress のロゴ及びこれらの組み合わせ , PSoC, CapSense, EZ-USB, F-RAM, Traveo, WICED, 及び ModusToolbox は , 米国又はその他の国における Cypress 又はその子会社の商標又は登録商標である。Cypress のより完全な商標のリストは , cypress.com を参照すること。その他の名称及びブランドは , それぞれの権利者の財産として権利主張がなされている可能性がある。

EZ-USB™ is a trademark and West Bridge® is a registered trademark of Cypress Semiconductor Corporation.