

## WirelessUSB™ -NL 2.4 GHz Low Power Radio

### 特長

- 2.4GHz 帯ワイヤレステクノロジーを搭載
- ワイヤレスデータ転送速度 1 Mbps を実現
- 送信出力 (TYP) : 0 dBm
- 受信感度 (TYP) : -87 dBm
- スリープ状態での消費電流 1  $\mu$ A (TYP) [1]
- 閉ループ周波数合成機能
- 周波数ホッピング方式 (スペクトラム拡散) をサポート
- 64 バイト先入れ先出し (FIFO) データ バッファ付きオンチップ パケット フレーム
- 自動確認再実行処理プロトコルの組み込みによる操作性の簡素化
- 組み込み巡回冗長検査 (CRC)、順方向エラー修正 (FEC)、データ ホワイトニング
- DC ~ 12-MHz SPI パスインターフェースをサポート
- 割り込み要求 (IRQ) 生成のための追加出力
- RSSI (Received Signal Strength Indication) の数値表示装置
- 4 × 4 mm の QFN パッケージ、ベアダイ、またはウェハの販売

### 製品の説明

2.4 GHz ISM バンドでの動作に最適な WirelessUSB™ -NL は、サイプレスの第三世代の 2.4 GHz 低電力 RF 技術を擁しており、4 mm × 4 mm という小さな実装面積にて次世代レベルの低電力性能を実現します。WirelessUSB™ -NL は、微分単体混合器と電力効率を最適化した閉ループ変調設計を使用して耐干渉性に優れたガウス周波数偏移変調 (GFSK) 無線を搭載しています。閉ループ変調により周波数ドリフトの問題は効果的に除去されるため、WirelessUSB™ -NL は、開ループ設計の場合のようなフェーズ ロック ループ (PLL) を再ロックするといった度重なるパワー損失を回避して、最大 255 バイトのペイロードを送信することができます。

WirelessUSB™ -NL の利点は、ロック時間が短くチャネルの切り替えが可能であること、およびより大きなペイロードの送信能力があります。より大きなペイロード パケットを使用すると、複数の短いペイロード パケットを使用する場合と比べ、オーバーヘッドを低減させ、電力効率を向上し、スペクトルの混み合いを軽減することができます。

サイプレスの enCoRe™ USB ファミリーとワイヤレス用 マイクロコントローラと組み合わせることで、WirelessUSB™ -NL は、ワイヤレス キーボードやワイヤレスマウスなどの PC 周辺機器の部品 (BOM) にかかるコストを最小限に抑え、玩具やリモコン、フィットネス、オートメーション、プレゼン用ツール、およびゲーミングなど要求の高い用途でクラス最高のワイヤレス性能も発揮します。

### アプリケーション

- ワイヤレス キーボードとワイヤレスマウス
- 携帯 リモコン
- ワイヤレス ゲーム コントローラ
- ラジコン模型用コントローラ
- ホーム オートメーション
- 産業用ワイヤレスリンクおよびネットワーク
- コードレス オーディオおよび低速ビデオ

1. 基準値は以下の値を参照するものであり、保証された仕様とテスト条件ではありません。基準値は、 $V_{IN} = 3 \text{ VDC}$ 、 $T_a = +25^{\circ} \text{C}$  で算出されます

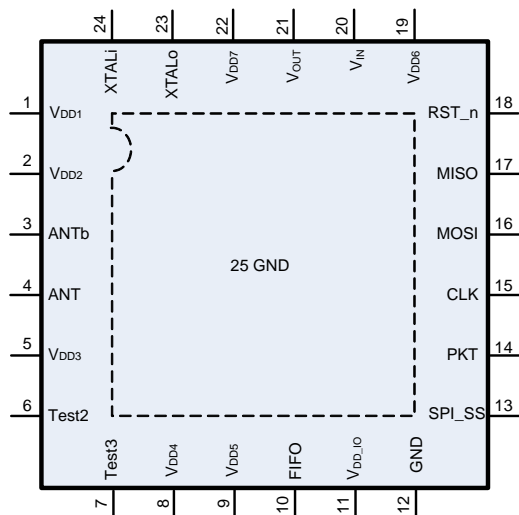
## 目次

端子配置.....	4	テスト目的のレジスタ設定 .....	19
端子の説明.....	4	PCB レイアウトの推奨事項.....	20
機能の説明.....	5	アンテナ タイプおよび場所.....	20
電源立ち上げおよびレジスタ初期化シーケンス .....	5	IR リフロ基準.....	21
スリープおよびウェイクアップ開始動作 .....	6	レジスタの定義.....	22
パケット データ構造.....	6	推奨レジスタ値 .....	27
FIFO ポインタ.....	6	絶対最大定格.....	28
パケット ペイロード長さ.....	6	動作範囲.....	28
フレーマ：パケット長さの処理.....	7	電気的特性.....	28
MCU またはアプリケーションのパケット長処理 .....	9	SPI.....	31
代表的な用途.....	12	SPI トランザクション形式およびタイミング .....	31
無線周波数の設定.....	13	仕様 .....	32
水晶振動子.....	13	電氣的動作特性.....	33
最小端子数.....	14	状態概略図.....	34
プルアップのリセット.....	14	注文情報.....	35
送信出力制御.....	14	注文コードの定義 .....	35
RSSI の読み取り.....	14	パッケージ図.....	36
自動 ACK.....	15	略号.....	37
CRC および FEC 結果の受信.....	15	本書の表記法.....	37
同期ワードの選択.....	15	測定単位 .....	37
スクランブル オン / オフの選択.....	16	改訂履歴.....	38
レシーバ感度の測定.....	16	販売、ソリューション、および法律情報.....	38
受信スプリアス応答.....	17	ワールドワイドな販売と設計サポート .....	38
RF VCO 補正.....	17	製品 .....	38
規制への準拠.....	18	PSoC ソリューション .....	38
米国 FCC.....	18		

1. 注 BRCLK 信号はベアダイだけで利用できます。パッケージ パーツでは使用できません。

## 端子配置

図 1. 端子配置 - CYRF8935 24 ピン QFN 端子配置（上面図）



## 端子の説明

表 1. CYRF8935 24 ピン QFN (4 × 4 mm) 端子配置

端子番号	端子名	種類	説明
6, 7	テスト 2、テスト 3	--	Reserved（工場出荷テスト用）接続しないでください
1, 2, 5, 8, 9, 19, 22	V <sub>DD1</sub> ~ V <sub>DD7</sub>	PWR	コア電源電圧。すべての V <sub>DD</sub> ピンを V <sub>OUT</sub> ピンに接続します。
3, 4	ANTb、ANT	RF	推奨されるアンテナ接続については 12 ページの代表的な用途 を参照してください。これらのピンはそれぞれ DC 接地し、20 kΩ 以下にする必要があります
10	FIFO	0	FIFO ステータス表示ビット
12, 25	GND	GND	グラウンド接続
11	V <sub>DD_IO</sub>	PWR	デジタル インターフェース用 V <sub>DD</sub>
13	SPI_SS	I	SPI、アクティブ LOW 用に入力を有効にします。また、デバイスをスリープ状態からウェイクアップするためにも使用します。
14	PKT	0	送信 / 受信パケットステータス表示ビット
15	CLK	I	SPI インターフェースのクロック入力
16	MOSI	I	SPI バスのデータ入力
17	MISO	0/High-Z	データ出力（アクティブでないときにトライステート）
18	RST_n	I	RST_n Low: 電力を節約するためのチップ シャットダウン。レジスタ値が失われます RST_n High: チップをオンにし、レジスタをデフォルト値に回復させます
20	V <sub>IN</sub>	PWR	オンチップ低ドロップアウト (LDO) 電圧レギュレータへの未調整入力電圧
21	V <sub>OUT</sub>	PWR	オンチップ LDO からの +1.8 V 出力。すべての V <sub>DD</sub> ピンに接続し、外部負荷に接続しません。
23	XTALo	A0	水晶振動子ゲイン ブロックの出力
24	XTALi	AI	水晶振動子ゲイン ブロックへの入力

## 機能の説明

CYRF8935 RF トランシーバは、幅広い用途にワイヤレス性能を追加することができます。

この製品は、低コストで CMOS RF トランシーバ、GFSK データモデム、およびパケット フレームを搭載しており、2.4 GHz ISM 帯域での使用に最適化されています。送受信、RF シンセサイザ、およびデジタル モデム機能を備えており、わずかな外部コンポーネントが付属しています。トランスミッタはデジタル電力制御をサポートしています。レシーバは全面的なデジタル処理を使用し、干渉やトランスミッタの障害がある場合でも、卓越した総合性能を発揮します。

この製品は GFSK データを約 0 dBm の出力で送信します。デルタシグマ型 PLL は高品質な DC 結合送信データ パスを提供します。

Low-IF レシーバ アーキテクチャでは良好な選択性と画像排除が可能であり、ほとんどのチャネルで一般的な感度は -87 dBm 以上となります。チャネルでの感度は水晶のリファレンス発振器周波数 (12 MHz) の整数倍であり、約 5 dB の劣化を示す場合があります。デジタル RSSI 値は、モニタ チャネル品質で表示できます。

オンチップ送信および受信 FIFO レジスタは、MCU によるデータ転送のバッファのために使用できます。無線データ転送速度は、低速、低コストの MCU に接続した場合でも常に 1 Mbps となります。組み込み CRC、FEC、データ ホワイトニング、および自動再試行 / 確認はすべて利用可能で、個別の用途において性能を簡易化、最適化します。

## 電源立ち上げおよびレジスタ初期化シーケンス

電源を立ち上げるときの適切な初期化のために、 $V_{IN}$  は下図の  $T_{VIN}$  スペックで示した値よりも早いランプ レートで規定の電圧まで昇圧する必要があります。この間、 $RST_n$  は  $V_{IN}$  電圧上昇プロファイルを約 0.2 V 以内で追跡する必要があります。ほとんどの MCU の GPIO ピンは電源を立ち上げるときに自動的にデフォルトの High-Z 状態になるので、14 ページの図 11 で示すようにプルアップ 抵抗が必要となります。電源が安定した状態で、MCU POR がリリースされ、MCU が命令を実行し始めると、 $RST_n$  は、Reg[27] = 0x4200 の書き込みのあとに図 2 に示すように一旦 low レベルに落とします。この SPI トランザクション、FRAMER\_ST=1 であることを確認して、初期化が適切であるかどうかを確認することができます。

図 2. 電源立ち上げおよびレジスタ プログラミング シーケンス

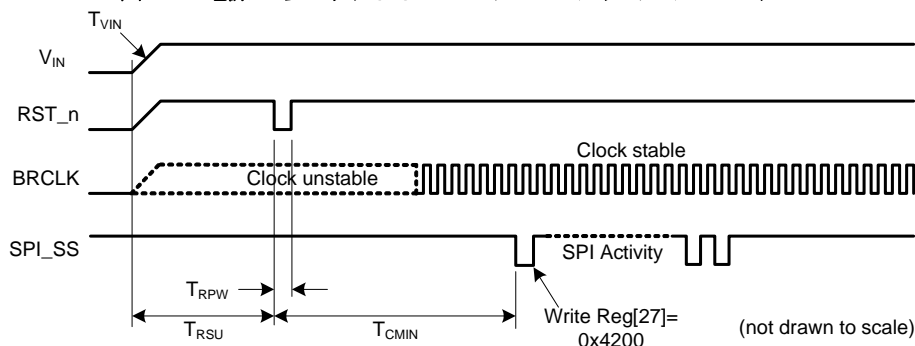


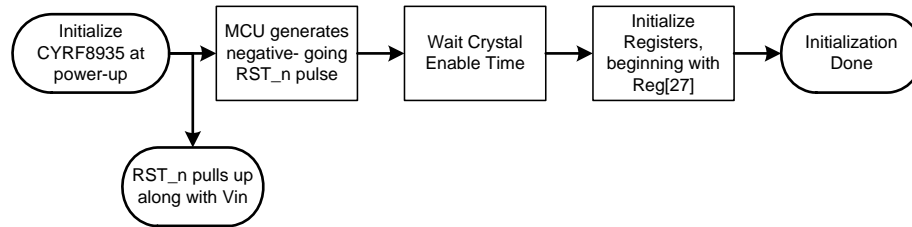
表 2. 初期化タイミングの要件

タイミング パラメータ	Min	Max	単位	注記
$T_{RSU}$	–	20	ms	リセットを完了するために必要なリセット セットアップ時間
$T_{RPW}$	1	10	$\mu s$	リセットを完了するために必要なリセット パルス幅
$T_{CMIN}$	3	–	ms	推奨水晶振動子および APLL 最少設定時間
$T_{VIN}$	–	6.5	ms/V	最終電圧に到達する間 (0 ~ 100% に測定される) $V_{IN}$ の最大経過時間。例えば、 $V_{IN} = 3.3 V$ の場合、最大経過時間は $6.5 \times 3.3 = 21.45 ms$ です。 $V_{IN} = 1.9 V$ の場合、最大経過時間 = $6.5 \times 1.9 = 12.35 ms$ です。

- $RST_n$  が 0 → 1 に遷移した後、BRCLK[2] は 12MHz でクロック動作を開始します。
- レジスタの初期化後に、CYRF8935 で送受信の準備が完了します。

2. 注 BRCLK 信号はベアダイだけで利用できます。パッケージ パーツでは使用できません。

図 3. 初期化フローチャートスリープおよびウェイクアップ開始動作



MCU またはアプリケーションが CYRF8935 レジスタ 35[14] に書き込んで、スリープ モードに入り、SPI\_SS をデアサートすると、CYRF8935 はスリープ状態に入り、電流消費は極端に低くなります。

そのあと、SPI\_SS が再度アサートされると、CYRF8935 は自動的にスリープ状態からウェイクアップします。この時点で、水晶振動子は再び作動します。水晶振動子が完全に安定するには 1 ~ 3 ms かかります。ウェイクアップ中には、レジスタ 35[14] をクリアしたり、SPI\_SS をアサートに維持する必要はありません。

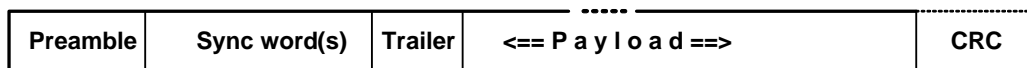
Reg[27] の設定により二つのスリープ電流を選択することができます：一つは 1  $\mu$ A でもう一つは 8  $\mu$ A です。1  $\mu$ A<sup>[1]</sup> 設定の場合、Vin は 3.0 VDC 以上である必要があります。スリープ中に Vin が < 3.0 VDC になることが予測される場合には、8  $\mu$ A 設定を使用してください。1  $\mu$ A スリープ設定は、例えば 8 ~ 10 秒またはそれ以上の長期スリープ用に使用するべきです。

スリープ電流を最小にするには、特殊なスリープ状態ファームウェア パッチが必要です。パッチは以下の通りです：

スリープ パッチ： レジスタ 35 に書き込んでスリープに入る前に、Reg[10] = 0x8FFD を書き込み、30  $\mu$ s 以上待機してから、Reg[10] をデフォルト値の 0x7FFD に書き戻します。次に、通常どおりに Reg[35] に書き込んでスリープに入ります。

## パケット データ構造

図 4. パケット構造



CYRF8935の無線パケットはそれぞれ以下のような構造になっています：

- プリアンブル： 1 ~ 8 バイト、プログラマブル
- SYNC: 16/32/48/64 ビット、デバイス同期ワードとしてプログラマブル
- トレーラ： 4 ~ 18 バイト、プログラマブル
- ペイロード： TX/RX データ
- CRC: 16 ビット CRC (オプション)

## FIFO ポインタ

アプリケーションが送信のためにデータを FIFO に書き込む前に、FIFO ライトポインタをクリアする必要があります。これを実行するには、'1' をレジスタ 52[15] に書き込みます。

パケットを受信したあと、ライトポインタはレジスタ 52[13:8] によって、ユーザ MCU またはアプリケーションで読み取られるまでの FIFO バッファで待機する受信データの量を示します。

FIFO 書き込みポインタは、レシーバが SYNC を受信すると自動的にクリアされます。

FIFO 読み取りポインタは、レシーバが SYNC を受信したあと、または送信モードで SYNC を送信したあとに自動的にクリアされます。

## パケット ペイロード長さ

CYRF8935 で TX/RX パケット長さを処理する方法は 2 つあります。レジスタ 41[13] が 1 の場合、CYRF8935 内部フレイムは最初のペイロード バイトの値に基づいてパケット長さを検知します。レジスタ 41[13] が 0 の場合、ペイロードの最初のバイトには特別な意味はなく、パケット長さは、空で実行される TX FIFO か、クリアされた TX\_EN ビットにより決定されます(表 3 を参照)。

3. 注 基準値は以下の値を参照するものであり、保証された仕様とテスト条件ではありません。基準値は、V<sub>IN</sub> = 3 VDC, Ta = +25°C で算出されます。

**表 3. パケット長さ用の CYRF8935 設定**

レジスタ 41[13] PACK_LENGTH_EN	レジスタ 41[12] FW_TERM_TX	CYRF8935 フレーマの開始 / 停止
0 (MCU またはアプリケーションがパケット長さを処理)	0	送信が停止するのは、レジスタ 7 TX_EN = 0 の場合だけです。 詳細は、10 ページの <a href="#">FW_TERM_TX = 0 (送信)</a> をご覧ください。 受信が停止するのは、レジスタ 7 RX_EN = 0 の場合だけです。 詳細は 7 ページの <a href="#">フレーマ：パケット長さの処理</a> をご覧ください。
	1	送信は FIFO が空で実行されると自動的に停止します。 受信が停止するのは、レジスタ 7 RX_EN = 0 の場合だけです。 8 ページの <a href="#">受信タイミング</a> を参照してください。
1 (CYRF8935 がパケット長さを処理します)	<sup>x</sup> (関係なし)	ペイロードの最初のバイトは、パケット長さ 0 ~ 255 バイトとして見なされます。 送信は、すべての 0 ~ 255 バイトが送信されると自動的に停止します。 詳細は 7 ページの <a href="#">フレーマ：パケット長さの処理</a> をご覧ください。

以下のセクションでは、詳細なタイミング図を示します。すべてのタイミング図は PKT および FIFO フラグでアクティブ HIGH を示しています。アクティブ LOW は、レジスタ 41[10] 設定によって利用することもできます。

### フレーマ： パケット長さの処理

CYRF8935 フレーマは、レジスタ 41[13] = 1 に設定することで、パケット長を処理します。ペイロードの最初のバイトは、パケット長として見なされます（この長さを示すバイトはパケット長にカウントしません）。CYRF8935 は、255 バイトまでのパケット長をサポートしています。フレーマは送受信の開始と終了を処理します。

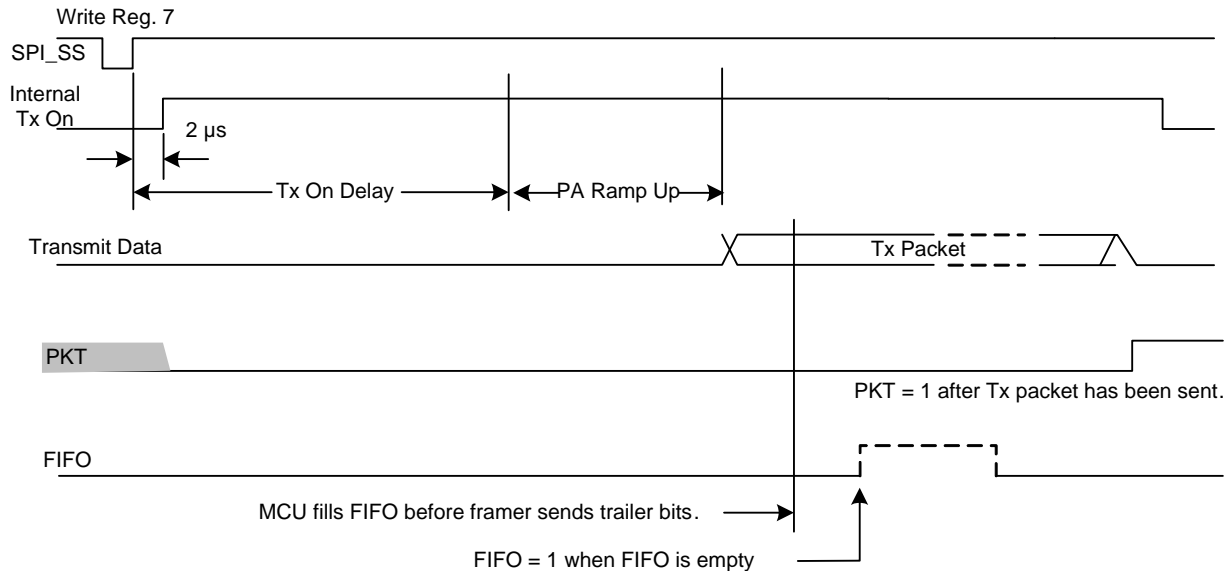
#### 送信タイミング

Tx タイミングチャートを図 5 に示します。MCU がレジスタ 7[8]= TX\_EN = 1 を書き込んだあと、フレーマは FIFO レジスタからのペイロード データを使用し、Tx パケットを自動的に生成します。周波数 (RF チャネル) は、レジスタ 7 で指定され、TX\_EN に 1 が書き込まれた時点で有効になります。

MCU またはアプリケーションは、フレーマがトレーラ ビットを送信する前に、送信データを FIFO レジスタにロードする必要があります。これを実行するには、TX\_EN = 1 を書き込む前または後に送信ペイロード データを FIFO レジスタにロードします。より速度の低いアプリケーションでは、FIFO レジスタをロードしてから、TX\_EN = 1 を書き込む方が容易です。より高いフレーム速度（高速）のアプリケーションでは、レジスタ 7 に TX\_EN = 1 を書き込んでから、図 5 で示すように、Tx オン遅延期間中に、FIFO レジスタにペイロード データをロードします。

パケット長が FIFO の長さを超過する場合、MCU は FIFO データを何回も書き込む必要があります。FIFO フラグは送信状態にあり、FIFO が空であるかどうかを示します。

図 5. レジスタ 41[13] = 1（フレーマがパケット長を処理）、PKT および FIFO フラグがアクティブ HIGH のときの Tx タイミング図



### 受信タイミング

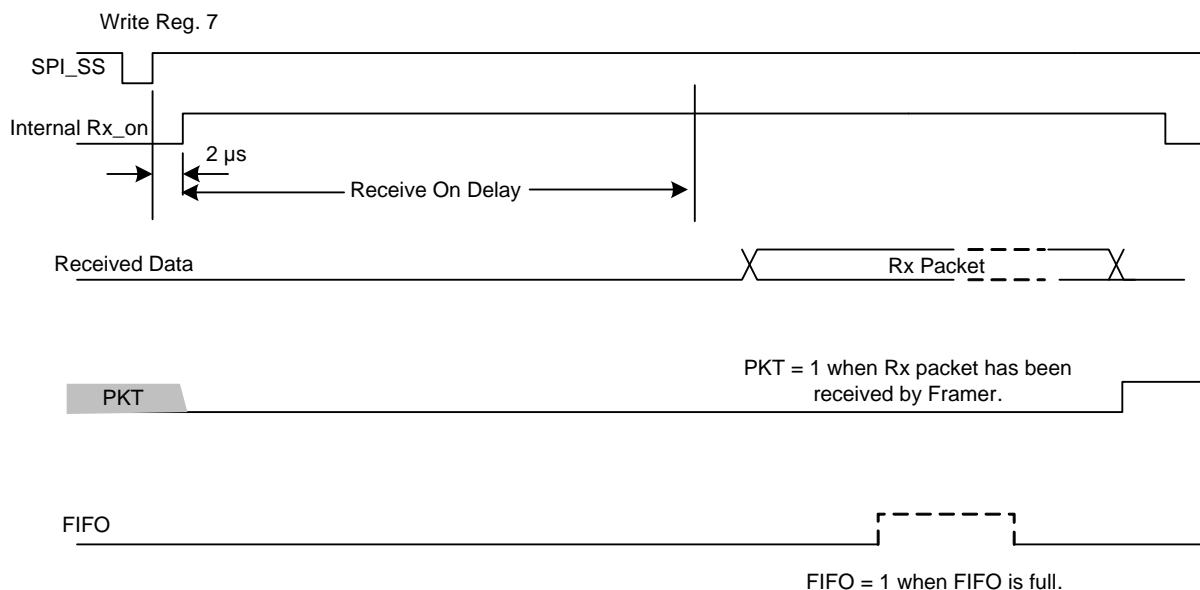
図 6 Rx タイミング図を表示します。受信プロセスは、MCU がレジスタ 7[7] = 1 に書き込むときに開始します。この時点で、CYRF8935 フレーマはレシーバをオンにし、有効な同期ワードを検知しようとしながら待機します。受信周波数はレジスタ 7 で指定されます。2 つの関連したレジスタ 7 の フィールド、RX\_EN および RF\_PLL\_CH\_NO は、同じ SPI トランザクション中に CYRF8935 に送信されます。別々の SPI トランザクションで送信される場合は、RF\_PLL\_CH\_NO を最初に送信してから RX\_EN を送信します。

有効な同期ワードが見つかった場合、CYRF8935 フレーマはパケットを自動的に処理します。受信したパケットの処理が完了すると、CYRF8935 フレーマは状態をアイドルに設定します。

受信したパケット長さが 63 バイトよりも長い場合、FIFO フラグがアクティブになります。これは、MCU が FIFO からデータを読み出す必要があることを意味しています。

有効な同期ワードは、信号が弱かったり、多重波伝播（マルチパス）の干渉によるキャンセル、またデバイスが受信範囲外にあることなどが原因で、常に見つかるとは限りません。このような条件に対応するためとロックアップを防止するには、アプリケーションまたは MCU が RX\_EN をクリアする為に「受信タイムアウト」タイマを組み込む必要があります。

図 6. レジスタ 41[13] = 1（フレーマがパケット長さを処理）、PKT および FIFO フラグがアクティブ HIGH のときの Rx タイミング図





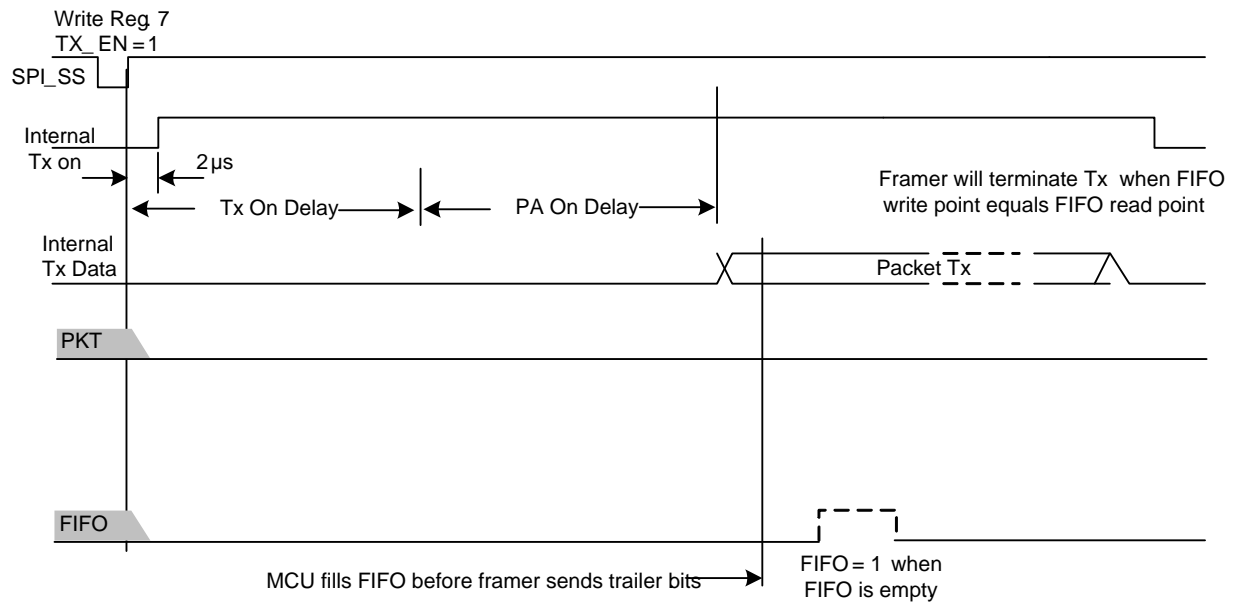
### MCU またはアプリケーションのパケット長処理

レジスタ 41[13] = 0 の場合、ペイロード データの最初のバイトには特別な意味はなく、パケット長はレジスタ 41[12] によって決まります。

*FW\_TERM\_TX = 1*

レジスタ 41[12] = 1 の場合、CYRF8935 フレーマは、パケット送信中に FIFO 書き込みポイントと FIFO 読み取りポイントと比較し続けます。MCU またはアプリケーションが FIFO へのデータ書き込みを停止すれば、フレーマは送信するデータがなく (FIFO が空) であることを最終的に検知し、CYRF8935 は自動的に「送信終了」となります (図 7 を参照)。

図 7. レジスタ 41[13:12] = '01b、PKT および FIFO フラグがアクティブ HIGH のときの Tx タイミング

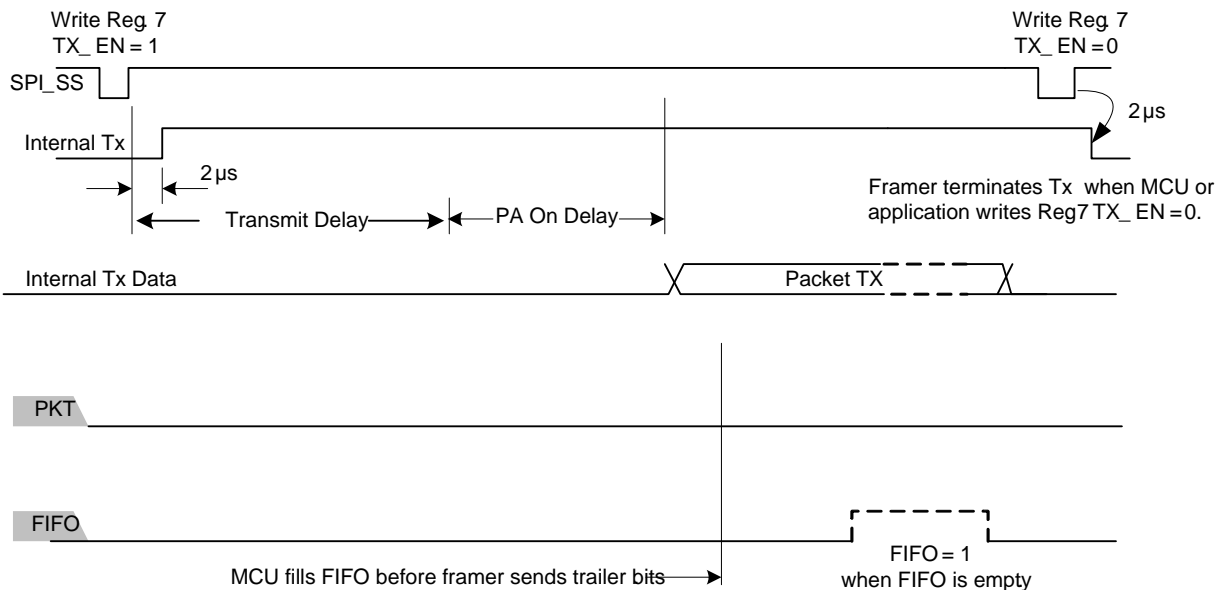


**注** レジスタ 41[13] = 0 (MCU またはアプリケーションがパケット長さを処理) の場合、FIFO を決してアンダーフローまたはオーバーフローさせないでください。FIFO のフルまたは空の閾値を制御するには、レジスタ 40 FIFO\_EMPTY\_THRESHOLD および FIFO\_FULL\_THRESHOLD 設定を使用します。最適値は、SPI 速度と、MCU またはアプリケーションがデータを FIFO にストリーミングする速度によって異なります。

*FW\_TERM\_TX* = 0 (送信)

レジスタ 41[13:12] = '00b の場合、CYRF8935 フレーマは、MCU またはアプリケーションがレジスタ 7[8] TX\_EN ビット = 0 を書き込むまではパケット送信を停止しません。パケット送信は、FIFO が空でも続行されます (図 8 を参照)。

図 8. レジスタ 41[13:12] = '00b、PKT および FIFO フラグがアクティブ HIGH のときの TX タイミング図



**注** レジスタ 41[13] = 0 (MCU またはアプリケーションがパケット長さを処理) の場合、FIFO を決してアンダーフローまたはオーバーフローさせないでください。FIFO のフルまたは空の閾値を制御するには、レジスタ 40 FIFO\_EMPTY\_THRESHOLD および FIFO\_FULL\_THRESHOLD 設定を使用します。最適値は、SPI 速度と、MCU またはアプリケーションがデータを FIFO にストリーミングする速度によって異なります。

### FW\_TERM\_TX= 0 (受信)

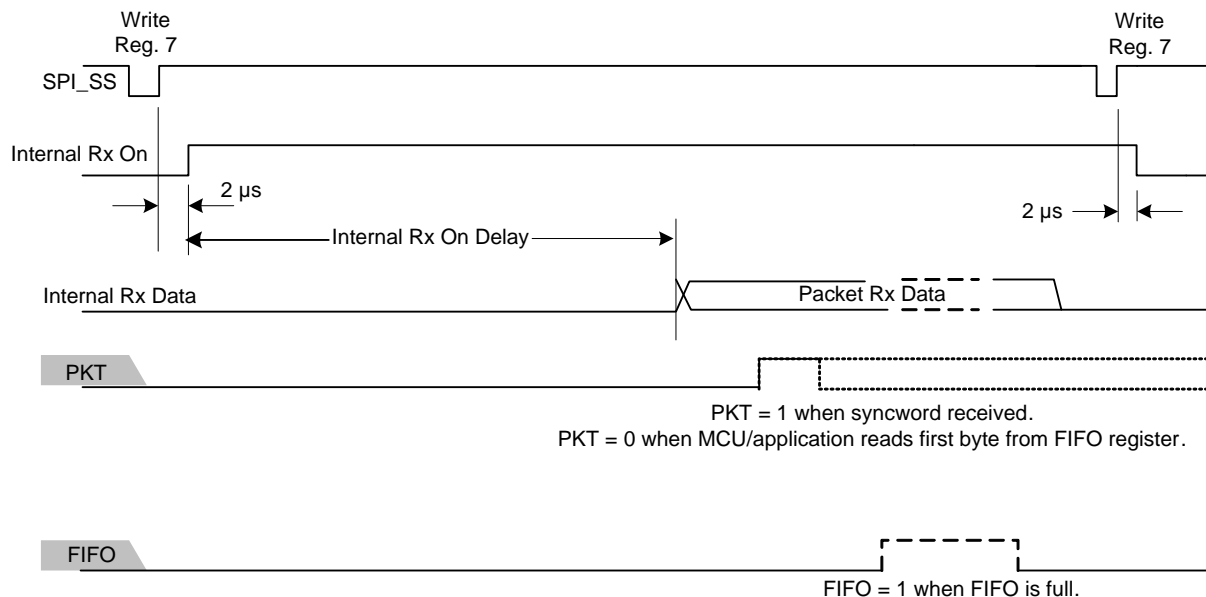
レジスタ 41[13] = 0 の場合、パケット受信は MCU またはアプリケーションがレジスタ 7[7] RX\_EN = 1 を書き込むときに開始します。この時点で、フレーマはレジスタ 7 で指定された周波数とチャンネルで自動的にレシーバーをオンにします。内部シンセサイザとレシーバの遅延を待機したあとで、CYRF8935 のフレーマ回路は同期ワードの受信信号の検索を開始します。同期ワードを検知すると、フレーマは PKT フラグをアクティブに設定してから、受信データ バイトで FIFO を満たします。PKT フラグは、MCU またはアプリケーションが FIFO レジスタから

データの最初のバイトを読み取るまでアクティブなままになります。MCU またはアプリケーションが受信データの最初のバイトを読み取ったあと、PKT フラグは次の Tx/Rx 周期まで非アクティブになります。

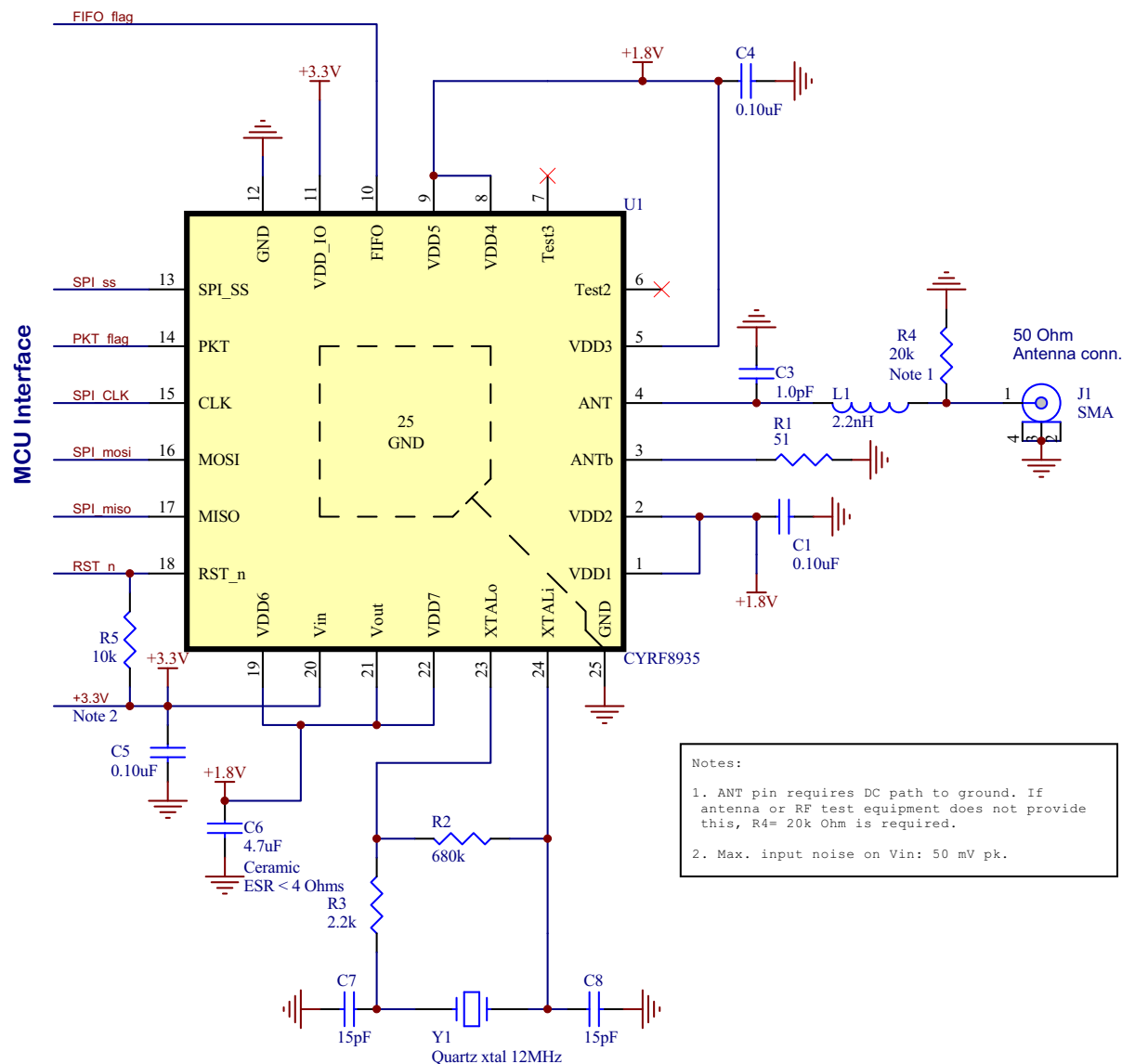
レジスタ 41[13:12] = '00b または '01b の場合、CYRF8935 フレーマでは、必ず MCU またはアプリケーションがレジスタ 7[7] に 0 を書き込んで Rx 状態を停止する必要があります。

Rx タイミング図を図 9 に示します。

**図 9. レジスタ 41[13:12] = '00b または '01b  
PKT\_flag および FIFO\_flag がアクティブ HIGH のときの RX タイミング図**



## 代表的な用途



## 無線周波数の設定

チャネル番号によるプログラミングは周波数を設定する上で最も容易な方法です。CYRF8935 で、RF キャリア周波数と RF チャネル番号は常に以下の式で示すことができます。

$$\text{Freq.} = 2402 + \text{Ch. \#}$$

チャネル番号はレジスタ 7 のビット [6:0] にロードされます。ビット 7 および 8 は、要求された Rx または Tx 動作をそれぞれ開始します。

サンプル レジスタ 7 の一例を表 4 で示します。

規制コンプライアンステスト中に、アイドル状態を経ずにいつでも別の周波数に直接ジャンプすることができます。ただし、Tx と Rx の間で切り替える場合、アイドル状態を経由する必要があります。アイドル状態では、レジスタ 7 に書き込んでビット 8 と 7 をクリアします。Tx または Rx 動作は、レジスタ 7 にビット 8 または 7 を設定すると開始します。無線周波数をこの時点で決定することもできます。

表 4. サンプルのレジスタ 7 設定

キャリア周波数、MHz	DUT チャネル番号 (10 進)	DUT チャネル番号 (16 進)	Tx 設定: レジスタ 7 値 TX_EN= 1	Rx 設定: レジスタ 7 値 RX_EN= 1
2402	0	00	0100	0080
2403	1	01	0101	0081
2404	2	02	0102	0082
2434	32	20	0120	00A0
2441	39	27	0127	00A7
2480	78	4E	014E	00CE

## 水晶振動子

CYRF8935 には水晶振動子の周波数標準のオンチップ ゲイン ブロックが含まれます。

### 水晶振動子アプリケーション

14 ページの図 10 で示すように、直列抵抗器  $R_s$  は水晶へのパワーを制限し、発振に必要な位相シフトに寄与します。理想的な  $R_s$  値は経験的に決定し、特定的水晶メーカの部品番号と設計に合わせて調整する必要があります。C1 と C2 を直列に接続する組合せにより、水晶から見た容量負荷が主に決定されますが、これは水晶のベンダーの仕様に一致する必要があります。これらのコンデンサ値は、正確な 12 MHz での水晶振動子周波数が中心になるようにして選ばれます。バッファ出力から入力へのフィードバック抵抗器  $R_f$  は、オンチップ バッファを線形領域の中心へ自己バイアスをかけ、最大ゲインを得るために役立ちます。

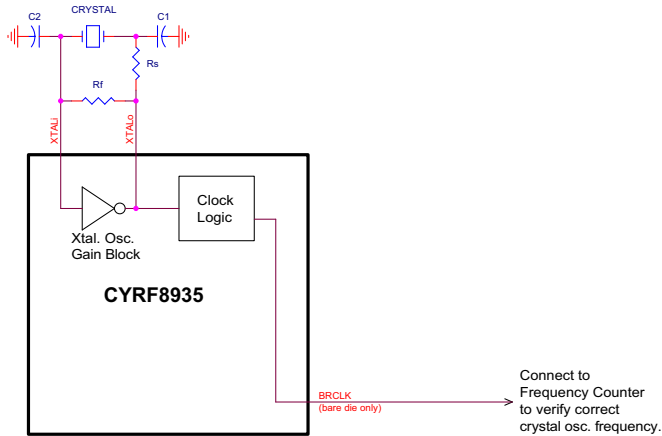
正しい水晶振動子周波数を確認するには、特別なテスト方法が必要です。周波数カウンタ プローブを XTALi または XTALo に接続すると、容量負荷が追加され、水晶振動子周波数が変更されるため、その他の方法を使用する必要があります。COB パッケージを使用するベアダイ アプリケーションでは BRCLK<sup>[1]</sup> テスト ポイントを使用し、正しい発振周波数を確認します。これには、それに応じて、レジスタ 32[3:1] の設定が必要です (22 ページのレジスタの定義を参照)。24-QFN パッケージ部品では、正しい水晶振動子周波数は連続キャリア周波数を送信し (19 ページのテスト目的のレジスタ設定を参照)、RF 周波数カウンタを使用することで決定し、正しい周波数を確保しています。使用方法に関係なく、初期許容誤差は で推奨する表 5 バジレットの範囲内である必要があります。これにより、合計周波数エラーがバジレットの範囲内におさまります。

表 5. 水晶仕様

水晶パラメータ	仕様
周波数	12.000 MHz
初期周波数許容誤差	±15 ppm
温度での周波数許容誤差	±15 ppm
経年後の周波数許容誤差	±5 ppm
負荷容量ドリフトによる周波数ドリフト	±5 ppm
合計	±40 ppm
直列抵抗に等価	最大 80 Ω
共振モード	基本、並列共振
負荷容量	外部負荷容量に従う (図 10 で C1 および C2 を参照)

注 適切に動作させるために、合計周波数エラーは表 5 で表示される数を超えてはなりません。個々のエラーの影響は、たとえば  $10+20+5+5=40$  や  $5+30+2+3=40$  のように調整することができます。3838

4. 基準値は以下の値を参照するものであり、保証された仕様とテスト条件ではありません。基準値は、 $V_{IN} = 3 \text{ VDC}$ ,  $T_a = +25^\circ \text{ C}$  で算出されます。

**図 10. 水晶振動子の簡略図**

**注 水晶振**

動子は 12 ページの**代表的な用途**、13 ページの**表 5**、および**図 5**で示すように構成され、振動周波数はスタートアップ後に 3 mS (最大) 内で安定する必要があります。

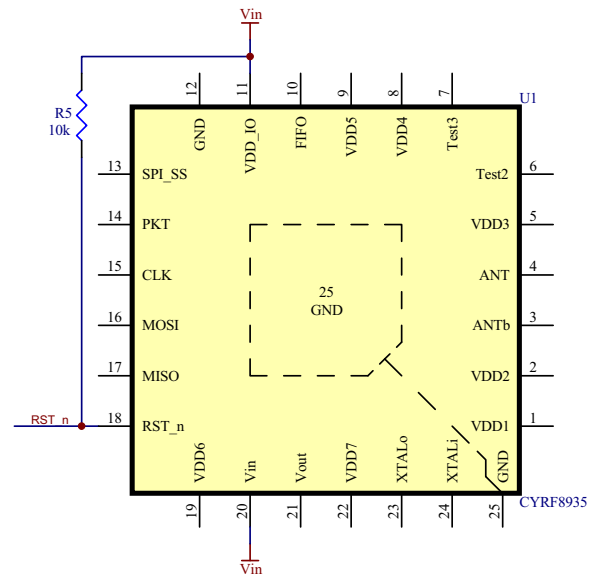
**最小端子数**

低コストの MCU が CYRF8935 を駆動する場合、MCU 端子数を最小限にする必要があります。

- FIFO ピン：Tx または Rx パケット長さが約 63 バイトよりも大きい、または無限に大きい場合のみ必要です。短いパケット (< 63 バイト) では、FIFO は必要ありません。
- PKT ピン：受信したパケットのハードウェア表示を示します。この情報についてレジスタ 48 をポーリングする場合には、このピンは必要ありません。
- SPI ライン：4 本のラインがすべて必要です。

**プルアップのリセット**

適切に電源オンを開始するには、RST\_n pin は**図 11**に表示しているように、VIN までプルアップする必要があります。プルアップ抵抗の正確な値は重要ではありません。プルアップレジスタは、電源を入れながら、CYRF8935 内部レベルシフト回路の適切な操作を保証します。次に、RST\_n パルスは内部レジスタをそのデフォルト状態にリセットします。

**図 11. プルアップ回路をリセット**

**送信出力制御**

**表 6** 短距離のアプリケーションでのレジスタ 9 の推奨設定を一覧表示します。ここで、送信 RF 出力の低減は電流を低くするための望ましい措置です。:

**表 6. 送信出力制御**

出力設定の説明	標準送信出力 (dBm)	レジスタ 9	
		シリコン ID 0x1002 <sup>[1]</sup>	シリコン ID 0x2002 <sup>[1]</sup>
PA0 - 最高出力	+1	0x1820	0x7820
PA2 - 高出力	0	0x1920	0x7920
PA4 - 高出力	-3	0x1A20	0x7A20
低出力	-7.5	0x1C20	0x7C20
PA12 - 低出力	-11.2	0x1E20	0x7E20

**RSSI の読み取り**

CYRF8935 は、すべての LSB に対して 1 dB におおまかに初期化した内部 RSSI 回路を内蔵しています。その結果はレジスタ 6[15:10], RAW\_RSSI から読み取られます。詳細は 22 ページの**レジスタの定義**をご覧ください。

フレーマは、レシーバが有効になり、レジスタ 7 を使用した周波数に設定され、さらに正しい受信周波数に従って RF PLL が設定されたあとに、RSSI レジスタを読み取る必要があります。

5. 注 シリコン ID はレジスタ 31 から読み取れます。

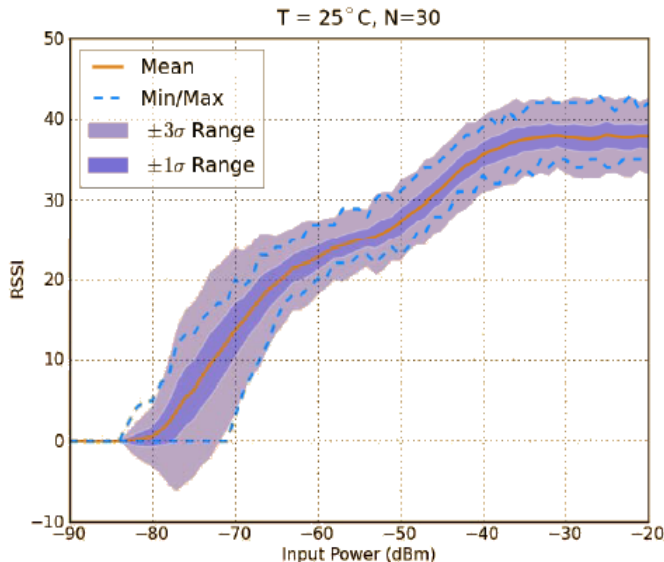
RX\_EN のプログラミングとレジスタ 6 の読み取りとの間の待機時間は、アプリケーションによって、以下の方法のどれか、またはその望ましい組合せを利用して決定することができます。

- RF PLL 整定時間の使用に従って待機し、RF PLL を設定します。
- レジスタ 3[12] RF\_SYNTH\_LOCK を読み取り、CYRF8935 RF PLL を設定します。
- レジスタ 48[7] SYNCWORD\_RECV を読み取り、受信した信号が望ましいパケットであることを示します。

RSSI は同期ワードを受信しなくても読み取れることに注意してください。言い換えれば、CYRF8935 RSSI 回路は CW と干渉信号にも応答します。

RSSI 機能が必要でない場合は無効にし、レシーバ DC 電流バジェットを保存します。レジスタ 11[9] を 0 から 1 に変更すると、レシーバの電流消費は約 0.3 mA 減少します。

図 12. 標準の室温 RSSI 応答



以下に示すのは RSSI 測定用の疑似コードです：

```
Write Reg11 = 0x0208 ;読み取り前に RSSI を無効にします
Read RSSI = Reg6[15:10] ;読み取りません
Write Reg11 = 0x0008 ;次の測定のために RSSI を有効にします
```

## 自動 ACK

CYRF8935 は自動再試行 / 確認機能を備えています。これは、TX パケットが受信端で正常に受信されない場合に、TX 端が自動的に再試行を所定回数行うことを意味しています。信号が弱い環境では、この機能によりビット エラー率 (BER) が、フレームエラー率 (FER) を犠牲にして 0 に表示されます。詳細は、34 ページの**状態概略図**をご覧ください。

自動再試行 / 確認を使用するには、レジスタ 41[11] およびレジスタ 35[11:8] について 22 ページの**レジスタの定義**をご覧ください。

## CRC および FEC 結果の受信

CYRF8935 は CRC および FEC エラー チェック ステータスをレジスタ 48[15:14] に返します。便宜のために、レジスタ 48 の上位バイト全体を SPI ステータス ワードに返します。これらの 8 ビットは通常、MCU またはアプリケーションの SPI ハードウェア ブロックから利用することが可能であり、同じ情報についてレジスタ 48 の追加読み取りをするために必要な時間を節約します。

CRC は、パケットのペイロード部分でのみ計算されます。

CRC\_ERROR は、レシーバが別の有効な同期ワードを検知した後、またはパケット ペイロードの送信後のみにクリアされます。

## 同期ワードの選択

各パケットの始めに、01010101 プリアンブルを送信したあと、同期ワードは 16、32、48、または 64 ビットの長さにプログラム可能です。通信デバイスの場合、これらはリンクの両端で同じ値にプログラムする必要があります。同期ワードは、この点において MAC アドレスと考えることができます。

CYRF8935 レシーバで、同期ワード ビット エラーの調整可能な公差が発生する可能性があります。この調整は SYNCWORD\_THRESHOLD と呼ばれ、レジスタ 40、ビット 5:0 を介して設定されます。設定が厳しすぎると、性能は良好になりますが、最善ではない受信感度とリンク バジェットしか得られません。設定が緩すぎると、誤った同期化のためフレーム エラーが増加します。

選択した同期ワードが 01010101 プリアンブルと一緒に非常に高い自動相関となっている場合、または別の同期ワード ネットワークで無線状態にある他のデバイスとの相関関係がある場合、この状況はさらに複雑になる場合があります。この望ましくない状態が生じやすくなるのは、01010101 プリアンブルの直後にくる同期ワード ビットが 1010... のシーケンスを続ける場合です。そのような場合、レシーバが実際の同期ワードとプリアンブルを区別するのは難しくなります。この解決策としては、SYNCWORD\_THRESHOLD を厳しく設定するか、より適した同期ワードを選択します。場合によっては、同期ワードを長くすることもオプションとなります。

レジスタ 36 はプリアンブルの直後に続くビットの同期ワードを設定します。誤った同期の問題が発生した場合には、このワードをまず最初に変更してみてください。

以下の表では、推奨設定のいくつかについて要約を示しています。

表 7. 推奨 SYNCWORD\_THRESHOLD 設定

アプリケーション	同期ワードの長さ (レジスタ 32 を参照)	同期ワードの選択	推奨レジスタ 40 SYNCWORD_THRESHOLD 設定 (10 進)
シンプル	32	ベター (ほぼすべての同期ワードが機能するはずです)	1
	32	グッド (ほとんどの同期ワードが機能)	2
アドバンス	64	ベター (ほぼすべての同期ワードが機能するはずです)	6 またはより厳しく
	64	グッド (ほとんどの同期ワードが機能)	7



## スクランブル オン / オフの選択

CYRF8935 は、内蔵ハードウェア データ スクランブルおよびデスクランブル機能を備えています。この機能は、送信データをよりランダムにするよう設計されており、連続した記号やスペースの長い文字列を削除します。この機能を有効にすると、レジスタ 35 SCRAMBLE\_DATA の設定に従って初期化する PN コードでペイロード データが変更されることになります。

CYRF8935 に基づいているシステムは通常、スクランブル オンまたはオフのどちらでも機能します。

SCRAMBLE\_ON=1 に設定すると、WEP が Wi-Fi に与えるのと同様に、無線セキュリティで「トークン」の小さな増加が生じます。言い換えれば、OTA データがコード化されますが、これはきわめてセキュアであるとは言えません。真にセキュアなアプリケーションのために、スクランブルをその他のセキュリティアルゴリズムと組み合わせることを検討してください。

適切に機能させるために、RF リンクの両端を同じ設定で、有効または無効にする必要があります。また、両端では同じレジスタ 35 SCRAMBLE\_DATA 設定にする必要があります。

## レシーバ感度の測定

受信感度と BER は以下の方法を使用して測定することができます。

### 方法 1: リンク バジエツト方法

この方法では、別の CYRF8935 または互換性のあるトランシーバを送信パケット ソースとして使用します。この方法では、補正した減衰パスを経由してテスト中のデバイス (DUT) に接続します。また、送信出力は既知であるか測定済みである必要もあります。レシーバ感度は、最大 RF 減衰率に基づいて以下の式で計算することができます。この減衰率は、十分なリンク性能を保ちながら Tx と Rx の間で維持することが可能です。

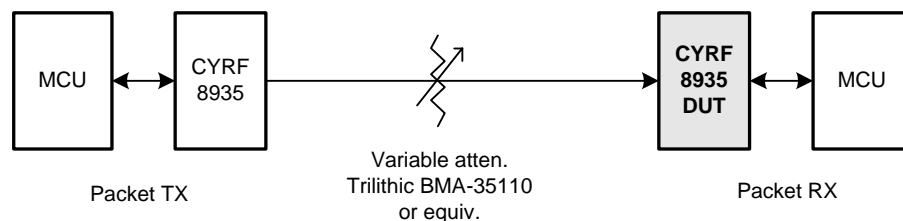
$$\text{Link\_Budget} = (\text{TxP} - \text{RxSens}) [\text{dB}]$$

ここで

TxP = 送信出力 [dBm]

RxSens = 受信感度 [dBm]

図 13. 全体のリンク バジエツトの測定、方法 1



この方法を使用するときに、RF 信号が減衰器や結合部の周囲で漏れて直接レシーバに入らないようにしてください。これが発生すると、減衰設定が無意味になります。これについて確認するには、減衰を高めて、より高い減衰器設定でパケットの受信量が減少するかどうかを確認します。

減衰器周囲での RF 漏れは、以下の原因で発生する可能性があります。

- RF ケーブル コネクタの緩み
- RF ケーブルのシールド不良
- Tx または Rx での PCB レイアウトの不良
- RF ボードが互いに近すぎる
- DC 電源コードによる、またはそれとの結合

他の 2.4 GHz サービスによる干渉がテスト セットアップに漏れて、BER 測定が劣化する可能性があることに注意してください。

適切にセットアップし、機能している場合には、リンク バジエツト方法は、CYRF8935 RF 性能をテストし、特性評価するには簡単で正確なやり方です。

### テストのバリエーション

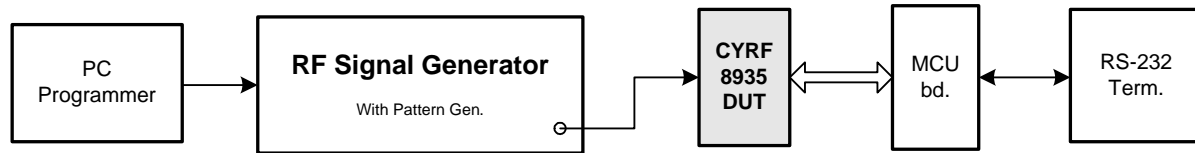
- 自動ループバックを追加し、同じテストで Tx と Rx の両方をテストすることができます。
- 設計周波数範囲で、周波数ホッピングをテストに追加することができます。

### 方法 2: パケット信号発生器による方法

この方法では、RF 信号発生器をパケット ソースとして使用します。信号発生器のシールドされた可変 RF 出力は、レシーバ出力に接続されます。信号発生器は、変調のためにデジタル パターン ストレージ性能を備えている必要があります。有効なデータの packets は信号発生器にダウンロードされ、これらの packets はテスト中の CYRF8935 レシーバに繰り返し送信されます。MCU または PC プログラムは、CYRF8935 PKT フラグ信号を監視します。これにより、MCU または PC は、受信した状態のまま各 packets をダウンロードし、packets と予測値とを比較し、packets の統計情報をエンドユーザに報告します。



図 14. 信号発生器によるレシーバ感度の測定、方法 2



#### Packet Transmitter

Packet data pattern downloaded  
into signal generator

このセットアップでは、信号発生器は以下のように設定されます。

変調：GFSK、2 レベル、Bt = 0.5、ピーク偏差、320 kHz、シンボル転送速度 1 Msps。

周波数、振幅：テスト条件に依る

#### 受信スプリアス応答

このレシーバは、その他多くの低コストのレシーバのように、多くの場合に特定のデジタル周波数の倍数で、スプリアス応答を示す場合があります。CYRF8935 の場合、この応答は時々 4 MHz の倍数または 4 つのチャンネルで発生し、望ましいレシーバ通過帯域からオフセットになります。周波数ホッピング中に、信号が誤った周波数で認識され、正しくないホッピング同期となる場合があります。

これを回避する方法は、ペイロード バイトの 1 つが、パケットが送信されるチャンネル番号を含むようにプログラムすることです。パケットを受信すると、このバイトがチェックされ、受

#### Packet Receiver

信チャンネル設定に一致するかどうかを決定します。一致しない場合、パケットを破棄する必要があります。

#### RF VCO 補正

CYRF6935 RF トランシーバの無線送受信周波数は、12 MHz 水晶振動子から生成され、内部フラクショナル-N 方式 RF PLL で通倍されます。位相ノイズを低くするには、PLL  $K_{VCO}$  を相対的に低く保ちます。予測される  $V_{DD}$  で望ましい周波数範囲、温度、および両極端のプロセスを VCO にカバーさせるには、VCO を使用前に補正しておく必要があります。CYRF8935 は完全自動補正アルゴリズムを備えていますが、自動補正をオフにした場合に比べて、アルゴリズムには約 150  $\mu$ s の時間が余分に必要です。

## 規制への準拠

### 米国 FCC

2402 ~ 2480 MHz 帯域で動作する場合、第 2 および第 3 高調波は、47CFR、セクション 15.205 で「動作の制限帯域」として規定されている内容に分類されます。制限された帯域で 1 GHz よりも大きな放射エミッションのフィールド強度は、距離 3 m で 500  $\mu\text{V/m}$  を超えてはなりません。第 2 および第 3 の同期周波数において実効アンテナ ゲインについての仮定が成り立つ場合に、自由空間伝搬の方程式を使用し、フィールド強度を DUT における等価の RF 出力レベルに変換することができます。

図 15. 最大スプリアス レベルの計算

Parameter	Unit of Measure		
Field Strength	54.0 dB $\mu\text{V/m}$	or	501 $\mu\text{V/m}$ or 0.501 mV/m
Tx antenna gain over isotropic	6 dBi	or	3.981071706 power ratio
Impedance of free space	377 ohms	or	120 $\pi$ ohms
distance	0.003 km	or	3 m
<b>Result</b>			
Tx pwr, desired signal	0 dBm	or	0.001 W
Tx pwr, undesired spurious or	<b>-47.2 dBm</b> <b>-47.2 dBc</b>	or	1.89287E-08 W

アンテナ ゲインの推定 +6 dBi は、その測定において DUT と測定アンテナの位置が最大高調波のスプリアス信号を最大限に発生させる必要があるという事実に基づいています。第 2 および第 3 高調波は、定義により、キャリア波長の整数倍になるため、多くの一般的な DUT アンテナは、0 dBi などのより高い周波数で良好で使用可能なゲインを得ることができます。測定の最大限に高めるという点では、+6 dBi は調和周波数での良好で控えめなアンテナ ゲインです。

実際には、高調波エミッションはそれほど問題にはなりません。これは主に、アンテナがそのような高調波用に最適化されていないためです。

図 15 での計算は、-47 dBm のアンテナでの最大スプリアス レベルを示しています。標準の第 2 高調波は -45 dBm として指定されているため、さらに 2 dB の減衰が必要になる場合があります。ただし、FCC 放射エミッション テストに合格するには、さらに減衰が必要です。個々のテスト結果は異なる場合があります。

表 8 FCC 事前準拠テストの結果。使用するアンテナは一般的な半波長エンド フェド ダイポールアンテナです。その結果は、パート 15.247 デバイスを対象とした米国 FCC テストに容易に合格します。制限帯域でのスプリアス放射が原因で適格性に問題がある場合、フィルタを追加するか、あるいはレジスタ 9 により Tx 出力を低下させることができます。

表 8. FCC テスト結果

実行番号	モード	チャンネル	出力設定の	測定した出力	実行したテスト	上限または下限	結果 / マージン
1a	ホッピングなし	2402 MHz	デフォルト	適用外	制限された帯域エッジ (2390 MHz)	FCC パート 15.209 / 15.247 (c)	46.8 db $\mu\text{V/m}$ @ 2390.0 MHz (-7.2 dB)
			デフォルト	適用外	放射エミッション (1-0 GHz)	FCC パート 15.209 / 15.247 (c)	45.7 db $\mu\text{V/m}$ @ 4804.1 MHz (-8.3 dB)
1b	ホッピングなし	2441 MHz	デフォルト	適用外	放射エミッション (1-18 GHz)	FCC パート 15.209 / 15.247 (c)	45.0 db $\mu\text{V/m}$ @ 4882.2 MHz (-9.0 dB)
1c	ホッピングなし	2480 MHz	デフォルト	適用外	制限された帯域エッジ (2483.5 MHz)	FCC パート 15.209 / 15.247 (c)	47.8 db $\mu\text{V/m}$ @ 2484.1 MHz (-6.2 dB)
			デフォルト	適用外	放射エミッション (1-10 GHz)	FCC パート 15.209 / 15.247 (c)	45.3 db $\mu\text{V/m}$ @ 4960.1 MHz (-8.7 dB)

## テスト目的のレジスタ設定

さまざまな規制当局の EMC テストにパスするため、DUT は以下で示すようにさまざまなテスト状態を入力する必要があります。27 ページの表 12 で示している、推奨レジスタ値をロードしたあと、以下の表で示す順序でレジスタをロードします。

表 9. テスト目的のレジスタ設定

テスト状態	注記	レジスタ設定
Tx 連続、 CW モード	主に適切な水晶振動子周波数を確認するために使用します。 Tx はオンになり、連続してオンのままとなります。キャリアのオン/オフ パーストはありません。変調はありません。キャリア周波数は、マークとスペースとの間の中間になります。 場合によっては、EMC テスト中に使用されます。	レジスタ 11= 0x8008 (CW_MODE= 1) レジスタ 41= 0xC000 (SCRAMBLE_ON= 1、 PACK_LENGTH_EN= 0、および FW_TERM_TX= 0) レジスタ 13 ページの表 4 で示すように 7。
Tx 連続、 ランダム データ モード	EMC テスト中に、これは最もよく使用される Tx テストです。 変調は通常の GFSK になります。Tx データは、FIFO データ ビットを連続的に循環します。データ スクランブル機能が適用されます。言い換えれば、FIFO にすべての 0 がある場合（データと一緒にまだロードされていない）、Tx データがランダムに表示されます。放射エミッションは、キャリアが連続的であることを除いて、通常動作と似ています。これによりテスト時間を大幅に短縮することができます。	レジスタ 11= 0x0008 (CW_MODE= 0) レジスタ 41= 0xC000 (SCRAMBLE_ON= 1、 PACK_LENGTH_EN= 0、および FW_TERM_TX= 0) レジスタ 13 ページの表 4 で示すように 7。
Rx 連続	場合によっては、EMC テストで必要になります。	レジスタ 41= 0xC000 (PACK_LENGTH_EN= 0、および FW_TERM_TX= 0) レジスタ 13 ページの表 4 で示すように 7。
Tx および Rx オフ (アイドル状態)	Tx と Rx のどちらも望ましくない場合。	レジスタ 7: ビット 8 と 7 をクリアします。 レジスタ 7 バイナリ: xxxx xxx0 0xxx xxxx (x = 無関係)

## PCB レイアウトの推奨事項

PCB レイアウトは非常にクリティカルというわけではありませんが、以下にいくつか推奨事項を示します。

- RF パス：推奨リファレンス設計回路をしっかりと遵守してください。
- クロック トレース：水晶振動子のトレースはシンプルかつ直接接続でなければなりません。自己バイアス 抵抗は XTALi および XTALo ピンに近付ける必要があります。直列抵抗器と水晶で構成される発振ループはシンプルで小型のループである必要があります。水晶負荷コンデンサは水晶近傍にある必要があります。これらのコンデンサへのグラウンド接続は良好で、クリーン、かつノイズがない必要があります。これにより、ノイズが振動子に入るのを防ぎます。RF セクション全体に 1 つのグラウンド平面があるのが最適です。
- 電源分配およびデカップリング：コンデンサは  $V_{DD}$  ピン近傍にある必要があります(12 ページの**代表的な用途**で表示)。
- アンテナの配置：アンテナを使用する場合、レイアウトに関してはメーカーの推奨に従ってください。
- デジタル インターフェース：デジタル回線に良好なグラウンド リターンを与えるには、デジタル インターフェース コネクタにグラウンド用のピンを最低 2 本設けることがお奨めです。RF と MCU の間の良好な接地により、アンテナの位置で

「見られる」ノイズを低減させ、性能を向上させることができます。

## アンテナ タイプおよび場所

CYRF8935 またはその他あらゆる無線 RF デバイスの RF 性能に影響を与える最も重要な要因は、アンテナのタイプ、配置、および方向です。通常、アンテナ ゲインは等方性に関して測定されます。等方性とは、あらゆる方向へ、または方向から等しく出力を送受信する理想的な放射体のことです。最も低出力で、短距離のワイヤレス用途に理想的なアンテナは、理論的な等方性をもつリファレンス アンテナです。残念ながら、そのようなアンテナは実際には存在しません。理論的なゲインが +2 dBi の、単純な双極子を選択するのがよいでしょう。ただし、アンテナの配置時には注意する必要があります。双極子 アンテナは null が大変深くなるような放射パターンをもつためです。

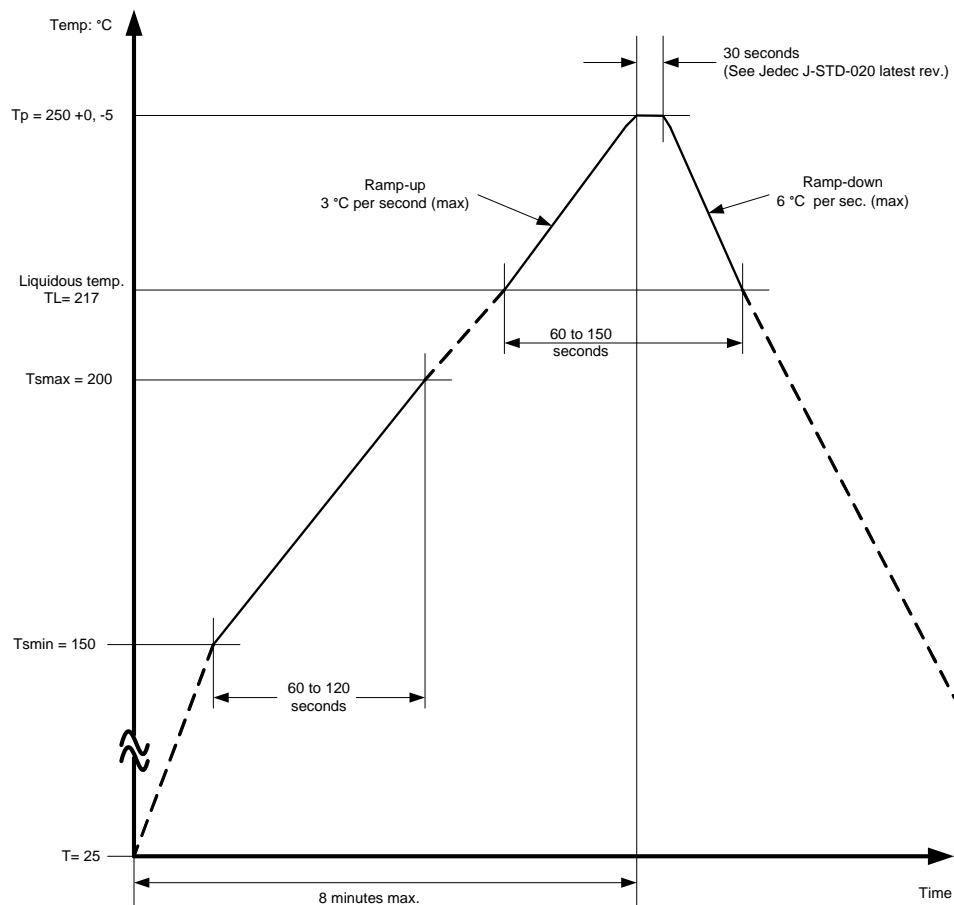
アンテナは人体から距離をおく必要があります。特に心臓、脳、および眼などの敏感な部位から離すようにしてください。この設計原則を守らない場合、最終製品の性能が低下し、ユーザーに危険を招くことがあります。これについてのガイドは、[www.fcc.gov/oet/rfsafety](http://www.fcc.gov/oet/rfsafety) を参照してください。最適な操作を行うには、主要なアンテナ放射が人体から離れ、少なくとも人体や製品内部の誘電物体の近傍で負荷を受けることがないように設計します。

アンテナをクロック配線とデジタル バス信号から離すようにしてください。これを守らない場合、クロック周波数の高調波が特定の受信周波数を妨害します。

## IR リフロ基準

- リファレンス：IPC/JEDEC J-STD-020D.1

図 16. 推奨 IR リフロ プロファイル



## レジスタの定義

以下のレジスタには SPI プロトコルを使用してアクセスします。

一部の内部レジスタとビット フィールドはエンドユーザが調整することができません。そのようなレジスタについて、ここでは説明しておらず、メーカー推奨値から変更しないでください。

**表 10. RF レジスタ情報**

ビット番号	ビット名	説明
<b>レジスタ 3 – 読み取り専用</b>		
15:13	(予約済み)	(予約済み)
12	RF_SYNTH_LOCK	RF シンセサイザのフェーズ ロック ステータスを示します。 1: ロック 0: ロック解除
11:0	(予約済み)	(予約済み)
<b>レジスタ 6 – 読み取り専用</b>		
15:10	RAW_RSSI[5:0]	アナログ回路からの 6 ビット RAW RSSI 値を示します。各 LSB は約 1 dB です。詳細は、 <a href="#">14 ページの RSSI の読み取り</a> をご覧ください。
9:0	(予約済み)	(予約済み)
<b>レジスタ 7</b>		
15:9	(予約済み)	(予約済み)
8	TX_EN	ステート マシン制御の送信シーケンスを開始します。 TX_EN と RX_EN は同時に ‘1’ に設定することはできないことに注意してください。
7	RX_EN	ステート マシン制御の受信シーケンスを開始します。 TX_EN および RX_EN は同時に ‘1’ に設定することはできないことに注意してください。
6:0	RF_PLL_CH_NO [6:0]	Tx および Rx RF チャネル番号を設定します。例： チャネル 0 (2402 MHz) に 0 を書き込む チャネル 39 (2441 MHz) に 39 を書き込む チャネル 78 (2480 MHz) に 78 を書き込む
<b>レジスタ 9</b>		
15:11	(予約済み)	(予約済み)
10:7	PA_GN[3:0]	PA 出力レベル制御
6:0	(予約済み)	(予約済み)
<b>レジスタ 10</b>		
15:1	(予約済み)	(予約済み)
0	XTAL_OSC_EN	1: 水晶振動子ゲイン ブロックを有効にします 0: 水晶振動子ゲイン ブロックを無効にします
15:1	(予約済み)	(予約済み)
<b>レジスタ 11</b>		
15	CW_MODE	1: Tx 変調を無効にします。CW のみ。 0: ノーマル Tx モード
14:10	(予約済み)	(予約済み)
9	RSSI_DIS	1: RSSI を無効にします 0: RSSI は正常に動作します。

**表 10. RF レジスタ情報 (つづき)**

ビット番号	ビット名	説明
8:0	(予約済み)	(予約済み)
<b>レジスタ 23</b>		
15:3	(予約済み)	(予約済み)
2	TXRX_VCO_CAL_EN	1: すべての Tx/Rx で自動 VCO 補正を有効にします。 0: 機能を無効にします
1:0	(予約済み)	(予約済み)
<b>レジスタ 27</b>		
15:11	LDO_SP_SLEEP	LDO スリープ電流を設定します。レジスタ 27 の設定については、28 ページの電気的特性を参照してください。
10:0	(予約済み)	(予約済み)
<b>レジスタ 29 - 読み取り専用 - 0x00xx</b>		
15:8	(予約済み)	(予約済み)
7:4	RF_VER_ID [3:0]	このフィールドを使用し、デザインへのマイナーな RF リビジョンを特定します。
3	(予約済み)	(予約済み)
2:0	デジタル バージョン	このフィールドを使用し、デザインへのマイナーな デジタル リビジョンを特定します。
<b>レジスタ 30 - 読み取り専用 - 0xf413</b>		
15:0	(予約済み)	(予約済み)
<b>レジスタ 31 - 読み取り専用 - 0x1002</b>		
15:0	シリコン ID	このフィールドを使用し、シリコン ID を特定します。有効値は 0x1002 と 0x2002 です。

**表 11. フレーマ レジスタ情報**

ビット番号	ビット名	R/W	説明	デフォルト
<b>レジスタ 32</b>				
15:13	PREAMBLE_LEN	R/W	000b: 1 バイト 001b: 2 バイト 010b: 3 バイト . 111b: 8 バイト	010b
12:11	SYNCWORD_LEN	R/W	11b: 64 ビット {Reg39[15:0], Reg38[15:0], Reg37[15:0], Reg36[15:0]} 10b: 48 ビット、{Reg39[15:0], Reg38[15:0], Reg36[15:0]} 01b: 32 ビット、{Reg39[15:0], Reg36[15:0]} 00b: 16 ビット、{Reg36[15:0]}	11b
10:8	TRAILER_LEN	R/W	000b: 4 ビット 001b: 6 ビット 010b: 8 ビット 011b: 10 ビット . 111b: 18 ビット	000b
7:6	DATA_PACKET_TYPE	R/W	00b: 非ゼロ復帰 (NRZ) 1aw データ	00b

**表 11. フレーマ レジスタ情報 (つづき)**

ビット番号	ビット名	R/W	説明	デフォルト
5:4	FEC_TYPE	R/W	00b: FEC なし 01b: 予約済み 10b: FEC23 11b: 予約済み	00b
3:1	BRCLK_SEL	R/W	Selects output clock signal to BRCLK pin(for the NL 32-Pin QFN package only): 000b: LOW を維持 001b: 水晶バッファ出力 010b: 水晶 / 2 011b: 水晶 / 4 100b: 水晶 / 12 101b: TXCLK 1 MHz 110b: APPL_CLK (Tx, Rx 中に 12 MHz) 111b: LOW を維持	011b
0	(予約済み)	W/R	(予約済み)	0B
<b>レジスタ 35</b>				
15	(予約済み)		(予約済み)	
14	SLEEP_MODE	W	1: スリープ状態に入ります (水晶ゲイン ブロックをオフに設定 LD0 レギュレータをオンに維持します (レジスタ値を維持))。 SPI_SS が LOW になるとウェイクアップが開始します。これにより、オンチップ クロック発振器が通常の動作を開始します。 0: 通常 (IDLE) 状態	0B
13	(予約済み)		(予約済み)	
12	BRCLK_ON_SLEEP	R/W	1: 水晶がスリープ モードで動作 さらに電流が必要ですが、高速ウェイクアップが可能です 0: 水晶はスリープ モード中に停止します 電流を節約しますが、ウェイクアップにさらに時間がかかります	1B
11:8	RE-TRANSMIT_TIMES	R/W	AUTO_ACK= 1 の時の最大再送信パケット試行	3H
7	MISO_TRI_OPT	R/W	1: MISO は、SPI_SS = 1 (SPI に SPI スレーブ デバイスが 1 つのみ) のときにも Low-Z を駆動します。 0: MISO は、SPI_SS = 1 (SPI で複数の SPI スレーブ デバイスを許容) のときにトライステートになります。	0B
6:0	SCRAMBLE_DATA	R/W	データ スクランプルのホワイトニング シード。ラジオ リンクの両端で同じ設定にする必要があります (Tx および Rx)。ゼロでない必要があります。	00H
<b>レジスタ 36</b>				
15:0	SYNC_WORD[15:0]	R/W	同期ワードの最も重要度の低いビットを最初に送信します	0000H
<b>レジスタ 37</b>				
15:0	SYNC_WORD[31:16]	R/W	同期ワードの最も重要度の低いビットを最初に送信します	0000H
<b>レジスタ 38</b>				
15:0	SYNC_WORD[47:32]	R/W	同期ワードの最も重要度の低いビットを最初に送信します	0000H
<b>レジスタ 39</b>				
15:0	SYNC_WORD[63:48]	R/W	同期ワードの最も重要度の低いビットを最初に送信します	0000H
<b>レジスタ 40</b>				



**表 11. フレーマ レジスタ情報 (つづき)**

ビット番号	ビット名	R/W	説明	デフォルト
15:11	FIFO_EMPTY_THRESHOLD	R/W	Tx 中に、このフィールドは、FIFO フラグ信号が MCU またはアプリケーションに FIFO レジスタがほぼ空であることを通知する時点を調整します。 最適な値は、個々のアプリケーション、および MCU またはアプリケーションが FIFO にアクセスする速度に応じて異なります。	00100B
10:6	FIFO_FULL_THRESHOLD	R/W	Rx 中に、このフィールドは、FIFO フラグ信号が MCU またはアプリケーションに FIFO レジスタがほぼ満杯であることを通知する時点を調整します。 最適な値は、個々のアプリケーション、および MCU またはアプリケーションが FIFO にアクセスする速度に応じて異なります。	00100B
5:0	SYNCWORD_THRESHOLD	R/W	パケット受信を誤って開始する可能性がある、受信した同期ワード ビットの最大数を設定します ビット数は (SYNCWORD_THRESHOLD - 1) です。例えば、7 に設定すると、最大 6 同期ワード ビットがエラーになることができます。	07H
<b>レジスタ 41</b>				
15	CRC_ON	R/W	1: CRC オン 0: CRC オフ	1B
14	SCRAMBLE_ON	R/W	送信データで連続 0 または 1 の長いパターンを削除します。受信時にスクランブルしていない元のデータを自動的に復元します。 1: スクランブル オン 0: スクランブル オフ	0B
13	PACK_LENGTH_EN	R/W	1: CYRF8935 は、ペイロードの最初のバイトをパケット長さのディスクリプタ バイトとして見なします。	1B
12	FW_TERM_TX	R/W	1: FIFO 書き込みポイントが読み取りポイントに等しい場合、CYRF8935 は Tx を終了し、FW はパケット長さを処理します。 0: FW (MCU) は長さを処理し、Tx を終了します	1B
11	AUTO_ACK	R/W	1: データの受信後に、ACK を自動的に送信し、パケットが正しく受信されたことを確認します。 0: データの受信後に、ACK を送信せず、IDLE に移動してください。	1B
10	PKT_FIFO_POLARITY	R/W	1: PKT フラグ、FIFO フラグ アクティブ LOW 0: アクティブ HIGH	0B
9:8	(予約済み)	R/W	(予約済み)	00B
7:0	CRC_INITIAL_DATA	R/W	CRC 計算のための初期化定数	00H
<b>レジスタ 48 - 読み取り専用</b>				
15	CRC_ERROR	R	CRC エラーを受信しました	
14	FEC23_ERROR	R	FEC23 エラーを示します	
13:8	FRAMER_ST	R	フレーマの状態	
7	SYNCWORD_RECV	R	1: 同期ワードを受信しました。受信ステータスでのみ利用できます。 受信ステータスの終了後に、必ず '0' に設定します	
6	PKT_FLAG	R	PKT フラグ表示	
5	FIFO_FLAG	R	FIFO フラグ表示	
4:0	(予約済み)	R	(予約済み)	
<b>レジスタ 50</b>				

**表 11. フレーマ レジスタ情報（つづき）**

ビット番号	ビット名	R/W	説明	デフォルト
15:0	TXRX_FIFO_REG	R/W	FIFO の間での MCU データ読み取り / 書き込みの場合このレジスタを読み取ると、データを FIFO から削除します。 このレジスタに書き込むと、データを FIFO に追加します。 <b>注</b> FIFO レジスタへの MCU またはアプリケーション アクセスはバイト毎（1 回につき 8 ビット）であり、他のレジスタの場合のように 16 ビットではありません。	00H
<b>レジスタ 52</b>				
15	CLR_W_PTR	W	1: このビットを ‘1’ に書き込むときに、Tx FIFO ポインタを 0 にクリアします これは RX ステータスでは利用できません。	0B
14	(予約済み)	W		
13:8	FIFO_WR_PTR	R	FIFO 書き込みポインタ	
7	CLR_R_PTR	W	1: このビットを ‘1’ に書き込むときに、Rx FIFO ポインタを 0 にクリアします これは Tx ステータスでは利用できません。	0B
6	(予約済み)			
5:0	FIFO_RD_PTR	R	FIFO 読み取りポインタ (MCU により読み取るバイト数)	

## 推奨レジスタ値

以下のレジスタ値はほとんどの標準的なアプリケーションで推奨されています。アプリケーションに応じて、若干の変更が必要となる場合があります。

表 12. 推奨レジスタ値

レジスタ番号	電源オン リセット値 (16 進)	多くのアプリケーションの 推奨値 (16 進)		注記
		シリコン ID 0x1002 <sup>[1]</sup>	シリコン ID 0x2002 <sup>[1]</sup>	
0	6FEF	6FE1	6FE1	
1	5681	5681	5681	
2	6619	5517	5517	
4	5447	9CC9	9CD4	
5	F000	6647	651F	
7	0030	0000	0000	RF 周波数を設定するために使用し、Tx/Rx パケットを開始 / 終了します
8	71AF	6C90	6C90	
9	3000	1920	7920	Tx 出力レベルを設定します。
10	7FFD	7FFD	7FFD	水晶振動子 スリープ パッチで使用します。
11	4008	0008	0008	RSSI イネーブル
12	0000	0000	0000	
13	4855	4880	48BF	
22	C0FF	00FF	00FF	
23	8007	0005	0005	
24	307b	0067	0067	
25	1659	1659	1659	
26	1833	19E0	1A30	
27	9100	4200	4200	8 $\mu$ A スリープ電流
28	1800	1800	1800	
32	1806	1000	1000	パケット データ タイプ: NRZ、FEC なし、 BRCLK <sup>[2]</sup> = 12 / 4 = 3 MHz
33	63F0	32A0	32A0	
34	3000	1000	1000	
35	0381	0F01	0F01	AutoACK max Tx リトライ回数 = 3
36	0000	固有の同期ワード	固有の同期ワード	MAC アドレスと同様
37	0000	固有の同期ワード	固有の同期ワード	MAC アドレスと同様
38	0000	固有の同期ワード	固有の同期ワード	MAC アドレスと同様
39	0000	固有の同期ワード	固有の同期ワード	MAC アドレスと同様
40	2107	2047	2047	FIFO フラグを構成
41	B800	F800	F800	CRC オン。SCRAMBLE オフ 最初のバイトはパケット長さ AutoACK オフ
42	FD6B	FDFE	FDFE	
43	000F	000F	000F	

6. 注 シリコン ID はレジスタ 31 から読み取れます。

7. 注 BRCLK 信号はベアダイだけで利用できます。パッケージ パーツでは使用できません。

## 絶対最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。ユーザ ガイドラインは未テストです。[8, 9]

保存温度..... -55 °C ~ +125 °C

通電時の

周囲温度 ..... -55 °C ~ +125 °C

$V_{DD}$  を基準にした GND..... 0 ~ + 1.98 V の電圧電源

$V_{DD\_IO}$

または V を基準にした GND..... 0 ~ +3.63 V の電圧電源

トリステスト ( $V_{SS} - 0.5$ ) ~ ( $V_{DD\_IO} + 0.5$ ) での出力に印加した DC 電圧電源

DC 入力電圧..... ( $V_{SS} - 0.5$ ) から ( $V_{DD\_IO} + 0.5$ )

出力への電流 (LOW) ..... 10 mA

静電放電電圧、HBM (QFN パッケージのみ)

RF ピン (ANT、ANTb) ..... >500 V

アナログ ピン XTALi、XTALo ..... >500 V

その他すべてのピン ..... 2000 V

ラッチアップ電流 (JEDEC JESD78B、クラス II) . ±140 mA

## 動作範囲

範囲	周囲温度	$V_{IN}$	$V_{DD\_IO}$
民生用	0 °C ~ 70 °C	+1.9 ~ 3.6 V	+1.9 ~ 3.6 V

## 電気的特性

ウェアハやダイ製品の場合、RF スペックはキャパライゼーションのみによって保証され、製品テストによってではありません。

記号	説明	Min	Typ	Max	単位	テスト条件および注記
	電源電圧					
$V_{IN}$	DC 電源電圧範囲	1.9	–	3.6	VDC	$V_{DD\_IO}$ および $V_{IN}$ ピンへの入力
	消費電流					
$I_{DD\_TX2}$	消費電流 - Tx	–	18.5	–	mA	送信出力 PA2. BRCLK <sup>[4]</sup> オフ。
$I_{DD\_TX12}$		–	13.7	–	mA	送信出力 PA12. BRCLK <sup>[4]</sup> オフ
$I_{DD\_RX}$	消費電流 - Rx	–	18	–	mA	BRCLK <sup>[4]</sup> オフ
$I_{DD\_IDLE1}$	消費電流 - アイドル	–	1.1	–	mA	BRCLK <sup>[4]</sup> 出力オフ用に構成
$I_{DD\_SLPx}$	消費電流 - スリープ	–	1	–	$\mu A^{[3]}$	温度 = +25 °C。 ファームウェア スリープ パッチを使用。(5 ページの初期化フローチャートスリープおよびウェイクアップ開始動作) レジスタ 27= 0x1200、 $V_{IN} \geq 3.00$ VDC 専用
$I_{DD\_SLPr}$		–	8	–	$\mu A^{[3]}$	温度 = +25 °C、ファームウェア スリープ パッチを使用 (5 ページの初期化フロー チャートスリープおよびウェイクアップ開始 動作) レジスタ 27= 0x4200。
$I_{DD\_SLPh}$		–	38	–	$\mu A^{[3]}$	温度 = +70 °C ‘C’ グレード パーツ、ファームウェア ス リープ パッチを使用 (5 ページの初期化フ ローチャートスリープおよびウェイクアップ 開始動作) レジスタ 27= 0x4200
$V_{IH}$	論理入力 HIGH	0.8 $V_{DD\_IO}$	–	1.2 $V_{DD\_IO}$	V	
$V_{IL}$	論理入力 LOW	0	–	0.8	V	

- 絶対最大定格とは、デバイスが損傷を受けないために超えてはならない限度値のことです。推奨動作条件は、デバイスが機能する条件を示していますが、特定の性能限度を保証するものではありません。保証された仕様とテスト条件については、電気的特性を参照してください。
- これらは静電気に弱いデバイスです。デバイスは静電気防止容器で搬送し、保管する必要があります。デバイスに接触する機器と作業員は適切に接地する必要があります。作業台は、接地した伝導性マットで覆います。
- 基準値は以下の値を参照するものであり、保証された仕様とテスト条件ではありません。基準値は、 $V_{IN} = 3$  VDC、 $T_a = +25^{\circ}C$  で算出されます。

## 電気的特性（つづき）

ウェハやダイ製品の場合、RF スペックはキャパライゼーションのみによって保証され、製品テストによってではありません。

記号	説明	Min	Typ	Max	単位	テスト条件および注記
I_LEAK_IN	入力リーク電流	–	–	10	μA	
V <sub>OH</sub>	論理出力 HIGH	0.8 V <sub>DD_IO</sub>	–	–	V	I <sub>OH</sub> = 100 μA ソース
V <sub>OL</sub>	論理出力 LOW	–	–	0.4	V	I <sub>OL</sub> = 100 μA シンク
I_LEAK_OUT	出力リーク電流	–	–	10	μA	トライステートの MISO
T_RISE_OUT	立ち上がり / 立ち下がり時間 (SPI MISO)	–	8	25	ns	7 pF コンデンサ負荷
T_RISE_IN	立ち上がり / 立ち下がり時間 (SPI MOSI)	–	–	25	ns	
T <sub>r_spi</sub>	CLK 立ち上がり、立ち下がり時間 (SPI)	–	–	25	ns	エラーのないレジスタ読み取り、書き込みが必要。
F <sub>OP</sub>	動作周波数範囲	2400	–	2482	MHz	無線での使用は、動作周波数に関して地域の規制当局の管理下にあります。
V <sub>SWR_I</sub>	アンテナ ポートの不一致 (Z <sub>0</sub> = 50 Ω)	–	<2:1	–	VSWR	受信モード。以下に示す LC マッチング回路を使用して測定 12 ページの <b>代表的な用途</b>
VSWR <sub>0</sub>		–	<2:1	–	VSWR	転送モード。以下に示す LC マッチング回路を使用して測定 12 ページの <b>代表的な用途</b>
受信部						12 ページの <b>代表的な用途</b> For BER ≤ 0.1% で示す LC マッチング回路を使用して測定
RxS <sub>base</sub>	レシーバ感度 (FEC オフ)	–	–87	–	dBm	室温のみ 0 ppm 水晶振動子周波数エラー。
RxS <sub>temp</sub>		–	–84	–	dBm	過熱、 0 ppm 水晶振動子周波数エラー。
RxS <sub>ppm</sub>		–	–84	–	dBm	室温のみ 80 ppm 合計周波数エラー (± 40 ppm 水晶振動子周波数エラー、RF リンクの各終端)
RxS <sub>temp+ppm</sub>		–	–80	–	dBm	室温のみ 80 ppm 合計周波数エラー (± 40 ppm 水晶振動子周波数エラー、RF リンクの各終端)
R <sub>xmax-sig</sub>	最大使用可能信号	–20	0	–	dBm	室温のみ
T <sub>s</sub>	データ (記号) 転送速度	–	1	–	μs	
最小搬送波 / 干渉波比						BER ≤ 0.1% で。室温のみ。
CI <sub>_cochannel</sub>	同一チャネル干渉	–	+9	–	dB	–60 dBm 任意の信号
CI <sub>_1</sub>	隣接チャネル干渉、1 MHz オフセット	–	+6	–	dB	–60 dBm 任意の信号
CI <sub>_2</sub>	隣接チャネル干渉、2 MHz オフセット	–	–12	–	dB	–60 dBm 任意の信号
CI <sub>_3</sub>	隣接チャネル干渉、3 MHz オフセット	–	–24	–	dB	–67 dBm 任意の信号

## 電気的特性（つづき）

ウェアやダイ製品の場合、RF スペックはキャパライゼーションのみによって保証され、製品テストによってではありません。

記号	説明	Min	Typ	Max	単位	テスト条件および注記
OBB	帯域外ブロック 3	－	≥ -27	－	dBm	30 MHz ～ 12.75 GHz <sup>[3]</sup> <sup>[4]</sup> アンテナ ピンで ACX BF2520 セラミック フィルタを使用して測定 -67-dBm 任意の信 号、BER ≤ 0.1%。室温のみ。
送信部						12 ページの <b>代表的な用途</b> <sup>[5]</sup> で示す LC マッ チング回路を使用して測定
P <sub>AVH</sub>	RF 出力	－	+1	－	dBm	PA0 (PA_GN = 0, Reg9 = 0x1820 for Silicon ID <sup>[6]</sup> 0x1002 / 0x7820 for Silicon ID <sup>[6]</sup> 0x2002)。室温のみ。
P <sub>AVL</sub>		－	-11.2	－	dBm	PA12 (PA_GN = 12, Reg9 = 0x1E20 for Silicon ID <sup>[6]</sup> 0x1002 / 0x7E20 for Silicon ID <sup>[6]</sup> 0x2002)。 室温のみ。
TxP <sub>fx2</sub>	第 2 高調波	－	-45	－	dBm	12 ページの <b>代表的な用途</b> で示す LC マッチ ング回路を使用して測定。室温のみ。
TxP <sub>fx3</sub>	第 3 およびそれ以降の高 調波	－	≤ -45	－	dBm	12 ページの <b>代表的な用途</b> で示す LC マッチ ング回路を使用して測定。室温のみ。
変調特性						
Df1 <sub>avg</sub>		－	263	－	kHz	変調パターン： 11110000...
Df2 <sub>avg</sub>		－	255	－	kHz	変調パターン： 10101010...
帯域内スプリアス放射						
IBS_2	2 MHz オフセット	－	－	-20	dBm	
IBS_3	3 MHz オフセット	－	－	-30	dBm	
IBS_4	≥ 4 MHz オフセット	－	≤ -30	－	dBm	
RF VCO および PLL 部						
F <sub>step</sub>	チャネル（ステップ）サ イズ		1	－	MHz	
L <sub>100k</sub>	SSB 位相ノイズ		-75	－	dBc/Hz	100 kHz オフセット
L <sub>1M</sub>			-105	－	dBc/Hz	1 MHz オフセット
dF <sub>X0</sub>	水晶振動子周波数エラー	-40	－	+40	ppm	12 MHz 水晶参照周波数にを基準
T <sub>HOP</sub>	RF PLL 整定時間 <sup>[7]</sup>	－	100	150	μs	最終値の 30 kHz 以内までに整定 AutoCAL オ フ。
T <sub>HOP_AC</sub>		－	250	350	μs	最終値の 30 kHz 以内までに整定 AutoCAL オ ン。
LDO 電圧レギュレータ部						
V <sub>D0</sub>	ドロップアウト電圧	－	0.17	0.3	V	受信状態中に測定

- テストは中波帯周波数で実行し、通常それは 2460 MHz です。1MHz ステップで掃引することで、最大 24 の阻止周波数を除外することができます。これらの除  
外周波数の内 5 つまでは、入力レベルを -50 dBm に減衰した状態に維持します。望ましい受信周波数に達しない阻止周波数については、帯域内高調波が、障  
害を最も頻繁に発生させる原因となっています。このため、阻止する信号には適切な高調波フィルタを付けてください。
- 一部のアプリケーションでは、このフィルタはアンテナに組み込むか、有効なアンテナ帯域幅で近似することができます。
- 送信出力の測定は、12 ページの**代表的な用途** で示しているマッチング（整合）回路の出力で実行します。
- シリコン ID は、レジスタ 31 から読み取れます。
- PLL 設定までの最大時間は設計保証されています（生産試験はされていません）。

## SPI

CYRF8935 は 4 配線スレーブ SPI。すべての機能制御は SPI コマンドで実行します。

SPI にはピンが 4 本あります。

- SPI\_SS: スレーブ選択入力 (アクティブ LOW)
- CLK: シリアル クロック入力
- MOSI: マスターアウト スレーブ イン
- MISO: マスターイン スレーブ アウト

### SPI トランザクション形式およびタイミング

SPI 読み取りおよび書き込みデータは常にバイトの倍数になります。最初のバイト (MSB) は、R/W 方向ビットで構成され、そのあとに 7 ビットのレジスタ アドレスが続きます。このバイトに続いて、1 つまたはそれ以上のバイト データがあります。

SPI を使用して内部レジスタにアクセスするときには、一部のレジスタは他とは異なる方法でアクセスすることに注意してください。表 13 は 3 つのタイプのレジスタを示しています。

表 13. さまざまなレジスタの SPI アクセス方法

グループ No.	レジスタ番号	説明	アクセス方法
グループ 1	0 ~ 31	RF/ アナログ レジスタ	偶数のデータ バイトを書き込みます 任意の数のデータ バイトを読み取ります。レジスタ上位バイトが最初に読み取られます
グループ 2	32 ~ 42、52	ステータスおよびフレーム構成レジスタ	読み取り / 書き込み可能なデータ バイト
グループ 3	50	FIFO 読み取り / 書き込み	常にバイト毎

図 17. シングル バイト データ フォーマット

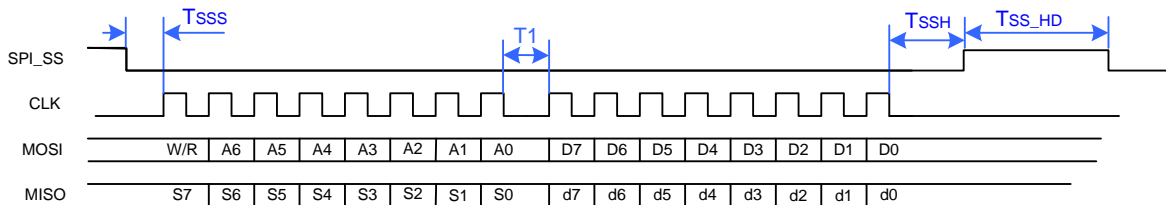


図 18. 2 バイト データ フォーマット

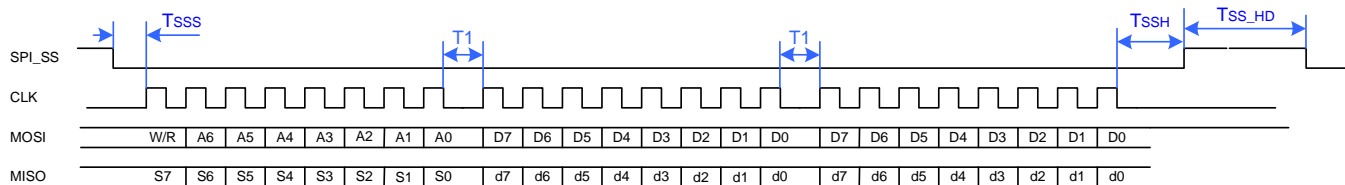
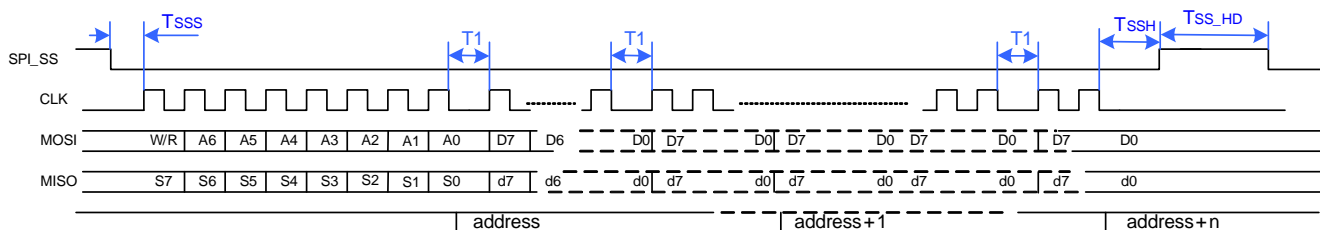


図 19. マルチ バイト データ フォーマット<sup>8</sup>



注  
8. レジスタ 50 を除くすべてのレジスタでは、単一の SPI トランザクションで 2 バイト以上のデータを読み取る、または書き込むときに、内部レジスタ アドレスはその値を 1 ずつ自動的にインクリメント処理します。これはオプションの組み込み機能であり、昇順のシーケンスで複数のレジスタを読み取るまたは書き込むときに時間を節約します。

## 仕様

- W/R ビット :
  - 0: SPI の書き込み
  - 1: SPI の読み取り
- Dx: SPI マスタからのデータ ビット。読み取り中に、これらのビットは無視されます。
- dx: SPI スレーブからのデータ ビット。書き込み中に、dx は Sx と同じになります。
- Sx: Reg48[15:8] からのデータ、MSB が最初 (ステータス バイト)。

図 20. SPI タイミング図

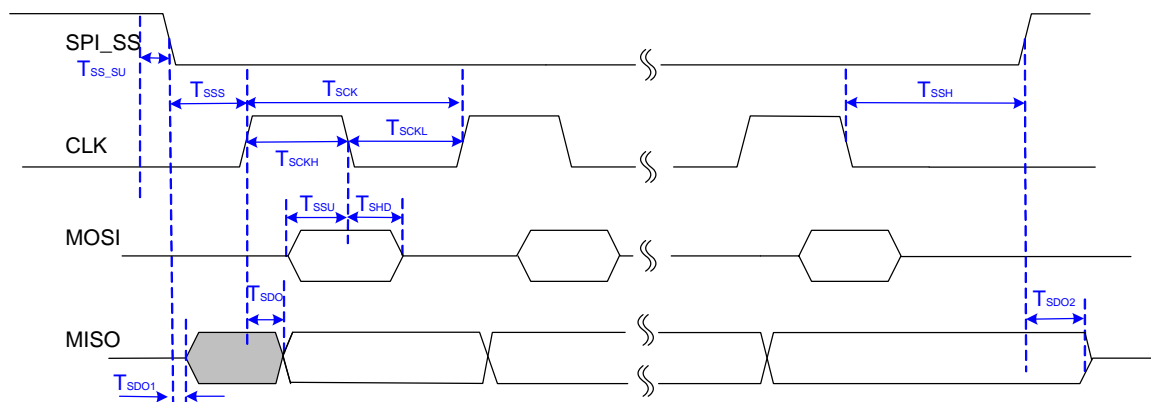


表 14. SPI タイミング要件

タイミング パラメータ	Min	Max	単位	注記
$T_{SSS}$	20	–	ns	SPI_SS のアサートから CLK エッジへのセットアップ時間
$T_{SSH}$	200	–	ns	SPI_SS のデアサートに必要なホールド時間
$T_{SCKH}$	40	–	ns	CLK 最小 High 時間
$T_{SCKL}$	20	–	ns	CLK 最小 Low 時間
$T_{SCK}$	83	–	ns	最大 CLK クロックは 12 MHz です
$T_{SSU}$	30	–	ns	MOSI セットアップ時間
$T_{SHD}$	10	–	ns	MOSI ホールド時間
$T_{SS\_SU}$	10	–	ns	SPI_SS を有効にする前に、CLK は Low 時間をホールドします
$T_{SS\_HD}$	200	–	ns	最小 SPI 非アクティブ時間
$T_{SD0}$	–	35	ns	MISO セットアップ時間、読み取り準備完了
$T_{SD01}$	–	5	ns	MISO がトライステートとして構成されている場合、MISO アサート時間
$T_{SD02}$	–	250	ns	MISO がトライステートとして構成されている場合、MISO デアサート時間
$T1 \text{ Min\_R50}$	350	–	ns	レジスタ 50 (FIFO) を読み取るとき
$T1 \text{ Min}$	83	–	ns	レジスタ 50 (FIFO) を書き込むとき、またはレジスタ 50 以外のレジスタを読み取る / 書き込むとき



## 電氣的動作特性

図 21. 一般的な送信 EVM、EVM スペクトル、Tx アイ

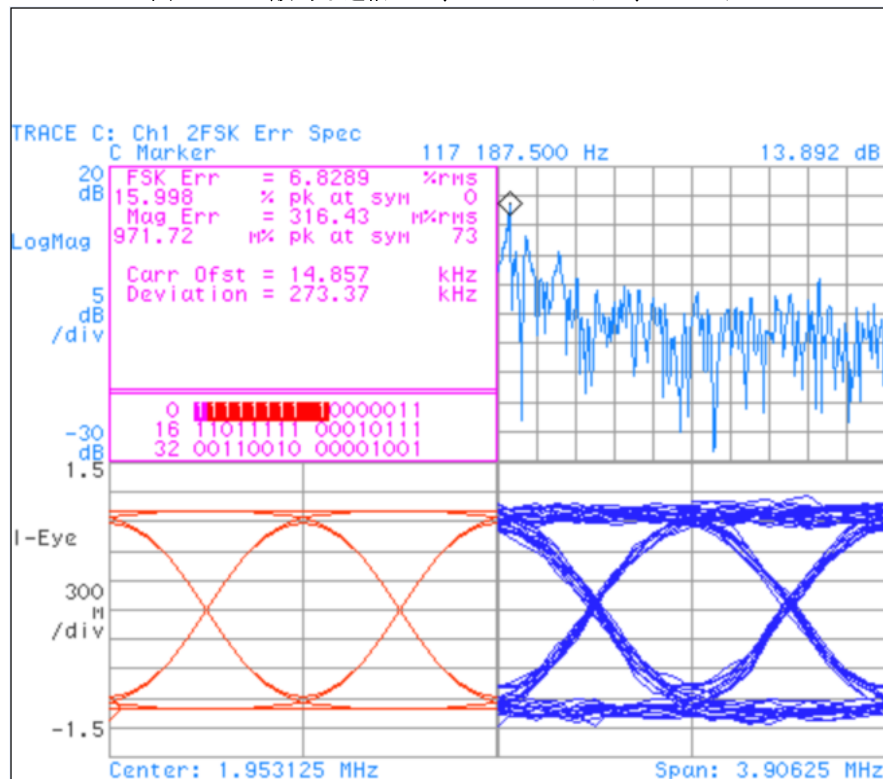
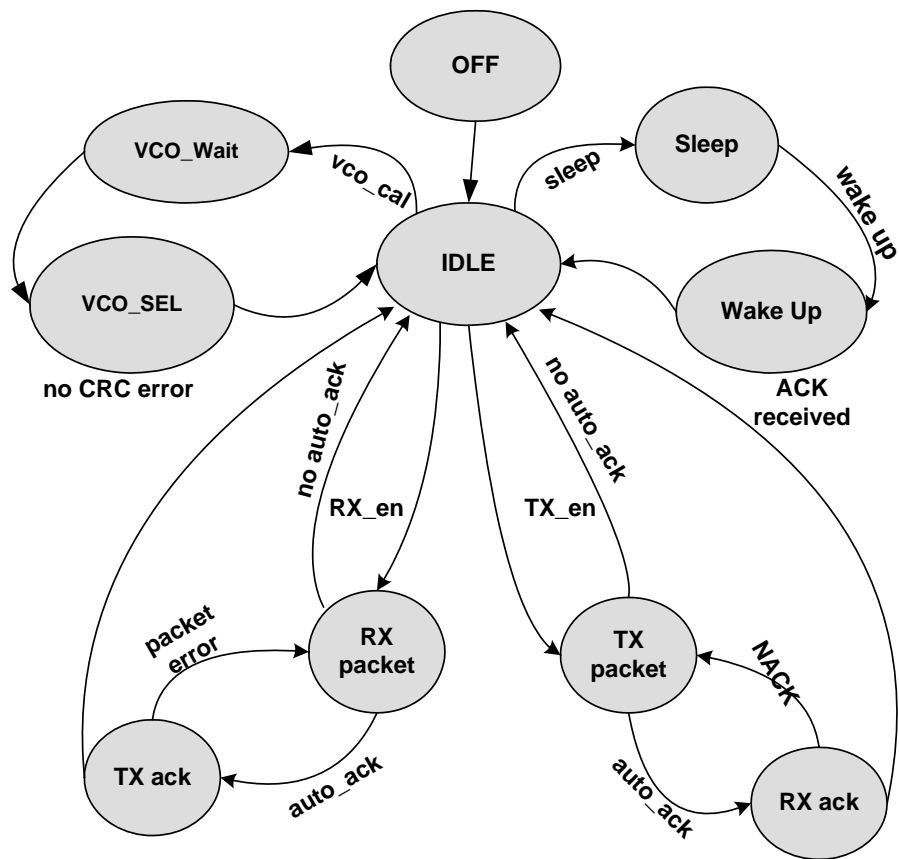


図 22. EVM 機器セットアップ

INPUT/SOURCE STATE			
<b>Range/</b> <b>Input</b>	-- Channel 1 --		
	Status	on	
	Range	-0 dBm	
	Input 2	50 Ohm	
<b>Trigger</b>	Type	free run	Level 0 V
	Slope	+	
	Ch1 delay	-0 s	
	Ext arm	off	Arm level 0 V
	Arm slope	above	Arm delay 0 s
	Holdoff	off	Hld delay 0 s
<b>Source</b>	Status	off	Level -10 dBm
	Type	fixed sine	Offs freq 0 Hz
	Output 2	50 Ohm	

MEASUREMENT STATE			
Inst Mode	Digital Demodulation	Channels	1
	Meas from input	Receiver	RF 2650 MHz
	Format 2 FSK	Rate	1 MHz
	Alpha 0.5	Meas filter	off
	Normalize on	Ref filter	Gaussian
	Clk Adj 0 sym		
Freq	Span 7 MHz	Center	2.478 GHz
Bw/Win	Rbw 100 kHz	Window	flat top
Time	Puls-srch off	Sync-srch	
	Pts/sym 10	Srch	2 ms
	Result 100 sym	Sync offset	0 sym
	Sync word 11111111		
Average	Status off	Num averages	10
	Type rms expo	Repeat avg	off
	Overlap 0 %	Fast avg	off

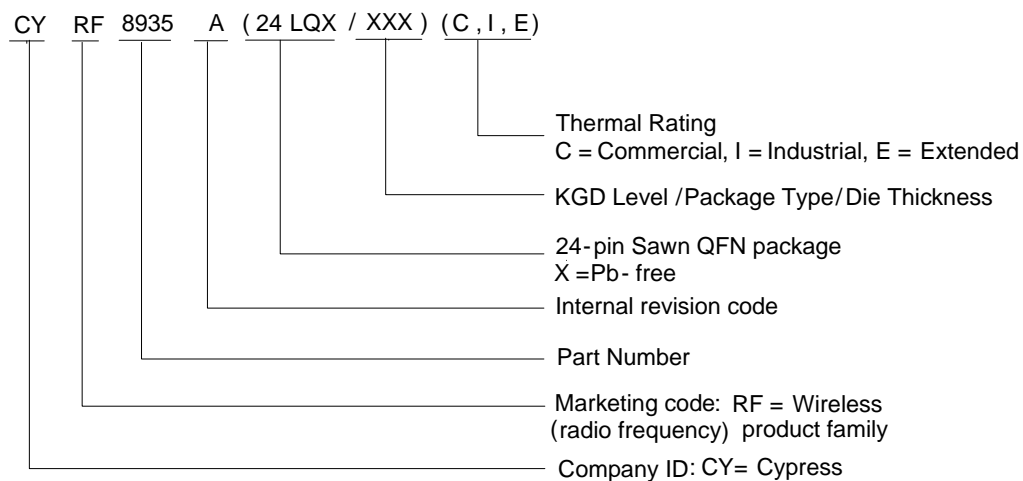
状态概略图



## 注文情報

注文コード <sup>[9]</sup>	パッケージ	温度範囲
CYRF8935A-24LQXC	24 ピン (4 × 4 × 0.55 mm) Sawn QFN	民生用
CYRF8935A-4X14C	ウェハ パックでのダイ (14 mil)	民生用
CYRF8935A-4XW14C	ウェハ フォームでのダイ (14 mil)	民生用

## 注文コードの定義

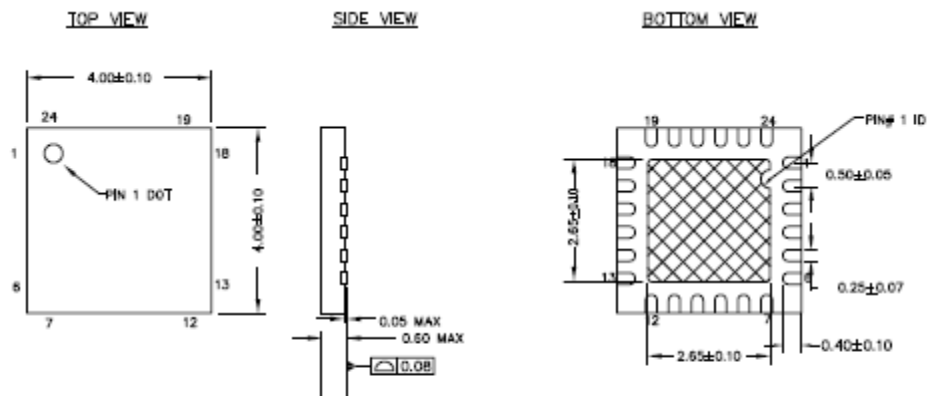


注


9. ダイとウェハの販売については、サイプレスの販売代理店までご相談ください。

パッケージ図

図 23. 24 ピン QFN (4 × 4 mm、0.55 mm ピッチ)



NOTES :

1.  HATCH IS SOLDERABLE EXPOSED METAL.
2. REFERENCE JEDEC # MO-248
3. PACKAGE WEIGHT :  $29 \pm 3$  mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

001-13937 \*E

## 略号

表 15. 本書で使用する略号

略号	説明
ACK	確認（受信したパケット、エラーなし）
BER	ビット エラー率
BOM	部品表
CMOS	コンプリメンタリー金属酸化膜半導体
COB	チップ オン ボード
CRC	巡回冗長検査
DUT	テスト中のデバイス
EMC	電磁環境適合性
EVM	エラー ベクトル振幅
FEC	順方向エラー訂正
FER	フレーム エラー率
GFSK	ガウス周波数シフト キーイング
HBM	人体モデル
ISM	産業、科学、および医療
IRQ	割り込み要求
MAC	メディア アクセス制御
MCU	マイクロコントローラ ユニット
NRZ	非ゼロ復帰
OTA	無線
PLL	位相ロック ループ
PN	疑似ノイズ
QFN	クアッド フラット リードなし
RSSI	受信信号強度表示
RF	無線周波数
Rx（レシーバー）	受信
Tx（トランスミッター）	送信
VCO	電圧制御発振器
WEP	有線と同等のプライバシー

## 本書の表記法

### 測定単位

表 16. 測定単位

記号	測定単位
°C	摂氏温度
dB	マイクロワット
dBc	キャリアを基準としたデシベル
dBm	デシベル ミリワット
Hz	ヘルツ
KB	1024 バイト
Kbit	1024 ビット
kHz	キロヘルツ
kΩ	キロオーム
MHz	メガヘルツ
MΩ	メガオーム
μA	マイクロアンペア
μs	マイクロ秒
μV	マイクロボルト
μVrms	マイクロボルト（実効値）
μW	マイクロワット
mA	ミリアンペア
ms	ミリ秒
mV	ミリボルト
nA	ナノアンペア
ns	ナノ秒
nV	ナノボルト
Ω	オーム
pp	ピークピーク
ppm	100 万分の 1
ps	ピコ秒
sps	1 秒あたりのサンプル数
V	ボルト
VDC	ボルト直流

## 改訂履歴

ドキュメントのタイトル: CYRF8935 WirelessUSB™ -NL 2.4 GHz Low Power Radio 文書番号: 001-80204				
リビジョン	ECN No.	変更起源	提出日	変更内容
**	3632871	YYOS	06/04/2012	これは英語版 001-61351 Rev *I を翻訳した日本語版 Rev. ** です。
*A	4033656	YYOS	06/19/2013	これは英語版 001-61351 Rev *J を翻訳した日本語版 Rev. *A です。

## 販売、ソリューション、および法律情報

### ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション](#)。

### 製品

自動車	<a href="http://cypress.com/go/automotive">cypress.com/go/automotive</a>
クロック & パッファ	<a href="http://cypress.com/go/clocks">cypress.com/go/clocks</a>
インタフェース	<a href="http://cypress.com/go/interface">cypress.com/go/interface</a>
照明 & 電源管理	<a href="http://cypress.com/go/powerpsoc">cypress.com/go/powerpsoc</a>
	<a href="http://cypress.com/go/plc">cypress.com/go/plc</a>
メモリ	<a href="http://cypress.com/go/memory">cypress.com/go/memory</a>
光学 & イメージ センサ	<a href="http://cypress.com/go/image">cypress.com/go/image</a>
PSoC	<a href="http://cypress.com/go/psoc">cypress.com/go/psoc</a>
タッチセンサ	<a href="http://cypress.com/go/touch">cypress.com/go/touch</a>
USB コントローラ	<a href="http://cypress.com/go/USB">cypress.com/go/USB</a>
ワイヤレス /RF	<a href="http://cypress.com/go/wireless">cypress.com/go/wireless</a>

### PSoC ソリューション

[psoc.cypress.com/solutions](http://psoc.cypress.com/solutions)  
PSoC 1 | PSoC 3 | PSoC 5

Copyright © 2005-2012 Cypress Semiconductor Corporation 本文書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporation は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。特許又はその他の権限下で、ライセンスを譲渡又は暗示することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、又は安全の用途のために仕様することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことを合理的に予想される、生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

PSoC Designer™及びProgrammable System-on-Chip™は、Cypress Semiconductor Corp. の商標、PSoC®は同社の登録商標です。本文書で言及するその他全ての商標又は登録商標は各社の所有物です。

全てのソースコード（ソフトウェア及び/又はファームウェア）はCypress Semiconductor Corporation（以下「サイプレス」）が所有し、全世界（米国及びその他の国）の特許権保護、米国の著作権法並びに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によるライセンスに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであって、適用される契約で指定されたサイプレスの集積回路と併用されるライセンスの製品のみをサポートするカスタムソフトウェア及び/又はカスタムファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物を複製、使用、変更、そして作成するためのライセンス、並びにサイプレスのソースコード及び派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、又は表示することは全て禁止されます。

免責条項: サイプレスは、明示的又は黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性又は特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品又は回路を適用又は使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレスソフトウェアライセンス契約によって制限され、かつ制約される場合があります。