



本ドキュメントは Cypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、「MB」から始まるシリーズ名、品名およびオーダ型格が記載されておりますが、これらはすべて「CY」から始まるシリーズ名、品名およびオーダ型格として、新規および既存のお客様に引き続き提供してまいります。

オーダ型格の調べ方について

1. www.cypress.com/pcn にアクセスしてください。
2. SEARCH PCNS フィールドに、オーダ型格などのキーワードを入力し、「Apply」をクリックしてください。
3. 該当するタイトル(Title)をクリックしてください。
4. 「Affected Parts List」ファイルを開いてください。
当該ファイルに記載されている各種変更情報をご利用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレスは、世界で最も革新的な車載や産業機器、スマート家電、民生機器および医療機器製品向けに、最先端の組み込みシステム ソリューションを提供するリーディングカンパニーです。サイプレスのマイクロコントローラーや、アナログ IC、ワイヤレスおよび USB ベースのコネクティビティ ソリューション、高い信頼性と高性能を提供するメモリ製品は、各種機器メーカーの差異化製品の開発と早期市場参入を支援します。サイプレスは、ベストクラスのサポートと開発リソースをグローバルに提供することで、彼らが従来市場を破壊しまったく新しい製品カテゴリを歴史的なスピードで市場投入できるよう支援します。詳細はサイプレスのウェブサイト (japan.cypress.com) をご覧ください。

MB9B420TA シリーズは、低消費電力と低コストを求める組込み制御用途向けに設計された、高集積 32 ビットマイクロコントローラです。本シリーズは、CPU に ARM Cortex-M3 プロセッサを搭載し、フラッシュメモリおよび SRAM のオンチップメモリとともに、周辺機能として、各種タイマ、A/D コンバータ、D/A コンバータ、各種通信インタフェース (CAN, UART, CSIO, I²C, LIN) などにより構成されます。『FM3 ファミリー ペリフェラルマニュアル』において、このデータシートに記載されている製品は、TYPE12 製品に分類されます。

特長

32 ビット ARM Cortex-M3 コア

- プロセッサ版数: r2p1
- 最大動作周波数: 60 MHz
- ネスト型ベクタ割り込みコントローラ(NVIC): 1 チャンネルの NMI (ノンマスカブル割り込み) と 48 チャンネルの周辺割り込みに対応。16 の割り込み優先度レベルを設定できます。
- 24 ビットシステムタイマ(Sys Tick): OS タスク管理用のシステムタイマです。

オンチップメモリ

[フラッシュメモリ]

- デュアルオペレーションフラッシュメモリ
デュアルオペレーションフラッシュメモリは、上位バンクと下位バンクで構成されており、書込み/消去動作と読出し動作を同時に実行します。
- メイン領域
最大 1.5 M バイト(1008 K バイト(ROM0) + 512 K バイト(ROM1)の上位バンクと 16 K バイト(ROM0)の下位バンク)
- ワーク領域
64 K バイト(ROM1)の下位バンク
- リードサイクル: 0 ウェイトサイクル
- コード保護用セキュリティ機能

[SRAM]

本シリーズのオンチップ SRAM は、2 つの独立した SRAM (SRAM0, SRAM1) により構成されます。SRAM0 は、Cortex-M3 コアの I-Code バス、D-Code バスに接続されます。SRAM1 は、Cortex-M3 コアの System バスに接続されます。

- SRAM0: 最大 96 K バイト
- SRAM1: 最大 96 K バイト

外部バスインタフェース

- SRAM, NOR と NAND フラッシュメモリデバイスに対応
- 最大 8 チップセレクト
- 8/16 ビットデータ幅
- 最大 25 ビットのアドレスビット
- 最大アクセスサイズ: 256 M バイト
- アドレス/データマルチプレクスをサポート
- 外部 RDY 機能をサポート

CAN インタフェース

- CAN 仕様 2.0A および 2.0B に準拠
- 最大転送レート: 1 Mbps
- 32 メッセージバッファ搭載

マルチファンクションシリアルインタフェース(最大 16 チャンネル)

- 16 段 × 9 ビット FIFO あり
- チャンネルごとに動作モードを次の中から選択できます。
 - UART
 - CSIO
 - LIN
 - I²C

[UART]

- 全二重ダブルバッファ
- パリティあり/なし選択可能
- 専用ボーレートジェネレータ内蔵
- 外部クロックをシリアルクロックとして使用可能
- ハードウェアフロー・コントロール: CTS/RTS による送受信自動制御(ch.4 のみ)
- 豊富なエラー検出機能(パリティエラー, フレーミングエラー, オーバランエラー)

[CSIO]

- 全二重ダブルバッファ
- 専用ボーレートジェネレータ内蔵
- オーバランエラー検出機能

[LIN]

- LIN プロトコル Rev.2.1 対応
- 全二重ダブルバッファ
- マスタ/スレーブモード対応
- LIN break field 生成(13~16 ビット長に変更可能)
- LIN break デリミタ生成(1~4 ビット長に変更可能)
- 豊富なエラー検出機能(パリティエラー, フレーミングエラー, オーバランエラー)

[I²C]

- Standard-mode(最大 100 kbps)/Fast-mode(最大 400 kbps)に対応

DMA コントローラ(8 チャンネル)

DMA コントローラは、CPU とは独立した DMA 専用バスを持ち、CPU と並列動作できます。

- 8 つを独自に構成かつ動作可能なチャンネル
- ソフトウェア要求または内蔵周辺機能要求による転送開始可能
- 転送アドレス空間: 32 ビット(4 G バイト)
- 転送モード: ブロック転送/ バースト転送/ デマンド転送
- 転送データタイプ: バイト/ ハーフワード/ ワード
- 転送ブロック数: 1~16
- 転送回数: 1~65536

AD コンバータ(最大 24 チャンネル)**[12 ビット A/D コンバータ]**

- 逐次比較型
- 2 ユニット搭載
- 変換時間: 1.0 μ s @ 2.7 V~5.5 V
- 優先変換可能(2 レベルの優先度)
- スキャン変換モード
- 変換データ格納用 FIFO 搭載(スキャン変換用: 16 段, 優先変換用: 4 段)

DA コンバータ(最大 2 チャンネル)

- R-2R 型
- 10 ビット分解能

ベースタイマ(最大 16 チャンネル)

チャンネルごとに動作モードを次の中から選択できます。

- 16 ビット PWM タイマ
- 16 ビット PPG タイマ
- 16/32 ビットリロードタイマ
- 16/32 ビット PWC タイマ

汎用 I/O ポート

本シリーズは、端子が外部バスまたは周辺機能に使用されていない場合、汎用 I/O ポートとして使用できます。また、どの I/O ポートに周辺機能を割り当てるかを設定できるポートリロケート機能を搭載しています。

- 端子ごとにプルアップ制御可能
- 端子レベルを直接読出し可能
- ポートリロケート機能
- 最大 154 本の高速汎用 I/O ポート@176pin Package
- 一部のポートは、5V トレラントに対応
- 該当する端子については「端子機能一覧」と「入出力回路形式」を参照してください。

デュアルタイマ(32/16 ビットダウンカウンタ)

デュアルタイマは、2 つのプログラム可能な 32/16 ビットダウンカウンタで構成されます。

各タイマチャンネルの動作モードを次の中から選択できます。

- フリーランモード
- 周期モード(=リロードモード)
- ワンショットモード

クアッドカウンタ (QPRC : Quadrature Position/Revolution Counter) (最大 2 チャンネル)

クアッドカウンタ(QPRC)は、ポジションエンコーダの位置を測定するために使います。また、設定によりアップダウンカウンタとしても使用できます。

- 3 つの外部イベント入力端子 AIN, BIN, ZIN の検出エッジを設定可能
- 16 ビット位置カウンタ
- 16 ビット回転カウンタ
- 2 つの 16 ビットコンペアレジスタ

HDMI-CEC/リモコン受信(最大 2 チャンネル)

- HDMI-CEC 送信
 - ☐ シグナルフリーを判定してヘッダーブロックの自動送信
 - ☐ アービトレーションロストを検出してステータス割込みを発生
 - ☐ 1 バイトデータの設定により START, EOM, ACK を自動生成して CEC 送信出力
 - ☐ 1 ブロック(1 バイトのデータと EOM, ACK)を送信したときに送信ステータス割込みを発生
- HDMI-CEC 受信
 - ☐ 自動 ACK 応答機能
 - ☐ ラインエラー検出機能
- リモコン受信
 - ☐ 4 バイトの受信バッファ
 - ☐ リピートコード検出機能

多機能タイマ

多機能タイマは、次のブロックで構成されます。

- 16 ビットフリーランタイマ×3 チャンネル / ユニット
- インプットキャプチャ×4 チャンネル / ユニット
- アウトプットコンペア×6 チャンネル / ユニット
- A/D 起動コンペア×2 チャンネル / ユニット
- 波形ジェネレータ×3 チャンネル / ユニット
- 16 ビット PPG タイマ×3 チャンネル / ユニット

モータ制御を実現するために次の機能を用意しています。

- PWM 信号出力機能
- DC チョップパ波形出力機能
- デッドタイム機能
- インพุットキャプチャ機能
- A/D コンバータ起動機能
- DTIF(モータ緊急停止)割込み機能

リアルタイムクロック(RTC : Real Time Clock)

00年～99年までの年/月/日/時/分/秒/曜日のカウントを行います。

- 日時指定(年/月/日/時/分)での割込み機能, 年/月/日/時/分だけの個別設定も可能
- 設定時間後/設定時間ごとのタイマ割込み機能
- カウントを継続して時刻書換え可能
- うるう年の自動カウント

時計カウンタ

時計カウンタはスリープ、タイマモードからのウェイクアップに使用します。

- インターバルタイマ: 最大 64 s@サブクロック使用時 (32.768 kHz)

外部割込み制御ユニット

- 外部割込み入力端子: 最大 32 本@176pin Package
- ノンマスカブル割込み(NMI)入力端子: 1 本

ウォッチドッグタイマ(2 チャンネル)

ウォッチドッグタイマは、タイムアウト値に達すると割込みまたはリセットを発生します。

本シリーズには、"ハードウェア"ウォッチドッグと"ソフトウェア"ウォッチドッグの2つの異なるウォッチドッグがあります。

"ハードウェア"ウォッチドッグタイマは内蔵低速 CR 発振で動作するため、RTC モード、ストップモード、ディープスタンバイ RTC モード、ディープスタンバイストップモード以外のすべての低消費電力モードで動作します。

CRC (Cyclic Redundancy Check)アクセラレータ

CRC アクセラレータは、ソフト処理負荷の高いCRC 計算を行い、受信データおよびストレージの整合性確認処理負荷の軽減を実現します。

CCITT CRC16 と IEEE-802.3 CRC32 をサポートします。

- CCITT CRC16 Generator Polynomial: 0x1021
- IEEE-802.3 CRC32 Generator Polynomial: 0x04C11DB7

クロック/リセット

[クロック]

5 種類のクロックソース(2 種類の外部発振, 2 種類の内蔵 CR 発振, メイン PLL)から選択できます。

- メインクロック: 4 MHz～48 MHz
- サブクロック: 32.768 kHz
- 内蔵高速 CR クロック: 4 MHz
- 内蔵低速 CR クロック: 100 kHz
- メイン PLL クロック

[リセット]

- INITX 端子からのリセット要求
- 電源投入リセット
- ソフトウェアリセット
- ウォッチドッグタイマリセット
- 低電圧検出リセット
- クロックスーパーバイザリセット
- 低電圧検出リセット
- クロックスーパーバイザリセット

クロック監視機能(CSV : Clock Super Visor)

内蔵 CR 発振による生成クロックを用いて外部クロックの異常を監視します。

- 外部クロック異常(クロック停止)が検出されると、リセットがアサートされます。
- 外部周波数異常が検出されると、割込みまたはリセットがアサートされます。

低電圧検出機能(LVD : Low-Voltage Detect)

本シリーズは、2 段階で VCC 端子の電圧を監視します。設定した電圧より VCC 端子の電圧が下がった場合、低電圧検出機能により割込みまたはリセットが発生します。

- LVD1 : 割込みによりエラーを報告
- LVD2 : オートリセット動作

低消費電力モード

6 種類の低消費電力モードに対応します。

- スリープ
- タイマ
- RTC
- ストップ
- ディープスタンバイ RTC (RAM 保持あり・なし選択可能)
- ディープスタンバイストップ(RAM 保持あり・なし選択可能)

デバッグ

- シリアル・ワイヤ JTAG デバッグ・ポート (SWJ-DP)
- エンベデッド・トレース・マクロセル (ETM)

ユニーク ID

41 ビットのデバイス固有の値を設定済み

電源

ワイドレンジ電圧対応: $VCC = 2.7\text{ V} \sim 5.5\text{ V}$

Contents

特長	1
1. 品種構成	7
2. パッケージと品種対応	8
3. 端子配列図	9
4. 端子機能一覧	12
5. 入出力回路形式	53
6. 取扱上のご注意	59
6.1 設計上の注意事項	59
6.2 パッケージ実装上の注意事項	60
6.3 使用環境に関する注意事項	61
7. デバイス使用上の注意	62
8. ブロックダイヤグラム	65
9. メモリサイズ	65
10. メモリマップ	66
11. 各 CPU ステートにおける端子状態	69
12. 電気的特性	76
12.1 絶対最大定格	76
12.2 推奨動作条件	78
12.3 直流規格	79
12.3.1 電流規格	79
12.3.2 端子特性	82
12.4 交流規格	84
12.4.1 メインクロック入力規格	84
12.4.2 サブクロック入力規格	85
12.4.3 内蔵 CR 発振規格	85
12.4.4 メイン PLL の使用条件(PLL の入力クロックにメインクロックを使用)	87
12.4.5 メイン PLL の使用条件(メイン PLL の入力クロックに内蔵高速 CR クロックを使用)	87
12.4.6 リセット入力規格	87
12.4.7 パワーオンリセットタイミング	88
12.4.8 外バスタイミング	89
12.4.9 ベースタイマ入力タイミング	99
12.4.10 CSIO/UART タイミング	100
12.4.11 外部入力タイミング	109
12.4.12 クアッドカウンタ タイミング	110
12.4.13 I ² C タイミング	112
12.4.14 ETM タイミング	113
12.4.15 JTAG タイミング	114
12.5 12 ビット A/D コンバータ	115
12.6 10 ビット D/A コンバータ	118
12.7 低電圧検出特性	119
12.7.1 低電圧検出リセット	119
12.7.2 低電圧検出割込み	120
12.8 フラッシュメモリ書込み/消去特性	121
12.8.1 書込み/消去時間	121
12.8.2 書込みサイクルとデータ保持時間	121
12.9 スタンバイ復帰時間	122
12.9.1 復帰要因 : 割込み/WKUP	122
12.9.2 復帰要因 : リセット	124

13. オーダ型格	126
14. パッケージ・外形寸法図	127
15. エラッタ	130
15.1 影響を受ける型格	130
15.2 認定の状況	130
15.3 エラッタのまとめ	130
15.4 エラッタの詳細	130
15.4.1 HDMI-CEC ポーリングメッセージの問題	130
16. 主な変更内容	132
改訂履歴	134
セールス、ソリューションおよび法律情報	136

1. 品種構成

メモリサイズ

品種名		MB9BF428SA/TA	MB9BF429SA/TA
オンチップ フラッシュメモリ	メイン領域	1 M バイト	1.5 M バイト
	ワーク領域	64 K バイト	64 K バイト
オンチップ SRAM	SRAM0	80 K バイト	96 K バイト
	SRAM1	80 K バイト	96 K バイト
	計	160 K バイト	192 K バイト

ファンクション

品種名			MB9BF428SA MB9BF429SA	MB9BF428TA MB9BF429TA
端子数			144	176/192
CPU			Cortex-M3	
周波数			60 MHz	
電源電圧範囲			2.7 V~5.5 V	
CAN			1 ch.	
DMAC			8 ch.	
外部バスインタフェース			Addr: 25 ビット(最大) R/Wdata : 8/16 ビット(最大) CS:8 (最大) SRAM, NOR フラッシュメモリ, NAND フラッシュメモリ	
マルチファンクションシリアル (UART/CSIO/LIN/I ² C)			FIFO (16 段 × 9 ビット)あり 16 ch. (最大)	
ベースタイマ (PWC/リロードタイマ/PWM/PPG)			16 ch. (最大)	
多 機 能 タ イ マ	A/D 起動コンペア	2 ch.	1 unit	
	インプットキャプチャ	4 ch.		
	フリーランタイマ	3 ch.		
	アウトプットコンペア	6 ch.		
	波形ジェネレータ	3 ch.		
	PPG	3 ch.		
クアドカウンタ			1 ch.(最大)	2 ch.(最大)
デュアルタイマ			1 unit	
HDMI-CEC/リモコン受信			2 ch.(最大)	
リアルタイムクロック			1 unit	
時計カウンタ			1 unit	
CRC アクセラレータ			Yes	
ウォッチドッグタイマ			1 ch. (SW) + 1 ch. (HW)	
外部割込み			32 pin (最大) + NMI × 1	
I/O ポート			122 pin (最大)	154 pin (最大)
12 ビット A/D コンバータ			24 ch. (2 units)	
10 ビット D/A コンバータ			2 ch.(最大)	
クロック監視機能(CSV)			Yes	
低電圧検出機能(LVD)			2 ch.	
内蔵 CR	高速		4 MHz	
	低速		100 kHz	
デバッグ機能			SWJ-DP/ETM	
ユニーク ID			Yes	

<注意事項>

- 各製品に搭載される周辺機能の信号は、パッケージの端子数制限により、すべて割り当ててはできません。使用する機能に応じて、I/O ポートのポートリロケート機能を用いて、端子を割り当ててください。
内蔵 CR のクロック周波数精度については、『12.電気的特性 12.4.交流規格 12.4.3 内蔵 CR 発振規格』を参照してください。

2. パッケージと品種対応

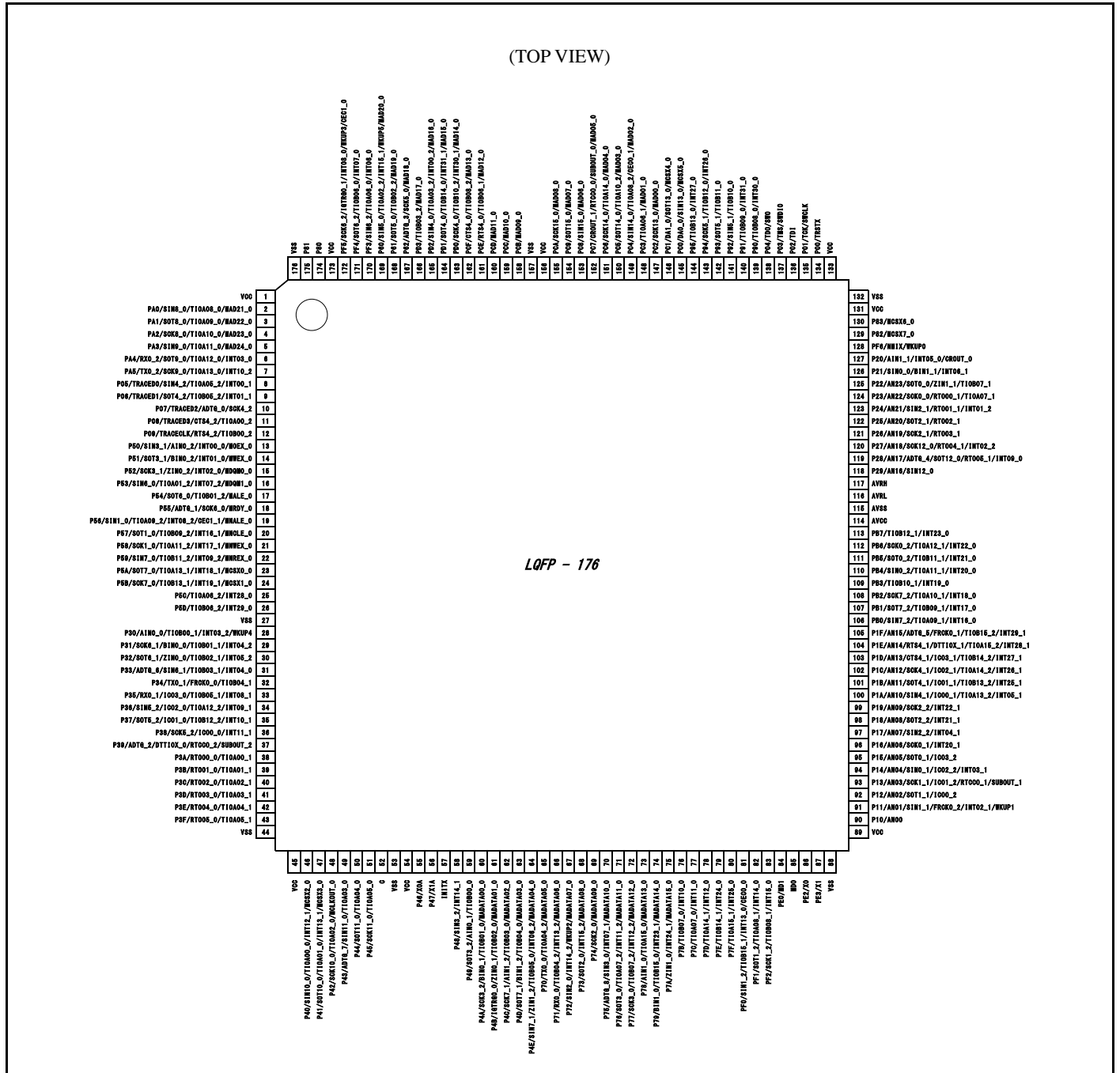
パッケージ	品種名	MB9BF428SA	MB9BF428TA
		MB9BF429SA	MB9BF429TA
LQFP: LQS144 (0.5 mm pitch)		○	-
LQFP: LQP176 (0.5 mm pitch)		-	○
BGA: LBE192 (0.8 mm pitch)		-	○

○: 対応

<注意事項>

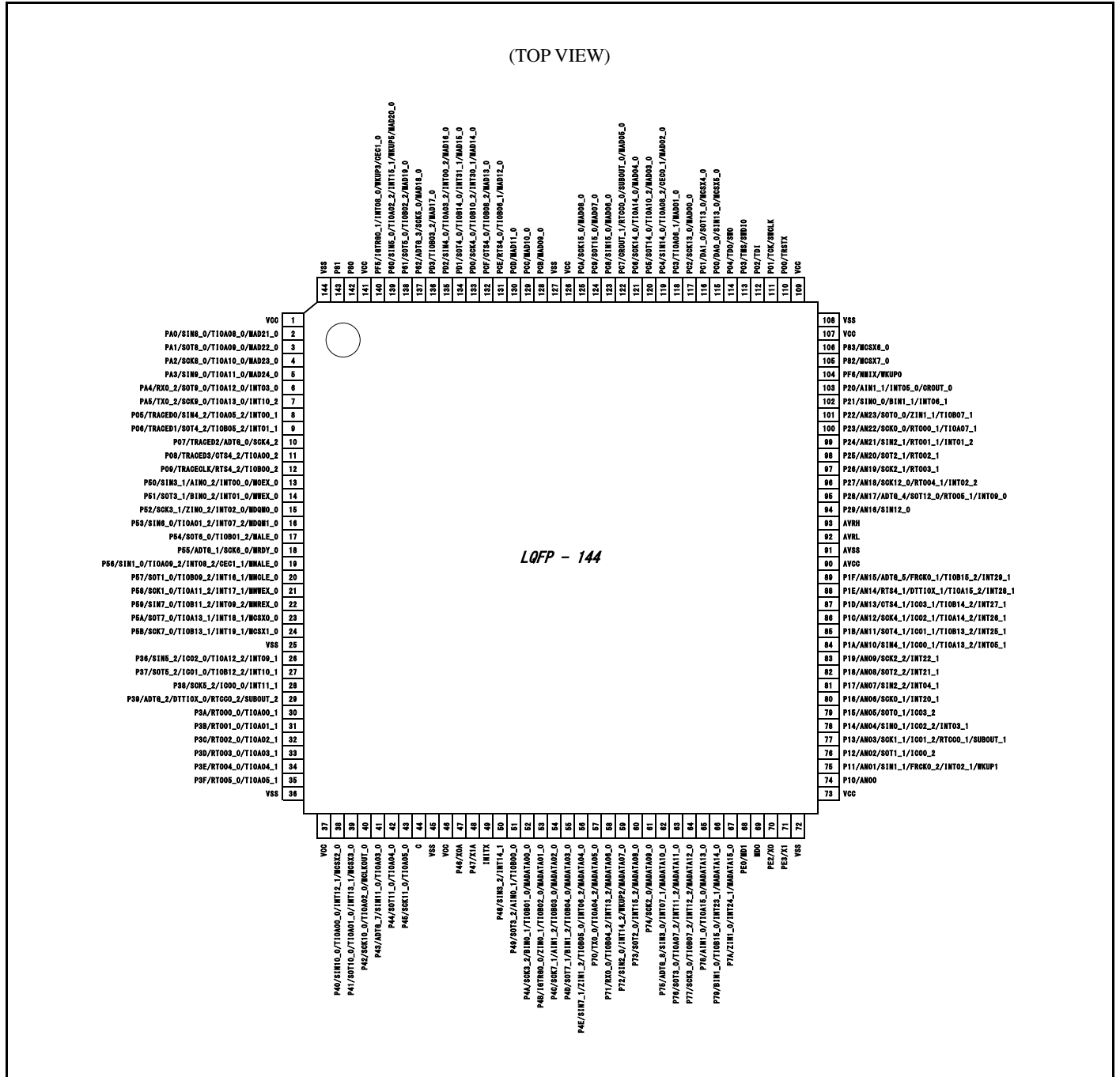
- 各パッケージの詳細は「14. パッケージ・外形寸法図」を参照してください。

3. 端子配列図

LQP176


＜注意事項＞

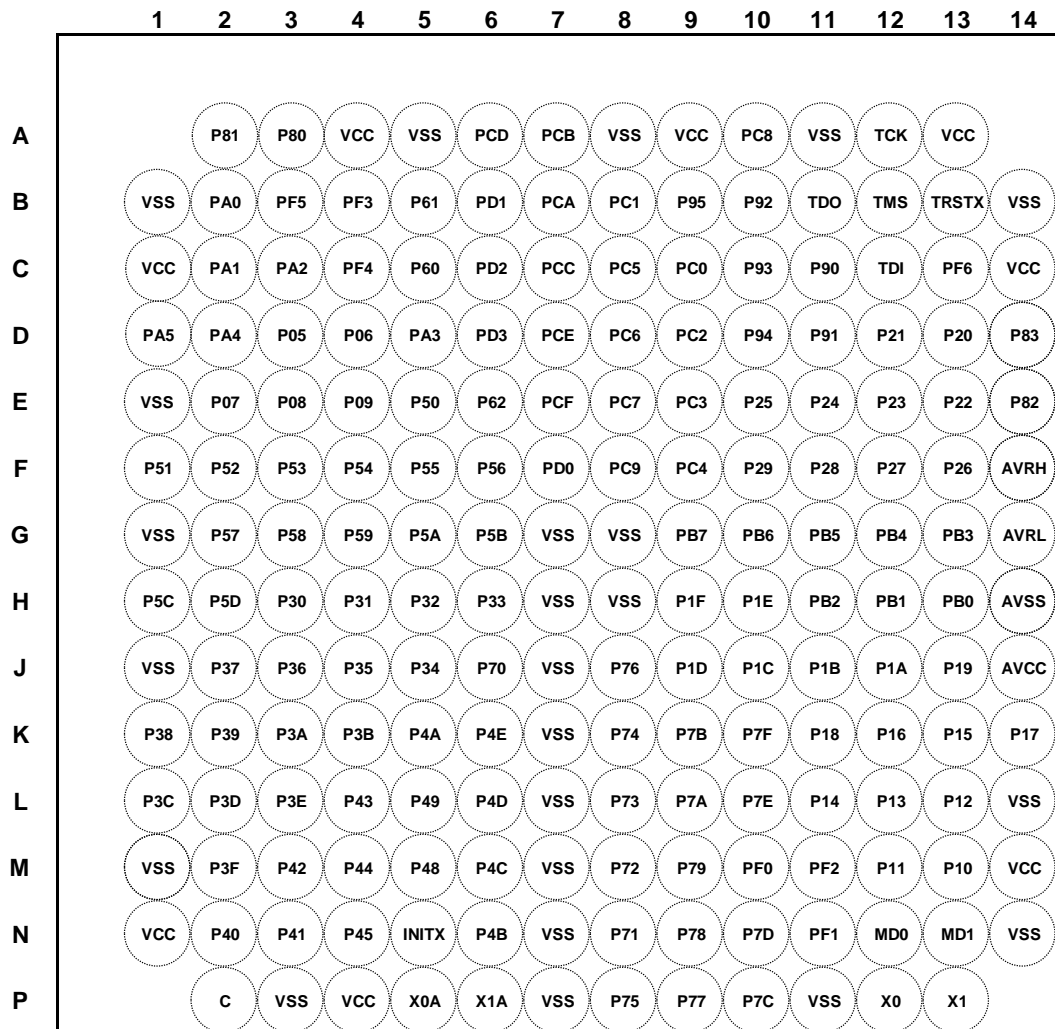
- XXX_1, XXX_2 のように「_ (アンダーバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。
- これらの端子は1つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。拡張ポート機能レジスタ (EPFR)によって利用する端子名を選択してください。

LQS144

<注意事項>

- XXX_1, XXX_2 のように「_ (アンダーバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。
これらの端子は1つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。拡張ポート機能レジスタ (EPFR)によって利用する端子名を選択してください。

LBE192

(TOP VIEW)


<注意事項>

- XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。
 これらの端子は1つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。拡張ポート機能レジスタ (EPFR)によって利用する端子名を選択してください。

4. 端子機能一覧

端子番号別

XXX_1, XXX_2 のように、「_(アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。

これらの端子は 1 つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。

拡張ポート機能レジスタ(EPFR)によって利用する端子名を選択してください。

端子番号			端子名	入出力 回路形式	端子状態 形式
LQFP-176	LQFP-144	BGA-192			
1	1	C1	VCC	-	
2	2	B2	PA0	I*	J
			SIN8_0		
			TIOA08_0		
			MAD21_0		
3	3	C2	PA1	I*	J
			SOT8_0		
			TIOA09_0		
			MAD22_0		
4	4	C3	PA2	I*	J
			SCK8_0		
			TIOA10_0		
			MAD23_0		
5	5	D5	PA3	I*	J
			SIN9_0		
			TIOA11_0		
			MAD24_0		
6	6	D2	PA4	I*	K
			RX0_2		
			SOT9_0		
			TIOA12_0		
7	7	D1	INT03_0	I*	K
			PA5		
			TX0_2		
			SCK9_0		
8	8	D3	TIOA13_0	E	Q
			INT10_2		
			P05		
			TRACED0		
9	9	D4	SIN4_2	E	Q
			TIOA05_2		
			INT00_1		
			P06		
			TRACED1		
			SOT4_2		
			TIOB05_2		
			INT01_1		

端子番号			端子名	入出力 回路形式	端子状態 形式
LQFP-176	LQFP-144	BGA-192			
10	10	E2	P07	E	P
			TRACED2		
			ADTG_0		
			SCK4_2		
11	11	E3	P08	E	P
			TRACED3		
			CTS4_2		
			TIOA00_2		
12	12	E4	P09	E	P
			TRACECLK		
			RTS4_2		
			TIOB00_2		
13	13	E5	P50	E	K
			SIN3_1		
			AIN0_2		
			INT00_0		
			MOEX_0		
14	14	F1	P51	E	K
			SOT3_1		
			BIN0_2		
			INT01_0		
			MWEX_0		
15	15	F2	P52	E	K
			SCK3_1		
			ZIN0_2		
			INT02_0		
			MDQM0_0		

端子番号			端子名	入出力 回路形式	端子状態 形式
LQFP-176	LQFP-144	BGA-192			
16	16	F3	P53	E	K
			SIN6_0		
			TIOA01_2		
			INT07_2		
			MDQM1_0		
17	17	F4	P54	E	J
			SOT6_0		
			TIOB01_2		
			MALE_0		
18	18	F5	P55	E	J
			ADTG_1		
			SCK6_0		
			MRDY_0		
19	19	F6	P56	I*	S
			SIN1_0		
			TIOA09_2		
			INT08_2		
			CEC1_1		
			MNALE_0		
20	20	G2	P57	I*	K
			SOT1_0		
			TIOB09_2		
			INT16_1		
			MNCLE_0		
21	21	G3	P58	I*	K
			SCK1_0		
			TIOA11_2		
			INT17_1		
			MNWEX_0		
22	22	G4	P59	E	K
			SIN7_0		
			TIOB11_2		
			INT09_2		
			MNREX_0		

端子番号			端子名	入出力 回路形式	端子状態 形式
LQFP-176	LQFP-144	BGA-192			
23	23	G5	P5A	E	K
			SOT7_0		
			TIOA13_1		
			INT18_1		
			MCSX0_0		
24	24	G6	P5B	E	K
			SCK7_0		
			TIOB13_1		
			INT19_1		
			MCSX1_0		
25	-	H1	P5C	E	K
			TIOA06_2		
			INT28_0		
26	-	H2	P5D	E	K
			TIOB06_2		
			INT29_0		
27	25	A5	VSS	-	
28	-	H3	P30	E	U
			AIN0_0		
			TIOB00_1		
			INT03_2		
			WKUP4		
29	-	H4	P31	E	K
			SCK6_1		
			BIN0_0		
			TIOB01_1		
			INT04_2		
30	-	H5	P32	E	K
			SOT6_1		
			ZIN0_0		
			TIOB02_1		
			INT05_2		
31	-	H6	P33	E	K
			ADTG_6		
			SIN6_1		
			TIOB03_1		
			INT04_0		

端子番号			端子名	入出力 回路形式	端子状態 形式
LQFP-176	LQFP-144	BGA-192			
32	-	J5	P34	E	J
			TX0_1		
			FRCK0_0		
			TIOB04_1		
33	-	J4	P35	E	K
			RX0_1		
			IC03_0		
			TIOB05_1		
			INT08_1		
34	26	J3	P36	E	K
			SIN5_2		
			IC02_0		
			TIOA12_2		
			INT09_1		
35	27	J2	P37	E	K
			SOT5_2		
			IC01_0		
			TIOB12_2		
			INT10_1		
36	28	K1	P38	E	K
			SCK5_2		
			IC00_0		
			INT11_1		
37	29	K2	P39	E	J
			ADTG_2		
			DTTI0X_0		
			RTCCO_2		
			SUBOUT_2		
38	30	K3	P3A	F	J
			RTO00_0		
			TIOA00_1		
39	31	K4	P3B	F	J
			RTO01_0		
			TIOA01_1		
40	32	L1	P3C	F	J
			RTO02_0		
			TIOA02_1		

端子番号			端子名	入出力 回路形式	端子状态 形式
LQFP-176	LQFP-144	BGA-192			
41	33	L2	P3D	F	J
			RTO03_0		
			TIOA03_1		
42	34	L3	P3E	F	J
			RTO04_0		
			TIOA04_1		
43	35	M2	P3F	F	J
			RTO05_0		
			TIOA05_1		
44	36	A8	VSS	-	
45	37	N1	VCC	-	
46	38	N2	P40	E	K
			SIN10_0		
			TIOA00_0		
			INT12_1		
			MCSX2_0		
47	39	N3	P41	E	K
			SOT10_0		
			TIOA01_0		
			INT13_1		
			MCSX3_0		
48	40	M3	P42	E	J
			SCK10_0		
			TIOA02_0		
			MCLKOUT_0		
49	41	L4	P43	I*	J
			ADTG_7		
			SIN11_0		
			TIOA03_0		
50	42	M4	P44	I*	J
			SOT11_0		
			TIOA04_0		
51	43	N4	P45	I*	J
			SCK11_0		
			TIOA05_0		
52	44	P2	C	-	
53	45	A11	VSS	-	
54	46	P4	VCC	-	
55	47	P5	P46	D	F
			X0A		
56	48	P6	P47	D	G
			X1A		
57	49	N5	INITX	B	C
58	50	M5	P48	E	K
			SIN3_2		
			INT14_1		

端子番号			端子名	入出力 回路形式	端子状態 形式
LQFP-176	LQFP-144	BGA-192			
59	51	L5	P49	E	J
			SOT3_2		
			AIN0_1		
			TIOB00_0		
60	52	K5	P4A	E	J
			SCK3_2		
			BIN0_1		
			TIOB01_0		
61	53	N6	MADATAA00_0	E	J
			P4B		
			IGTRG0_0		
			ZIN0_1		
62	54	M6	TIOB02_0	E	J
			MADATAA01_0		
			P4C		
			SCK7_1		
63	55	L6	AIN1_2	E	J
			TIOB03_0		
			MADATAA02_0		
			P4D		
64	56	K6	SOT7_1	E	K
			BIN1_2		
			TIOB04_0		
			MADATAA03_0		
65	57	J6	P4E	E	J
			SIN7_1		
			ZIN1_2		
			TIOB05_0		
66	58	N8	INT06_2	E	K
			MADATAA04_0		
			P70		
			TX0_0		
			TIOA04_2	E	J
			MADATAA05_0		
			P71		
			RX0_0		
			TIOB04_2	E	K
			INT13_2		
			MADATAA06_0		

端子番号			端子名	入出力 回路形式	端子状态 形式
LQFP-176	LQFP-144	BGA-192			
67	59	M8	P72	E	U
			SIN2_0		
			INT14_2		
			WKUP2		
			MADATA07_0		
68	60	L8	P73	E	K
			SOT2_0		
			INT15_2		
			MADATA08_0		
69	61	K8	P74	E	J
			SCK2_0		
			MADATA09_0		
70	62	P8	P75	E	K
			ADTG_8		
			SIN3_0		
			INT07_1		
			MADATA10_0		
71	63	J8	P76	E	K
			SOT3_0		
			TIOA07_2		
			INT11_2		
			MADATA11_0		
72	64	P9	P77	E	K
			SCK3_0		
			TIOB07_2		
			INT12_2		
			MADATA12_0		
73	65	N9	P78	E	J
			AIN1_0		
			TIOA15_0		
			MADATA13_0		
74	66	M9	P79	E	K
			BIN1_0		
			TIOB15_0		
			INT23_1		
			MADATA14_0		
-	-	M1	VSS	-	
-	-	P3	VSS	-	

端子番号			端子名	入出力 回路形式	端子状態 形式
LQFP-176	LQFP-144	BGA-192			
75	67	L9	P7A	E	K
			ZIN1_0		
			INT24_1		
			MADATA15_0		
76	-	K9	P7B	E	K
			TIOB07_0		
			INT10_0		
77	-	P10	P7C	E	K
			TIOA07_0		
			INT11_0		
78	-	N10	P7D	E	K
			TIOA14_1		
			INT12_0		
79	-	L10	P7E	E	K
			TIOB14_1		
			INT24_0		
80	-	K10	P7F	E	K
			TIOA15_1		
			INT25_0		
81	-	M10	PF0	I*	S
			SIN1_2		
			TIOB15_1		
			INT13_0		
			CEC0_0		
82	-	N11	PF1	I*	K
			SOT1_2		
			TIOA08_1		
			INT14_0		
83	-	M11	PF2	I*	K
			SCK1_2		
			TIOB08_1		
			INT15_0		
84	68	N13	PE0	C	E
			MD1		
85	69	N12	MD0	J	D
86	70	P12	PE2	A	A
			X0		
87	71	P13	PE3	A	B
			X1		
88	72	E1	VSS	-	
89	73	M14	VCC	-	
-	-	P7	VSS	-	
-	-	N7	VSS	-	

端子番号			端子名	入出力 回路形式	端子状態 形式
LQFP-176	LQFP-144	BGA-192			
90	74	M13	P10 AN00	G	L
91	75	M12	P11 AN01 SIN1_1 FRCK0_2 INT02_1 WKUP1	G	N
92	76	L13	P12 AN02 SOT1_1 IC00_2	G	L
93	77	L12	P13 AN03 SCK1_1 IC01_2 RTCCO_1 SUBOUT_1	G	L
94	78	L11	P14 AN04 SIN0_1 IC02_2 INT03_1	G	M
95	79	K13	P15 AN05 SOT0_1 IC03_2	G	L
96	80	K12	P16 AN06 SCK0_1 INT20_1	G	M
97	81	K14	P17 AN07 SIN2_2 INT04_1	G	M
-	-	M7	VSS	-	-
-	-	L7	VSS	-	-
-	-	K7	VSS	-	-

端子番号			端子名	入出力 回路形式	端子状態 形式
LQFP-176	LQFP-144	BGA-192			
98	82	K11	P18	G	M
			AN08		
			SOT2_2		
			INT21_1		
99	83	J13	P19	G	M
			AN09		
			SCK2_2		
			INT22_1		
100	84	J12	P1A	G	M
			AN10		
			SIN4_1		
			IC00_1		
			TIOA13_2		
			INT05_1		
101	85	J11	P1B	G	M
			AN11		
			SOT4_1		
			IC01_1		
			TIOB13_2		
			INT25_1		
102	86	J10	P1C	G	M
			AN12		
			SCK4_1		
			IC02_1		
			TIOA14_2		
			INT26_1		
103	87	J9	P1D	G	M
			AN13		
			CTS4_1		
			IC03_1		
			TIOB14_2		
			INT27_1		
104	88	H10	P1E	G	M
			AN14		
			RTS4_1		
			DTTIOX_1		
			TIOA15_2		
			INT28_1		

端子番号			端子名	入出力 回路形式	端子状態 形式
LQFP-176	LQFP-144	BGA-192			
105	89	H9	PIF	G	M
			AN15		
			ADTG_5		
			FRCK0_1		
			TIOB15_2		
			INT29_1		
106	-	H13	PB0	E	K
			SIN7_2		
			TIOA09_1		
			INT16_0		
107	-	H12	PB1	E	K
			SOT7_2		
			TIOB09_1		
			INT17_0		
108	-	H11	PB2	E	K
			SCK7_2		
			TIOA10_1		
			INT18_0		
109	-	G13	PB3	E	K
			TIOB10_1		
			INT19_0		
110	-	G12	PB4	E	K
			SIN0_2		
			TIOA11_1		
			INT20_0		
111	-	G11	PB5	E	K
			SOT0_2		
			TIOB11_1		
			INT21_0		
112	-	G10	PB6	E	K
			SCK0_2		
			TIOA12_1		
			INT22_0		
113	-	G9	PB7	E	K
			TIOB12_1		
			INT23_0		
114	90	J14	AVCC	-	
115	91	H14	AVSS	-	
-	-	J7	VSS	-	
-	-	P11	VSS	-	

端子番号			端子名	入出力 回路形式	端子状態 形式
LQFP-176	LQFP-144	BGA-192			
116	92	G14	AVRL	-	
117	93	F14	AVRH	-	
118	94	F10	P29	G	L
			AN16		
			SIN12_0		
119	95	F11	P28	G	M
			AN17		
			ADTG_4		
			SOT12_0		
			RTO05_1		
			INT09_0		
120	96	F12	P27	G	M
			AN18		
			SCK12_0		
			RTO04_1		
121	97	F13	INT02_2	G	L
			P26		
			AN19		
			SCK2_1		
122	98	E10	RTO03_1	G	L
			P25		
			AN20		
			SOT2_1		
123	99	E11	RTO02_1	G	M
			P24		
			AN21		
			SIN2_1		
			RTO01_1		
			INT01_2		

端子番号			端子名	入出力 回路形式	端子状态 形式
LQFP-176	LQFP-144	BGA-192			
124	100	E12	P23	G	L
			AN22		
			SCK0_0		
			RTO00_1		
			TIOA07_1		
125	101	E13	P22	G	L
			AN23		
			SOT0_0		
			ZIN1_1		
			TIOB07_1		
126	102	D12	P21	E	K
			SIN0_0		
			BIN1_1		
			INT06_1		
127	103	D13	P20	E	K
			AIN1_1		
			INT05_0		
			CROUT_0		
128	104	C13	PF6	I*	H
			NMIX		
			WKUP0		
129	105	E14	P82	E	J
			MCSX7_0		
130	106	D14	P83	E	J
			MCSX6_0		
131	107	C14	VCC	-	
132	108	G7	VSS	-	
133	109	A13	VCC	-	
134	110	B13	P00	E	I
			TRSTX		
135	111	A12	P01	E	I
			TCK		
			SWCLK		
136	112	C12	P02	E	I
			TDI		
137	113	B12	P03	E	I
			TMS		
			SWDIO		
138	114	B11	P04	E	I
			TDO		
			SWO		
139	-	C11	P90	E	K
			TIOB08_0		
			INT30_0		
-	-	N14	VSS	-	

端子番号			端子名	入出力 回路形式	端子状态 形式
LQFP-176	LQFP-144	BGA-192			
140	-	D11	P91	E	K
			TIOB09_0		
			INT31_0		
141	-	B10	P92	E	J
			SIN5_1		
			TIOB10_0		
142	-	C10	P93	E	J
			SOT5_1		
			TIOB11_0		
143	-	D10	P94	E	K
			SCK5_1		
			TIOB12_0		
			INT26_0		
144	-	B9	P95	E	K
			TIOB13_0		
			INT27_0		
145	115	C9	PC0	H	O
			DA0_0		
			SIN13_0		
			MCSX5_0		
146	116	B8	PC1	H	O
			DA1_0		
			SOT13_0		
			MCSX4_0		
147	117	D9	PC2	E	J
			SCK13_0		
			MAD00_0		
148	118	E9	PC3	E	J
			TIOA06_1		
			MAD01_0		
149	119	F9	PC4	I*	R
			SIN14_0		
			TIOA08_2		
			CEC0_1		
			MAD02_0		
150	120	C8	PC5	I*	J
			SOT14_0		
			TIOA10_2		
			MAD03_0		
-	-	L14	VSS	-	

端子番号			端子名	入出力 回路形式	端子状態 形式
LQFP-176	LQFP-144	BGA-192			
151	121	D8	PC6	I*	J
			SCK14_0		
			TIOA14_0		
			MAD04_0		
152	122	E8	PC7	E	J
			CROUT_1		
			RTCCO_0		
			SUBOUT_0		
			MAD05_0		
153	123	A10	PC8	E	J
			SIN15_0		
			MAD06_0		
154	124	F8	PC9	E	J
			SOT15_0		
			MAD07_0		
155	125	B7	PCA	E	J
			SCK15_0		
			MAD08_0		
156	126	A9	VCC	-	
157	127	G8	VSS	-	
158	128	A7	PCB	E	J
			MAD09_0		
159	129	C7	PCC	E	J
			MAD10_0		
160	130	A6	PCD	E	J
			MAD11_0		
161	131	D7	PCE	E	J
			RTS4_0		
			TIOB06_1		
			MAD12_0		
162	132	E7	PCF	E	J
			CTS4_0		
			TIOB08_2		
			MAD13_0		
163	133	F7	PD0	E	K
			SCK4_0		
			TIOB10_2		
			INT30_1		
			MAD14_0		
164	134	B6	PD1	E	K
			SOT4_0		
			TIOB14_0		
			INT31_1		
			MAD15_0		
-	-	B14	VSS	-	
-	-	H7	VSS	-	
-	-	B1	VSS	-	
-	-	G1	VSS	-	

端子番号			端子名	入出力 回路形式	端子状態 形式
LQFP-176	LQFP-144	BGA-192			
165	135	C6	PD2	E	K
			SIN4_0		
			TIOA03_2		
			INT00_2		
			MAD16_0		
166	136	D6	PD3	E	J
			TIOB03_2		
			MAD17_0		
167	137	E6	P62	E	J
			ADTG_3		
			SCK5_0		
			MAD18_0		
168	138	B5	P61	E	J
			SOT5_0		
			TIOB02_2		
			MAD19_0		
169	139	C5	P60	E	U
			SIN5_0		
			TIOA02_2		
			INT15_1		
			WKUP5		
			MAD20_0		
170	-	B4	PF3	I*	K
			SIN6_2		
			TIOA06_0		
			INT06_0		
171	-	C4	PF4	I*	K
			SOT6_2		
			TIOB06_0		
			INT07_0		
172	140	B3	PF5	I*	T
			IGTRG0_1		
			INT08_0		
			WKUP3		
			CEC1_0		
	-		SCK6_2		
173	141	A4	VCC	-	
174	142	A3	P80	K	V
175	143	A2	P81	K	V
176	144	H8	VSS	-	
-	-	J1	VSS	-	

※: 5V トレラント I/O

端子機能別

XXX_1, XXX_2 のように、「_(アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。

これらの端子は 1 つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。

拡張ポート機能レジスタ(EPFR)によって利用する端子名を選択してください。

端子機能	端子名	機能説明	端子番号		
			LQFP-176	LQFP-144	BGA-192
ADC	ADTG_0	A/D コンバータ外部トリガ入力端子	10	10	E2
	ADTG_1		18	18	F5
	ADTG_2		37	29	K2
	ADTG_3		167	137	E6
	ADTG_4		119	95	F11
	ADTG_5		105	89	H9
	ADTG_6		31	-	H6
	ADTG_7		49	41	L4
	ADTG_8		70	62	P8
	AN00	A/D コンバータアナログ入力端子 ANxx は ADC ch.xx を示します。	90	74	M13
	AN01		91	75	M12
	AN02		92	76	L13
	AN03		93	77	L12
	AN04		94	78	L11
	AN05		95	79	K13
	AN06		96	80	K12
	AN07		97	81	K14
	AN08		98	82	K11
	AN09		99	83	J13
	AN10		100	84	J12
	AN11		101	85	J11
	AN12		102	86	J10
	AN13		103	87	J9
	AN14		104	88	H10
	AN15		105	89	H9
	AN16		118	94	F10
	AN17		119	95	F11
	AN18		120	96	F12
	AN19		121	97	F13
	AN20		122	98	E10
	AN21		123	99	E11
	AN22		124	100	E12
	AN23		125	101	E13

端子機能	端子名	機能説明	端子番号		
			LQFP-176	LQFP-144	BGA-192
ベース タイマ 0	TIOA00_0	ベースタイマ ch.0 の TIOA 端子	46	38	N2
	TIOA00_1		38	30	K3
	TIOA00_2		11	11	E3
	TIOB00_0	ベースタイマ ch.0 の TIOB 端子	59	51	L5
	TIOB00_1		28	-	H3
	TIOB00_2		12	12	E4
ベース タイマ 1	TIOA01_0	ベースタイマ ch.1 の TIOA 端子	47	39	N3
	TIOA01_1		39	31	K4
	TIOA01_2		16	16	F3
	TIOB01_0	ベースタイマ ch.1 の TIOB 端子	60	52	K5
	TIOB01_1		29	-	H4
	TIOB01_2		17	17	F4
ベース タイマ 2	TIOA02_0	ベースタイマ ch.2 の TIOA 端子	48	40	M3
	TIOA02_1		40	32	L1
	TIOA02_2		169	139	C5
	TIOB02_0	ベースタイマ ch.2 の TIOB 端子	61	53	N6
	TIOB02_1		30	-	H5
	TIOB02_2		168	138	B5
ベース タイマ 3	TIOA03_0	ベースタイマ ch.3 の TIOA 端子	49	41	L4
	TIOA03_1		41	33	L2
	TIOA03_2		165	135	C6
	TIOB03_0	ベースタイマ ch.3 の TIOB 端子	62	54	M6
	TIOB03_1		31	-	H6
	TIOB03_2		166	136	D6
ベース タイマ 4	TIOA04_0	ベースタイマ ch.4 の TIOA 端子	50	42	M4
	TIOA04_1		42	34	L3
	TIOA04_2		65	57	J6
	TIOB04_0	ベースタイマ ch.4 の TIOB 端子	63	55	L6
	TIOB04_1		32	-	J5
	TIOB04_2		66	58	N8
ベース タイマ 5	TIOA05_0	ベースタイマ ch.5 の TIOA 端子	51	43	N4
	TIOA05_1		43	35	M2
	TIOA05_2		8	8	D3
	TIOB05_0	ベースタイマ ch.5 の TIOB 端子	64	56	K6
	TIOB05_1		33	-	J4
	TIOB05_2		9	9	D4
ベース タイマ 6	TIOA06_0	ベースタイマ ch.6 の TIOA 端子	170	-	B4
	TIOA06_1		148	118	E9
	TIOA06_2		25	-	H1
	TIOB06_0	ベースタイマ ch.6 の TIOB 端子	171	-	C4
	TIOB06_1		161	131	D7
	TIOB06_2		26	-	H2

端子機能	端子名	機能説明	端子番号		
			LQFP-176	LQFP-144	BGA-192
ベース タイマ 7	TIOA07_0	ベースタイマ ch.7 の TIOA 端子	77	-	P10
	TIOA07_1		124	100	E12
	TIOA07_2		71	63	J8
	TIOB07_0	ベースタイマ ch.7 の TIOB 端子	76	-	K9
	TIOB07_1		125	101	E13
	TIOB07_2		72	64	P9
ベース タイマ 8	TIOA08_0	ベースタイマ ch.8 の TIOA 端子	2	2	B2
	TIOA08_1		82	-	N11
	TIOA08_2		149	119	F9
	TIOB08_0	ベースタイマ ch.8 の TIOB 端子	139	-	C11
	TIOB08_1		83	-	M11
	TIOB08_2		162	132	E7
ベース タイマ 9	TIOA09_0	ベースタイマ ch.9 の TIOA 端子	3	3	C2
	TIOA09_1		106	-	H13
	TIOA09_2		19	19	F6
	TIOB09_0	ベースタイマ ch.9 の TIOB 端子	140	-	D11
	TIOB09_1		107	-	H12
	TIOB09_2		20	20	G2
ベース タイマ 10	TIOA10_0	ベースタイマ ch.10 の TIOA 端子	4	4	C3
	TIOA10_1		108	-	H11
	TIOA10_2		150	120	C8
	TIOB10_0	ベースタイマ ch.10 の TIOB 端子	141	-	B10
	TIOB10_1		109	-	G13
	TIOB10_2		163	133	F7
ベース タイマ 11	TIOA11_0	ベースタイマ ch.11 の TIOA 端子	5	5	D5
	TIOA11_1		110	-	G12
	TIOA11_2		21	21	G3
	TIOB11_0	ベースタイマ ch.11 の TIOB 端子	142	-	C10
	TIOB11_1		111	-	G11
	TIOB11_2		22	22	G4
ベース タイマ 12	TIOA12_0	ベースタイマ ch.12 の TIOA 端子	6	6	D2
	TIOA12_1		112	-	G10
	TIOA12_2		34	26	J3
	TIOB12_0	ベースタイマ ch.12 の TIOB 端子	143	-	D10
	TIOB12_1		113	-	G9
	TIOB12_2		35	27	J2
ベース タイマ 13	TIOA13_0	ベースタイマ ch.13 の TIOA 端子	7	7	D1
	TIOA13_1		23	23	G5
	TIOA13_2		100	84	J12
	TIOB13_0	ベースタイマ ch.13 の TIOB 端子	144	-	B9
	TIOB13_1		24	24	G6
	TIOB13_2		101	85	J11

端子機能	端子名	機能説明	端子番号		
			LQFP-176	LQFP-144	BGA-192
ベース タイマ 14	TIOA14_0	ベースタイマ ch.14 の TIOA 端子	151	121	D8
	TIOA14_1		78	-	N10
	TIOA14_2		102	86	J10
	TIOB14_0	ベースタイマ ch.14 の TIOB 端子	164	134	B6
	TIOB14_1		79	-	L10
	TIOB14_2		103	87	J9
ベース タイマ 15	TIOA15_0	ベースタイマ ch.15 の TIOA 端子	73	65	N9
	TIOA15_1		80	-	K10
	TIOA15_2		104	88	H10
	TIOB15_0	ベースタイマ ch.15 の TIOB 端子	74	66	M9
	TIOB15_1		81	-	M10
	TIOB15_2		105	89	H9
デバッグ	SWCLK	シリアルワイヤデバッグインタフェースクロック入力	135	111	A12
	SWDIO	シリアルワイヤデバッグインタフェースデータ入出力	137	113	B12
	SWO	シリアルワイヤビューワ出力	138	114	B11
	TCK	JTAG テストクロック入力	135	111	A12
	TDI	JTAG テストデータ入力	136	112	C12
	TDO	JTAG デバッグデータ出力	138	114	B11
	TMS	JTAG テストモード状態入出力	137	113	B12
	TRACECLK	ETM のトレース CLK 出力	12	12	E4
	TRACED0	ETM のトレースデータ出力	8	8	D3
	TRACED1		9	9	D4
	TRACED2		10	10	E2
	TRACED3		11	11	E3
	TRSTX	JTAG テストリセット入力	134	110	B13

端子機能	端子名	機能説明	端子番号		
			LQFP-176	LQFP-144	BGA-192
外部バス	MAD00_0	外部バスインタフェースアドレスバス	147	117	D9
	MAD01_0		148	118	E9
	MAD02_0		149	119	F9
	MAD03_0		150	120	C8
	MAD04_0		151	121	D8
	MAD05_0		152	122	E8
	MAD06_0		153	123	A10
	MAD07_0		154	124	F8
	MAD08_0		155	125	B7
	MAD09_0		158	128	A7
	MAD10_0		159	129	C7
	MAD11_0		160	130	A6
	MAD12_0		161	131	D7
	MAD13_0		162	132	E7
	MAD14_0		163	133	F7
	MAD15_0		164	134	B6
	MAD16_0		165	135	C6
	MAD17_0		166	136	D6
	MAD18_0		167	137	E6
	MAD19_0		168	138	B5
	MAD20_0		169	139	C5
	MAD21_0		2	2	B2
	MAD22_0		3	3	C2
	MAD23_0		4	4	C3
	MAD24_0		5	5	D5
	MCSX0_0	外部バスインタフェースチップセレクト出力端子	23	23	G5
	MCSX1_0		24	24	G6
	MCSX2_0		46	38	N2
	MCSX3_0		47	39	N3
	MCSX4_0		146	116	B8
	MCSX5_0		145	115	C9
	MCSX6_0		130	106	D14
	MCSX7_0		129	105	E14
	MDQM0_0	外部バスインタフェースバイトマスク信号出力	15	15	F2
	MDQM1_0		16	16	F3
	MOEX_0	SRAM の外部バスインタフェースリード許可信号	13	13	E5
	MWEX_0	SRAM の外部バスインタフェースライト許可信号	14	14	F1

端子機能	端子名	機能説明	端子番号		
			LQFP-176	LQFP-144	BGA-192
外部バス	MNALE_0	NAND フラッシュの出力端子をコントロールする外部バスインタフェース ALE 信号	19	19	F6
	MNCLE_0	NAND フラッシュの出力端子をコントロールする外部バスインタフェース CLE 信号	20	20	G2
	MNREX_0	NAND フラッシュをコントロールする外部バスインタフェースリード許可信号	22	22	G4
	MNWEX_0	NAND フラッシュをコントロールする外部バスインタフェースライト許可信号	21	21	G3
	MADATA00_0	外部バスインタフェースデータバス (マルチプレクス時アドレス出力兼用)	60	52	K5
	MADATA01_0		61	53	N6
	MADATA02_0		62	54	M6
	MADATA03_0		63	55	L6
	MADATA04_0		64	56	K6
	MADATA05_0		65	57	J6
	MADATA06_0		66	58	N8
	MADATA07_0		67	59	M8
	MADATA08_0		68	60	L8
	MADATA09_0		69	61	K8
	MADATA10_0		70	62	P8
	MADATA11_0		71	63	J8
	MADATA12_0		72	64	P9
	MADATA13_0		73	65	N9
	MADATA14_0		74	66	M9
	MADATA15_0		75	67	L9
	MALE_0	マルチプレクス時アドレスラッチイネーブル信号	17	17	F4
	MRDY_0	外部 RDY 入力信号	18	18	F5
	MCLKOUT_0	外部バスクロック出力	48	40	M3

端子機能	端子名	機能説明	端子番号		
			LQFP-176	LQFP-144	BGA-192
外部割込み	INT00_0	外部割込み要求 00 の入力端子	13	13	E5
	INT00_1		8	8	D3
	INT00_2		165	135	C6
	INT01_0	外部割込み要求 01 の入力端子	14	14	F1
	INT01_1		9	9	D4
	INT01_2		123	99	E11
	INT02_0	外部割込み要求 02 の入力端子	15	15	F2
	INT02_1		91	75	M12
	INT02_2		120	96	F12
	INT03_0	外部割込み要求 03 の入力端子	6	6	D2
	INT03_1		94	78	L11
	INT03_2		28	-	H3
	INT04_0	外部割込み要求 04 の入力端子	31	-	H6
	INT04_1		97	81	K14
	INT04_2		29	-	H4
	INT05_0	外部割込み要求 05 の入力端子	127	103	D13
	INT05_1		100	84	J12
	INT05_2		30	-	H5
	INT06_0	外部割込み要求 06 の入力端子	170	-	B4
	INT06_1		126	102	D12
	INT06_2		64	56	K6
	INT07_0	外部割込み要求 07 の入力端子	171	-	C4
	INT07_1		70	62	P8
	INT07_2		16	16	F3
	INT08_0	外部割込み要求 08 の入力端子	172	140	B3
	INT08_1		33	-	J4
	INT08_2		19	19	F6
	INT09_0	外部割込み要求 09 の入力端子	119	95	F11
	INT09_1		34	26	J3
	INT09_2		22	22	G4
	INT10_0	外部割込み要求 10 の入力端子	76	-	K9
	INT10_1		35	27	J2
	INT10_2		7	7	D1
	INT11_0	外部割込み要求 11 の入力端子	77	-	P10
	INT11_1		36	28	K1
	INT11_2		71	63	J8
	INT12_0	外部割込み要求 12 の入力端子	78	-	N10
	INT12_1		46	38	N2
	INT12_2		72	64	P9
	INT13_0	外部割込み要求 13 の入力端子	81	-	M10
	INT13_1		47	39	N3
	INT13_2		66	58	N8
	INT14_0	外部割込み要求 14 の入力端子	82	-	N11
	INT14_1		58	50	M5
	INT14_2		67	59	M8

端子機能	端子名	機能説明	端子番号		
			LQFP-176	LQFP-144	BGA-192
外部割込み	INT15_0	外部割込み要求 15 の入力端子	83	-	M11
	INT15_1		169	139	C5
	INT15_2		68	60	L8
	INT16_0	外部割込み要求 16 の入力端子	106	-	H13
	INT16_1		20	20	G2
	INT17_0	外部割込み要求 17 の入力端子	107	-	H12
	INT17_1		21	21	G3
	INT18_0	外部割込み要求 18 の入力端子	108	-	H11
	INT18_1		23	23	G5
	INT19_0	外部割込み要求 19 の入力端子	109	-	G13
	INT19_1		24	24	G6
	INT20_0	外部割込み要求 20 の入力端子	110	-	G12
	INT20_1		96	80	K12
	INT21_0	外部割込み要求 21 の入力端子	111	-	G11
	INT21_1		98	82	K11
	INT22_0	外部割込み要求 22 の入力端子	112	-	G10
	INT22_1		99	83	J13
	INT23_0	外部割込み要求 23 の入力端子	113	-	G9
	INT23_1		74	66	M9
	INT24_0	外部割込み要求 24 の入力端子	79	-	L10
	INT24_1		75	67	L9
	INT25_0	外部割込み要求 25 の入力端子	80	-	K10
	INT25_1		101	85	J11
	INT26_0	外部割込み要求 26 の入力端子	143	-	D10
	INT26_1		102	86	J10
	INT27_0	外部割込み要求 27 の入力端子	144	-	B9
	INT27_1		103	87	J9
	INT28_0	外部割込み要求 28 の入力端子	25	-	H1
	INT28_1		104	88	H10
	INT29_0	外部割込み要求 29 の入力端子	26	-	H2
	INT29_1		105	89	H9
	INT30_0	外部割込み要求 30 の入力端子	139	-	C11
	INT30_1		163	133	F7
	INT31_0	外部割込み要求 31 の入力端子	140	-	D11
	INT31_1		164	134	B6
	NMIX	ノンマスカブル割込み入力	128	104	C13

端子機能	端子名	機能説明	端子番号		
			LQFP-176	LQFP-144	BGA-192
GPIO	P00	汎用入出力ポート 0	134	110	B13
	P01		135	111	A12
	P02		136	112	C12
	P03		137	113	B12
	P04		138	114	B11
	P05		8	8	D3
	P06		9	9	D4
	P07		10	10	E2
	P08		11	11	E3
	P09		12	12	E4
	P10	汎用入出力ポート 1	90	74	M13
	P11		91	75	M12
	P12		92	76	L13
	P13		93	77	L12
	P14		94	78	L11
	P15		95	79	K13
	P16		96	80	K12
	P17		97	81	K14
	P18		98	82	K11
	P19		99	83	J13
	P1A		100	84	J12
	P1B		101	85	J11
	P1C		102	86	J10
	P1D		103	87	J9
	P1E		104	88	H10
	P1F		105	89	H9
	P20	汎用入出力ポート 2	127	103	D13
	P21		126	102	D12
	P22		125	101	E13
	P23		124	100	E12
	P24		123	99	E11
	P25		122	98	E10
	P26		121	97	F13
	P27		120	96	F12
	P28		119	95	F11
	P29		118	94	F10

端子機能	端子名	機能説明	端子番号		
			LQFP-176	LQFP-144	BGA-192
GPIO	P30	汎用入出力ポート 3	28	-	H3
	P31		29	-	H4
	P32		30	-	H5
	P33		31	-	H6
	P34		32	-	J5
	P35		33	-	J4
	P36		34	26	J3
	P37		35	27	J2
	P38		36	28	K1
	P39		37	29	K2
	P3A		38	30	K3
	P3B		39	31	K4
	P3C		40	32	L1
	P3D		41	33	L2
	P3E		42	34	L3
	P3F		43	35	M2
	P40	汎用入出力ポート 4	46	38	N2
	P41		47	39	N3
	P42		48	40	M3
	P43		49	41	L4
	P44		50	42	M4
	P45		51	43	N4
	P46		55	47	P5
	P47		56	48	P6
	P48		58	50	M5
	P49		59	51	L5
	P4A		60	52	K5
	P4B		61	53	N6
	P4C		62	54	M6
	P4D		63	55	L6
	P4E		64	56	K6
	P50	汎用入出力ポート 5	13	13	E5
	P51		14	14	F1
	P52		15	15	F2
	P53		16	16	F3
	P54		17	17	F4
	P55		18	18	F5
	P56		19	19	F6
	P57		20	20	G2
	P58		21	21	G3
	P59		22	22	G4
	P5A		23	23	G5
	P5B		24	24	G6
	P5C		25	-	H1
	P5D		26	-	H2

端子機能	端子名	機能説明	端子番号		
			LQFP-176	LQFP-144	BGA-192
GPIO	P60	汎用入出力ポート 6	169	139	C5
	P61		168	138	B5
	P62		167	137	E6
	P70	汎用入出力ポート 7	65	57	J6
	P71		66	58	N8
	P72		67	59	M8
	P73		68	60	L8
	P74		69	61	K8
	P75		70	62	P8
	P76		71	63	J8
	P77		72	64	P9
	P78		73	65	N9
	P79		74	66	M9
	P7A		75	67	L9
	P7B		76	-	K9
	P7C		77	-	P10
	P7D		78	-	N10
	P7E		79	-	L10
	P7F		80	-	K10
	P80	汎用入出力ポート 8	174	142	A3
	P81		175	143	A2
	P82		129	105	E14
	P83		130	106	D14
	P90	汎用入出力ポート 9	139	-	C11
	P91		140	-	D11
	P92		141	-	B10
	P93		142	-	C10
	P94		143	-	D10
	P95		144	-	B9
	PA0	汎用入出力ポート A	2	2	B2
	PA1		3	3	C2
	PA2		4	4	C3
	PA3		5	5	D5
	PA4		6	6	D2
	PA5		7	7	D1
	PB0	汎用入出力ポート B	106	-	H13
	PB1		107	-	H12
	PB2		108	-	H11
	PB3		109	-	G13
	PB4		110	-	G12
	PB5		111	-	G11
	PB6		112	-	G10
	PB7		113	-	G9

端子機能	端子名	機能説明	端子番号		
			LQFP-176	LQFP-144	BGA-192
GPIO	PC0	汎用入出力ポート C	145	115	C9
	PC1		146	116	B8
	PC2		147	117	D9
	PC3		148	118	E9
	PC4		149	119	F9
	PC5		150	120	C8
	PC6		151	121	D8
	PC7		152	122	E8
	PC8		153	123	A10
	PC9		154	124	F8
	PCA		155	125	B7
	PCB		158	128	A7
	PCC		159	129	C7
	PCD		160	130	A6
	PCE		161	131	D7
	PCF		162	132	E7
	PD0	汎用入出力ポート D	163	133	F7
	PD1		164	134	B6
	PD2		165	135	C6
	PD3		166	136	D6
	PE0	汎用入出力ポート E	84	68	N13
	PE2		86	70	P12
	PE3		87	71	P13
	PF0	汎用入出力ポート F*	81	-	M10
	PF1		82	-	N11
	PF2		83	-	M11
	PF3		170	-	B4
	PF4		171	-	C4
	PF5		172	140	B3
	PF6		128	104	C13

端子機能	端子名	機能説明	端子番号		
			LQFP-176	LQFP-144	BGA-192
マルチファンクションシリアル0	SIN0_0	マルチファンクションシリアルインタフェース ch.0 の入力端子	126	102	D12
	SIN0_1		94	78	L11
	SIN0_2		110	-	G12
	SOT0_0 (SDA0_0)	マルチファンクションシリアルインタフェース ch.0 の出力端子。 UART/CSIO/LIN 端子(動作モード 0~3)として使用するときは SOT0 として、I ² C 端子(動作モード 4)として使用するときは SDA0 として機能します。	125	101	E13
	SOT0_1 (SDA0_1)		95	79	K13
	SOT0_2 (SDA0_2)		111	-	G11
	SCK0_0 (SCL0_0)	マルチファンクションシリアルインタフェース ch.0 のクロック I/O 端子。 UART/CSIO 端子(動作モード 0~2)として使用するときは SCK0 として、I ² C 端子(動作モード 4)として使用するときは SCL0 として機能します。	124	100	E12
	SCK0_1 (SCL0_1)		96	80	K12
	SCK0_2 (SCL0_2)		112	-	G10
マルチファンクションシリアル1	SIN1_0	マルチファンクションシリアルインタフェース ch.1 の入力端子	19	19	F6
	SIN1_1		91	75	M12
	SIN1_2		81	-	M10
	SOT1_0 (SDA1_0)	マルチファンクションシリアルインタフェース ch.1 の出力端子。 UART/CSIO/LIN 端子(動作モード 0~3)として使用するときは SOT1 として、I ² C 端子(動作モード 4)として使用するときは SDA1 として機能します。	20	20	G2
	SOT1_1 (SDA1_1)		92	76	L13
	SOT1_2 (SDA1_2)		82	-	N11
	SCK1_0 (SCL1_0)	マルチファンクションシリアルインタフェース ch.1 のクロック I/O 端子。 UART/CSIO 端子(動作モード 0~2)として使用するときは SCK1 として、I ² C 端子(動作モード 4)として使用するときは SCL1 として機能します。	21	21	G3
	SCK1_1 (SCL1_1)		93	77	L12
	SCK1_2 (SCL1_2)		83	-	M11

端子機能	端子名	機能説明	端子番号		
			LQFP-176	LQFP-144	BGA-192
マルチファンクションシリアル 2	SIN2_0	マルチファンクションシリアルインタフェース ch.2 の入力端子	67	59	M8
	SIN2_1		123	99	E11
	SIN2_2		97	81	K14
	SOT2_0 (SDA2_0)	マルチファンクションシリアルインタフェース ch.2 の出力端子。 UART/CSIO/LIN 端子(動作モード 0~3)として使用するときは SOT2 として、I ² C 端子(動作モード 4)として使用するときは SDA2 として機能します。	68	60	L8
	SOT2_1 (SDA2_1)		122	98	E10
	SOT2_2 (SDA2_2)		98	82	K11
	SCK2_0 (SCL2_0)	マルチファンクションシリアルインタフェース ch.2 のクロック I/O 端子。 UART/CSIO 端子(動作モード 0~2)として使用するときは SCK2 として、I ² C 端子(動作モード 4)として使用するときは SCL2 として機能します。	69	61	K8
	SCK2_1 (SCL2_1)		121	97	F13
	SCK2_2 (SCL2_2)		99	83	J13
マルチファンクションシリアル 3	SIN3_0	マルチファンクションシリアルインタフェース ch.3 の入力端子	70	62	P8
	SIN3_1		13	13	E5
	SIN3_2		58	50	M5
	SOT3_0 (SDA3_0)	マルチファンクションシリアルインタフェース ch.3 の出力端子。 UART/CSIO/LIN 端子(動作モード 0~3)として使用するときは SOT3 として、I ² C 端子(動作モード 4)として使用するときは SDA3 として機能します。	71	63	J8
	SOT3_1 (SDA3_1)		14	14	F1
	SOT3_2 (SDA3_2)		59	51	L5
	SCK3_0 (SCL3_0)	マルチファンクションシリアルインタフェース ch.3 のクロック I/O 端子。 UART/CSIO 端子(動作モード 0~2)として使用するときは SCK3 として、I ² C 端子(動作モード 4)として使用するときは SCL3 として機能します。	72	64	P9
	SCK3_1 (SCL3_1)		15	15	F2
	SCK3_2 (SCL3_2)		60	52	K5

端子機能	端子名	機能説明	端子番号		
			LQFP-176	LQFP-144	BGA-192
マルチファンクションシリアル 4	SIN4_0	マルチファンクションシリアルインタフェース ch.4 の入力端子	165	135	C6
	SIN4_1		100	84	J12
	SIN4_2		8	8	D3
	SOT4_0 (SDA4_0)	マルチファンクションシリアルインタフェース ch.4 の出力端子。UART/CSIO/LIN 端子(動作モード 0~3)として使用するときは SOT4 として、I ² C 端子(動作モード 4)として使用するときは SDA4 として機能します。	164	134	B6
	SOT4_1 (SDA4_1)		101	85	J11
	SOT4_2 (SDA4_2)		9	9	D4
	SCK4_0 (SCL4_0)	マルチファンクションシリアルインタフェース ch.4 のクロック I/O 端子。UART/CSIO 端子(動作モード 0~2)として使用するときは SCK4 として、I ² C 端子(動作モード 4)として使用するときは SCL4 として機能します。	163	133	F7
	SCK4_1 (SCL4_1)		102	86	J10
	SCK4_2 (SCL4_2)		10	10	E2
	RTS4_0	マルチファンクションシリアルインタフェース ch.4 の RTS 出力端子	161	131	D7
	RTS4_1		104	88	H10
	RTS4_2		12	12	E4
	CTS4_0	マルチファンクションシリアルインタフェース ch.4 の CTS 入力端子	162	132	E7
	CTS4_1		103	87	J9
	CTS4_2		11	11	E3
マルチファンクションシリアル 5	SIN5_0	マルチファンクションシリアルインタフェース ch.5 の入力端子	169	139	C5
	SIN5_1		141	-	B10
	SIN5_2		34	26	J3
	SOT5_0 (SDA5_0)	マルチファンクションシリアルインタフェース ch.5 の出力端子。UART/CSIO/LIN 端子(動作モード 0~3)として使用するときは SOT5 として、I ² C 端子(動作モード 4)として使用するときは SDA5 として機能します。	168	138	B5
	SOT5_1 (SDA5_1)		142	-	C10
	SOT5_2 (SDA5_2)		35	27	J2
	SCK5_0 (SCL5_0)	マルチファンクションシリアルインタフェース ch.5 のクロック I/O 端子。UART/CSIO 端子(動作モード 0~2)として使用するときは SCK5 として、I ² C 端子(動作モード 4)として使用するときは SCL5 として機能します。	167	137	E6
	SCK5_1 (SCL5_1)		143	-	D10
	SCK5_2 (SCL5_2)		36	28	K1

端子機能	端子名	機能説明	端子番号		
			LQFP-176	LQFP-144	BGA-192
マルチファンクションシリアル 6	SIN6_0	マルチファンクションシリアルインタフェース ch.6 の入力端子	16	16	F3
	SIN6_1		31	-	H6
	SIN6_2		170	-	B4
	SOT6_0 (SDA6_0)	マルチファンクションシリアルインタフェース ch.6 の出力端子。 UART/CSIO/LIN 端子(動作モード 0~3)として使用するときは SOT6 として、I ² C 端子(動作モード 4)として使用するときは SDA6 として機能します。	17	17	F4
	SOT6_1 (SDA6_1)		30	-	H5
	SOT6_2 (SDA6_2)		171	-	C4
	SCK6_0 (SCL6_0)	マルチファンクションシリアルインタフェース ch.6 のクロック I/O 端子。 UART/CSIO 端子(動作モード 0~2)として使用するときは SCK6 として、I ² C 端子(動作モード 4)として使用するときは SCL6 として機能します。	18	18	F5
	SCK6_1 (SCL6_1)		29	-	H4
	SCK6_2 (SCL6_2)		172	-	B3
マルチファンクションシリアル 7	SIN7_0	マルチファンクションシリアルインタフェース ch.7 の入力端子	22	22	G4
	SIN7_1		64	56	K6
	SIN7_2		106	-	H13
	SOT7_0 (SDA7_0)	マルチファンクションシリアルインタフェース ch.7 の出力端子。 UART/CSIO/LIN 端子(動作モード 0~3)として使用するときは SOT7 として、I ² C 端子(動作モード 4)として使用するときは SDA7 として機能します。	23	23	G5
	SOT7_1 (SDA7_1)		63	55	L6
	SOT7_2 (SDA7_2)		107	-	H12
	SCK7_0 (SCL7_0)	マルチファンクションシリアルインタフェース ch.7 のクロック I/O 端子。 UART/CSIO 端子(動作モード 0~2)として使用するときは SCK7 として、I ² C 端子(動作モード 4)として使用するときは SCL7 として機能します。	24	24	G6
	SCK7_1 (SCL7_1)		62	54	M6
	SCK7_2 (SCL7_2)		108	-	H11

端子機能	端子名	機能説明	端子番号		
			LQFP-176	LQFP-144	BGA-192
マルチファンクションシリアル 8	SIN8_0	マルチファンクションシリアルインタフェース ch.8 の入力端子	2	2	B2
	SOT8_0 (SDA8_0)	マルチファンクションシリアルインタフェース ch.8 の出力端子。 UART/CSIO/LIN 端子(動作モード 0～3)として使用するときは SOT8 として、I ² C 端子(動作モード 4)として使用するときは SDA8 として機能します。	3	3	C2
	SCK8_0 (SCL8_0)	マルチファンクションシリアルインタフェース ch.8 のクロック I/O 端子。 UART/CSIO 端子(動作モード 0～2)として使用するときは SCK8 として、I ² C 端子(動作モード 4)として使用するときは SCL8 として機能します。	4	4	C3
マルチファンクションシリアル 9	SIN9_0	マルチファンクションシリアルインタフェース ch.9 の入力端子	5	5	D5
	SOT9_0 (SDA9_0)	マルチファンクションシリアルインタフェース ch.9 の出力端子。 UART/CSIO/LIN 端子(動作モード 0～3)として使用するときは SOT9 として、I ² C 端子(動作モード 4)として使用するときは SDA9 として機能します。	6	6	D2
	SCK9_0 (SCL9_0)	マルチファンクションシリアルインタフェース ch.9 のクロック I/O 端子。 UART/CSIO 端子(動作モード 0～2)として使用するときは SCK9 として、I ² C 端子(動作モード 4)として使用するときは SCL9 として機能します。	7	7	D1

端子機能	端子名	機能説明	端子番号		
			LQFP-176	LQFP-144	BGA-192
マルチファンクションシリアル 10	SIN10_0	マルチファンクションシリアルインタフェース ch.10 の入力端子	46	38	N2
	SOT10_0 (SDA10_0)	マルチファンクションシリアルインタフェース ch.10 の出力端子。 UART/CSIO/LIN 端子(動作モード 0～3)として使用するときは SOT10 として、I ² C 端子(動作モード 4)として使用するときは SDA10 として機能します。	47	39	N3
	SCK10_0 (SCL10_0)	マルチファンクションシリアルインタフェース ch.10 のクロック I/O 端子。 UART/CSIO 端子(動作モード 0～2)として使用するときは SCK10 として、I ² C 端子(動作モード 4)として使用するときは SCL10 として機能します。	48	40	M3
マルチファンクションシリアル 11	SIN11_0	マルチファンクションシリアルインタフェース ch.11 の入力端子	49	41	L4
	SOT11_0 (SDA11_0)	マルチファンクションシリアルインタフェース ch.11 の出力端子。 UART/CSIO/LIN 端子(動作モード 0～3)として使用するときは SOT11 として、I ² C 端子(動作モード 4)として使用するときは SDA11 として機能します。	50	42	M4
	SCK11_0 (SCL11_0)	マルチファンクションシリアルインタフェース ch.11 のクロック I/O 端子。 UART/CSIO 端子(動作モード 0～2)として使用するときは SCK11 として、I ² C 端子(動作モード 4)として使用するときは SCL11 として機能します。	51	43	N4

端子機能	端子名	機能説明	端子番号		
			LQFP-176	LQFP-144	BGA-192
マルチファンクションシリアル 12	SIN12_0	マルチファンクションシリアルインタフェース ch.12 の入力端子	118	94	F10
	SOT12_0 (SDA12_0)	マルチファンクションシリアルインタフェース ch.12 の出力端子。 UART/CSIO/LIN 端子(動作モード 0~3)として使用するときは SOT12 として、I ² C 端子(動作モード 4)として使用するときは SDA12 として機能します。	119	95	F11
	SCK12_0 (SCL12_0)	マルチファンクションシリアルインタフェース ch.12 のクロック I/O 端子。 UART/CSIO 端子(動作モード 0~2)として使用するときは SCK12 として、I ² C 端子(動作モード 4)として使用するときは SCL12 として機能します。	120	96	F12
マルチファンクションシリアル 13	SIN13_0	マルチファンクションシリアルインタフェース ch.13 の入力端子	145	115	C9
	SOT13_0 (SDA13_0)	マルチファンクションシリアルインタフェース ch.13 の出力端子。 UART/CSIO/LIN 端子(動作モード 0~3)として使用するときは SOT13 として、I ² C 端子(動作モード 4)として使用するときは SDA13 として機能します。	146	116	B8
	SCK13_0 (SCL13_0)	マルチファンクションシリアルインタフェース ch.13 のクロック I/O 端子。 UART/CSIO 端子(動作モード 0~2)として使用するときは SCK13 として、I ² C 端子(動作モード 4)として使用するときは SCL13 として機能します。	147	117	D9

端子機能	端子名	機能説明	端子番号		
			LQFP-176	LQFP-144	BGA-192
マルチファンクションシリアル 14	SIN14_0	マルチファンクションシリアルインタフェース ch.14 の入力端子	149	119	F9
	SOT14_0 (SDA14_0)	マルチファンクションシリアルインタフェース ch.14 の出力端子。 UART/CSIO/LIN 端子(動作モード 0~3)として使用するときは SOT14 として、I ² C 端子(動作モード 4)として使用するときは SDA8 として機能します。	150	120	C8
	SCK14_0 (SCL14_0)	マルチファンクションシリアルインタフェース ch.14 のクロック I/O 端子。 UART/CSIO 端子(動作モード 0~2)として使用するときは SCK14 として、I ² C 端子(動作モード 4)として使用するときは SCL14 として機能します。	151	121	D8
マルチファンクションシリアル 15	SIN15_0	マルチファンクションシリアルインタフェース ch.15 の入力端子	153	123	A10
	SOT15_0 (SDA15_0)	マルチファンクションシリアルインタフェース ch.15 の出力端子。 UART/CSIO/LIN 端子(動作モード 0~3)として使用するときは SOT15 として、I ² C 端子(動作モード 4)として使用するときは SDA15 として機能します。	154	124	F8
	SCK15_0 (SCL15_0)	マルチファンクションシリアルインタフェース ch.15 のクロック I/O 端子。 UART/CSIO 端子(動作モード 0~2)として使用するときは SCK15 として、I ² C 端子(動作モード 4)として使用するときは SCL15 として機能します。	155	125	B7

端子機能	端子名	機能説明	端子番号		
			LQFP-176	LQFP-144	BGA-192
多機能 タイマ 0	DTTIOX_0	多機能タイマ 0 の RTO00~RTO05 出力を制御する波形ジェネレータの入力信号	37	29	K2
	DTTIOX_1		104	88	H10
	FRCK0_0	16 ビットフリーランタイム ch.0 の外部クロック入力端子	32	-	J5
	FRCK0_1		105	89	H9
	FRCK0_2		91	75	M12
	IC00_0	多機能タイマ 0 の 16 ビットインプットキャプチャの入力端子 (ICxx は、チャンネル数を示します)。	36	28	K1
	IC00_1		100	84	J12
	IC00_2		92	76	L13
	IC01_0		35	27	J2
	IC01_1		101	85	J11
	IC01_2		93	77	L12
	IC02_0		34	26	J3
	IC02_1		102	86	J10
	IC02_2		94	78	L11
	IC03_0		33	-	J4
	IC03_1		103	87	J9
	IC03_2		95	79	K13
	RTO00_0 (PPG00_0)	多機能タイマ 0 の波形ジェネレータ出力。 PPG0 出力モードで使用するときは、PPG00 として機能します。	38	30	K3
	RTO00_1 (PPG00_1)		124	100	E12
	RTO01_0 (PPG00_0)	多機能タイマ 0 の波形ジェネレータ出力。 PPG0 出力モードで使用するときは、PPG00 として機能します。	39	31	K4
	RTO01_1 (PPG00_1)		123	99	E11
	RTO02_0 (PPG02_0)	多機能タイマ 0 の波形ジェネレータ出力。 PPG0 出力モードで使用するときは、PPG02 として機能します。	40	32	L1
	RTO02_1 (PPG02_1)		122	98	E10
	RTO03_0 (PPG02_0)	多機能タイマ 0 の波形ジェネレータ出力。 PPG0 出力モードで使用するときは、PPG02 として機能します。	41	33	L2
	RTO03_1 (PPG02_1)		121	97	F13
	RTO04_0 (PPG04_0)	多機能タイマ 0 の波形ジェネレータ出力。 PPG0 出力モードで使用するときは、PPG04 として機能します。	42	34	L3
	RTO04_1 (PPG04_1)		120	96	F12
	RTO05_0 (PPG04_0)	多機能タイマ 0 の波形ジェネレータ出力。 PPG0 出力モードで使用するときは、PPG04 として機能します。	43	35	M2
	RTO05_1 (PPG04_1)		119	95	F11
	IGTRG0_0	PPGIGBT モード外部トリガ入力端子	61	53	N6
	IGTRG0_1		172	140	B3

端子機能	端子名	機能説明	端子番号		
			LQFP-176	LQFP-144	BGA-192
クアッド カウンタ 0	AIN0_0	QPRC ch.0 の AIN 入力端子	28	-	H3
	AIN0_1		59	51	L5
	AIN0_2		13	13	E5
	BIN0_0	QPRC ch.0 の BIN 入力端子	29	-	H4
	BIN0_1		60	52	K5
	BIN0_2		14	14	F1
	ZIN0_0	QPRC ch.0 の ZIN 入力端子	30	-	H5
	ZIN0_1		61	53	N6
	ZIN0_2		15	15	F2
クアッド カウンタ 1	AIN1_0	QPRC ch.1 の AIN 入力端子	73	65	N9
	AIN1_1		127	103	D13
	AIN1_2		62	54	M6
	BIN1_0	QPRC ch.1 の BIN 入力端子	74	66	M9
	BIN1_1		126	102	D12
	BIN1_2		63	55	L6
	ZIN1_0	QPRC ch.1 の ZIN 入力端子	75	67	L9
	ZIN1_1		125	101	E13
	ZIN1_2		64	56	K6
CAN	TX0_0	CAN インタフェース ch.0 TX 出力	65	57	J6
	TX0_1		32	-	J5
	TX0_2		7	7	D1
	RX0_0	CAN インタフェース ch.0 RX 出力	66	58	N8
	RX0_1		33	-	J4
	RX0_2		6	6	D2
リアル タイム クロック	RTCCO_0	リアルタイムクロックの 0.5 秒パルス 出力端子	152	122	E8
	RTCCO_1		93	77	L12
	RTCCO_2		37	29	K2
	SUBOUT_0	サブクロック出力端子	152	122	E8
	SUBOUT_1		93	77	L12
	SUBOUT_2		37	29	K2

端子機能	端子名	機能説明	端子番号		
			LQFP-176	LQFP-144	BGA-192
Reset	INITX	外部リセット入力。 INITX="L"のとき、リセットが有効です。	57	49	N5
Mode	MD0	モード0 端子。 通常動作時は、MD0="L"を入力してください。フラッシュメモリのシリアル書込み時は、MD0="H"を入力してください。	85	69	N12
	MD1	モード1 端子。 フラッシュメモリのシリアル書込み時は、MD1="L"を入力してください。	84	68	N13
Power	VCC	電源端子	1	1	C1
			45	37	N1
			54	46	P4
			89	73	M14
			131	107	C14
			173	141	A4
			133	109	A13
			156	126	A9
低消費電力 モード	WKUP0	ディープスタンバイモード復帰信号入力端子0	128	104	C13
	WKUP1	ディープスタンバイモード復帰信号入力端子1	91	75	M12
	WKUP2	ディープスタンバイモード復帰信号入力端子2	67	59	M8
	WKUP3	ディープスタンバイモード復帰信号入力端子3	172	140	B3
	WKUP4	ディープスタンバイモード復帰信号入力端子4	28	-	H3
	WKUP5	ディープスタンバイモード復帰信号入力端子5	169	139	C5
HDMI-CEC/ リモコン 受信	CEC0_0	HDMI-CEC/リモコン受信 ch.0 の入出力端子	81	-	M10
	CEC0_1		149	119	F9
	CEC1_0	HDMI-CEC/リモコン受信 ch.1 の入出力端子	172	140	B3
	CEC1_1		19	19	F6
DAC	DA0_0	D/A コンバータ ch.0 のアナログ出力端子	145	115	C9
	DA1_0	D/A コンバータ ch.1 のアナログ出力端子	146	116	B8

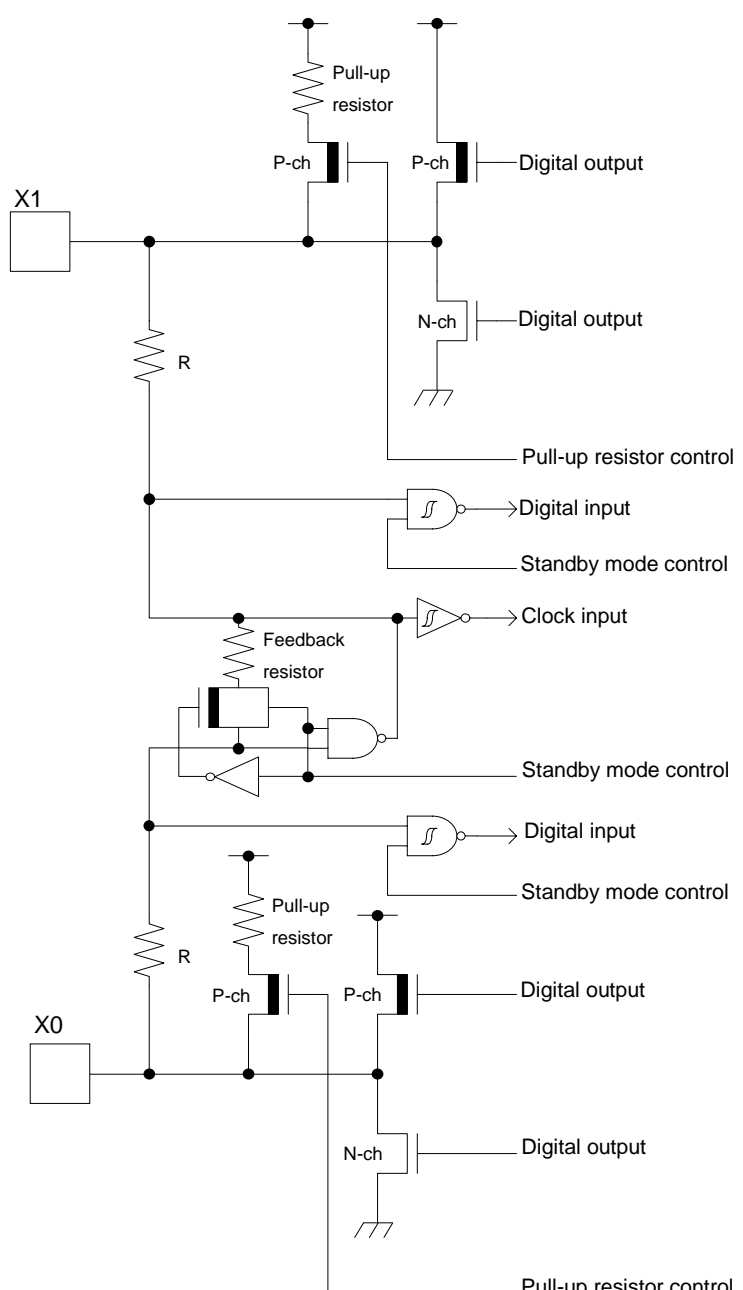
端子機能	端子名	機能説明	端子番号		
			LQFP-176	LQFP-144	BGA-192
GND	VSS	GND 端子	27	25	A5
			44	36	A8
			53	45	A11
			88	72	E1
			132	108	G7
			157	127	G8
			176	144	H8
			-	-	M1
			-	-	P3
			-	-	P7
			-	-	N7
			-	-	M7
			-	-	L7
			-	-	K7
			-	-	J7
			-	-	P11
			-	-	N14
			-	-	L14
			-	-	B14
			-	-	H7
			-	-	B1
			-	-	G1
			-	-	J1
Clock	X0	メインクロック(発振)入力端子	86	70	P12
	X0A	サブクロック(発振)入力端子	55	47	P5
	X1	メインクロック(発振)I/O 端子	87	71	P13
	X1A	サブクロック(発振)I/O 端子	56	48	P6
	CROUT_0	内蔵高速 CR 発振クロック出力	127	103	D13
	CROUT_1	ポート	152	122	E8
Analog Power	AVCC	A/D コンバータ, D/A コンバータのアナログ電源端子	114	90	J14
	AVRH	A/D コンバータのアナログ基準電圧入力端子	117	93	F14
Analog GND	AVSS	A/D コンバータ, D/A コンバータの GND 端子	115	91	H14
	AVRL	A/D コンバータのアナログ基準電圧入力端子	116	92	G14
C 端子	C	電源安定化容量端子	52	44	P2

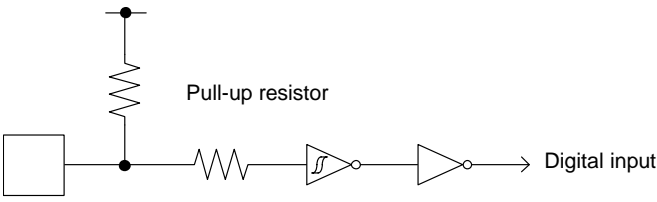
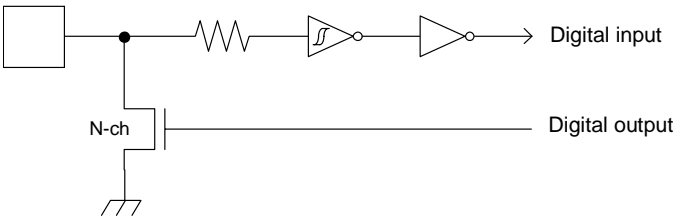
※: 5V トレラント I/O

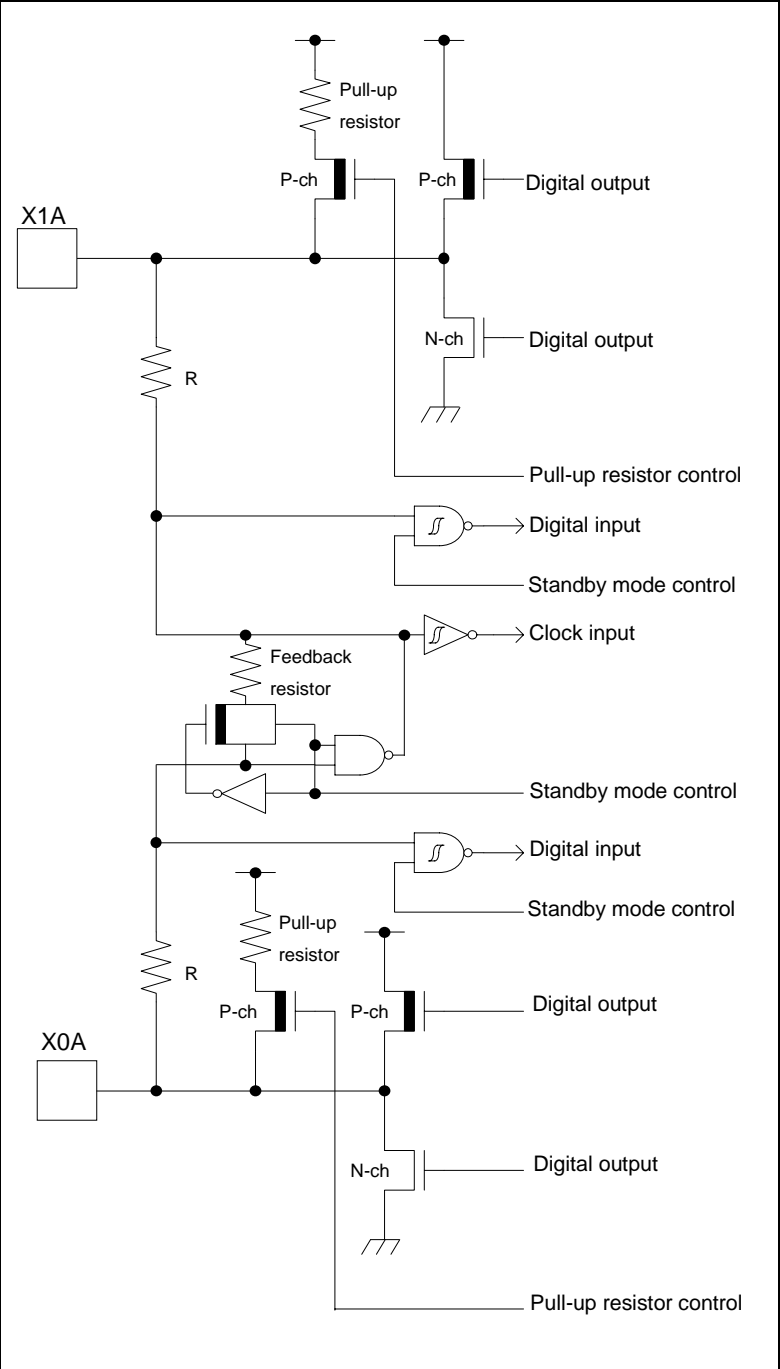
<注意事項>

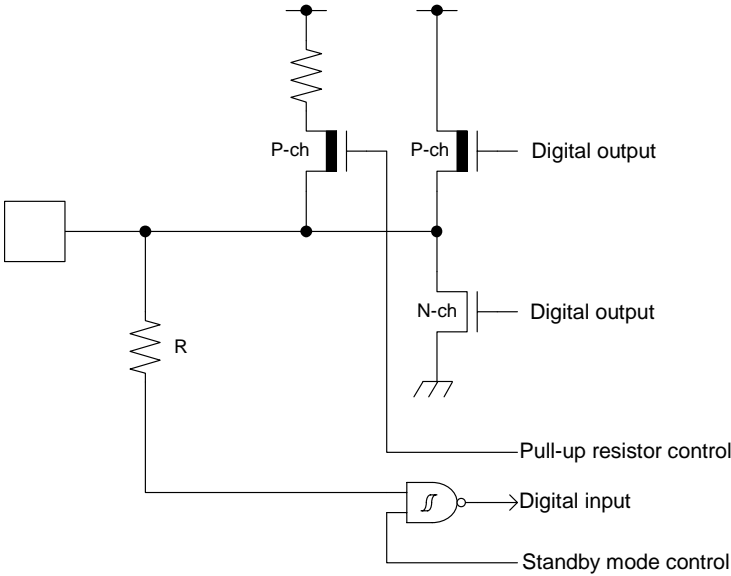
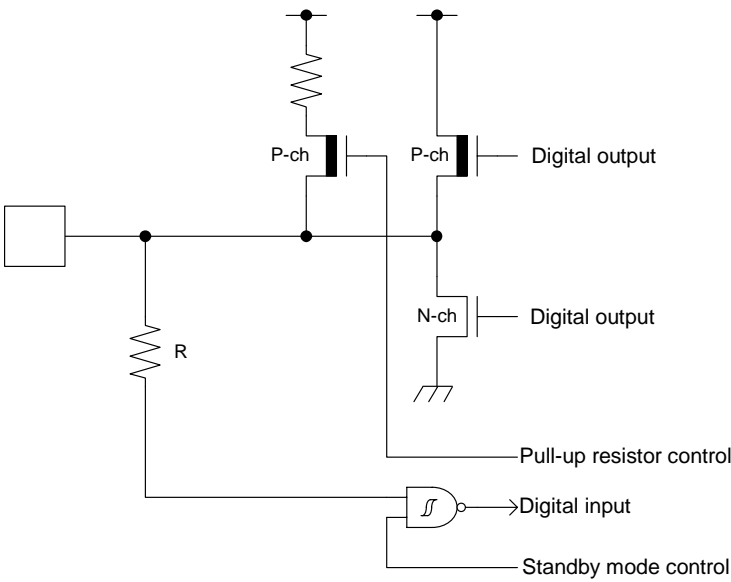
- 本デバイスには、JTAG 標準のテストアクセスポート(TAP)が搭載されていますが、IEEE 1149.1-2001 に完全に準拠していません。32bit の ID 番号は、他シリーズの ID 番号と重なる場合があります。また、JTAG 端子は TAP コントローラへのアクセス以外の目的に対しても使用されます。

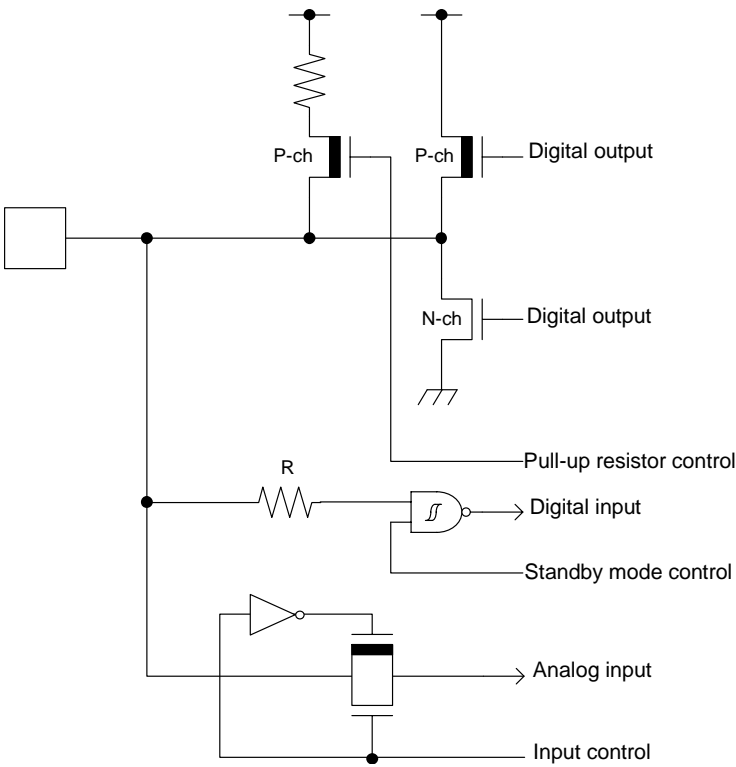
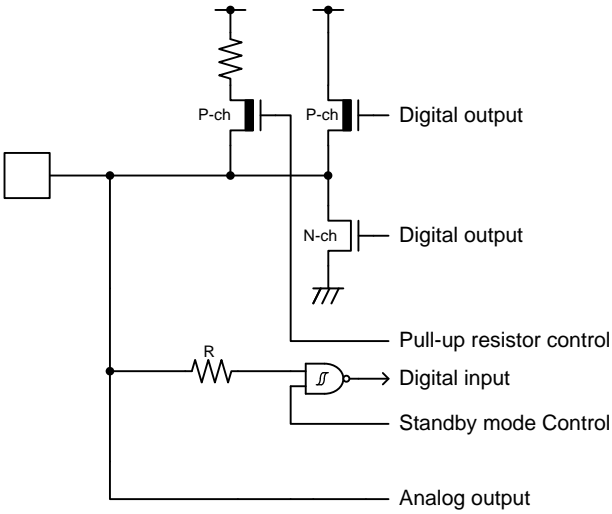
5. 入出力回路形式

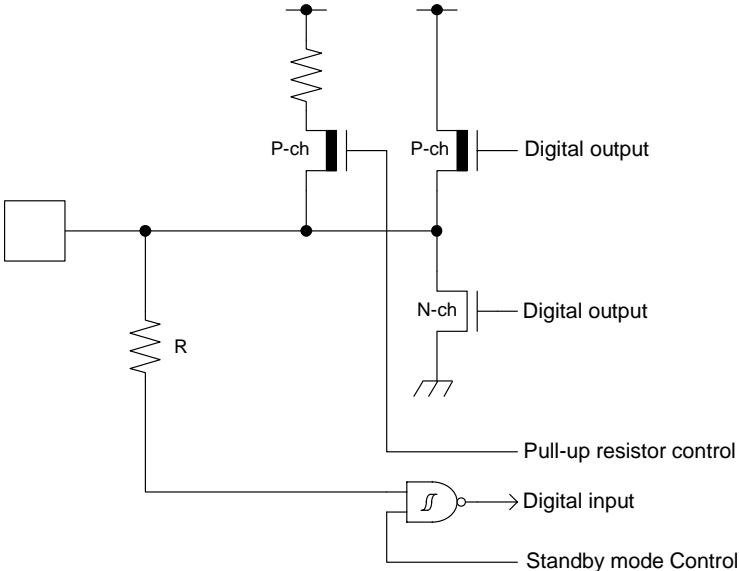
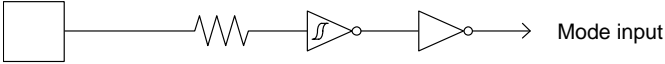
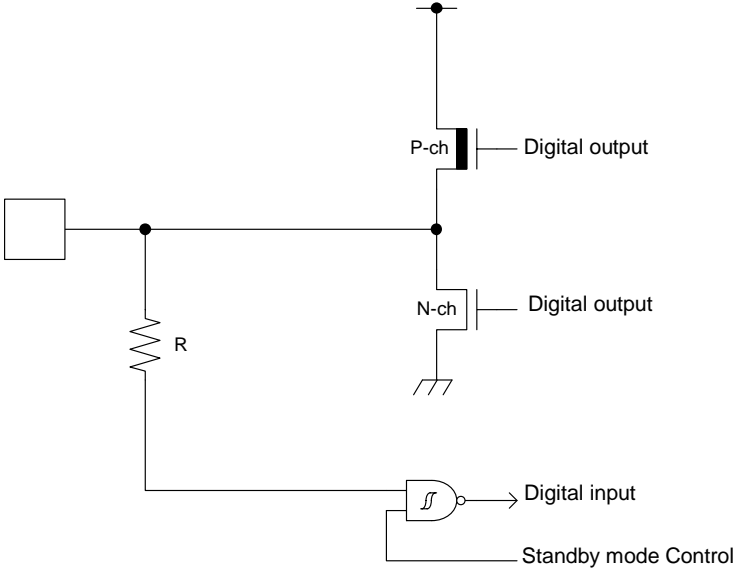
分類	回路	備考
A		<p>メイン発振/GPIO 切換え可能</p> <p>メイン発振機能選択時</p> <ul style="list-style-type: none"> - 発振帰還抵抗: 約 1 MΩ - スタンバイ制御あり <p>GPIO 機能選択時</p> <ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$

分類	回路	備考
B	 <p>Pull-up resistor</p> <p>Digital input</p>	<ul style="list-style-type: none"> - CMOS レベルヒステリシス入力 - プルアップ抵抗: 約 50 kΩ
C	 <p>Digital input</p> <p>N-ch</p> <p>Digital output</p>	<ul style="list-style-type: none"> - オープンドレイン出力 - CMOS レベルヒステリシス入力

分類	回路	備考
D		<p>サブ発振/GPIO 切換え可能</p> <p>サブ発振機能選択時</p> <ul style="list-style-type: none"> - 発振帰還抵抗: 約 5 MΩ - スタンバイ制御あり <p>GPIO 機能選択時</p> <ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$

分類	回路	備考
E		<ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ - I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。 - +B 入力可
F		<ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 50 kΩ - $I_{OH} = -12 \text{ mA}$, $I_{OL} = 12 \text{ mA}$ - +B 入力可

分類	回路	備考
G		<ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - 入力制御あり - アナログ入力 - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ - I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。 - +B 入力可
H		<ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - 入力制御あり - アナログ出力 - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$

分類	回路	備考
I		<ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - 5V トレラント - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ - PZR レジスタ制御可能 - I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。
J		CMOS レベルヒステリシス入力
K		<ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - スタンバイ制御あり - $I_{OH} = -18.0 \text{ mA}$, $I_{OL} = 16.5 \text{ mA}$

6. 取扱上のご注意

半導体デバイスは、ある確率で故障します。また、半導体デバイスの故障は、使用される条件(回路条件、環境条件など)によっても大きく左右されます。

以下に、半導体デバイスをより信頼性の高い状態で使用していただくために、注意・配慮しなければならない事項について説明します。

6.1 設計上の注意事項

ここでは、半導体デバイスを使用して電子機器の設計を行う際に注意すべき事項について述べます。

絶対最大定格の遵守

半導体デバイスは、過剰なストレス(電圧、電流、温度など)が加わると破壊する可能性があります。この限界値を定めたものが絶対最大定格です。従って、定格を一項目でも超えることのないようご注意ください。

推奨動作条件の遵守

推奨動作条件は、半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は、全てこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を越えて使用すると、信頼性に悪影響を及ぼすことがあります。

本資料に記載されていない項目、使用条件、論理組み合わせでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

端子の処理と保護

半導体デバイスには、電源および各種入出力端子があります。これらに対して以下の注意が必要です。

(1) 過電圧・過電流の防止

各端子に最大定格を超える電圧・電流が印加されると、デバイスの内部に劣化が生じ、著しい場合には破壊に至ります。機器の設計の際には、このような過電圧・過電流の発生を防止してください。

(2) 出力端子の保護

出力端子を電源端子または他の出力端子とショートしたり、大きな容量負荷を接続すると大電流が流れる場合があります。この状態が長時間続くとデバイスが劣化しますので、このような接続はしないようにしてください。

(3) 未使用入力端子の処理

インピーダンスの非常に高い入力端子は、オープン状態で使用すると動作が不安定になる場合があります。適切な抵抗を介して電源端子やグランド端子に接続してください。

ラッチアップ

半導体デバイスは、基板上に P 型と N 型の領域を形成することにより構成されます。外部から異常な電圧が加えられた場合、内部の寄生 PNP 接合(サイリスタ構造)が導通して、数百 mA を越える大電流が電源端子に流れ続けることがあります。これをラッチアップと呼びます。この現象が起きるとデバイスの信頼性を損ねるだけでなく、破壊に至り発熱・発煙・発火の恐れもあります。これを防止するために、以下の点にご注意ください。

(1) 最大定格以上の電圧が端子に加わることが無いようにしてください。異常なノイズ、サージ等にも注意してください。

(2) 電源投入シーケンスを考慮し、異常な電流が流れないようにしてください。

安全等の規制と規格の遵守

世界各国では、安全や、電磁妨害等の各種規制と規格が設けられています。お客様が機器を設計するに際しては、これらの規制と規格に適合するようお願いいたします。

フェイル・セーフ設計

半導体デバイスは、ある確率で故障が発生します。半導体デバイスが故障しても、結果的に人身事故、火災事故、社会的な損害を生じさせないよう、お客様は、装置の冗長設計、延焼対策設計、過電流防止設計、誤動作防止設計などの安全設計をお願いします。

用途に関する注意

本資料に記載された製品は、通常の産業用、一般事務用、パーソナル用、家庭用などの一般的用途に使用されることを意図して設計・製造されています。極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途(原子力施設における核反応制御、航空機自動飛行制御、航空交通管制、大量輸送システムにおける運行制御、生命維持のための医療機器、兵器システムにおけるミサイル発射制御をいう)、ならびに極めて高い信頼性が要求される用途(海底中継器、宇宙衛星をいう)に使用されるよう設計・製造されたものではありません。当社は、これらの用途に当該製品が使用されたことにより発生した損害などについては、責任を負いかねますのでご了承ください。

6.2 パッケージ実装上の注意事項

パッケージには、リード挿入形と表面実装形があります。いずれの場合も、はんだ付け時の耐熱性に関する品質保証は、当社の推奨する条件での実装に対してのみ適用されます。実装条件の詳細については営業部門までお問い合わせください。

リード挿入形

リード挿入形パッケージのプリント板への実装方法は、プリント板へ直接はんだ付けする方法とソケットを使用してプリント板に実装する方法とがあります。

プリント板へ直接はんだ付けする場合は、プリント板のスルーホールにリード挿入後、噴流はんだによるフローはんだ方法（ウェーブソルダーリング法）が一般的に使用されます。この場合、はんだ付け実装時には、通常最大定格の保存温度を上回る熱ストレスがリード部分に加わります。当社の実装推奨条件で実装してください。

ソケット実装方法でご使用になる場合、ソケットの接点の表面処理と IC のリードの表面処理が異なると、長時間経過後、接触不良を起こすことがあります。このため、ソケットの接点の表面処理と IC のリードの表面処理の状態を確認してから実装することをお勧めします。

表面実装形

表面実装形パッケージは、リード挿入形と比較して、リードが細く薄いため、リードが変形し易い性質をもっています。また、パッケージの多ピン化に伴い、リードピッチも狭く、リード変形によるオープン不良や、はんだブリッジによるショート不良が発生しやすいため、適切な実装技術が必要となります。

当社ははんだリフロー方法を推奨し、製品ごとに実装条件のランク分類を実施しています。当社推奨のランク分類に従って実装してください。

鉛フリーパッケージ

BGA パッケージの Sn-Ag-Cu 系ボール品を Sn-Pb 共晶はんだにて実装した場合、使用状況により接合強度が低下することがありますのでご注意ください。

半導体デバイスの保管について

プラスチックパッケージは樹脂でできているため、自然の環境に放置することにより吸湿します。吸湿したパッケージに実装時の熱が加わった場合、界面剥離発生による耐湿性の低下やパッケージクラックが発生することがあります。以下の点にご注意ください。

- (1) 急激な温度変化のある所では製品に水分の結露が起こります。このような環境を避けて、温度変化の少ない場所に保管してください。
- (2) 製品の保管場所はドライボックスの使用を推奨します。相対湿度 70%RH 以下、温度 5° C～30° C で保管をお願いします。ドライパッケージを開封した場合には湿度 40%～70%RH を推奨いたします。
- (3) 当社では必要に応じて半導体デバイスの梱包材として防湿性の高いアルミラミネート袋を用い、乾燥剤としてシリカゲルを使用しております。半導体デバイスはアルミラミネート袋に入れて密封して保管してください。
- (4) 腐食性ガスの発生する場所や塵埃の多い所は避けてください。

ベーキングについて

吸湿したパッケージはベーキング（加熱乾燥）を実施することにより除湿することが可能です。

ベーキングは、当社の推奨する条件で実施してください。

条件: 125℃/24 時間

静電気

半導体デバイスは静電気による破壊を起こしやすいため、以下の点についてご注意ください。

- (1) 作業環境の相対湿度は 40 % ～ 70%RH にしてください。
除電装置（イオン発生装置）の使用なども必要に応じて検討してください。
- (2) 使用するコンベア、半田槽、半田ゴテ、および周辺付帯設備は大地に接地してください。
- (3) 人体の帯電防止のため、指輪または腕輪などから高抵抗（1 MΩ 程度）で大地に接地したり、導電性の衣服・靴を着用し、床に導電マットを敷くなど帯電電荷を最小限に保つようにしてください。
- (4) 治具、計器類は、接地または帯電防止化を実施してください。
- (5) 組立完了基板の収納時、発泡スチロールなどの帯電し易い材料の使用は避けてください。

6.3 使用環境に関する注意事項

半導体デバイスの信頼性は、先に述べました周囲温度とそれ以外の環境条件にも依存します。ご使用にあたっては、以下の点にご注意ください。

(1) 湿度環境

高湿度環境下での長期の使用は、デバイス自身だけでなくプリント基板等にもリーク性の不具合が発生する場合があります。高湿度が想定される場合は、防湿処理を施す等の配慮をお願いします。

(2) 静電気放電

半導体デバイスの直近に高電圧に帯電したものが存在すると、放電が発生し誤動作の原因となることがあります。

このような場合、帯電の防止または放電の防止の処置をお願いします。

(3) 腐食性ガス、塵埃、油

腐食性ガス雰囲気中や、塵埃、油等がデバイスに付着した状態で使用すると、化学反応によりデバイスに悪影響を及ぼす場合があります。このような環境下でご使用の場合は、防止策についてご検討ください。

(4) 放射線・宇宙線

一般のデバイスは、設計上、放射線、宇宙線にさらされる環境を想定しておりません。したがって、これらを遮蔽してご使用ください。

(5) 発煙・発火

樹脂モールド型のデバイスは、不燃性ではありません。発火物の近くでは、ご使用にならないでください。発煙・発火しますと、その際に毒性を持ったガスが発生する恐れがあります。

その他、特殊な環境下でのご使用をお考えの場合は、営業部門にご相談ください。

7. デバイス使用上の注意

電源端子について

VCC, VSS 端子が複数ある場合、デバイス設計上はラッチアップなどの誤動作を防止するためにデバイス内部で同電位にすべきものどうしを接続してありますが、不要輻射の低減・グランドレベルの上昇によるストローブ信号の誤動作の防止・総出力電流規格を遵守などのために、必ずそれらすべてを外部で電源およびグランドに接続してください。また、電流供給源からできる限り低インピーダンスで本デバイスの各電源端子と GND 端子に接続してください。

さらに、本デバイスの近くで各電源端子と GND 端子の間、AVCC 端子と AVSS 端子の間、AVRH 端子と AVRRL 端子の間に $0.1\mu\text{F}$ 程度のセラミックコンデンサをバイパスコンデンサとして接続することをお勧めします。

電源電圧の安定化について

電源電圧の変動が VCC の推奨動作条件内においても、急峻な変化があると誤動作することがあります。安定化の基準として VCC は、商用周波数 (50 Hz ~ 60 Hz) におけるリプル変動(ピークピーク値)を推奨動作条件内の 10% 以内にしてください。かつ電源切り換えによる瞬間変動の過渡変動率は $0.1\text{V}/\mu\text{s}$ 以下にしてください。

水晶発振回路について

X0/X1, X0A/X1A 端子の近辺のノイズは本デバイスの誤動作の原因となります。X0/X1, X0A/X1A 端子および水晶振動子さらにグランドへのバイパスコンデンサはできる限り近くに配置するようにプリント板を設計してください。

また、X0/X1, X0A/X1A 端子の周りをグランドで囲むようなプリント板アートワークは安定した動作を期待できますので、強くお勧めします。

実装基板にて、使用する水晶振動子の発振評価を実施してください。

サブクロック用水晶振動子について

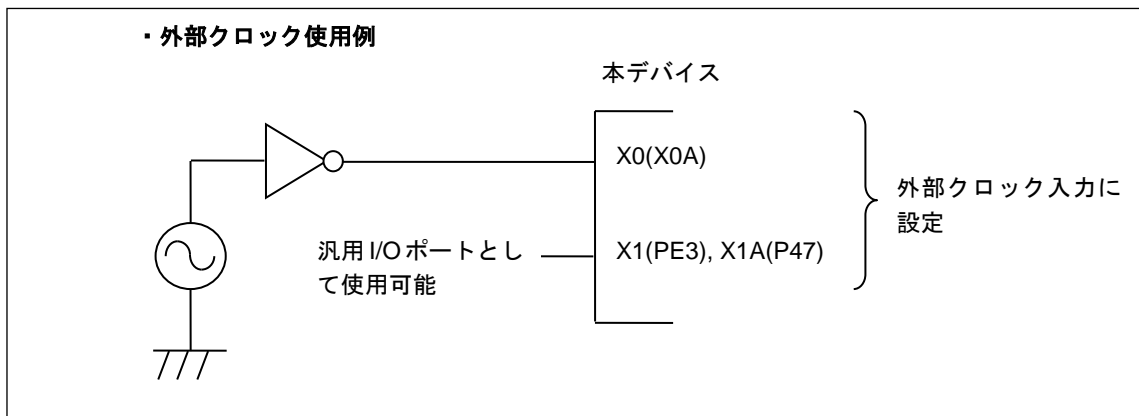
本シリーズのサブクロック発振回路は消費電流を低く抑えた設計を行っており、増幅度が低い回路となっています。安定した発振をさせるためサブクロック用水晶振動子には、以下の条件を満たす水晶振動子の使用を推奨します。

- 表面実装タイプ
 - サイズ: 3.2 mm×1.5 mm 以上
 - 負荷容量: 6 pF~7 pF 程度
- リードタイプ
 - 負荷容量: 6 pF~7 pF 程度

外部クロック使用時の注意

メインクロックの入力として外部クロックを使用する場合は、X0/X1 端子を外部クロック入力に設定し、X0 端子にクロックを入力してください。X1(PE3)端子は汎用 I/O ポートとして使用できます。

同様にサブクロックの入力として外部クロックを使用する場合は、X0A/X1A 端子を外部クロック入力に設定し、X0A 端子にクロックを入力してください。X1A(P47)端子は汎用 I/O ポートとして使用できます。



マルチファンクションシリアル端子を I²C 端子として使用する場合の扱いについて

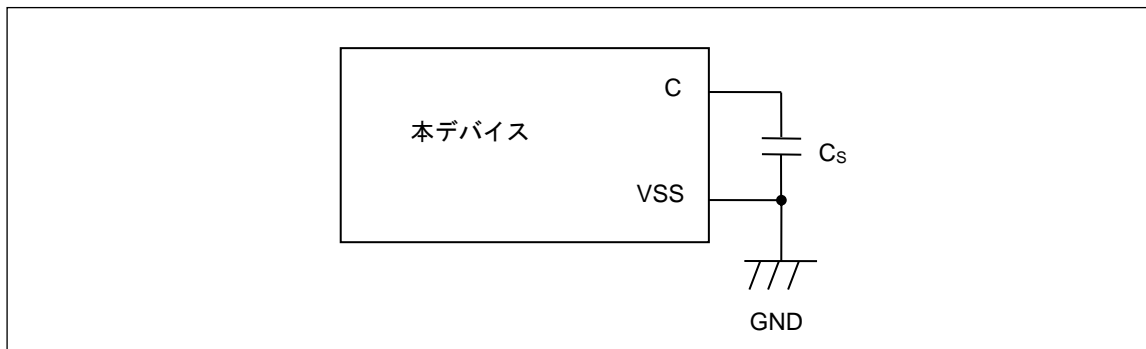
マルチファンクションシリアル端子を I²C 端子として使用する場合、デジタル出力 P-ch トランジスタは常にディセーブルです。しかし、I²C 端子もほかの端子と同様に、デバイスの電氣的特性を守り、電源をオフにしたまま外部 I²C バスシステムへ接続しないでください。

C 端子について

本シリーズはレギュレータを内蔵しています。必ず C 端子と GND 端子の間にレギュレータ用の平滑コンデンサ(CS)を接続してください。平滑コンデンサにはセラミックコンデンサまたは同程度の周波数特性のコンデンサを使用してください。

なお、積層セラミックコンデンサは、温度による容量値の変化幅に特性(F 特性, Y5V 特性)を持つものがあります。コンデンサの温度特性を確認し、使用条件において規格値を満たすコンデンサを使用してください。

本シリーズでは 4.7 μ F 程度の平滑コンデンサを推奨します。



モード端子(MD0)について

モード端子(MD0)は VCC 端子または VSS 端子に直接接続してください。内蔵フラッシュメモリ書換えなどの目的で、モード端子レベルを変更できるようにプルアップまたはプルダウンをする場合には、ノイズによりデバイスが意図せずテストモードに入るのを防止するため、プルアップまたはプルダウンに使用する抵抗値はできるだけ低く抑えると共に、モード端子から VCC 端子または VSS 端子への距離を最小にし、できるだけ低インピーダンスで接続するようにプリント基板を設計してください。

電源投入時について

電源を投入/切断する際は同時か、あるいは次の順番で投入/切断を行ってください。

なお、A/D コンバータおよび D/A コンバータを使用しない場合でも、AVCC = VCC レベル、AVSS = VSS レベルに接続してください。

投入時: VCC → AVCC → AVRH

切断時: AVRH → AVCC → VCC

シリアル通信について

シリアル通信においては、ノイズなどにより間違ったデータを受信する可能性があります。そのため、ノイズを抑えるボードの設計をしてください。

また、万が一ノイズなどの影響により誤ったデータを受信した場合を考慮し、最後にデータのチェックサムなどを付加してエラー検出を行ってください。エラーが検出された場合には、再送を行うなどの処理をしてください。

メモリサイズの異なる製品間およびフラッシュメモリ製品と MASK 製品の特性差について

メモリサイズの異なる製品間およびフラッシュメモリ製品と MASK 製品ではチップレイアウトやメモリ構造の違いにより消費電流や ESD, ラッチアップ, ノイズ特性, 発振特性等を含めた電氣的特性が異なります。

お客様にて同一シリーズの別製品に切り換えて使用する際は、電氣的特性の評価を行ってください。

5V トレラント I/O のプルアップ機能について

5V トレラント I/O のプルアップ機能使用時は VCC 電圧以上の信号を入力しないでください。

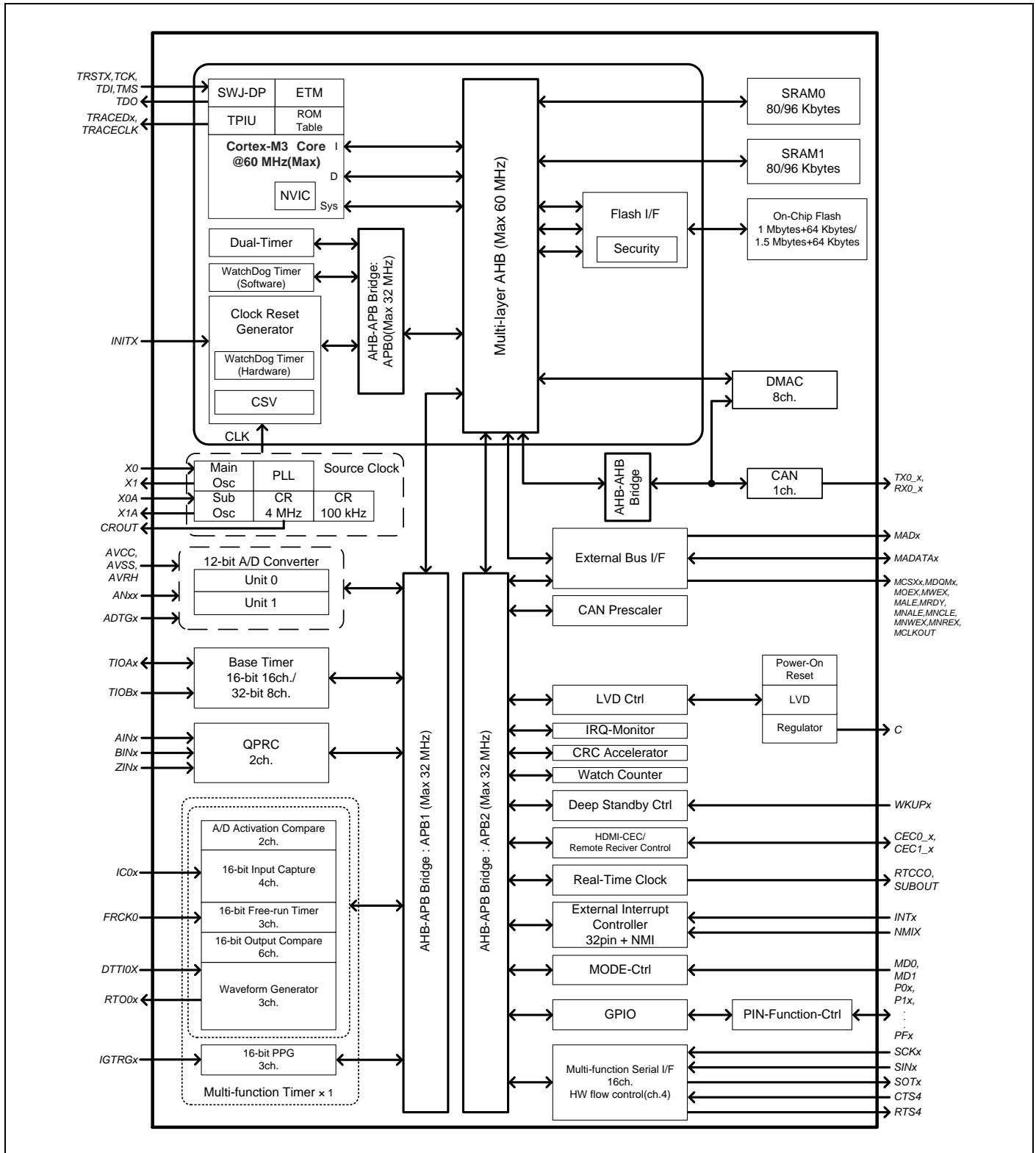
基板上の隣接配線について

発振クロック(X0/X1,X0A/X1A)と GPIO の信号を隣接して配線すると、GPIO の信号の変化により発振波形にノイズが載り、発振クロックを誤カウントすることがあります。

発振クロックの誤カウントを避けるために下記のいずれかの対策を行ってください。

- 両者の配線をできるだけ離し、配線間にグランドパタンを挿入する。
- 隣接する GPIO の信号を変化させないようにする。

8. ブロックダイアグラム

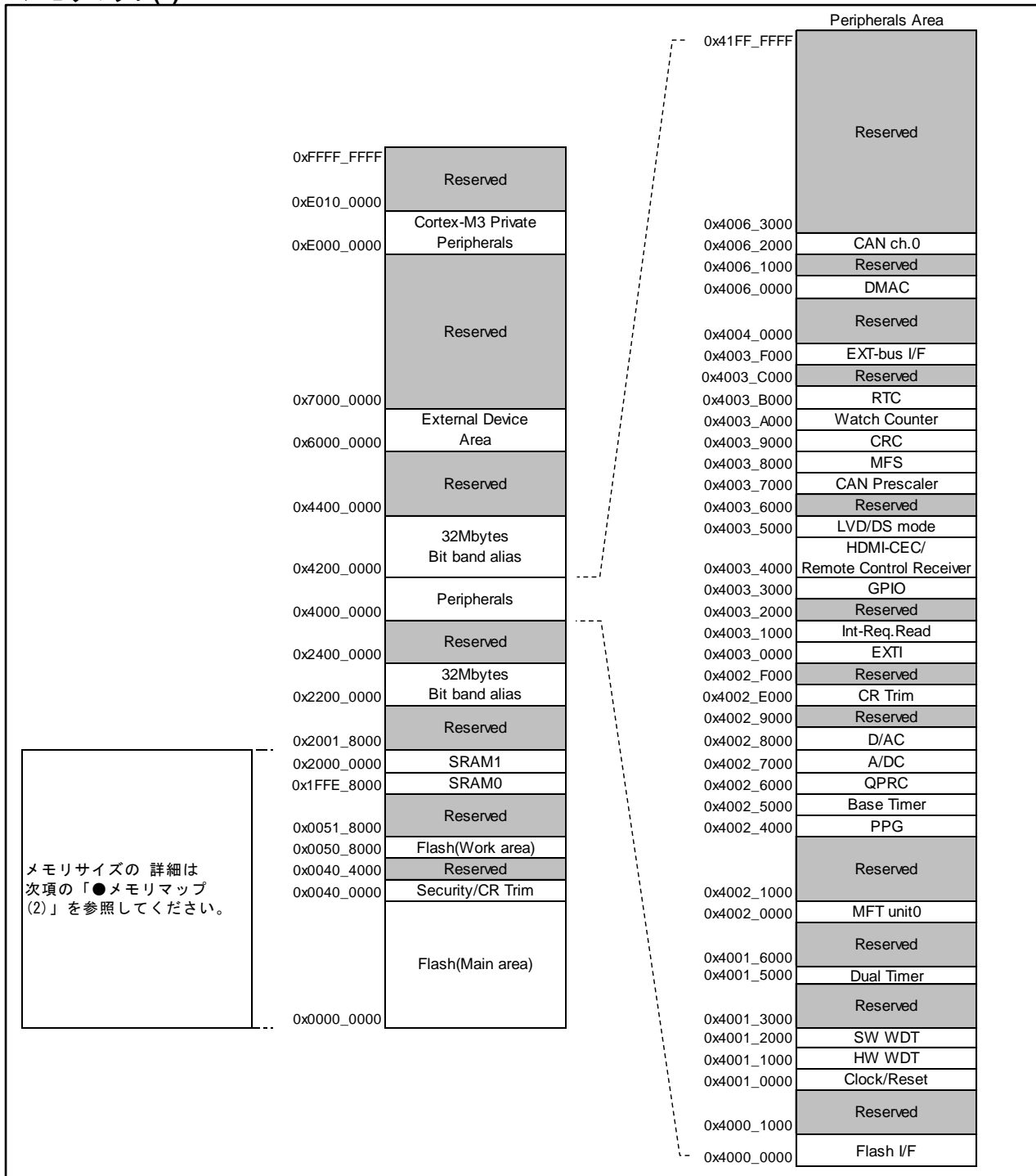


9. メモリサイズ

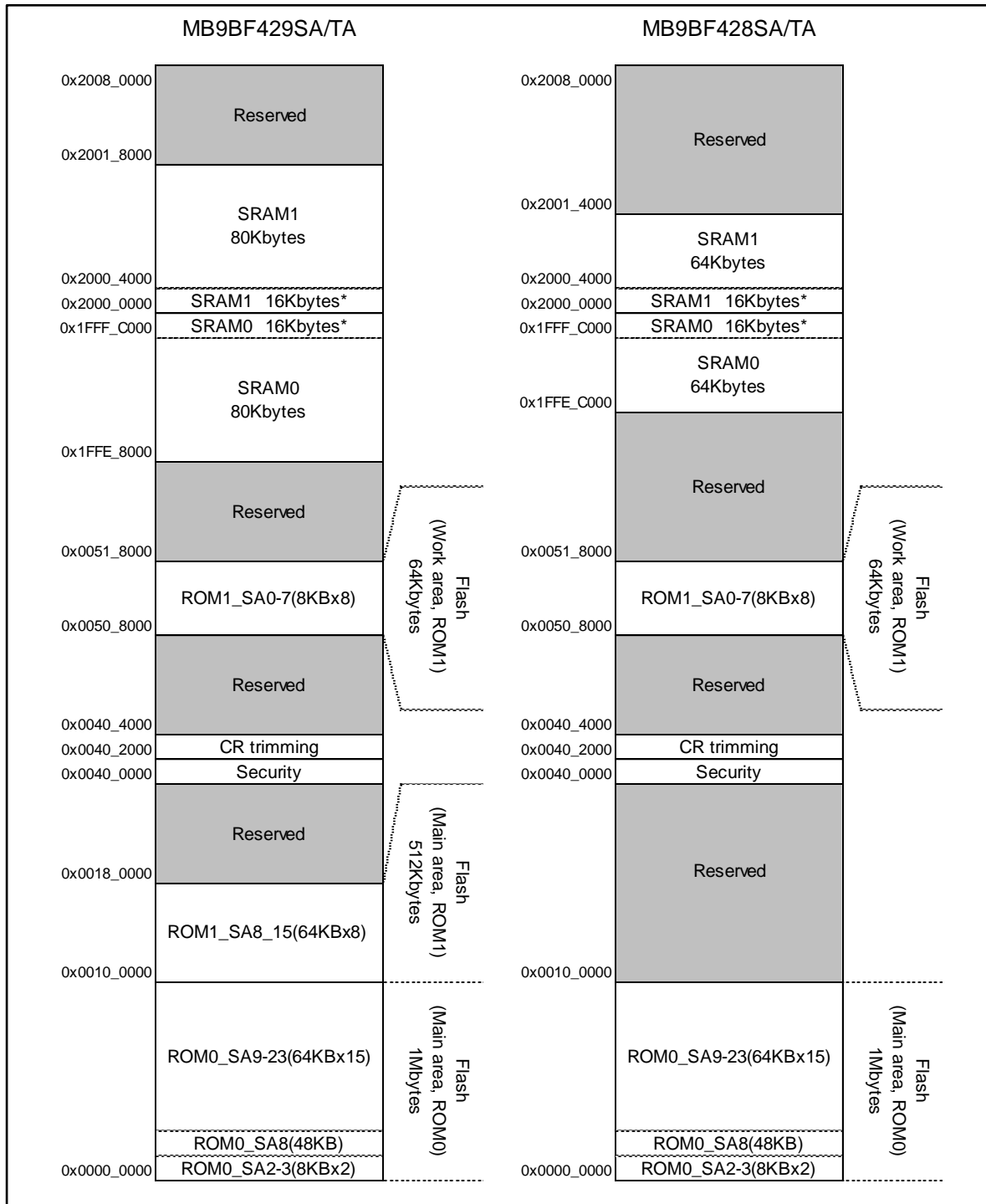
メモリサイズについては、「1. 品種構成」の「メモリサイズ」を参照してください。

10. メモリマップ

メモリマップ(1)



メモリマップ(2)



ディープスタンバイ RAM 保持レジスタ(DSRAMR)の設定を行うことで、ディープスタンバイモード時に SRAM の内容が保持できます。
フラッシュメモリのセクタ構成については、「MB9B520T/420T/320T/120T シリーズ フラッシュプログラミングマニュアル」を参照してください。

ペリフェラル・アドレスマップ

スタート アドレス	エンド アドレス	バス	周辺機能
0x4000_0000	0x4000_0FFF	AHB	フラッシュメモリ I/F レジスタ
0x4000_1000	0x4000_FFFF		予約
0x4001_0000	0x4001_0FFF	APB0	クロック・リセット制御
0x4001_1000	0x4001_1FFF		ハードウェアウォッチドッグタイマ
0x4001_2000	0x4001_2FFF		ソフトウェアウォッチドッグタイマ
0x4001_3000	0x4001_4FFF		予約
0x4001_5000	0x4001_5FFF		デュアルタイマ
0x4001_6000	0x4001_FFFF		予約
0x4002_0000	0x4002_0FFF	APB1	多機能タイマ unit0
0x4002_1000	0x4002_3FFF		予約
0x4002_4000	0x4002_4FFF		PPG
0x4002_5000	0x4002_5FFF		ベースタイマ
0x4002_6000	0x4002_6FFF		クアッドカウンタ(QPRC)
0x4002_7000	0x4002_7FFF		A/D コンバータ
0x4002_8000	0x4002_8FFF		D/A コンバータ
0x4002_9000	0x4002_DFFF		予約
0x4002_E000	0x4002_EFFF		内蔵 CR トリミング
0x4002_F000	0x4002_FFFF		予約
0x4003_0000	0x4003_0FFF	APB2	外部割込み
0x4003_1000	0x4003_1FFF		割込み要因確認レジスタ
0x4003_2000	0x4003_2FFF		予約
0x4003_3000	0x4003_3FFF		GPIO
0x4003_4000	0x4003_4FFF		HDMI-CEC/リモコン受信
0x4003_5000	0x4003_57FF		低電圧検出
0x4003_5800	0x4003_5FFF		ディープスタンバイ制御部
0x4003_6000	0x4003_6FFF		予約
0x4003_7000	0x4003_7FFF		CAN プリスケラ
0x4003_8000	0x4003_8FFF		マルチファンクションシリアル
0x4003_9000	0x4003_9FFF		CRC
0x4003_A000	0x4003_AFFF		時計カウンタ
0x4003_B000	0x4003_BFFF		RTC
0x4003_C000	0x4003_EFFF		予約
0x4003_F000	0x4003_FFFF		外部バス I/F
0x4004_0000	0x4005_FFFF	AHB	予約
0x4006_0000	0x4006_0FFF		DMAC レジスタ
0x4006_1000	0x4006_1FFF		予約
0x4006_2000	0x4006_2FFF		CAN ch.0
0x4006_3000	0x41FF_FFFF		予約

11. 各 CPU ステートにおける端子状態

端子の状態として使用している語句は、以下の意味を持ちます。

■INITX=0

INITX 端子が"L"レベルの期間です。

■INITX=1

INITX 端子が"H"レベルの期間です。

■SPL=0

スタンバイモードコントロールレジスタ(STB_CTL)のスタンバイ端子レベル設定ビット(SPL)が"0"に設定された状態です。

■SPL=1

スタンバイモードコントロールレジスタ(STB_CTL)のスタンバイ端子レベル設定ビット(SPL)が"1"に設定された状態です。

■入力可

入力機能が使用可能な状態です。

■内部入力"0"固定

入力機能が使用できない状態です。内部入力は"L"に固定されます。

■Hi-Z

端子駆動用トランジスタを駆動禁止状態にし、端子を Hi-Z にします。

■設定不可

設定できません。

■直前状態保持

本モードに遷移する直前の状態を保持します。

内蔵されている周辺機能が動作中であれば、その周辺機能にしたがいます。

ポートとして使用している場合は、その状態を保持します。

■アナログ入力可

アナログ入力が許可されています。

■トレース出力

トレース機能が使用可能な状態です。

■GPIO 選択

ディープスタンバイモード時、汎用 I/O ポートに切り換わります。

端子状態一覧表

端子状態形式	グループ機能名	パワーオンリセットまたは低電圧検出状態	INITX入力状態	デバイス内部リセット状態	ランモードまたはスリープモード状態	タイマモード、RTCモードまたはストップモード状態		ディープスタンバイRTCモードまたはディープスタンバイストップモード状態		ディープスタンバイモード復帰直後状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
A	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/内部入力"0"固定	GPIO 選択内部入力"0"固定	Hi-Z/内部入力"0"固定	GPIO 選択
	メイン水晶発振入力端子/外部メインクロック入力選択時	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可
B	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/内部入力"0"固定	GPIO 選択内部入力"0"固定	Hi-Z/内部入力"0"固定	GPIO 選択
	外部メインクロック入力選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/内部入力"0"固定	直前状態保持	Hi-Z/内部入力"0"固定	直前状態保持
	メイン水晶発振出力端子	Hi-Z/内部入力"0"固定または入力可	Hi-Z/内部入力"0"固定	Hi-Z/内部入力"0"固定	直前状態保持/発振停止時* ¹ はHi-Z/内部入力"0"固定	直前状態保持/発振停止時* ¹ はHi-Z/内部入力"0"固定	直前状態保持/発振停止時* ¹ はHi-Z/内部入力"0"固定	直前状態保持/発振停止時* ¹ はHi-Z/内部入力"0"固定	直前状態保持/発振停止時* ¹ はHi-Z/内部入力"0"固定	直前状態保持/発振停止時* ¹ はHi-Z/内部入力"0"固定
C	INITX入力端子	プルアップ/入力可	プルアップ/入力可	プルアップ/入力可	プルアップ/入力可	プルアップ/入力可	プルアップ/入力可	プルアップ/入力可	プルアップ/入力可	プルアップ/入力可
D	モード入力端子	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可

端子状態形式	グループ機能名	パワーオンリセットまたは低電圧検出状態	INITX入力状態	デバイス内部リセット状態	ランモードまたはスリープモード状態	タイマモード、RTCモードまたはストップモード状態		ディープスタンバイRTCモードまたはディープスタンバイストップモード状態		ディープスタンバイモード復帰直後状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
E	モード入力端子	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可
	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/入力可	GPIO 選択	Hi-Z/入力可	GPIO 選択
F	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/内部入力"0"固定	GPIO 選択 内部入力"0"固定	Hi-Z/内部入力"0"固定	GPIO 選択
	サブ水晶発振入力端子/ 外部サブクロック入力 選択時	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可
G	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/内部入力"0"固定	GPIO 選択 内部入力"0"固定	Hi-Z/内部入力"0"固定	GPIO 選択
	外部サブクロック入力 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/内部入力"0"固定	直前状態保持	Hi-Z/内部入力"0"固定	直前状態保持
	サブ水晶発振出力端子	Hi-Z/内部入力"0"固定または入力可	Hi-Z/内部入力"0"固定	Hi-Z/内部入力"0"固定	直前状態保持	直前状態保持/ 発振停止時* ² は Hi-Z/内部入力"0"固定	直前状態保持/ 発振停止時* ² は Hi-Z/内部入力"0"固定	直前状態保持/ 発振停止時* ² は Hi-Z/内部入力"0"固定	直前状態保持/ 発振停止時* ² は Hi-Z/内部入力"0"固定	直前状態保持/ 発振停止時* ² は Hi-Z/内部入力"0"固定
H	NMIX 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	直前状態保持	WKUP 入力可	Hi-Z/ WKUP 入力可	GPIO 選択
	GPIO 選択時	Hi-Z	Hi-Z/入力可	Hi-Z/入力可		直前状態保持	Hi-Z/内部入力"0"固定			

端子状態形式	グループ機能名	パワーオンリセットまたは低電圧検出状態	INITX入力状態	デバイス内部リセット状態	ランモードまたはスリープモード状態	タイマモード、RTCモード、またはストップモード状態		ディープスタンバイRTCモードまたはディープスタンバイストップモード状態		ディープスタンバイモード復帰直後状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
I	JTAG 選択時	Hi-Z	プルアップ/ 入力可	プルアップ/ 入力可	直前状態 保持	直前状態 保持	直前状態 保持	直前状態 保持	直前状態 保持	直前状態 保持
	GPIO 選択時	設定不可	設定不可	設定不可			Hi-Z/ 内部入力 "0"固定	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択
J	リソース選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可	直前状態 保持	直前状態 保持	Hi-Z/ 内部入力 "0"固定	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択
	GPIO 選択時									
K	外部割込み許可選択時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	直前状態 保持	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択
	上記以外のリソース選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可			Hi-Z/ 内部入力 "0"固定			
	GPIO 選択時									
L	アナログ入力選択時	Hi-Z	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可
	上記以外のリソース選択時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	Hi-Z/ 内部入力 "0"固定	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択
	GPIO 選択時									

端子状態形式	グループ機能名	パワーオンリセットまたは低電圧検出状態	INITX入力状態	デバイス内部リセット状態	ランモードまたはスリープモード状態	タイマモード、RTCモードまたはストップモード状態		ディープスタンバイRTCモードまたはディープスタンバイストップモード状態		ディープスタンバイモード復帰直後状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
M	アナログ入力選択時	Hi-Z	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入 力"0"固 定/ アナロ グ 入力可	Hi-Z/ 内部入 力"0"固 定/ アナロ グ 入力可	Hi-Z/ 内部入 力"0"固 定/ アナロ グ 入力可	Hi-Z/ 内部入 力"0"固 定/ アナロ グ 入力可	Hi-Z/ 内部入 力"0"固 定/ アナロ グ 入力可
	外部割込み許可選択時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	直前状態 保持	GPIO 選 択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択
	上記以外のリソース選択時						Hi-Z/ 内部入 力"0"固 定			
	GPIO 選択時									
N	アナログ入力選択時	Hi-Z	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入 力"0"固 定/ アナロ グ 入力可	Hi-Z/ 内部入 力"0"固 定/ アナロ グ 入力可	Hi-Z/ 内部入 力"0"固 定/ アナロ グ 入力可	Hi-Z/ 内部入 力"0"固 定/ アナロ グ 入力可	Hi-Z/ 内部入 力"0"固 定/ アナロ グ 入力可
	WKUP 許可時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	直前状態 保持	WKUP 入力可	Hi-Z/ WKUP 入力可	GPIO 選択
	外部割込み許可選択時						GPIO 選 択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定		
	上記以外のリソース選択時									
	GPIO 選択時									
O	アナログ出力選択時	設定不可	設定不可	設定不可	直前状態 保持	*3	*4	GPIO 選 択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択
	リソース選択時	Hi-Z	Hi-Z/ 入力可	直前状態 保持		Hi-Z/ 内部入 力"0"固 定				
	GPIO 選択時									

端子状態形式	グループ機能名	パワーオンリセット または低電圧検出状態	INITX 入力状態	デバイス内部リセット 状態	ランモード またはスリープ モード状態	タイマモード, RTC モード または ストップモード 状態		ディープスタンバイ RTC モード または ディープスタンバイ ストップモード 状態		ディープスタンバイ モード 復帰直後 状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
P	トレース選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	トレース出力	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択
	上記以外のリソース選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 内部入力 "0"固定						
	GPIO 選択時									
Q	トレース選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	トレース出力	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択
	外部割込み許可選択時						直前状態保持			
	上記以外のリソース選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 内部入力 "0"固定						
	GPIO 選択時									
R	CEC 許可時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持
	上記以外のリソース選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 内部入力 "0"固定			GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択	
	GPIO 選択時									
S	CEC 許可時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持
	外部割込み許可選択時						直前状態保持	直前状態保持	直前状態保持	
	上記以外のリソース選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 内部入力 "0"固定			GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択	
	GPIO 選択時									

端子状態形式	グループ機能名	パワーオンリセットまたは低電圧検出状態	INITX入力状態	デバイス内部リセット状態	ランモードまたはスリープモード状態	タイマモード、RTCモード、またはストップモード状態		ディープスタンバイRTCモードまたはディープスタンバイストップモード状態		ディープスタンバイモード復帰直後状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
T	CEC 許可時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持
	WKUP 許可時							WKUP 入力可	Hi-Z/WKUP 入力可	GPIO 選択
	外部割込み許可選択時							GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	
	上記以外のリソース選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 内部入力 "0"固定						
	GPIO 選択時									
U	WKUP 許可時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	直前状態保持	WKUP 入力可	Hi-Z/WKUP 入力可	GPIO 選択
	外部割込み許可選択時							GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	
	上記以外のリソース選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 内部入力 "0"固定						
	GPIO 選択時									
V	GPIO 選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可	直前状態保持	直前状態保持	Hi-Z/ 内部入力 "0"固定	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択

*1: サブタイマモード, 低速 CR タイマモード, ストップモード, RTC モード, ディープスタンバイモード RTC モード, ディープスタンバイストップモードは発振が停止します。

*2: ストップモード, ディープスタンバイストップモードは発振が停止します。

*3: タイマモード状態は直前状態保持, RTC モードまたはストップモード状態は GPIO 選択/内部入力"0"固定です。

*4: タイマモード状態は直前状態保持, RTC モードまたはストップモード状態は Hi-Z/内部入力"0"固定です。

12. 電気的特性

12.1 絶対最大定格

項目	記号	定格値		単位	備考
		最小	最大		
電源電圧* ¹ ・* ²	V_{CC}	$V_{SS} - 0.5$	$V_{SS} + 6.5$	V	
アナログ電源電圧* ¹ ・* ³	AV_{CC}	$V_{SS} - 0.5$	$V_{SS} + 6.5$	V	
アナログ基準電圧* ¹ ・* ³	$AVRH$	$V_{SS} - 0.5$	$V_{SS} + 6.5$	V	
入力電圧* ¹	V_I	$V_{SS} - 0.5$	$V_{CC} + 0.5$ (≤ 6.5 V)	V	
		$V_{SS} - 0.5$	$V_{SS} + 6.5$	V	5V トレラント
		$V_{SS} - 0.5$	$V_{SS} + 3.63$	V	5V トレラント* ⁷
アナログ端子入力電圧* ¹	V_{IA}	$V_{SS} - 0.5$	$AV_{CC} + 0.5$ (≤ 6.5 V)	V	
出力電圧* ¹	V_O	$V_{SS} - 0.5$	$V_{CC} + 0.5$ (≤ 6.5 V)	V	
最大クランプ電流	I_{CLAMP}	-2	+2	mA	* ⁸
最大総クランプ電流	$\Sigma [I_{CLAMP}]$		+20	mA	* ⁸
"L"レベル最大出力電流* ⁴	I_{OL}	-	10	mA	4mA タイプ
			20	mA	12mA タイプ
			39	mA	P80/P81
"L"レベル平均出力電流* ⁵	I_{OLAV}	-	4	mA	4mA タイプ
			12	mA	12mA タイプ
			16.5	mA	P80/P81
"L"レベル最大総出力電流	ΣI_{OL}	-	100	mA	
"L"レベル平均総出力電流* ⁶	ΣI_{OLAV}	-	50	mA	
"H"レベル最大出力電流* ⁴	I_{OH}	-	- 10	mA	4mA タイプ
			- 20	mA	12mA タイプ
			- 39	mA	P80/P81
"H"レベル平均出力電流* ⁵	I_{OHAV}	-	- 4	mA	4mA タイプ
			- 12	mA	12mA タイプ
			- 18	mA	P80/P81
"H"レベル最大総出力電流	ΣI_{OH}	-	- 100	mA	
"H"レベル平均総出力電流* ⁶	ΣI_{OHAV}	-	- 50	mA	
消費電力	P_D	-	390	mW	
保存温度	T_{STG}	- 55	+ 150	°C	

*1: $V_{SS} = AV_{SS} = 0$ V を基準にした値です。

*2: V_{CC} は $V_{SS} - 0.5$ V より低くならないでください。

*3: 電源投入時など $V_{CC} + 0.5$ V を超えてはいけません。

*4: 最大出力電流は、該当する端子 1 本のピーク値を規定します。

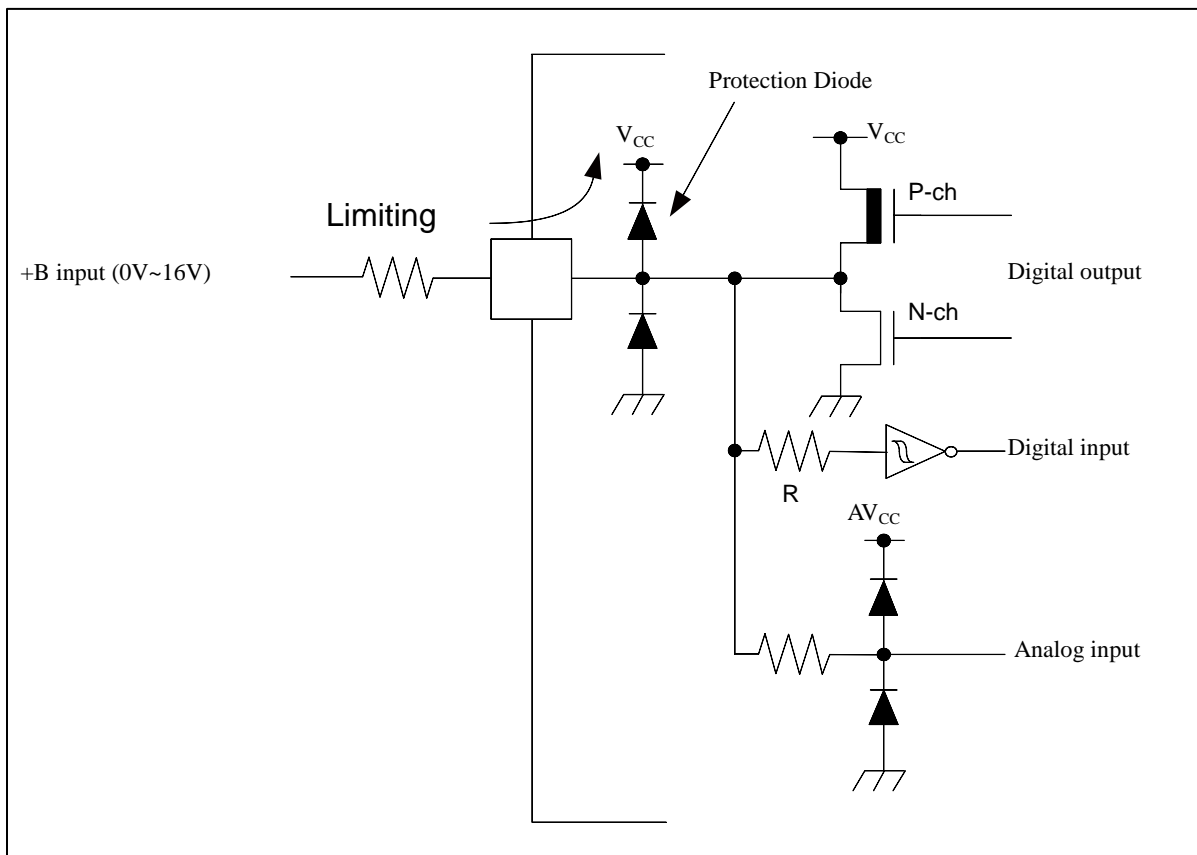
*5: 平均出力電流は、該当する端子 1 本に流れる電流の 100 ms の期間内での平均電流を規定します。

*6: 平均総出力電流は、該当する端子すべてに流れる電流の 100 ms の期間内での平均電流を規定します。

*7: $V_{CC} = AV_{CC} = AVRH = V_{SS} = AV_{SS} = AVRL = 0.0$ V のとき

*8:

- 該当端子については、「4. 端子機能一覧」、「5. 入出力回路形式」を参照してください。
- 推奨動作条件内でご使用ください。
- +B 入力 は 直流電圧(電流)でご使用ください。
- +B 信号と本デバイスの間には、必ず電流制限抵抗を接続し+B 信号を印加してください。
- +B 入力を行うとき、本デバイスの端子に入力される電流が、瞬時/定常を問わず規格値以下になるように電流制限抵抗の値を設定してください。
- 低消費電力モードなど本デバイスの駆動電流が少ない動作モードでは、+B 入力電位が保護ダイオードを通して VCC 端子、AVCC 端子の電位を上昇させ、本デバイスや他の機器へ影響を及ぼすことがあります。そのため+B 入力時には Vcc、AVcc の電位が推奨動作条件を超えないようにしてください。
- 本デバイスの電源が OFF 時(0 V に固定していない場合)、または電源投入時に+B 入力を行っている場合は、端子から電源が供給されているため、パワーオンリセットが正常に動作せず不完全な動作を行うことがあります。
- 推奨回路例(入出力等価回路)を下記に示します。



<注意事項>

- 絶対最大定格を超えるストレス (電圧, 電流, 温度など) の印加は、半導体デバイスを破壊する可能性があります。したがって、定格を一項目でも超えることのないようご注意ください。

12.2 推奨動作条件

(V_{SS} = AV_{SS} = 0.0V)

項目	記号	条件	規格値		単位	備考
			最小	最大		
電源電圧	V _{CC}	-	2.7* ²	5.5	V	
アナログ電源電圧	AV _{CC}	-	2.7	5.5	V	AV _{CC} =V _{CC}
アナログ基準電圧	AVRH	-	2.7	AV _{CC}	V	
	AVRL	-	AV _{SS}	AV _{SS}	V	
平滑コンデンサ容量	C _S	-	1	10	μF	内蔵レギュレータ用* ¹
動作温度	T _A	-	- 40	+ 105	°C	

*1: 平滑コンデンサの接続方法は、「7. デバイス使用上の注意」の「C 端子について」を参照してください。

*2: 電源電圧が最小値未満かつ低電圧リセット/割込み検出電圧以上の間は、内蔵高速 CR クロック(メイン PLL 使用含む)または内蔵低速 CR クロックでの命令実行と低電圧検出のみ動作可能です。

<注意事項>

- 推奨動作条件は、半導体デバイスの正常な動作を確保するための条件です。電気的特性の規格値は、すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を超えて使用すると、信頼性に悪影響を及ぼすことがあります。
- データシートに記載されていない項目、使用条件、論理の組合せでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

12.3 直流規格

12.3.1 電流規格

項目	記号 (端子名)	条件		規格値		単位	備考
				標準* ¹	最大* ²		
電源電流	I _{CC} (VCC)	PLL ランモード	CPU: 60 MHz, 周辺: 30 MHz * ³ , * ⁵	29	37	mA	
			CPU: 60 MHz, 周辺クロック停止 * ³ , * ⁵	19	26	mA	
		高速 CR ランモード	CPU/周辺: 4 MHz* ⁴ * ³	3.1	6.4	mA	
		サブ ランモード	CPU/周辺: 32 kHz * ³ , * ⁶	170	2300	μA	
		低速 CR ランモード	CPU/周辺: 100 kHz * ³	210	2300	μA	
	I _{CCS} (VCC)	PLL スリープモード	周辺: 30 MHz * ³ , * ⁵	19	26	mA	
		高速 CR スリープモード	周辺: 4 MHz* ⁴ * ³	2.1	5.1	mA	
		サブ スリープモード	周辺: 32 kHz * ³ , * ⁶	160	2200	μA	
		低速 CR スリープモード	周辺: 100 kHz * ³	190	2200	μA	
	I _{CCH} (VCC)	ストップ モード	T _A = +25°C, * ³	20	75	μA	
			T _A = +105°C, * ³	-	1.3	mA	
	I _{CCT} (VCC)	メイン タイマモード	T _A = +25°C, * ³ , * ⁵	2.8	5.5	mA	
			T _A = +105°C, * ³ , * ⁵	-	6.5	mA	
		サブ タイマモード	T _A = +25°C, * ³ , * ⁶	24	95	μA	
			T _A = +105°C, * ³ , * ⁶	-	1.7	mA	
	I _{CCR} (VCC)	RTC モード	T _A = +25°C, * ³ , * ⁶	21	89	μA	
			T _A = +105°C, * ³ , * ⁶	-	1.7	mA	

*1: T_A=+25°C, V_{CC}=3.3 V

*2: T_A=+105°C, V_{CC}=5.5 V

*3: 全ポート固定時

*4: トリミングにて 4 MHz に設定した場合

*5: 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)

*6: 水晶振動子(32 kHz)使用時(発振回路の消費電流を含む)

項目	記号 (端子名)	条件		規格値		単位	備考
				標準*1	最大*2		
電源電流	I _{CCHD} (VCC)	ディープ スタンバイ ストップ モード	T _A = + 25℃, RAM 保持なし時 *3	1.9	13	μA	
			T _A = + 25℃, RAM 保持あり(16 K バイト)時*4 *3	4.8	17	μA	
			T _A = + 25℃, RAM 保持あり(32 K バイト)時*4 *3	5.5	20	μA	
			T _A = + 105℃, RAM 保持なし時 *3	-	300	μA	
			T _A = + 105℃, RAM 保持あり(16 K バイト)時*4 *3		320	μA	
			T _A = + 105℃, RAM 保持あり(32 K バイト)時*4 *3		330	μA	
	I _{CCRD} (VCC)	ディープ スタンバイ RTC モード	T _A = + 25℃, RAM 保持なし時 *3, *5	2.5	14	μA	
			T _A = + 25℃, RAM 保持あり(16 K バイト)時*4 *3, *5	5.4	18	μA	
			T _A = + 25℃, RAM 保持あり(32 K バイト)時*4 *3, *5	6.1	21	μA	
			T _A = + 105℃, RAM 保持なし時 *3, *5	-	305	μA	
			T _A = + 105℃, RAM 保持あり(16 K バイト)時*4 *3, *5		325	μA	
			T _A = + 105℃, RAM 保持あり(32 K バイト)時*4 *3, *5		335	μA	

*1: V_{CC}=3.3 V

*2: V_{CC}=5.5 V

*3: 全ポート固定時, LVD off 時

*4: RAM 保持設定が可能な領域は「10. メモリマップ」の「メモリマップ(2)」を参照してください。

*5: 水晶振動子(32 kHz)使用時(発振回路の消費電流を含む)

低電圧検出回路(LVD)電流
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
低電圧 検出回路 (LVD) 電源電流	$I_{CC\text{LVD}}$ (VCC)	動作時	-	0.13	0.3	μA	リセット発生用
			-	0.13	0.3	μA	割込み発生用

フラッシュメモリ電流
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
フラッシュ メモリ 書込み/消去電 流	$I_{CC\text{FLASH}}$ (VCC)	ROM0 書込み/ 消去時	-	9.9	11.8	mA	*1
		ROM1 書込み/ 消去時	-	9.5	11.2	mA	*1

*1: フラッシュメモリへ書込み、または消去するときは電源電流 I_{CC} にフラッシュメモリ書込み/消去電流 $I_{CC\text{FLASH}}$ が加算されます。
 また、ROM0/ROM1 を同時に書込み/消去した場合、電源電流 I_{CC} に ROM0/ROM1 両方のフラッシュメモリ書込み/消去電流 $I_{CC\text{FLASH}}$ が加算されます。

A/D コンバータ電流
 $(V_{CC} = AV_{CC} = 2.7V \sim 5.5V, V_{SS} = AV_{SS} = AV_{RL} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
電源電流	$I_{CC\text{AD}}$ (AVCC)	1unit 動作時	-	0.69	0.9	mA	
		停止時	-	0.6	35	μA	
基準電源電流	$I_{CC\text{AVRH}}$ (AVRH)	A/D 1unit 動作時 AVRH=5.5 V	-	1.1	1.97	mA	
		停止時	-	0.2	3.4	μA	

D/A コンバータ電流
 $(V_{CC} = AV_{CC} = 2.7V \sim 5.5V, V_{SS} = AV_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
電源電流*1	I_{DDA}^{*2} (AVCC)	1unit 動作時 AVCC=3.3 V	250	315	380	μA	
		1unit 動作時 AVCC=5.0 V	380	475	580	μA	
	I_{DSA} (AVCC)	停止時	-	-	30	μA	

*1: 無負荷時

*2: 0x200 設定時に電流最大

12.3.2 端子特性
 $(V_{CC} = AV_{CC} = 2.7V \sim 5.5V, V_{SS} = AV_{SS} = AV_{RL} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
"H"レベル 入力電圧 (ヒステリシス 入力)	V_{IHS}	CMOS ヒステリシス 入力端子, MD0, MD1	-	$V_{CC} \times 0.8$	-	$V_{CC} + 0.3$	V	
		5V トレラント 入力端子	-	$V_{CC} \times 0.8$	-	$V_{SS} + 5.5$	V	
"L"レベル 入力電圧 (ヒステリシス 入力)	V_{ILS}	CMOS ヒステリシス 入力端子, MD0, MD1	-	$V_{SS} - 0.3$	-	$V_{CC} \times 0.2$	V	
		5V トレラント 入力端子	-	$V_{SS} - 0.3$	-	$V_{CC} \times 0.2$	V	
"H"レベル 出力電圧	V_{OH}	4mA タイプ	$V_{CC} \geq 4.5V,$ $I_{OH} = -4mA$	$V_{CC} - 0.5$	-	V_{CC}	V	
			$V_{CC} < 4.5V,$ $I_{OH} = -2mA$					
		12mA タイプ	$V_{CC} \geq 4.5V,$ $I_{OH} = -12mA$	$V_{CC} - 0.5$	-	V_{CC}	V	
			$V_{CC} < 4.5V,$ $I_{OH} = -8mA$					
		P80/P81	$V_{CC} \geq 4.5V,$ $I_{OH} = -18.0mA$	$V_{CC} - 0.4$	-	V_{CC}	V	
			$V_{CC} < 4.5V,$ $I_{OH} = -12.0mA$					
"L"レベル 出力電圧	V_{OL}	4mA タイプ	$V_{CC} \geq 4.5V,$ $I_{OL} = 4mA$	V_{SS}	-	0.4	V	
			$V_{CC} < 4.5V,$ $I_{OL} = 2mA$					
		12mA タイプ	$V_{CC} \geq 4.5V,$ $I_{OL} = 12mA$	V_{SS}	-	0.4	V	
			$V_{CC} < 4.5V,$ $I_{OL} = 8mA$					
		P80/P81	$V_{CC} \geq 4.5V,$ $I_{OL} = 16.5mA$	V_{SS}	-	0.4	V	
			$V_{CC} < 4.5V,$ $I_{OL} = 10.5mA$					

$(V_{CC} = AV_{CC} = 2.7V \sim 5.5V, V_{SS} = AV_{SS} = AVRL = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
入力リーク電流	I_{IL}	-	-	- 5	-	+ 5	μA	
		CEC0_0, CEC0_1, CEC1_0, CEC1_1	$V_{CC} = AV_{CC} = AVR_H$ $= V_{SS} = AV_{SS}$ $= AVRL = 0.0 V$	-	-	+1.8	μA	
プルアップ抵抗値	R_{PU}	プルアップ端子	$V_{CC} \geq 4.5 V$	33	50	90	$k\Omega$	
			$V_{CC} < 4.5 V$	-	-	180		
入力容量	C_{IN}	VCC, VSS, AVCC, AVSS, AVRH, AVRL 以外	-	-	5	15	pF	

12.4 交流規格

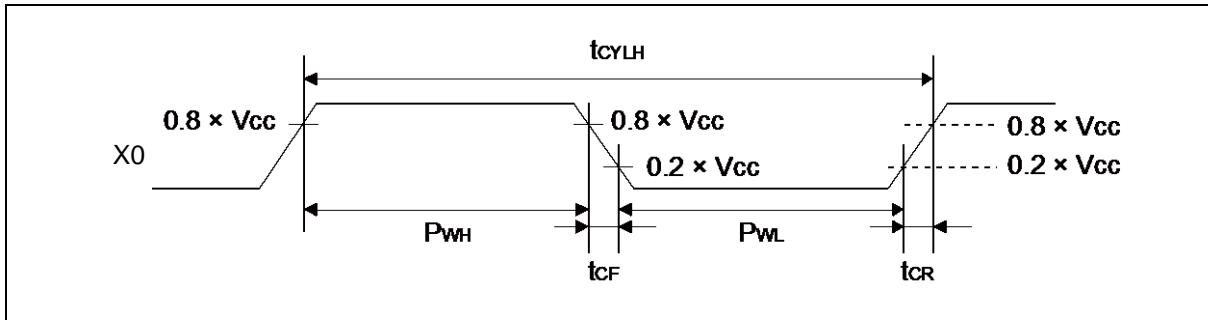
12.4.1 メインクロック入力規格

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力周波数	F_{CH}	X0, X1	$V_{CC} \geq 4.5V$	4	48	MHz	水晶振動子接続時
			$V_{CC} < 4.5V$	4	20		
			-	4	48	MHz	外部クロック時
入力クロック周期	t_{CYLH}		-	20.83	250	ns	外部クロック時
入力クロックパルス幅	-		P_{WH}/t_{CYLH} , P_{WL}/t_{CYLH}	45	55	%	外部クロック時
入力クロック立上り, 立下り時間	t_{CF} , t_{CR}		-	-	5	ns	外部クロック時
内部動作クロック*1周波数	F_{CM}	-	-	-	60	MHz	マスタクロック
	F_{CC}	-	-	-	60	MHz	ベースクロック(HCLK/FCLK)
	F_{CP0}	-	-	-	32	MHz	APB0 バスクロック*2
	F_{CP1}	-	-	-	32	MHz	APB1 バスクロック*2
	F_{CP2}	-	-	-	32	MHz	APB2 バスクロック*2
内部動作クロック*1サイクル時間	t_{CYCC}	-	-	16.7	-	ns	ベースクロック(HCLK/FCLK)
	t_{CYCP0}	-	-	31.25	-	ns	APB0 バスクロック*2
	t_{CYCP1}	-	-	31.25	-	ns	APB1 バスクロック*2
	t_{CYCP2}	-	-	31.25	-	ns	APB2 バスクロック*2

*1: 各内部動作クロックの詳細については、『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 2-1: クロック』を参照してください。

*2: 各ペリフェラルが接続されている APB バスについては「8. ブロックダイアグラム」を参照してください。

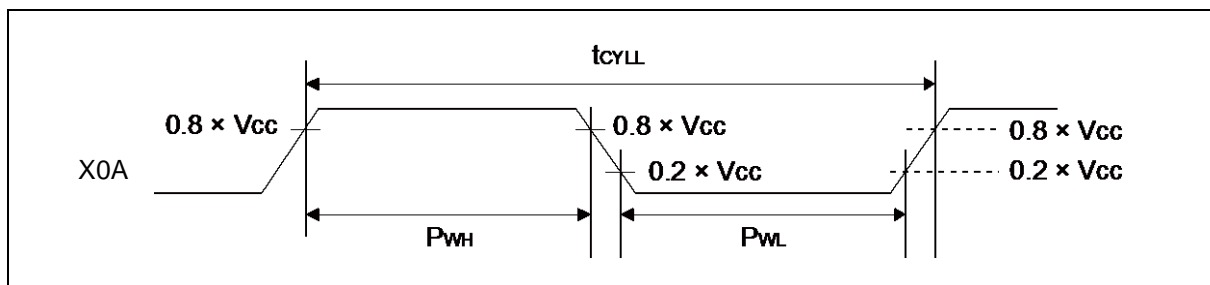


12.4.2 サブクロック入力規格

 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
入力周波数	$1/t_{CYLL}$	X0A, X1A	-	-	32.768	-	kHz	水晶振動子 接続時*
			-	32	-	100	kHz	外部クロック時
入力クロック周期	t_{CYLL}		-	10	-	31.25	μs	外部クロック時
入力クロックパルス幅	-		$P_{WH}/t_{CYLL},$ P_{WL}/t_{CYLL}	45	-	55	%	外部クロック時

*: 使用する水晶振動子については、「7. デバイス使用上の注意」の「サブクロック用水晶振動子について」を参照してください。



12.4.3 内蔵 CR 発振規格

内蔵高速 CR

 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
クロック周波数	F_{CRH}	$T_A = +25^{\circ}C,$ $3.6V < V_{CC} \leq 5.5V$	3.92	4	4.08	MHz	トリミング時* ¹
		$T_A = 0^{\circ}C \sim +85^{\circ}C,$ $3.6V < V_{CC} \leq 5.5V$	3.9	4	4.1		
		$T_A = -40^{\circ}C \sim +105^{\circ}C,$ $3.6V < V_{CC} \leq 5.5V$	3.88	4	4.12		
		$T_A = +25^{\circ}C,$ $2.7V \leq V_{CC} \leq 3.6V$	3.94	4	4.06		
		$T_A = -20^{\circ}C \sim +85^{\circ}C,$ $2.7V \leq V_{CC} \leq 3.6V$	3.92	4	4.08		
		$T_A = -20^{\circ}C \sim +105^{\circ}C,$ $2.7V \leq V_{CC} \leq 3.6V$	3.9	4	4.1		
		$T_A = -40^{\circ}C \sim +105^{\circ}C,$ $2.7V \leq V_{CC} \leq 3.6V$	3.88	4	4.12		
		$T_A = -40^{\circ}C \sim +105^{\circ}C$	2.8	4	5.2		非トリミング時
周波数安定時間	t_{CRWT}	-	-	-	30	μs	* ²

*1: 出荷時に設定されるフラッシュメモリ内の CR トリミング領域の値を周波数トリミング値/温度トリミング値に使用した場合

*2: トリミング値設定後に高速 CR クロックの周波数が安定するまでの時間です。なお、トリミング値設定後、周波数安定時間が経過する期間も高速 CR クロックをソースクロックとして使用できます。

内蔵低速 CR
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
クロック周波数	F _{CRL}	-	50	100	150	kHz	

12.4.4 メイン PLL の使用条件(PLL の入力クロックにメインクロックを使用)

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

項目	記号	規格値			単位	備考
		最小	標準	最大		
PLL 発振安定待ち時間* ¹ (LOCK UP 時間)	t_{LOCK}	100	-	-	μs	
PLL 入力クロック周波数	F_{PLLI}	4	-	16	MHz	
PLL 通倍率	-	5	-	37	通倍	
PLL マクロ発振クロック周波数	F_{PLLO}	75	-	150	MHz	
メイン PLL クロック周波数* ²	F_{CLKPLL}	-	-	60	MHz	

*1: PLL の発振が安定するまでの待ち時間

*2: メイン PLL クロック(CLKPLL)の詳細については、『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 2-1: クロック』を参照してください。

12.4.5 メイン PLL の使用条件(メイン PLL の入力クロックに内蔵高速 CR クロックを使用)

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

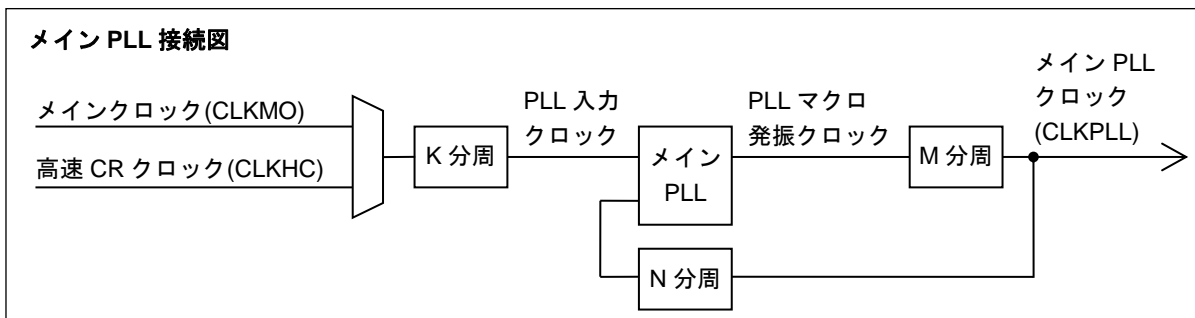
項目	記号	規格値			単位	備考
		最小	標準	最大		
PLL 発振安定待ち時間* ¹ (LOCK UP 時間)	t_{LOCK}	100	-	-	μs	
PLL 入力クロック周波数	F_{PLLI}	3.8	4	4.2	MHz	
PLL 通倍率	-	19	-	35	通倍	
PLL マクロ発振クロック周波数	F_{PLLO}	72	-	150	MHz	
メイン PLL クロック周波数* ²	F_{CLKPLL}	-	-	60	MHz	

*1: PLL の発振が安定するまでの待ち時間

*2: メイン PLL クロック(CLKPLL)の詳細については、『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 2-1: クロック』を参照してください。

<注意事項>

- メイン PLL のソースクロックには、必ず周波数/温度トリミングを行った高速 CR クロック(CLKHCC)を入力してください。



12.4.6 リセット入力規格

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
リセット入力時間	t_{INITX}	INITX	-	500	-	ns	

12.4.7 パワーオンリセットタイミング

($V_{SS} = 0V$, $T_A = -40^{\circ}C$ to $+105^{\circ}C$)

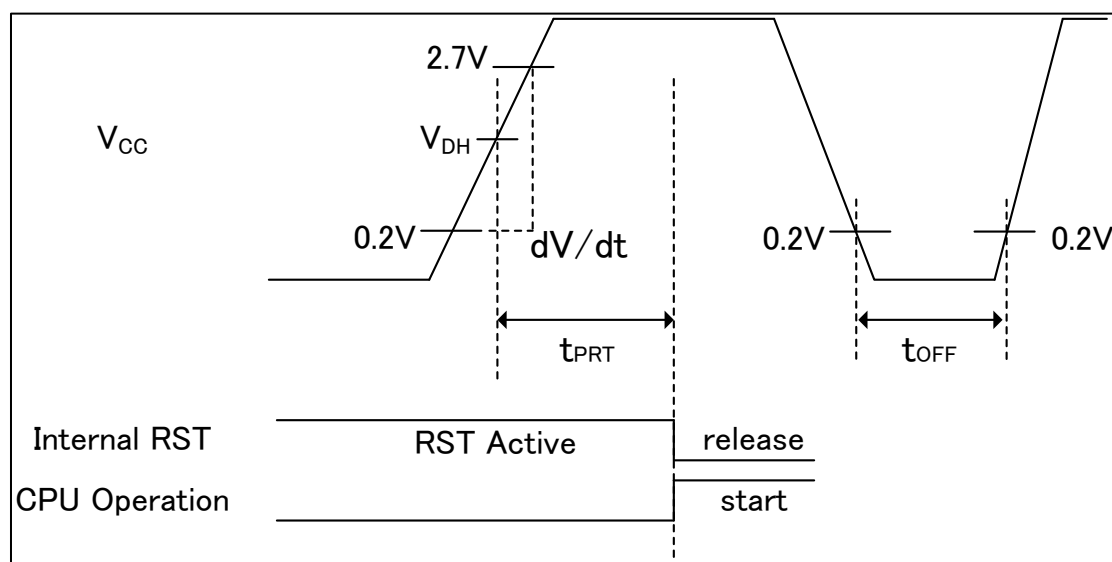
項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
電源断時間	t_{OFF}	VCC	-	0	-	-	ms	*1
電源立上り速度	dV/dt		$V_{CC}: 0.2V \sim 2.70V$	0.9	-	1000	mV/ μs	*2
パワーオンリセット解除までの時間	t_{PRT}		-	0.446	-	0.744	ms	

*1: V_{CC} は t_{OFF} 最小期間中 0.2V 以下である必要があります。この状態が満たせない場合、誤った初期化が発生する可能性があります。

*2: この dV/dt 規格は cold start ($t_{OFF} > 50ms$) のパワーオン時に適用されます。

<注意事項>

- t_{OFF} が満たせない設計は、パワーオン時や電圧低下時には 12.4.6 による外部リセット(INTX)をアサートする必要があります。



用語解説

- VDH: 定電圧検出リセット解除電圧「10.8.定電圧検出特性」を参照してください。

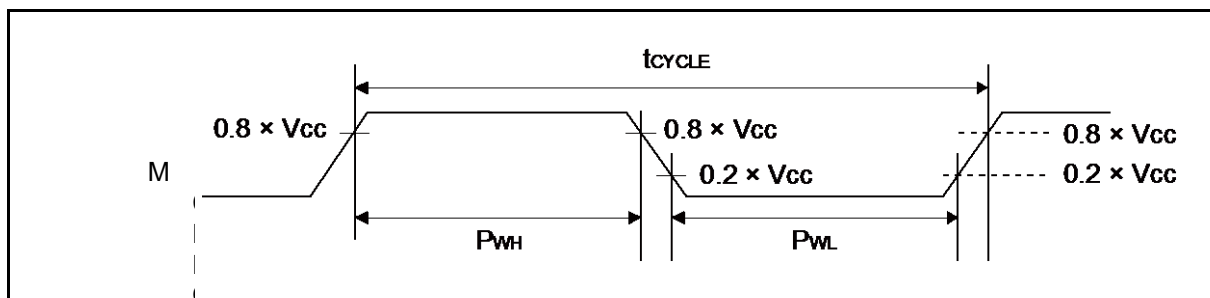
12.4.8 外バスタイミング

外バスクロック出力規格

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
出力周波数	t_{CYCLE}	MCLKOUT*	$V_{CC} \geq 4.5V$	-	50	MHz
			$V_{CC} < 4.5V$	-	32	MHz

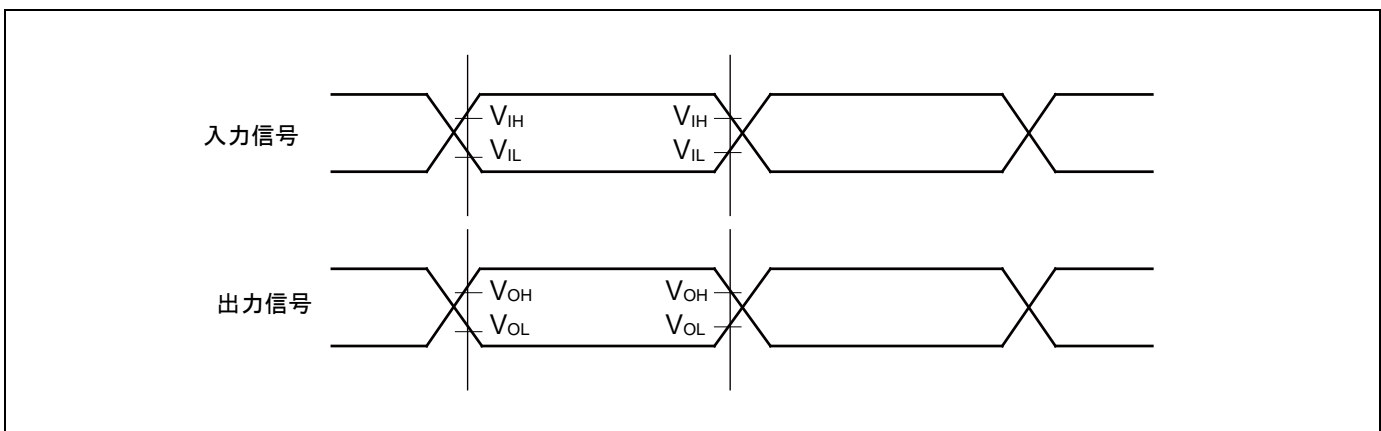
*: 外バスクロック出力(MCLKOUT)はHCLKの分周クロックです。
 設定の詳細は『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 12: 外部バスインタフェース』を参照してください。
 外バスクロック出力を行わない場合、本規格は外バス動作に影響しません。



外バス信号入出力規格

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

項目	記号	条件	規格値	単位	備考
信号入力規格	V_{IH}	-	$0.8 \times V_{CC}$	V	
	V_{IL}		$0.2 \times V_{CC}$	V	
信号出力規格	V_{OH}	-	$0.8 \times V_{CC}$	V	
	V_{OL}		$0.2 \times V_{CC}$	V	

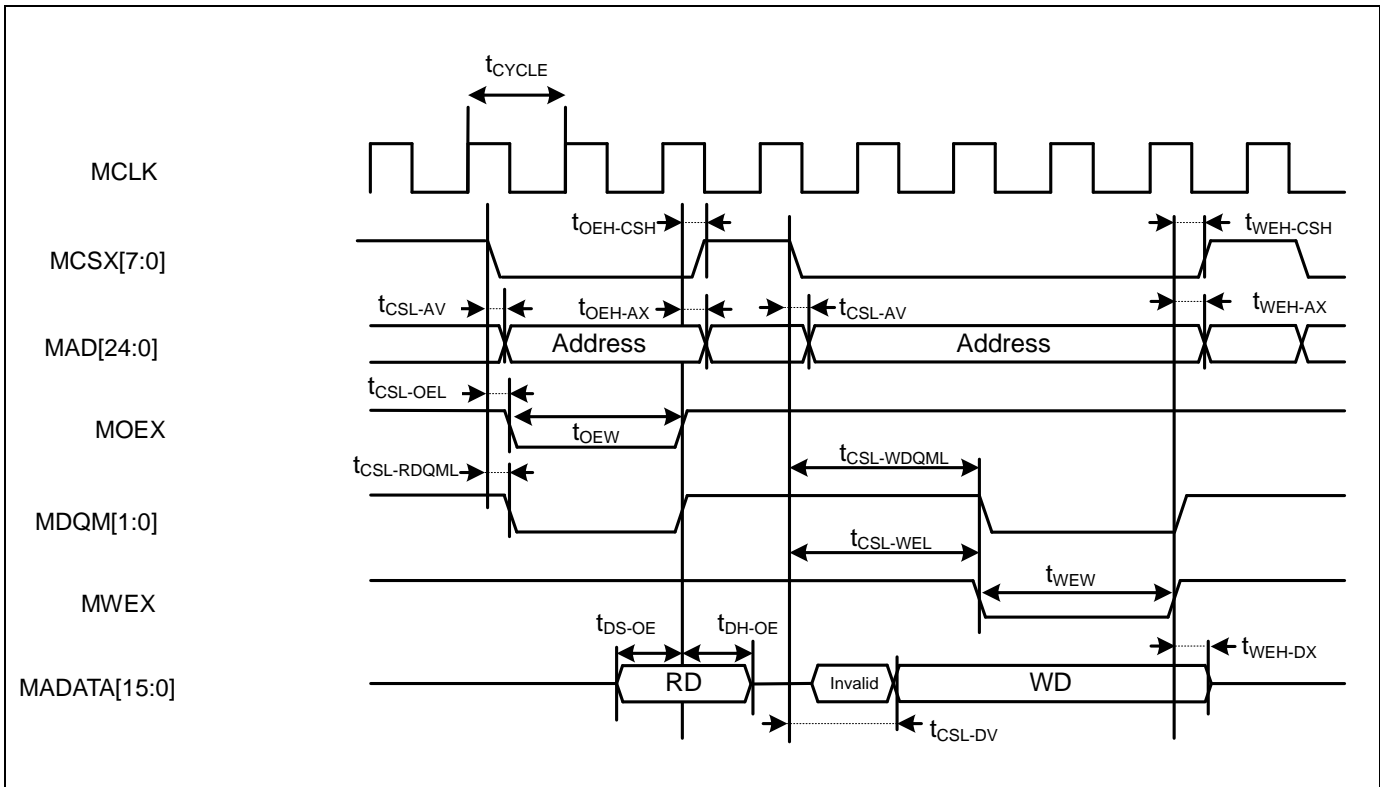


セパレートバスアクセス 非同期 SRAM モード
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	端子名	条件	規格値		単位
				最小	最大	
MOEX 最小パルス幅	$t_{OE\overline{W}}$	MOEX	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	$MCLK \times n - 3$	-	ns
MCSX↓→アドレス出力遅延時間	t_{CSL-AV}	MCSX[7:0], MAD[24:0]	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	-9 -12	+9 +12	ns
MOEX↑→アドレスホールド時間	$t_{OE\overline{H}}-AX$	MOEX, MAD[24:0]	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	0	$MCLK \times m + 9$ $MCLK \times m + 12$	ns
MCSX↓→ MOEX↓遅延時間	$t_{CSL-OEL}$	MOEX, MCSX[7:0]	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	$MCLK \times m - 9$ $MCLK \times m - 12$	$MCLK \times m + 9$ $MCLK \times m + 12$	ns
MOEX↑→ MCSX↑時間	$t_{OE\overline{H}}-CSH$		$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	0	$MCLK \times m + 9$ $MCLK \times m + 12$	ns
MCSX↓→MDQM↓ 遅延時間	$t_{CSL-RDQML}$	MCSX, MDQM[1:0]	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	$MCLK \times m - 9$ $MCLK \times m - 12$	$MCLK \times m + 9$ $MCLK \times m + 12$	ns
データセットアップ →MOEX↑時間	t_{DS-OE}	MOEX, MADATA[15:0]	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	20 38	- -	ns
MOEX↑→ データホールド時間	t_{DH-OE}	MOEX, MADATA[15:0]	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	0	-	ns
MWEX 最小パルス幅	$t_{WE\overline{W}}$	MWEX	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	$MCLK \times n - 3$	-	ns
MWEX↑→アドレス出力遅延時間	$t_{WE\overline{H}}-AX$	MWEX, MAD[24:0]	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	0	$MCLK \times m + 9$ $MCLK \times m + 12$	ns
MCSX↓→MWEX↓ 遅延時間	$t_{CSL-WEL}$	MWEX, MCSX[7:0]	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	$MCLK \times n - 9$ $MCLK \times n - 12$	$MCLK \times n + 9$ $MCLK \times n + 12$	ns
MWEX↑→MCSX↑ 遅延時間	$t_{WE\overline{H}}-CSH$		$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	0	$MCLK \times m + 9$ $MCLK \times m + 12$	ns
MCSX↓→MDQM↓ 遅延時間	$t_{CSL-WDQML}$	MCSX, MDQM[1:0]	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	$MCLK \times n - 9$ $MCLK \times n - 12$	$MCLK \times n + 9$ $MCLK \times n + 12$	ns
MCSX↓→ データ出力時間	t_{CSL-DV}	MCSX, MADATA[15:0]	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	$MCLK - 9$ $MCLK - 12$	$MCLK + 9$ $MCLK + 12$	ns
MWEX↑→ データホールド時間	$t_{WE\overline{H}}-DX$	MWEX, MADATA[15:0]	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	0	$MCLK \times m + 12$	ns

<注意事項>

- 外部負荷容量 $C_L = 30\text{ pF}$ 時 ($m=0 \sim 15, n=1 \sim 16$)

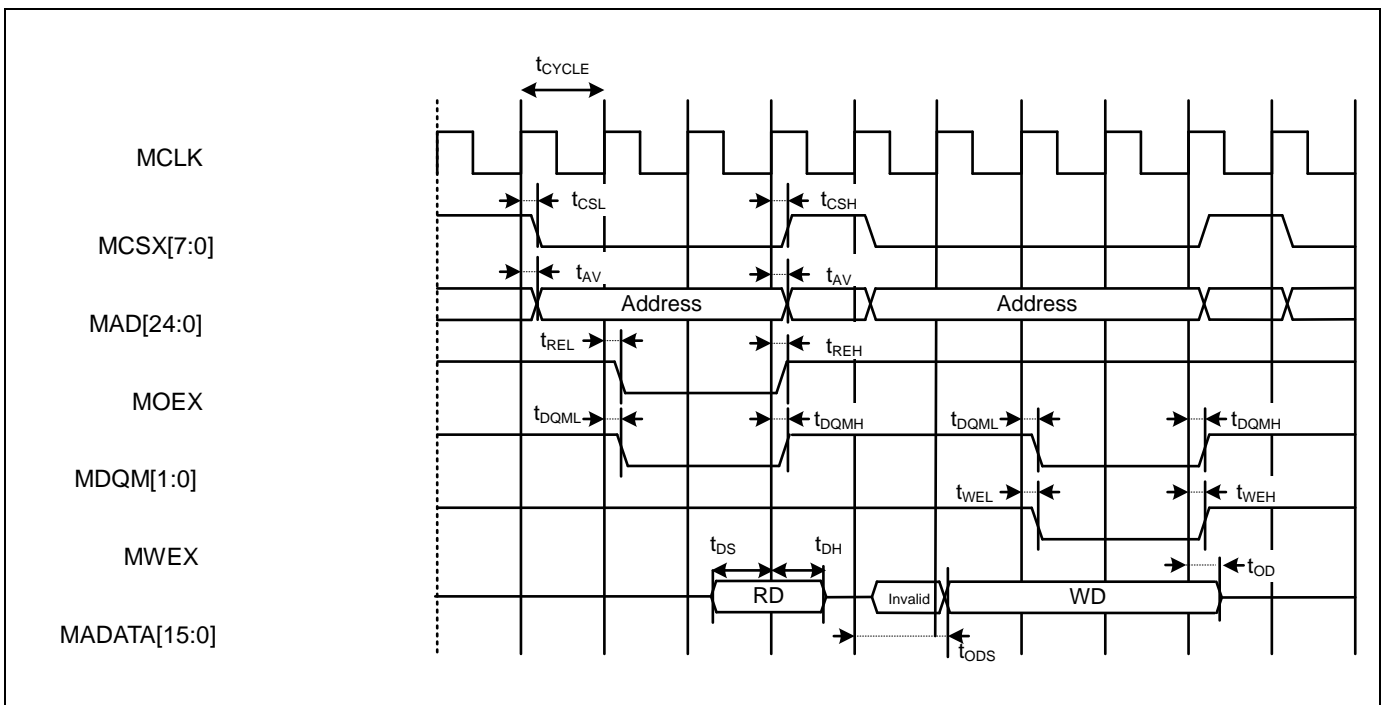


セパレートバスアクセス 同期 SRAM モード
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	端子名	条件	規格値		単位
				最小	最大	
アドレス遅延時間	t _{AV}	MCLK, MAD[24:0]	V _{CC} ≧4.5 V V _{CC} <4.5 V	1	12	ns
MCSX 遅延時間	t _{CSL}	MCLK, MCSX[7:0]	V _{CC} ≧4.5 V	1	9	ns
			V _{CC} <4.5 V		12	
	t _{CSH}		V _{CC} ≧4.5 V	1	9	ns
			V _{CC} <4.5 V		12	
MOEX 遅延時間	t _{REL}	MCLK, MOEX	V _{CC} ≧4.5 V	1	9	ns
			V _{CC} <4.5 V		12	
	t _{REH}		V _{CC} ≧4.5 V	1	9	ns
			V _{CC} <4.5 V		12	
データセットアップ →MCLK↑時間	t _{DS}	MCLK, MADATA[15:0]	V _{CC} ≧4.5 V	19	-	ns
			V _{CC} <4.5 V	37		
MCLK↑→ データホールド時間	t _{DH}	MCLK, MADATA[15:0]	V _{CC} ≧4.5 V	0	-	ns
			V _{CC} <4.5 V			
MWEX 遅延時間	t _{WEL}	MCLK, MWEX	V _{CC} ≧4.5 V	1	9	ns
			V _{CC} <4.5 V		12	
	t _{WEH}		V _{CC} ≧4.5 V	1	9	ns
			V _{CC} <4.5 V		12	
MDQM[1:0] 遅延時間	t _{DQML}	MCLK, MDQM[1:0]	V _{CC} ≧4.5 V	1	9	ns
			V _{CC} <4.5 V		12	
	t _{DQMH}		V _{CC} ≧4.5 V	1	9	ns
			V _{CC} <4.5 V		12	
MCLK↑→ データ出力時間	t _{ODS}	MCLK, MADATA[15:0]	V _{CC} ≧4.5 V	MCLK+1	MCLK+18	ns
			V _{CC} <4.5 V		MCLK+24	
MCLK↑→ データホールド時間	t _{OD}	MCLK, MADATA[15:0]	V _{CC} ≧4.5 V	1	18	ns
			V _{CC} <4.5 V		24	

<注意事項>

– 外部負荷容量 $C_L = 30\text{ pF}$ 時



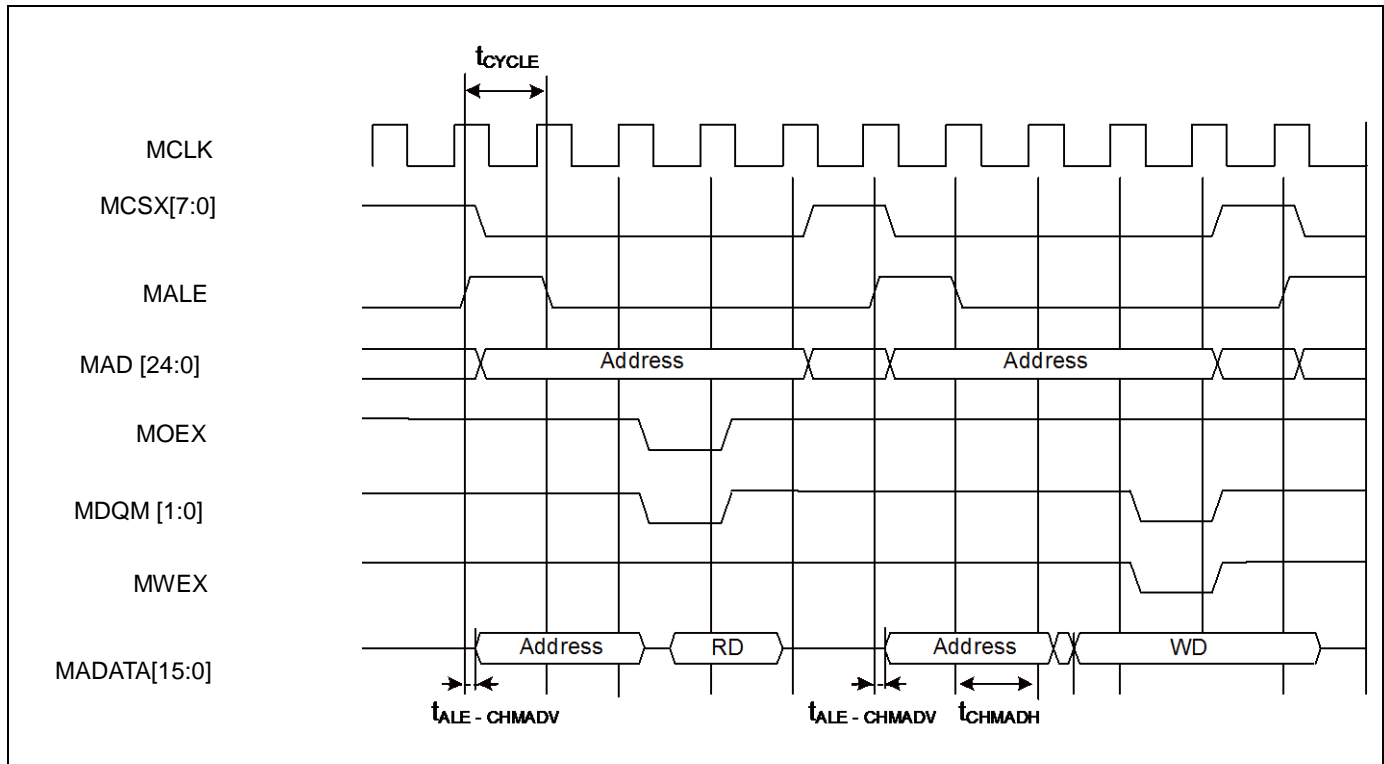
マルチプレクスバスアクセス 非同期 SRAM モード

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
マルチプレクス アドレス遅延時間	$t_{ALE-CHMADV}$	MALE, MADATA[15:0]	$V_{CC} \geq 4.5V$	0	+10	ns
			$V_{CC} < 4.5V$		+20	
マルチプレクス アドレスホールド 時間	t_{CHMADH}		$V_{CC} \geq 4.5V$	$MCLK \times n + 0$	$MCLK \times n + 12$	ns
			$V_{CC} < 4.5V$	$MCLK \times n + 0$	$MCLK \times n + 20$	

<注意事項>

- 外部負荷容量 $C_L = 30pF$ 時 ($m=0 \sim 15$, $n=1 \sim 16$)

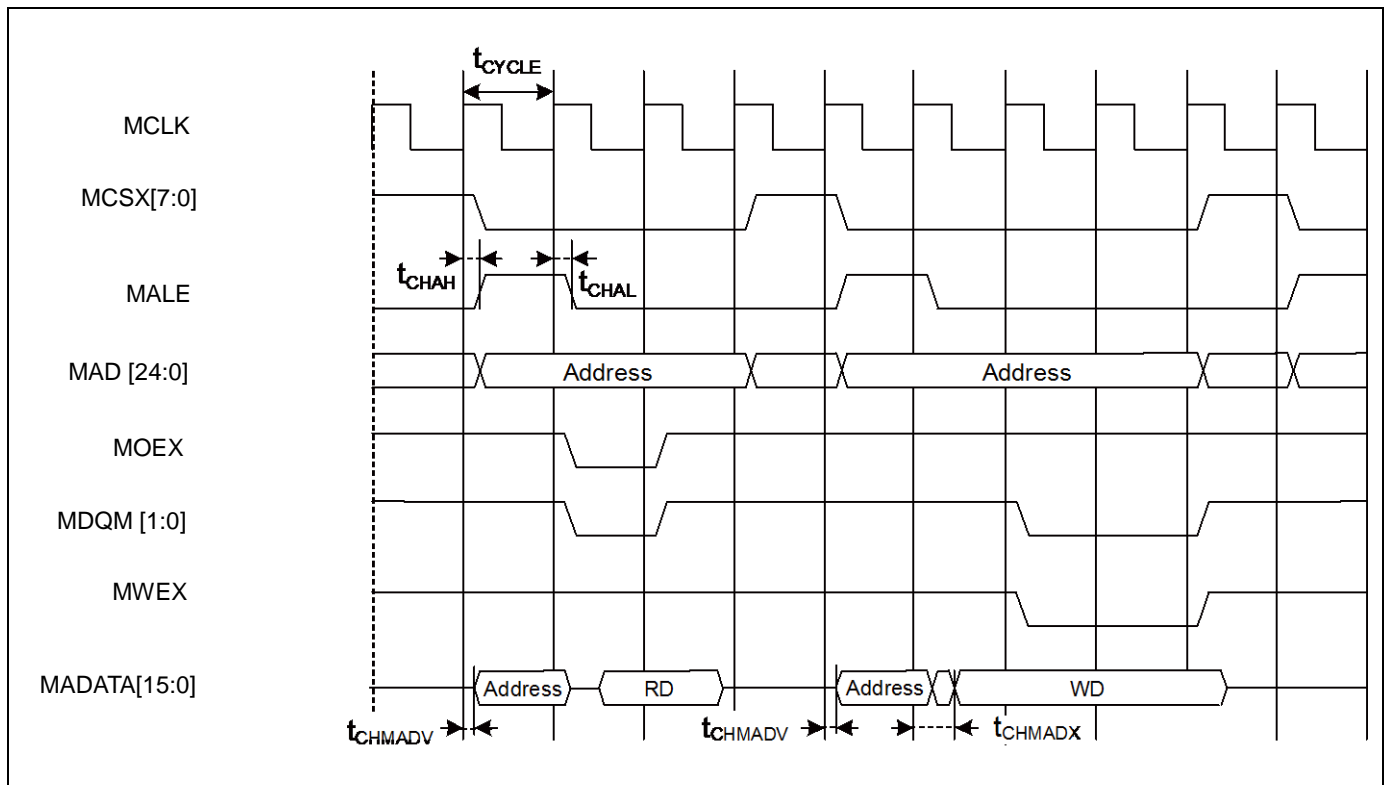


マルチプレクスバスアクセス 同期 SRAM モード
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
MALE 遅延時間	t _{CHAL}	MCLK, ALE	V _{CC} ≧4.5 V	1	9	ns	
			V _{CC} <4.5 V		12	ns	
	t _{CHAH}		V _{CC} ≧4.5 V	1	9	ns	
			V _{CC} <4.5 V		12	ns	
MCLK ↑ → マルチプレクス アドレス遅延時間	t _{CHMADV}	MCLK, MADATA[15:0]	V _{CC} ≧4.5 V	1	t _{OD}	ns	
	V _{CC} <4.5 V						
MCLK ↑ → マルチプレクス データ出力時間	t _{CHMADX}		V _{CC} ≧4.5 V	1	t _{OD}	ns	
			V _{CC} <4.5 V				

<注意事項>

- 外部負荷容量 $C_L = 30\text{ pF}$ 時



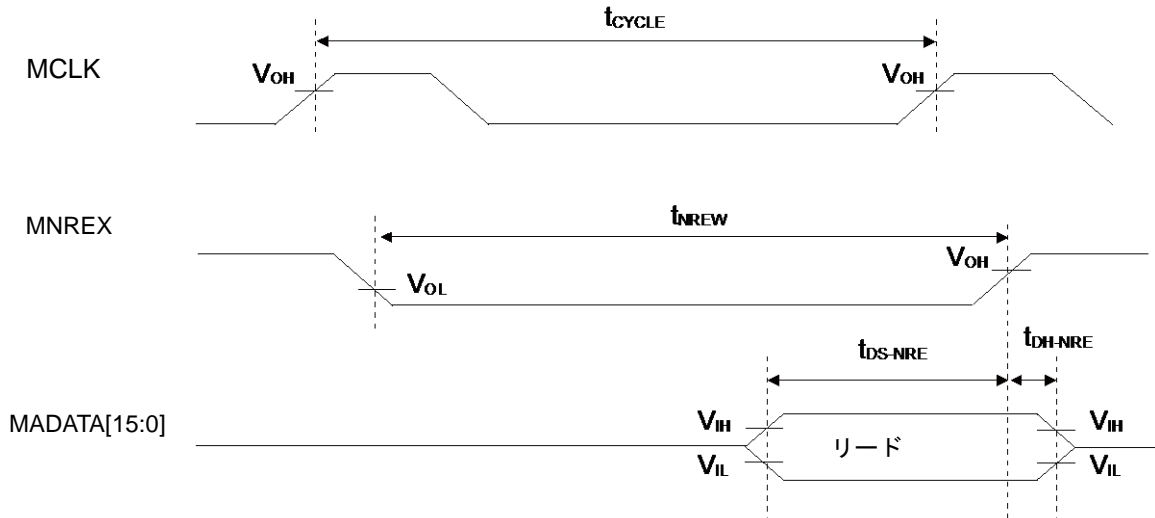
NAND フラッシュメモリモード
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	端子名	条件	規格値		単位
				最小	最大	
MNREX 最小パルス幅	t_{NREW}	MNREX	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	$MCLK \times n - 3$	-	ns
データセットアップ →MNREX↑時間	t_{DS-NRE}	MNREX, MADATA[15:0]	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	20 38	- -	ns
MNREX↑→ データホールド時間	t_{DH-NRE}	MNREX, MADATA[15:0]	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	0	-	ns
MNALE↑→ MNWEX 遅延時間	$t_{ALEH-NWEL}$	MNALE, MNWEX	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	$MCLK \times m - 9$ $MCLK \times m - 12$	$MCLK \times m + 9$ $MCLK \times m + 12$	ns
MNALE↓→ MNWEX 遅延時間	$t_{ALEL-NWEL}$	MNALE, MNWEX	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	$MCLK \times m - 9$ $MCLK \times m - 12$	$MCLK \times m + 9$ $MCLK \times m + 12$	ns
MNCLE↑→ MNWEX 遅延時間	$t_{CLEH-NWEL}$	MNCLE, MNWEX	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	$MCLK \times m - 9$ $MCLK \times m - 12$	$MCLK \times m + 9$ $MCLK \times m + 12$	ns
MNWEX↑→ MNCLE 遅延時間	$t_{NWEH-CLEL}$	MNCLE, MNWEX	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	0	$MCLK \times m + 9$ $MCLK \times m + 12$	ns
MNWEX 最小パルス幅	t_{NWEW}	MNWEX	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	$MCLK \times n - 3$	-	ns
MNWEX↓→ データ出力時間	$t_{NWEL-DV}$	MNWEX, MADATA[15:0]	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	-9 -12	+9 +12	ns
MNWEX↑→ データホールド時間	$t_{NWEH-DX}$	MNWEX, MADATA[15:0]	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	0	$MCLK \times m + 11$ $MCLK \times m + 12$	ns

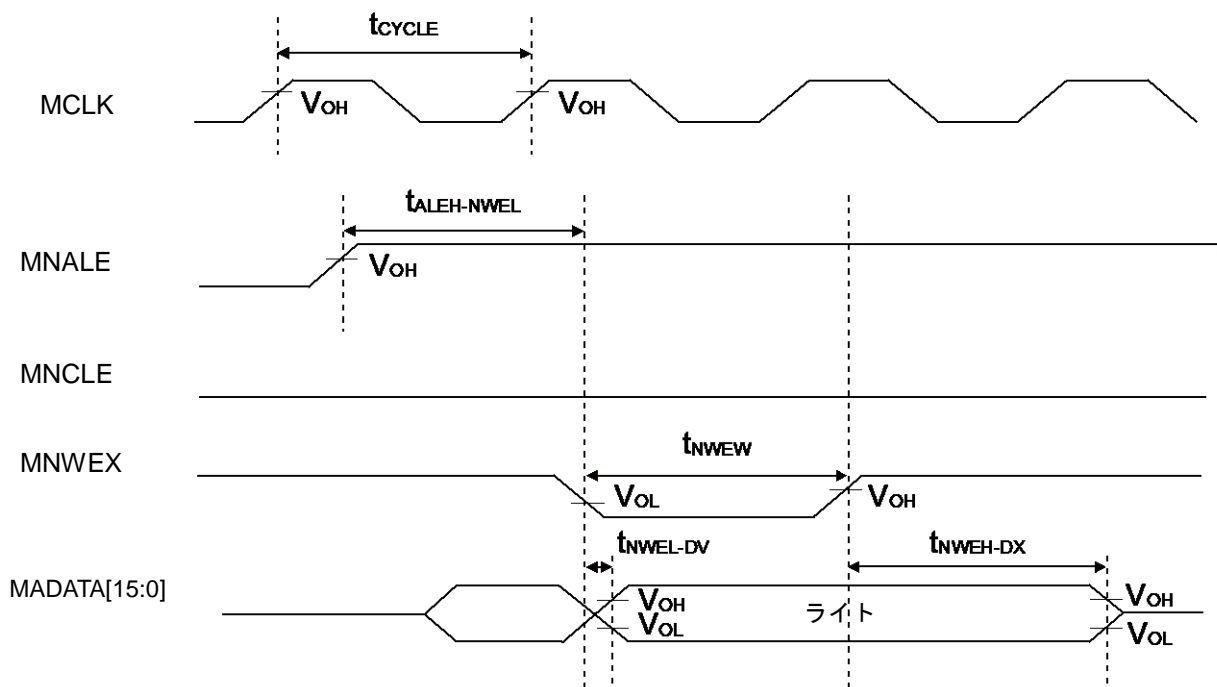
<注意事項>

- 外部負荷容量 $C_L = 30 pF$ 時 ($m=0 \sim 15, n=1 \sim 16$)

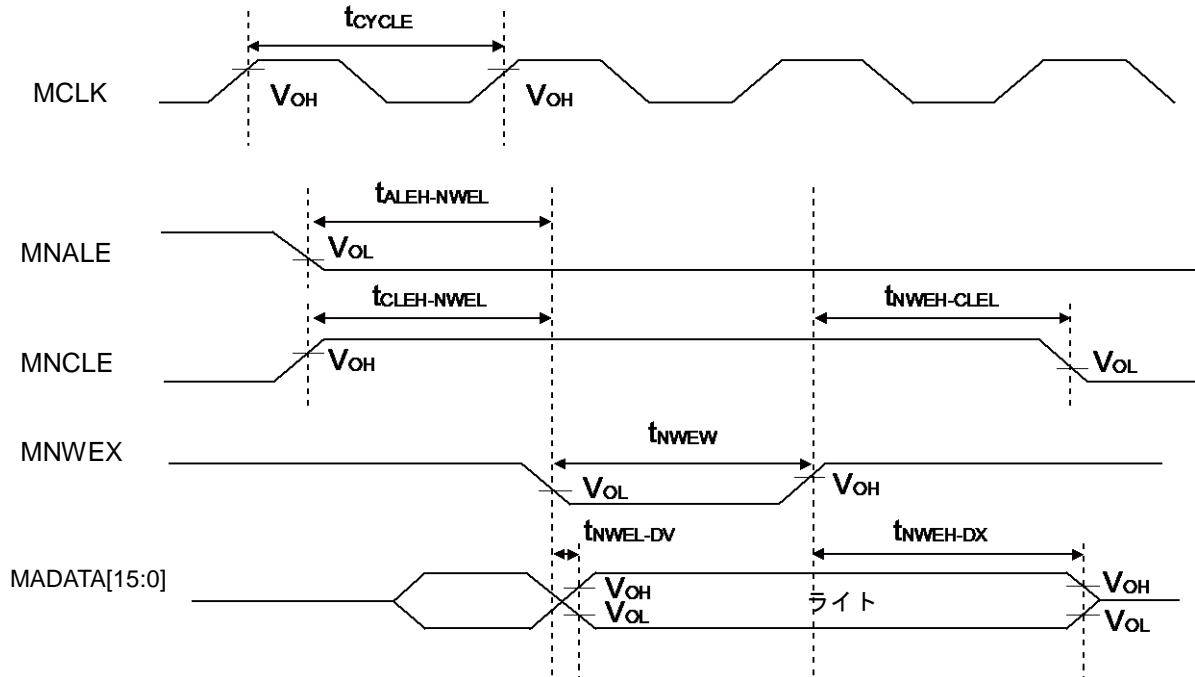
NAND フラッシュメモリリード



NAND フラッシュメモリアドレスライト

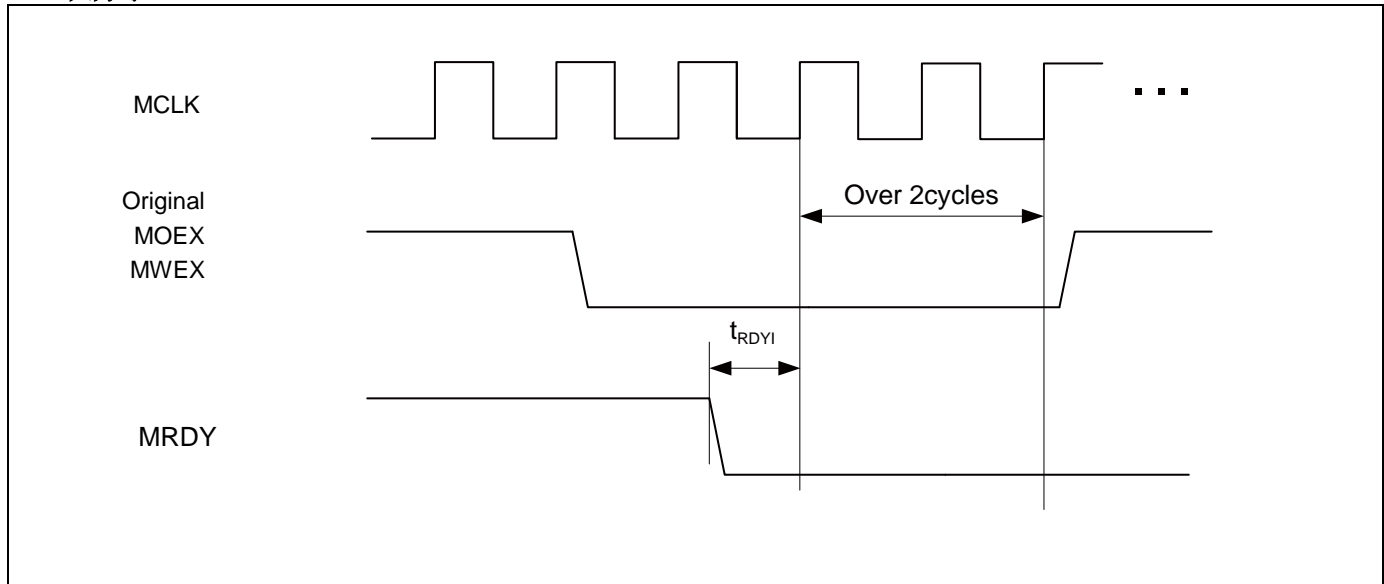
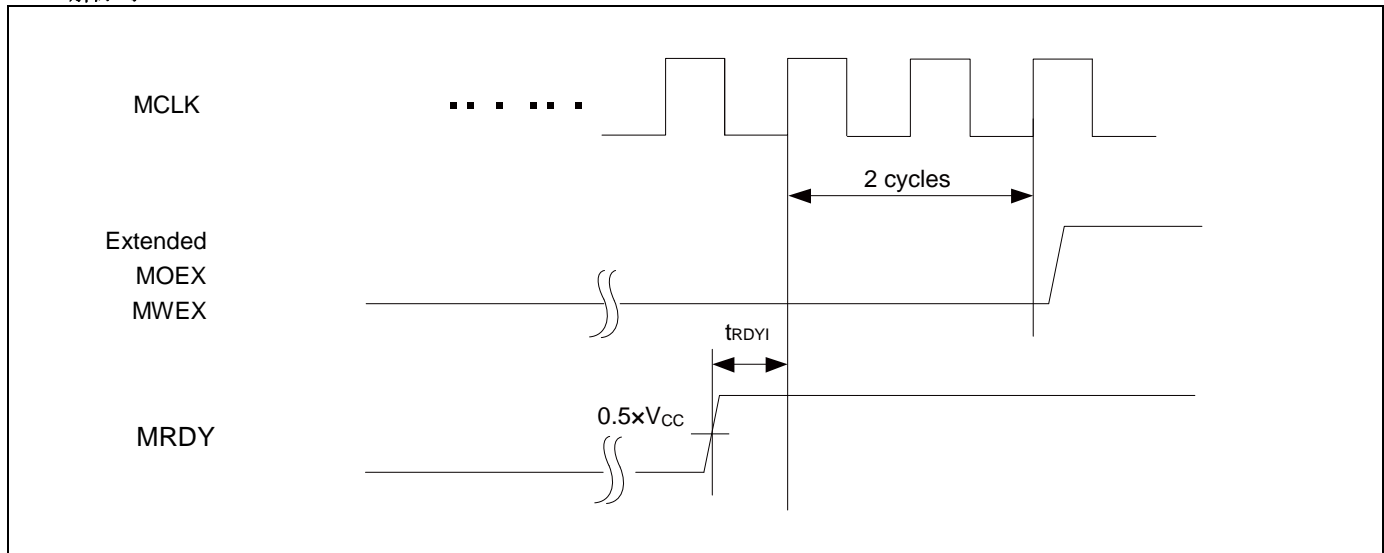


NAND フラッシュメモリコマンドライト



外部 RDY 入力タイミング
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
MCLK ↑ MRDY 入力 セットアップ時間	t_{RDYI}	MCLK, MRDY	$V_{CC} \geq 4.5V$	19	-	ns	
			$V_{CC} < 4.5V$	37			

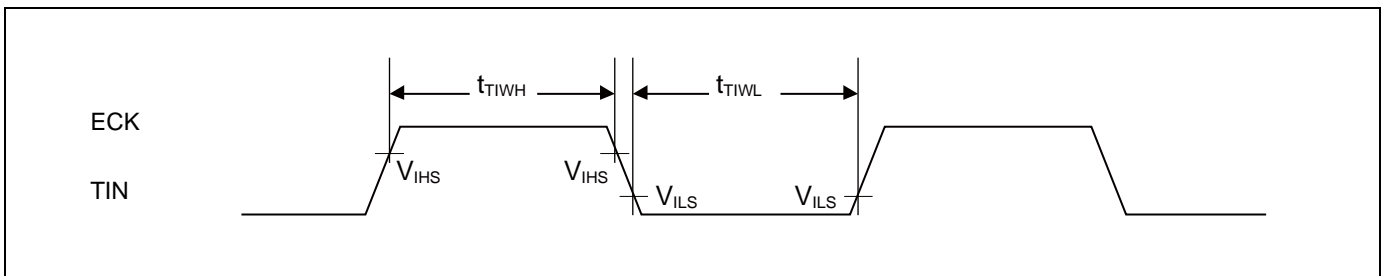
RDY 入力時

RDY 解除時


12.4.9 ベースタイマ入力タイミング

タイマ入力タイミング

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

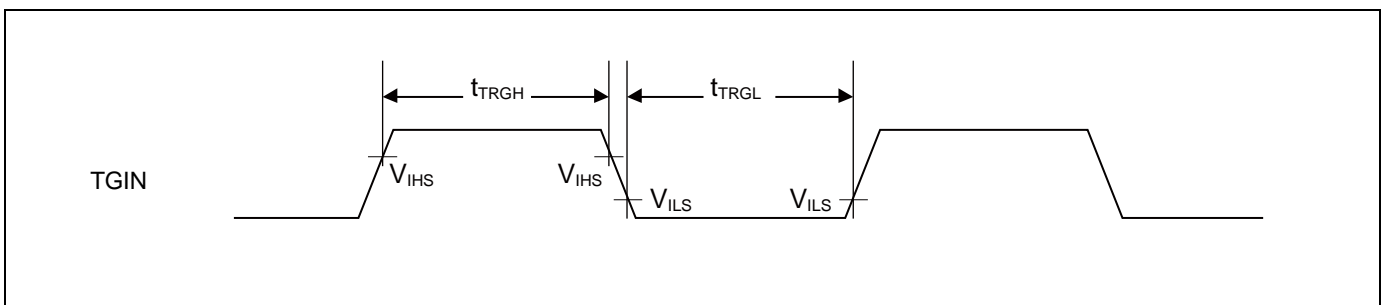
項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t_{TIWH} , t_{TIWL}	TIOAn/TIOBn (ECK, TIN として 使用するとき)	-	$2t_{CYCP}$	-	ns	



トリガ入力タイミング

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t_{TRGH} , t_{TRGL}	TIOAn/TIOBn (TGIN として 使用するとき)	-	$2t_{CYCP}$	-	ns	



<注意事項>

- t_{CYCP} は、APB バスクロックのサイクル時間です。
ベースタイマが接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。

12.4.10 CSIO/UART タイミング

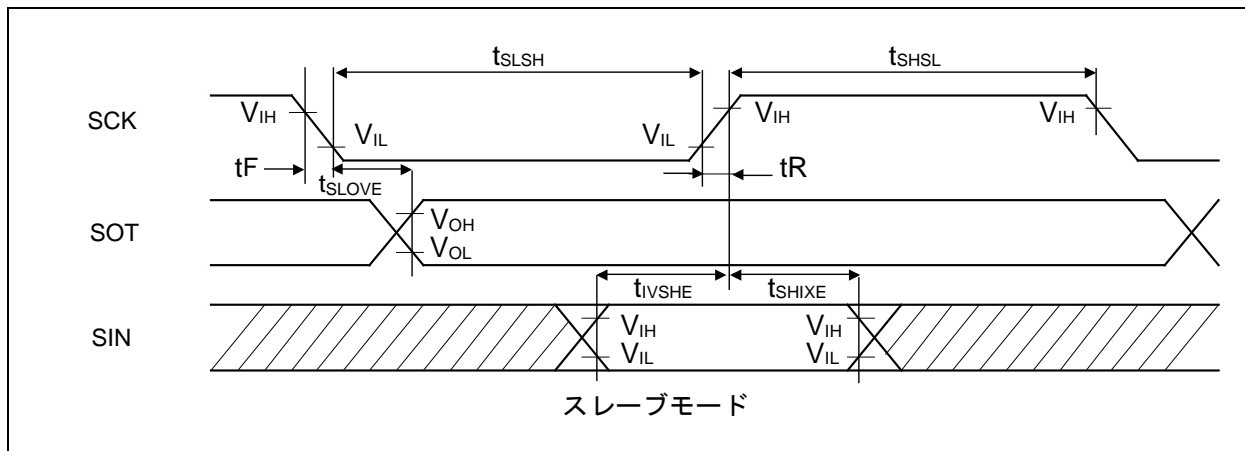
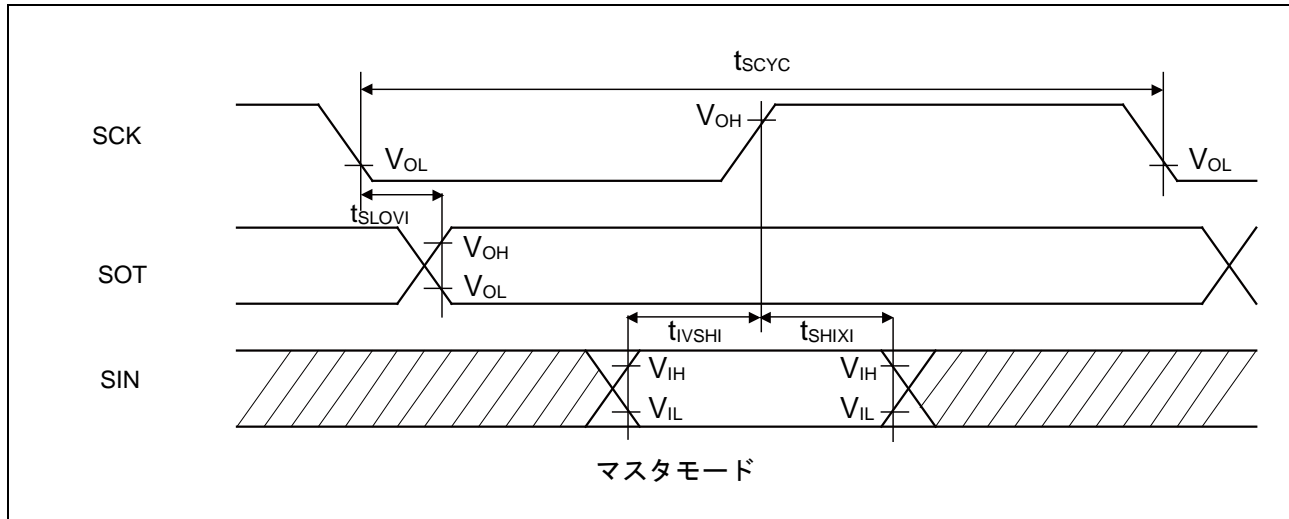
CSIO (SPI = 0, SCINV = 0)

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

項目	記号	端子名	条件	$V_{CC} < 4.5 V$		$V_{CC} \geq 4.5 V$		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロック サイクルタイム	t_{SCYC}	SCK _x	マスタ モード	$4t_{CYCP}$	-	$4t_{CYCP}$	-	ns
SCK ↓ → SOT 遅延時間	t_{SLOVI}	SCK _x , SOT _x		- 30	+ 30	- 20	+ 20	ns
SIN → SCK ↑ セットアップ時間	t_{IVSHI}	SCK _x , SIN _x		50	-	30	-	ns
SCK ↑ → SIN ホールド時間	t_{SHIXI}	SCK _x , SIN _x		0	-	0	-	ns
シリアルクロック "L"パルス幅	t_{LSLH}	SCK _x	スレーブ モード	$2t_{CYCP} - 10$	-	$2t_{CYCP} - 10$	-	ns
シリアルクロック "H"パルス幅	t_{HSL}	SCK _x		$t_{CYCP} + 10$	-	$t_{CYCP} + 10$	-	ns
SCK ↓ → SOT 遅延時間	t_{SLOVE}	SCK _x , SOT _x		-	50	-	33	ns
SIN → SCK ↑ セットアップ時間	t_{IVSHE}	SCK _x , SIN _x		10	-	10	-	ns
SCK ↑ → SIN ホールド時間	t_{SHIXE}	SCK _x , SIN _x		20	-	20	-	ns
SCK 立下り時間	tF	SCK _x		-	5	-	5	ns
SCK 立上り時間	tR	SCK _x		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。
例えば SCK_{x_0}, SOT_{x_1} の組み合わせは保証外です。
- 外部負荷容量 $C_L = 30 \text{ pF}$ 時

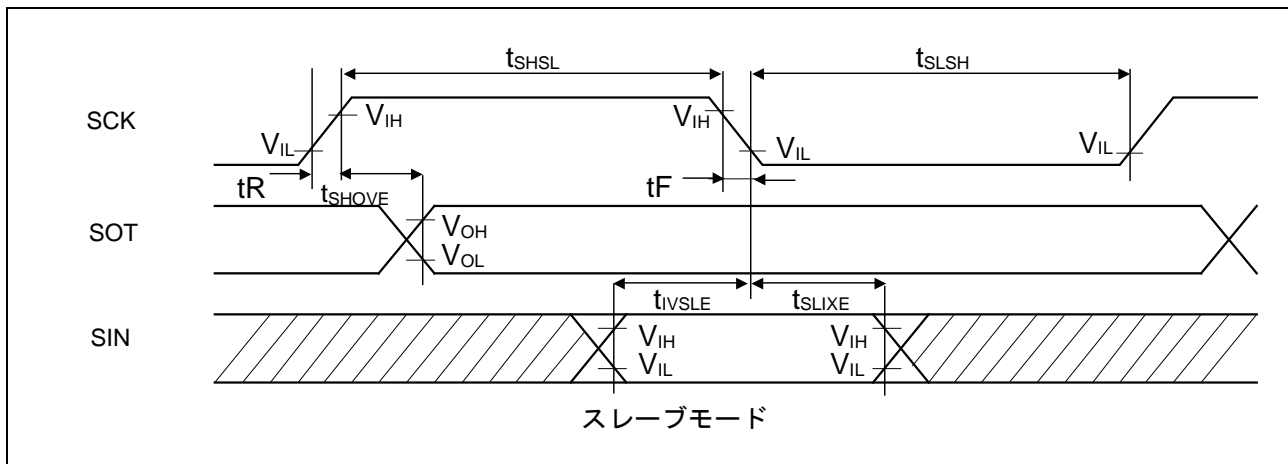
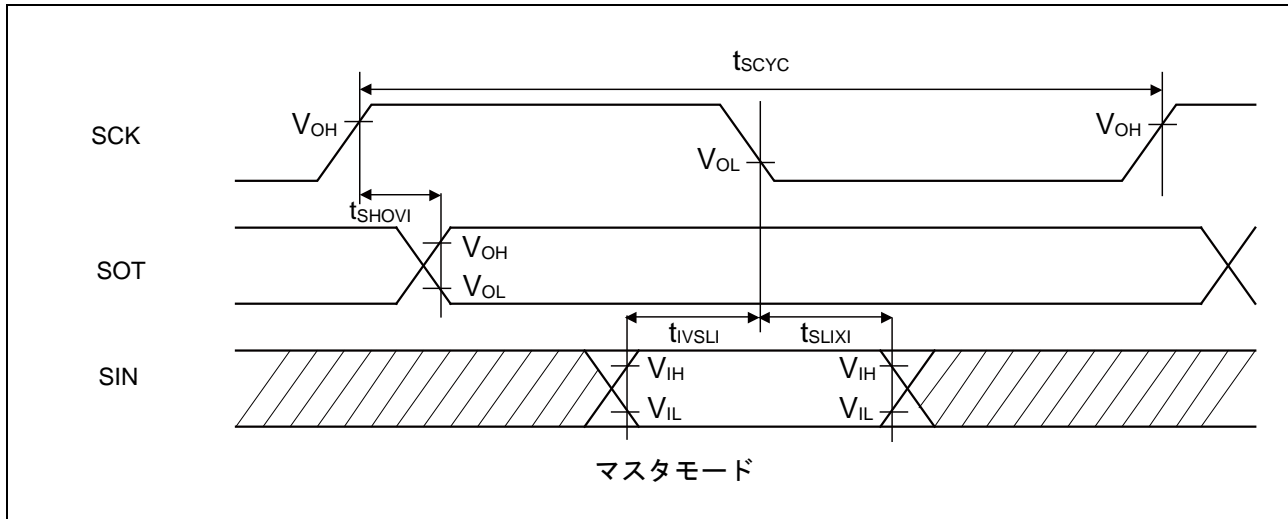


CSIO (SPI = 0, SCINV = 1)
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	端子名	条件	$V_{CC} < 4.5 V$		$V_{CC} \geq 4.5 V$		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロック サイクルタイム	t_{SCYC}	SCK _x	マスタ モード	$4t_{CYCP}$	-	$4t_{CYCP}$	-	ns
SCK ↑ → SOT 遅延時間	t_{SHOVI}	SCK _x , SOT _x		- 30	+ 30	- 20	+ 20	ns
SIN → SCK ↓ セットアップ時間	t_{IVSLI}	SCK _x , SIN _x		50	-	30	-	ns
SCK ↓ → SIN ホールド時間	t_{SLIXI}	SCK _x , SIN _x		0	-	0	-	ns
シリアルクロック "L"パルス幅	t_{LSLH}	SCK _x		$2t_{CYCP} - 10$	-	$2t_{CYCP} - 10$	-	ns
シリアルクロック "H"パルス幅	t_{SHSL}	SCK _x	スレーブ モード	$t_{CYCP} + 10$	-	$t_{CYCP} + 10$	-	ns
SCK ↑ → SOT 遅延時間	t_{SHOVE}	SCK _x , SOT _x		-	50	-	33	ns
SIN → SCK ↓ セットアップ時間	t_{IVSLE}	SCK _x , SIN _x		10	-	10	-	ns
SCK ↓ → SIN ホールド時間	t_{SLIXE}	SCK _x , SIN _x		20	-	20	-	ns
SCK 立下り時間	tF	SCK _x		-	5	-	5	ns
SCK 立上り時間	tR	SCK _x		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。
例えば SCK_{x_0}, SOT_{x_1} の組み合わせは保証外です。
- 外部負荷容量 $C_L = 30 \text{ pF}$ 時

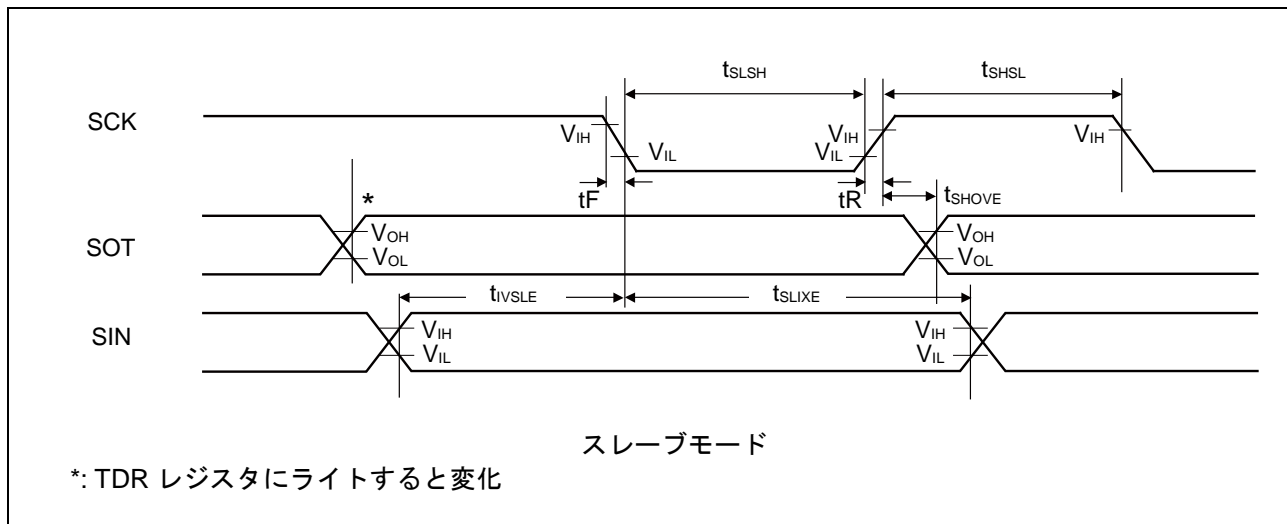
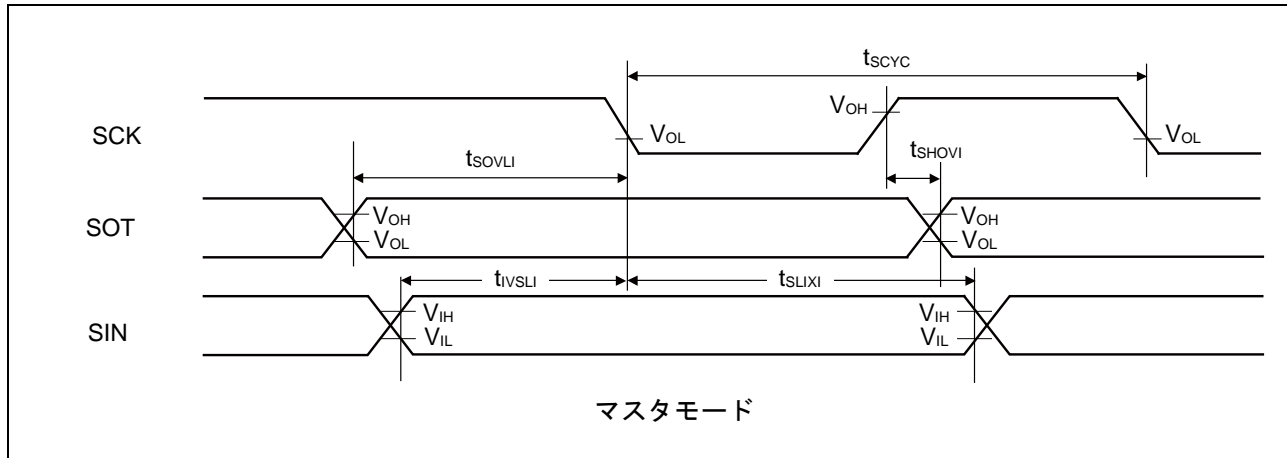


CSIO (SPI = 1, SCINV = 0)
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	端子名	条件	$V_{CC} < 4.5V$		$V_{CC} \geq 4.5V$		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロック サイクルタイム	t_{SCYC}	SCK _x	マスター モード	$4t_{CYCP}$	-	$4t_{CYCP}$	-	ns
SCK ↑ → SOT 遅延時間	t_{SHOVI}	SCK _x , SOT _x		- 30	+ 30	- 20	+ 20	ns
SIN → SCK ↓ セットアップ時間	t_{IVSLI}	SCK _x , SIN _x		50	-	30	-	ns
SCK ↓ → SIN ホールド時間	t_{SLIXI}	SCK _x , SIN _x		0	-	0	-	ns
SOT → SCK ↓ 遅延時間	t_{SOVLI}	SCK _x , SOT _x		$2t_{CYCP} - 30$	-	$2t_{CYCP} - 30$	-	ns
シリアルクロック "L"パルス幅	t_{SLSH}	SCK _x		$2t_{CYCP} - 10$	-	$2t_{CYCP} - 10$	-	ns
シリアルクロック "H"パルス幅	t_{SHSL}	SCK _x	スレーブ モード	$t_{CYCP} + 10$	-	$t_{CYCP} + 10$	-	ns
SCK ↑ → SOT 遅延時間	t_{SHOVE}	SCK _x , SOT _x		-	50	-	33	ns
SIN → SCK ↓ セットアップ時間	t_{IVSLE}	SCK _x , SIN _x		10	-	10	-	ns
SCK ↓ → SIN ホールド時間	t_{SLIXE}	SCK _x , SIN _x		20	-	20	-	ns
SCK 立下り時間	t_F	SCK _x		-	5	-	5	ns
SCK 立上り時間	t_R	SCK _x		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。
例えば SCK_{x_0}, SOT_{x_1} の組み合わせは保証外です。
- 外部負荷容量 $C_L = 30\text{ pF}$ 時



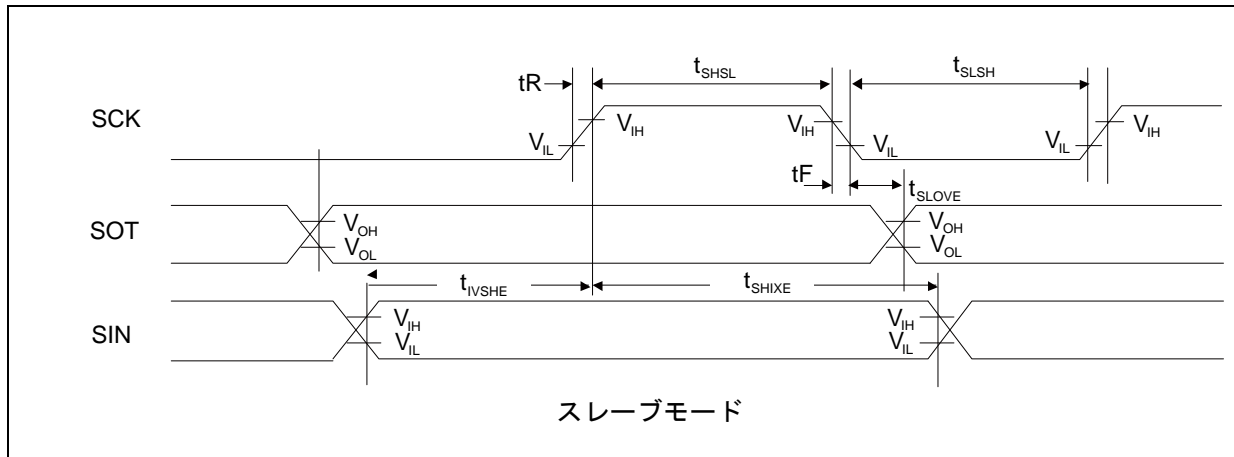
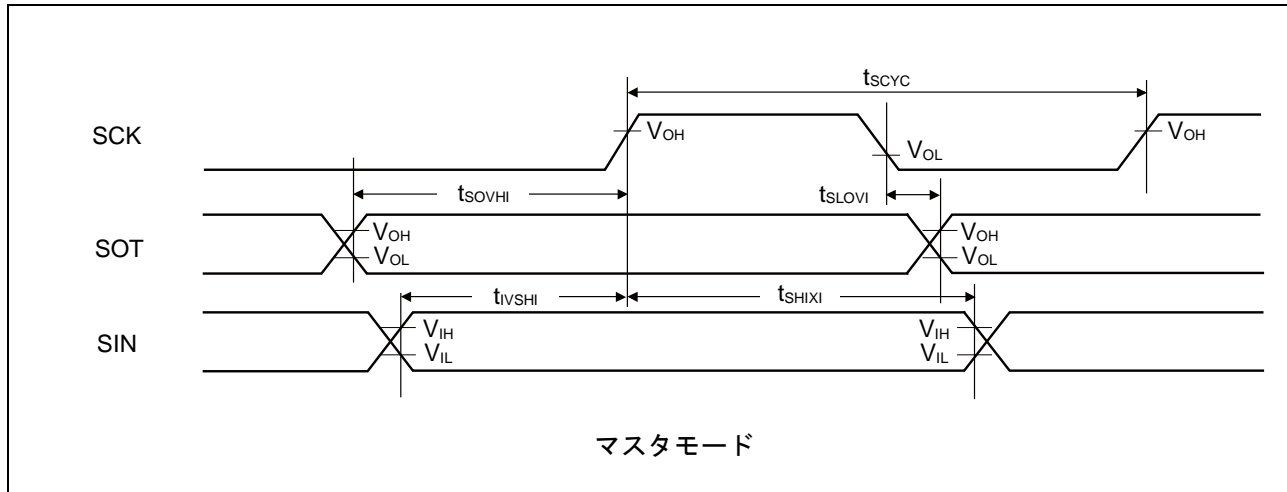
CSIO (SPI = 1, SCINV = 1)

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

項目	記号	端子名	条件	$V_{CC} < 4.5 V$		$V_{CC} \geq 4.5 V$		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロック サイクルタイム	t_{SCYC}	SCKx	マスタ モード	$4t_{CYCP}$	-	$4t_{CYCP}$	-	ns
SCK ↓ → SOT 遅延時間	t_{SLOVI}	SCKx, SOTx		- 30	+ 30	- 20	+ 20	ns
SIN → SCK ↑ セットアップ時間	t_{IVSHI}	SCKx, SINx		50	-	30	-	ns
SCK ↑ → SIN ホールド時間	t_{SHIXI}	SCKx, SINx		0	-	0	-	ns
SOT → SCK ↑ 遅延時間	t_{SOVHI}	SCKx, SOTx		$2t_{CYCP} - 30$	-	$2t_{CYCP} - 30$	-	ns
シリアルクロック "L"パルス幅	t_{LSLH}	SCKx	スレーブ モード	$2t_{CYCP} - 10$	-	$2t_{CYCP} - 10$	-	ns
シリアルクロック "H"パルス幅	t_{HSL}	SCKx		$t_{CYCP} + 10$	-	$t_{CYCP} + 10$	-	ns
SCK ↓ → SOT 遅延時間	t_{SLOVE}	SCKx, SOTx		-	50	-	33	ns
SIN → SCK ↑ セットアップ時間	t_{IVSHE}	SCKx, SINx		10	-	10	-	ns
SCK ↑ → SIN ホールド時間	t_{SHIXE}	SCKx, SINx		20	-	20	-	ns
SCK 立下り時間	tF	SCKx		-	5	-	5	ns
SCK 立上り時間	tR	SCKx		-	5	-	5	ns

<注意事項>

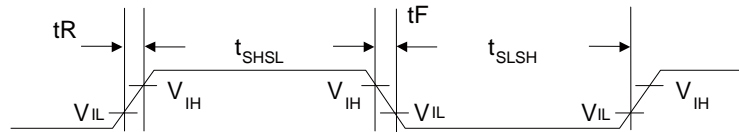
- CLK 同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。
例えば SCKx_0, SOTx_1 の組み合わせは保証外です。
- 外部負荷容量 $C_L = 30 pF$ 時



UART 外部クロック入力 (EXT = 1)
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	条件	規格値		単位	備考
			最小	最大		
シリアルクロック"L"パルス幅	t_{SLSH}	$C_L = 30\text{ pF}$	$t_{CYCP} + 10$	-	ns	
シリアルクロック"H"パルス幅	t_{SHSL}		$t_{CYCP} + 10$	-	ns	
SCK 立下り時間	t_F		-	5	ns	
SCK 立上り時間	t_R		-	5	ns	

SCK



12.4.11 外部入力タイミング
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

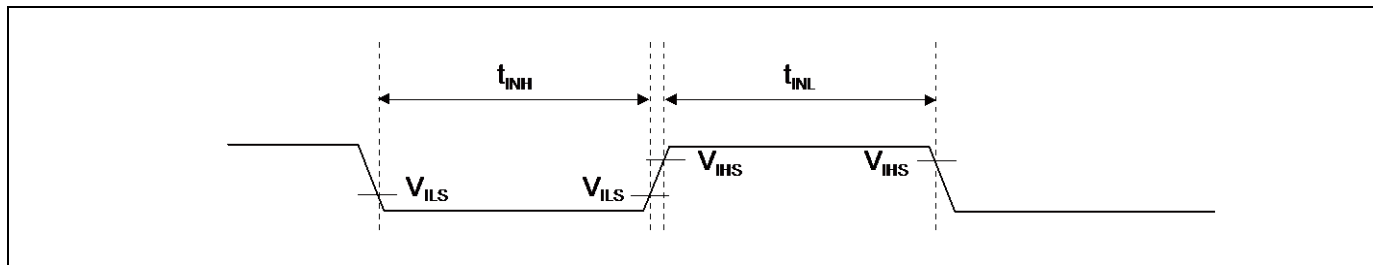
項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t_{INH}, t_{INL}	ADTG	-	$2t_{CYCP}^{*1}$	-	ns	A/D コンバータ トリガ入力
		FRCKx					フリーランタイム 入力クロック
		ICxx					インプット キャプチャ
		DTTlxX	-	$2t_{CYCP}^{*1}$	-	ns	波形ジェネレータ
		INTxx, NMIX	*2	$2t_{CYCP} + 100^{*1}$	-	ns	外部割込み, NMI
			*3	500	-	ns	
		WKUPx	*4	500	-	ns	ディープスタンバイウェイク アップ

*1: t_{CYCP} は APB バスクロックのサイクル時間です。A/D コンバータ, 多機能タイマ, 外部割込みが接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。

*2: ランモード, スリープモード時

*3: タイマモード, ストップモード時

*4: ディープスタンバイ RTC モード, ディープスタンバイストップモード時

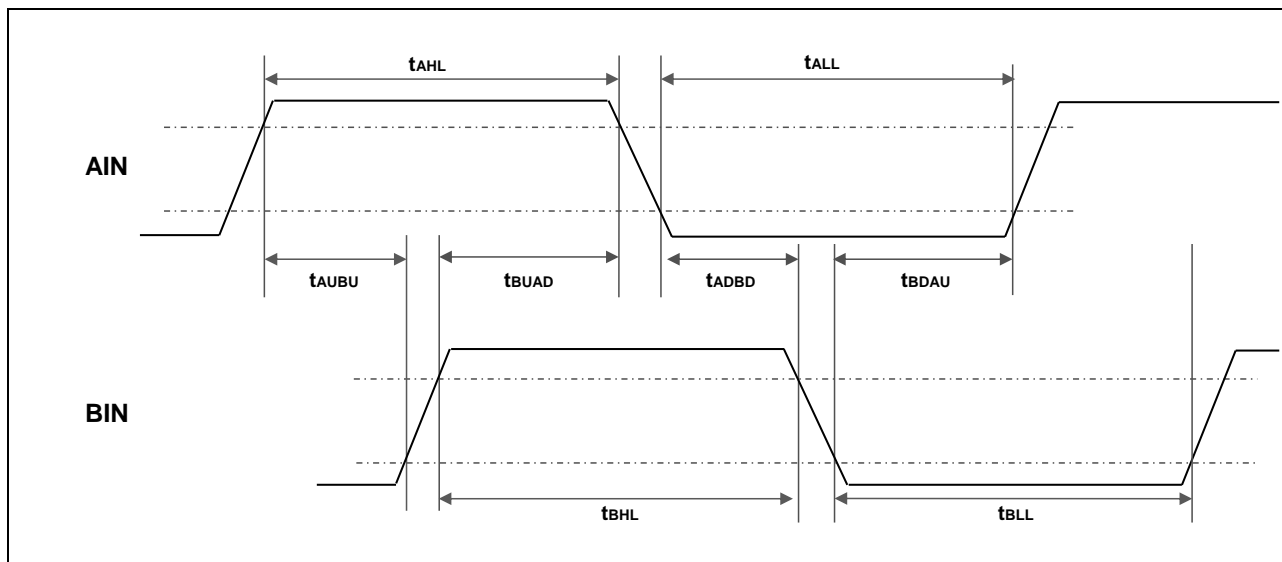


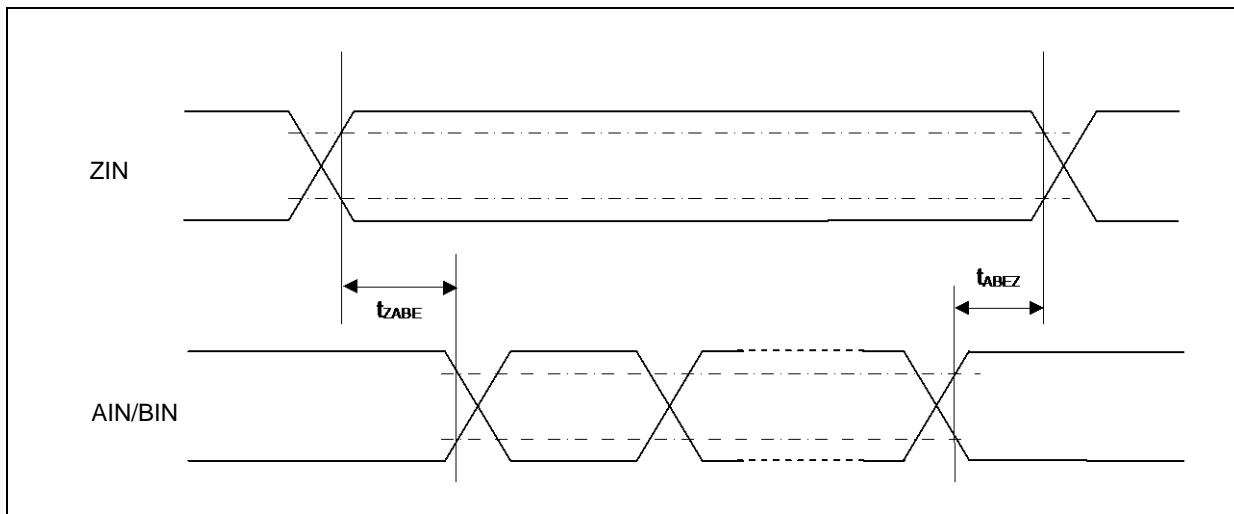
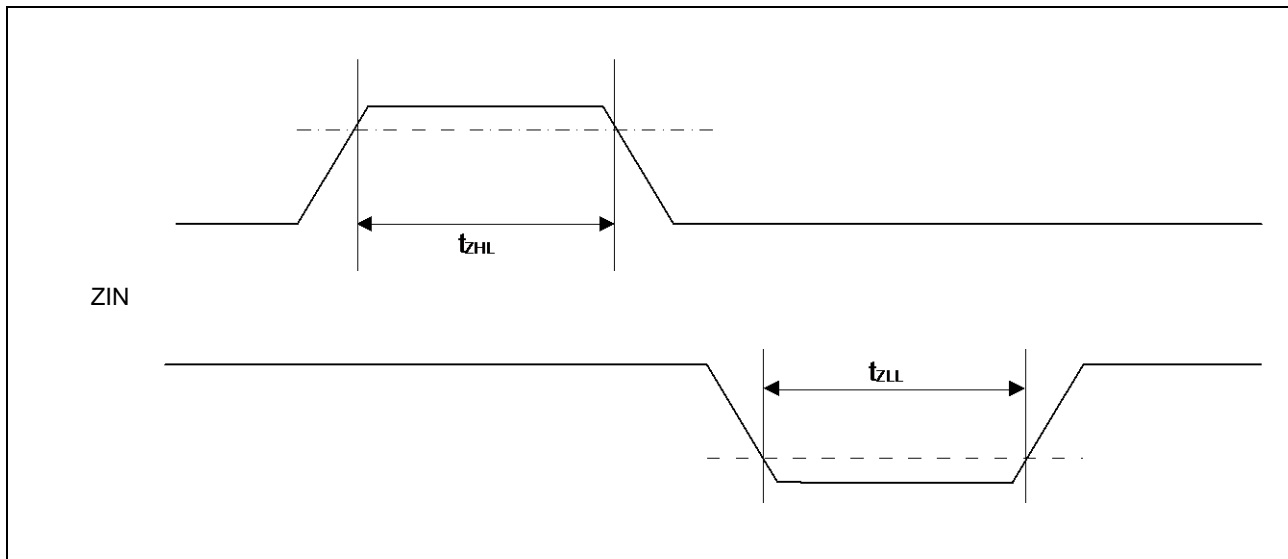
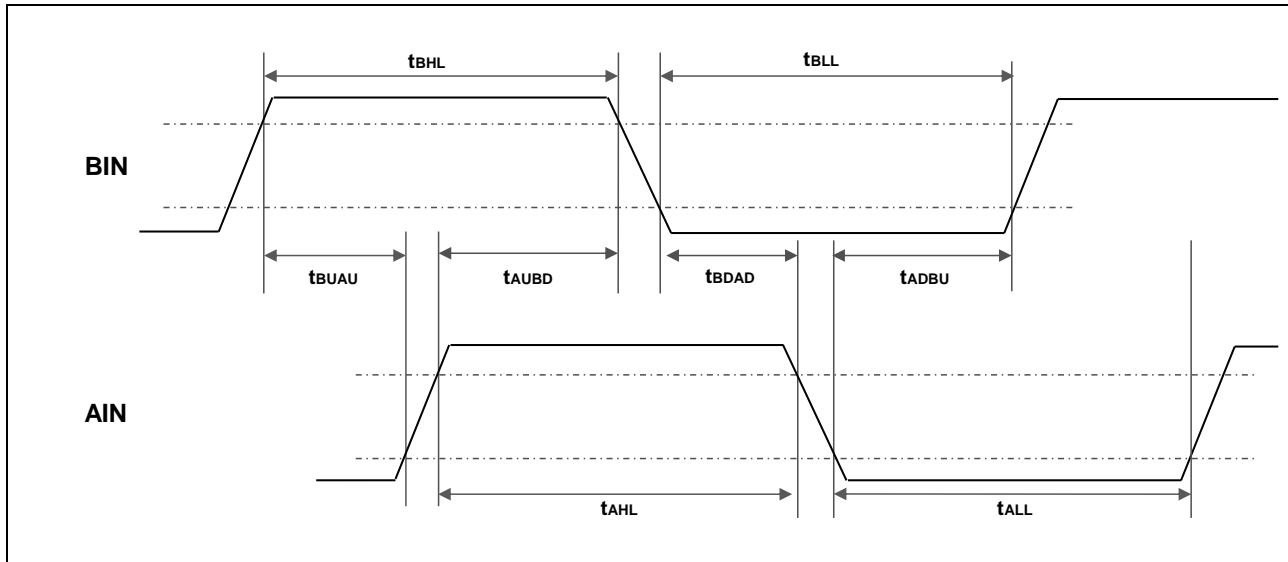
12.4.12 クアッドカウンタ タイミング
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	条件	規格値		単位
			最小値	最大値	
AIN 端子"H"幅	t_{AHL}	-	$2t_{CYCP}^*$	-	ns
AIN 端子"L"幅	t_{ALL}	-			
BIN 端子"H"幅	t_{BHL}	-			
BIN 端子"L"幅	t_{BLL}	-			
AIN"H"レベルから BIN 立上りまでの時間	t_{AUBU}	PC_Mode2 または PC_Mode3			
BIN"H"レベルから AIN 立下りまでの時間	t_{BUAD}	PC_Mode2 または PC_Mode3			
AIN"L"レベルから BIN 立下りまでの時間	t_{ADBD}	PC_Mode2 または PC_Mode3			
BIN"L"レベルから AIN 立上りまでの時間	t_{BDAU}	PC_Mode2 または PC_Mode3			
BIN"H"レベルから AIN 立上りまでの時間	t_{BUAU}	PC_Mode2 または PC_Mode3			
AIN"H"レベルから BIN 立下りまでの時間	t_{AUBD}	PC_Mode2 または PC_Mode3			
BIN"L"レベルから AIN 立下りまでの時間	t_{BDAD}	PC_Mode2 または PC_Mode3			
AIN"L"レベルから BIN 立上りまでの時間	t_{ADBU}	PC_Mode2 または PC_Mode3			
ZIN 端子"H"幅	t_{ZHL}	QCR:CGSC="0"			
ZIN 端子"L"幅	t_{ZLL}	QCR:CGSC="0"			
ZIN レベル確定から AIN/BIN 立下り立上りまで の時間	t_{ZABE}	QCR:CGSC="1"			
AIN/BIN 立下り立上りから ZIN レベル確定までの時間	t_{ABEZ}	QCR:CGSC="1"			

*: t_{CYCP} は APB バスクロックのサイクル時間です。

クアッドカウンタが接続されている APB バス番号については「8.ブロックダイアグラム」を参照してください。





12.4.13 I²C タイミング
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	条件	Standard-mode		Fast-mode		単位	備考
			最小	最大	最小	最大		
SCL クロック周波数	F_{SCL}		0	100	0	400	kHz	
(反復)「スタート」条件 ホールド時間 SDA ↓ → SCL ↓	t_{HDSTA}		4.0	-	0.6	-	μs	
SCL クロック"L"幅	t_{LOW}		4.7	-	1.3	-	μs	
SCL クロック"H"幅	t_{HIGH}		4.0	-	0.6	-	μs	
反復「スタート」条件 セットアップ時間 SCL ↑ → SDA ↓	t_{SUSTA}		4.7	-	0.6	-	μs	
データホールド時間 SCL ↓ → SDA ↓ ↑	t_{HDDA_T}	$C_L = 30 \text{ pF},$ $R = (V_p/I_{OL})^{*1}$	0	3.45^{*2}	0	0.9^{*3}	μs	
データセットアップ時間 SDA ↓ ↑ → SCL ↑	t_{SUDAT}		250	-	100	-	ns	
「ストップ」条件 セットアップ時間 SCL ↑ → SDA ↑	t_{SUSTO}		4.0	-	0.6	-	μs	
「ストップ」条件と 「スタート」条件との間のバ スフリー時間	t_{BUF}		4.7	-	1.3	-	μs	
ノイズフィルタ	t_{SP}	-	$2t_{CYCP}^{*4}$	-	$2t_{CYCP}^{*4}$	-	ns	

*1: R, C_L は、SCL, SDA ラインのプルアップ抵抗、負荷容量です。V_p はプルアップ抵抗の電源電圧、I_{OL} は V_{OL} 保証電流を示します。

*2: 最大 t_{HDDAT} は少なくともデバイスの SCL 信号の"L"区間(t_{LOW})を延長していないということを満たしていなければなりません。

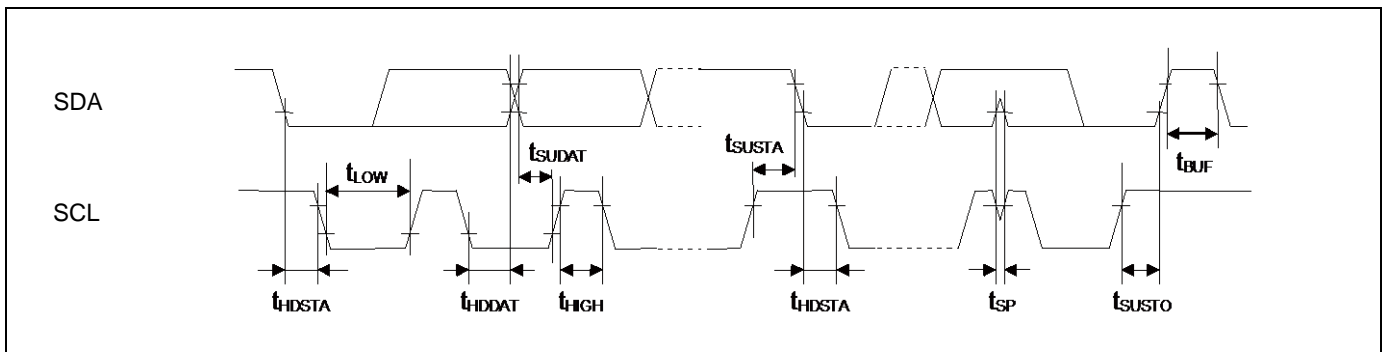
*3: Fast-mode I²C バスデバイスを Standard-mode I²C バスシステムに使用できますが、要求される条件 $t_{SUDAT} \geq 250 \text{ ns}$ を満足しなければなりません。

*4: t_{CYCP} は、APB バスクロックのサイクル時間です。

I²C が接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。

Standard-mode 使用時は、APB バスクロックを 2 MHz 以上に設定してください。

Fast-mode 使用時は、APB バスクロックを 8 MHz 以上に設定してください。



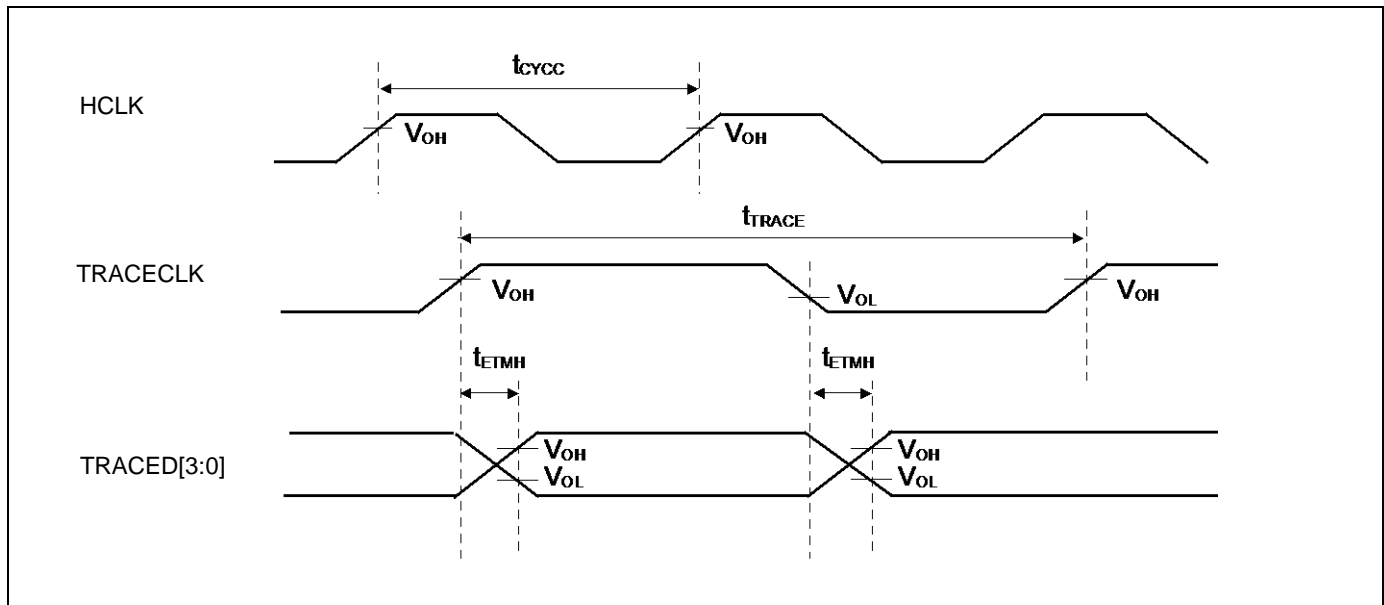
12.4.14 ETM タイミング

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
データホールド	t_{ETMH}	TRACECLK, TRACED[3:0]	$V_{CC} \geq 4.5V$	2	10	ns	
			$V_{CC} < 4.5V$	2	15		
TRACECLK 周波数	$1/t_{TRACE}$	TRACECLK	$V_{CC} \geq 4.5V$	-	40	MHz	
			$V_{CC} < 4.5V$	-	20	MHz	
TRACECLK クロック周期	t_{TRACE}		$V_{CC} \geq 4.5V$	25	-	ns	
			$V_{CC} < 4.5V$	50	-	ns	

<注意事項>

- 外部負荷容量 $C_L = 30 pF$ 時

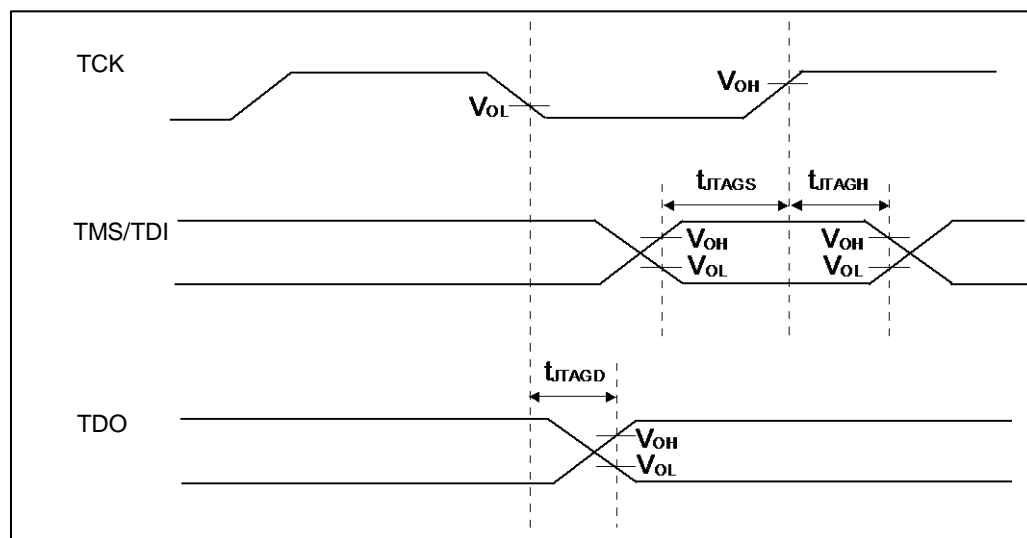


12.4.15 JTAG タイミング
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
TMS, TDI セットアップ時間	t_{JTAGS}	TCK, TMS, TDI	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	15	-	ns	
TMS, TDI ホールド時間	t_{JTAGH}	TCK, TMS, TDI	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	15	-	ns	
TDO 遅延時間	t_{JTAGD}	TCK, TDO	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	-	25 45	ns	

<注意事項>

- 外部負荷容量 $C_L = 30 pF$ 時



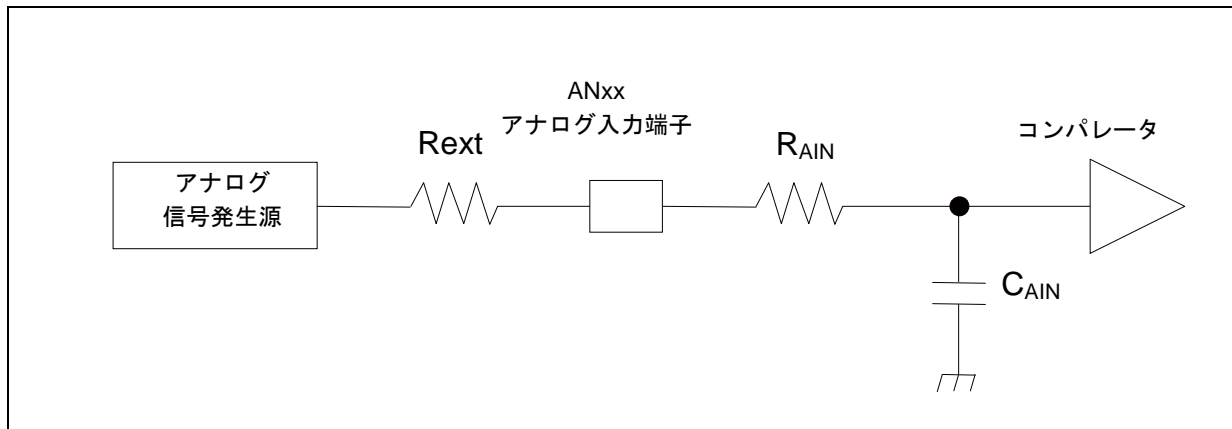
12.5 12 ビット A/D コンバータ

A/D 変換部電氣的特性

($V_{CC} = AV_{CC} = 2.7V \sim 5.5V$, $V_{SS} = AV_{SS} = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

項目	記号	端子名	規格値			単位	備考
			最小	標準	最大		
分解能	-	-	-	-	12	bit	
積分直線性誤差	-	-	-	± 1.5	± 4.5	LSB	AVRH = 2.7 V ~ 5.5 V
微分直線性誤差	-	-	-	± 2.2	± 2.5	LSB	
ゼロトランジション電圧	V_{ZT}	ANxx	-	± 6	± 15	mV	
フルスケールトランジション電圧	V_{FST}	ANxx	-	AVRH ± 5	AVRH ± 15	mV	
変換時間	-	-	1.0* ¹	-	-	μs	
サンプリング時間* ²	T_s	-	0.3	-	10	μs	
コンペアクロック周期* ³	T_{cck}	-	50	-	1000	ns	
動作許可状態遷移時間	T_{stt}	-	-	-	1.0	μs	
アナログ入力容量	C_{AIN}	-	-	-	9.5	pF	
アナログ入力抵抗	R_{AIN}	-	-	-	1.62	k Ω	$AV_{CC} \geq 4.5 V$
					2.35		$AV_{CC} < 4.5 V$
チャンネル間ばらつき	-	-	-	-	4	LSB	
アナログポート入力リーク電流	-	ANxx	-	-	5	μA	
アナログ入力電圧	-	ANxx	AVRL	-	AVRH	V	
基準電圧	-	AVRH	2.7	-	AV_{CC}	V	
	-	AVRL	AV_{SS}	-	AV_{SS}	V	

- *1: 変換時間は サンプリング時間 (T_s) + コンペア時間 (T_c) の値です。
 最小変換時間の条件は、サンプリング時間: 300ns, コンペア時間: 700ns の値です。
 必ずサンプリング時間(T_s), コンペアクロック周期(T_{cck})の規格を満足するようにしてください。
 サンプリング時間, コンペアクロック周期の設定*⁴については、『FM3 ファミリー パリフェラルマニュアル アナログマクロ編』の『CHAPTER 1-1: A/D コンバータ』の章を参照してください。
 A/D コンバータのレジスタの設定は APB バスクロックのタイミングで反映されます。
 A/D コンバータが接続されている APB バス番号については「8.ブロックダイアグラム」を参照してください。
 サンプリングクロックおよびコンペアクロックはベースクロック(HCLK)から生成されます。
- *2: 外部インピーダンスにより必要なサンプリング時間は変わります。
 必ず(式 1)を満たすようにサンプリング時間を設定してください。
- *3: コンペア時間(T_c) は (式 2)の値です。



(式 1) $T_s \geq (R_{AIN} + R_{ext}) \times C_{AIN} \times 9$

T_s : サンプルング時間

R_{AIN} : A/D の入力抵抗 = 1.62 kΩ ch.0 ~ ch.7 4.5 V \leq AV_{CC} \leq 5.5 V の場合
 A/D の入力抵抗 = 1.58 kΩ ch.8 ~ ch.15 4.5 V \leq AV_{CC} \leq 5.5 V の場合
 A/D の入力抵抗 = 1.56 kΩ ch.16 ~ ch.23 4.5 V \leq AV_{CC} \leq 5.5 V の場合
 A/D の入力抵抗 = 2.35 kΩ ch.0 ~ ch.7 2.7 V \leq AV_{CC} < 4.5 V の場合
 A/D の入力抵抗 = 2.3 kΩ ch.8 ~ ch.15 2.7 V \leq AV_{CC} < 4.5 V の場合
 A/D の入力抵抗 = 2.25 kΩ ch.16 ~ ch.23 2.7 V \leq AV_{CC} < 4.5 V の場合

C_{AIN} : A/D の入力容量 = 9.5 pF 2.7 V \leq AV_{CC} \leq 5.5 V の場合

R_{ext} : 外部回路の出力インピーダンス

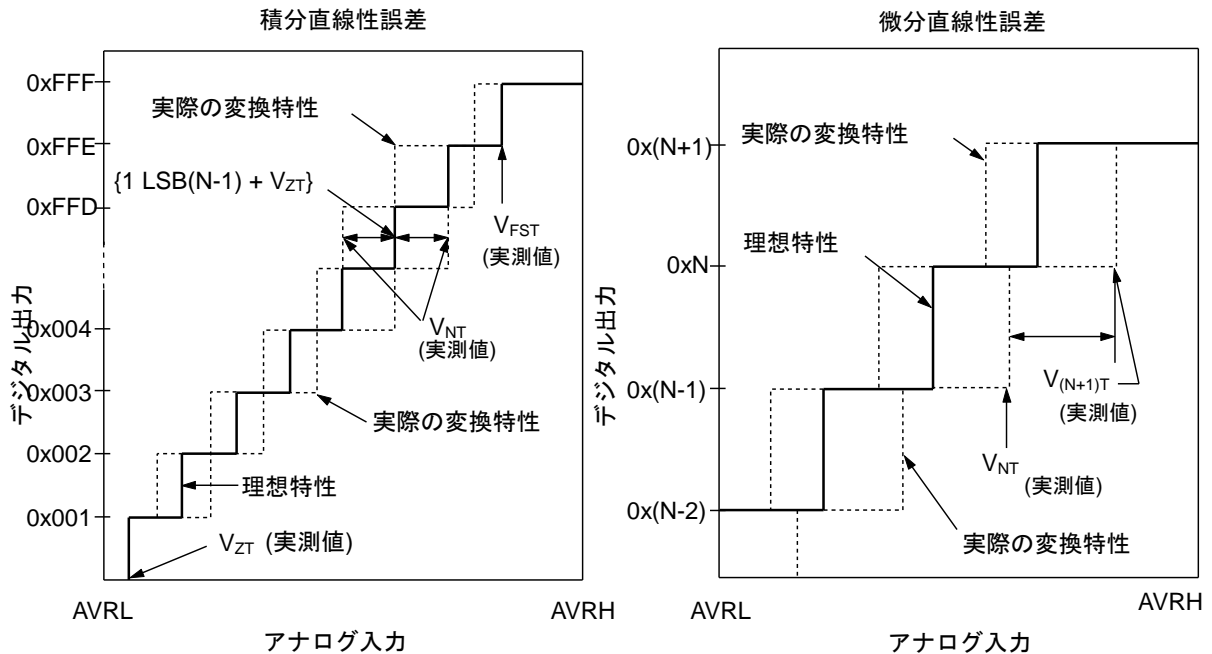
(式 2) $T_c = T_{cck} \times 14$

T_c : コンペア時間

T_{cck} : コンペアクロック周期

12 ビット A/D コンバータの用語の定義

- 分解能 : A/D コンバータにより識別可能なアナログ変化
 積分直線性誤差 : ゼロトランジション点(0b000000000000 ←→ 0b000000000001)とフルスケールトランジション点(0b111111111110 ←→ 0b111111111111)を結んだ直線と実際の変換特性との偏差
 微分直線性誤差 : 出力コードを 1LSB 変化させるのに必要な入力電圧の理想値からの偏差



$$\text{デジタル出力 } N \text{ の積分直線性誤差} = \frac{V_{NT} - \{1\text{LSB} \times (N - 1) + V_{ZT}\}}{1\text{LSB}} \quad [\text{LSB}]$$

$$\text{デジタル出力 } N \text{ の微分直線性誤差} = \frac{V_{(N+1)T} - V_{NT}}{1\text{LSB}} - 1 \quad [\text{LSB}]$$

$$1\text{LSB} = \frac{V_{FST} - V_{ZT}}{4094}$$

- N: A/D コンバータ デジタル出力値
 V_{ZT}: デジタル出力が 0x000 から 0x001 に遷移する電圧
 V_{FST}: デジタル出力が 0xFFE から 0xFFF に遷移する電圧
 V_{NT}: デジタル出力が 0x (N - 1) から 0xN に遷移する電圧

12.6 10 ビット D/A コンバータ

D/A 変換部電氣的特性

($V_{CC} = AV_{CC} = 2.7V \sim 5.5V$, $V_{SS} = AV_{SS} = AVRL = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

項目	記号	端子名	規格値			単位	備考
			最小	標準	最大		
分解能	-	DAx	-	-	10	bit	
変換時間	tc20		0.47	0.58	0.69	μs	負荷 20 pF 時
	tc100		2.37	2.90	3.43	μs	負荷 100 pF 時
積分直線性誤差*1	INL		- 4.0	-	+ 4.0	LSB	
微分直線性誤差*1, *2	DNL		- 0.9	-	+ 0.9	LSB	
出力電圧オフセット	V _{OFF}		-	-	10.0	mV	0x000 設定時
			- 20.0	-	+ 5.4	mV	0x3FF 設定時
アナログ出力 インピーダンス	R _O		3.10	3.80	4.50	kΩ	D/A 動作時
			2.0	-	-	MΩ	D/A 停止時
出力不定期間	t _R		-	-	70	ns	

*1: 無負荷時

*2: 0x200 設定時に電流最大

12.7 低電圧検出特性

12.7.1 低電圧検出リセット

 $(T_A = -40^{\circ}\text{C} \sim +105^{\circ}\text{C})$

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
検出電圧	VDL	SVHR* ¹ = 00000	2.25	2.45	2.65	V	電圧降下時
解除電圧	VDH		2.30	2.50	2.70	V	電圧上昇時
検出電圧	VDL	SVHR* ¹ = 00001	2.39	2.60	2.81	V	電圧降下時
解除電圧	VDH		SVHR = 00000 の規格値			V	電圧上昇時
検出電圧	VDL	SVHR* ¹ = 00010	2.48	2.70	2.92	V	電圧降下時
解除電圧	VDH		SVHR = 00000 の規格値			V	電圧上昇時
検出電圧	VDL	SVHR* ¹ = 00011	2.58	2.80	3.02	V	電圧降下時
解除電圧	VDH		SVHR = 00000 の規格値			V	電圧上昇時
検出電圧	VDL	SVHR* ¹ = 00100	2.76	3.00	3.24	V	電圧降下時
解除電圧	VDH		SVHR = 00000 の規格値			V	電圧上昇時
検出電圧	VDL	SVHR* ¹ = 00101	2.94	3.20	3.46	V	電圧降下時
解除電圧	VDH		SVHR = 00000 の規格値			V	電圧上昇時
検出電圧	VDL	SVHR* ¹ = 00110	3.31	3.60	3.89	V	電圧降下時
解除電圧	VDH		SVHR = 00000 の規格値			V	電圧上昇時
検出電圧	VDL	SVHR* ¹ = 00111	3.40	3.70	4.00	V	電圧降下時
解除電圧	VDH		SVHR = 00000 の規格値			V	電圧上昇時
検出電圧	VDL	SVHR* ¹ = 01000	3.68	4.00	4.32	V	電圧降下時
解除電圧	VDH		SVHR = 00000 の規格値			V	電圧上昇時
検出電圧	VDL	SVHR* ¹ = 01001	3.77	4.10	4.43	V	電圧降下時
解除電圧	VDH		SVHR = 00000 の規格値			V	電圧上昇時
検出電圧	VDL	SVHR* ¹ = 01010	3.86	4.20	4.54	V	電圧降下時
解除電圧	VDH		SVHR = 00000 の規格値			V	電圧上昇時
LVD 安定待ち時間	T _{LVDW}	-	-	-	6432×t _{CYCP} * ²	μs	
LVD 検出遅延時間	T _{LVDL}	-	-	-	200	μs	

*1: 低電圧検出電圧設定レジスタ(LVD_CTL)の SVHR ビットは、低電圧検出リセットで SVHR = 00000 に初期化されます。

*2: t_{CYCP} は APB2 バスクロックのサイクル時間です。

12.7.2 低電圧検出割込み

 (T_A = - 40°C ~ + 105°C)

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
検出電圧	VDL	SVHI = 00011	2.58	2.80	3.02	V	電圧降下時
解除電圧	VDH		2.67	2.90	3.13	V	電圧上昇時
検出電圧	VDL	SVHI = 00100	2.76	3.00	3.24	V	電圧降下時
解除電圧	VDH		2.85	3.10	3.35	V	電圧上昇時
検出電圧	VDL	SVHI = 00101	2.94	3.20	3.46	V	電圧降下時
解除電圧	VDH		3.04	3.30	3.56	V	電圧上昇時
検出電圧	VDL	SVHI = 00110	3.31	3.60	3.89	V	電圧降下時
解除電圧	VDH		3.40	3.70	4.00	V	電圧上昇時
検出電圧	VDL	SVHI = 00111	3.40	3.70	4.00	V	電圧降下時
解除電圧	VDH		3.50	3.80	4.10	V	電圧上昇時
検出電圧	VDL	SVHI = 01000	3.68	4.00	4.32	V	電圧降下時
解除電圧	VDH		3.77	4.10	4.43	V	電圧上昇時
検出電圧	VDL	SVHI = 01001	3.77	4.10	4.43	V	電圧降下時
解除電圧	VDH		3.86	4.20	4.54	V	電圧上昇時
検出電圧	VDL	SVHI = 01010	3.86	4.20	4.54	V	電圧降下時
解除電圧	VDH		3.96	4.30	4.64	V	電圧上昇時
LVD 安定待ち時間	T _{LVDW}	-	-	-	6432 × t _{CYCP} *	μs	
LVD 検出遅延時間	T _{LVDL}	-	-	-	200	μs	

 *: t_{CYCP} は APB2 バスクロックのサイクル時間です。

12.8 フラッシュメモリ書込み/消去特性

12.8.1 書込み/消去時間

($V_{CC} = 2.7V \sim 5.5V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

項目		規格値		単位	備考
		標準*	最大*		
セクタ消去時間	Large Sector	1.1	2.7	s	内部での消去前書込み時間を含む
	Small Sector	0.3	0.9		
ハーフワード(16ビット)書込み時間		20	317	μs	システムレベルのオーバーヘッド時間は除く
チップ消去時間		31	79	s	内部での消去前書込み時間を含む

*: 標準は出荷直後の代表値、最大は書換え 1 万回までの保証値です。

12.8.2 書込みサイクルとデータ保持時間

消去/書込みサイクル(cycle)	保持時間(年)	備考
1,000	20 *	
10,000	10 *	

*: 平均温度+85℃時

12.9 スタンバイ復帰時間

12.9.1 復帰要因：割込み/WKUP

内部回路の復帰要因受付からプログラム動作開始までの時間を示します。

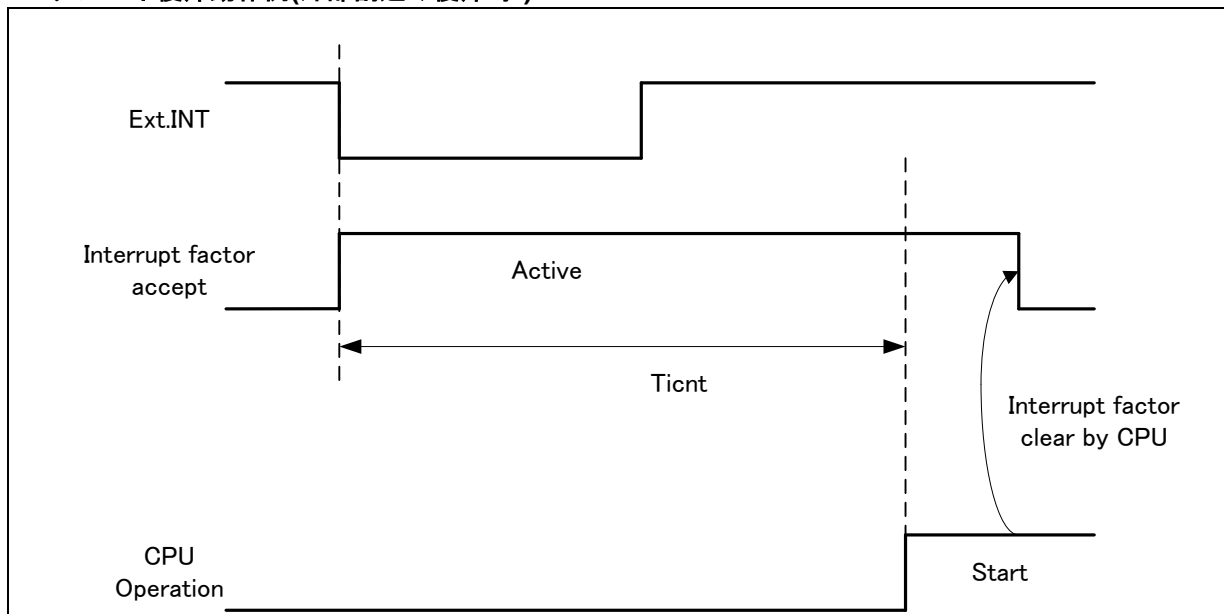
復帰カウント時間

($V_{CC} = 2.7V \sim 5.5V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

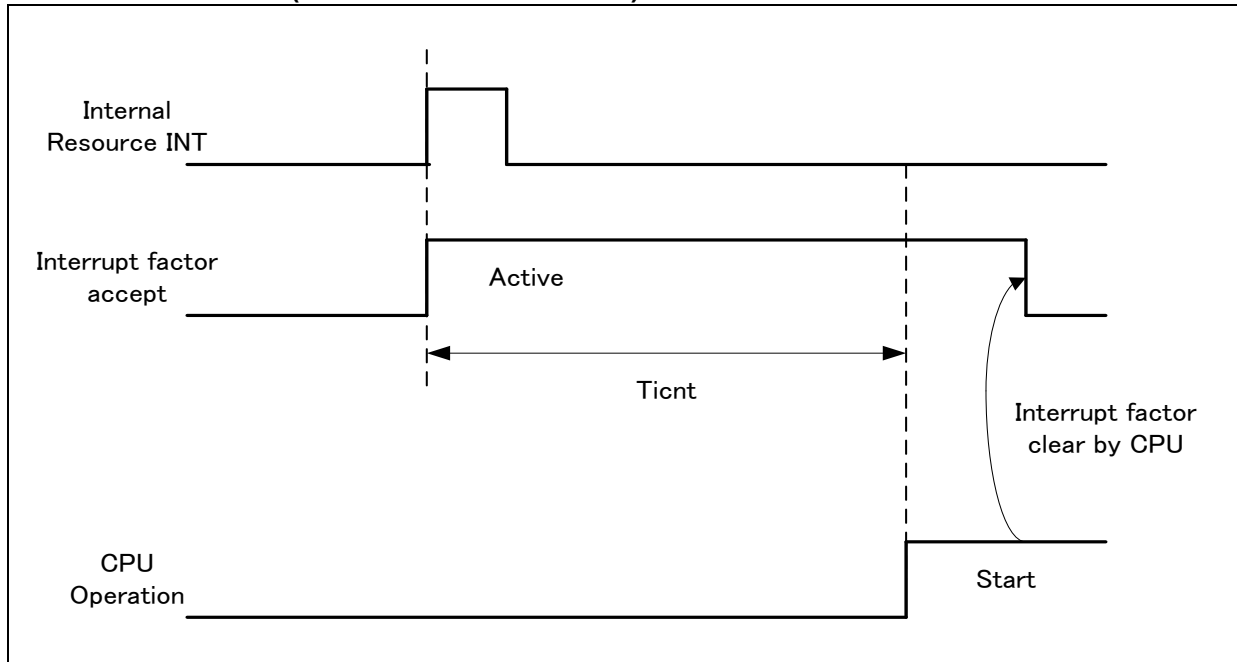
項目	記号	規格値		単位	備考
		標準	最大*		
スリープモード	Ticnt	t _{CYCC}		ns	
高速 CR タイマモード, メインタイマモード, PLL タイマモード		43	83	μs	
低速 CR タイマモード		310	620	μs	
サブタイマモード		534	724	μs	
RTC モード, ストップモード		278	479	μs	
ディープスタンバイ RTC モード, ディープスタンバイストップモード		298	543	μs	RAM 保持なし
		288	523	μs	RAM 保持あり

*: 規格値の最大値は内蔵 CR の精度に依存します。

スタンバイ復帰動作例(外部割込み復帰時*)



*: 外部割込みは立下りエッジ検出設定時

スタンバイ復帰動作例(内部リソース割込み復帰時*)


*: 低消費電力モードのとき、内部リソースからの割込みは復帰要因に含まれません。

<注意事項>

- 復帰要因は低消費電力モードごとに異なります。
各低消費電力モードからの復帰要因は『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 6: 低消費電力モード』のスタンバイモード動作説明を参照してください。
- 割込み復帰時、CPU が復帰する動作モードは低消費電力モード遷移前の状態に依存します。詳細は『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 6: 低消費電力モード』を参照してください。

12.9.2 復帰要因：リセット

リセット解除からプログラム動作開始までの時間を示します。

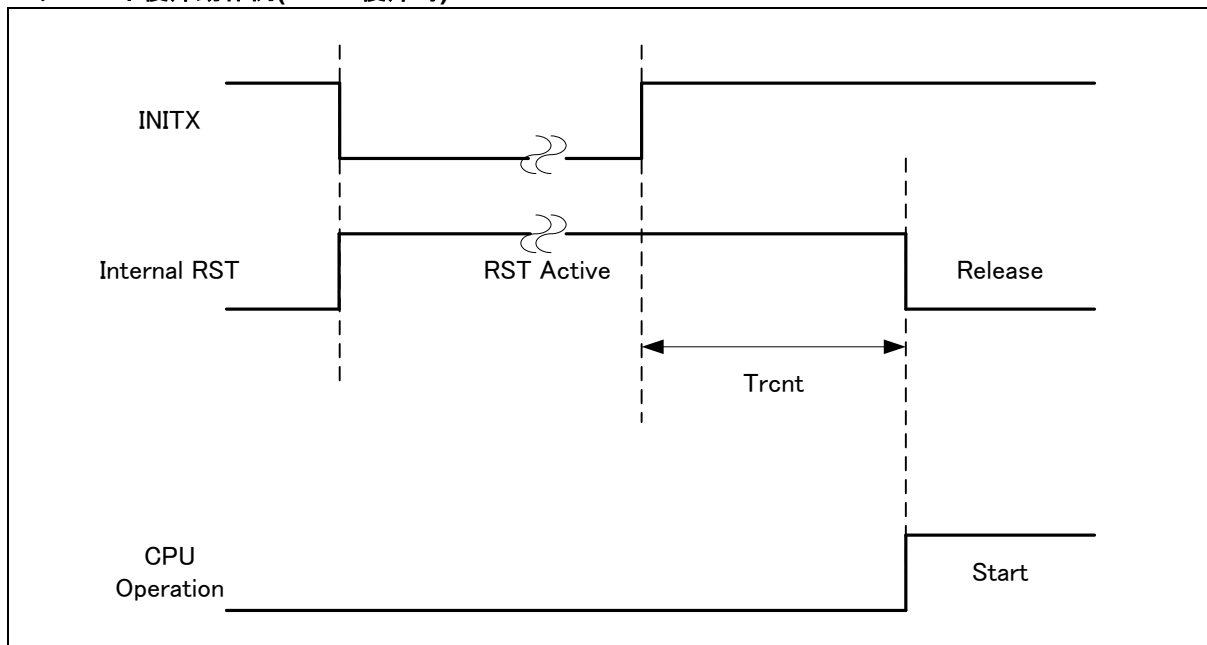
復帰カウント時間

($V_{CC} = 2.7V \sim 5.5V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

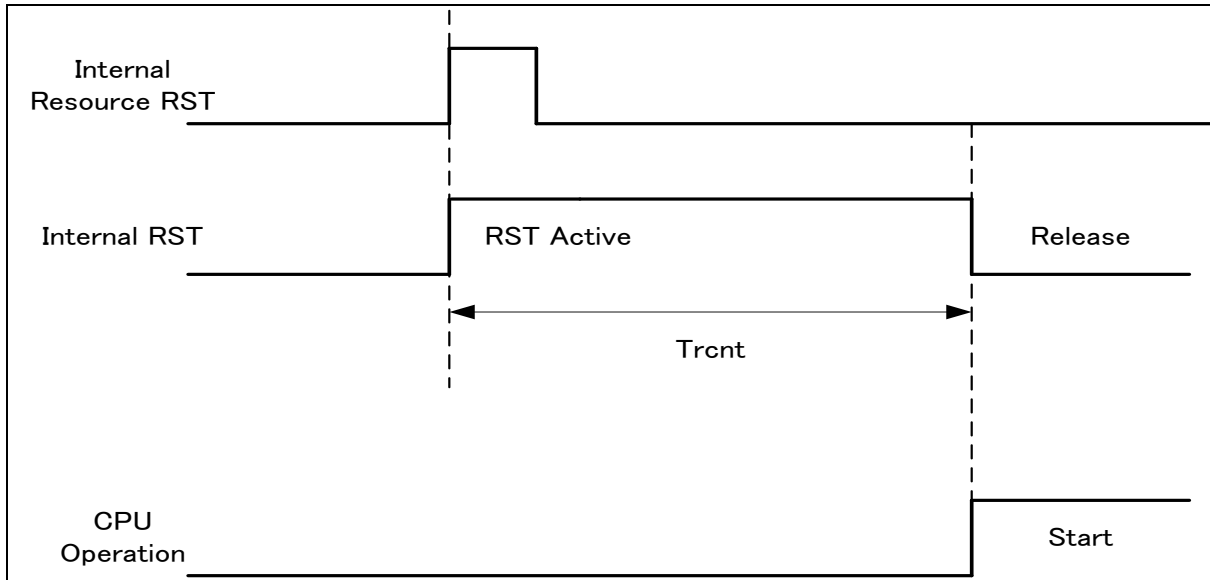
項目	記号	規格値		単位	備考
		標準	最大*		
スリープモード	Trent	149	264	μs	
高速 CR タイマモード, メインタイマモード, PLL タイマモード		149	264	μs	
低速 CR タイマモード		318	603	μs	
サブタイマモード		308	583	μs	
RTC モード, ストップモード		248	443	μs	
ディープスタンバイ RTC モード, ディープスタンバイストップモード		298	543	μs	RAM 保持なし
		288	523	μs	RAM 保持あり

*: 規格値の最大値は内蔵 CR の精度に依存します。

スタンバイ復帰動作例(INITX 復帰時)



スタンバイ復帰動作例(内部リソースリセット復帰時*)



*: 低消費電力モードのとき、内部リソースからのリセット発行は復帰要因に含まれません。

<注意事項>

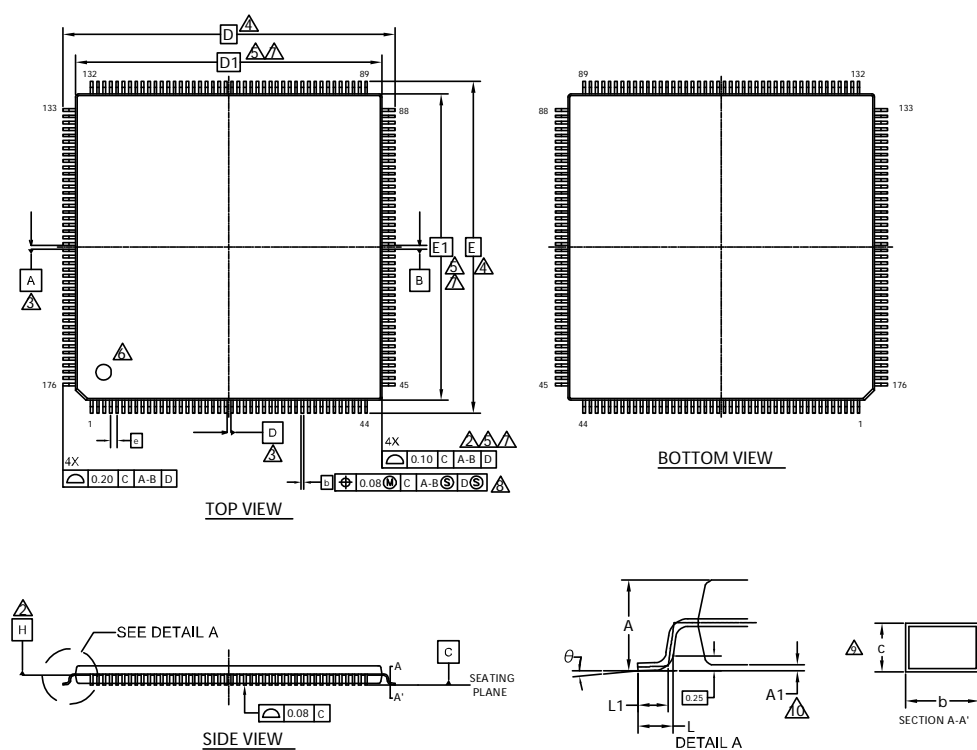
- 復帰要因は低消費電力モードごとに異なります。
各低消費電力モードからの復帰要因は、『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 6: 低消費電力モード』のスタンバイモード動作説明を参照してください。
- 割込み復帰時、CPU が復帰する動作モードは低消費電力モード遷移前の状態に依存します。詳細は『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 6: 低消費電力モード』を参照してください。
- パワーオンリセット/低電圧検出リセット時は、復帰要因には含まれません。パワーオンリセット/低電圧検出リセット時は、「12. 電気的特性 12.4. 交流規格 12.4.7. パワーオンリセットタイミング」を参照してください。
- リセットからの復帰時、CPU は高速 CR ランモードに遷移します。
メインクロックや PLL クロックを使用する場合、追加でメインクロック発振安定待ち時間や、メイン PLL クロックの安定待ち時間が必要になります。
- 内部リソースリセットとは、ウォッチドッグリセット, CSV リセットを指します。

13. オーダ型格

型格	オンチップ フラッシュ メモリ	オンチップ SRAM	パッケージ	包装
MB9BF428SAPMC-GK7E2	Main: 1 Mbyte Work: 64 Kbyte	160 Kbyte	プラスチック・LQFP, 144 ピン(0.5 mm ピッチ) (LQS144)	トレイ
MB9BF429SAPMC-GK7E2	Main: 1.5 Mbyte Work: 64 Kbyte	192 Kbyte		
MB9BF428TAPMC-GK7E2	Main: 1 Mbyte Work: 64 Kbyte	160 Kbyte	プラスチック・LQFP, 176 ピン(0.5 mm ピッチ) (LQP176)	
MB9BF429TAPMC-GK7E2	Main: 1.5 Mbyte Work: 64 Kbyte	192 Kbyte		
MB9BF428TABGL-GK7E1	Main: 1 Mbyte Work: 64 Kbyte	160 Kbyte	プラスチック・PFBGA, 192 ピン(0.8 mm ピッチ)	
MB9BF429TABGL-GK7E1	Main: 1.5 Mbyte Work: 64 Kbyte	192 Kbyte	(LBE192P-M06)	

14. パッケージ・外形寸法図

Package Type	Package Code
LQFP 176	LQP176



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.05	—	0.15
b	0.17	0.22	0.27
c	0.09	—	0.20
D	26.00 BSC		
D1	24.00 BSC		
e	0.50 BSC		
E	26.00 BSC		
E1	24.00 BSC		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70
θ	0°	—	8°

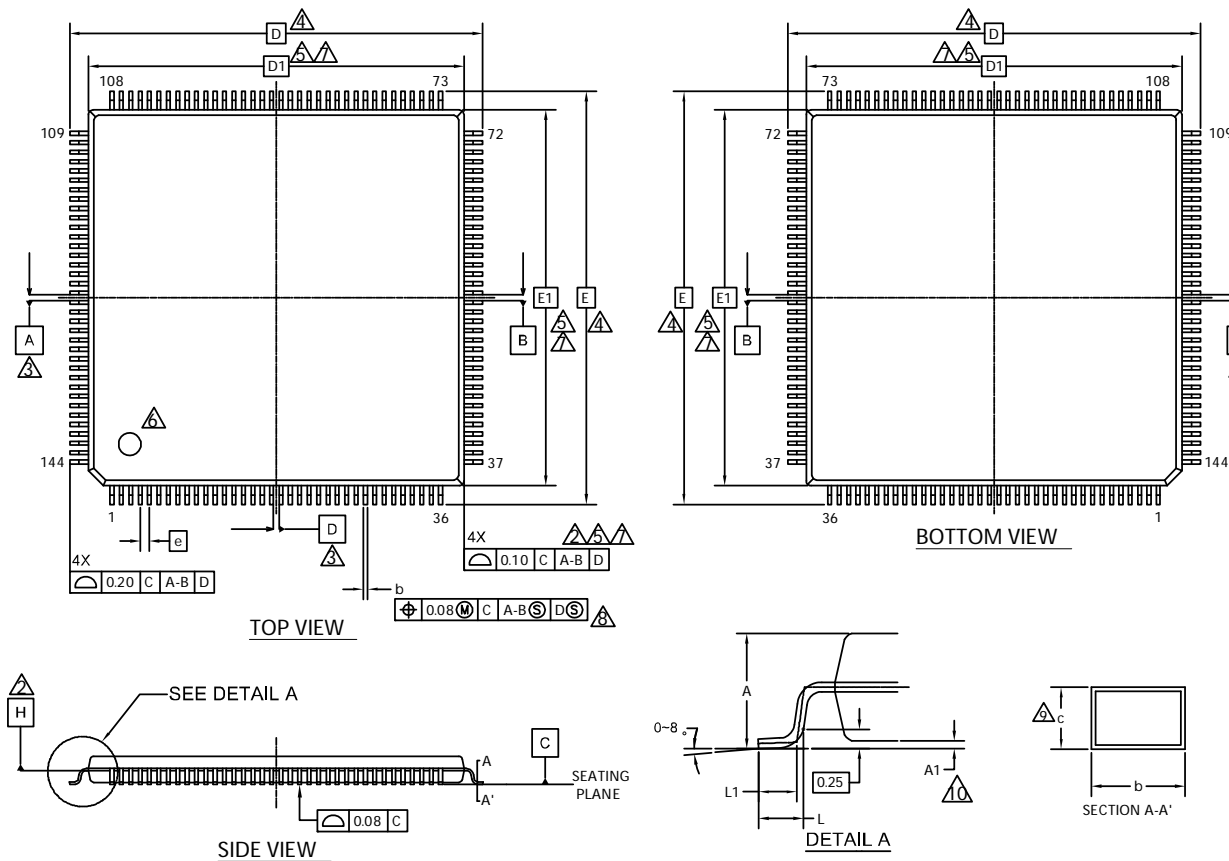
NOTES

1. ALL DIMENSIONS ARE IN MILLIMETERS.
- △ DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- △ DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- △ TO BE DETERMINED AT SEATING PLANE C.
- △ DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION.
ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE.
DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- △ DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- △ REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS.
BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- △ DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- △ THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- △ 10. A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

PACKAGE OUTLINE, 176 LEAD LQFP
24.0X24.0X1.7 MM LQP176 REV**

002-15150 **

Package Type	Package Code
LQFP 144	LQS144



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.05	—	0.15
b	0.17	0.22	0.27
c	0.09	—	0.20
D	22.00 BSC		
D1	20.00 BSC		
e	0.50 BSC		
E	22.00 BSC		
E1	20.00 BSC		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70

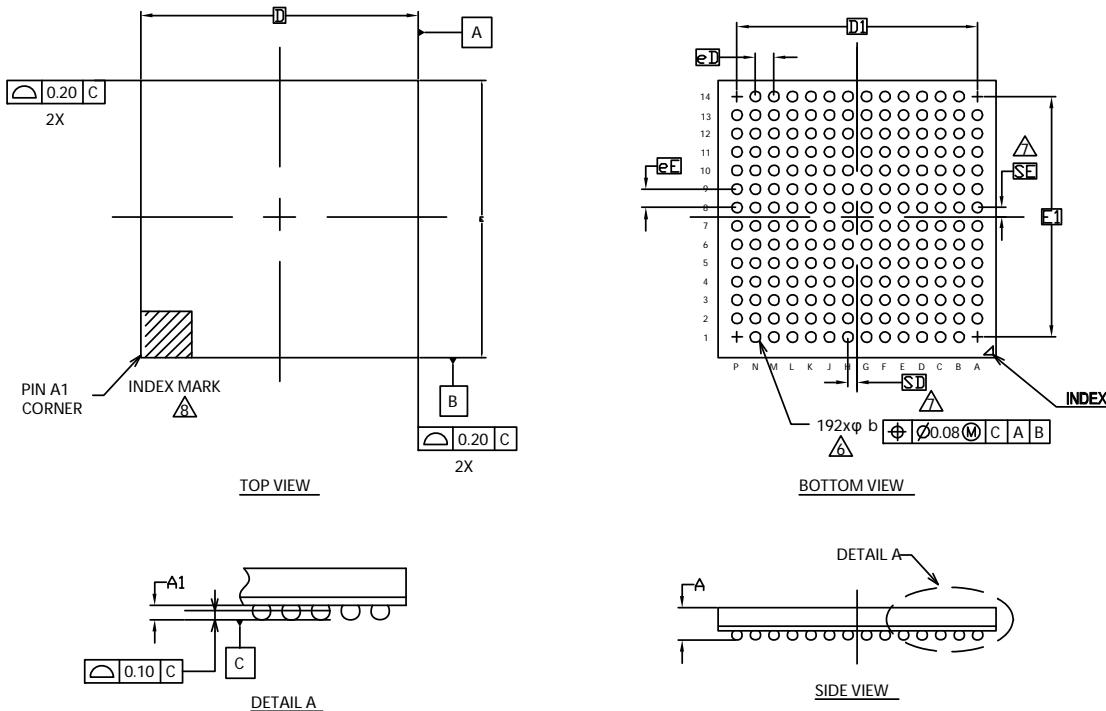
NOTES

- ALL DIMENSIONS ARE IN MILLIMETERS
- DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- TO BE DETERMINED AT SEATING PLANE C.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE.
- DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS. DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

002-13015 *A

 PACKAGE OUTLINE, 144 LEAD LQFP
 20.0X20.0X1.7 MM LQS144 REV*A

Package Type	Package Code
BGA 192	LBE192



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.45
A1	0.25	0.35	0.45
D	12.00 BSC		
E	12.00 BSC		
D1	10.40 BSC		
E1	10.40 BSC		
MD	14		
ME	14		
n	192		
Φb	0.35	0.45	0.55
eD	0.80 BSC		
eE	0.80 BSC		
SD/SE	0.40 BSC		

NOTES

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DIMENSIONS AND TOLERANCES METHODS PER ASME Y14.5-2009. THIS OUTLINE CONFORMS TO JEP95, SECTION 4.5.
- BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-010.
- "e" REPRESENTS THE SOLDER BALL GRID PITCH.
- SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION. SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION. n IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
- DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
- "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" OR "SE" = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
- A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK. METALLIZED MARK INDENTATION OR OTHER MEANS.
- "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED BALLS.

15. エラッタ

本章は FM3 MB9B420T シリーズのエラッタを説明します。詳細情報は、エラッタのトリガ条件、影響の範囲、可能な回避方法、シリコンチップのリビジョンの適用可能性などを含んでいます。

何かご質問がございましたら、最寄りのサイプレスの販売代理店までご連絡ください。

15.1 影響を受ける型格

型格
初版
MB9BF428TPMC-GE2, MB9BF429TPMC-GE2, MB9BF428TBGL-GE1, MB9BF429TBGL-GE1, MB9BF428SPMC-GE2, MB9BF429SPMC-GE2, MB9BF428TPMC-GK7E2, MB9BF429TPMC-GK7E2, MB9BF428TBGL-GK7E1, MB9BF429TBGL-GK7E1, MB9BF428SPMC-GK7E2, MB9BF429SPMC-GK7E2

15.2 認定の状況

出荷の状況: 出荷中

15.3 エラッタのまとめ

下表では、デバイスへのエラッタの影響を定義します。

項目	型格	シリコン版数	解決状況
[1] HDMI-CEC ポーリングメッセージの問題	15.1 を参照	初版	Rev.A で修正

15.4 エラッタの詳細

15.4.1 HDMI-CEC ポーリングメッセージの問題

■問題の定義

問題#1) MCU がポーリングメッセージを送信する間、他機から届くメッセージに対して常に NACK 応答します。

問題#2)直前のラインイニシエータが他機である場合でも、MCU が待つ CEC ライン上のシグナルフリー時間は 7bit です。

■影響を受けるパラメータ

無

■トリガ条件

この問題は常に発生します。

■影響の範囲

MCU は、他のノードに適切に応答しません。

■回避方法

問題#1 は、以下のソフトウェア対策を適用できます。

1. SFREE レジスタに 0x0 を設定してください。
2. CEC 端子を GPIO で監視し、High が任意のシグナルフリー分続くまで待ってください。
3. TXDATA レジスタにフレームデータを書込み、RCADR1 または RCADR2 レジスタに 0x0F を設定してください。
4. TXDATA 書込みからカウントクロック(32.768kHz)の 3~4 クロック後にメッセージを送信します。
TXDATA 書込みから 2~3 クロック後に他機からフレームを受信した場合、バスエラーが発生します。
TXDATA 書込みから 3~4 クロック後に他機からフレームを受信した場合はアービトレーションロストが発生します。
以下の対応を行ってください。

4-A-1. ACK 応答できるように RCADR1 または RCADR2 レジスタを元の設定値に戻す。

4-A-2. 2. から再度処理を行う。

TXDATA 書込みから 1~2 クロック後に他機からフレームを受信した場合、以下の対応を行ってください。

4-B-1. TXDATA の書込みから 50us 後に、GPIO で CEC 端子を確認する。

4-B-2. CEC 端子が Low になっていたらすぐに TXEN を 1 → 0 → 1 とする。

4-B-3. ACK 応答できるように RCADR1 または RCADR2 レジスタを元の設定値に戻す。

4-B-4. 2. から再度処理を行う。

問題#2 については、ソフトウェアによる回避方法はありません。ただし、シグナルフリー時間が 7bit に固定されていても、HDMI-CEC 規格上の問題はありません。規格上は、シグナルフリー時間は 5bit 以上に設定しなければならない、と規定されています。

■解決状況

この問題はシリコン版数 Rev. A で解決されます。

16. 主な変更内容

Spansion Publication Number: DS706-00061

ページ	場所	変更箇所
Revision 0.1		
-	-	Initial release
Revision 0.2		
-	-	社名変更および記述フォーマットの変換
Revision 1.0		
-	-	Preliminary → Full Production
2	■特長 ・ 外部バスインタフェース	下記を追加 ・ 最大アクセスサイズ：256M バイト
3	■特長 ・ AD コンバータ	変換時間を訂正
5	■特長 ・ 多機能タイマ	A/D 起動コンペアのチャネル数を訂正
9	■品種構成 ・ ファンクション	注釈文を追加
64	■デバイス使用上の注意 ・ 電源端子について	注意事項を追加
67	■ブロックダイヤグラム	図を訂正
68	■メモリマップ ・ メモリマップ(1)	「External Device Area」のアドレスを訂正
77	■電気的特性 1. 絶対最大定格	入力電圧の規格値を追加
78	2. 推奨動作条件	注釈文を追加
79 - 81	3. 直流規格 (1) 電流規格	・ 条件を訂正 ・ 規格値の" TBD "を変更 ・ 備考を訂正 ・ 注釈文を追加
83	3. 直流規格 (2) 端子特性	入力リーク電流の規格値を追加
88	4. 交流規格 (6) パワーオンリセットタイミング	・ 「パワーオンリセット解除までの時間」の" TBD "を変更 ・ 図の訂正 ・ 用語解説の訂正
107	(9) CSIO タイミング ・ 同期シリアル(SPI=1, SCINV=1)	「MS ビット=1」の図を訂正
	(9) CSIO タイミング ・ 外部クロック(EXT=1)：非同期時のみ	図を訂正
114	5. 12 ビット A/D コンバータ ・ A/D 変換部電気特性	・ 端子名を訂正 AN00 ~ AN23 → ANxx ・ 変換時間の最小値を訂正 ・ サンプルング時間の最小値を訂正 ・ コンペアクロック周期の最小値を訂正 ・ 動作許可状態遷移時間の最小値、最大値を訂正 ・ 注釈文を訂正、削除
120	8. フラッシュメモリ書込み/消去特性 (1) 書込み/消去時間	規格値の" TBD "を変更
121	9. スタンバイ復帰時間 (1) 復帰要因: 割込み/WKUP ・ 復帰カウント時間	規格値の" TBD "を変更
123	(2) 復帰要因: リセット ・ 復帰カウント時間	規格値の" TBD "を変更

ページ	場所	変更箇所
Revision 2.0		
-	-	シリーズ名を変更 MB9B420T シリーズ→MB9B420TA
-	-	製品型格を下記のように変更 MB9BF428SA, MB9BF429SA, MB9BF428TA, MB9BF429TA
43-50	■端子機能一覧 ・端子機能別	SOTxx に LIN を追記
57, 58	■入出力回路形式	+B 入力可能な回路形式に追記
69	■メモリマップ ・メモリマップ(2)	フラッシュメモリのセクタ構成の概略を追記
77, 78	■電気的特性 1. 絶対最大定格	・最大クランプ電流を追加。 ・+B 入力について追加。
80, 81	■電気的特性 3. 直流規格 (1) 電流規格	・条件の表記を変更 ・メインタイマモード電流を追加
88	■電気的特性 4. 交流規格 (4-1) メイン PLL の使用条件 (4-2) メイン PLL の使用条件	・メイン PLL 接続図を追加
101-108	■電気的特性 4. 交流規格 (7) CSIO/UART タイミング	・UART タイミング→CSIO/UART タイミングに修正 ・内部シフトクロック動作→マスタモードに変更 ・外部シフトクロック動作→スレーブモードに変更
115	■電気的特性 5. 12 ビット A/D コンバータ	・積分/微分直線性誤差、ゼロ/フルスケールトランジション電圧の標準値を追加
130	■オーダ型格	フル型格に変更

注意事項：以降の変更点に関しては、「改訂履歴」を参照してください。

改訂履歴

文書名: MB9B420TA シリーズ 32 ビット ARM® Cortex®-M3 FM3 マイクロコントローラ

文書番号: 002-05664

版	ECN 番号	変更者	発行日	変更内容								
**	-	TOYO	01/30/2015	サイプレスとしてドキュメントコード 002-05664 に登録しました。 本版の内容およびフォーマットに変更はありません。								
*A	5443806	TOYO	09/23/2016	これは英語版の 002-05663 Rev. *A を翻訳した日本語版です。								
*B	5651378	NOSU	03/10/2017	<p>これは英語版の 002-05663 Rev. *B を翻訳した日本語版です。</p> <p>以下の章のパッケージコードを下表に従って変更。</p> <p>2. パッケージと品種対応</p> <p>3. 端子配列図</p> <p>13. オーダ型格</p> <p>14. パッケージ・外形寸法図</p> <table><tr><td>修正前</td><td>修正後</td></tr><tr><td>FPT-144P-M08</td><td>LQS144</td></tr><tr><td>FPT-176P-M07</td><td>LQP176</td></tr><tr><td>BGA-192P-M06</td><td>LBE192</td></tr></table> <p>特長 リアルタイムクロック(RTC:Real Time Clock)の記述を以下の様に修正。</p> <p>((/秒/曜日)の削除):</p> <p>修正前) 日時指定(年/月/日/時/分/秒/曜日)での割込み機能、年/月/日/時/分だけの個別設定も可能</p> <p>修正後) 日時指定(年/月/日/時/分)での割込み機能、年/月/日/時/分だけの個別設定も可能</p> <p>4. 端子機能一覧の語句を”J-TAG”から”JTAG”に修正。(35 ページ)</p> <p>4. 端子機能一覧に、JTAG 端子についての注意事項を追加。(52 ページ)</p> <p>10. メモリマップ メモリマップ(2)のセクタサイズを修正。</p> <p>ROM1_SA8_15(8KBx8) → ROM1_SA8_15(64KBx8)</p> <p>以下の章の語句を”Ta”から”T_A”に修正。</p> <p>12.2. 推奨動作条件</p> <p>12.3. 直流規格</p> <p>12.4. 交流規格</p> <p>12.5. 12 ビット A/D コンバータ</p> <p>12.6. 10 ビット D/A コンバータ</p> <p>12.7. 低電圧検出特性</p> <p>12.8. フラッシュメモリ書込み/消去特性</p> <p>12.9. スタンバイ復帰時間</p> <p>12.4.10 CSIO/UART タイミングの表にボーレートの最大値を追加。</p> <p>(101、103、105、107 ページ)</p> <p>12.4.7. パワーオンリセットタイミングを更新:</p> <p>項目、規格を以下の様に変更。また、備考および<注意事項>を追記。</p> <p>電源立上り時間(Tr)を削除。</p>	修正前	修正後	FPT-144P-M08	LQS144	FPT-176P-M07	LQP176	BGA-192P-M06	LBE192
修正前	修正後											
FPT-144P-M08	LQS144											
FPT-176P-M07	LQP176											
BGA-192P-M06	LBE192											

版	ECN 番号	変更者	発行日	変更内容
				<p>パワーオンリセット解除までの時間(t_{PRT})の規格値を変更。</p> <p>修正前)パワーオンリセット解除までの時間(t_{PRT})[ms] : 0.46(最小), 0.76(最大)</p> <p>修正後)パワーオンリセット解除までの時間(t_{PRT})[ms] : 0.446(最小), 0.744(最大)</p> <p>電源立上り速度(dV/dt)を追加。</p> <p>12.5. 12 ビット A/D コンバータの語句を、以下の様に修正。</p> <p>“アナログポート入力電流” → “アナログポート入力リーク電流” (116 ページ)</p> <p>13. オーダ型格を以下の様に修正。</p> <p>MB9BF428SAPMC-GE1 → MB9BF428SAPMC-GK7E2 MB9BF429SAPMC-GE1 → MB9BF429SAPMC-GK7E2 MB9BF428TAPMC-GE1 → MB9BF428TAPMC-GK7E2 MB9BF429TAPMC-GE1 → MB9BF429TAPMC-GK7E2 MB9BF428TABGL-GE1 → MB9BF428TABGL-GK7E1 MB9BF429TABGL-GE1 → MB9BF429TABGL-GK7E1</p> <p>14. パッケージ・外形寸法図の図を更新。</p> <p>15. エラッタを追加</p>
*C	5796722	YSAT	07/04/2017	<p>これは英語版の 002-05663 Rev. *C を翻訳した日本語版です。</p> <p>Cypress の新ロゴを適用</p>

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

ARM® Cortex® Microcontrollers cypress.com/arm

車載用 cypress.com/automotive

クロック&バッファ cypress.com/clocks

インターフェース cypress.com/interface

IoT (モノのインターネット) cypress.com/iot

メモリ cypress.com/memory

マイクロコントローラ cypress.com/mcu

PSoC cypress.com/psoc

電源用 IC cypress.com/pmic

タッチ センシング cypress.com/touch

USB コントローラー cypress.com/usb

ワイヤレス/RF cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6](#)

サイプレス開発者コミュニティ

[フォーラム](#) | [WICED IOT Forums](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカルサポート

cypress.com/support

ARM and Cortex are the registered trademarks of ARM Limited in the EU and other countries.

All other trademarks or registered trademarks referenced herein are the property of their respective owners.

© Cypress Semiconductor Corporation, 2013-2017. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。)) を含む) は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示をとわず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress、Cypress のロゴ、Spansion、Spansion のロゴ及びこれらの組み合わせ、WICED、PSoC、Capsense、EZ-USB、F-RAM、及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress の商標のより完全なリストは、cypress.com を参照のこと。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。