

请注意赛普拉斯已正式并入英飞凌科技公司。

此封面页之后的文件标注有“赛普拉斯”的文件即该产品为此公司最初开发的。请注意作为英飞凌产品组合的部分,英飞凌将继续为新的及现有客户提供该产品。

文件内容的连续性

事实是英飞凌提供如下产品作为英飞凌产品组合的部分不会带来对于此文件的任何变更。未来的变更将在恰当的时候发生,且任何变更将在历史页面记录。

订购零件编号的连续性

英飞凌继续支持现有零件编号的使用。下单时请继续使用数据表中的订购零件编号。

CY9B310R 系列是针对高速处理和低成本应用而设计的高集成度 32 位嵌入式微控制器。本系列的 CPU 搭载了 Arm Cortex-M3 处理器、闪存及 SRAM 片上闪存，还包含了电机控制定时器、A/D 转换器、各种通信接口(USB,UART,CSIO,I²C,LIN)等在内的丰富外设功能。“FM3 家族外围资源手册”中该数据手册记载的产品归类于 TYPE4 产品。

特征

32 位 Arm Cortex-M3 内核

- 处理器版本:r2p1
- 最高工作频率:144 MHz
- 存储器保护单元(MPU):提高组装系统
- 嵌套向量中断控制器(NVIC):支持 1 通道 NMI (不可屏蔽中断) 和 48 通道的外设中断。可设定 16 个中断优先级
- 24 位系统定时器(Sys Tick):该系统定时器用于管理操作系统任务。

片上存储器

[闪存]

本系列内置 2 个独立的闪存。

- 主闪存
 - 最大 512 KB
 - 内置使用 16 KB 的地址缓冲器存储器的 Flash 加速器
 - 工作频率不超过 72 MHz 时，读访问闪存为 0 wait-cycle。
 - 超过 72 MHz 时，由于 Flash 加速器功能的缘故，也可进行与 0 wait-cycle 相同的访问。
 - 用于代码保护的加密功能
- 工作闪存
 - 32 KB
 - 读周期
 - 工作频率超过 72 MHz 时，为 4 wait-cycle
 - 工作频率在 40 MHz~72 MHz 之间，为 2 wait-cycle
 - 工作频率低于 40 MHz 时，为 0 wait-cycle
 - 加密功能和代码保护共享

[SRAM]

该系列总共包含最大 64 KB 的片上 SRAM。本系列搭载的片上 SRAM 存储器由两个独立的 SRAM (SRAM0, SRAM1)构成。SRAM0 连接 Cortex-M3 内核的 I-Code 总线或 D-Code 总线。SRAM1 连接 Cortex-M3 内核的 System 总线。

- SRAM0: 32 KB
- SRAM1: 32 KB

外部总线接口

- 支持 SRAM、NOR 和 NAND 闪存器件
- 最多 8 芯片选择
- 8/16 位数据宽
- 最大 25 位的地址位
- 最大寻址范围：最大 256 MB
- 支持地址/数据复用
- 支持外部 RDY 功能

USB 接口

USB 接口由功能和主机构成。

USB 用的 PLL 是内置的，USB 时钟可通过主时钟倍频生成。

- USB 功能
 - 支持 USB2.0 Full-Speed
 - 最多支持 6 个端点。
 - 端点 0 是控制传输
 - 端点 1, 2 可选择批量传输、中断传输和同步传输
 - 端点 3~5 可选择批量传输和中断传输
 - 端点 1~5 由双缓冲器构成
 - 每个端点的大小如下。
 - 端点 0、2~5: 64 B
 - 端点 1: 256 B
- USB 主机
 - 支持 USB2.0 Full-Speed/Low-Speed
 - 支持批量传输、中断传输和同步传输
 - 自动检测 USB 设备的连接/断开
 - IN/OUT 令牌时自动处理握手数据包
 - 支持最大 256 B 的数据包长
 - 支持唤醒功能

多功能串口(最多 8 通道)

- 带 16 位 FIFO 的 4 通道(ch.4~ch.7), 不带 FIFO 的 4 通道(ch.0~ch.3)
- 可从以下选择每路通道的工作模式。
 - UART
 - CSIO
 - LIN
 - I²C
- UART
 - 全双工双缓冲器
 - 可选择奇偶校验的有/无
 - 内置专用波特率发生器
 - 外部时钟可用作串行时钟
 - 硬件流控制:CTS/RTS 自动控制收/发(仅限 ch.4)
 - 丰富的错误检测功能(奇偶校验错误、帧错误、溢出错误)
- CSIO
 - 全双工双缓冲器
 - 内置专用波特率发生器
 - 溢出错误检测功能
- LIN
 - 支持 LIN 协议 Rev.2.1
 - 全双工双缓冲器
 - 支持主控/从动模式
 - 生成 LIN break field(可变为 13~16 位长)
 - 生成 LIN break 分界符(可变为 1~4 位长)
 - 丰富的错误检测功能(奇偶校验错误、帧错误、溢出错误)
- I²C
 - 支持标准模式(最快 100 kbps)/高速模式(最快 400 kbps)

DMA 控制器(8 通道)

DMA 控制器具有独立于 CPU 的 DMA 专用总线, 可与 CPU 并列工作。

- 8 路可独立配置和操作的通道
- 可根据软件或者内置外设功能的请求进行传输
- 传输地址空间:32 位(4 GB)
- 传输模式:整块传输/突发传输/请求传输
- 传输数据类型: 字节/半字/字
- 传输块个数:1~16
- 传输次数:1~65536

A/D 转换器(最多 16 通道)

- 12 位 A/D 转换器
 - 逐次比较型
 - 搭载 3 个单元
 - 转换时间:1.0 μ s@5 V
 - 可进行优先级转换(2 个优先级)
 - 扫描转换模式
 - 搭载存储转换数据的 FIFO (用于扫描转换:16 段;用于优先级转换: 4 段)

基本定时器(最多 8 通道)

可从以下选择各通道的工作模式。

- 16 位 PWM 定时器
- 16 位 PPG 定时器
- 16/32 位重载定时器
- 16/32 位 PWC 定时器

通用 I/O 口

本系列的引脚不用作外设功能时, 可用作 I/O 口。另外, 搭载的端口重定位功能可设定哪一个 I/O 口配置外设功能。

- 可上拉控制各个引脚
- 可直接读出引脚电平
- 具有端口重定位功能
- 最多 103 个高速 I/O 口@120 pin Package
- 部分端口耐 5 V。
关于该引脚, 详情参照"4 引脚功能说明"。

多功能定时器(最多 3 单元)

多功能定时器由以下模块构成。

- 16 位自由运行定时器×3 通道/单元
- 输入捕捉×4 通道/单元
- 输出比较×6 通道/单元
- A/D 启动比较×3 通道/单元
- 波形发生器×3 通道/单元
- 16 位 PPG 定时器×3 通道/单元

使用以下功能可实现电机控制。

- PWM 信号输出功能
- DC 斩波器波形输出功能
- 死区定时器功能
- 输入捕捉功能
- A/D 转换器启动功能
- DTIF(电机紧急停止)中断功能

实时时钟(RTC: Real Time Clock)

可计数 00 年 ~ 99 年的年/月/日/时/分/秒/星期几。

- 可设定指定日期时间(年/月/日/时/分)的中断功能,也可仅设定年/月/日/时/分。
- 设定时间后/每到设定时间的定时器中断功能。
- 可在继续计数的同时改写时间。
- 闰年的自动计数。

Quad 计数器(QPRC:Quadrature Position/Revolution Counter)(最多 3 通道)

Quad 计数器(QPRC)用于测定位置编码器的位置。另外,还可通过设定作为递增/递减计数器使用。

- 可设定 3 个外部事件输入引脚 AIN, BIN, ZIN 的检测沿。
- 16 位位置计数器
- 16 位旋转计数器
- 2 个 16 位比较寄存器

双定时器(32/16 位递减计数器)

双定时器由两个可编程的 32/16 位递减计数器构成。
可从以下选择定时器通道的工作模式。

- 自由运行模式
- 周期模式(=重载模式)
- 单次模式

计时计数器

计时计数器可把芯片从低功耗模式中唤醒。

- 间隔定时器:使用最大 64 s@副时钟: 32.768 kHz

外部中断控制单元

- 外部中断输入引脚: 最多 16 个
- 不可屏蔽中断(NMI)输入引脚: 1 个

监视定时器(2 通道)

达到超时值时, 监视定时器生成中断或复位。

本系列有两种不同的监视:"硬件"监视和"软件"监视。

"硬件"监视定时器使用内置低速 CR 振荡器。因此在 STOP 模式以外的任何低功耗模式下都可以工作。

CRC (Cyclic Redundancy Check)加速器

CRC 加速器进行软件处理负荷高的 CRC 计算,以减轻数据接收及存储整合性确认的处理负荷。

支持 CCITT CRC16 和 IEEE-802.3 CRC32。

- CCITT CRC16 Generator Polynomial:0x1021
- IEEE-802.3 CRC32 Generator Polynomial:0x04C11DB7

时钟/复位**■时钟**

可选择 5 种时钟源(2 种外部振荡、2 种内部 CR 振荡、主 PLL)。

- ☐ 主时钟: 4 MHz~48 MHz
- ☐ 副时钟: 32.768 kHz
- ☐ 部高速 CR 时钟: 4 MHz
- ☐ 内部低速 CR 时钟: 100 kHz

■复位

- ☐ INITX 引脚的复位请求
- ☐ 上电复位
- ☐ 软件复位
- ☐ 监视定时器复位
- ☐ 低压检测复位
- ☐ 时钟监视器复位

时钟监视功能(CSV:Clock Super Visor)

该功能根据 CR 振荡器生成的时钟来监视外部时钟的异常。

- 检测出外部振荡时钟故障(时钟停止)时, 复位有效。
- 检测出外部频率异常时, 中断或复位有效。

低压检测功能(LVD:Low Voltage Detect)

本系列可在 2 个阶段监视 VCC 引脚的电压。VCC 引脚的电压比设定的电压低时, 低压检测功能生成中断或者复位。

- LVD1:使用中断报告错误
- LVD2:自动复位操作

低功耗模式

有 3 种低功耗模式。

- 睡眠
- 定时器
- 停止

调试

- 串行线 JTAG 调试端口(SWJ-DP)
- 嵌入式跟踪宏单元(ETM)

电源

- 2 种电源
 - 支持大范围电压:
VCC=2.7 V~5.5 V
 - USB I/O 用电源:
USBVCC = 3.0 V~3.6 V(使用 USB 时)
= 2.7 V~5.5 V(使用 GPIO 时)

目录

1.	产品阵容	6
2.	封装及产品型号	8
3.	引脚配置图	9
4.	引脚功能说明	13
5.	I/O 电路类型	39
6.	芯片处理注意事项	44
6.1	产品设计注意事项	44
6.2	封装注意事项	45
6.3	使用环境注意事项	47
7.	芯片使用注意事项	48
8.	框图	50
9.	存储器容量	50
10.	存储器映射图	51
11.	各 CPU 状态下的引脚状态	55
12.	电气特性	58
12.1	绝对最大额定值	58
12.2	推荐工作条件	60
12.3	直流特性	61
12.4	交流特性	64
12.5	12 位 A/D 转换器	92
12.6	USB 特性	95
12.7	低压检测特性	99
12.8	主闪存写入/擦除特性	100
12.9	工作闪存写入/擦除特性	100
12.10	从低功耗模式下的返回时间	101
13.	订购信息	105
14.	封装尺寸图	106
	文档修改记录	110
	销售、解决方案以及法律信息	111

1. 产品阵容

存储器容量

产品名称	CY9BF312N/R	CY9BF314N/R	CY9BF315N/R	CY9BF316R
主闪存	128 Kbyte	256 Kbyte	384 Kbyte	512 Kbyte
工作闪存	32 Kbyte	32 Kbyte	32 Kbyte	32 Kbyte
片上 SRAM	16 Kbyte	32 Kbyte	48 Kbyte	64 Kbyte
SRAM0	8 Kbyte	16 Kbyte	24 Kbyte	32 Kbyte
SRAM1	8 Kbyte	16 Kbyte	24 Kbyte	32 Kbyte

功能

产品名称			CY9BF312N CY9BF314N CY9BF315N CY9BF316N	CY9BF312R CY9BF314R CY9BF315R CY9BF316R
引脚数			100/112	120
CPU			Cortex-M3	
	频率		144 MHz	
电源电压范围			VCC:2.7 V ~ 5.5 V (USBVCC:3.0 V ~ 3.6 V)	
USB2.0 (Device/Host)			1 ch.	
DMAC			8 ch.	
外部总线接口			Addr:25-bit(最大) R/Wdata:8-/16-bit(最大) CS:8 (最大) Support:SRAM,NOR 闪存	Addr:25-bit(最大) R/Wdata:8-/16-bit(最大) CS:8 (最大) Support:SRAM,NOR&NAND 闪存
多功能串口 (UART/CSIO/LIN/I ² C)			8 ch.(最大) ch.4 ~ ch.7:FIFO (16 steps × 9-bit) ch.0 ~ ch.3:无 FIFO	
基本定时器 (PWC/重载定时器/PWM/PPG)			8 ch.(最大)	
多功能 定时器	A/D 启动比较	3 ch.	3 units (最大)	
	输入捕捉	4 ch.		
	自由运行定时器	3 ch.		
	输出比较	6 ch.		
	波形发生器	3 ch.		
	PPG	3 ch.		
QPRC			3 ch.(最大)	
双定时器			1 unit	
实时时钟			1 unit	
计时计数器			1 unit	
CRC 加速器			Yes	
监视定时器			1 ch.(SW)+1 ch.(HW)	
外部中断			16 pins(最大)+NMI×1	
通用 I/O 口			83 pin (最大)	103 pin (最大)
12 位 A/D 转换器			16 ch.(3 units)	
时钟异常检测功能(CSV)			Yes	
低压检测功能(LVD)			2 ch.	
内置 OSC	高速		4 MHz	
	低速		100 kHz	
调试功能			SWJ-DP/ETM	

注意事项:

受封装引脚数量的限制，未配置各产品搭载的外设功能的全部信号。

用 I/O 口的端口重定位功能进行再配置。

如欲了解有关内置 CR 的精确度，请参考“[12 电气特性](#) [12.4 交流特性](#) [12.4.3 内置 CR 振荡规格](#)”。

2. 封装及产品型号

封装 \ 产品名称	CY9BF312N CY9BF314N CY9BF315N CY9BF316N	CY9BF312R CY9BF314R CY9BF315R CY9BF316R
QFP:PQH100 (0.65 mm pitch)	○	-
LQFP:LQI100 (0.5 mm pitch)	○	-
LQFP:LQM120 (0.5 mm pitch)	-	○
FBGA:LBC112 (0.8 mm pitch)	○	-

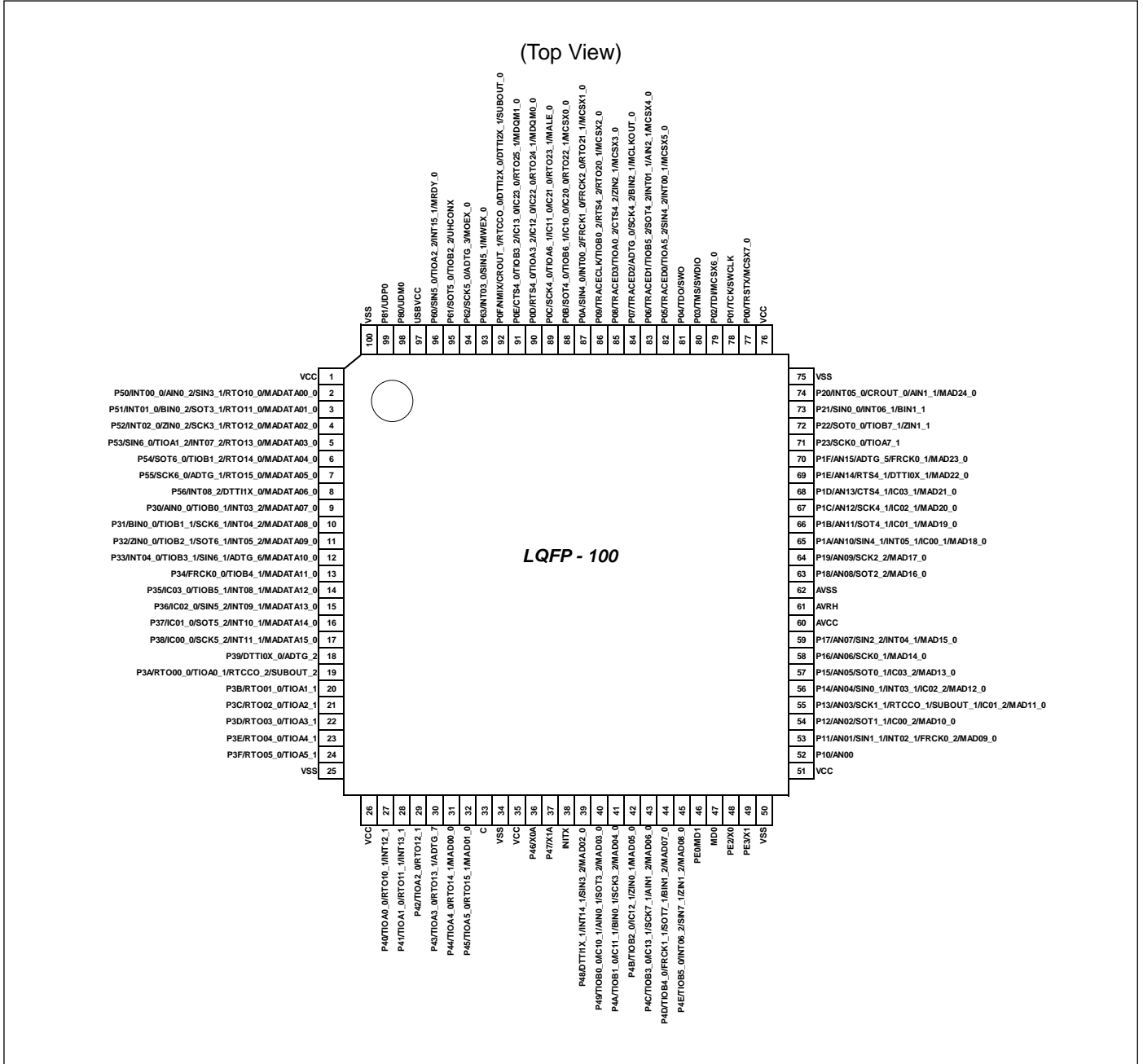
○:支持

注意事项:

关于各个封装, 请参考"14.封装尺寸图"。

3. 引脚配置图

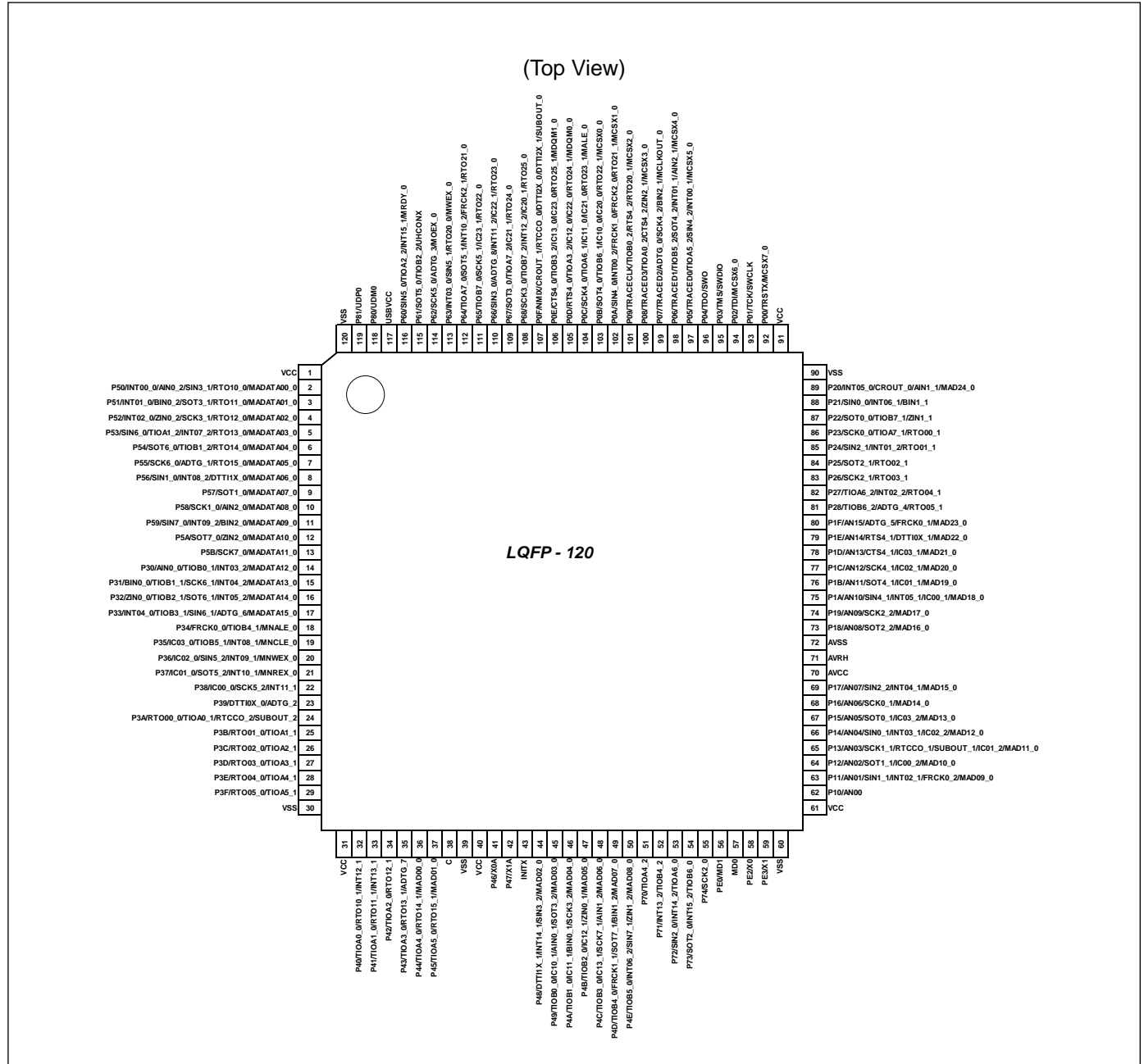
LQI100



注意事项:

引脚名称(例如 XXX_1, XXX_2)中下划线("_")后面的数字代表重定位端口号。有多个引脚可为同一通道提供同一功能。使用扩展端口功能寄存器(EPFR)选择引脚。

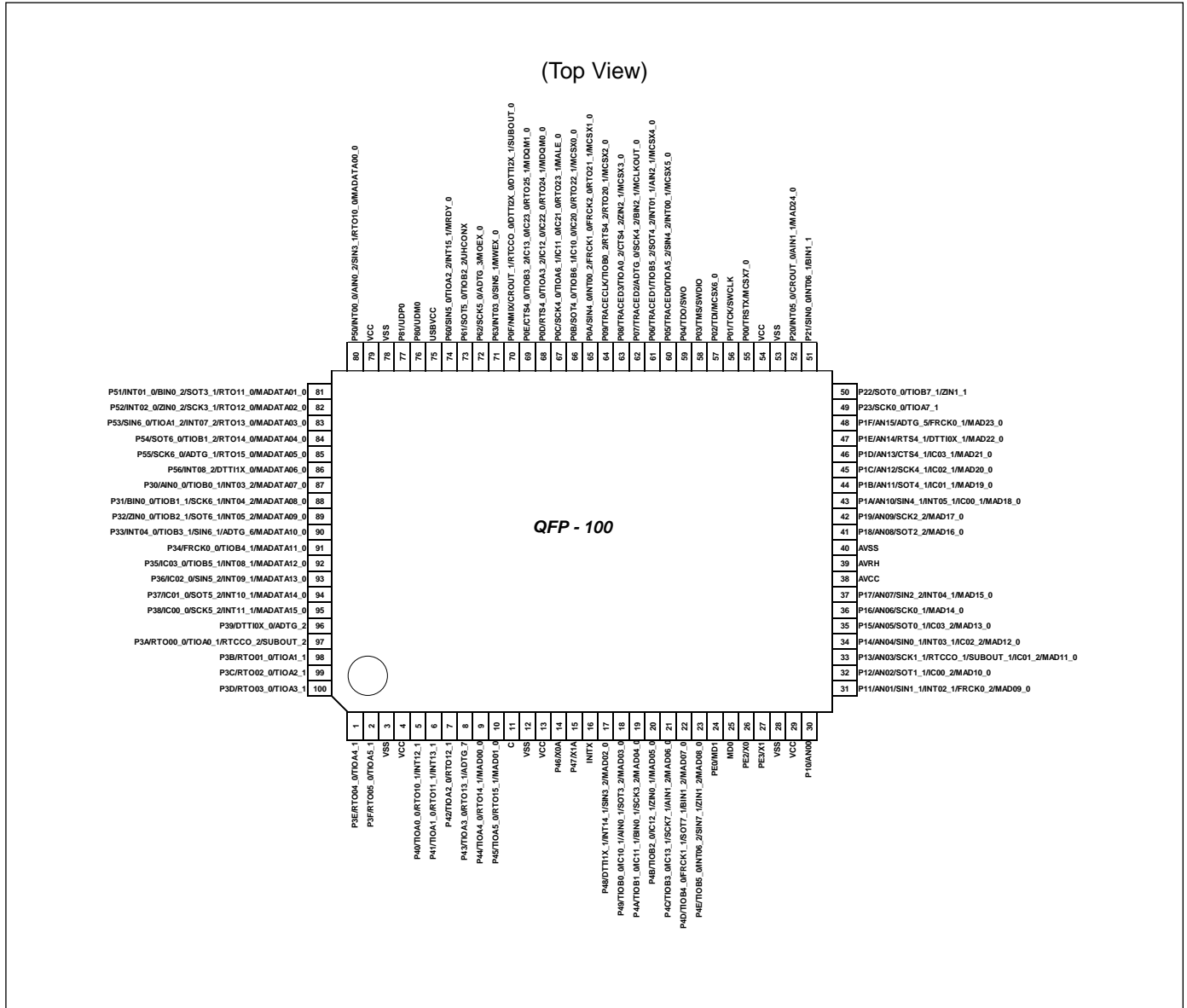
LQM120



注意事项:

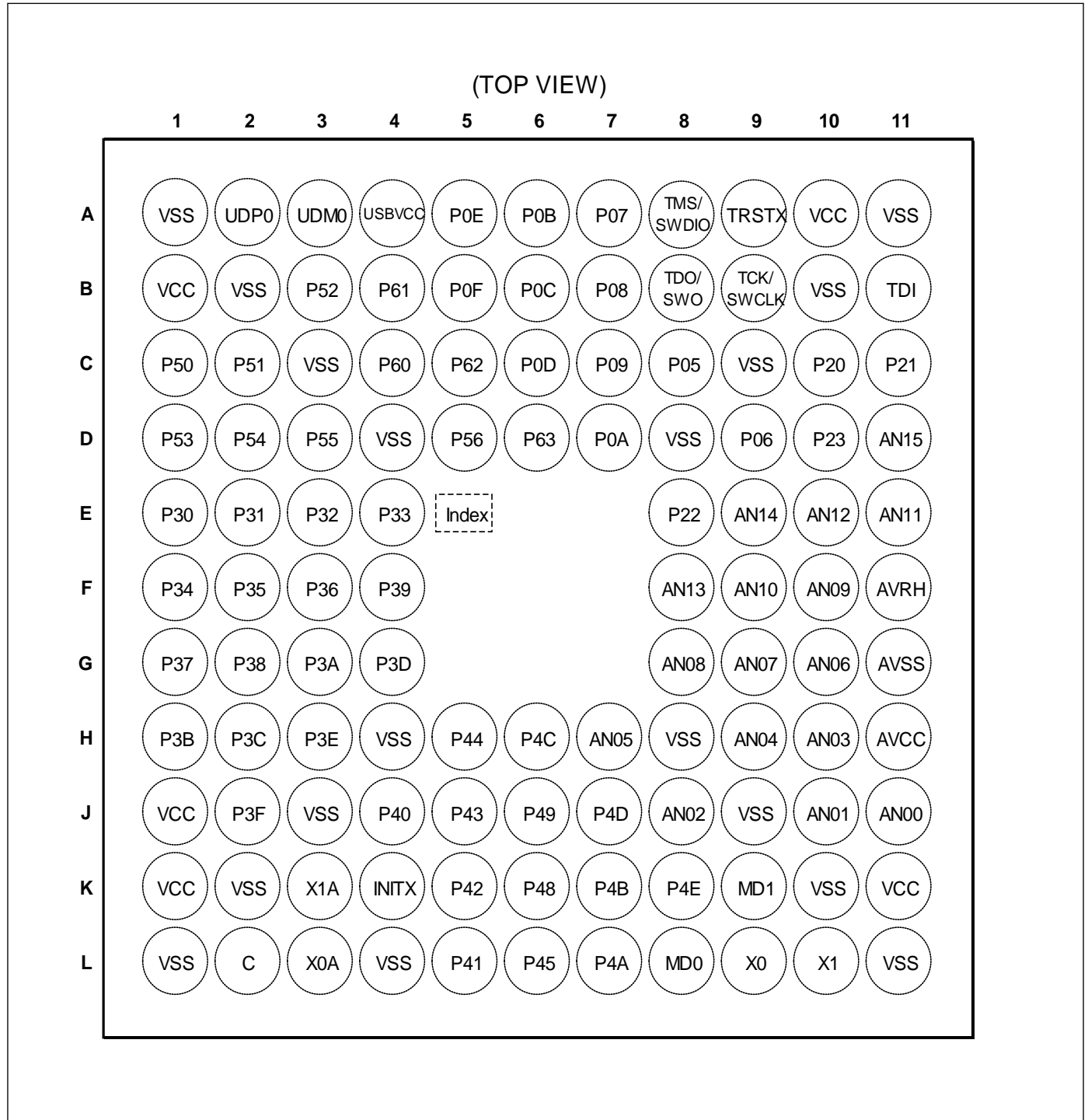
引脚名称(例如 XXX_1, XXX_2)中下划线("_")后面的数字代表重定位端口号。有多个引脚可为同一通道提供同一功能。使用扩展端口功能寄存器(EPFR)选择引脚。

PQH100



注意事项:

引脚名称(例如 XXX_1, XXX_2)中下划线("_")后面的数字代表重定位端口号。有多个引脚可为同一通道提供同一功能。使用扩展端口功能寄存器(EPFR)选择引脚。

LBC112

注意事项:

引脚名称(例如 XXX_1, XXX_2)中下划线("_")后面的数字代表重定位端口号。有多个引脚可为同一路通道提供同一功能。使用扩展端口功能寄存器(EPFR)选择引脚。

4. 引脚功能说明

引脚编号清单

引脚名称(例如 XXX_1, XXX_2)中下划线("_")后面的数字代表重定位端口号。有多个引脚可为同一路通道提供同一功能。使用扩展端口功能寄存器(EPFR)选择引脚。

引脚号				引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-100	FBGA-112	LQFP-120	QFP-100			
1	B1	1	79	VCC	E	H
2	C1	2	80	P50		
				INT00_0		
				AIN0_2		
				SIN3_1		
				RTO10_0 (PPG10_0)		
				MADATAA00_0		
3	C2	3	81	P51	E	H
				INT01_0		
				BIN0_2		
				SOT3_1 (SDA3_1)		
				RTO11_0 (PPG10_0)		
				MADATAA01_0		
4	B3	4	82	P52	E	H
				INT02_0		
				ZIN0_2		
				SCK3_1 (SCL3_1)		
				RTO12_0 (PPG12_0)		
				MADATAA02_0		
5	D1	5	83	P53	E	H
				SIN6_0		
				TIOA1_2		
				INT07_2		
				RTO13_0 (PPG12_0)		
				MADATAA03_0		
6	D2	6	84	P54	E	I
				SOT6_0 (SDA6_0)		
				TIOB1_2		
				RTO14_0 (PPG14_0)		
				MADATAA04_0		
7	D3	7	85	P55	E	I
				SCK6_0 (SCL6_0)		
				ADTG_1		
				RTO15_0 (PPG14_0)		
				MADATAA05_0		

引脚号				引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-100	FBGA-112	LQFP-120	QFP-100			
8	D5	8	86	P56	E	H
				INT08_2		
				DTT11X_0		
				MADATA06_0		
-	-	-	-	SIN1_0 (120pin only)		
-	-	9	-	P57	E	I
				SOT1_0 (SDA1_0)		
				MADATA07_0		
-	-	10	-	P58	E	I
				SCK1_0 (SCL1_0)		
				AIN2_0		
				MADATA08_0		
-	-	11	-	P59	E	H
				SIN7_0		
				INT09_2		
				BIN2_0		
				MADATA09_0		
-	-	12	-	P5A	E	I
				SOT7_0 (SDA7_0)		
				ZIN2_0		
				MADATA10_0		
-	-	13	-	P5B	E	I
				SCK7_0 (SCL7_0)		
				MADATA11_0		
9	E1	14	87	P30	E	H
				AIN0_0		
				TIOB0_1		
				INT03_2		
		-		MADATA07_0 (100pin only)		
-	-	14	-	MADATA12_0 (120pin only)		
10	E2	15	88	P31	E	H
				BIN0_0		
				TIOB1_1		
				SCK6_1 (SCL6_1)		
		-		INT04_2		
				MADATA08_0 (100pin only)		
-	-	15	-	MADATA13_0 (120pin only)		
11	E3	16	89	P32	E	H
				ZIN0_0		
				TIOB2_1		
				SOT6_1 (SDA6_1)		
		-		INT05_2		
				MADATA09_0 (100pin only)		

引脚号				引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-100	FBGA-112	LQFP-120	QFP-100			
-	-	16	-	MADATA14_0 (120pin only)		
12	E4	17	90	P33	E	H
				INT04_0		
				TIOB3_1		
				SIN6_1		
				ADTG_6		
-	-	17	-	MADATA10_0 (100pin only)	E	H
				MADATA15_0 (120pin only)		
13	F1	18	91	P34	E	I
				FRCK0_0		
				TIOB4_1		
				MADATA11_0 (100pin only)		
-	-	18	-	MNALE_0 (120pin only)		
14	F2	19	92	P35	E	H
				IC03_0		
				TIOB5_1		
				INT08_1		
				MADATA12_0 (100pin only)		
-	-	19	-	MNCLE_0 (120pin only)		
15	F3	20	93	P36	E	H
				IC02_0		
				SIN5_2		
				INT09_1		
				MADATA13_0 (100pin only)		
-	-	20	-	MNWEX_0 (120pin only)		
16	G1	21	94	P37	E	H
				IC01_0		
				SOT5_2 (SDA5_2)		
				INT10_1		
				MADATA14_0 (100pin only)		
-	-	21	-	MNREX_0 (120pin only)		
17	G2	22	95	P38	E	H
				IC00_0		
				SCK5_2 (SCL5_2)		
				INT11_1		
				MADATA15_0 (100pin only)		

引脚号				引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-100	FBGA-112	LQFP-120	QFP-100			
18	F4	23	96	P39	E	I
				DTTI0X_0		
				ADTG_2		
19	G3	24	97	P3A	G	I
				RTO00_0 (PPG00_0)		
				TIOA0_1		
				RTCCO_2		
				SUBOUT_2		
-	B2	-	-	VSS	-	
20	H1	25	98	P3B	G	I
				RTO01_0 (PPG00_0)		
				TIOA1_1		
21	H2	26	99	P3C	G	I
				RTO02_0 (PPG02_0)		
				TIOA2_1		
22	G4	27	100	P3D	G	I
				RTO03_0 (PPG02_0)		
				TIOA3_1		
23	H3	28	1	P3E	G	I
				RTO04_0 (PPG04_0)		
				TIOA4_1		
24	J2	29	2	P3F	G	I
				RTO05_0 (PPG04_0)		
				TIOA5_1		
25	L1	30	3	VSS	-	
26	J1	31	4	VCC	-	
27	J4	32	5	P40	G	H
				TIOA0_0		
				RTO10_1 (PPG10_1)		
				INT12_1		
28	L5	33	6	P41	G	H
				TIOA1_0		
				RTO11_1 (PPG10_1)		
				INT13_1		
29	K5	34	7	P42	G	I
				TIOA2_0		
				RTO12_1 (PPG12_1)		
30	J5	35	8	P43	G	I
				TIOA3_0		
				RTO13_1 (PPG12_1)		
				ADTG_7		
-	K2	-	-	VSS	-	
-	J3	-	-	VSS	-	
-	H4	-	-	VSS	-	

引脚号				引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-100	FBGA-112	LQFP-120	QFP-100			
31	H5	36	9	P44	G	I
				TIOA4_0		
				RTO14_1 (PPG14_1)		
				MAD00_0		
32	L6	37	10	P45	G	I
				TIOA5_0		
				RTO15_1 (PPG14_1)		
				MAD01_0		
33	L2	38	11	C	-	
34	L4	39	12	VSS	-	
35	K1	40	13	VCC	-	
36	L3	41	14	P46	D	M
				X0A		
37	K3	42	15	P47	D	N
				X1A		
38	K4	43	16	INITX	B	C
39	K6	44	17	P48	E	H
				DTT11X_1		
				INT14_1		
				SIN3_2		
				MAD02_0		
40	J6	45	18	P49	E	I
				TIOB0_0		
				IC10_1		
				AIN0_1		
				SOT3_2 (SDA3_2)		
				MAD03_0		
41	L7	46	19	P4A	E	I
				TIOB1_0		
				IC11_1		
				BIN0_1		
				SCK3_2 (SCL3_2)		
				MAD04_0		
42	K7	47	20	P4B	E	I
				TIOB2_0		
				IC12_1		
				ZIN0_1		
				MAD05_0		
43	H6	48	21	P4C	I*	I
				TIOB3_0		
				IC13_1		
				SCK7_1 (SCL7_1)		
				AIN1_2		
				MAD06_0		

引脚号				引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-100	FBGA-112	LQFP-120	QFP-100			
44	J7	49	22	P4D	I*	I
				TIOB4_0		
				FRCK1_1		
				SOT7_1 (SDA7_1)		
				BIN1_2		
				MAD07_0		
45	K8	50	23	P4E	I*	H
				TIOB5_0		
				INT06_2		
				SIN7_1		
				ZIN1_2		
				MAD08_0		
-	-	51	-	P70	E	I
				TIOA4_2		
-	-	52	-	P71	E	H
				INT13_2		
				TIOB4_2		
-	-	53	-	P72	E	H
				SIN2_0		
				INT14_2		
				TIOA6_0		
-	-	54	-	P73	E	H
				SOT2_0 (SDA2_0)		
				INT15_2		
				TIOB6_0		
-	-	55	-	P74	E	I
				SCK2_0 (SCL2_0)		
46	K9	56	24	PE0	C	P
				MD1		
47	L8	57	25	MD0	J	D
48	L9	58	26	PE2	A	A
				X0		
49	L10	59	27	PE3	A	B
				X1		
50	L11	60	28	VSS	-	
51	K11	61	29	VCC	-	
52	J11	62	30	P10	F	K
				AN00		
53	J10	63	31	P11	F	L
				AN01		
				SIN1_1		
				INT02_1		
				FRCK0_2		
				MAD09_0		
-	K10	-	-	VSS	-	
-	J9	-	-	VSS	-	

引脚号				引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-100	FBGA-112	LQFP-120	QFP-100			
54	J8	64	32	P12	F	K
				AN02		
				SOT1_1 (SDA1_1)		
				IC00_2		
				MAD10_0		
55	H10	65	33	P13	F	K
				AN03		
				SCK1_1 (SCL1_1)		
				RTCCO_1		
				SUBOUT_1		
				IC01_2		
				MAD11_0		
56	H9	66	34	P14	F	L
				AN04		
				SIN0_1		
				INT03_1		
				IC02_2		
				MAD12_0		
57	H7	67	35	P15	F	K
				AN05		
				SOT0_1 (SDA0_1)		
				IC03_2		
				MAD13_0		
58	G10	68	36	P16	F	K
				AN06		
				SCK0_1 (SCL0_1)		
				MAD14_0		
59	G9	69	37	P17	F	L
				AN07		
				SIN2_2		
				INT04_1		
				MAD15_0		
60	H11	70	38	AVCC	-	
61	F11	71	39	AVRH	-	
62	G11	72	40	AVSS	-	
63	G8	73	41	P18	F	K
				AN08		
				SOT2_2 (SDA2_2)		
				MAD16_0		
64	F10	74	42	P19	F	K
				AN09		
				SCK2_2 (SCL2_2)		
				MAD17_0		

引脚号				引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-100	FBGA-112	LQFP-120	QFP-100			
65	F9	75	43	P1A	F	L
				AN10		
				SIN4_1		
				INT05_1		
				IC00_1		
				MAD18_0		
-	H8	-	-	VSS	-	
66	E11	76	44	P1B	F	K
				AN11		
				SOT4_1 (SDA4_1)		
				IC01_1		
				MAD19_0		
67	E10	77	45	P1C	F	K
				AN12		
				SCK4_1 (SCL4_1)		
				IC02_1		
				MAD20_0		
68	F8	78	46	P1D	F	K
				AN13		
				CTS4_1		
				IC03_1		
				MAD21_0		
69	E9	79	47	P1E	F	K
				AN14		
				RTS4_1		
				DTTI0X_1		
				MAD22_0		
70	D11	80	48	P1F	F	K
				AN15		
				ADTG_5		
				FRCK0_1		
				MAD23_0		
-	-	81	-	P28	E	I
				TIOB6_2		
				ADTG_4		
				RTO05_1 (PPG04_1)		
-	-	82	-	P27	E	H
				TIOA6_2		
				INT02_2		
				RTO04_1 (PPG04_1)		
-	-	83	-	P26	E	I
				SCK2_1 (SCL2_1)		
				RTO03_1 (PPG02_1)		

引脚号				引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-100	FBGA-112	LQFP-120	QFP-100			
-	-	84	-	P25 SOT2_1 (SDA2_1) RTO02_1 (PPG02_1)	E	I
-	B10	-	-	VSS	-	-
-	C9	-	-	VSS	-	-
-	-	85	-	P24 SIN2_1 INT01_2 RTO01_1 (PPG00_1)	E	H
71	D10	86	49	P23 SCK0_0 (SCL0_0) TIOA7_1	E	I
-	-		-	RTO00_1 (PPG00_1)		
72	E8	87	50	P22 SOT0_0 (SDA0_0) TIOB7_1 ZIN1_1	E	I
73	C11	88	51	P21 SIN0_0 INT06_1 BIN1_1	E	H
74	C10	89	52	P20 INT05_0 CROUT_0 AIN1_1 MAD24_0	E	H
75	A11	90	53	VSS	-	-
76	A10	91	54	VCC	-	-
77	A9	92	55	P00 TRSTX MCSX7_0	E	E
78	B9	93	56	P01 TCK SWCLK	E	E
79	B11	94	57	P02 TDI MCSX6_0	E	E
80	A8	95	58	P03 TMS SWDIO	E	E
81	B8	96	59	P04 TDO SWO	E	E

引脚号				引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-100	FBGA-112	LQFP-120	QFP-100			
82	C8	97	60	P05	E	F
				TRACED0		
				TIOA5_2		
				SIN4_2		
				INT00_1		
				MCSX5_0		
-	D8	-	-	VSS	-	
83	D9	98	61	P06	E	F
				TRACED1		
				TIOB5_2		
				SOT4_2 (SDA4_2)		
				INT01_1		
				AIN2_1		
				MCSX4_0		
84	A7	99	62	P07	E	G
				TRACED2		
				ADTG_0		
				SCK4_2 (SCL4_2)		
				BIN2_1		
				MCLKOUT_0		
85	B7	100	63	P08	E	G
				TRACED3		
				TIOA0_2		
				CTS4_2		
				ZIN2_1		
				MCSX3_0		
86	C7	101	64	P09	E	G
				TRACECLK		
				TIOB0_2		
				RTS4_2		
				RTO20_1 (PPG20_1)		
				MCSX2_0		
87	D7	102	65	P0A	I*	H
				SIN4_0		
				INT00_2		
				FRCK1_0		
				FRCK2_0		
				RTO21_1 (PPG20_1)		
				MCSX1_0		
88	A6	103	66	P0B	I*	I
				SOT4_0 (SDA4_0)		
				TIOB6_1		
				IC10_0		
				IC20_0		
				RTO22_1 (PPG22_1)		
				MCSX0_0		

引脚号				引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-100	FBGA-112	LQFP-120	QFP-100			
89	B6	104	67	P0C	I*	I
				SCK4_0 (SCL4_0)		
				TIOA6_1		
				IC11_0		
				IC21_0		
				RTO23_1		
				MALE_0		
90	C6	105	68	P0D	E	I
				RTS4_0		
				TIOA3_2		
				IC12_0		
				IC22_0		
				RTO24_1 (PPG24_1)		
				MDQM0_0		
91	A5	106	69	P0E	E	I
				CTS4_0		
				TIOB3_2		
				IC13_0		
				IC23_0		
				RTO25_1 (PPG24_1)		
				MDQM1_0		
-	D4	-	-	VSS	-	
-	C3	-	-	VSS	-	
92	B5	107	70	P0F	E	J
				NMIX		
				CROUT_1		
				RTCCO_0		
				SUBOUT_0		
				DTTI2X_0		
				DTTI2X_1		
-	-	108	-	P68	G	H
				SCK3_0 (SCL3_0)		
				TIOB7_2		
				INT12_2		
				IC20_1		
				RTO25_0 (PPG24_0)		
-	-	109	-	P67	G	I
				SOT3_0 (SDA3_0)		
				TIOA7_2		
				IC21_1		
				RTO24_0 (PPG24_0)		

引脚号				引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-100	FBGA-112	LQFP-120	QFP-100			
-	-	110	-	P66 SIN3_0 ADTG_8 INT11_2 IC22_1 RTO23_0 (PPG22_0)	G	H
-	-	111	-	P65 TIOB7_0 SCK5_1 (SCL5_1) IC23_1 RTO22_0 (PPG22_0)	G	I
-	-	112	-	P64 TIOA7_0 SOT5_1 (SDA5_1) INT10_2 FRCK2_1 RTO21_0 (PPG20_0)	G	H
93	D6	113	71	P63 INT03_0 SIN5_1 MWEX_0	G	H
-	-		-	RTO20_0 (PPG20_0)		
94	C5	114	72	P62 SCK5_0 (SCL5_0) ADTG_3 MOEX_0	E	I
95	B4	115	73	P61 SOT5_0 (SDA5_0) TIOB2_2 UHCONX	E	I
96	C4	116	74	P60 SIN5_0 TIOA2_2 INT15_1 MRDY_0	I*	H
97	A4	117	75	USBVCC	-	
98	A3	118	76	P80 UDM0	H	O
99	A2	119	77	P81 UDP0	H	O
100	A1	120	78	VSS	-	

*: 耐 5V I/O

引脚功能列表

引脚名称(例如 XXX_1, XXX_2)中下划线("_")后面的数字代表重定位端口号。有多个引脚可为同一路通道提供同一功能。使用扩展端口功能寄存器(EPFR)选择引脚。

模块	引脚名称	功能	引脚号			
			LQFP-100	FBGA-112	LQFP-120	QFP-100
ADC	ADTG_0	A/D 转换器外部触发输入引脚	84	A7	99	62
	ADTG_1		7	D3	7	85
	ADTG_2		18	F4	23	96
	ADTG_3		94	C5	114	72
	ADTG_4		-	-	81	-
	ADTG_5		70	D11	80	48
	ADTG_6		12	E4	17	90
	ADTG_7		30	J5	35	8
	ADTG_8		-	-	110	-
	AN00	A/D 转换器模拟输入引脚。 ANxx 表示 ADC ch.xx。	52	J11	62	30
	AN01		53	J10	63	31
	AN02		54	J8	64	32
	AN03		55	H10	65	33
	AN04		56	H9	66	34
	AN05		57	H7	67	35
	AN06		58	G10	68	36
	AN07		59	G9	69	37
	AN08		63	G8	73	41
	AN09		64	F10	74	42
	AN10		65	F9	75	43
	AN11		66	E11	76	44
	AN12		67	E10	77	45
	AN13		68	F8	78	46
	AN14		69	E9	79	47
	AN15		70	D11	80	48
基本定时器 0	TIOA0_0	基本定时器 ch.0 的 TIOA 引脚	27	J4	32	5
	TIOA0_1		19	G3	24	97
	TIOA0_2		85	B7	100	63
	TIOB0_0	基本定时器 ch.0 的 TIOB 引脚	40	J6	45	18
	TIOB0_1		9	E1	14	87
	TIOB0_2		86	C7	101	64
基本定时器 1	TIOA1_0	基本定时器 ch.1 的 TIOA 引脚	28	L5	33	6
	TIOA1_1		20	H1	25	98
	TIOA1_2		5	D1	5	83
	TIOB1_0	基本定时器 ch.1 的 TIOB 引脚	41	L7	46	19
	TIOB1_1		10	E2	15	88
	TIOB1_2		6	D2	6	84
基本定时器 2	TIOA2_0	基本定时器 ch.2 的 TIOA 引脚	29	K5	34	7
	TIOA2_1		21	H2	26	99
	TIOA2_2		96	C4	116	74
	TIOB2_0	基本定时器 ch.2 的 TIOB 引脚	42	K7	47	20
	TIOB2_1		11	E3	16	89
	TIOB2_2		95	B4	115	73

模块	引脚名称	功能	引脚号			
			LQFP-100	FBGA-112	LQFP-120	QFP-100
基本定时器 3	TIOA3_0	基本定时器 ch.3 的 TIOA 引脚	30	J5	35	8
	TIOA3_1		22	G4	27	100
	TIOA3_2		90	C6	105	68
	TIOB3_0	基本定时器 ch.3 的 TIOB 引脚	43	H6	48	21
	TIOB3_1		12	E4	17	90
	TIOB3_2		91	A5	106	69
基本定时器 4	TIOA4_0	基本定时器 ch.4 的 TIOA 引脚	31	H5	36	9
	TIOA4_1		23	H3	28	1
	TIOA4_2		-	-	51	-
	TIOB4_0	基本定时器 ch.4 的 TIOB 引脚	44	J7	49	22
	TIOB4_1		13	F1	18	91
	TIOB4_2		-	-	52	-
基本定时器 5	TIOA5_0	基本定时器 ch.5 的 TIOA 引脚	32	L6	37	10
	TIOA5_1		24	J2	29	2
	TIOA5_2		82	C8	97	60
	TIOB5_0	基本定时器 ch.5 的 TIOB 引脚	45	K8	50	23
	TIOB5_1		14	F2	19	92
	TIOB5_2		83	D9	98	61
基本定时器 6	TIOA6_0	基本定时器 ch.6 的 TIOA 引脚	-	-	53	-
	TIOA6_1		89	B6	104	67
	TIOA6_2		-	-	82	-
	TIOB6_0	基本定时器 ch.6 的 TIOB 引脚	-	-	54	-
	TIOB6_1		88	A6	103	66
	TIOB6_2		-	-	81	-
基本定时器 7	TIOA7_0	基本定时器 ch.7 的 TIOA 引脚	-	-	112	-
	TIOA7_1		71	D10	86	49
	TIOA7_2		-	-	109	-
	TIOB7_0	基本定时器 ch.7 的 TIOB 引脚	-	-	111	-
	TIOB7_1		72	E8	87	50
	TIOB7_2		-	-	108	-
调试	SWCLK	串行线调试接口时钟输入引脚	78	B9	93	56
	SWDIO	串行线调试接口数据 I/O 引脚	80	A8	95	58
	SWO	串行线浏览器输出引脚	81	B8	96	59
	TCK	J-TAG 测试时钟输入引脚	78	B9	93	56
	TDI	J-TAG 测试数据输入引脚	79	B11	94	57
	TDO	J-TAG 测试数据输出引脚	81	B8	96	59
	TMS	J-TAG 测试模式状态 I/O 引脚	80	A8	95	58
	TRACECLK	ETM 的追踪 CLK 输出引脚	86	C7	101	64
	TRACED0	ETM 的追踪数据输出引脚	82	C8	97	60
	TRACED1		83	D9	98	61
	TRACED2		84	A7	99	62
	TRACED3		85	B7	100	63
	TRSTX	J-TAG 测试复位输入引脚	77	A9	92	55

模块	引脚名称	功能	引脚号			
			LQFP-100	FBGA-112	LQFP-120	QFP-100
外部总线	MAD00_0	外部总线接口地址总线	31	H5	36	9
	MAD01_0		32	L6	37	10
	MAD02_0		39	K6	44	17
	MAD03_0		40	J6	45	18
	MAD04_0		41	L7	46	19
	MAD05_0		42	K7	47	20
	MAD06_0		43	H6	48	21
	MAD07_0		44	J7	49	22
	MAD08_0		45	K8	50	23
	MAD09_0		53	J10	63	31
	MAD10_0		54	J8	64	32
	MAD11_0		55	H10	65	33
	MAD12_0		56	H9	66	34
	MAD13_0		57	H7	67	35
	MAD14_0		58	G10	68	36
	MAD15_0		59	G9	69	37
	MAD16_0		63	G8	73	41
	MAD17_0		64	F10	74	42
	MAD18_0		65	F9	75	43
	MAD19_0		66	E11	76	44
	MAD20_0		67	E10	77	45
	MAD21_0		68	F8	78	46
	MAD22_0		69	E9	79	47
	MAD23_0		70	D11	80	48
	MAD24_0		74	C10	89	52
	MCSX0_0	外部总线接口芯片选择输出引脚	88	A6	103	66
	MCSX1_0		87	D7	102	65
	MCSX2_0		86	C7	101	64
	MCSX3_0		85	B7	100	63
	MCSX4_0		83	D9	98	61
	MCSX5_0		82	C8	97	60
	MCSX6_0		79	B11	94	57
	MCSX7_0		77	A9	92	55
	MADATA0_0	外部总线接口数据总线 (地址/数据复用总线)	2	C1	2	80
	MADATA1_0		3	C2	3	81
	MADATA2_0		4	B3	4	82
	MADATA3_0		5	D1	5	83
	MADATA4_0		6	D2	6	84
	MADATA5_0		7	D3	7	85
	MADATA6_0		8	D5	8	86
	MADATA7_0		9	E1	9	87
	MADATA8_0		10	E2	10	88
	MADATA9_0		11	E3	11	89
	MADATA10_0		12	E4	12	90
	MADATA11_0		13	F1	13	91
	MADATA12_0		14	F2	14	92
	MADATA13_0		15	F3	15	93
	MADATA14_0		16	G1	16	94
	MADATA15_0		17	G2	17	95
	MDQM0_0	外部总线接口字节屏蔽信号输出引脚	90	C6	105	68
	MDQM1_0		91	A5	106	69

模块	引脚名称	功能	引脚号			
			LQFP-100	FBGA-112	LQFP-120	QFP-100
外部总线	MALE_0	复用地址锁定使能信号	89	B6	104	67
	MRDY_0	外部 RDY 输入信号	96	C4	116	74
	MCLKOUT_0	外部总线时钟输出引脚	84	A7	99	62
	MNALE_0	控制 NAND 闪存输出引脚的外部总线接口 ALE 信号	-	-	18	-
	MNCLE_0	控制 NAND 闪存输出引脚的外部总线接口 CLE 信号	-	-	19	-
	MNREX_0	控制 NAND 闪存的外部总线接口读取使能信号	-	-	21	-
	MNWEX_0	控制 NAND 闪存的外部总线接口写入使能信号	-	-	20	-
	MOEX_0	SRAM 的外部总线接口读取使能信号	94	C5	114	72
	MWEX_0	SRAM 的外部总线接口写入使能信号	93	D6	113	71
外部中断	INT00_0	外部中断请求 00 的输入引脚	2	C1	2	80
	INT00_1		82	C8	97	60
	INT00_2		87	D7	102	65
	INT01_0	外部中断请求 01 的输入引脚	3	C2	3	81
	INT01_1		83	D9	98	61
	INT01_2		-	-	85	-
	INT02_0	外部中断请求 02 的输入引脚	4	B3	4	82
	INT02_1		53	J10	63	31
	INT02_2		-	-	82	-
	INT03_0	外部中断请求 03 的输入引脚	93	D6	113	71
	INT03_1		56	H9	66	34
	INT03_2		9	E1	14	87
	INT04_0	外部中断请求 04 的输入引脚	12	E4	17	90
	INT04_1		59	G9	69	37
	INT04_2		10	E2	15	88
	INT05_0	外部中断请求 05 的输入引脚	74	C10	89	52
	INT05_1		65	F9	75	43
	INT05_2		11	E3	16	89
	INT06_1	外部中断请求 06 的输入引脚	73	C11	88	51
	INT06_2		45	K8	50	23
	INT07_2	外部中断请求 07 的输入引脚	5	D1	5	83
	INT08_1	外部中断请求 08 的输入引脚	14	F2	19	92
	INT08_2		8	D5	8	86
	INT09_1	外部中断请求 09 的输入引脚	15	F3	20	93
	INT09_2		-	-	11	-
	INT10_1	外部中断请求 10 的输入引脚	16	G1	21	94
	INT10_2		-	-	112	-
	INT11_1	外部中断请求 11 的输入引脚	17	G2	22	95
	INT11_2		-	-	110	-
	INT12_1	外部中断请求 12 的输入引脚	27	J4	32	5
	INT12_2		-	-	108	-
	INT13_1	外部中断请求 13 的输入引脚	28	L5	33	6
	INT13_2		-	-	52	-
	INT14_1	外部中断请求 14 的输入引脚	39	K6	44	17
	INT14_2		-	-	53	-
	INT15_1	外部中断请求 15 的输入引脚	96	C4	116	74
	INT15_2		-	-	54	-
	NMIX	不可屏蔽中断输入引脚	92	B5	107	70

模块	引脚名称	功能	引脚号			
			LQFP-100	FBGA-112	LQFP-120	QFP-100
GPIO	P00	通用 I/O 口 0	77	A9	92	55
	P01		78	B9	93	56
	P02		79	B11	94	57
	P03		80	A8	95	58
	P04		81	B8	96	59
	P05		82	C8	97	60
	P06		83	D9	98	61
	P07		84	A7	99	62
	P08		85	B7	100	63
	P09		86	C7	101	64
	P0A		87	D7	102	65
	P0B		88	A6	103	66
	P0C		89	B6	104	67
	P0D		90	C6	105	68
	P0E		91	A5	106	69
	P0F		92	B5	107	70
	P10	通用 I/O 口 1	52	J11	62	30
	P11		53	J10	63	31
	P12		54	J8	64	32
	P13		55	H10	65	33
	P14		56	H9	66	34
	P15		57	H7	67	35
	P16		58	G10	68	36
	P17		59	G9	69	37
	P18		63	G8	73	41
	P19		64	F10	74	42
	P1A		65	F9	75	43
	P1B		66	E11	76	44
	P1C		67	E10	77	45
	P1D		68	F8	78	46
	P1E		69	E9	79	47
	P1F		70	D11	80	48
	P20	通用 I/O 口 2	74	C10	89	52
	P21		73	C11	88	51
	P22		72	E8	87	50
	P23		71	D10	86	49
	P24		-	-	85	-
	P25		-	-	84	-
	P26		-	-	83	-
	P27		-	-	82	-
	P28		-	-	81	-

模块	引脚名称	功能	引脚号			
			LQFP-100	FBGA-112	LQFP-120	QFP-100
GPIO	P30	通用 I/O 口 3	9	E1	14	87
	P31		10	E2	15	88
	P32		11	E3	16	89
	P33		12	E4	17	90
	P34		13	F1	18	91
	P35		14	F2	19	92
	P36		15	F3	20	93
	P37		16	G1	21	94
	P38		17	G2	22	95
	P39		18	F4	23	96
	P3A		19	G3	24	97
	P3B		20	H1	25	98
	P3C		21	H2	26	99
	P3D		22	G4	27	100
	P3E		23	H3	28	1
	P3F		24	J2	29	2
	P40	通用 I/O 口 4	27	J4	32	5
	P41		28	L5	33	6
	P42		29	K5	34	7
	P43		30	J5	35	8
	P44		31	H5	36	9
	P45		32	L6	37	10
	P46		36	L3	41	14
	P47		37	K3	42	15
	P48		39	K6	44	17
	P49		40	J6	45	18
	P4A		41	L7	46	19
	P4B		42	K7	47	20
	P4C		43	H6	48	21
	P4D		44	J7	49	22
	P4E		45	K8	50	23
	P50	通用 I/O 口 5	2	C1	2	80
	P51		3	C2	3	81
	P52		4	B3	4	82
	P53		5	D1	5	83
	P54		6	D2	6	84
	P55		7	D3	7	85
	P56		8	D5	8	86
	P57		-	-	9	-
	P58		-	-	10	-
	P59		-	-	11	-
	P5A		-	-	12	-
	P5B		-	-	13	-

模块	引脚名称	功能	引脚号			
			LQFP-100	FBGA-112	LQFP-120	QFP-100
GPIO	P60	通用 I/O 口 6	96	C4	116	74
	P61		95	B4	115	73
	P62		94	C5	114	72
	P63		93	D6	113	71
	P64		-	-	112	-
	P65		-	-	111	-
	P66		-	-	110	-
	P67		-	-	109	-
	P68		-	-	108	-
	P70	通用 I/O 口 7	-	-	51	-
	P71		-	-	52	-
	P72		-	-	53	-
	P73		-	-	54	-
	P74		-	-	55	-
	P80	通用 I/O 口 8	98	A3	118	76
	P81		99	A2	119	77
	PE0	通用 I/O 口 E	46	K9	56	24
	PE2		48	L9	58	26
	PE3		49	L10	59	27
多功能串口 0	SIN0_0	多功能串口 ch.0 的输入引脚	73	C11	88	51
	SIN0_1		56	H9	66	34
	SOT0_0 (SDA0_0)	多功能串口 ch.0 的输出引脚。 充当 UART/CSIO/LIN 引脚(工作模式 0~3)时, 可用作 SOT0; 充当 I ² C 引脚(工作模式 4), 可用作 SDA0。	72	E8	87	50
	SOT0_1 (SDA0_1)		57	H7	67	35
	SCK0_0 (SCL0_0)	多功能串口 ch.0 的时钟 I/O 引脚。 充当 CSIO 引脚(工作模式 2)时, 可用作 SCK0; 充当 I ² C 引脚(工作模式 4), 可用作 SCL0。	71	D10	86	49
	SCK0_1 (SCL0_1)		58	G10	68	36
多功能串口 1	SIN1_0	多功能串口 ch.1 的输入引脚	-	-	8	-
	SIN1_1		53	J10	63	31
	SOT1_0 (SDA1_0)	多功能串口 ch.1 的输出引脚。 充当 UART/CSIO/LIN 引脚(工作模式 0~3)时, 可用作 SOT1; 充当 I ² C 引脚(工作模式 4), 可用作 SDA1。	-	-	9	-
	SOT1_1 (SDA1_1)		54	J8	64	32
	SCK1_0 (SCL1_0)	多功能串口 ch.1 的时钟 I/O 引脚。 充当 CSIO 引脚(工作模式 2)时, 可用作 SCK1; 充当 I ² C 引脚(工作模式 4), 可用作 SCL1。	-	-	10	-
	SCK1_1 (SCL1_1)		55	H10	65	33

模块	引脚名称	功能	引脚号			
			LQFP-100	FBGA-112	LQFP-120	QFP-100
多功能串口 2	SIN2_0	多功能串口 ch.2 的输入引脚	-	-	53	-
	SIN2_1		-	-	85	-
	SIN2_2		59	G9	69	37
	SOT2_0 (SDA2_0)	多功能串口 ch.2 的输出引脚。 充当 UART/CSIO/LIN 引脚(工作模式 0~3)时, 可用作 SOT2; 充当 I ² C 引脚(工作模式 4), 可用作 SDA2。	-	-	54	-
	SOT2_1 (SDA2_1)		-	-	84	-
	SOT2_2 (SDA2_2)		63	G8	73	41
	SCK2_0 (SCL2_0)	多功能串口 ch.2 的时钟 I/O 引脚。 充当 CSIO 引脚(工作模式 2)时, 可用作 SCK2; 充当 I ² C 引脚(工作模式 4), 可用作 SCL2。	-	-	55	-
	SCK2_1 (SCL2_1)		-	-	83	-
	SCK2_2 (SCL2_2)		64	F10	74	42
多功能串口 3	SIN3_0	多功能串口 ch.3 的输入引脚	-	-	110	-
	SIN3_1		2	C1	2	80
	SIN3_2		39	K6	44	17
	SOT3_0 (SDA3_0)	多功能串口 ch.3 的输出引脚。 充当 UART/CSIO/LIN 引脚(工作模式 0~3)时, 可用作 SOT3; 充当 I ² C 引脚(工作模式 4), 可用作 SDA3。	-	-	109	-
	SOT3_1 (SDA3_1)		3	C2	3	81
	SOT3_2 (SDA3_2)		40	J6	45	18
	SCK3_0 (SCL3_0)	多功能串口 ch.3 的时钟 I/O 引脚。 充当 CSIO 引脚(工作模式 2)时, 可用作 SCK3; 充当 I ² C 引脚(工作模式 4), 可用作 SCL3。	-	-	108	-
	SCK3_1 (SCL3_1)		4	B3	4	82
	SCK3_2 (SCL3_2)		41	L7	46	19
多功能串口 4	SIN4_0	多功能串口 ch.4 的输入引脚	87	D7	102	65
	SIN4_1		65	F9	75	43
	SIN4_2		82	C8	97	60
	SOT4_0 (SDA4_0)	多功能串口 ch.4 的输出引脚。 充当 UART/CSIO/LIN 引脚(工作模式 0~3)时, 可用作 SOT4; 充当 I ² C 引脚(工作模式 4), 可用作 SDA4。	88	A6	103	66
	SOT4_1 (SDA4_1)		66	E11	76	44
	SOT4_2 (SDA4_2)		83	D9	98	61
	SCK4_0 (SCL4_0)	多功能串口 ch.4 的时钟 I/O 引脚。 充当 CSIO 引脚(工作模式 2)时, 可用作 SCK4; 充当 I ² C 引脚(工作模式 4), 可用作 SCL4。	89	B6	104	67
	SCK4_1 (SCL4_1)		67	E10	77	45
	SCK4_2 (SCL4_2)		84	A7	99	62
	RTS4_0	多功能串口 ch.4 的 RTS 输出引脚	90	C6	105	68
	RTS4_1		69	E9	79	47
	RTS4_2		86	C7	101	64
	CTS4_0	多功能串口 ch.4 的 CTS 输入引脚	91	A5	106	69
	CTS4_1		68	F8	78	46
	CTS4_2		85	B7	100	63

模块	引脚名称	功能	引脚号			
			LQFP-100	FBGA-112	LQFP-120	QFP-100
多功能串口 5	SIN5_0	多功能串口 ch.5 的输入引脚	96	C4	116	74
	SIN5_1		93	D6	113	93
	SIN5_2		15	F3	20	93
	SOT5_0 (SDA5_0)	多功能串口 ch.5 的输出引脚。 充当 UART/CSIO/LIN 引脚(工作模式 0~3)时, 可用作 SOT5; 充当 I ² C 引脚(工作模式 4), 可用作 SDA5。	95	B4	115	73
	SOT5_1 (SDA5_1)		-	-	112	-
	SOT5_2 (SDA5_2)		16	G1	21	94
	SCK5_0 (SCL5_0)	多功能串口 ch.5 的时钟 I/O 引脚。 充当 CSIO 引脚(工作模式 2)时, 可用作 SCK5; 充当 I ² C 引脚(工作模式 4), 可用作 SCL5。	94	C5	114	72
	SCK5_1 (SCL5_1)		-	-	111	-
	SCK5_2 (SCL5_2)		17	G2	22	95
多功能串口 6	SIN6_0	多功能串口 ch.6 的输入引脚	5	D1	5	83
	SIN6_1		12	E4	17	90
	SOT6_0 (SDA6_0)	多功能串口 ch.6 的输出引脚。 充当 UART/CSIO/LIN 引脚(工作模式 0~3)时, 可用作 SOT6; 充当 I ² C 引脚(工作模式 4), 可用作 SDA6。	6	D2	6	84
	SOT6_1 (SDA6_1)		11	E3	16	89
	SCK6_0 (SCL6_0)	多功能串口 ch.6 的时钟 I/O 引脚。 充当 CSIO 引脚(工作模式 2)时, 可用作 SCK6; 充当 I ² C 引脚(工作模式 4), 可用作 SCL6。	7	D3	7	85
	SCK6_1 (SCL6_1)		10	E2	15	88
多功能串口 7	SIN7_0	多功能串口 ch.7 的输入引脚	-	-	11	-
	SIN7_1		45	K8	50	23
	SOT7_0 (SDA7_0)	多功能串口 ch.7 的输出引脚。 充当 UART/CSIO/LIN 引脚(工作模式 0~3)时, 可用作 SOT7; 充当 I ² C 引脚(工作模式 4), 可用作 SDA7。	-	-	12	-
	SOT7_1 (SDA7_1)		44	J7	49	22
	SCK7_0 (SCL7_0)	多功能串口 ch.7 的时钟 I/O 引脚。 充当 CSIO 引脚(工作模式 2)时, 可用作 SCK7; 充当 I ² C 引脚(工作模式 4), 可用作 SCL7。	-	-	13	-
	SCK7_1 (SCL7_1)		43	H6	48	21

模块	引脚名称	功能	引脚号			
			LQFP-100	FBGA-112	LQFP-120	QFP-100
多功能定时器 0	DTTIOX_0	控制多功能定时器 0 的 RTO00~RTO05 输出的波形发生器的输入信号	18	F4	23	96
	DTTIOX_1		69	E9	79	47
	FRCK0_0	16 位自由运行定时器 ch.0 外部时钟输入引脚	13	F1	18	91
	FRCK0_1		70	D11	80	48
	FRCK0_2		53	J10	63	31
	IC00_0	多功能定时器 0 的 16 位输入捕捉输入引脚。 ICxx 表示通道号。	17	G2	22	95
	IC00_1		65	F9	75	43
	IC00_2		54	J8	64	32
	IC01_0		16	G1	21	94
	IC01_1		66	E11	76	44
	IC01_2		55	H10	65	33
	IC02_0		15	F3	20	93
	IC02_1		67	E10	77	45
	IC02_2		56	H9	66	34
	IC03_0		14	F2	19	92
	IC03_1		68	F8	78	46
	IC03_2		57	H7	67	35
	RTO00_0 (PPG00_0)	多功能定时器 0 的波形发生器输出引脚。 PPG0 输出模式下使用时，可用作 PPG00。	19	G3	24	97
	RTO00_1 (PPG00_1)		-	-	86	-
	RTO01_0 (PPG00_0)	多功能定时器 0 的波形发生器输出引脚。 PPG0 输出模式下使用时，可用作 PPG00。	20	H1	25	98
	RTO01_1 (PPG00_1)		-	-	85	-
	RTO02_0 (PPG02_0)	多功能定时器 0 的波形发生器输出引脚。 PPG0 输出模式下使用时，可用作 PPG02。	21	H2	26	99
	RTO02_1 (PPG02_1)		-	-	84	-
	RTO03_0 (PPG02_0)	多功能定时器 0 的波形发生器输出引脚。 PPG0 输出模式下使用时，可用作 PPG02。	22	G4	27	100
	RTO03_1 (PPG02_1)		-	-	83	-
	RTO04_0 (PPG04_0)	多功能定时器 0 的波形发生器输出引脚。 PPG0 输出模式下使用时，可用作 PPG04。	23	H3	28	1
	RTO04_1 (PPG04_1)		-	-	82	-
	RTO05_0 (PPG04_0)	多功能定时器 0 的波形发生器输出引脚。 PPG0 输出模式下使用时，可用作 PPG04。	24	J2	29	2
	RTO05_1 (PPG04_1)		-	-	81	-

模块	引脚名称	功能	引脚号			
			LQFP-100	FBGA-112	LQFP-120	QFP-100
多功能定时器 1	DTT11X_0	控制多功能定时器 1 的 RTO10 ~ RTO15 输出的波形发生器的输入信号。	8	D5	8	86
	DTT11X_1		39	K6	44	17
	FRCK1_0	16 位自由运行定时器 ch.1 外部时钟输入引脚	87	D7	102	65
	FRCK1_1		44	J7	49	22
	IC10_0	多功能定时器 1 的 16 位输入捕捉输入引脚。 ICxx 表示通道号。	88	A6	103	66
	IC10_1		40	J6	45	18
	IC11_0		89	B6	104	67
	IC11_1		41	L7	46	19
	IC12_0		90	C6	105	68
	IC12_1		42	K7	47	20
	IC13_0		91	A5	106	69
	IC13_1		43	H6	48	21
	RTO10_0 (PPG10_0)	多功能定时器 1 的波形发生器输出引脚。 PPG1 输出模式下使用时, 可用作 PPG10。	2	C1	2	80
	RTO10_1 (PPG10_1)		27	J4	32	5
	RTO11_0 (PPG10_0)	多功能定时器 1 的波形发生器输出引脚。 PPG1 输出模式下使用时, 可用作 PPG10。	3	C2	3	81
	RTO11_1 (PPG10_1)		28	L5	33	6
	RTO12_0 (PPG12_0)	多功能定时器 1 的波形发生器输出引脚。 PPG1 输出模式下使用时, 可用作 PPG12。	4	B3	4	82
	RTO12_1 (PPG12_1)		29	K5	34	7
	RTO13_0 (PPG12_0)	多功能定时器 1 的波形发生器输出引脚。 PPG1 输出模式下使用时, 可用作 PPG12。	5	D1	5	83
	RTO13_1 (PPG12_1)		30	J5	35	8
	RTO14_0 (PPG14_0)	多功能定时器 1 的波形发生器输出引脚。 PPG1 输出模式下使用时, 可用作 PPG14。	6	D2	6	84
	RTO14_1 (PPG14_1)		31	H5	36	9
	RTO15_0 (PPG14_0)	多功能定时器 1 的波形发生器输出引脚。 PPG1 输出模式下使用时, 可用作 PPG14。	7	D3	7	85
	RTO15_1 (PPG14_1)		32	L6	37	10

模块	引脚名称	功能	引脚号			
			LQFP-100	FBGA-112	LQFP-120	QFP-100
多功能定时器 2	DTTI2X_0	控制多功能定时器 2 的 RTO20~RTO25 输出的波形发生器的输入信号	92	B5	107	70
	DTTI2X_1		92	B5	107	70
	FRCK2_0	16 位自由运行定时器 ch.2 外部时钟输入引脚	87	D7	102	65
	FRCK2_1		-	-	112	-
	IC20_0	多功能定时器 2 的 16 位输入捕捉输入引脚。ICxx 表示通道号。	88	A6	103	66
	IC20_1		-	-	108	-
	IC21_0		89	B6	104	67
	IC21_1		-	-	109	-
	IC22_0		90	C6	105	68
	IC22_1		-	-	110	-
	IC23_0		91	A5	106	69
	IC23_1		-	-	111	-
	RTO20_0 (PPG20_0)	多功能定时器 2 的波形发生器输出引脚。PPG2 输出模式下使用时，可用作 PPG20。	-	-	113	-
	RTO20_1 (PPG20_1)		86	C7	101	64
	RTO21_0 (PPG20_0)	多功能定时器 2 的波形发生器输出引脚。PPG2 输出模式下使用时，可用作 PPG20。	-	-	112	-
	RTO21_1 (PPG20_1)		87	D7	102	65
	RTO22_0 (PPG22_0)	多功能定时器 2 的波形发生器输出引脚。PPG2 输出模式下使用时，可用作 PPG22。	-	-	111	-
	RTO22_1 (PPG22_1)		88	A6	103	66
	RTO23_0 (PPG22_0)	多功能定时器 2 的波形发生器输出引脚。PPG2 输出模式下使用时，可用作 PPG22。	-	-	110	-
	RTO23_1 (PPG22_1)		89	B6	104	67
	RTO24_0 (PPG24_0)	多功能定时器 2 的波形发生器输出引脚。PPG2 输出模式下使用时，可用作 PPG24。	-	-	109	-
	RTO24_1 (PPG24_1)		90	C6	105	68
	RTO25_0 (PPG24_0)	多功能定时器 2 的波形发生器输出引脚。PPG2 输出模式下使用时，可用作 PPG24。	-	-	108	-
	RTO25_1 (PPG24_1)		91	A5	106	69
Quad 计数器 0	AIN0_0	QPRC ch.0 的 AIN 输入引脚	9	E1	14	87
	AIN0_1		40	J6	45	18
	AIN0_2		2	C1	2	80
	BIN0_0	QPRC ch.0 的 BIN 输入引脚	10	E2	15	88
	BIN0_1		41	L7	46	19
	BIN0_2		3	C2	3	81
	ZIN0_0	QPRC ch.0 的 ZIN 输入引脚	11	E3	16	89
	ZIN0_1		42	K7	47	20
	ZIN0_2		4	B3	4	82
Quad 计数器 1	AIN1_1	QPRC ch.1 的 AIN 输入引脚	74	C10	89	52
	AIN1_2		43	H6	48	21
	BIN1_1	QPRC ch.1 的 BIN 输入引脚	73	C11	88	51
	BIN1_2		44	J7	49	22
	ZIN1_1	QPRC ch.1 的 ZIN 输入引脚	72	E8	87	50
	ZIN1_2		45	K8	50	23

模块	引脚名称	功能	引脚号			
			LQFP-100	FBGA-112	LQFP-120	QFP-100
Quad 计数器 2	AIN2_0	QPRC ch.2 的 AIN 输入引脚	-	-	10	-
	AIN2_1		83	D9	98	61
	BIN2_0	QPRC ch.2 的 BIN 输入引脚	-	-	11	-
	BIN2_1		84	A7	99	62
	ZIN2_0	QPRC ch.2 的 ZIN 输入引脚	-	-	12	-
	ZIN2_1		85	B7	100	63
实时时钟	RTCCO_0	实时时钟 0.5 秒脉冲输出引脚	92	B5	107	70
	RTCCO_1		55	H10	65	33
	RTCCO_2		19	G3	24	97
	SUBOUT_0	副时钟输出引脚	92	B5	107	70
	SUBOUT_1		55	H10	65	33
	SUBOUT_2		19	G3	24	97
USB	UDM0	USB ch.0 功能/主机的 D-引脚	98	A3	118	76
	UDP0	USB ch.0 功能/主机的 D+引脚	99	A2	119	77
	UHCONX	USB 外部上拉控制引脚	95	B4	115	73
Reset	INITX	外部复位输入引脚。 INITX="L"时，复位有效。	38	K4	43	16
Mode	MD0	模式 0 引脚。 正常运行时，请输入 MD0="L"。串行写入闪存时，请输入 MD0="H"。	47	L8	57	25
	MD1	模式 1 引脚。 串行写入闪存时，请输入 MD1="L"。	46	K9	56	24
Power	VCC	电源引脚	1	B1	1	79
	VCC	电源引脚	26	J1	31	4
	VCC	电源引脚	35	K1	40	13
	VCC	电源引脚	51	K11	61	29
	VCC	电源引脚	76	A10	91	54
	USBVCC	USB I/O 的 3.3V 电源供给端口	97	A4	117	75
GND	VSS	GND 引脚	-	B2	-	
	VSS	GND 引脚	25	L1	30	3
	VSS	GND 引脚	-	K2	-	
	VSS	GND 引脚	-	J3	-	
	VSS	GND 引脚	-	H4	-	
	VSS	GND 引脚	34	L4	39	12
	VSS	GND 引脚	50	L11	60	28
	VSS	GND 引脚	-	K10	-	
	VSS	GND 引脚	-	J9	-	
	VSS	GND 引脚	-	H8	-	
	VSS	GND 引脚	-	B10	-	
	VSS	GND 引脚	-	C9	-	
	VSS	GND 引脚	75	A11	90	53
	VSS	GND 引脚	-	D8	-	
	VSS	GND 引脚	-	D4	-	
	VSS	GND 引脚	-	C3	-	
	VSS	GND 引脚	100	A1	120	78

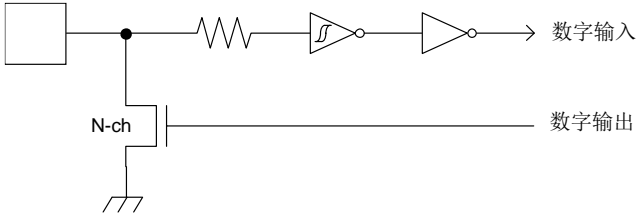
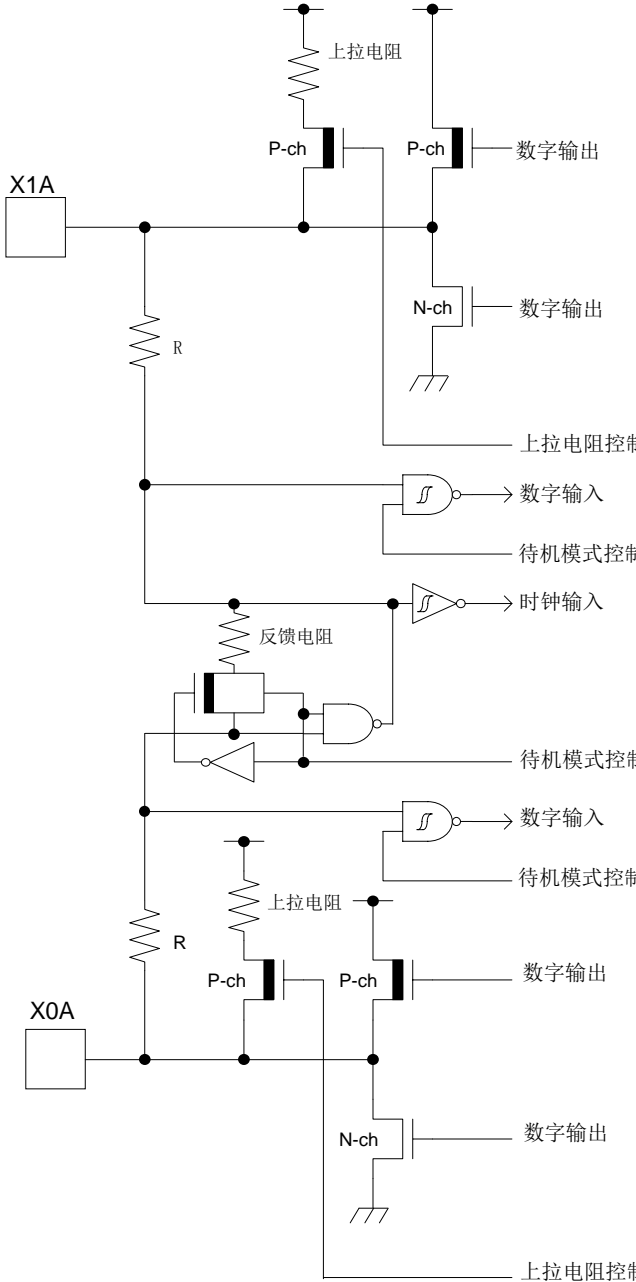
模块	引脚名称	功能	引脚号			
			LQFP-100	FBGA-112	LQFP-120	QFP-100
Clock	X0	主时钟(振荡)输入引脚	48	L9	58	26
	X0A	副时钟(振荡)输入引脚	36	L3	41	14
	X1	主时钟(振荡) I/O 引脚	49	L10	59	27
	X1A	副时钟(振荡) I/O 引脚	37	K3	42	15
	CROUT_0	高速内置 CR 振荡时钟输出口	74	C10	89	52
	CROUT_1		92	B5	107	70
Analog Power	AVCC	A/D 转换器的模拟电源引脚	60	H11	70	38
	AVRH	A/D 转换器的模拟基准电压输入引脚	61	F11	71	39
Analog GND	AVSS	A/D 转换器的 GND 引脚	62	G11	72	40
C 引脚	C	电源稳定电容引脚	33	L2	38	11

注意事项:

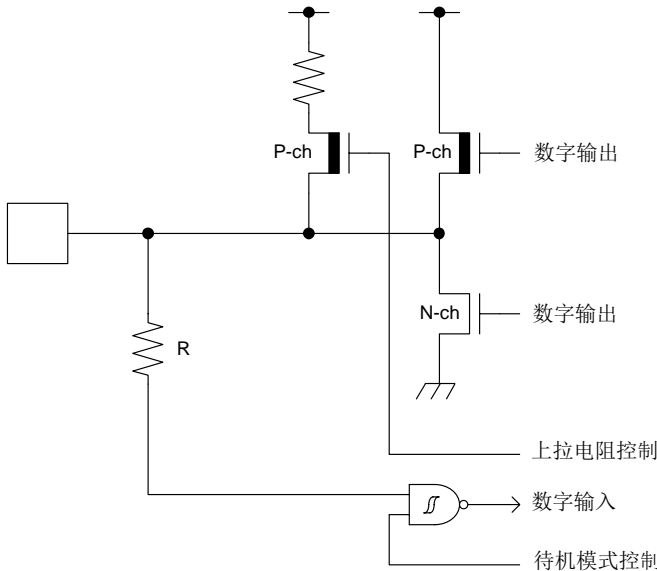
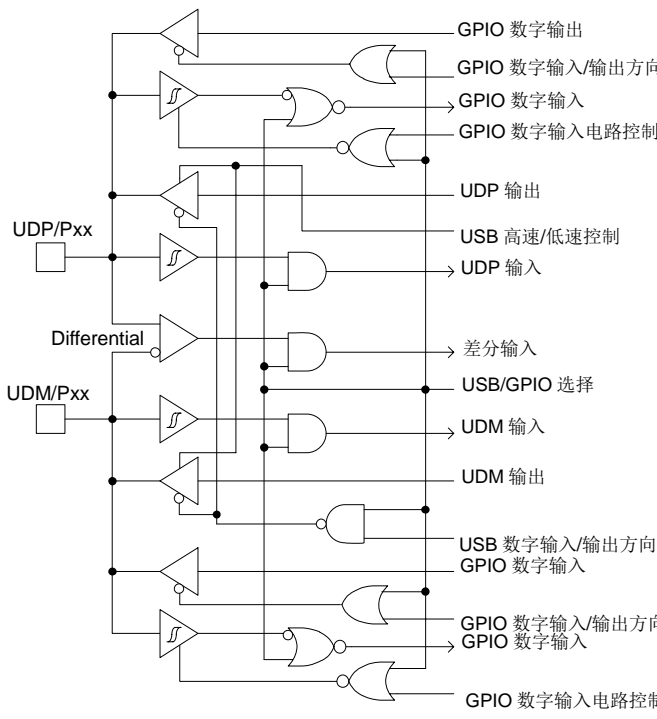
虽然该器件包含基于 IEEE 1149.1-2001 JTAG 标准的测试访问端口 (TAP)，它不完全符合该标准的所有要求。该器件可能包含与它具有不同功能的器件一样的 32 位器件 ID。TAP 引脚也可经过配置用于访问 TAP 控制器以外的用途。

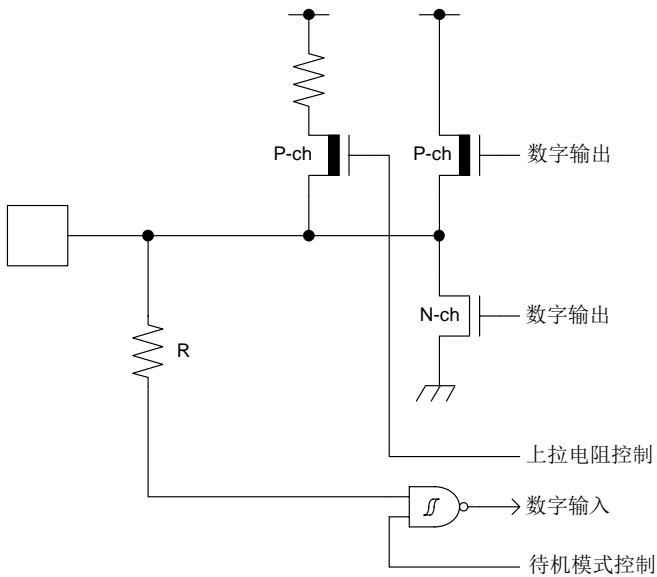
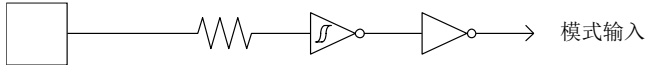
5. I/O 电路类型

类型	电路	备注
A		<p>可切换主振荡/GPIO</p> <p>选择主振荡功能时。</p> <ul style="list-style-type: none"> - 振荡反馈电阻: 约 1 MΩ - 带待机控制 <p>选择 GPIO 功能时</p> <ul style="list-style-type: none"> - CMOS 电平输出。 - CMOS 电平迟滞输入 - 带上拉电阻控制 - 带待机控制 - 上拉电阻: 约 50 kΩ - $I_{OH} = -4 \text{ mA}, I_{OL} = 4 \text{ mA}$
B		<ul style="list-style-type: none"> - CMOS 电平迟滞输入 - 上拉电阻: 约 50 kΩ

类型	电路	备注
C		<ul style="list-style-type: none"> - 开漏输出 - CMOS 电平迟滞输入
D		<p>可切换副振荡/GPIO</p> <p>选择副振荡功能时。</p> <ul style="list-style-type: none"> - 振荡反馈电阻: 约 5 MΩ - 带待机控制 <p>选择 GPIO 功能时</p> <ul style="list-style-type: none"> - CMOS 电平输出。 - CMOS 电平迟滞输入 - 带上拉电阻控制 - 带待机控制 - 上拉电阻: 约 50 kΩ - $I_{OH}=-4\text{ mA}, I_{OL}=4\text{ mA}$

41 / 111

类型	电路	备注
G		<ul style="list-style-type: none"> - CMOS 电平输出 - CMOS 电平迟滞输入 - 带上拉电阻控制 - 带待机控制 - 上拉电阻: 约 50 kΩ - $I_{OH}=-12\text{ mA}, I_{OL}=12\text{ mA}$ - +B 输入可用
H		<p>可切换 USB I/O/GPIO。</p> <p>选择 USB I/O 功能时</p> <ul style="list-style-type: none"> - 控制高速和低速 <p>选择 GPIO 功能时</p> <ul style="list-style-type: none"> - CMOS 电平输出 - CMOS 电平迟滞输入 - 带待机控制 - $I_{OH}=-20.5\text{ mA},$ $I_{OL}=18.5\text{ mA}$

类型	电路	备注
I	 <p>该电路展示了 Type I 的引脚配置。它包含一个 P 沟道 MOSFET (P-ch) 和一个 N 沟道 MOSFET (N-ch)，它们的栅极连接到一起，并连接到 VDD 和 GND。P 沟道 MOSFET 的源极连接到 VDD，漏极连接到输出引脚。N 沟道 MOSFET 的源极连接到 GND，漏极也连接到输出引脚。一个电阻 R 连接在 VDD 和输出引脚之间，用于上拉电阻控制。输出引脚还连接到一个 Schmitt 触发器缓冲器，其输入端连接到输出引脚，输出端连接到数字输入引脚。数字输入引脚还连接到一个 Schmitt 触发器缓冲器，其输入端连接到输出引脚，输出端连接到待机模式控制引脚。</p>	<ul style="list-style-type: none"> - CMOS 电平输出 - CMOS 电平迟滞输入 - 带上拉电阻控制 - 耐 5 V - 带待机控制 - $I_{OH}=-4\text{ mA}, I_{OL}=4\text{ mA}$ - 可控制 PZR 寄存器。 - 当该引脚被用作 I²C 引脚时，数字输出 P 沟道晶体管处于常闭状态。
J	 <p>该电路展示了 Type J 的引脚配置。它包含一个 Schmitt 触发器缓冲器，其输入端连接到输出引脚，输出端连接到模式输入引脚。一个电阻 R 连接在 VDD 和输出引脚之间，用于上拉电阻控制。</p>	CMOS 电平迟滞输入

6. 芯片处理注意事项

半导体芯片存在一定的故障发生概率。半导体芯片的故障率很大程度受使用条件(电路条件、环境条件等)的影响。使用半导体芯片时遵守下列注意事项,可降低故障概率并提高产品性能。

6.1 产品设计注意事项

本部分介绍使用半导体芯片进行电子产品设计时的注意事项。

遵守最大绝对额定值

施加超过最大绝对额定值的负荷(电压、电流、温度等)可能会永久损坏半导体芯片。因此,注意不可超过这些额定值。

遵守推荐工作条件

遵守推荐工作条件可以保证半导体芯片的正常动作。请保证电气特性的额定值符合这些条件范围。

请始终在符合推荐工作条件的状态下使用。不符合条件的使用可能会影响芯片的可靠性并导致芯片故障。

Cypress 不保证“数据手册”上没有记载的项目、使用条件和逻辑组合的使用。用户在“数据手册”未记载的条件下使用时,请事先与销售部门联系。

引脚的处理与保护

处理连接半导体芯片上的电源引脚及 I/O 引脚时,须注意以下事项。

1. 过电压、过电流的防止

各引脚上施加超过最大额定值的电压、电流会损伤芯片内部,在极端情况下甚至会永久损坏芯片。设计产品时,请防止产生过电压、过电流。

2. 输出引脚的保护

电源引脚或者其它输出引脚短路或连接大电容负载会产生大的漏电流。长时间保持这种连接状态会损伤芯片。因此不要进行此类连接。

3. 未用输入引脚的保护

在悬空状态下使用高阻抗电平的输入引脚时,可能会引起操作不稳定。请使用合适的电阻连接到电源引脚或接地引脚。

闩锁

半导体芯片根据基板上的 P 型区和 N 型区进行配置。外部异常电压增加时,内部寄生 PNP 接合点(晶闸管构造)导通后,增加的数百 mA 的大电流可能会流至电源引脚。这就是闩锁。

注意:这一现象会降低芯片的可靠性,还有引起发热、冒烟和起火的危险。为避免以上现象发生,应该注意以下几点:

1. 不可在引脚上添加超过最大额定的电压。注意异常噪声和电涌等。
2. 考虑上电的先后顺序,不要流入异常电流。

遵守安全法规和标准

世界各国提供了诸如安全和地磁干扰等规章制度和标准。客户进行产品设计时请遵守这些规章制度和标准。

故障及安全设计

半导体芯片存在一定的故障发生概率。请用户对芯片和设备采取冗余设计、防火设计、防止过电流设计、防误动作设计等安全设计措施，保证即使在设备发生故障的情况下，也不会造成人身伤害、火灾和社会损失。

芯片使用注意事项

Cypress 半导体器件旨在用于标准应用（计算机、办公自动化和其它办公设备、工业、通信和测量设备、个人或家用设备等）。

注意:如果客户考虑把我们的产品用于特殊的应用中，发生故障或不正常运行可能直接危及生命安全或导致人身伤害或财产损失，或者是在需要极高可靠性的场合（比如航空航天系统、原子能控制、海底中继器、车辆操作控制、医用维系生命设备等），请在使用前咨询我们的销售代表。本公司不对未经事前同意进行此类使用造成的损失负责。

6.2 封装注意事项

封装分为直插型和表贴型。对这两类封装，仅符合 Cypress 推荐工作条件的封装方可保障焊接耐热性等品质。关于封装详情，请咨询本公司的销售部。

直插型

在印刷电路板上直接进行直插型封装有两种方法:在印刷电路板上直接焊接和使用插座进行封装。

直接在印刷电路板上焊接: 铅插入印刷电路板的通孔后，一般使用喷流焊锡法(波峰焊接方法)。这种情况下进行焊接时，超过最大保存温度额定的热应力导入到铅上。封装请符合 Cypress 推荐的工作条件。

使用插座封装方法: 插座接点的表面处理和 IC 的铅表面处理不同时，长时间后会发生接触不良的现象。建议用户封装前确认此时的插座接点的表面处理和 IC 铅表面处理的状态。

表贴型

与直插型封装比较，表贴型封装的铅细薄，容易弯曲变形。封装时可能发生开路(引脚增加、引脚间距狭窄、铅变形引起)和短路(桥焊引起)。

请采用合适的封装技术。Cypress 推荐焊接方法的产品封装条件实施等级分类。用户请按照 Cypress 推荐的等级分类进行封装。

无铅封装

注意:使用 Sn-Pb 共晶焊料进行 BGA 封装的 Sn-Ag-Cu 球产品封装时，需注意因使用状况引起的接合强度变低现象。

半导体芯片的保管

塑料封装使用树脂材料，在自然环境下放置容易吸湿。吸湿后的封装在封装时需要进行加热，可能会产生由于界面剥离而降低耐湿性或者封装产生裂痕的现象。请注意以下几点：

1. 保管场所的气温急剧变化会引起产品上面水分结露。应避免在此类环境下保管产品。请在温度变化低的场所保管产品。
2. 推荐使用干燥箱保管产品。保管时相对湿度 70 %RH 以下，温度 5 °C~30 °C。
干燥的封装开封时，推荐湿度为 40 %~70 % RH。
3. Cypress 的半导体芯片使用防潮性高的铝质网状包装袋，并使用硅胶作为干燥剂。半导体芯片放入铝质网袋密封保管。
4. 避免在腐蚀性气体充溢和灰尘弥漫的场所保管产品。

烘烤

吸湿后的封装通过烘烤(加热干燥)可进行除湿。烘烤时，请在 Cypress 推荐的条件下进行。

条件:125 °C/24 小时

静电

静电容易破坏半导体芯片，请注意以下几点：

1. 工作环境的相对湿度:40 %~70 %RH。必要时考虑使用除静电装置(离子发生器)。
2. 使用的传输带、沾锡槽、焊烙铁及周围附加设备接地。
3. 为防止人体静电，可导致高电阻 (1 MΩ 左右)的戒指或手镯应放置地线保持接地状态。
穿着导电性好的衣服鞋子，床上铺设导电垫，这些措施可使带电电荷保持在最小限度。
4. 请将夹具及计量类仪器仪表接地或者进行防静电处理。
5. 基板组装完毕进行收纳时，避免使用发泡胶等容易带电的材料。

6.3 使用环境注意事项

半导体芯片的可靠性依赖于前述的周围温度及环境条件。

使用时请注意以下几点:

1. 湿度环境

长期在高湿度环境下使用可引起芯片以及 PCB 板的漏电等问题。如果预料到芯片会放置到高湿度环境, 请考虑进行防潮处理。

2. 静电放电

半导体芯片靠近高压带电物体时, 可能因放电产生误动作。这种情况下请进行防静电等处理以防产生放电。

3. 腐蚀性气体、尘埃、油

在腐蚀性气雾、大气尘埃和油附着的状态下使用芯片, 引起的化学反应可能对芯片产生不良影响。在这样的环境下使用时, 请采取预防措施。

4. 放射线及宇宙射线

一般芯片设计时并不可暴露于有放射线和宇宙射线的环境。因此, 若要在这样的环境下使用, 请做好防护。

5. 冒烟及起火

注意: 模质树脂型的芯片具有可燃性, 因此注意不可以靠近易燃物。芯片冒烟或起火时可能产生有毒气体。

其它特殊环境下使用 Cypress 产品时, 请咨询 Cypress 销售部门。

7. 芯片使用注意事项

关于电源引脚

如果产品有多个 VCC, VSS 引脚, 为防止芯片设计时因闩锁等产生误动作, 可把芯片内同一电位上的引脚相互连接。为防止因额外的辐射或者地线的上升致使选通信号发生误动作, 请务必把这些引脚与外部电源或地线连接, 以符合总输出电流的额定。

另外, 使用尽可能低的电阻连接电流供应源和本芯片的各电源引脚及 GND 引脚。此外, 推荐在本芯片附近各电源引脚和 GND 引脚之间连接一个约 0.1 μF 的陶瓷电容器作为旁路电容。

稳定电源电压

如果电源电压迅速波动, 即便波动在推荐的 VCC 电源电压工作条件范围内, 也可能出现功能异常。通常, 采用稳压电源抑制电压波动的条件下, 工业用电频率 (50 Hz/60 Hz) 下的 VCC 纹波 (峰峰值) 波动不会超过推荐工作条件下 VCC 值的 10 %, 此外在开关电源时如果产生瞬时波动, 瞬态波动率将不超过 0.1 V/ μs 。

晶振电路

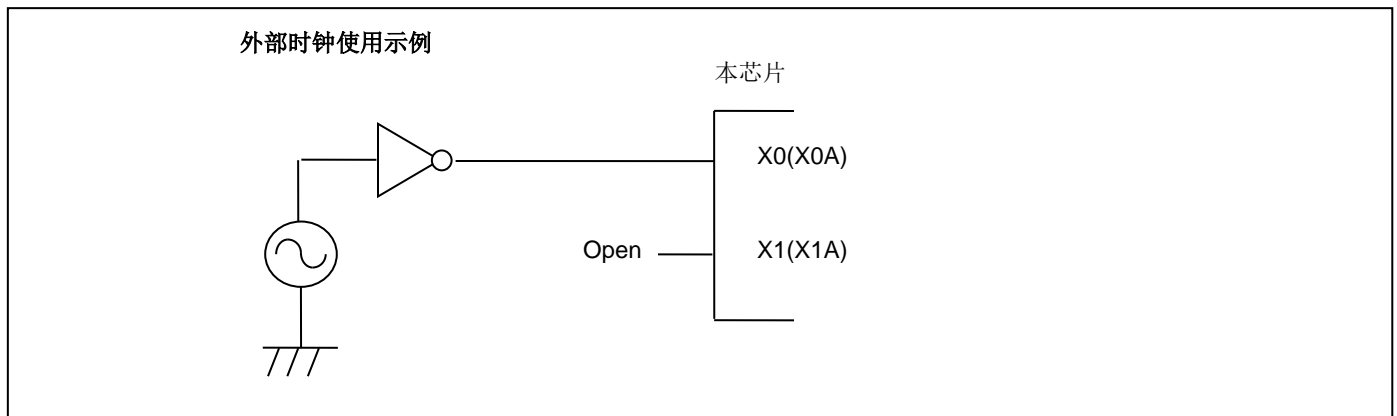
X0/X1 引脚, X0A/X1A 引脚附近的噪声可导致芯片出现误动作。在设计印刷电路板布线时, X0/X1 引脚、X0A/X1A 引脚、晶振要尽量靠近地线的旁路电容。

强烈建议设计时地线应环绕 X0/X1 引脚和 X0A/X1A 引脚, 这样印刷电路板才能够稳定工作。

对安装板上所用晶体振荡器产生的振荡进行评估。

外部时钟使用注意事项

使用外部时钟时, 仅驱动 X0 和 X0A 引脚, 悬空 X1 和 X1A 引脚。



多功能串行引脚用作 I²C 引脚时的注意事项

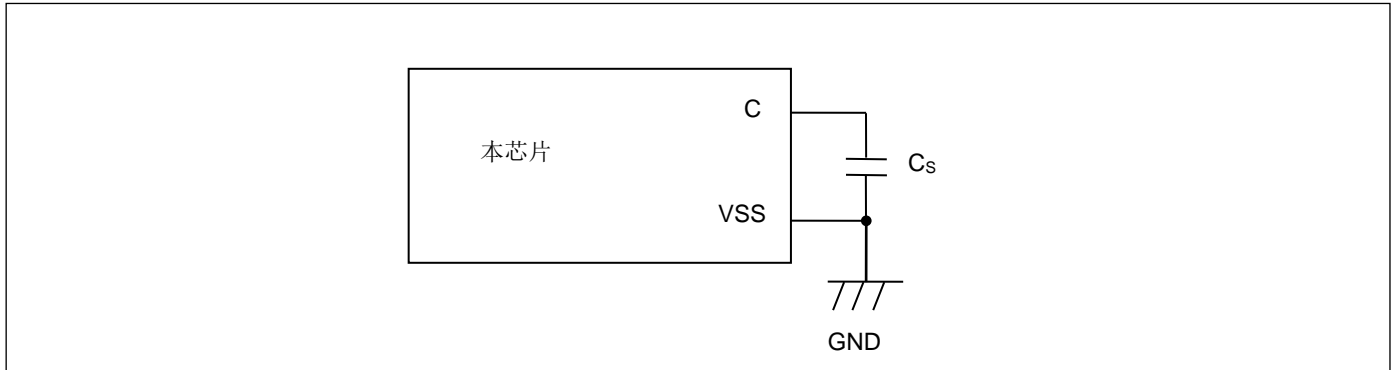
如果多功能串行引脚用作 I²C 引脚, 数字输出 P-ch 晶体管始终处于禁止状态。但是, I²C 引脚需要如其它引脚一样保持电气特性, 断电后无需与外部 I²C 总线系统连接。

C 引脚

本系列内置稳压器。确保在 C 引脚和 GND 引脚之间连接一个用于稳压器的平滑电容器 (CS)。请使用陶瓷电容器或具有同等频率特性的电容器作为平滑电容器。

但是部分叠层陶瓷电容器具有容量随着热波动而发生变化的特性 (F 特性和 Y5V 特性)。请评估电容器的温度特性, 选择满足工作条件规格的电容器以供使用。

针对本系列而言, 推荐使用大约 4.7 μF 的平滑电容器。



模式引脚(MD0)

模式引脚(MD0)直接与 VCC 引脚/VSS 引脚连接。为防止模式引脚电平变化及重写闪存数据引起上拉/下拉或者并防止芯片因噪声而意外进入测试模式, 设计电路板时上拉或下拉使用的电阻值尽量小一些, 尽可能地缩短模式引脚到 VCC 引脚/VSS 引脚的距离, 最好用低阻抗连结。

上电时的注意事项

同时开关电源或按照以下顺序开关电源。

即使不使用 A/D 转换器时, 也请按照 AVCC=VCC 电平, AVSS= VSS 电平连接。

上电时:	VCC→USBVCC
	VCC→AVCC→AVRH
断电时:	AVRH→AVCC→VCC
	USBVCC→VCC

串行通信

串行通信时受噪声或其他因素影响可能接收到不正确的数据。

因此, 请设计能降噪的电路板。

考虑到受噪声影响而接收到不正确的数据, 应在数据末尾添加数据校验等错误检测措施。检测出错误后, 重新发送数据。

不同容量的存储器产品间及 Flash 产品和 MASK 产品的特性差异

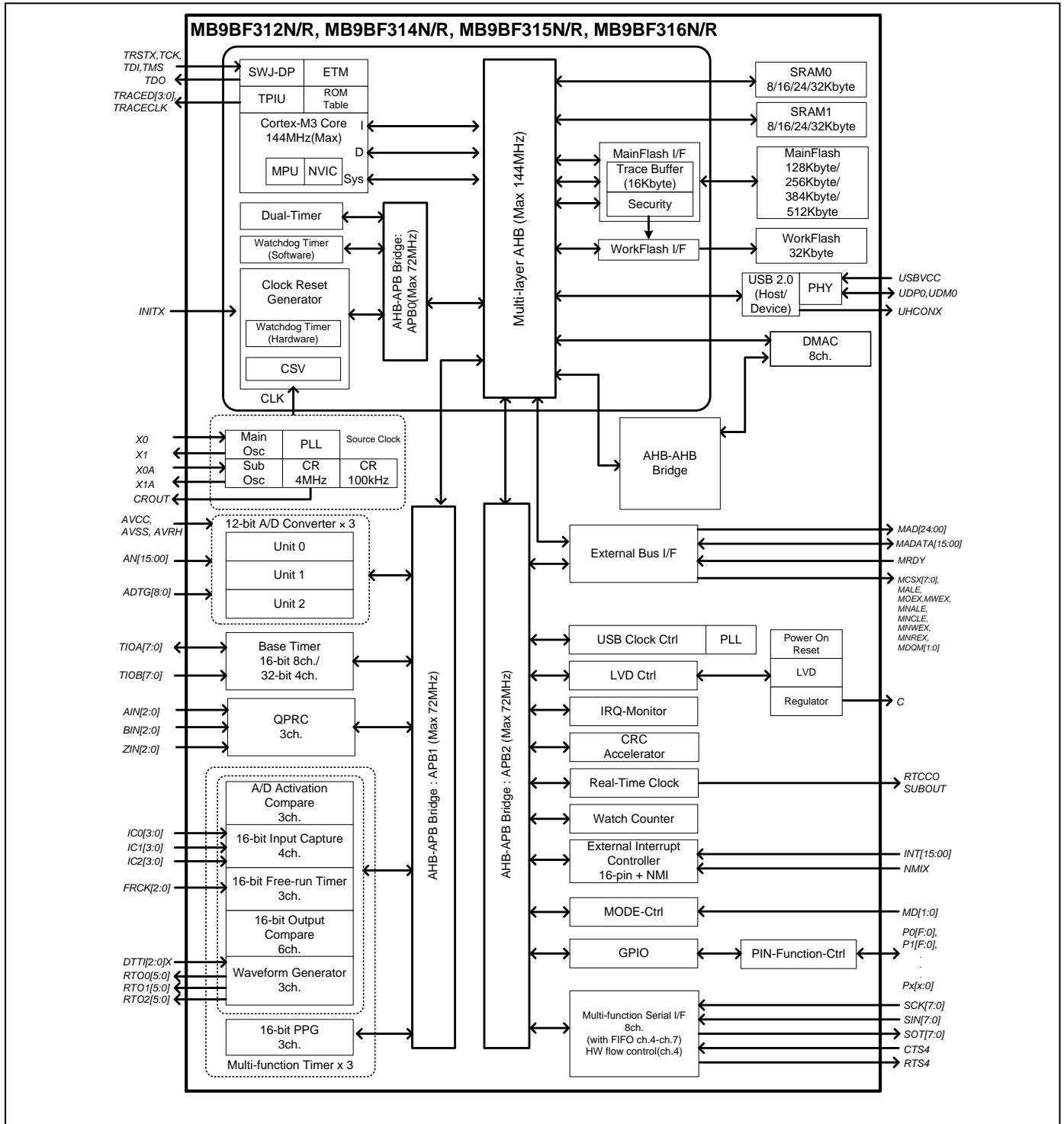
因为芯片布设和存储器构造的差异, 不同容量的存储器产品间及 Flash 产品和 MASK 产品的电气特性(功耗、ESD、闩锁、噪声特性、振荡特性等)也不同。

用户要切换到同一系列的其它产品时, 须评估其电气特性。

耐 5 V I/O 的上拉功能

使用耐 5 V I/O 的上拉功能时, 切勿输入超过 VCC 电压的信号。

8. 框图

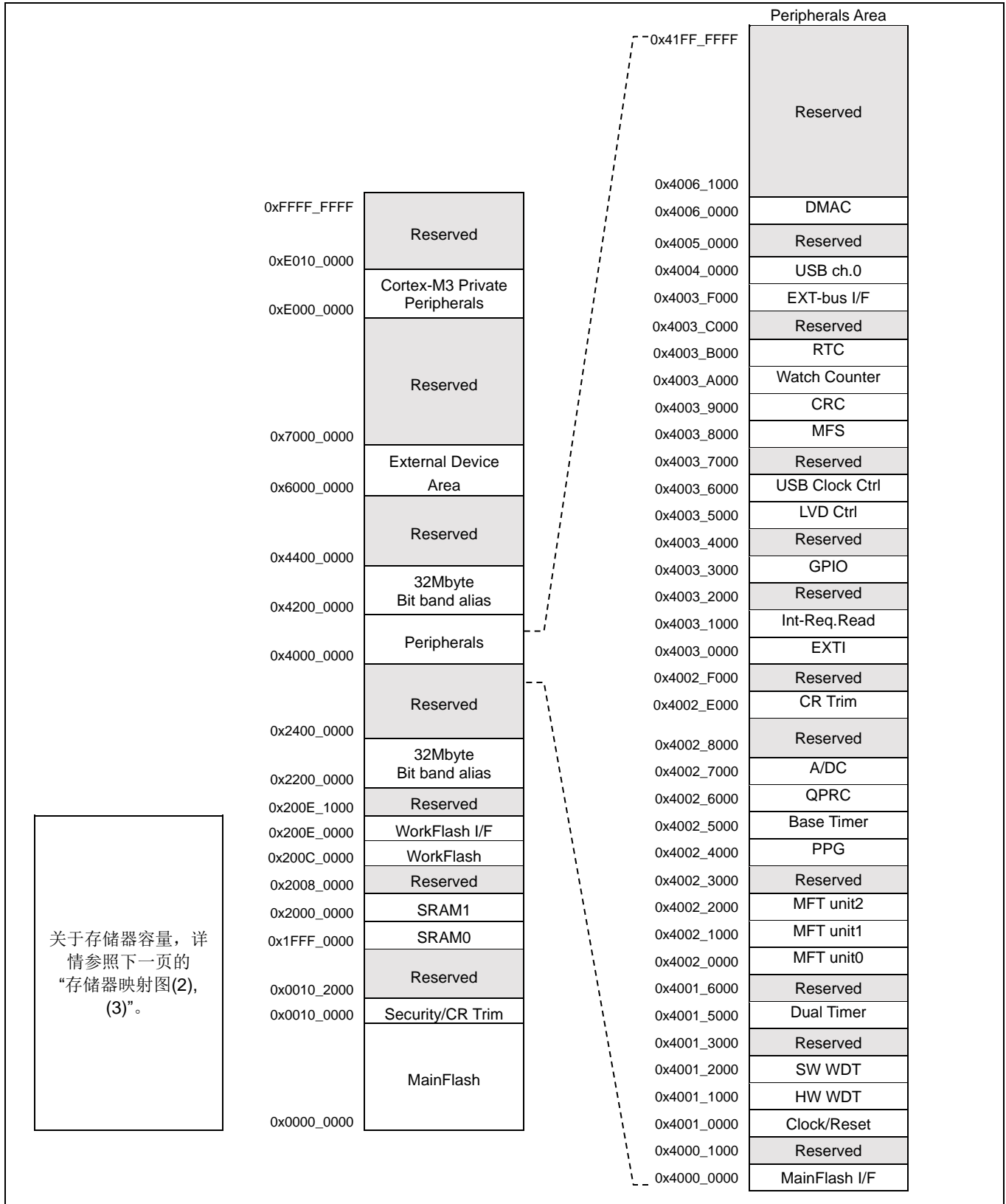


9. 存储器容量

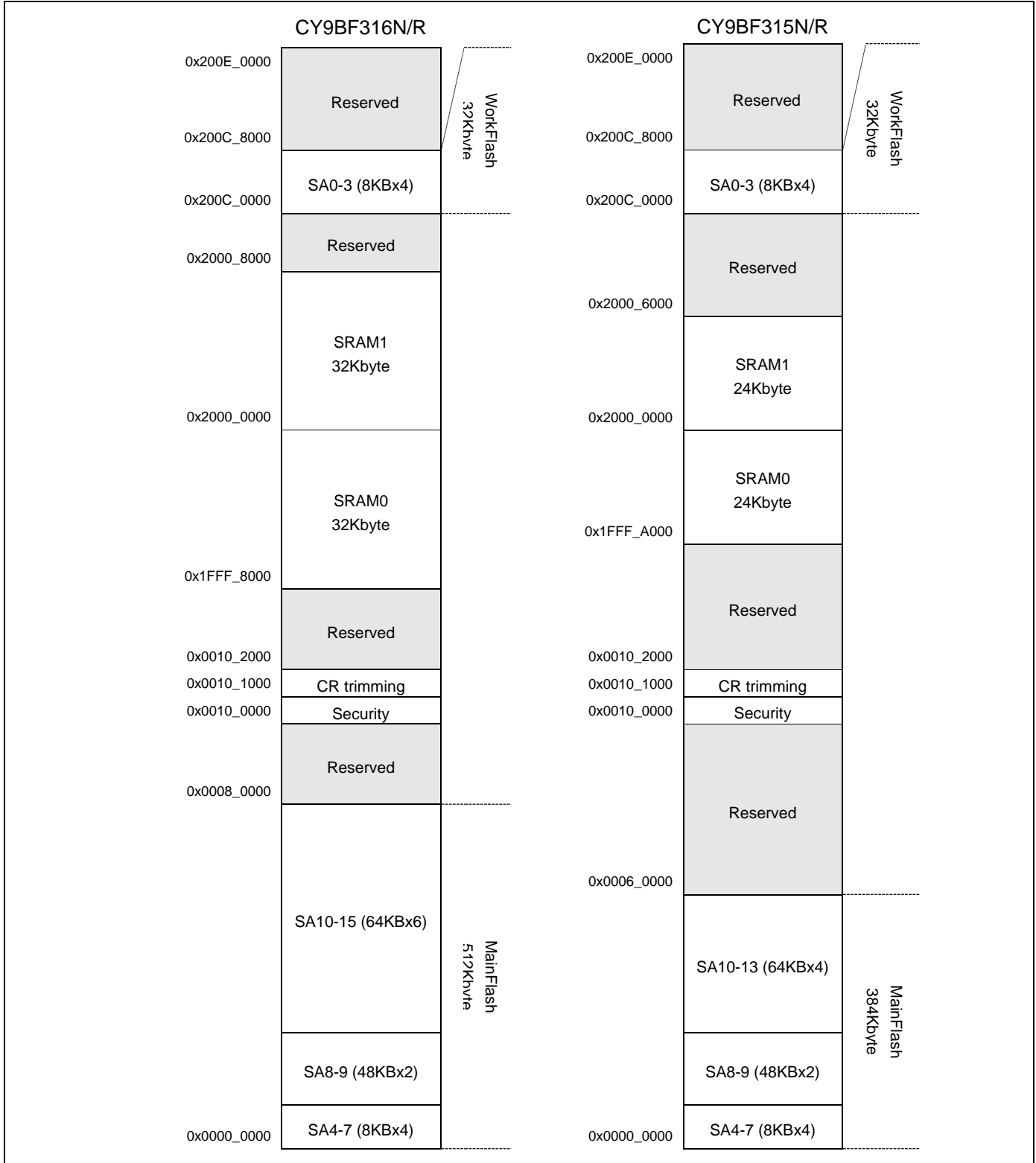
关于存储器容量，详情参照“1 产品阵容”中的“存储器容量”。

10. 存储器映射图

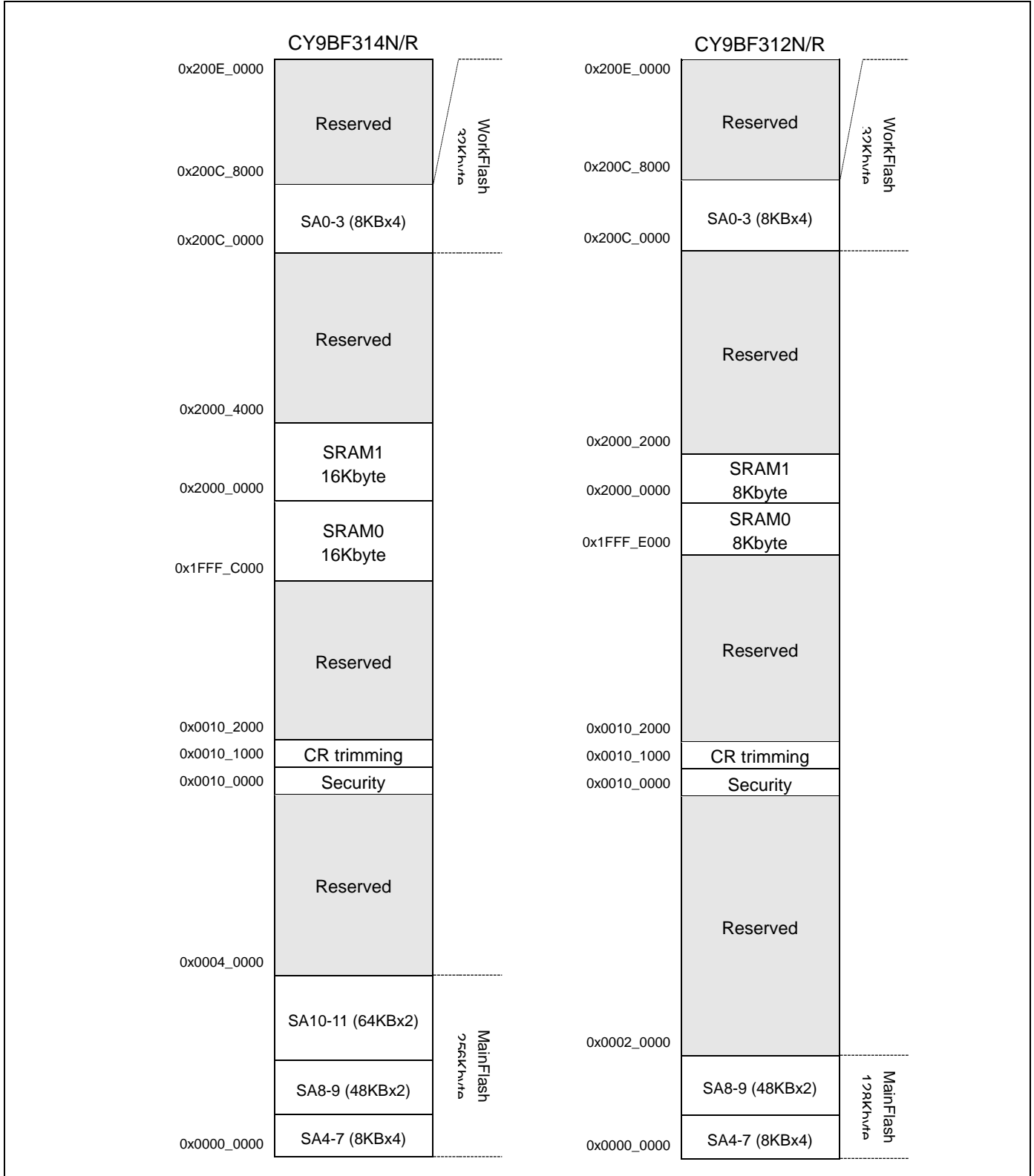
存储器映射图(1)



关于存储器容量，详情参照下一页的“存储器映射图(2), (3)”。

存储器映射图(2)


* 请参阅"CY9B510R/410R/310R/110R 系列闪存编程手册" 了解闪存的扇区结构。

存储器映射图(3)


* 请参阅"CY9B510R/410R/310R/110R 系列闪存编程手册" 了解闪存的扇区结构。

外设功能地址映射

起始地址	末尾地址	总线	外设功能
0x4000_0000	0x4000_0FFF	AHB	MainFlash I/F 寄存器
0x4000_1000	0x4000_FFFF		保留
0x4001_0000	0x4001_0FFF	APB0	时钟复位控制
0x4001_1000	0x4001_1FFF		硬件监视定时器
0x4001_2000	0x4001_2FFF		软件监视定时器
0x4001_3000	0x4001_4FFF		保留
0x4001_5000	0x4001_5FFF		双定时器
0x4001_6000	0x4001_FFFF		保留
0x4002_0000	0x4002_0FFF	APB1	多功能定时器 unit0
0x4002_1000	0x4002_1FFF		多功能定时器 unit1
0x4002_2000	0x4002_3FFF		多功能定时器 unit2
0x4002_4000	0x4002_4FFF		PPG
0x4002_5000	0x4002_5FFF		基本定时器
0x4002_6000	0x4002_6FFF		Quad 计数器(QPRC)
0x4002_7000	0x4002_7FFF		A/D 转换器
0x4002_8000	0x4002_DFFF		保留
0x4002_E000	0x4002_EFFF		内置 CR 调节
0x4002_F000	0x4002_FFFF		保留
0x4003_0000	0x4003_0FFF	APB2	外部中断
0x4003_1000	0x4003_1FFF		中断源确认寄存器
0x4003_2000	0x4003_2FFF		保留
0x4003_3000	0x4003_3FFF		GPIO
0x4003_4000	0x4003_4FFF		保留
0x4003_5000	0x4003_5FFF		低压检测
0x4003_6000	0x4003_6FFF		USB 时钟生成电路
0x4003_7000	0x4003_7FFF		保留
0x4003_8000	0x4003_8FFF		多功能串口
0x4003_9000	0x4003_9FFF		CRC
0x4003_A000	0x4003_AFFF		计时计数器
0x4003_B000	0x4003_BFFF		实时时钟
0x4003_C000	0x4003_EFFF		保留
0x4003_F000	0x4003_FFFF		外部总线 I/F
0x4004_0000	0x4004_FFFF	AHB	USB ch.0
0x4005_0000	0x4005_FFFF		保留
0x4006_0000	0x4006_0FFF		DMAC 寄存器
0x4006_1000	0x41FF_FFFF		保留
0x200E_0000	0x200E_FFFF		WorkFlash I/F 寄存器

11. 各 CPU 状态下的引脚状态

引脚状态术语释义如下。

- **INITX=0**
INITX 引脚为"L"电平期间。
- **INITX=1**
INITX 引脚为"H"电平期间。
- **SPL=0**
待机模式控制寄存器(STB_CTL)的待机引脚电平设定位(SPL)清"0"的状态。
- **SPL=1**
待机模式控制寄存器(STB_CTL)的待机引脚电平设定位(SPL)置"1"的状态。
- **输入使能**
输入功能可使用的状态。
- **内部输入固定在"0"**
输入功能不可使用的状态。内部输入固定在"L"。
- **Hi-Z**
将输出驱动用晶体管置于驱动禁止状态、引脚置于 Hi-Z 状态。
- **设定禁止**
不可设定。
- **保持即前状态**
保持转换到本模式前的状态。
如果内置的外设功能正在运行，则遵从该外设功能。
用作端口时，保持该状态。
- **模拟输入使能**
允许模拟输入。
- **追踪输出**
追踪功能可使用的状态。

引脚状态一览表

引脚状态类型	功能组名称	上电复位或 低压检测状态	INITX 输入 状态	芯片内部复 位状态	运行或睡眠 模式状态	定时器模式或睡眠模式状态	
		电源不稳定	电源稳定		电源稳定	电源稳定	
		-	INITX=0	INITX=1	INITX=1	INITX=1	
		-	-	-	-	SPL=0	SPL=1
A	选择 GPIO 时	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	Hi-Z/内部输入固定在"0"
	主晶振输入引脚	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能
B	选择 GPIO 时	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	Hi-Z/ 内部输入固定在"0"
	主晶振输出引脚	Hi-Z/ 内部输入固定在"0"/ 或输入使能	Hi-Z/ 内部输入固定在"0"	Hi-Z/ 内部输入固定在"0"	保持即前状态	保持即前状态/振荡 停止时*1Hi-Z/ 内部输入固定在 "0"	保持即前状态/振荡 停止时*1Hi-Z/ 内部输入固定在"0"
C	INITX 输入引脚	上拉/ 输入使能	上拉/输入 使能	上拉/输入 使能	上拉/输入 使能	上拉/输入使能	上拉/输入使能
D	模式输入引脚	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能
E	选择 JTAG	Hi-Z	上拉/输入 使能	上拉/输入 使能	保持即前状态	保持即前状态	保持即前状态
	选择 GPIO	设定禁止	设定禁止	设定禁止			Hi-Z/内部输入固定在"0"
F	选择追踪时	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	追踪输出
	选择外部中断 使能时						保持即前状态
	选择 GPIO, 选择上記以外 其他时	Hi-Z	Hi-Z/ 输入使能	Hi-Z/ 输入使能			Hi-Z/ 内部输入固定在"0"
G	选择追踪时	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	追踪输出
	选择 GPIO 时, 选择上記以外 其他时	Hi-Z	Hi-Z/ 输入使能	Hi-Z/ 输入使能			Hi-Z/ 内部输入固定在"0"
H	选择外部中断 使能时	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	保持即前状态
	选择 GPIO 时, 选择上記以外 其他时	Hi-Z	Hi-Z/ 输入使能	Hi-Z/ 输入使能			Hi-Z/ 内部输入固定在"0"
I	选择 GPIO 时, 选择资源时	Hi-Z	Hi-Z/ 输入使能	Hi-Z/ 输入使能	保持即前状态	保持即前状态	Hi-Z/内部输入固定在"0"
J	选择 NMIX 时	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	保持即前状态
	选择 GPIO 时, 选择上記以外 其他时	Hi-Z	Hi-Z/ 输入使能	Hi-Z/ 输入使能			Hi-Z/ 内部输入固定在"0"

引脚状态类型	功能组名称	上电复位或 低压检测状态	INITX 输入 状态	芯片内部复 位状态	运行或睡眠 模式状态	定时器模式或睡眠模式状态	
		电源不稳定	电源稳定		电源稳定	电源稳定	
		-	INITX=0	INITX=1	INITX=1	INITX=1	
		-	-	-	-	SPL=0	SPL=1
K	选择模拟输入时	Hi-Z	Hi-Z/ 内部输入固 定在"0"/ 模拟输入使 能	Hi-Z/ 内部输入固 定在"0"/ 模拟输入使 能	Hi-Z/ 内部输入固 定在"0"/ 模拟输入使 能	Hi-Z/ 内部输入固 定在"0"/ 模拟输入使 能	Hi-Z/ 内部输入固 定在"0"/ 模拟输入使 能
	选择 GPIO 时, 选择上记以外 资源时	设定禁止	设定禁止	设定禁止	保持即前状 态	保持即前状态	Hi-Z/ 内部输入固 定在"0"
L	选择外部中断 使能时	设定禁止	设定禁止	设定禁止	保持即前状 态	保持即前状态	保持即前状态
	选择模拟输入 时	Hi-Z	Hi-Z/ 内部输入固 定在"0"/ 模拟输入使 能	Hi-Z/ 内部输入固 定在"0"/ 模拟输入使 能	Hi-Z/ 内部输入固 定在"0"/ 模拟输入使 能	Hi-Z/ 内部输入固 定在"0"/ 模拟输入使 能	Hi-Z/ 内部输入固 定在"0"/ 模拟输入使 能
	选择 GPIO 时, 选择上记以外 其他时	设定禁止	设定禁止	设定禁止	保持即前状 态	保持即前状态	Hi-Z/ 内部输入固 定在"0"
M	选择 GPIO 时	设定禁止	设定禁止	设定禁止	保持即前状 态	保持即前状态	Hi-Z/内部输入固 定在"0"
	副晶振输入引 脚	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能
N	选择 GPIO 时	设定禁止	设定禁止	设定禁止	保持即前状 态	保持即前状态	Hi-Z/ 内部输入固 定在"0"
	副晶振输出引 脚	Hi-Z/ 内部输入固 定在"0"/ 或输入使能	Hi-Z/ 内部输入固 定在"0"	Hi-Z/ 内部输入固 定在"0"	保持即前状 态	保持即前状态/振 荡停止时 ^{*2} Hi-Z/ 内部输入固 定在"0"	保持即前状态/振荡 停止时 ^{*2} Hi-Z/ 内部输入固 定在"0"
O	选择 GPIO 时	Hi-Z	Hi-Z/ 输入使能	Hi-Z/ 输入使能	保持即前状 态	保持即前状态	Hi-Z/内部输入固 定在"0"
	USB I/O 引脚	设定禁止	设定禁止	设定禁止	保持即前状 态	发送时 Hi-Z/输入 使能/接收时内部 输入固定在"0"	发送时 Hi-Z/输入使 能/接收时内部输入 固定在"0"
P	模式输入引脚	输入 使能	输入使能	输入使能	输入使能	输入 使能	输入 使能
	选择 GPIO 时	设定禁止	设定禁止	设定禁止	保持即前状 态	保持即前 状态	Hi-Z/ 输入使能

*1: 副定时器模式、低速 CR 定时器模式和停止模式下振荡停止。

*2: 停止模式下振荡停止。

12. 电气特性

12.1 绝对最大额定值

参数	符号	额定值		单位	备注
		最小	最大		
电源电压*1,*2	V _{CC}	V _{SS} - 0.5	V _{SS} + 6.5	V	
电源电压(USB 用)*1,*3	USBV _{CC}	V _{SS} - 0.5	V _{SS} + 6.5	V	
模拟电源电压*1,*4	AV _{CC}	V _{SS} - 0.5	V _{SS} + 6.5	V	
模拟基准电压*1,*4	AVRH	V _{SS} - 0.5	V _{SS} + 6.5	V	
输入电压*1	V _I	V _{SS} - 0.5	V _{CC} + 0.5 (≤ 6.5 V)	V	USB 引脚以外
		V _{SS} - 0.5	USBV _{CC} + 0.5 (≤ 6.5 V)	V	USB 引脚
		V _{SS} - 0.5	V _{SS} + 6.5	V	耐 5 V
模拟引脚输入电压*1	V _{IA}	V _{SS} - 0.5	AV _{CC} + 0.5 (≤ 6.5 V)	V	
输出电压*1	V _O	V _{SS} - 0.5	V _{CC} + 0.5 (≤ 6.5 V)	V	
钳位最大电流	I _{CLAMP}	-2	+2	mA	*8
钳位总体最大电流	Σ[I _{CLAMP}]		+20	mA	*8
"L"电平最大输出电流*5	I _{OL}	-	10	mA	4 mA 类型
			20	mA	12 mA 类型
			39	mA	P80, P81
"L"电平平均输出电流*6	I _{OLAV}	-	4	mA	4 mA 类型
			12	mA	12 mA 类型
			18.5	mA	P80, P81
"L"电平最大总输出电流	ΣI _{OL}	-	100	mA	
"L"电平平均总输出电流*7	ΣI _{OLAV}	-	50	mA	
"H"电平最大输出电流*5	I _{OH}	-	- 10	mA	4 mA 类型
			- 20	mA	12 mA 类型
			- 39	mA	P80, P81
"H"电平平均输出电流*6	I _{OHAV}	-	- 4	mA	4 mA 类型
			- 12	mA	12 mA 类型
			- 20.5	mA	P80, P81
"H"电平最大总输出电流	ΣI _{OH}	-	- 100	mA	
"H"电平平均总输出电流*7	ΣI _{OHAV}	-	- 50	mA	
功耗	P _D	-	1000	mW	
保存温度	T _{STG}	- 55	+ 150	°C	

*1: V_{SS} = AV_{SS} = 0.0 V 时的值。

*2: V_{CC} 不可低于 V_{SS}-0.5 V。

*3: USB V_{CC} 不可低于 V_{SS}-0.5 V。

*4: 接通电源等情况下, 电压不可超过 V_{CC} + 0.5 V。

*5: 最大输出电流规定所在引脚的峰值。

*6: 平均输出电流规定在 100 ms 内流经所在引脚的平均电流。

*7: 平均总输出电流规定在 100 ms 内流过所有引脚的平均电流。

*8:

请参阅"引脚功能列表" 和 "I/O 电路类型"，了解可用的+B 输入引脚。

在推荐的工作条件下使用。

在直流电压（电流）下使用+B 输入。

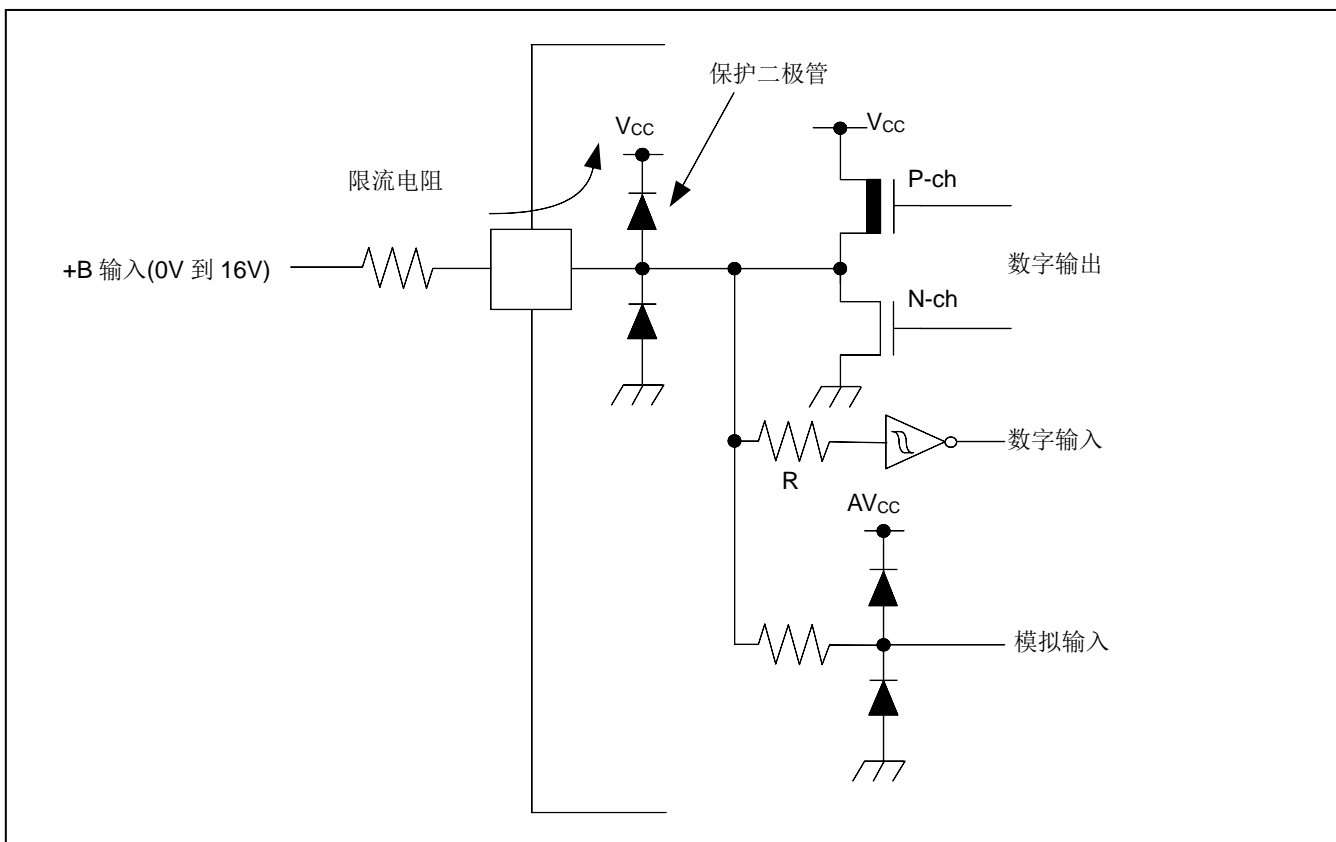
应用+B 信号时，应在+B 信号和器件之间施加一个限流电阻。

限流电阻的设置应保证：当应用+B 信号时，器件引脚的输入电流不超过额定值，无论是瞬时还是持续操作。

注意当器件驱动电流较低时，例如当处于低功耗模式时，+B 输入电位可能通过保护二极管，并提高 VCC 和 AVCC 引脚上的电势，这可能给其他器件造成影响。

注意如果在输入+B 信号时器件电源被关闭（不固定在 0 V），就会从这些引脚提供电源，这可能导致不完整的操作。

下面是推荐的电路示例（I/O 等效电路）。



注意事项:

如在半导体器件上施加的负荷(电压、电流、温度等)超过最大额定值，将会导致该器件永久性损坏，因此任何参数均不得超过其绝对最大额定值。

12.2 推荐工作条件

($V_{SS} = AV_{SS} = 0.0\text{ V}$)

参数		符号	条件	规格值		单位	备注
				最小	最大		
电源电压		V_{CC}	-	2.7	5.5	V	
USB ch.0 用电源电压		$USBV_{CC}$	-	3.0	$3.6 (\leq V_{CC})$	V	*1
				2.7	$5.5 (\leq V_{CC})$		*2
模拟电源电压		AV_{CC}	-	2.7	5.5	V	$AV_{CC} = V_{CC}$
模拟基准电压		AV_{RH}	-	2.7	AV_{CC}	V	
平滑电容器		C_S	-	1	10	μF	用于 1.2 V 内置稳压器*3
工作温度	LQI100 LQM120	T_A	贴装 4 层 印刷版时	- 40	+ 85	$^{\circ}\text{C}$	
	PQH100 LBC112	T_A	-	- 40	+ 85	$^{\circ}\text{C}$	

*1:P81/UDP0, P80/UDM0 引脚作为 USB 引脚(UDP0, UDM0)使用时。

*2:P81/UDP0, P80/UDM0 引脚作为 GPIO 引脚(P81, P80)使用时。

*3:请参阅“7 器件操作”中的“C 引脚”章节，以了解平滑电容器的连接。

*4:其间如果低于最低供电电压和低电压复位/中断检测电压，只能运行内置的高速 CR（包括使用主 PLL）或内置的低速 CR 的指令执行与低电压检测功能。

注意事项:

为确保半导体器件的正常工作，其须满足所推荐的运行环境或条件。器件在所推荐的环境或条件下运行时，其全部电气特性均可得到保证。

请务必在所推荐的工作环境或条件范围内使用该半导体器件。如超出该等范围使用，可能会影响该器件的可靠性并导致故障。本公司对本数据手册中未记载的使用范围、运行条件或逻辑组合不作任何保证。如果用户欲在所列条件之外使用器件，请务必事先联系销售代表。

12.3 直流特性

12.3.1 电流规格

($V_{CC} = AV_{CC} = USBV_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = AV_{SS} = 0\text{ V}$, $T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$)

参数	符号	引脚名称	条件	规格值		单位	备注
				标准*3	最大*4		
运行模式电流	I_{CC}	VCC	PLL 运行模式 CPU :144 MHz, 外设:72 MHz, Main Flash 2 Wait TraceBuffer :ON FRWTR.RWT = 10 FSYNDN.SD = 000 FBFCR.BE = 1	85	117	mA	*1, *5
			PLL 运行模式 CPU :72 MHz, 外设:72 MHz, Main Flash 0 Wait TraceBuffer :OFF FRWTR.RWT = 00 FSYNDN.SD = 000 FBFCR.BE = 0	52	70	mA	*1, *5
			高速 CR 运行模式 CPU/外设: 4 MHz*2 Main Flash 0 Wait FRWTR.RWT = 00 FSYNDN.SD = 000	5	17	mA	*1
			副振荡 运行模式 CPU/外设:32 kHz Main Flash 0 Wait FRWTR.RWT = 00 FSYNDN.SD = 000	1.3	14	mA	*1, *6
			低速 CR 运行模式 CPU/外设: 100 kHz Main Flash 0 Wait FRWTR.RWT = 00 FSYNDN.SD = 000	1.3	14	mA	*1
睡眠模式电流	I_{CCS}	VCC	PLL 睡眠模式 外设:72 MHz	28	43	mA	*1, *5
			高速 CR 睡眠模式 外设:4 MHz*2	3	16	mA	*1
			副振荡 睡眠模式 外设:32 kHz	1	14	mA	*1, *6
			低速 CR 睡眠模式 外设:100 kHz	1	14	mA	*1

*1:所有端口固定时。

*2:调节时设定到 4 MHz 的情况下。

*3: $T_A = +25\text{ }^{\circ}\text{C}$, $V_{CC} = 5.5\text{ V}$

*4: $T_A = +85\text{ }^{\circ}\text{C}$, $V_{CC} = 5.5\text{ V}$

*5:在使用 4 MHz 的晶体振荡器 (包括振荡电路的电流消耗) 时

*6:在使用 32 kHz 的晶体振荡器 (包括振荡电路的电流消耗) 时

参数	符号	引脚名称	条件		规格值		单位	备注
					标准*2	最大*2		
定时器模式 电流	I _{CC} T	VCC	主 定时器模式	T _A = + 25 °C, LVD off 时	3.2	6	mA	*1, *3
				T _A = + 85 °C, LVD off 时	-	15	mA	*1, *3
			子 定时器模式	T _A = + 25 °C, LVD off 时	0.9	3	mA	*1, *4
				T _A = + 85 °C, LVD off 时	-	12	mA	*1, *4
停止 模式 电流	I _{CC} H		停止模式	T _A = + 25 °C, LVD off 时	0.8	3	mA	*1
				T _A = + 85 °C, LVD off 时	-	12	mA	*1

*1:所有端口固定时。

*2:V_{CC}=5.5 V

*3:在使用 4 MHz 的晶体振荡器（包括振荡电路的电流消耗）时

*4:在使用 32 kHz 的晶体振荡器（包括振荡电路的电流消耗）时

低压检测电流

(V_{CC} = 2.7 V ~ 5.5 V, V_{SS} = 0 V, T_A = - 40 °C ~ + 85 °C)

参数	符号	引脚名称	条件	规格值		单位	备注
				标准	最大		
低压检测电路 (LVD) 电源电流	I _{CC} LVD	VCC	中断操作时 V _{CC} = 5.5 V	4	7	μA	没有检测时

闪存存储器电流

(V_{CC} = 2.7 V ~ 5.5 V, V_{SS} = 0 V, T_A = - 40 °C ~ + 85 °C)

参数	符号	引脚名称	条件	规格值		单位	备注
				标准	最大		
闪存写入/擦除电流	I _{CC} FLASH	VCC	MainFlash 在写入/擦除时	11.4	13.1	mA	*
			WorkFlash 在写入/擦除时	11.4	13.1	mA	

*:将 I_{CC}FLASH （用于写入或擦除闪存存储器的电流）添加到 I_{CC}。

A/D 转换器电流

(V_{CC} = AV_{CC} = 2.7 V ~ 5.5 V, V_{SS} = AV_{SS} = AVRL = 0 V, T_A = - 40 °C ~ + 85 °C)

参数	符号	引脚名称	条件	规格值		单位	备注
				标准	最大		
电源电流	I _{CC} AD	AVCC	1 个单元操作	0.47	0.62	mA	
			停止	0.06	25	μA	
基准电源电流	I _{CC} AVRH	AVRH	1 个单元操作 AVRH=5.5 V	1.1	1.96	mA	
			停止	0.06	4	μA	

12.3.2 引脚特性
 $(V_{CC} = USBV_{CC} = AV_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = AV_{SS} = 0\text{ V}, T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C})$

参数	符号	引脚名称	条件	规格值			单位	备注
				最小	标准	最大		
"H"电平输入电压 (迟滞输入)	V_{IHS}	CMOS 迟滞输入引脚, MD0, MD1	-	$V_{CC} \times 0.8$	-	$V_{CC} + 0.3$	V	
		耐 5V 输入引脚	-	$V_{CC} \times 0.8$	-	$V_{SS} + 5.5$	V	
"L"电平输入电压 (迟滞输入)	V_{ILS}	CMOS 迟滞输入引脚, MD0, MD1	-	$V_{SS} - 0.3$	-	$V_{CC} \times 0.2$	V	
		耐 5V 输入引脚	-	$V_{SS} - 0.3$	-	$V_{CC} \times 0.2$	V	
"H"电平输出电压	V_{OH}	4 mA 类型	$V_{CC} \geq 4.5\text{ V}$ $I_{OH} = -4\text{ mA}$	$V_{CC} - 0.5$	-	V_{CC}	V	
			$V_{CC} < 4.5\text{ V}$ $I_{OH} = -2\text{ mA}$					
		12 mA 类型	$V_{CC} \geq 4.5\text{ V}$ $I_{OH} = -12\text{ mA}$	$V_{CC} - 0.5$	-	V_{CC}	V	
			$V_{CC} < 4.5\text{ V}$ $I_{OH} = -8\text{ mA}$					
		P80, P81	$USBV_{CC} \geq 4.5\text{ V}$ $I_{OH} = -20.5\text{ mA}$	$USBV_{CC} - 0.4$	-	$USBV_{CC}$	V	
			$USBV_{CC} < 4.5\text{ V}$ $I_{OH} = -13.0\text{ mA}$					
"L"电平输出电压	V_{OL}	4 mA 类型	$V_{CC} \geq 4.5\text{ V}$ $I_{OL} = 4\text{ mA}$	V_{SS}	-	0.4	V	
			$V_{CC} < 4.5\text{ V}$ $I_{OL} = 2\text{ mA}$					
		12 mA 类型	$V_{CC} \geq 4.5\text{ V}$ $I_{OL} = 12\text{ mA}$	V_{SS}	-	0.4	V	
			$V_{CC} < 4.5\text{ V}$ $I_{OL} = 8\text{ mA}$					
		P80, P81	$USBV_{CC} \geq 4.5\text{ V}$ $I_{OL} = 18.5\text{ mA}$	V_{SS}	-	0.4	V	
			$USBV_{CC} < 4.5\text{ V}$ $I_{OL} = 10.5\text{ mA}$					
输入漏电流	I_{IL}	-	-	- 5	-	+5	μA	
上拉电阻值	R_{PU}	上拉引脚	$V_{CC} \geq 4.5\text{ V}$	25	50	100	k Ω	
			$V_{CC} < 4.5\text{ V}$	30	80	200		
输入电容	C_{IN}	除 VCC, USBVCC, VSS, AVCC, AVSS, AVRH 以外	-	-	5	15	pF	

12.4 交流特性

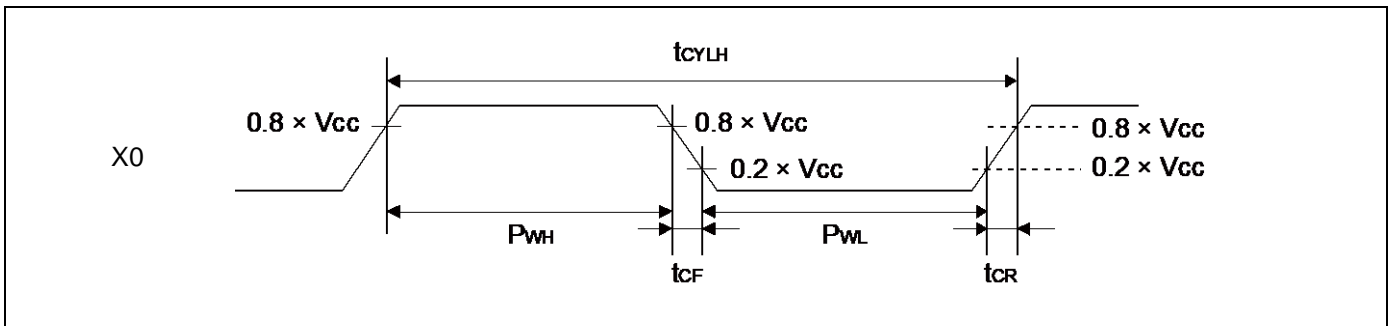
12.4.1 主时钟输入规格

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$, $T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$)

参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
输入频率	f_{CH}	X0 X1	$V_{CC} \geq 4.5\text{ V}$	4	48	MHz	连接晶振时
			$V_{CC} < 4.5\text{ V}$	4	20		
			$V_{CC} \geq 4.5\text{ V}$	4	48	MHz	外部时钟时
			$V_{CC} < 4.5\text{ V}$	4	20		
输入时钟周期	t_{CYLH}		$V_{CC} \geq 4.5\text{ V}$	20.83	250	ns	外部时钟时
			$V_{CC} < 4.5\text{ V}$	50	250		
输入时钟脉宽	-		P_{WH}/t_{CYLH} P_{WL}/t_{CYLH}	45	55	%	外部时钟时
输入时钟上升时间、下降时间	t_{CF} , t_{CR}		-	-	5	ns	外部时钟时
内部工作时钟*1 频率	f_{CM}	-	-	-	144	MHz	主时钟
	f_{CC}	-	-	-	144	MHz	基本时钟(HCLK/FCLK)
	f_{CP0}	-	-	-	72	MHz	APB0 总线时钟*2
	f_{CP1}	-	-	-	72	MHz	APB1 总线时钟*2
	f_{CP2}	-	-	-	72	MHz	APB2 总线时钟*2
内部工作时钟*1 周期时间	t_{CYCC}	-	-	6.94	-	ns	基本时钟(HCLK/FCLK)
	t_{CYCP0}	-	-	13.8	-	ns	APB0 总线时钟*2
	t_{CYCP1}	-	-	13.8	-	ns	APB1 总线时钟*2
	t_{CYCP2}	-	-	13.8	-	ns	APB2 总线时钟*2

*1:关于各内部工作时钟，详情参照“FM3 家族外围资源手册”中的第 2-1 章:时钟。

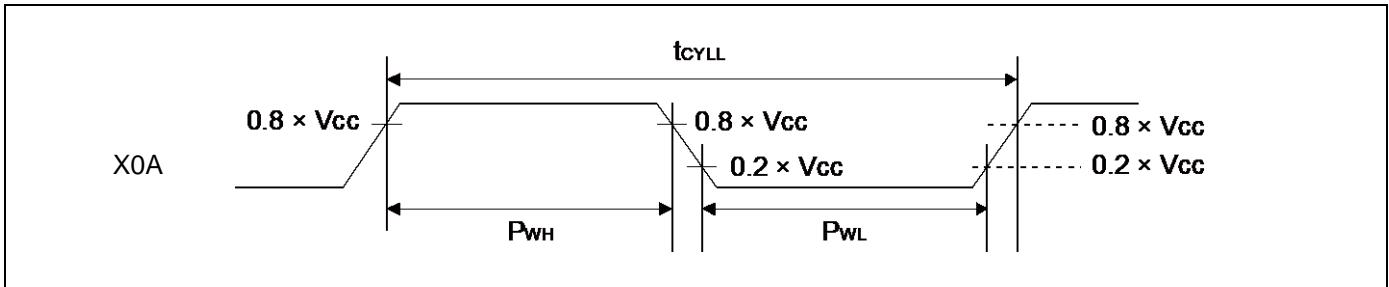
*2:关于各外设连结的 APB 总线，详情参照 8 框图。



12.4.2 副时钟输入规格

 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V}, T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C})$

参数	符号	引脚名称	条件	规格值			单位	备注
				最小	标准	最大		
输入频率	$1/t_{CYLL}$	X0A X1A	-	-	32.768	-	kHz	连接晶振时
			-	32	-	100	kHz	外部时钟时
输入时钟周期	t_{CYLL}		-	10	-	31.25	μs	外部时钟时
输入时钟脉宽	-		PWH/ t_{CYLL} PWL/ t_{CYLL}	45	-	55	%	外部时钟时



12.4.3 内置 CR 振荡规格

内置高速 CR

 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V}, T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C})$

参数	符号	条件	规格值			单位	备注
			最小	标准	最大		
时钟频率	f_{CRH}	$T_A = +25\text{ }^{\circ}\text{C}$	3.96	4	4.04	MHz	调节时*1
		$T_A = 0\text{ }^{\circ}\text{C} \sim +70\text{ }^{\circ}\text{C}$	3.84	4	4.16		
		$T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$	3.8	4	4.2		
		$T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$	3	4	5		非调节时
频率稳定时间	t_{CRWT}	-	-	-	90	μs	*2

*1: 出库时设定的 Flash 存储器内的 CR 调节区的值作为频率调节值使用时。

*2: 频率稳定时间是指稳定高速 CR 的频率所用的时间。设置该调节值后开始计时。在设置调节值后，经过频率稳定时间周期，可使用高速 CR 时钟作为源时钟。

内置低速 CR

 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V}, T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C})$

参数	符号	条件	规格值			单位	备注
			最小	标准	最大		
时钟频率	f_{CRL}	-	50	100	150	kHz	

12.4.4 主 PLL 的使用条件(主时钟作为 PLL 的输入时钟)

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$, $T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$)

参数	符号	规格值			单位	备注
		最小	标准	最大		
PLL 振荡稳定等待时间*1 (LOCK UP 时间)	t_{LOCK}	100	-	-	μs	
PLL 输入时钟频率	f_{PLLI}	4	-	16	MHz	
PLL 倍频率	-	13	-	75	倍频	
PLL 宏振荡时钟频率	f_{PLLO}	200	-	300	MHz	
主 PLL 时钟频率*2	f_{CLKPLL}	-	-	144	MHz	
USB 时钟频率*3	f_{CLKSPLL}	-	-	48	MHz	在 M 次分频后

*1:自 PLL 开始运行至振荡稳定的时间。

*2:如欲了解有关主 PLL 时钟 (CLKPLL) 的详细介绍,请参阅“FM3 系列外设手册”中的第 2-1 章:时钟。

*3:如欲了解有关 USB 时钟的详细介绍,请参阅“FM3 系列外设手册通信宏部分”中的“2-2 章: USB 时钟生成”。

12.4.5 主 PLL 的使用条件(内置高速 CR 时钟作为主 PLL 的输入时钟)

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$, $T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$)

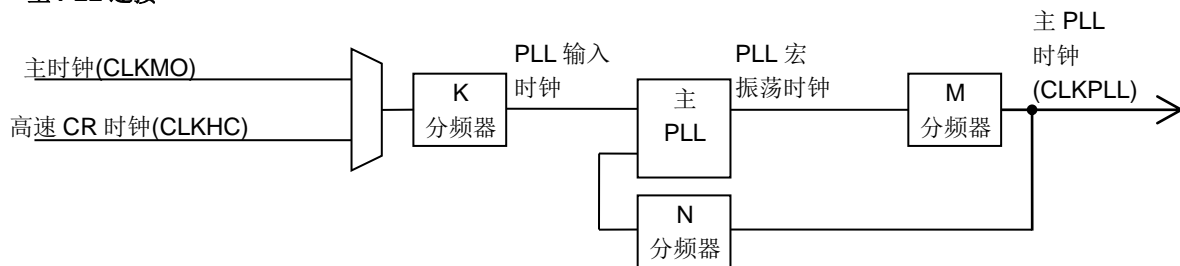
参数	符号	规格值			单位	备注
		最小	标准	最大		
PLL 振荡稳定等待时间*1 (LOCK UP 时间)	t_{LOCK}	100	-	-	μs	
PLL 输入时钟频率	f_{PLLI}	3.8	4	4.2	MHz	
PLL 倍频率	-	50	-	71	倍频	
PLL 宏振荡时钟频率	f_{PLLO}	190	-	300	MHz	
主 PLL 时钟频率*2	f_{CLKPLL}	-	-	144	MHz	

*1:自 PLL 开始运行至振荡稳定的时间。

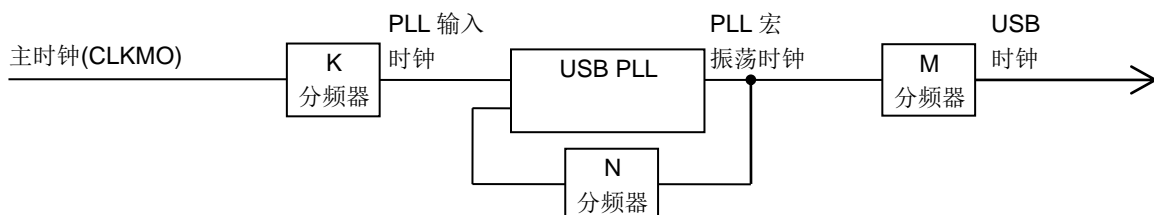
*2:如欲了解有关主 PLL 时钟 (CLKPLL) 的详细介绍,请参阅“FM3 系列外设手册”中的第 2-1 章:时钟。

在设置 PLL 倍频率时,请把内置的高速 CR 时钟的精度考虑在内,防止主时钟超过最高频率。

主 PLL 连接



USB PLL 连接



12.4.6 复位输入规格

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$, $T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$)

参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
复位输入时间	t_{INITX}	INITX	-	500	-	ns	

12.4.7 上电复位时序

($V_{SS} = 0\text{ V}$, $T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$)

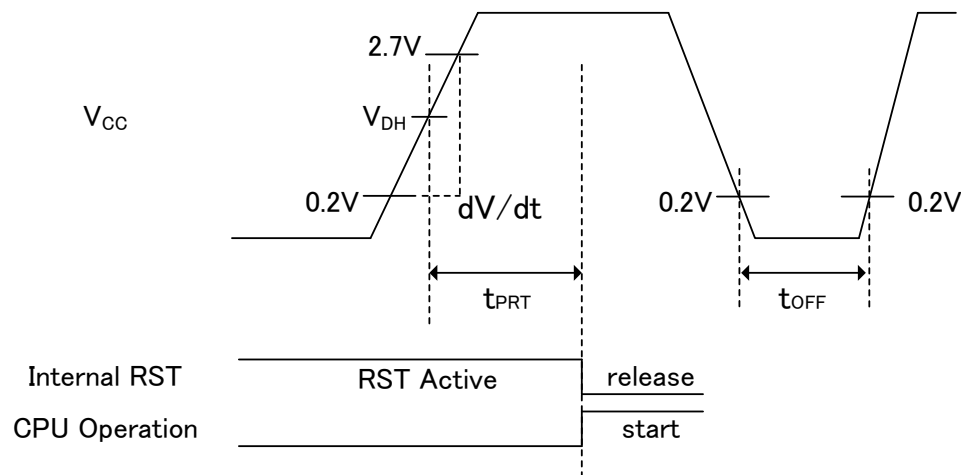
参数	符号	引脚名称	条件	规格值			单位	备注
				最小	典型值	最大		
电源关闭时间	t_{OFF}	VCC	-	50	-	-	ms	*1
电源缓变率	dV/dt		$V_{CC}: 0.2\text{ V to }2.70\text{ V}$	0.8	-	1000	mV/ μs	*2
直到释放上电复位的时间	t_{PRT}		-	0.57	-	0.76	ms	

*1: V_{CC} 必须保持在 0.2 V 以下的最短时间为 t_{OFF} 。如果此条件不满足，可能导致不正确的初始化。

*2: 此 dV/dt 规格应用于冷启动上电($t_{OFF} > 50\text{ ms}$)。

备注:

- 如果 t_{OFF} 不能被满足，设计必须根据“12.4.6 复位输入规格”在上电和断电事件时断言外部复位(INITX)。



术语

VDH: 低电压检测复位的检测电压。 查看 12.7 低压检测特性

12.4.8 外部总线时序

外部总线时钟输出规格

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$, $T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$)

参数	符号	引脚名称	条件	规格值		单位
				最小	最大	
输出频率	t_{CYCLE}	MCLKOUT*1	$V_{CC} \geq 4.5\text{ V}$	-	50*2	MHz
			$V_{CC} < 4.5\text{ V}$	-	32*3	MHz

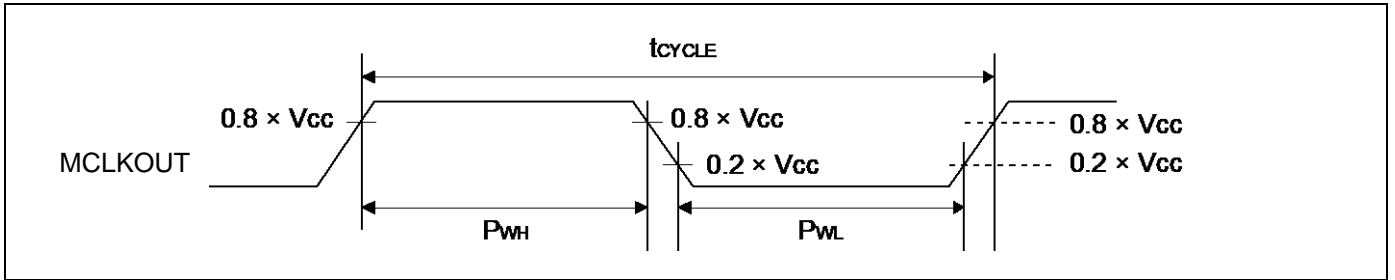
*1:外部总线时钟输出(MCLKOUT)是 HCLK 的分频时钟。

关于设置, 详情参照“FM3 家族外围资源手册”中的第 12 章: 外部总线接口。

当外部总线时钟不是输出时, 该特性不会给外部总线操作带来任何影响。

*2:AHB 总线时钟超过 100 MHz 时, 请以 4 分频以上的设定生成 MCLKOUT。

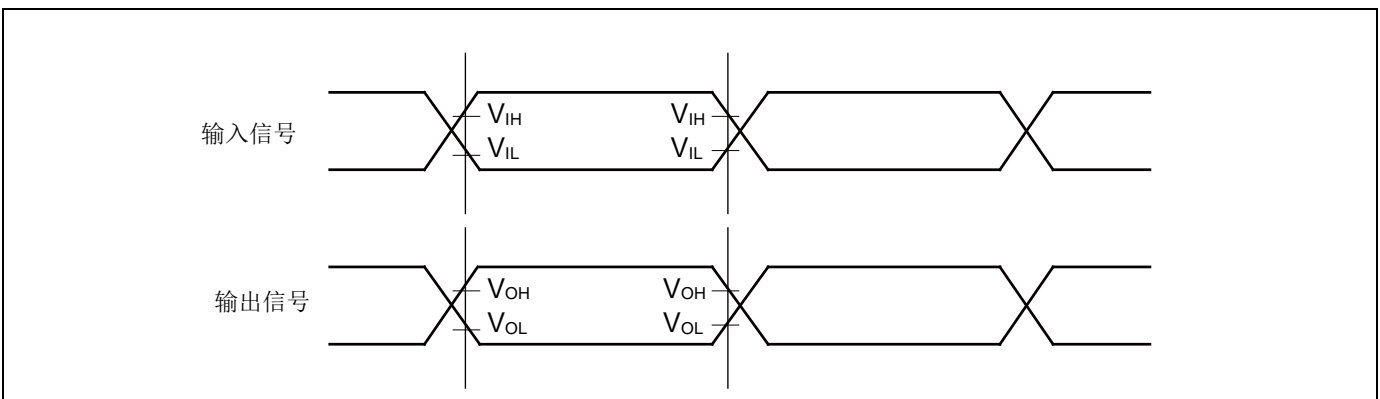
*3:AHB 总线时钟超过 64 MHz 时, 请以 4 分频以上的设定生成 MCLKOUT。



外部总线信号 I/O 规格

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$, $T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$)

参数	符号	条件	规格值	单位	备注
信号输入规格	V_{IH}	-	$0.8 \times V_{CC}$	V	
	V_{IL}		$0.2 \times V_{CC}$	V	
信号输出规格	V_{OH}	-	$0.8 \times V_{CC}$	V	
	V_{OL}		$0.2 \times V_{CC}$	V	

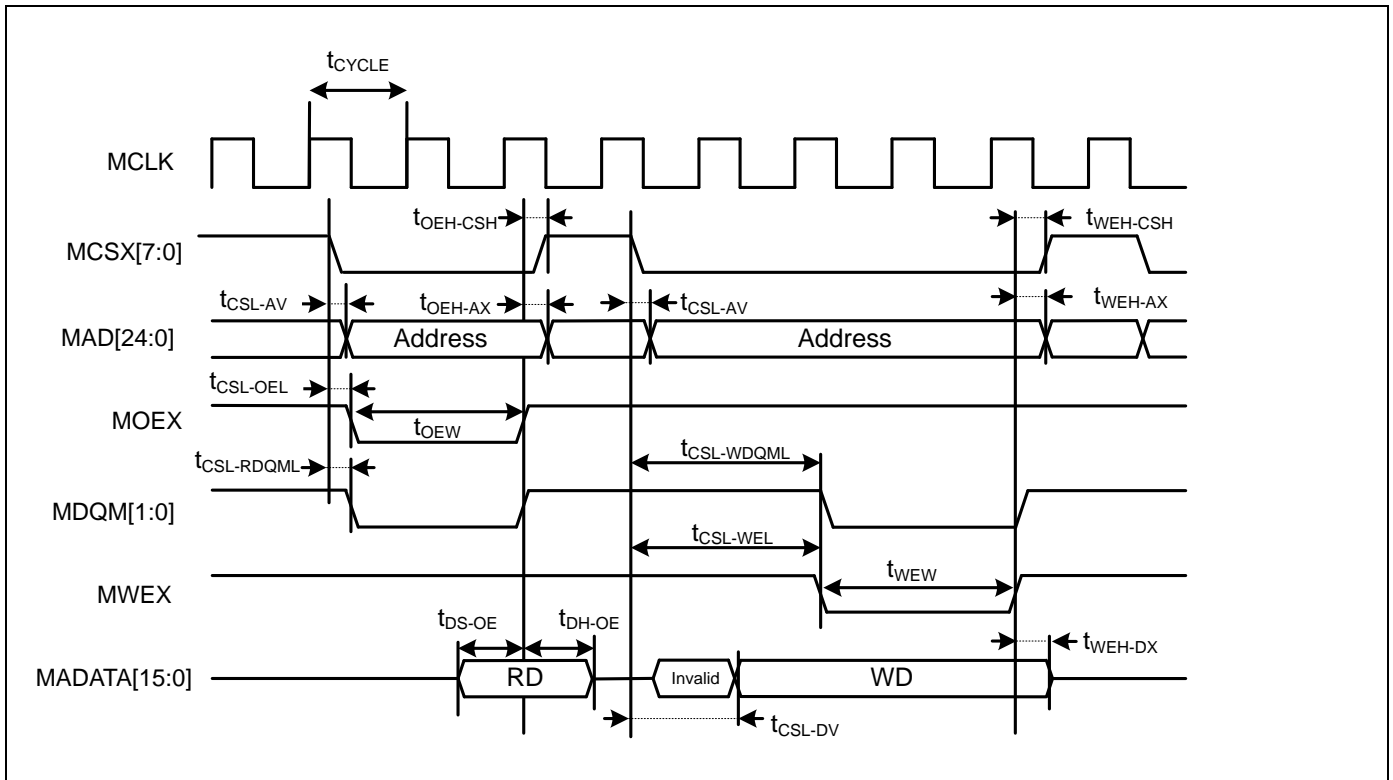


单独总线访问异步 SRAM 模式
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V}, T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C})$

参数	符号	引脚名称	条件	规格值		单位
				最小	最大	
MOEX 最小脉宽	$t_{OE\overline{W}}$	MOEX	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	$MCLK \times n - 3$	-	ns
MCSX $\downarrow \rightarrow$ 地址输出 延迟时间	$t_{CSL - \overline{A\overline{V}}}$	MCSX[7:0] MAD[24:0]	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	-9 -12	+9 +12	ns
MOEX $\uparrow \rightarrow$ 地址保持时间	$t_{OE\overline{H} - \overline{A\overline{X}}}$	MOEX MAD[24:0]	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	0	$MCLK \times m + 9$ $MCLK \times m + 12$	ns
MCSX $\downarrow \rightarrow$ MOEX \downarrow 延迟时间	$t_{CSL - \overline{OEL}}$	MOEX MCSX[7:0]	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	$MCLK \times m - 9$ $MCLK \times m - 12$	$MCLK \times m + 9$ $MCLK \times m + 12$	ns
MOEX $\uparrow \rightarrow$ MCSX \uparrow 时间	$t_{OE\overline{H} - \overline{CS\overline{H}}}$		$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	0	$MCLK \times m + 9$ $MCLK \times m + 12$	ns
MCSX $\downarrow \rightarrow$ MDQM \downarrow 延迟时间	$t_{CSL - \overline{RDQML}}$	MCSX MDQM[1:0]	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	$MCLK \times m - 9$ $MCLK \times m - 12$	$MCLK \times m + 9$ $MCLK \times m + 12$	ns
数据创建 \rightarrow MOEX \uparrow 时间	$t_{DS - \overline{OE}}$	MOEX MADATA[15:0]	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	20 38	- -	ns
MOEX $\uparrow \rightarrow$ 数据保持时间	$t_{DH - \overline{OE}}$	MOEX MADATA[15:0]	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	0	-	ns
MWEX 最小脉宽	$t_{WE\overline{W}}$	MWEX	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	$MCLK \times n - 3$	-	ns
MWEX $\uparrow \rightarrow$ 地址输出 延迟时间	$t_{WE\overline{H} - \overline{A\overline{X}}}$	MWEX MAD[24:0]	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	0	$MCLK \times m + 9$ $MCLK \times m + 12$	ns
MCSX $\downarrow \rightarrow$ MWEX \downarrow 延迟时间	$t_{CSL - \overline{WEL}}$	MWEX MCSX[7:0]	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	$MCLK \times n - 9$ $MCLK \times n - 12$	$MCLK \times n + 9$ $MCLK \times n + 12$	ns
MWEX $\uparrow \rightarrow$ MCSX \uparrow 延迟时间	$t_{WE\overline{H} - \overline{CS\overline{H}}}$		$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	0	$MCLK \times m + 9$ $MCLK \times m + 12$	ns
MCSX $\downarrow \rightarrow$ MDQM \downarrow 延迟时间	$t_{CSL - \overline{WDQML}}$	MCSX MDQM[1:0]	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	$MCLK \times n - 9$ $MCLK \times n - 12$	$MCLK \times n + 9$ $MCLK \times n + 12$	ns
MCSX $\downarrow \rightarrow$ 数据输出时间	$t_{CSL - \overline{DV}}$	MCSX MADATA[15:0]	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	$MCLK - 9$ $MCLK - 12$	$MCLK + 9$ $MCLK + 12$	ns
MWEX $\uparrow \rightarrow$ 数据保持时间	$t_{WE\overline{H} - \overline{DX}}$	MWEX MADATA[15:0]	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	0	$MCLK \times m + 9$ $MCLK \times m + 12$	ns

注意事项:

 外部负载电容 = 30 pF 时。 ($m = 0 \sim 15, n = 1 \sim 16$)

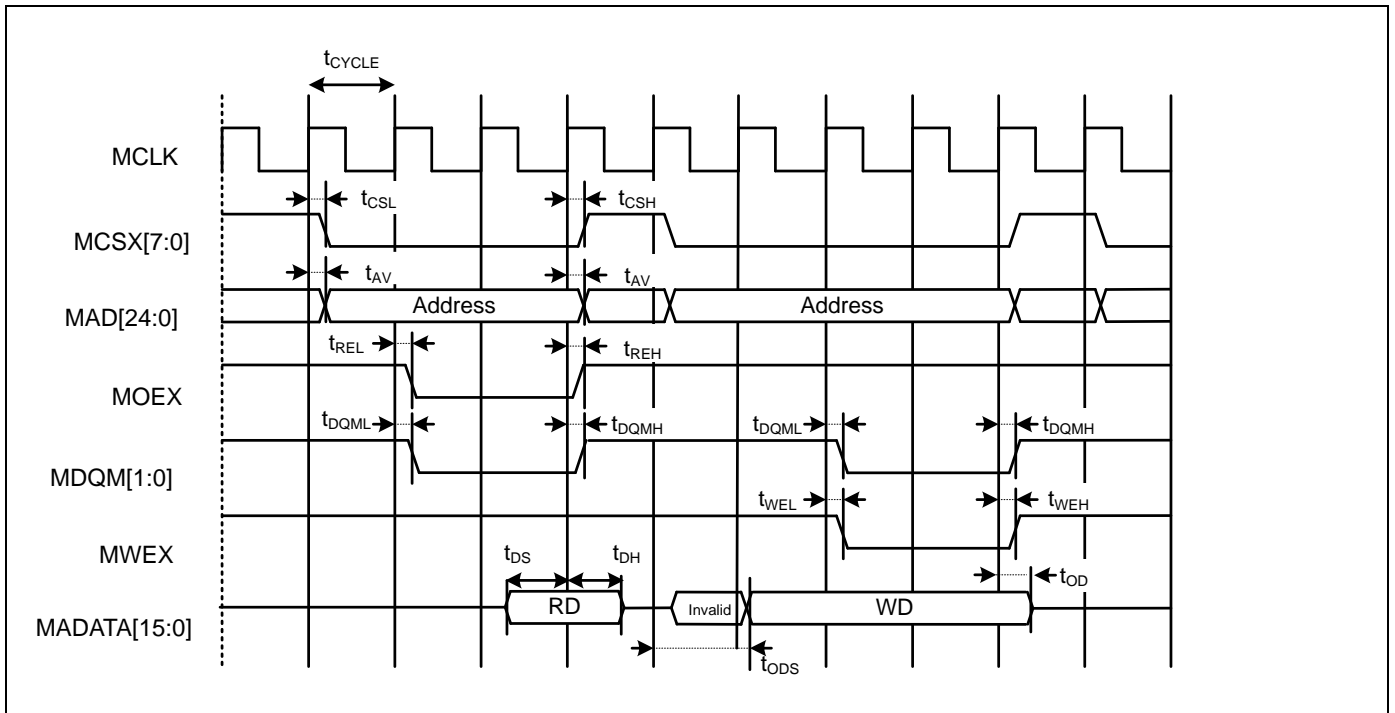


单独总线访问同步 SRAM 模式
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V}, T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C})$

参数	符号	引脚名称	条件	规格值		单位
				最小	最大	
地址延迟时间	t _{AV}	MCLK MAD[24:0]	V _{CC} ≥ 4.5 V	1	9	ns
			V _{CC} < 4.5 V		12	
MCSX 延迟时间	t _{CSL}	MCLK MCSX[7:0]	V _{CC} ≥ 4.5 V	1	9	ns
			V _{CC} < 4.5 V		12	
	t _{CSH}		V _{CC} ≥ 4.5 V	1	9	ns
			V _{CC} < 4.5 V		12	
MOEX 延迟时间	t _{REL}	MCLK MOEX	V _{CC} ≥ 4.5 V	1	9	ns
			V _{CC} < 4.5 V		12	
	t _{REH}		V _{CC} ≥ 4.5 V	1	9	ns
			V _{CC} < 4.5 V		12	
数据创建 → MCLK ↑ 时间	t _{DS}	MCLK MADATA[15:0]	V _{CC} ≥ 4.5 V	19	-	ns
			V _{CC} < 4.5 V	37		
MCLK ↑ → 数据保持时间	t _{DH}	MCLK MADATA[15:0]	V _{CC} ≥ 4.5 V	0	-	ns
			V _{CC} < 4.5 V			
MWEX 延迟时间	t _{WEL}	MCLK MWEX	V _{CC} ≥ 4.5 V	1	9	ns
			V _{CC} < 4.5 V		12	
	t _{WEH}		V _{CC} ≥ 4.5 V	1	9	ns
			V _{CC} < 4.5 V		12	
MDQM[1:0] 延迟时间	t _{DQML}	MCLK MDQM[1:0]	V _{CC} ≥ 4.5 V	1	9	ns
			V _{CC} < 4.5 V		12	
	t _{DQMH}		V _{CC} ≥ 4.5 V	1	9	ns
			V _{CC} < 4.5 V		12	
MCLK ↑ → 数据输出时间	t _{ODS}	MCLK, MADATA[15:0]	V _{CC} ≥ 4.5 V	MCLK+1	MCLK+18	ns
			V _{CC} < 4.5 V		MCLK+24	
MCLK ↑ → 数据保持时间	t _{OD}	MCLK MADATA[15:0]	V _{CC} ≥ 4.5 V	1	18	ns
			V _{CC} < 4.5 V		24	

注意事项:

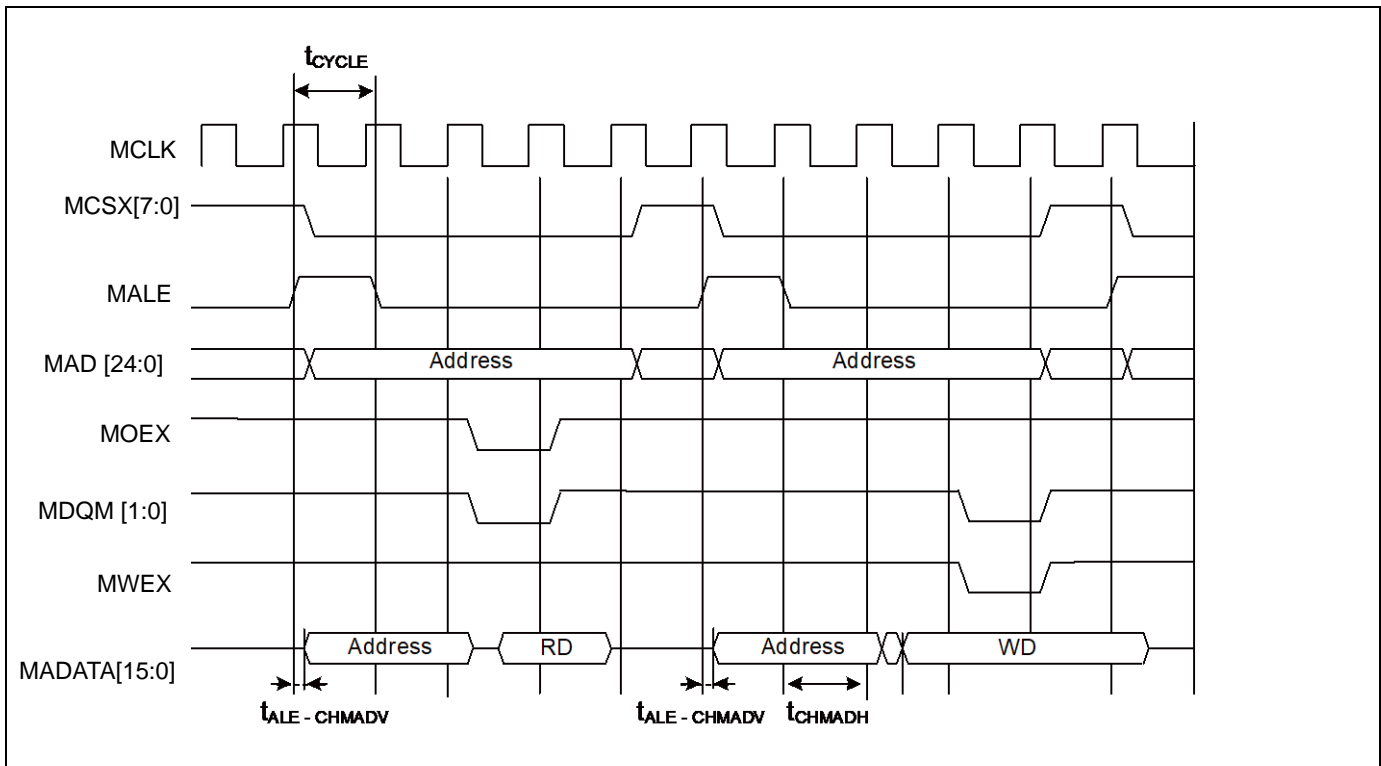
外部负载电容 = 30 pF 时。



多路复用总线访问异步 SRAM 模式
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V}, T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C})$

参数	符号	引脚名称	条件	规格值		单位
				最小	最大	
多路复用 地址延迟时间	t _{ALE-CHMADV}	MALE MADATA[15:0]	V _{CC} ≥ 4.5 V	0	10	ns
			V _{CC} < 4.5 V		20	
多路复用 地址保持时间	t _{CHMADH}		V _{CC} ≥ 4.5 V	MCLKxn+0	MCLKxn+10	ns
			V _{CC} < 4.5 V	MCLKxn+0	MCLKxn+20	

注意事项:

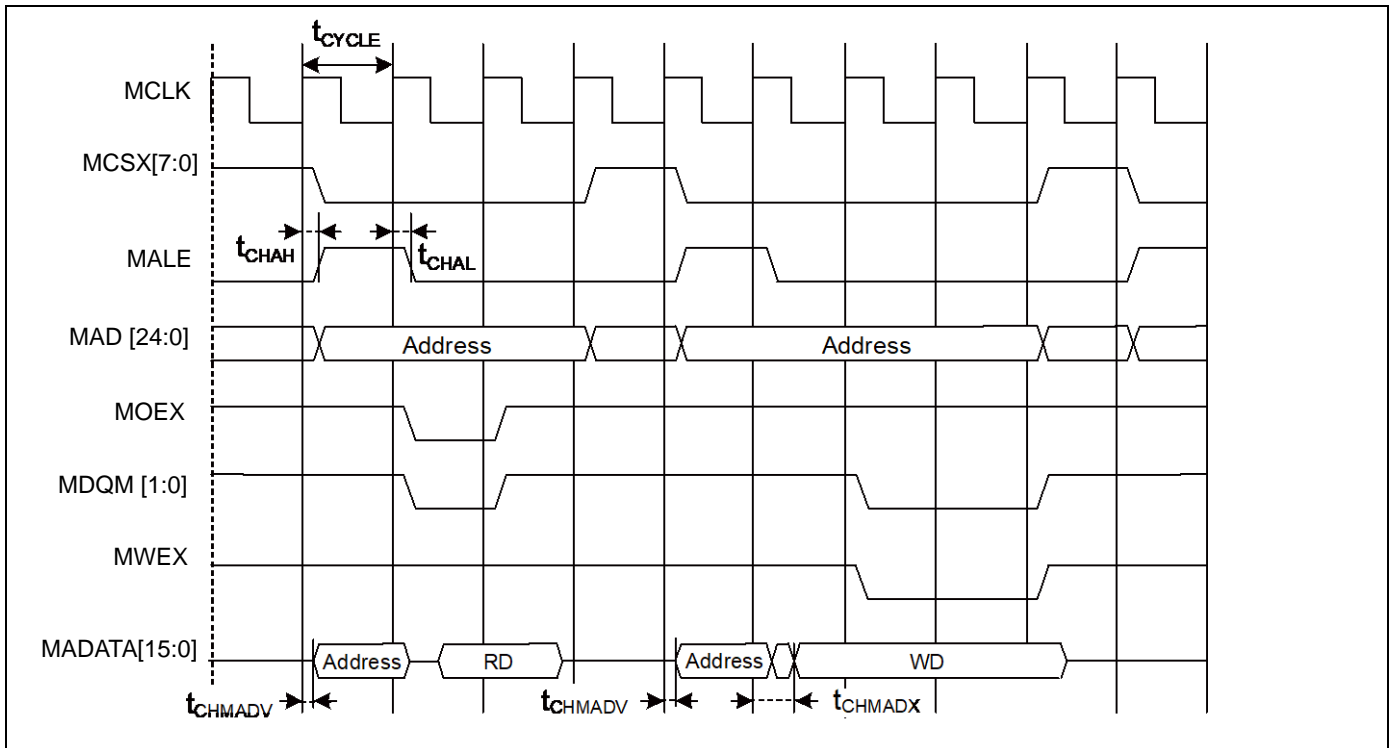
 外部负载电容 = 30 pF 时。 ($m = 0 \sim 15, n = 1 \sim 16$)


多路复用总线访问同步 SRAM 模式
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V}, T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C})$

参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
MALE 延迟时间	t _{CHAL}	MCLK ALE	V _{CC} ≥ 4.5 V	1	9	ns	
			V _{CC} < 4.5 V		12	ns	
	t _{CHAH}		V _{CC} ≥ 4.5 V	1	9	ns	
			V _{CC} < 4.5 V		12	ns	
MCLK ↑ → 多路复用 地址延迟时间	t _{CHMADV}	MCLK MADATA[15:0]	V _{CC} ≥ 4.5 V	1	t _{OD}	ns	
	V _{CC} < 4.5 V						
MCLK ↑ → 多路复用 数据输出时间	t _{CHMADX}		V _{CC} ≥ 4.5 V	1	t _{OD}	ns	
			V _{CC} < 4.5 V				

注意事项:

外部负载电容 = 30 pF 时。

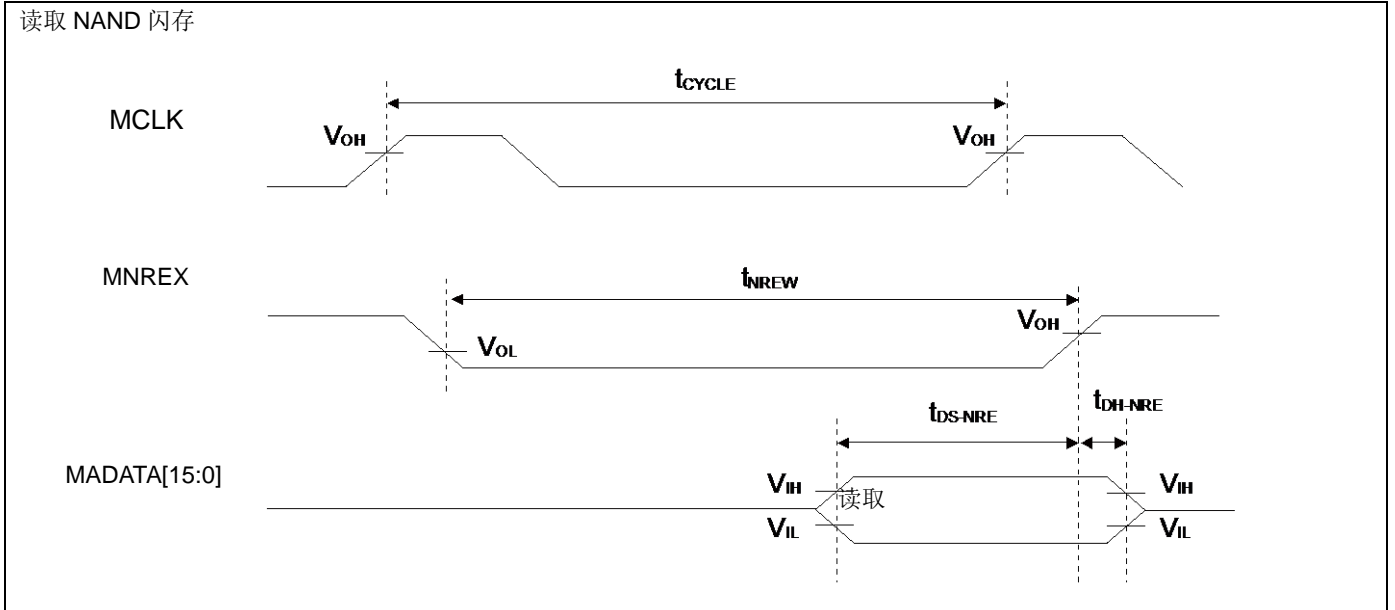


NAND 闪存模式
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V}, T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C})$

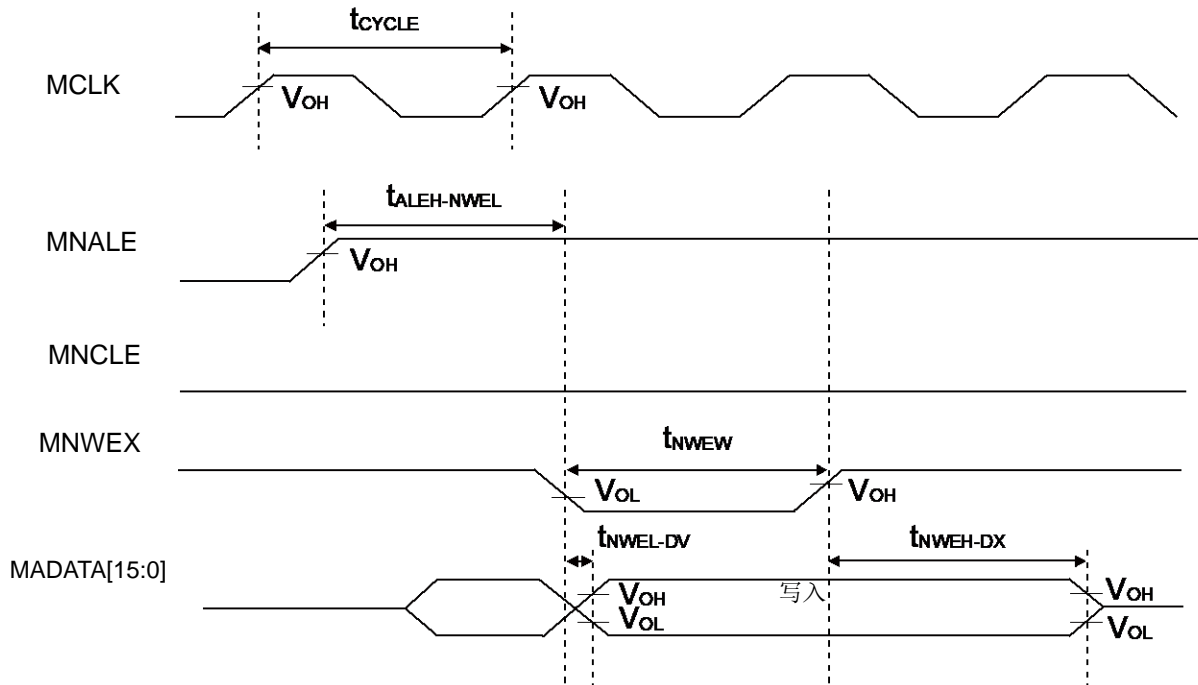
参数	符号	引脚名称	条件	规格值		单位
				最小	最大	
MNREX 最小脉宽	t_{NREW}	MNREX	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	MCLKxn-3	-	ns
数据创建 → MNREX ↑ 时间	t_{DS-NRE}	MNREX MADATA[15:0]	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	20 38	- -	ns
MNREX ↑ → 数据保持时间	t_{DH-NRE}	MNREX MADATA[15:0]	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	0	-	ns
MNALE ↑ → MNWEX 延迟时间	$t_{ALEH-NWEL}$	MNALE MNWEX	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	MCLKxm-9 MCLKxm-12	MCLKxm+9 MCLKxm+12	ns
MNALE ↓ → MNWEX 延迟时间	$t_{ALEL-NWEL}$	MNALE MNWEX	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	MCLKxm-9 MCLKxm-12	MCLKxm+9 MCLKxm+12	ns
MNCLE ↑ → MNWEX 延迟时间	$t_{CLEH-NWEL}$	MNCLE MNWEX	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	MCLKxm-9 MCLKxm-12	MCLKxm+9 MCLKxm+12	ns
MNWEX ↑ → MNCLE 延迟时间	$t_{NWEH-CLEL}$	MNCLE MNWEX	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	0	MCLKxm+9 MCLKxm+12	ns
MNWEX 最小脉宽	t_{NWEW}	MNWEX	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	MCLKxn-3	-	ns
MNWEX ↓ → 数据延迟时间	$t_{NWEL-DV}$	MNWEX MADATA[15:0]	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	- 9 -12	+ 9 +12	ns
MNWEX ↑ → 数据保持时间	$t_{NWEH-DX}$	MNWEX MADATA[15:0]	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	0	MCLKxm+9 MCLKxm+12	ns

注意事项:

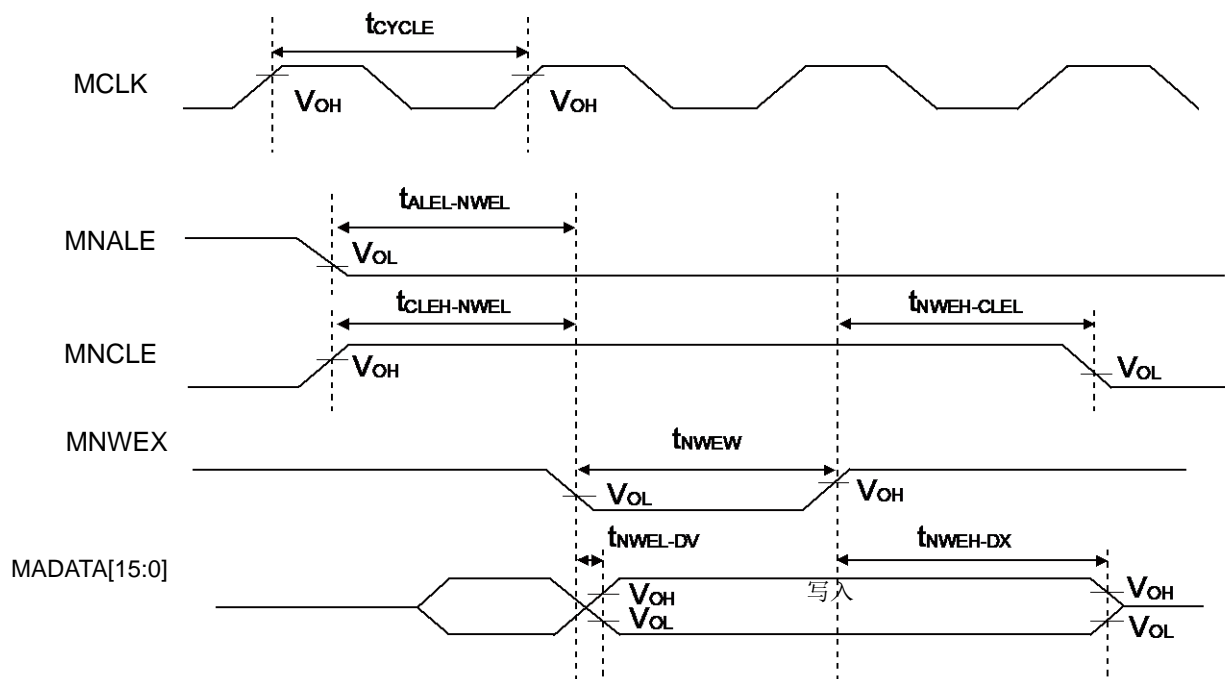
外部负载电容 = 30 pF 时。(m=0 ~ 15, n=1 ~ 16)



写入 NAND 闪存地址

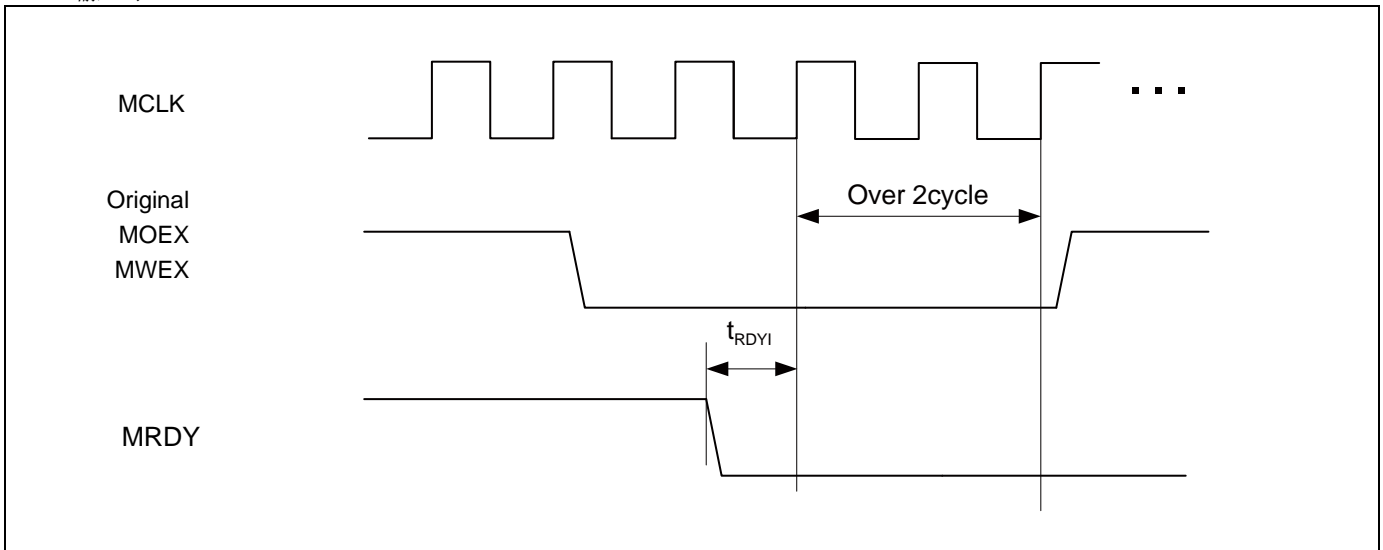
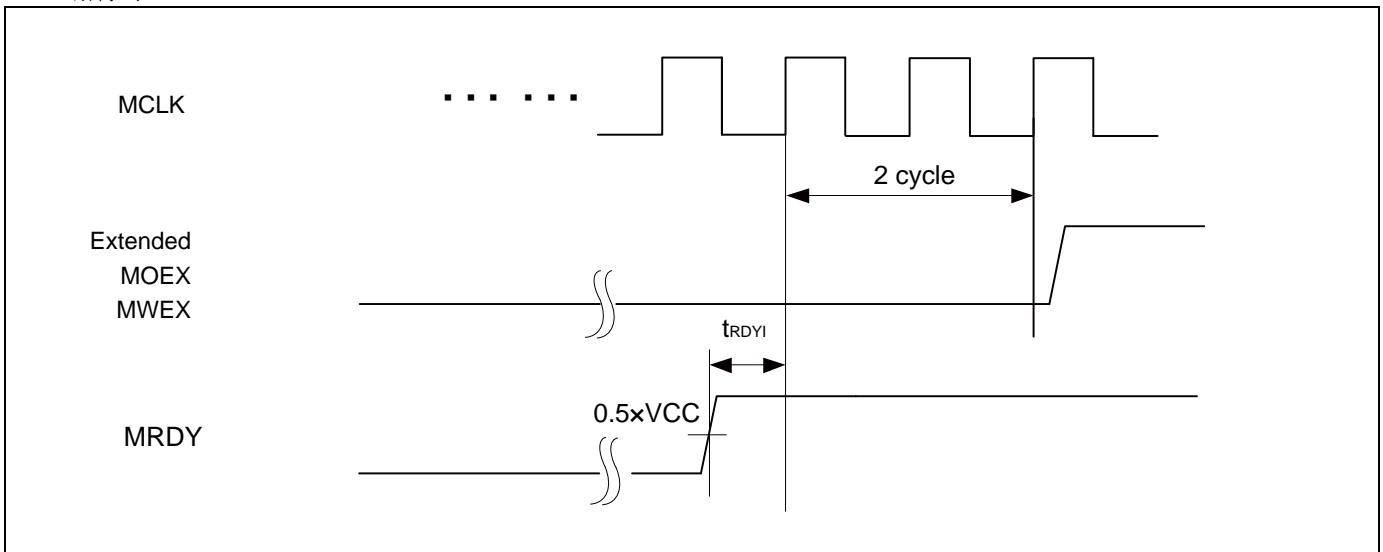


写入 NAND 闪存命令



外部 RDY 输入时序
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V}, T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C})$

参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
MCLK ↑ MRDY 输入 创建时间	t_{RDYI}	MCLK MRDY	$V_{CC} \geq 4.5\text{ V}$	19	-	ns	
			$V_{CC} < 4.5\text{ V}$	37			

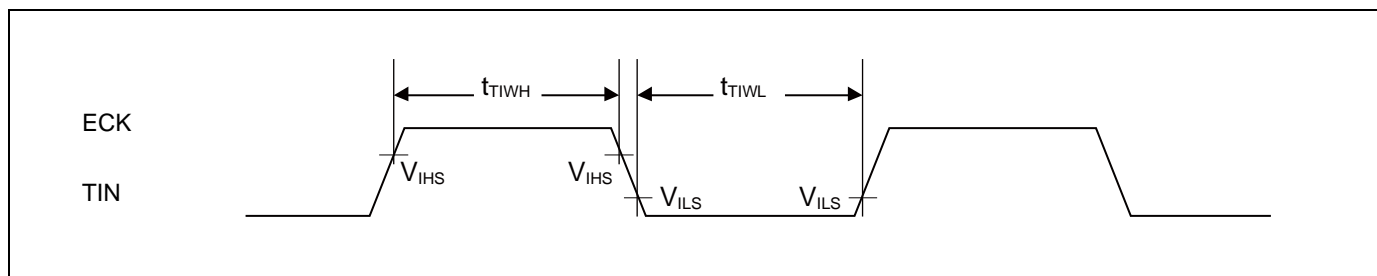
■RDY 输入时

■RDY 解除时


12.4.9 基本定时器输入时序

定时器输入时序

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$, $T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$)

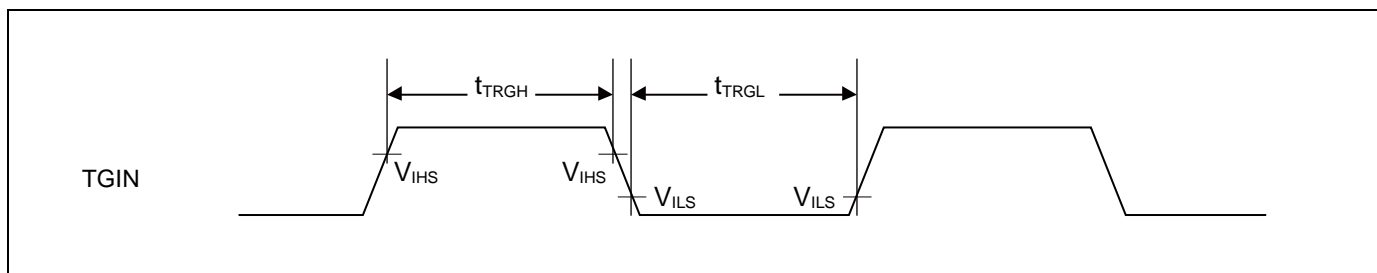
参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
输入脉宽	t_{TIWH} t_{TIWL}	TIOAn/TIOBn (作为 ECK, TIN 使用时)	-	$2t_{CYCP}$	-	ns	



触发输入时序

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$, $T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$)

参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
输入脉宽	t_{TRGH} t_{TRGL}	TIOAn/TIOBn (作为 TGIN 使用 时)	-	$2t_{CYCP}$	-	ns	



注意事项:

t_{CYCP} 是 APB 最小时钟的周期时间。

关于基本定时器连结的 APB 总线序号, 详情参照"8 框图"。

12.4.10 CSIO/UART 时序

CSIO (SPI = 0, SCINV = 0)

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$, $T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$)

参数	符号	引脚名称	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位
				最小	最大	最小	最大	
波特率	-	-	-	-	8	-	8	Mbps
串行时钟周期时间	tSCYC	SCKx	主模式	4tCYCP	-	4tCYCP	-	ns
SCK ↓ → SOT 延迟时间	tSLOVI	SCKx SOTx		-30	+30	-20	+20	ns
SIN → SCK ↑ 创建时间	tIVSHI	SCKx SINx		50	-	30	-	ns
SCK ↑ → SIN 保持时间	tSHIXI	SCKx SINx		0	-	0	-	ns
串行时钟"L"脉宽	tSLSH	SCKx		2tCYCP - 10	-	2tCYCP - 10	-	ns
串行时钟"H"脉宽	tSHSL	SCKx	从模式	tCYCP + 10	-	tCYCP + 10	-	ns
SCK ↓ → SOT 延迟时间	tSLOVE	SCKx SOTx		-	50	-	30	ns
SIN → SCK ↑ 创建时间	tIVSHE	SCKx SINx		10	-	10	-	ns
SCK ↑ → SIN 保持时间	tSHIXE	SCKx SINx		20	-	20	-	ns
SCK 下降时间	tF	SCKx		-	5	-	5	ns
SCK 上升时间	tR	SCKx		-	5	-	5	ns

注意事项:

CLK 同步模式时的交流特性。

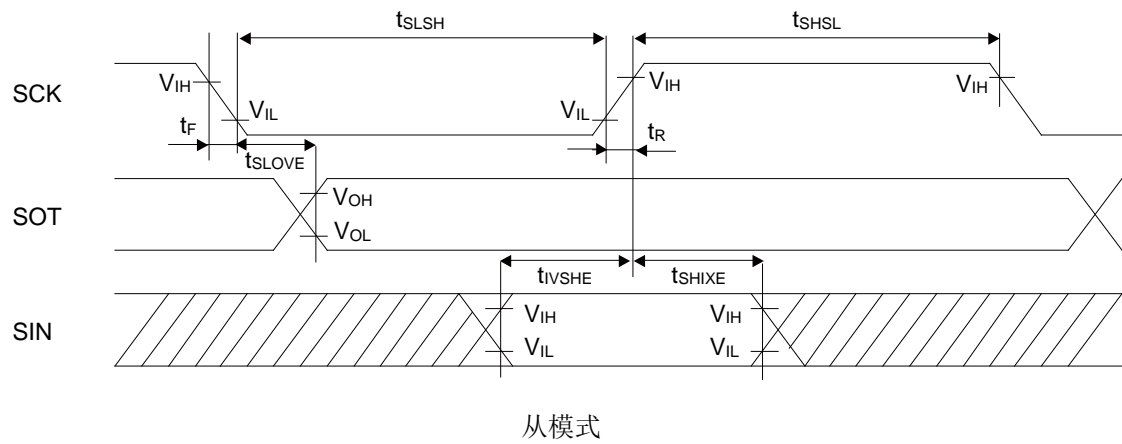
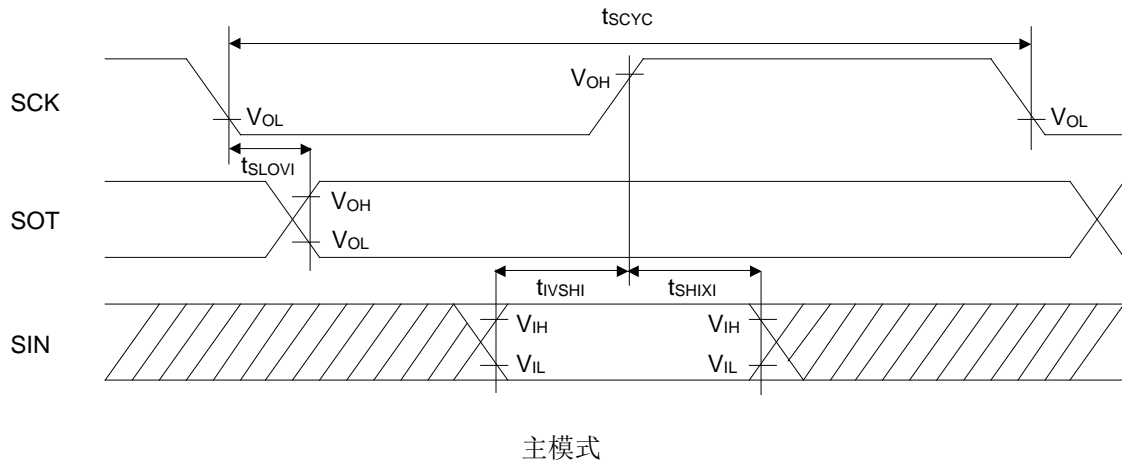
tCYCP 是 APB 总线时钟的周期时间。

关于多功能串口连接的 APB 总线序号，详情参照 8 框图。

本规格仅保证相同重定位端口号。

例如 SCKx_0, SOTx_1 组合不为保证对象。

外部负载电容 = 30 pF 时。



CSIO (SPI = 0, SCINV = 1)
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V}, T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C})$

参数	符号	引脚名称	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位
				最小	最大	最小	最大	
波特率	-	-	-	-	8	-	8	Mbps
串行时钟周期时间	t_{SCYC}	SCKx	主模式	$4t_{CYCP}$	-	$4t_{CYCP}$	-	ns
SCK $\uparrow \rightarrow$ SOT 延迟时间	t_{SHOVI}	SCKx SOTx		-30	+30	-20	+20	ns
SIN \rightarrow SCK \downarrow 创建时间	t_{IVSLI}	SCKx SINx		50	-	30	-	ns
SCK $\downarrow \rightarrow$ SIN 保持时间	t_{SLIXI}	SCKx SINx		0	-	0	-	ns
串行时钟"L"脉宽	t_{LSLH}	SCKx		$2t_{CYCP} - 10$	-	$2t_{CYCP} - 10$	-	ns
串行时钟"H"脉宽	t_{HSL}	SCKx	从模式	$t_{CYCP} + 10$	-	$t_{CYCP} + 10$	-	ns
SCK $\uparrow \rightarrow$ SOT 延迟时间	t_{SHOVE}	SCKx SOTx		-	50	-	30	ns
SIN \rightarrow SCK \downarrow 创建时间	t_{IVSLE}	SCKx SINx		10	-	10	-	ns
SCK $\downarrow \rightarrow$ SIN 保持时间	t_{SLIXE}	SCKx SINx		20	-	20	-	ns
SCK 下降时间	t_F	SCKx		-	5	-	5	ns
SCK 上升时间	t_R	SCKx		-	5	-	5	ns

注意事项:

CLK 同步模式时的交流特性。

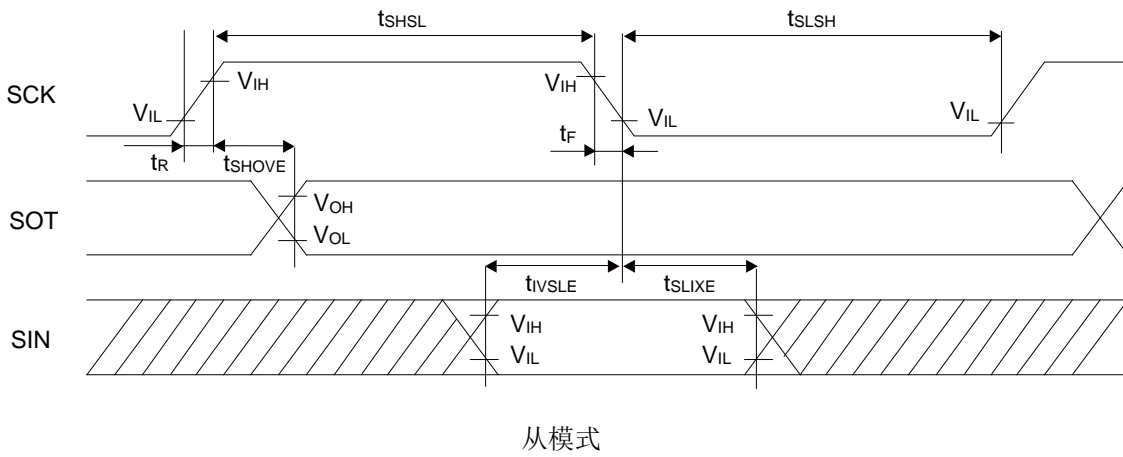
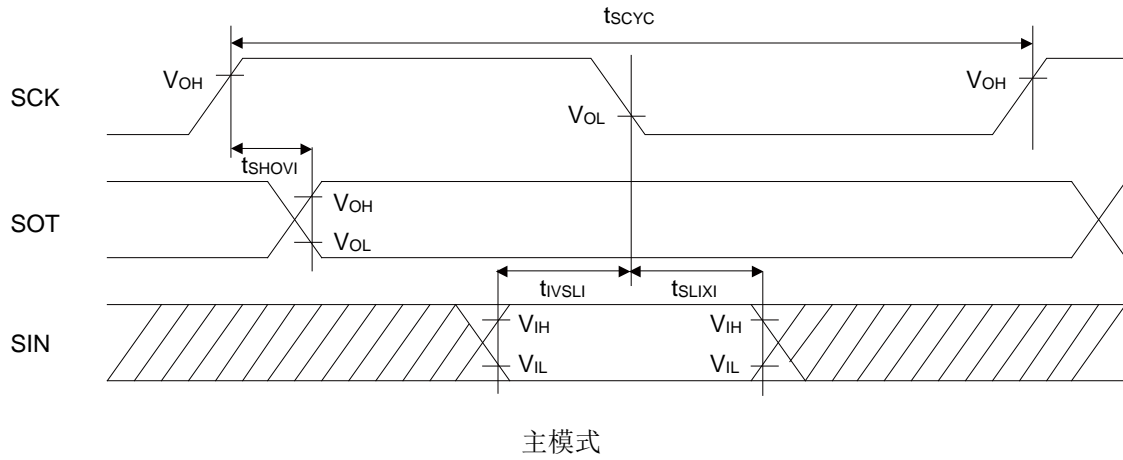
t_{CYCP} 是 APB 总线时钟的周期时间。

关于多功能串口连接的 APB 总线序号, 详情参照 8 框图。

本规格仅保证相同重定位端口号。

例如 SCKx_0, SOTx_1 组合不为保证对象。

外部负载电容 = 30 pF 时。



CSIO (SPI = 1, SCINV = 0)
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V}, T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C})$

参数	符号	引脚名称	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位
				最小	最大	最小	最大	
波特率	-	-	-	-	8	-	8	Mbps
串行时钟周期时间	tSCYC	SCKx	主模式	4tCYCP	-	4tCYCP	-	ns
SCK ↑ → SOT 延迟时间	tSHOVI	SCKx SOTx		-30	+30	-20	+20	ns
SIN → SCK ↓ 创建时间	tIVSLI	SCKx SINx		50	-	30	-	ns
SCK ↓ → SIN 保持时间	tSLIXI	SCKx SINx		0	-	0	-	ns
SOT → SCK ↓ 延迟时间	tSOVLI	SCKx SOTx		2tCYCP - 30	-	2tCYCP - 30	-	ns
串行时钟"L"脉宽	tSLSH	SCKx		2tCYCP - 10	-	2tCYCP - 10	-	ns
串行时钟"H"脉宽	tSHSL	SCKx	从模式	tCYCP + 10	-	tCYCP + 10	-	ns
SCK ↑ → SOT 延迟时间	tSHOVE	SCKx SOTx		-	50	-	30	ns
SIN → SCK ↓ 创建时间	tIVSLE	SCKx SINx		10	-	10	-	ns
SCK ↓ → SIN 保持时间	tSLIXE	SCKx SINx		20	-	20	-	ns
SCK 下降时间	tF	SCKx		-	5	-	5	ns
SCK 上升时间	tR	SCKx		-	5	-	5	ns

注意事项:

CLK 同步模式时的交流特性。

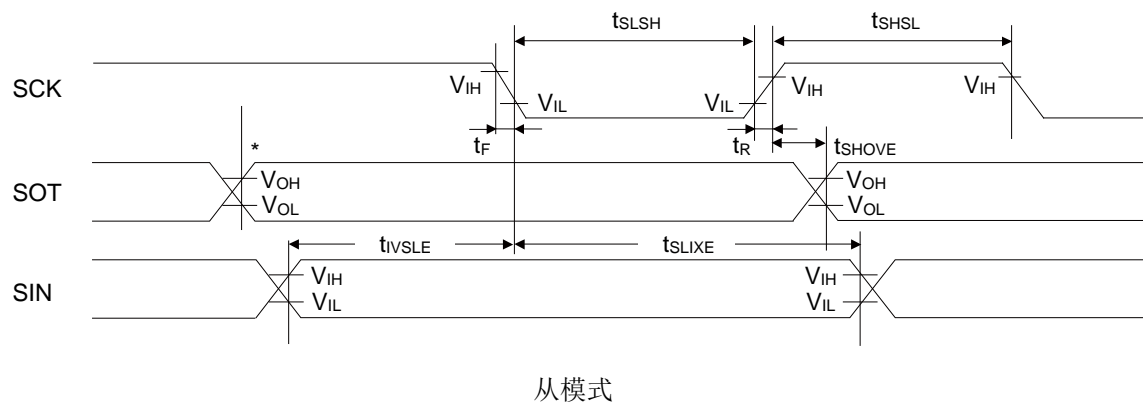
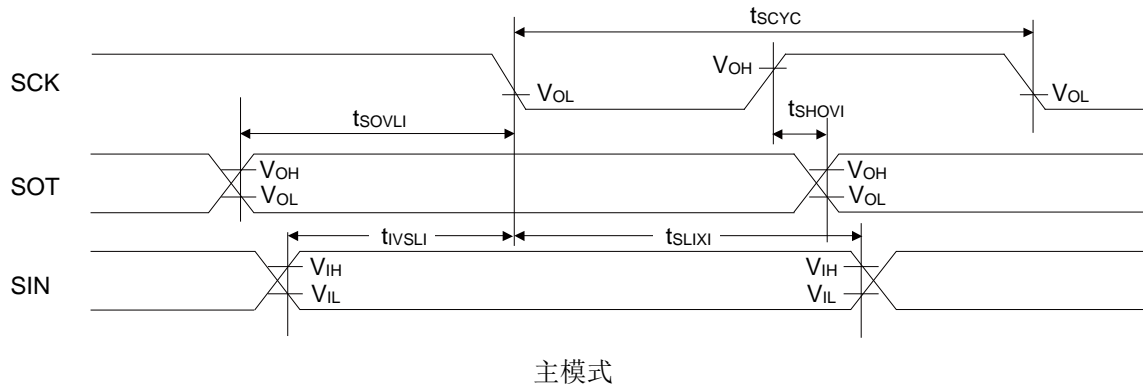
tCYCP 是 APB 最小时钟的周期时间。

关于多功能串口连接的 APB 总线序号，详情参照 8 框图。

本规格仅保证相同重定位端口号。

例如 SCKx_0, SOTx_1 组合不为保证对象。

外部负载电容 = 30 pF 时。



*:写 TDR 寄存器时发生变化

CSIO (SPI = 1, SCINV = 1)
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V}, T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C})$

参数	符号	引脚名称	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位
				最小	最大	最小	最大	
波特率	-	-	-	-	8	-	8	Mbps
串行时钟周期时间	t_{SCYC}	SCKx	主模式	$4t_{CYCP}$	-	$4t_{CYCP}$	-	ns
SCK ↓ → SOT 延迟时间	t_{SLOVI}	SCKx SOTx		-30	+30	-20	+20	ns
SIN → SCK ↑ 创建时间	t_{IVSHI}	SCKx SINx		50	-	30	-	ns
SCK ↑ → SIN 保持时间	t_{SHIXI}	SCKx SINx		0	-	0	-	ns
SOT → SCK ↑ 延迟时间	t_{SOVHI}	SCKx SOTx		$2t_{CYCP} - 30$	-	$2t_{CYCP} - 30$	-	ns
串行时钟"L"脉宽	t_{LSH}	SCKx		$2t_{CYCP} - 10$	-	$2t_{CYCP} - 10$	-	ns
串行时钟"H"脉宽	t_{SHSL}	SCKx	从模式	$t_{CYCP} + 10$	-	$t_{CYCP} + 10$	-	ns
SCK ↓ → SOT 延迟时间	t_{SLOVE}	SCKx SOTx		-	50	-	30	ns
SIN → SCK ↑ 创建时间	t_{IVSHE}	SCKx SINx		10	-	10	-	ns
SCK ↑ → SIN 保持时间	t_{SHIXE}	SCKx SINx		20	-	20	-	ns
SCK 下降时间	t_F	SCKx		-	5	-	5	ns
SCK 上升时间	t_R	SCKx		-	5	-	5	ns

注意事项:

CLK 同步模式时的交流特性。

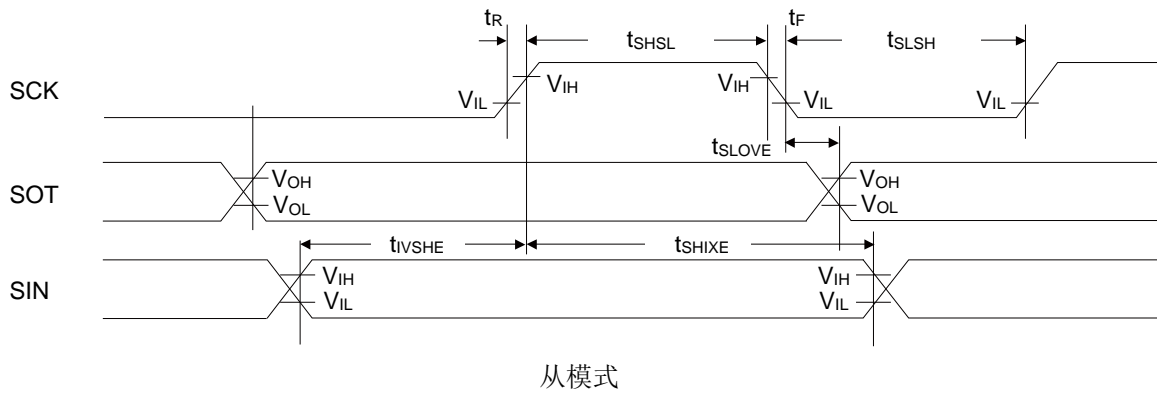
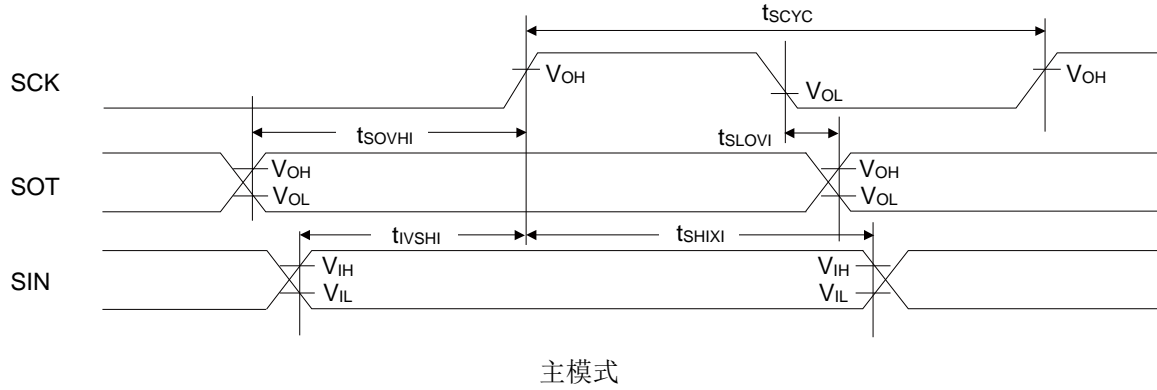
t_{CYCP} 是 APB 总线时钟的周期时间。

关于多功能串口连接的 APB 总线序号, 详情参照 8 框图。

本规格仅保证相同重定位端口号。

例如 SCKx_0, SOTx_1 组合不为保证对象。

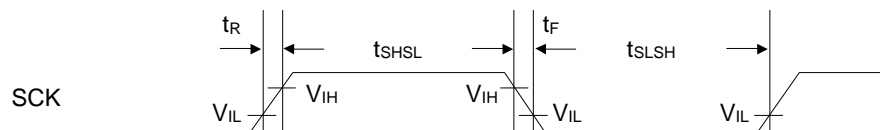
外部负载电容 = 30 pF 时。



UART 外部时钟输入(EXT = 1)

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$, $T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$)

参数	符号	条件	最小	最大	单位	备注
串行时钟"L"脉宽	tSLSH	$C_L = 30\text{ pF}$	$t_{CYCP} + 10$	-	ns	
串行时钟"H"脉宽	tSHSL		$t_{CYCP} + 10$	-	ns	
SCK 下降时间	t _F		-	5	ns	
SCK 上升时间	t _R		-	5	ns	



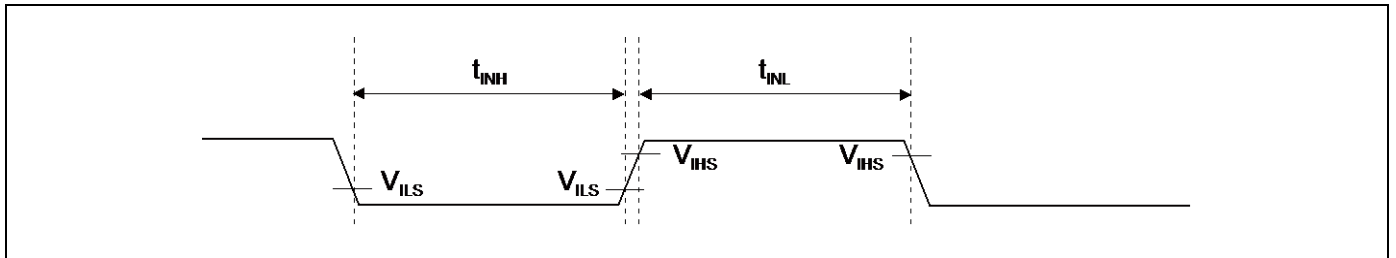
12.4.11 外部输入时序

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$, $T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$)

参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
输入脉宽	t_{INH} , t_{INL}	ADTG	-	$2t_{CYCP}^*$	-	ns	A/D 转换器触发输入
		FRCKx					自由运行定时器输入 时钟
		ICxx					输入捕捉
		DTTlxX	-	$2t_{CYCP}^*$	-	ns	波形发生器
		INTxx, NMIX	除了 定时器模式, 停止模式	$2t_{CYCP} + 100^*$	-	ns	外部中断 NMI
			定时器模式, 停止模式	500^{*2}	-	ns	

*: t_{CYCP} 是 APB 总线时钟的周期时间。

关于 A/D 转换器、多功能定时器及外部中断连接的 APB 总线序号，详情参照 8 框图。

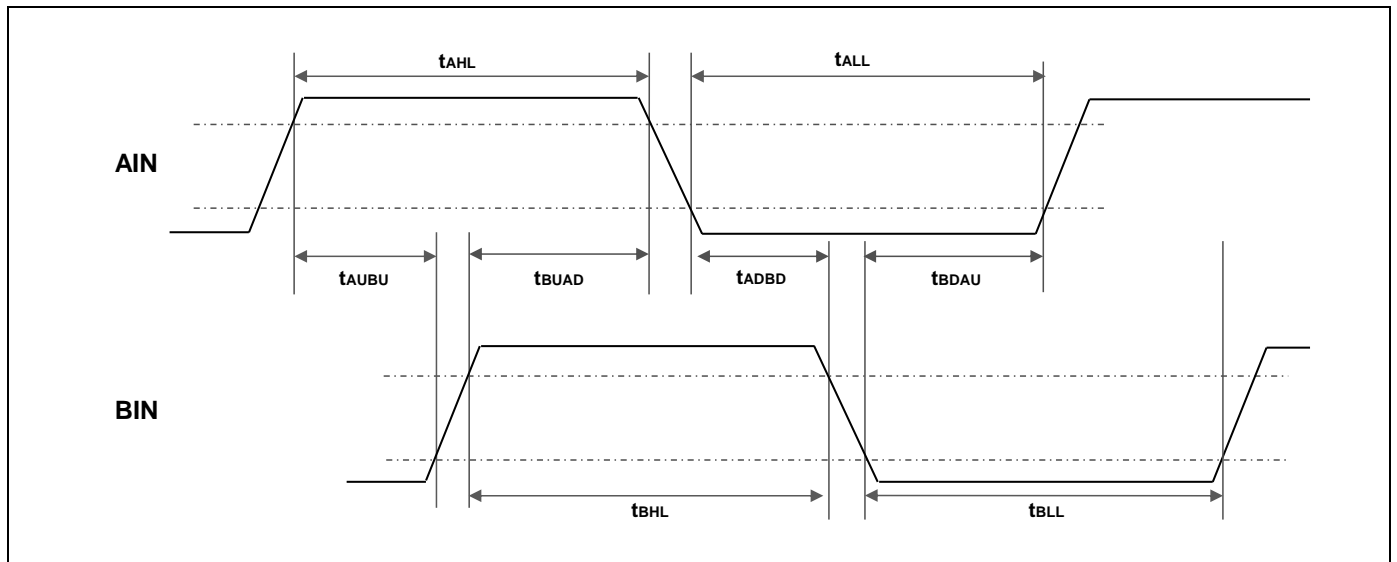


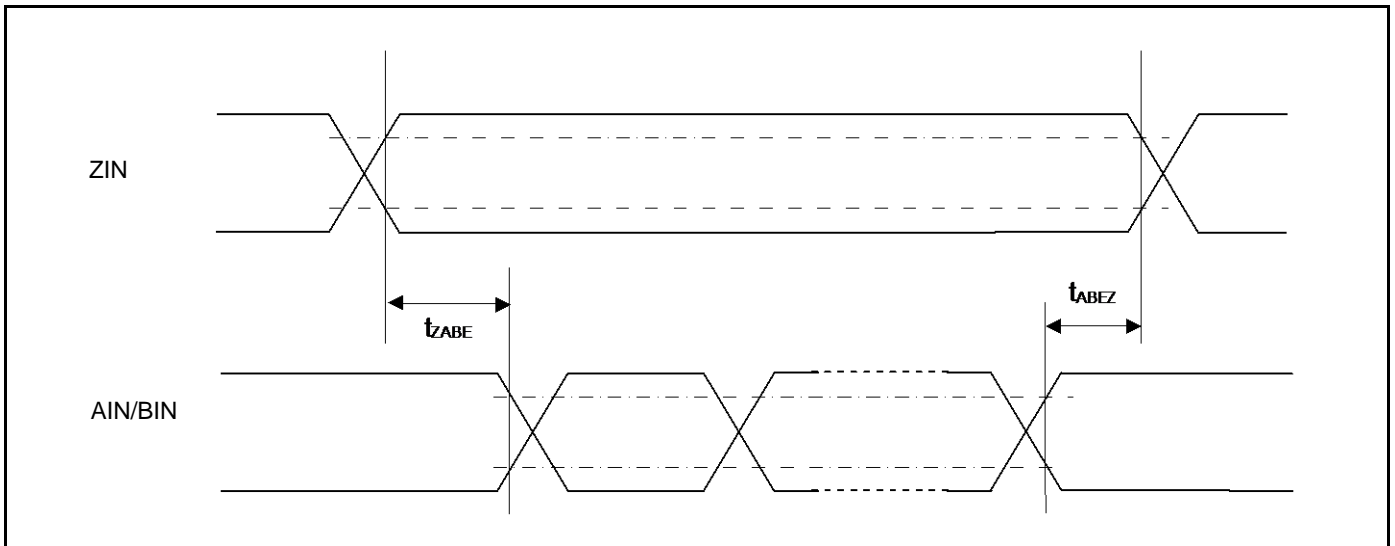
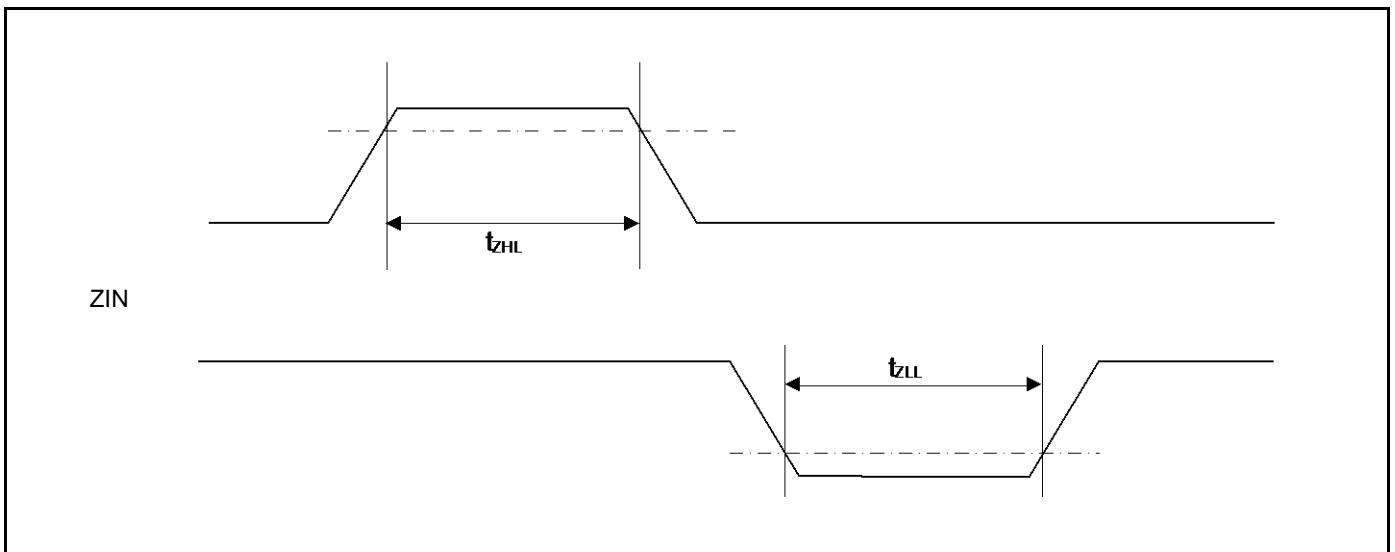
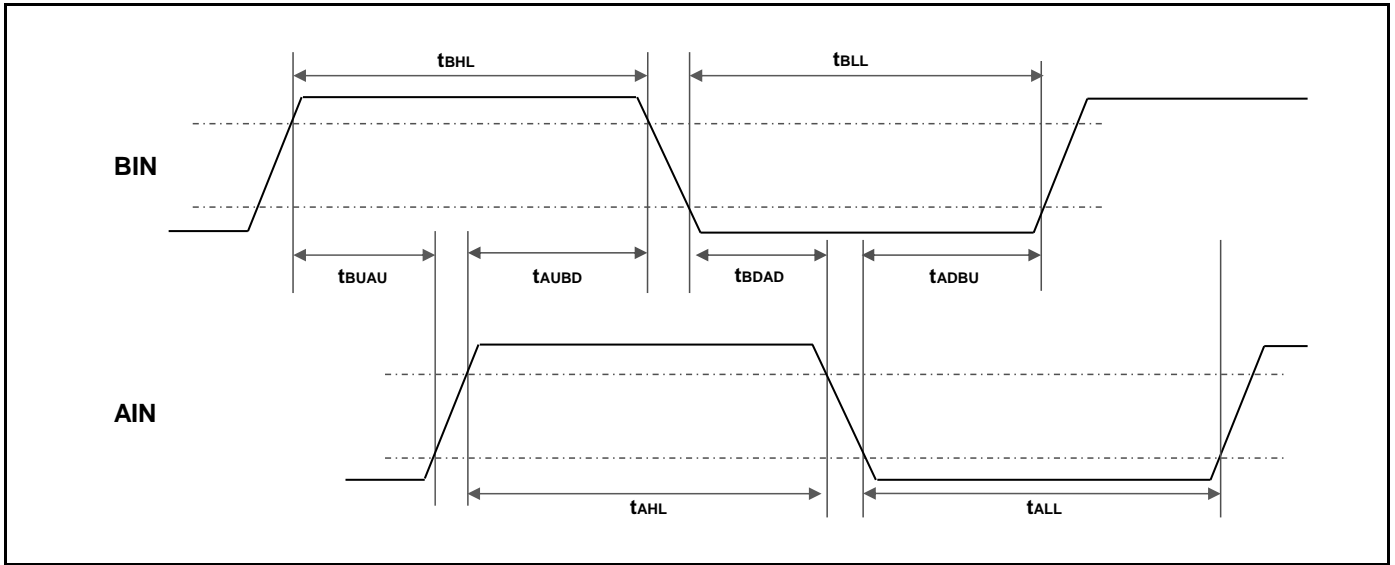
12.4.12 Quad 计数器时序
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V}, T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C})$

参数	符号	条件	规格值		单位
			最小	最大	
AIN 引脚"H"宽	t_{AHL}	-	$2t_{CYCP}^*$	-	ns
AIN 引脚"L"宽	t_{ALL}	-			
BIN 引脚"H"宽	t_{BHL}	-			
BIN 引脚"L"宽	t_{BLL}	-			
从 AIN"H"电平 BIN 上升时间	t_{AUBU}	PC_Mode2 或 PC_Mode3			
从 BIN"H"电平 AIN 下降时间	t_{BUAD}	PC_Mode2 或 PC_Mode3			
从 AIN"L"电平 BIN 下降时间	t_{ADBD}	PC_Mode2 或 PC_Mode3			
从 BIN"L"电平 AIN 上升时间	t_{BDAU}	PC_Mode2 或 PC_Mode3			
从 BIN"H"电平 AIN 上升时间	t_{BUAU}	PC_Mode2 或 PC_Mode3			
从 AIN"H"电平 BIN 下降时间	t_{AUBD}	PC_Mode2 或 PC_Mode3			
从 BIN"L"电平 AIN 下降时间	t_{BDAD}	PC_Mode2 或 PC_Mode3			
从 AIN"L"电平 BIN 上升时间	t_{ADBU}	PC_Mode2 或 PC_Mode3			
ZIN 引脚"H"宽	t_{ZHL}	QCR:CGSC=0			
ZIN 引脚"L"宽	t_{ZLL}	QCR:CGSC=0			
从 ZIN 电平确定 AIN/BIN 上 升降时间	t_{ZABE}	QCR:CGSC=1			
从 AIN/BIN 升降时间 ZIN 电平确定	t_{ABEZ}	QCR:CGSC=1			

*: t_{CYCP} 是 APB 总线时钟的周期时间。

关于 Quad 计数器连接的 APB 总线序号，详情参照 8 框图。





12.4.13 I²C 时序

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$, $T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$)

参数	符号	条件	标准模式		高速模式		单位	备注
			最小	最大	最小	最大		
SCL 时钟频率	F_{SCL}	$C_L = 30\text{ pF}$, $R = (V_p/I_{OL})^{*1}$	0	100	0	400	kHz	
(重复)“启动”条件保持时间 $SDA \downarrow \rightarrow SCL \downarrow$	t_{HDSTA}		4.0	-	0.6	-	μs	
SCL 时钟“L”宽	t_{LOW}		4.7	-	1.3	-	μs	
SCL 时钟“H”宽	t_{HIGH}		4.0	-	0.6	-	μs	
(重复)“启动”条件创建时间 $SCL \uparrow \rightarrow SDA \downarrow$	t_{SUSTA}		4.7	-	0.6	-	μs	
数据保持时间 $SCL \downarrow \rightarrow SDA \downarrow \uparrow$	t_{HDDAT}		0	3.45^{*2}	0	0.9^{*3}	μs	
数据创建时间 $SDA \downarrow \uparrow \rightarrow SCL \uparrow$	t_{SUDAT}		250	-	100	-	ns	
“停止”条件创建时间 $SCL \uparrow \rightarrow SDA \uparrow$	t_{SUSTO}		4.0	-	0.6	-	μs	
“停止”条件 和“启动”条件间的 总线空闲时间	t_{BUF}		4.7	-	1.3	-	μs	
噪声滤波器	t_{SP}	$8\text{ MHz} \leq$ $t_{CYCP} \leq 40\text{ MHz}$	$2 t_{CYCP}^{*4}$	-	$2 t_{CYCP}^{*4}$	-	ns	*5
		$40\text{ MHz} <$ $t_{CYCP} \leq 60\text{ MHz}$	$3 t_{CYCP}^{*4}$	-	$3 t_{CYCP}^{*4}$	-	ns	*5
		$60\text{ MHz} <$ $t_{CYCP} \leq 72\text{ MHz}$	$4 t_{CYCP}^{*4}$	-	$4 t_{CYCP}^{*4}$	-	ns	*5

*1: R 和 C 是指 SCL, SDA 总线上的上拉电阻和负载电容。

V_p 是指上拉电阻的电源电压, I_{OL} 是指 V_{OL} 保证电流。

*2: 仅在芯片保持 SCL 信号在“L”(t_{LOW}) 未扩展期间才可使用最大 t_{HDDAT} 。

*3: 高速模式 I²C 总线芯片可用于标准模式 I²C 总线系统, 但必须满足 $t_{SUDAT} \geq 250\text{ ns}$ 的要求。

*4: t_{CYCP} 是指 APB 总线时钟的周期时间。

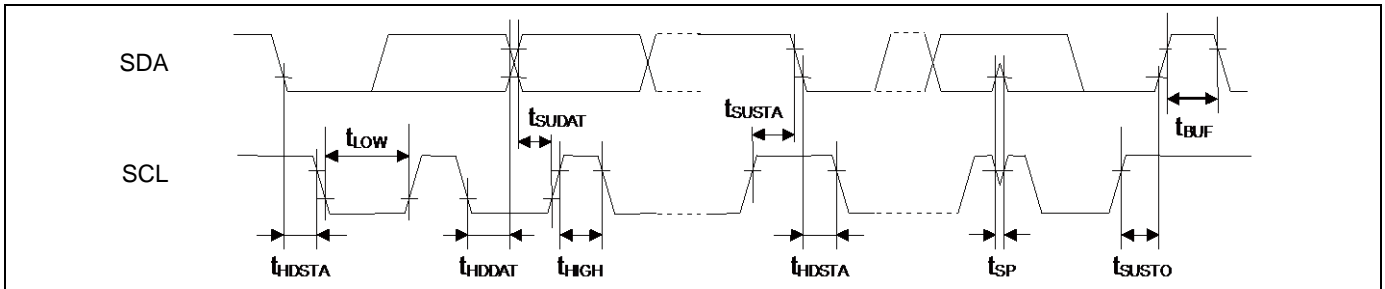
关于 I²C 连接的 APB 总线序号, 详情参照“8 框图”。

使用标准模式时, 请将 APB 总线时钟设定在 2 MHz 或以上。

使用高速模式时, 请将 APB 总线时钟设定在 8 MHz 或以上。

*5: 噪声滤波器的段数可根据寄存器设定而改变。

请根据 APB2 总线时钟频率改变噪声滤波器的段数。

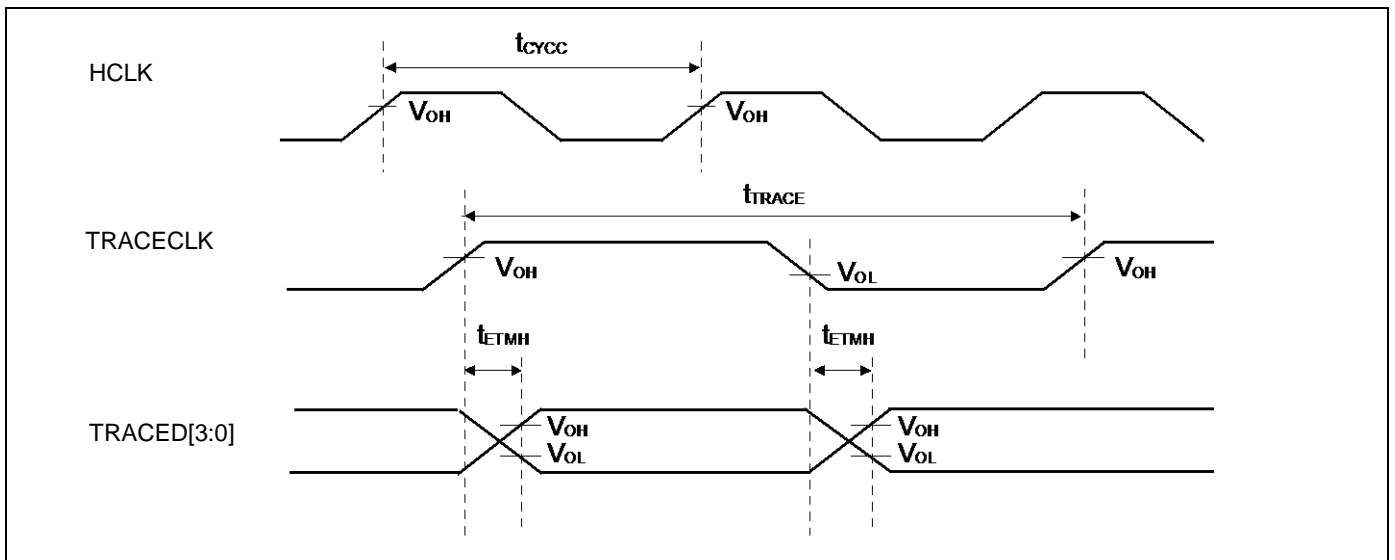


12.4.14 ETM 时序
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V}, T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C})$

参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
数据保持	t_{ETMH}	TRACECLK TRACED[3:0]	$V_{CC} \geq 4.5\text{ V}$	2	9	ns	
			$V_{CC} < 4.5\text{ V}$	2	15		
TRACECLK 频率	$1/t_{TRACE}$	TRACECLK	$V_{CC} \geq 4.5\text{ V}$	-	50	MHz	
			$V_{CC} < 4.5\text{ V}$	-	32	MHz	
TRACECLK 周期时间	t_{TRACE}	TRACECLK	$V_{CC} \geq 4.5\text{ V}$	20	-	ns	
			$V_{CC} < 4.5\text{ V}$	31.25	-	ns	

注意事项:

外部负载电容 = 30 pF 时。

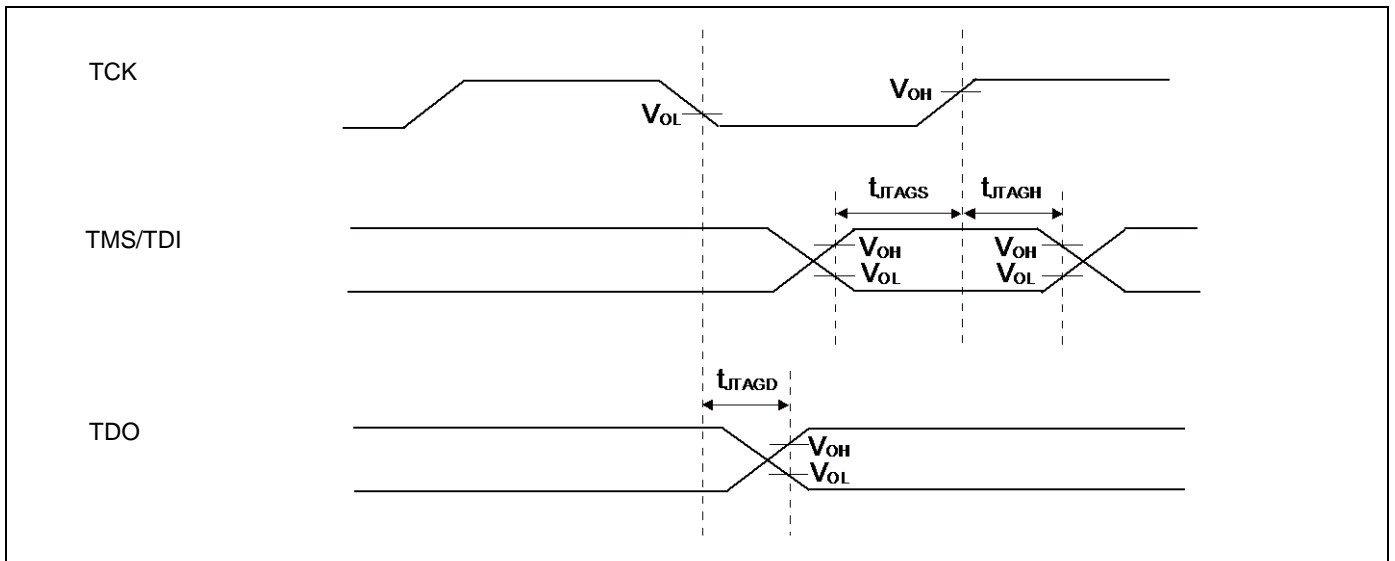


12.4.15 JTAG 时序
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V}, T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C})$

参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
TMS, TDI 创建时间	t_{JTAGS}	TCK, TMS, TDI	$V_{CC} \geq 4.5\text{ V}$	15	-	ns	
			$V_{CC} < 4.5\text{ V}$				
TMS, TDI 保持时间	t_{JTAGH}	TCK, TMS, TDI	$V_{CC} \geq 4.5\text{ V}$	15	-	ns	
			$V_{CC} < 4.5\text{ V}$				
TDO 延迟时间	t_{JTAGD}	TCK, TDO	$V_{CC} \geq 4.5\text{ V}$	-	25	ns	
			$V_{CC} < 4.5\text{ V}$	-	45		

注意事项:

外部负载电容 = 30 pF 时。



12.5 12 位 A/D 转换器

A/D 转换器的电气特性

($V_{CC} = AV_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = AV_{SS} = 0\text{ V}$, $T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$)

参数	符号	引脚名称	规格值			单位	备注
			最小	标准	最大		
分辨率	-	-	-	-	12	bit	
积分非线性	-	-	-	± 4.0	± 4.5	LSB	$AVRH = 2.7\text{ V} \sim 5.5\text{ V}$
微分非线性	-	-	-	± 2.3	± 2.5	LSB	
零转换电压	V_{ZT}	ANxx	-	± 10	± 15	mV	
全面转换电压	V_{FST}	ANxx	-	$AVRH \pm 10$	$AVRH \pm 15$	mV	
转换时间	-	-	1.0^{*1}	-	-	μs	$AV_{CC} \geq 4.5\text{ V}$
			1.2^{*1}	-	-		$AV_{CC} < 4.5\text{ V}$
采样时间	t_s	-	$*2$	-	-	ns	$AV_{CC} \geq 4.5\text{ V}$
			$*2$	-	-		$AV_{CC} < 4.5\text{ V}$
比较时钟周期 ^{*3}	t_{CCK}	-	50	-	2000	ns	$AV_{CC} \geq 4.5\text{ V}$
							$AV_{CC} < 4.5\text{ V}$
动作使能状态转移期间	t_{STT}	-	-	-	1.0	μs	
模拟输入电容	C_{AIN}	-	-	-	12.9	pF	
模拟输入电阻	R_{AIN}	-	-	-	2	k Ω	$AV_{CC} \geq 4.5\text{ V}$
					3.8		$AV_{CC} < 4.5\text{ V}$
通道间不平衡	-	-	-	-	4	LSB	
模拟端口输入漏电流	-	ANxx	-	-	5	μA	
模拟输入电压	-	ANxx	AV_{SS}	-	$AVRH$	V	
基准电压	-	$AVRH$	2.7	-	AV_{CC}	V	

*1:转换时间是采样时间(t_s) + 比较时间(t_c)的值。

最短转换时间的条件是:

$AV_{CC} \geq 4.5\text{ V}$, $HCLK=120\text{ Hz}$ 采样时间:300 ns, 比较时间:700 ns

$AV_{CC} < 4.5\text{ V}$, $HCLK=120\text{ Hz}$ 采样时间:500 ns, 比较时间:700 ns

必须满足采样时间(t_s)和比较时钟周期 (t_{CCK})的规格。

关于采样时间和比较时钟周期的设置*4, 详情参照“FM3 家族外围资源手册 模拟宏部分”中的第 1-1 章:12 位 A/D 转换器。

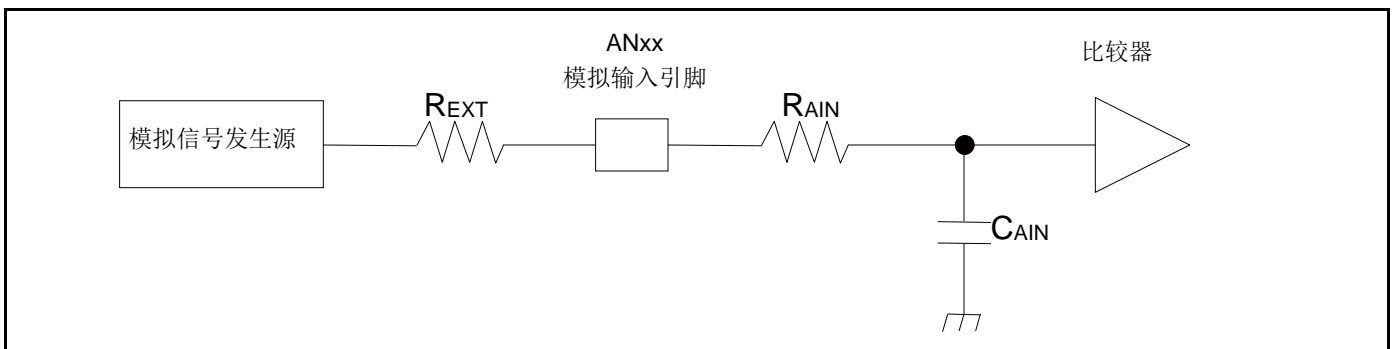
ADC 的寄存器设定在外设时钟时序上反映。采样及比较时钟在基本时钟(HCLK)设定。

关于 A/D 转换器连接的 APB 总线序号, 请参阅本数据表中的 8 框图。

*2:所需采样时间因外部阻抗而异。

设定的采样时间务必满足(公式 1)。

*3:比较时间(t_c)是(公式 2)的值。



(公式 1) $t_s \geq (R_{AIN} + R_{EXT}) \times C_{AIN} \times 9$

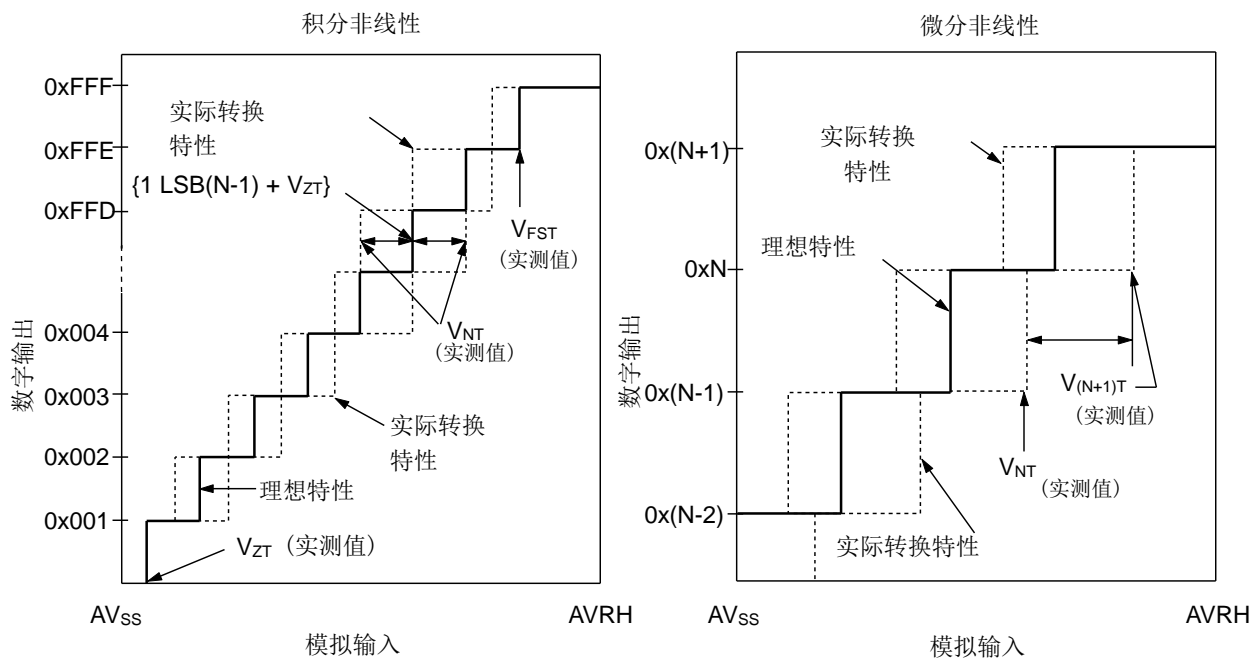
t_s :	采样时间	
R_{AIN} :	A/D 的输入电阻 = 2 k Ω	4.5 V < AV_{CC} < 5.5 V
	A/D 的输入电阻 = 3.8 k Ω	2.7 V < AV_{CC} < 4.5 V
C_{AIN} :	A/D 的输入电容 = 12.9 pF	2.7 V < AV_{CC} < 5.5 V
R_{EXT} :	外部电路的输出阻抗	

(公式 2) $t_c = t_{CCK} \times 14$

t_c :	比较时间
t_{CCK} :	比较时钟周期

12 位 A/D 转换器术语定义

- **分辨率:** 分辨率是 A/D 转换器分辨出的模拟偏差的等级。
- **积分非线性:** 是指实际转换值偏移直线的误差，该直线连接器件上的零转换点
(0b000000000000 \longleftrightarrow 0b000000000001) 和同一器件上的全面转换点
(0b111111111110 \longleftrightarrow 0b111111111111)。
- **微分非线性:** 指用一个 LSB 改变输出码所需输入电压偏移理想值的误差。



$$\text{数字输出 } N \text{ 的积分非线性} = \frac{V_{NT} - \{1\text{LSB} \times (N - 1) + V_{ZT}\}}{1\text{LSB}} \quad [\text{LSB}]$$

$$\text{数字输出 } N \text{ 的微分非线性} = \frac{V_{(N+1)T} - V_{NT}}{1\text{LSB}} - 1 \quad [\text{LSB}]$$

$$1\text{LSB} = \frac{V_{FST} - V_{ZT}}{4094}$$

N: A/D 转换器的数字输出值。

V_{ZT} : 数字输出由 0x000 至 0x001 变换的电压。

V_{FST} : 数字输出由 0xFFE 至 0xFFFF 变换的电压。

V_{NT} : 数字输出由 0x(N - 1)至 0xN 变换的电压。

12.6 USB 特性

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $USBV_{CC} = 3.0\text{ V} \sim 3.6\text{ V}$, $V_{SS} = 0\text{ V}$, $T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$)

参数		符号	引脚名称	条件	规格值		单位	备注
					最小	最大		
输入特性	输入"H"电平电压	V_{IH}	UDP0, UDM0	-	2.0	$USBV_{CC} + 0.3$	V	*1
	输入"L"电平电压	V_{IL}		-	$V_{SS} - 0.3$	0.8	V	*1
	差分输入敏感度	V_{DI}		-	0.2	-	V	*2
	差分一般模式范围	V_{CM}		-	0.8	2.5	V	*2
输出特性	输出"H"电平电压	V_{OH}		外部下拉电阻 = 15 k Ω	2.8	3.6	V	*3
	输出"L"电平电压	V_{OL}		外部上拉电阻 = 1.5 k Ω	0.0	0.3	V	*3
	交变电压	V_{CRS}		-	1.3	2.0	V	*4
	上升时间	t_{FR}		Full-Speed	4	20	ns	*5
	下降时间	t_{FF}		Full-Speed	4	20	ns	*5
	上升/下降时间匹配	t_{FRFM}		Full-Speed	90	111.11	%	*5
	输出阻抗	Z_{DRV}		Full-Speed	28	44	Ω	*6
	上升时间	t_{LR}		Low-Speed	75	300	ns	*7
	下降时间	t_{LF}		Low-Speed	75	300	ns	*7
	上升/下降时间匹配	t_{LRFM}		Low-Speed	80	125	%	*7

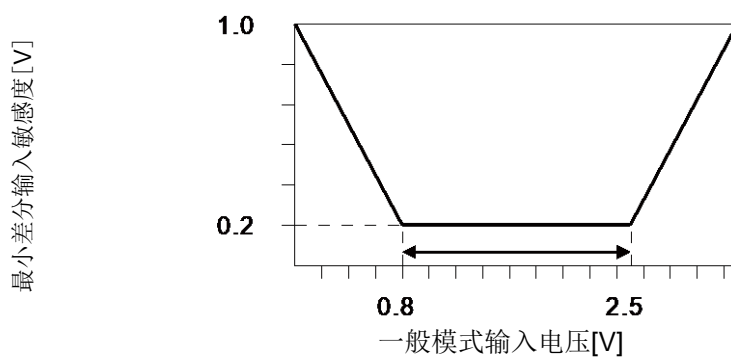
*1:USB FS I/O 的单端接收器的开关阈值电压在 $V_{IL}(\text{Max}) = 0.8\text{ V}$, $V_{IH}(\text{Min}) = 2.0\text{ V}$ (TTL 输入规格)范围内进行设定。

还具有可降低噪声敏感度的迟滞特性。

*2:接收 USB 差分数据信号使用的是差分接收器。

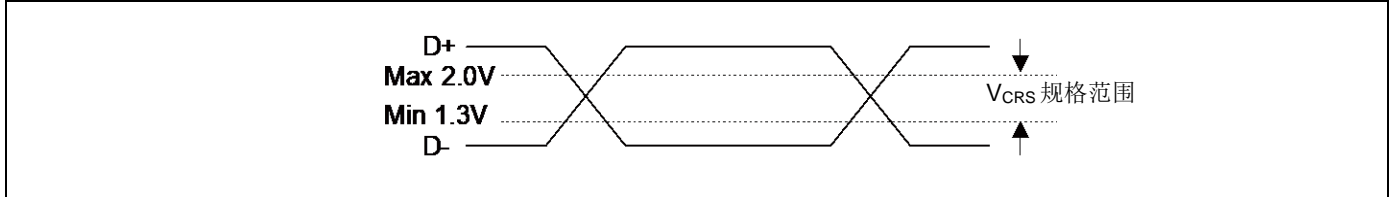
针对本地接地基准电平, 差分数据输入在 $0.8\text{ V} \sim 2.5\text{ V}$ 的范围时, 差分接收器具有 200 mV 的差分输入敏感度。

上述电压范围是一般模式输入电压范围。



*3:驱动器的输出驱动能力在 Low-State (V_{OL})时为 0.3 V 以下(针对 3.6 V, 1.5 k Ω 负载), 而在 High-State (V_{OH})时为 2.8 V 以上(针对接地, 15 k Ω 负载)。

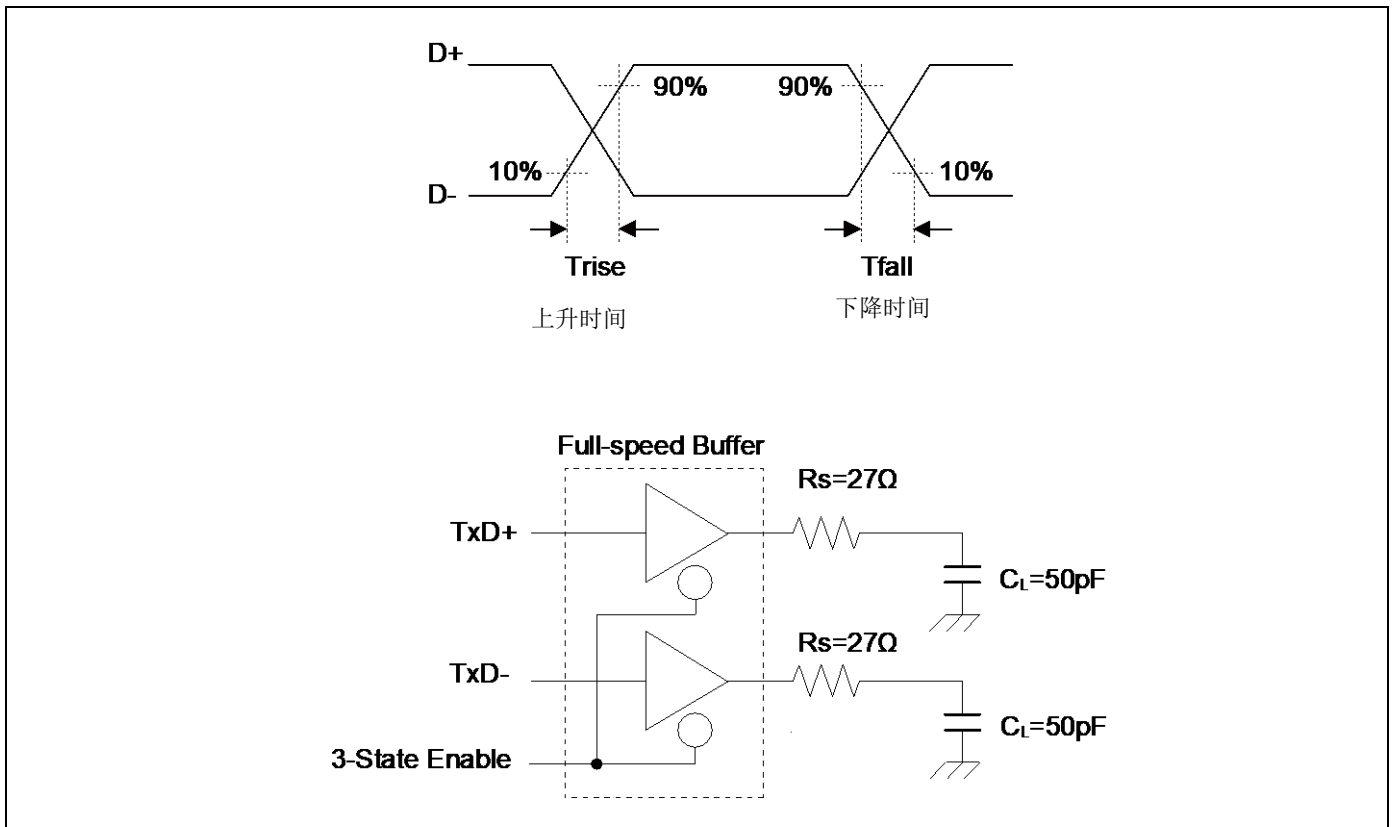
*4:USB I/O 的外部差分输出信号(D+/D-)的交叉电压在 1.3 V ~ 2.0 V 的范围内。



*5:规定 Full-Speed 差分数据信号的上升(T_{rise})和下降(T_{fall})时间。

由输出信号电压的 10 % ~ 90 % 的时间定义。

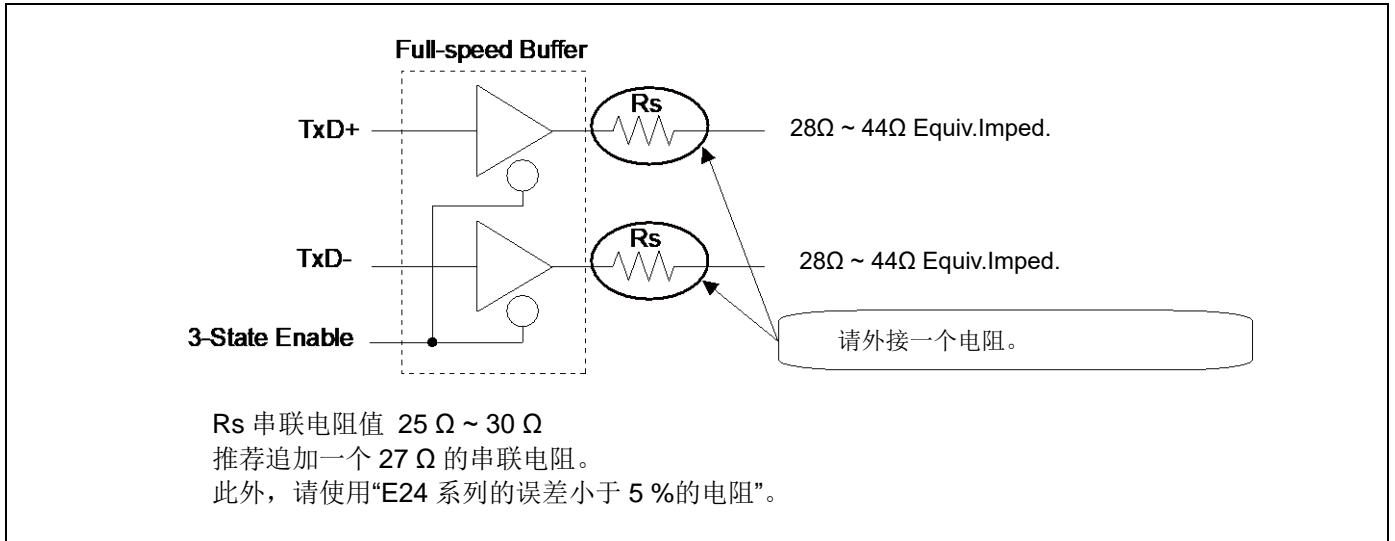
关于 Full-speed Buffer, 为了将 RFI 放射降到最小, 规定 T_r/T_f 比在 $\pm 10\%$ 以内。



*6:在 $90\ \Omega \pm 15\%$ 的特性阻抗(Differential Mode)下, 通过屏蔽后的双绞线电缆可连接 USB Full-speed。

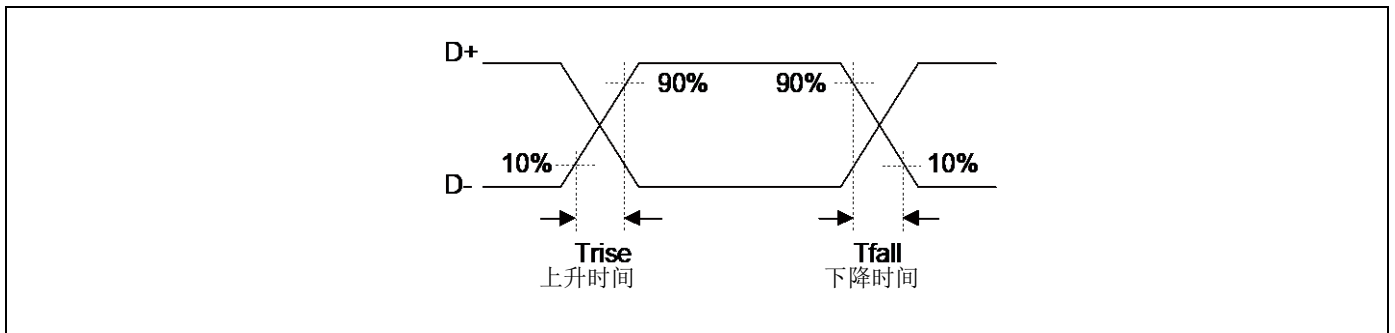
USB 规格规定了 USB Driver 的输出阻抗必须在 $28\ \Omega \sim 44\ \Omega$ 范围内。为了满足上述规格并保持平衡, 还规定添加分立串联电阻 (R_s)。

使用本 USB FLS I/O 时, 请追加一个 $25\ \Omega \sim 30\ \Omega$ (推荐值 $27\ \Omega$) 的串联电阻 R_s 。



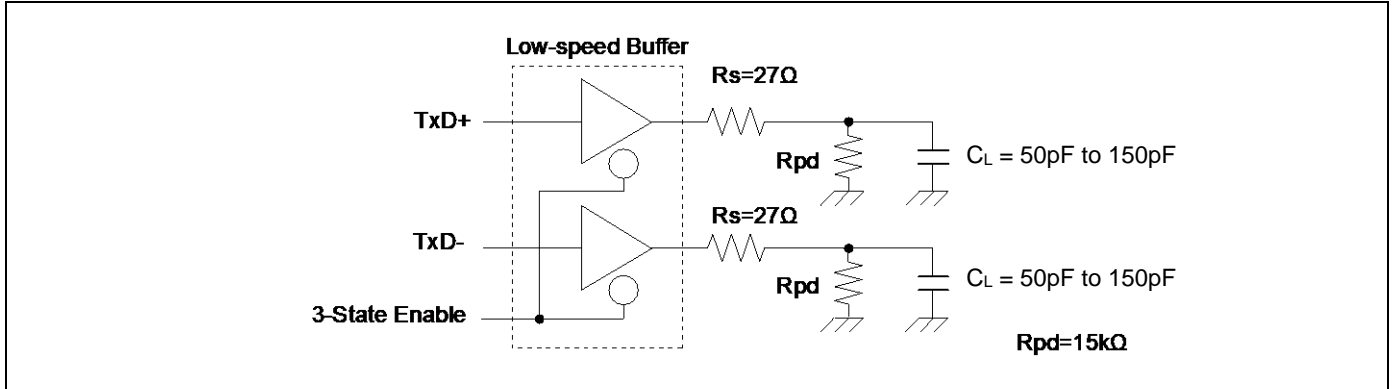
*7:规定 Low-Speed 差分数据信号的上升(T_{rise})和下降(T_{fall})时间。

由输出信号电压的 10 % ~ 90 % 的时间定义。

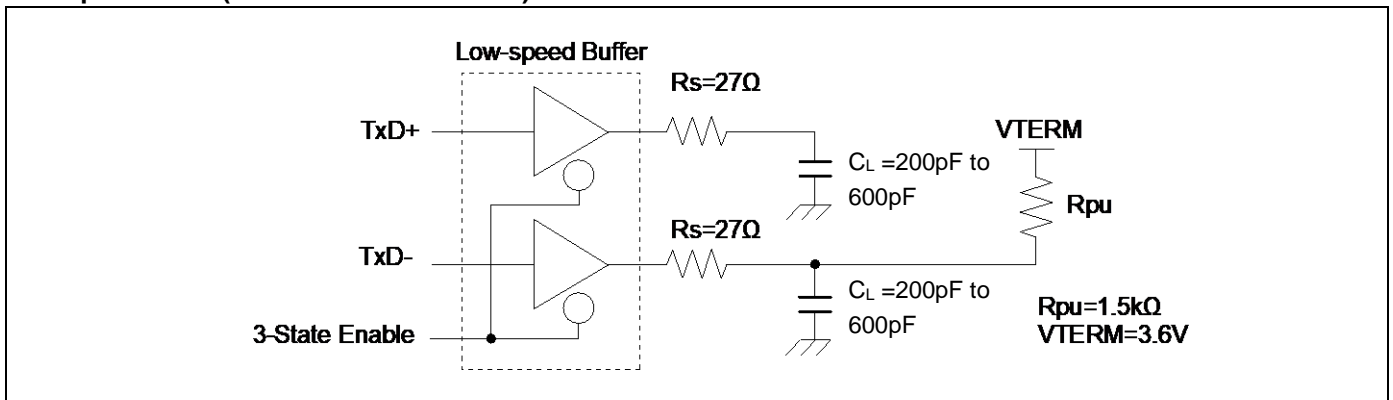


关于外部负载条件, 详情参照 [Low-Speed Load \(Compliance Load\)](#)。

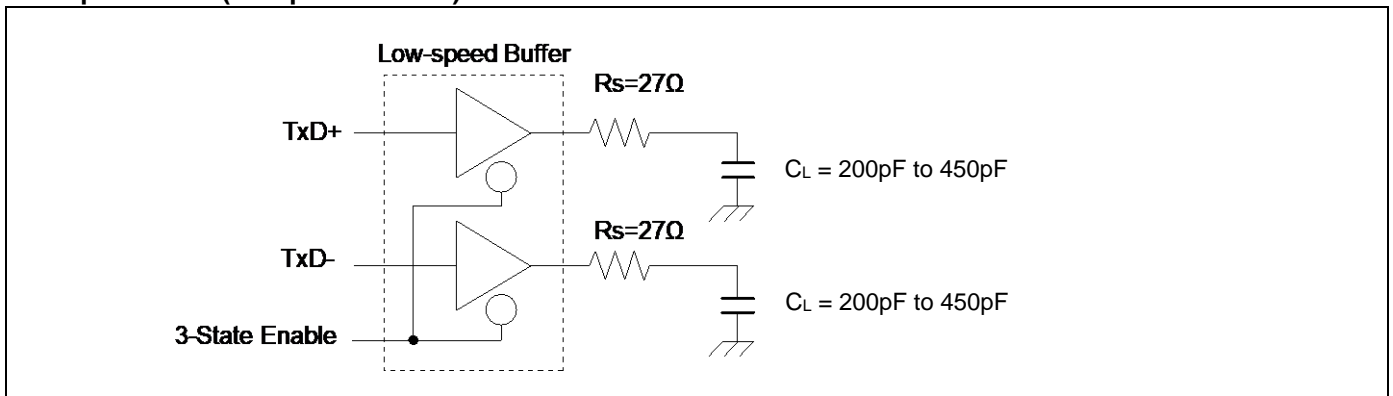
Low-Speed Load (Upstream Port Load) - Reference 1



Low-Speed Load (Downstream Port Load) - Reference 2



Low-Speed Load (Compliance Load)



12.7 低压检测特性

12.7.1 低压检测复位

 $(T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C})$

参数	符号	条件	规格值			单位	备注
			最小	标准	最大		
检测电压	VDL	-	2.25	2.45	2.65	V	电压下降时
释放电压	VDH	-	2.30	2.50	2.70	V	电压上升时

12.7.2 低压检测中断

 $(T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C})$

参数	符号	条件	规格值			单位	备注
			最小	标准	最大		
检测电压	VDL	SVHI = 0000	2.58	2.8	3.02	V	电压下降时
释放电压	VDH		2.67	2.9	3.13	V	电压上升时
检测电压	VDL	SVHI = 0001	2.76	3.0	3.24	V	电压下降时
释放电压	VDH		2.85	3.1	3.34	V	电压上升时
检测电压	VDL	SVHI = 0010	2.94	3.2	3.45	V	电压下降时
释放电压	VDH		3.04	3.3	3.56	V	电压上升时
检测电压	VDL	SVHI = 0011	3.31	3.6	3.88	V	电压下降时
释放电压	VDH		3.40	3.7	3.99	V	电压上升时
检测电压	VDL	SVHI = 0100	3.40	3.7	3.99	V	电压下降时
释放电压	VDH		3.50	3.8	4.10	V	电压上升时
检测电压	VDL	SVHI = 0111	3.68	4.0	4.32	V	电压下降时
释放电压	VDH		3.77	4.1	4.42	V	电压上升时
检测电压	VDL	SVHI = 1000	3.77	4.1	4.42	V	电压下降时
释放电压	VDH		3.86	4.2	4.53	V	电压上升时
检测电压	VDL	SVHI = 1001	3.86	4.2	4.53	V	电压下降时
释放电压	VDH		3.96	4.3	4.64	V	电压上升时
LVD 稳定等待时间	t _{LVDW}	-	-	-	4032 × t _{CYCP} *	μs	

*: t_{CYCP} 是 APB2 总线时钟的周期时间。

12.8 主闪存写入/擦除特性

12.8.1 写/擦时间

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$)

参数		规格值		单位	备注
		标准*	最大*		
扇区擦除时间	大扇区	0.7	3.7	s	包括内部擦除前的写入时间
	小扇区	0.3	1.1		
半字(16 位) 写入时间		12	384	μs	不包括系统级开销时间
整片擦除时间		8	38.4	s	包括内部擦除前的写入时间

*:典型值指发货后立即有效的值, 最大值指在 10 万个擦除/写入周期后的保证值。

12.8.2 写入周期和数据保持时间

写/擦次数(周期)	保持时间(年)	备注
1,000	20*	
10,000	10*	
100,000	5*	

*:平均温度+ 85 °C

12.9 工作闪存写入/擦除特性

12.9.1 写/擦时间

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$)

参数		规格值		单位	备注
		标准*	最大*		
扇区擦除时间		0.3	1.5	s	包括内部擦除前的写入时间
半字(16 位) 写入时间		20	384	μs	不包括系统级开销时间
整片擦除时间		1.2	6	s	包括内部擦除前的写入时间

*:典型值指发货后立即有效的值, 最大值指在 1 万个擦除/写入周期后的保证值。

12.9.2 写入周期和数据保持时间

写/擦次数(周期)	保持时间(年)	备注
1,000	20*	
10,000	10*	

*:平均温度+ 85 °C

12.10 从低功耗模式下的返回时间

12.10.1 返回因数: 中断

从低功耗模式下的返回时间按如下所示。从收到返回因数到启动程序运行为止。

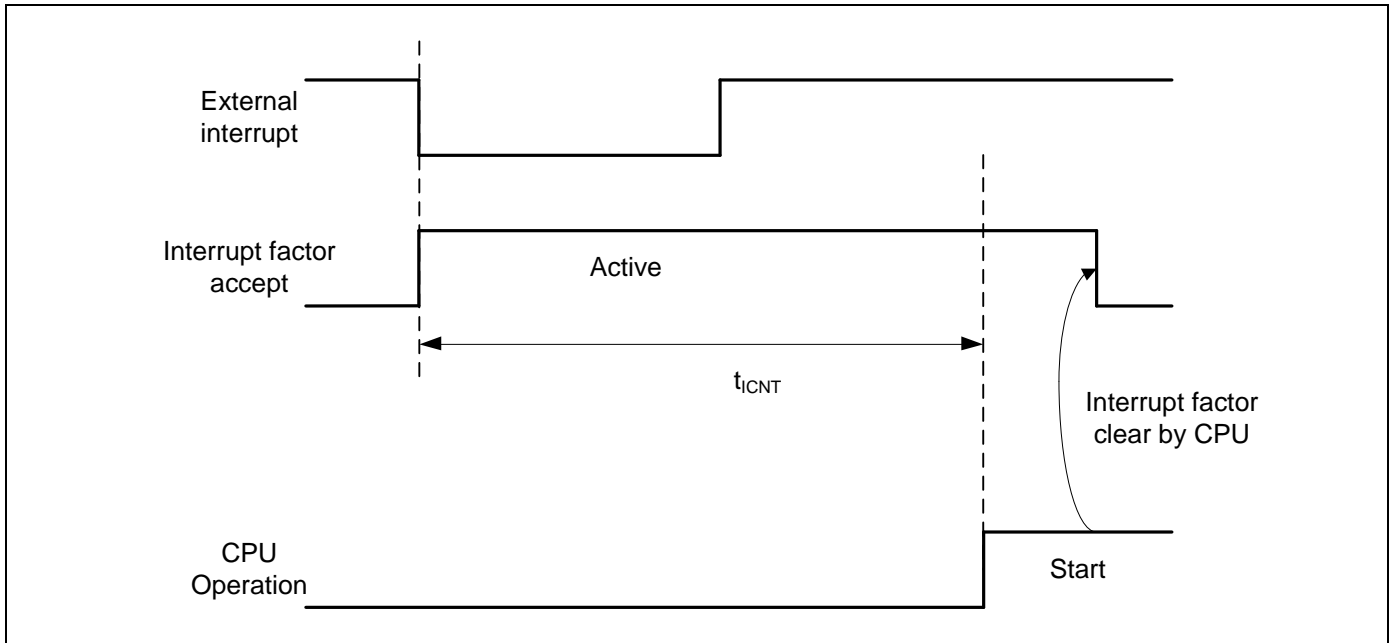
返回计数时间

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$)

参数	符号	规格值		单位	备注
		标准	最大*		
睡眠模式	t_{ICNT}	t_{CVCC}		ns	
高速 CR 定时器模式、 主定时器模式、 PLL 定时器模式		40	80	μs	
低速 CR 定时器模式		453	737	μs	
子定时器模式		453	737	μs	
停止模式		453	737	μs	

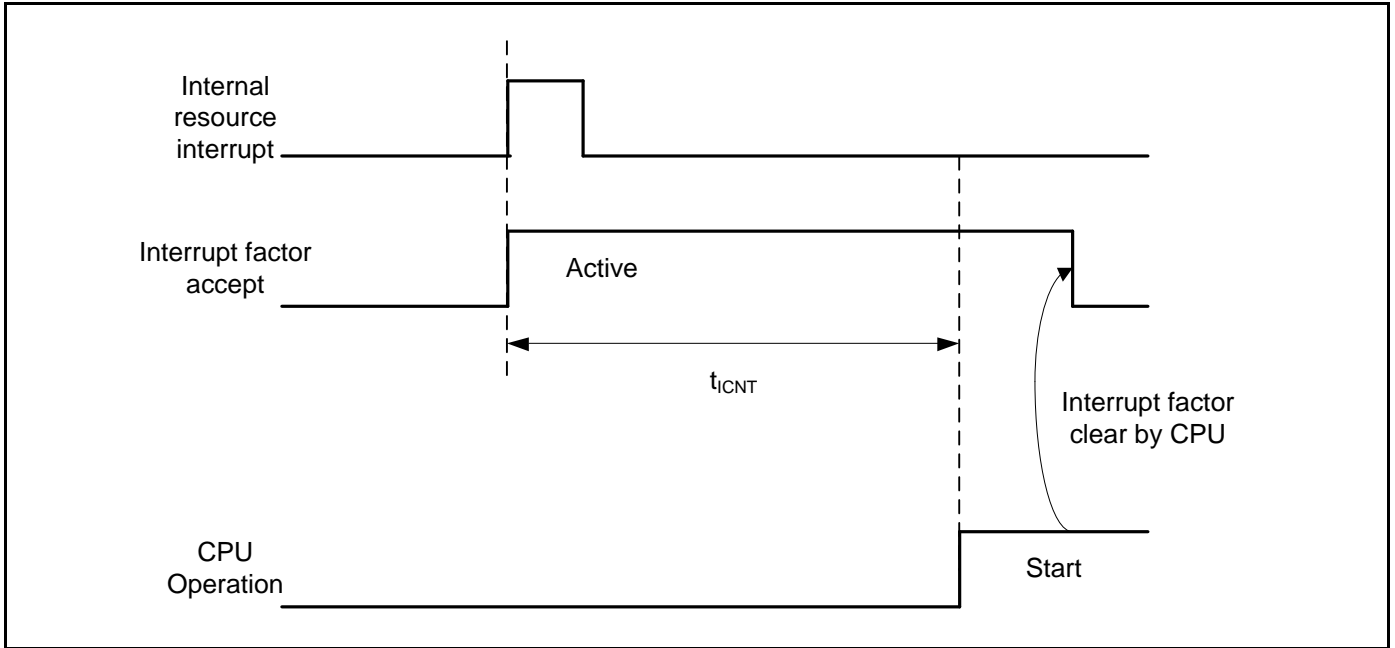
*:最大值取决于内置 CR 的精度。

从低功耗模式返回的操作示例（通过外部中断*）



*:外部中断设置为检测下降沿。

从低功耗模式返回的操作示例（通过内部资源中断*）



*:对这类低功耗模式，内部资源中断未包含在返回因数中。

注意事项:

每一种低功耗模式中的返回因数各不相同。

关于低功耗模式的返回因数，请参阅 FM3 系列外设手册中的“第 6 章：低功耗模式”和“待机模式操作”。

在中断恢复时，CPU 恢复的工作模式取决于低功耗模式转换前的状态。请参阅 FM3 系列外设手册中的“第 6 章：低功耗模式”。

12.10.2 返回因数:复位

从低功耗模式下的返回时间按如下所示。从释放复位到启动程序运行为止。

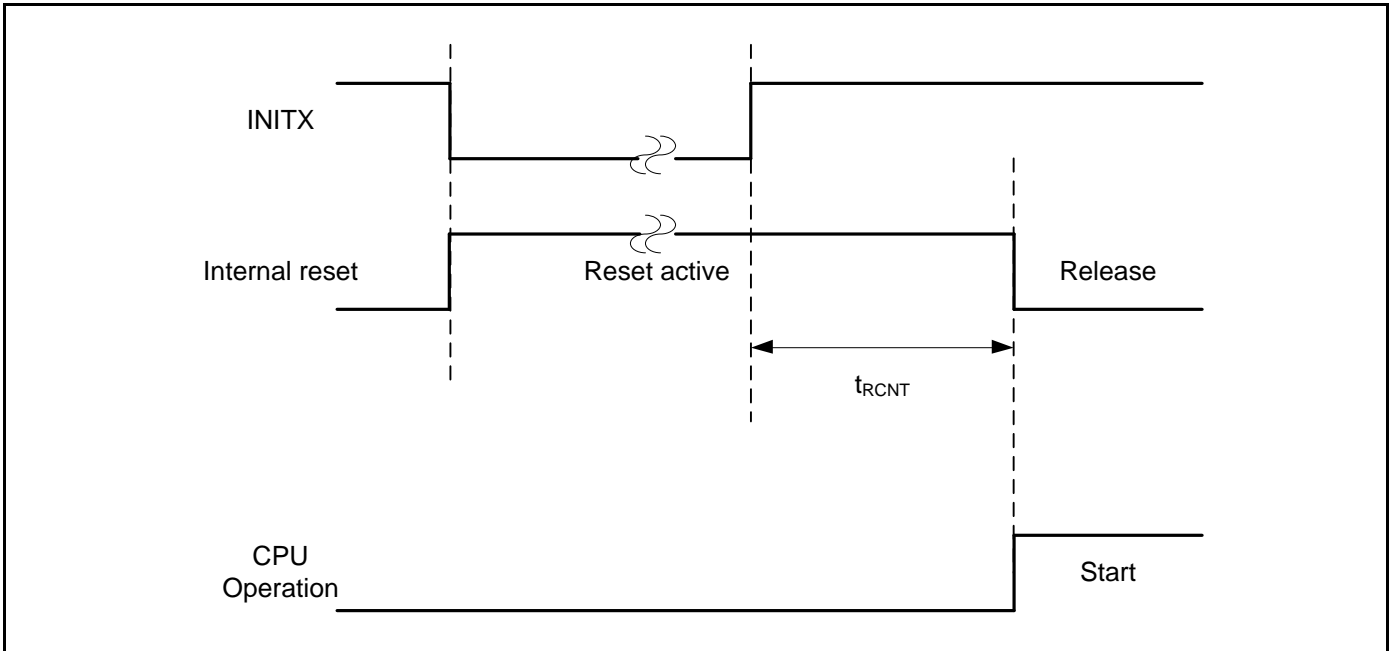
返回计数时间

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$)

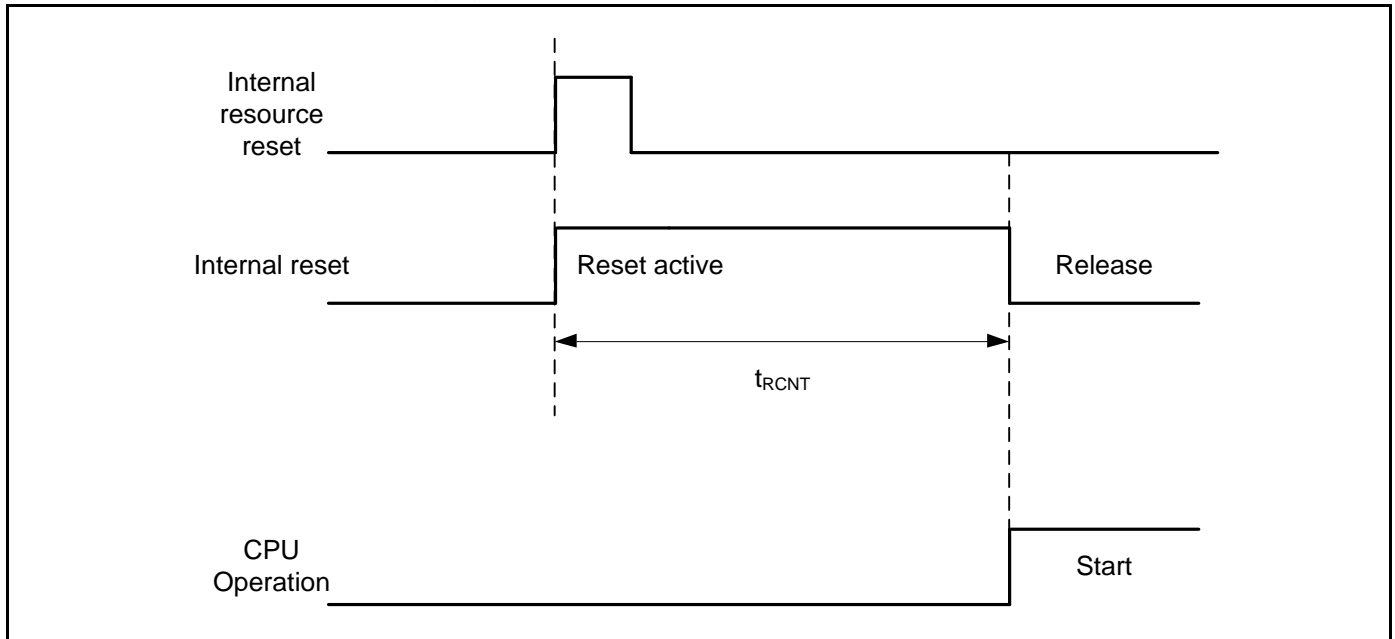
参数	符号	规格值		单位	备注
		标准	最大*		
睡眠模式	t_{RCNT}	321	461	μs	
高速 CR 定时器模式、 主定时器模式、 PLL 定时器模式		321	461	μs	
低速 CR 定时器模式		441	701	μs	
子定时器模式		441	701	μs	
停止模式		441	701	μs	

*:最大值取决于内置 CR 的精度。

从低功耗模式返回的操作示例（通过 INITX）



从低功耗模式返回的操作示例（通过内部资源复位*）



*:对这类低功耗模式，内部资源复位未包含在返回因数中。

注意事项:

每一种低功耗模式中的返回因数各不相同。

请参阅 FM3 系列外设手册中的“第 6 章：低功耗模式”和“待机模式操作”。

在中断恢复时，CPU 恢复的工作模式取决于低功耗模式转换前的状态。请参阅 FM3 系列外设手册中的“第 6 章：低功耗模式”。排除加电复位/低电压检测复位的时间。请参阅“12 电气特性”中“4.AC 特性”这一章节的“(6)加电复位时间”，详细了解加电复位/低电压检测复位时间。

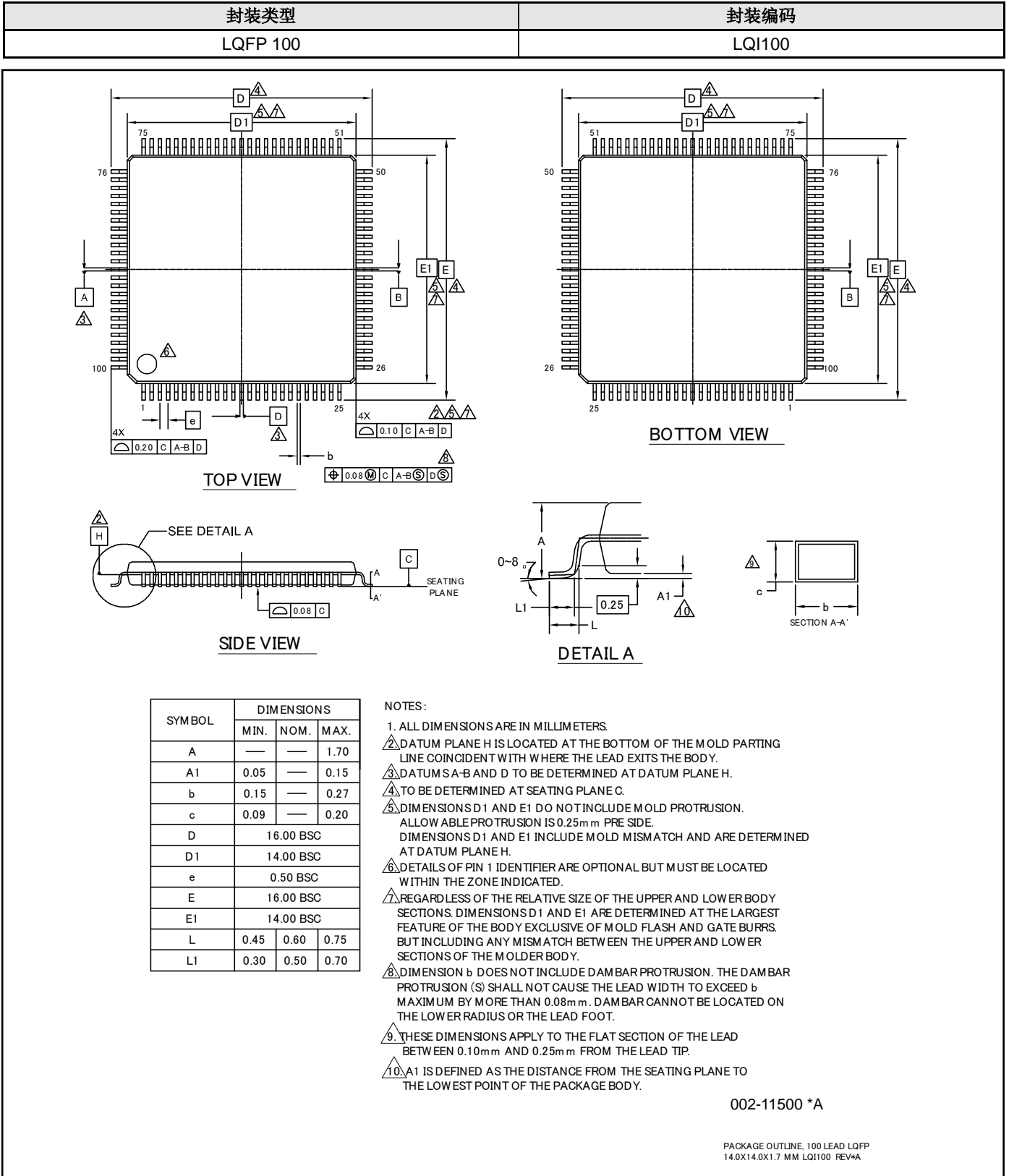
在从复位恢复时，CPU 会改变为高速 CR 运行模式。在使用主时钟或 PLL 时钟时，有必要添加主时钟振荡稳定等待时间或主 PLL 时钟稳定等待时间。

内部资源复位意味着看门狗复位和 CSV 复位。

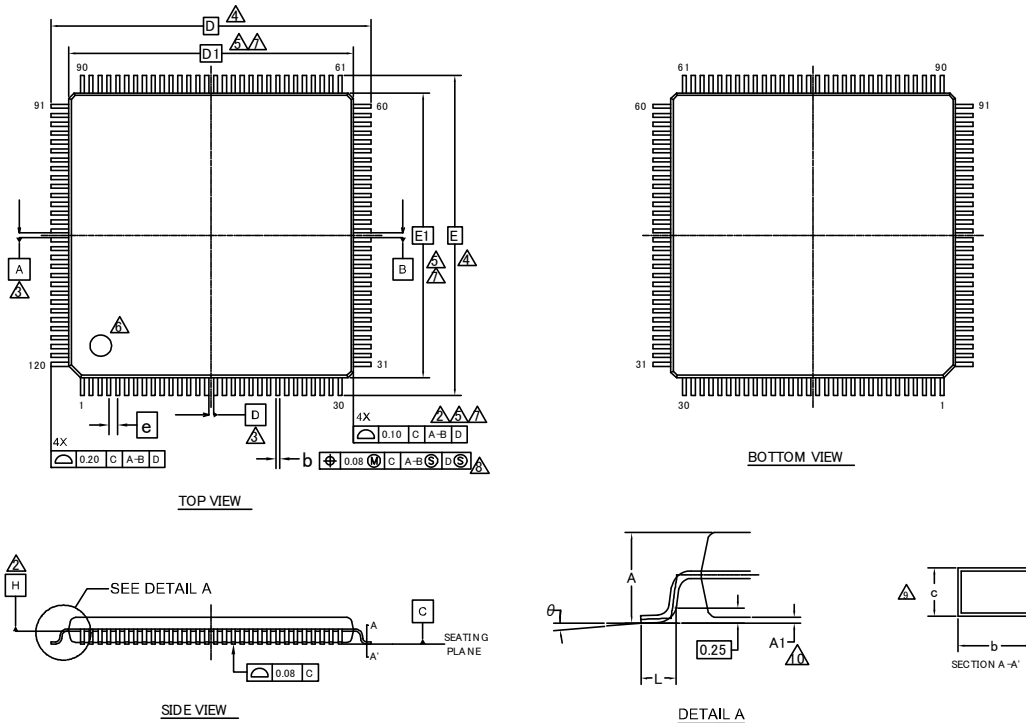
13. 订购信息

产品类型	片上 闪存	片上 SRAM	封装	包装
CY9BF312NPQC-G-JNE2	Main:128 Kbyte Work:32 Kbyte	16 Kbyte	塑封•QFP 100 脚 (0.65 mm 间距), (PQH100)	Tray
CY9BF314NPQC-G-JNE2	Main:256 Kbyte Work:32 Kbyte	32 Kbyte		
CY9BF315NPQC-G-JNE2	Main:384 Kbyte Work:32 Kbyte	48 Kbyte		
CY9BF316NPQC-G-JNE2	Main:512 Kbyte Work:32 Kbyte	64 Kbyte		
CY9BF312NPMC-G-JNE2	Main:128 Kbyte Work:32 Kbyte	16 Kbyte	塑封•LQFP 100 脚 (0.5 mm 间距), (LQI100)	
CY9BF314NPMC-G-JNE2	Main:256 Kbyte Work:32 Kbyte	32 Kbyte		
CY9BF315NPMC-G-JNE2	Main:384 Kbyte Work:32 Kbyte	48 Kbyte		
CY9BF316NPMC-G-JNE2	Main:512 Kbyte Work:32 Kbyte	64 Kbyte		
CY9BF312RPMC-G-JNE2	Main:128 Kbyte Work:32 Kbyte	16 Kbyte	塑封•LQFP 120 脚 (0.5 mm 间距), (LQM120)	
CY9BF314RPMC-G-JNE2	Main:256 Kbyte Work:32 Kbyte	32 Kbyte		
CY9BF315RPMC-G-JNE2	Main:384 Kbyte Work:32 Kbyte	48 Kbyte		
CY9BF316RPMC-G-JNE2	Main:512 Kbyte Work:32 Kbyte	64 Kbyte		
CY9BF312NBGL-GE1	Main:128 Kbyte Work:32 Kbyte	16 Kbyte	塑封•FBGA 112 脚 (0.8 mm 间距), (LBC112)	
CY9BF314NBGL-GE1	Main:256 Kbyte Work:32 Kbyte	32 Kbyte		
CY9BF315NBGL-GE1	Main:384 Kbyte Work:32 Kbyte	48 Kbyte		
CY9BF316NBGL-GE1	Main:512 Kbyte Work:32 Kbyte	64 Kbyte		

14. 封装尺寸图



封装类型	封装编码
LQFP 120	LQM120



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.05	—	0.15
b	0.17	0.22	0.27
c	0.115	—	0.195
D	18.00 BSC		
D1	16.00 BSC		
e	0.50 BSC		
E	18.00 BSC		
E1	16.00 BSC		
L	0.45	0.60	0.75
θ	0°	—	8°

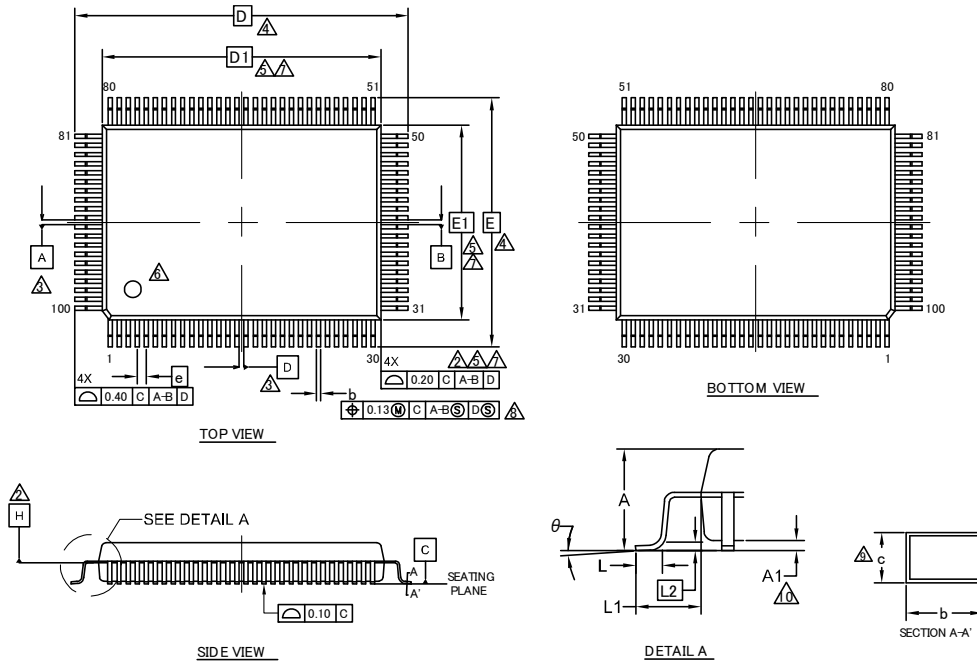
NOTES

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- TO BE DETERMINED AT SEATING PLANE C.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS. DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.
- JEDEC SPECIFICATION NO. REF: N/A.

002-16172 **

PACKAGE OUTLINE, 120 LEAD LQFP
18.0X18.0X1.7 MM LQM120 REV**

封装类型	封装编码
QFP 100	PQH100



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	3.35
A1	0.05	—	0.45
b	0.27	0.32	0.37
c	0.11	—	0.23
D	23.90 BSC		
D1	20.00 BSC		
e	0.65 BSC		
E	17.90 BSC		
E1	14.00 BSC		
θ	0°	—	8°
L	0.73	0.88	1.03
L1	1.95 REF		
L2	0.25 BSC		

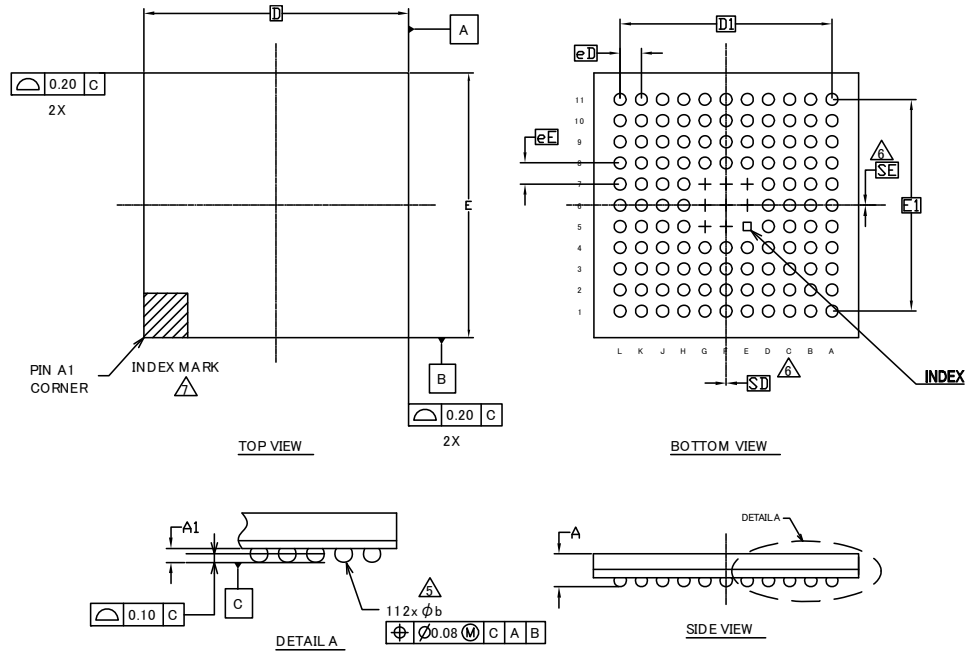
NOTES

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- TO BE DETERMINED AT SEATING PLANE C.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS, BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

002-15156 **

 PACKAGE OUTLINE, 100 LEAD QFP
 20.00X14.00X3.35 MM PQH100 REV**

封装类型	封装编码
FBGA 112	LBC112



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.45
A1	0.25	0.35	0.45
D	10.00 BSC		
E	10.00 BSC		
D1	8.00 BSC		
E1	8.00 BSC		
MD	11		
ME	11		
N	112		
Ø b	0.35	0.45	0.55
eD	0.80 BSC		
eE	0.80 BSC		
SD	0.00		
SE	0.00		

NOTES

- ALL DIMENSIONS ARE IN MILLIMETERS.
- SOLDER BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
- "e" REPRESENTS THE SOLDER BALL GRID PITCH.
- SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION.
SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION.
N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
- DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
- "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW.
WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" OR "SE" = 0.
WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
- A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK, METALIZED MARK, INDENTATION OR OTHER MEANS.
- "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED SOLDER BALLS.

002-13225 **

 PACKAGE OUTLINE, 112 BALL FBGA
 10.00X10.00X1.45 MM LBC112 REV**

文档修改记录

文档标题: **CY9B310R 系列 32 位 Arm® Cortex®-M3 FM3 微控制器**
文档编号: **002-05618**

修订版	ECN	提交日期	变更说明
**	-	01/31/2013	已转换成 Cypress 格式, 分配文档号为 002-05618。 文档内容或格式无更改。
*A	5606012	01/27/2017	更新 Cypress 模板。
*B	6175255	05/15/2018	翻译自 002-05619 Rev.*D
*C	6887448	05/26/2020	翻译自 002-05619 Rev.*E

销售、解决方案以及法律信息

全球销售和设计支持

赛普拉斯公司具有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要想查找离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

Arm® Cortex® 微控制器	cypress.com/arm
汽车级产品	cypress.com/automotive
时钟与缓冲器	cypress.com/clocks
接口	cypress.com/interface
物联网	cypress.com/iot
存储器	cypress.com/memory
微控制器	cypress.com/mcu
PSoC	cypress.com/psoc
电源管理 IC	cypress.com/pmic
触摸感应	cypress.com/touch
USB 控制器	cypress.com/usb
无线连接	cypress.com/wireless

PSoC®解决方案

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

赛普拉斯开发者社区

[社区](#) | [代码示例](#) | [项目](#) | [视频](#) | [博客](#) | [培训](#) | [组件](#)

技术支持

cypress.com/support

© 赛普拉斯半导体公司，2012-2020 年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC（“赛普拉斯”）的财产。本文件，包括其包含或引用的任何软件或固件（“软件”），根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可（无再许可权）（1）在赛普拉斯特软件著作权项下的下列许可权（一）对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和（二）仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供（无论直接提供或通过经销商和分销商间接提供），和（2）在被软件（由赛普拉斯公司提供，且未经修改）侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。没有任何电子设备是绝对安全的。因此，尽管赛普拉斯在其硬件和软件产品中采取了必要的安全措施，但是赛普拉斯并不承担任何由于使用赛普拉斯产品而引起的安全问题及安全漏洞的责任，例如未经授权的访问或使用赛普拉斯产品。此外，本材料中所介绍的赛普拉斯产品有可能存在设计缺陷或设计错误，从而导致产品的性能与公布的规格不一致。（如果发现此类问题，赛普拉斯会提供勘误表）赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用人应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统（包括急救设备和手术植入物）、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途（“非预期用途”）。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，WICED，及 PSoC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。