

サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

**32ビット Arm® Cortex®-M3
FM3 マイクロコントローラ**

CY9B120M シリーズは、低消費電力と低コストを求める組込み制御用途向けに設計された、高集積 32 ビットマイクロコントローラです。本シリーズは、CPU に Arm® Cortex®-M3 プロセッサを搭載し、フラッシュメモリおよび SRAM のオンチップメモリとともに、周辺機能として、各種タイマ、A/D コンバータ、D/A コンバータ、各種通信インタフェース (UART, CSIO, I²C, LIN) などにより構成されます。『FM3 ファミリー パリフェラルマニュアル』において、このデータシートに記載されている製品は、TYPE9 製品に分類されます。

特長**32 ビット Arm® Cortex®-M3 コア**

- プロセッサ版数: r2p1
- 最大動作周波数: 72 MHz
- ネスト型ベクタ割り込みコントローラ(NVIC): 1 チャンネルの NMI (ノンマスカブル割り込み)と 48 チャンネルの周辺割り込みに対応。16 の割り込み優先度レベルを設定できます。
- 24 ビットシステムタイマ(Sys Tick): OS タスク管理用のシステムタイマです。

オンチップメモリ**[フラッシュメモリ]**

- デュアルオペレーションフラッシュメモリ
 - デュアルオペレーションフラッシュメモリは、上位バンクと下位バンクで構成されており、書き込み/消去動作と読み出し動作を同時実行します。
 - メイン領域: 最大 256 K バイト (最大 240 K バイト上位バンク + 16 K バイト下位バンク)
 - ワーク領域: 32 K バイト (下位バンク)
- リードサイクル: 0 ウェイトサイクル
- コード保護用セキュリティ機能

[SRAM]

本シリーズのオンチップ SRAM は、2 つの独立した SRAM (SRAM0, SRAM1) により構成されます。SRAM0 は、Cortex-M3 コアの I-Code バス、D-Code バスに接続されます。SRAM1 は、Cortex-M3 コアの System バスに接続されます。

- SRAM0: 最大 16 K バイト
- SRAM1: 最大 16 K バイト

マルチファンクションシリアルインタフェース(最大 8 チャンネル)

- 16 段 × 9 ビット FIFO あり 4 チャンネル(ch.0/1/3/4), FIFO なし 4 チャンネル(ch.2/5/6/7)
- チャンネルごとに動作モードを次の中から選択できます。
 - UART
 - CSIO
 - LIN
 - I²C

[UART]

- 全二重ダブルバッファ
- パリティあり/なし選択可能
- 専用ボーレートジェネレータ内蔵
- 外部クロックをシリアルクロックとして使用可能
- ハードウェアフロー・コントロール: CTS/RTS による送受信自動制御(ch.4 のみ)
- 豊富なエラー検出機能(パリティエラー, フレーミングエラー, オーバランエラー)

[CSIO]

- 全二重ダブルバッファ
- 専用ボーレートジェネレータ内蔵
- オーバランエラー検出機能

[LIN]

- LIN プロトコル Rev.2.1 対応
- 全二重ダブルバッファ
- マスタ/スレーブモード対応
- LIN break field 生成(13 ~ 16 ビット長に変更可能)
- LIN break デリミタ生成(1 ~ 4 ビット長に変更可能)
- 豊富なエラー検出機能(パリティエラー, フレーミングエラー, オーバランエラー)

[I²C]

- Standard-mode(最大 100 kbps)/Fast-mode(最大 400 kbps)に対応

DMA コントローラ(8 チャンネル)

DMA コントローラは、CPU とは独立した DMA 専用バスを持ち、CPU と並列動作できます。

- 8 つを独自に構成かつ動作可能なチャンネル
- ソフトウェア要求または内蔵周辺機能要求による転送開始可能
- 転送アドレス空間: 32 ビット(4 G バイト)
- 転送モード: ブロック転送/ バースト転送/ デマンド転送
- 転送データタイプ: バイト/ ハーフワード/ ワード
- 転送ブロック数: 1 ~ 16
- 転送回数: 1 ~ 65536

AD コンバータ(最大 26 チャンネル)

[12 ビット A/D コンバータ]

- 逐次比較型
- 2 ユニット搭載
- 変換時間: 0.8 μ s @ 5 V
- 優先変換可能(2 レベルの優先度)
- スキャン変換モード
- 変換データ格納用 FIFO 搭載(スキャン変換用: 16 段, 優先変換用: 4 段)

DA コンバータ(最大 2 チャンネル)

- R-2R 型
- 10 ビット分解能

ペースタイマ(最大 8 チャンネル)

チャンネルごとに動作モードを次の中から選択できます。

- 16 ビット PWM タイマ
- 16 ビット PPG タイマ
- 16/32 ビットリロードタイマ
- 16/32 ビット PWC タイマ

汎用 I/O ポート

本シリーズは、端子が周辺機能に使用されていない場合、汎用 I/O ポートとして使用できます。

また、どの I/O ポートに周辺機能を割り当てるかを設定できるポートリロケート機能を搭載しています。

- 端子ごとにブルアップ制御可能
- 端子レベルを直接読出し可能
- ポートリロケート機能
- 最大 65 本の高速汎用 I/O ポート@80 pin Package
- 一部のポートは、5V トレラントに対応
- 該当する端子については「端子機能一覧」と「入出力回路形式」を参照してください。

デュアルタイマ(32/16 ビットダウンカウンタ)

デュアルタイマは、2 つのプログラム可能な 32/16 ビットダウンカウンタで構成されます。

各タイマチャンネルの動作モードを次の中から選択できます。

- フリーランモード
- 周期モード(=リロードモード)

クアッドカウンタ (QPRC : Quadrature Position/Revolution Counter) (最大 2 チャンネル)

クアッドカウンタ(QPRC)は、ポジションエンコーダの位置を測定するために使います。また、設定によりアップダウンカウンタとしても使用できます。

- 3 つの外部イベント入力端子 AIN, BIN, ZIN の検出エッジを設定可能
- 16 ビット位置カウンタ
- 16 ビット回転カウンタ
- 2 つの 16 ビットコンペアレジスタ

多機能タイマ

多機能タイマは、次のブロックで構成されます。

- 16 ビットフリーランタイム×3 チャンネル / ユニット
 - インプットキャプチャ×4 チャンネル / ユニット
 - アウトプットコンペア×6 チャンネル / ユニット
 - A/D 起動コンペア×2 チャンネル / ユニット
 - 波形ジェネレータ×3 チャンネル / ユニット
 - 16 ビット PPG タイマ×3 チャンネル / ユニット
- モータ制御を実現するために次の機能を用意しています。
- PWM 信号出力機能
 - DC チョップパルス出力機能
 - デッドタイム機能
 - インプットキャプチャ機能
 - A/D コンバータ起動機能
 - DTIF(モータ緊急停止)割込み機能

リアルタイムクロック(RTC : Real Time Clock)

00 年 ~ 99 年までの年/月/日/時/分/秒/曜日のカウントを行います。

- 日時指定(年/月/日/時/分)での割込み機能、年/月/日/時/分だけの個別設定も可能
- 設定時間後/設定時間ごとのタイマ割込み機能
- カウントを継続して時刻書換え可能
- うるう年の自動カウント

時計カウンタ

時計カウンタはスリープ、タイマモードからのウェイクアップに使用します。

インターバルタイマ: 最大 64 s@サブクロック使用時 (32.768 kHz)

外部割込み制御ユニット

- 外部割込み入力端子: 最大 23 本@80 pin Package
- ノンマスカブル割込み(NMI)入力端子: 1 本

ウォッチドッグタイマ(2 チャンネル)

ウォッチドッグタイマは、タイムアウト値に達すると割込みまたはリセットを発生します。

本シリーズには、"ハードウェア"ウォッチドッグと"ソフトウェア"ウォッチドッグの 2 つの異なるウォッチドッグがあります。

"ハードウェア"ウォッチドッグタイマは内蔵低速 CR 発振で動作するため、RTC モード、ストップモード、ディープスタンバイ

イ RTC モード、ディープスタンバイストップモード以外のすべての低消費電力モードで動作します。

CRC (Cyclic Redundancy Check)アクセラレータ

CRC アクセラレータは、ソフト処理負荷の高い CRC 計算を行い、受信データおよびストレージの整合性確認処理負荷の軽減を実現します。

CCITT CRC16 と IEEE-802.3 CRC32 をサポートします。

■CCITT CRC16 Generator Polynomial: 0x1021

■IEEE-802.3 CRC32 Generator Polynomial: 0x04C11DB7

クロック/リセット

[クロック]

5 種類のクロックソース(2 種類の外部発振, 2 種類の内蔵 CR 発振, メイン PLL)から選択できます。

- メインクロック: 4 MHz ~ 48 MHz
- サブクロック: 32.768 kHz
- 内蔵高速 CR クロック: 4 MHz
- 内蔵低速 CR クロック: 100 kHz
- メイン PLL クロック

[リセット]

- INITX 端子からのリセット要求
- 電源投入リセット
- ソフトウェアリセット
- ウォッチドッグタイマリセット
- 低電圧検出リセット
- クロックスーパーバイザリセット

クロック監視機能(CSV : Clock Super Visor)

内蔵 CR 発振による生成クロックを用いて外部クロックの異常を監視します。

- 外部クロック異常(クロック停止)が検出されると、リセットがアサートされます。
- 外部周波数異常が検出されると、割込みまたはリセットがアサートされます。

低電圧検出機能(LVD : Low-Voltage Detect)

本シリーズは、2段階で VCC 端子の電圧を監視します。設定した電圧より VCC 端子の電圧が下がった場合、低電圧検出機能により割込みまたはリセットが発生します。

■LVD1: 割込みによりエラーを報告

■LVD2: オートリセット動作

低消費電力モード

6 種類の低消費電力モードに対応します。

■スリープ

■タイマ

■RTC

■ストップ

■ディープスタンバイ RTC(RAM 保持あり・なし選択可能)

■ディープスタンバイストップ(RAM 保持あり・なし選択可能)

デバッグ

シリアル・ワイヤ JTAG デバッグ・ポート(SWJ-DP)

ユニーク ID

41 ビットのデバイス固有の値を設定済み

電源

■ワイドレンジ電圧対応: VCC = 2.7 V ~ 5.5 V

Table of Contents

1. 品種構成	7
2. パッケージと品種対応	8
3. 端子配列図	9
4. 端子機能一覧	15
5. 入出力回路形式	34
6. 取扱上のご注意	41
6.1 設計上の注意事項	41
6.2 パッケージ実装上の注意事項	42
6.3 使用環境に関する注意事項	44
7. デバイス使用上の注意	45
8. ブロックダイアグラム	48
9. メモリサイズ	49
10. メモリマップ	49
11. 各 CPU ステートにおける端子状態	52
12. 電気的特性	56
12.1 絶対最大定格	56
12.2 推奨動作条件	58
12.3 直流規格	59
12.3.1 電流規格	59
12.3.2 端子特性	62
12.4 交流規格	64
12.4.1 メインクロック入力規格	64
12.4.2 サブクロック入力規格	65
12.4.3 内蔵 CR 発振規格	65
12.4.4 メイン PLL の使用条件(PLL の入力クロックにメインクロックを使用)	66
12.4.5 メイン PLL の使用条件(メイン PLL の入力クロックに内蔵高速 CR クロックを使用)	66
12.4.6 リセット入力規格	67
12.4.7 パワーオンリセットタイミング	67
12.4.8 ベースタイマ入力タイミング	68
12.4.9 CSIO/UART タイミング	69
12.4.10 外部入力タイミング	77
12.4.11 クアッドカウンタ タイミング	78
12.4.12 I ² C タイミング	80
12.4.13 JTAG タイミング	81

12.5	12 ビット A/D コンバータ	82
12.6	10 ビット D/A コンバータ	85
12.7	低電圧検出特性.....	86
12.7.1	低電圧検出リセット.....	86
12.7.2	電圧検出割込み.....	87
12.8	メインフラッシュメモリ書き込み/消去特性	88
12.8.1	書き込み/消去時間.....	88
12.8.2	書き込みサイクルとデータ保持時間	88
12.9	スタンバイ復帰時間.....	89
12.9.1	復帰要因：割込み/WKUP.....	89
12.9.2	復帰要因：リセット.....	91
13.	オーダ型格	93
14.	パッケージ・外形寸法図	94
15.	主な変更内容	102
	セールス, ソリューションおよび法律情報	106

1. 品種構成

メモリサイズ

品種名		CY9BF121K/L/M	CY9BF122K/L/M	CY9BF124K/L/M
オンチップ フラッシュメモリ	メイン領域	64 K バイト	128 K バイト	256 K バイト
	ワーク領域	32 K バイト	32 K バイト	32 K バイト
オンチップ SRAM	SRAM0	8 K バイト	8 K バイト	16 K バイト
	SRAM1	8 K バイト	8 K バイト	16 K バイト
	計	16 K バイト	16 K バイト	32 K バイト

ファンクション

品 種 名			CY9BF121K CY9BF122K CY9BF124K	CY9BF121L CY9BF122L CY9BF124L	CY9BF121M CY9BF122M CY9BF124M
端子数			48	64	80/96
CPU			Cortex-M3		
周波数			72 MHz		
電源電圧範囲			2.7 V ~ 5.5 V		
DMAC			8 ch.		
マルチファンクションシリアル (UART/CSIO/LIN/I ² C)			4 ch. (最大) FIFO あり: ch.0/1/3 FIFO なし: ch.5 (ch.1/5 は UART, LIN のみ使用可 能)	8 ch. (最大) FIFO あり: ch.0/1/3/4 FIFO なし: ch.2/5/6/7 (ch.1 は UART,LIN のみ使用可能)	
ベースタイマ (PWC/リロードタイマ/PWM/PPG)			8 ch. (最大)		
多 機 能 タ イ マ	A/D 起動コンペア	2 ch.	1 unit		
	インプットキャプチャ	4 ch.*			
	フリーランタイマ	3 ch.			
	アウトプットコンペア	6 ch.			
	波形ジェネレータ	3 ch.			
	PPG	3 ch.			
クアッドカウンタ			1 ch.	2 ch.(最大)	
デュアルタイマ			1 unit		
リアルタイムクロック			1 unit		
時計カウンタ			1 unit		
CRC アクセラレータ			Yes		
ウォッチドッグタイマ			1 ch. (SW) + 1 ch. (HW)		
外部割込み			14 pins (最大) + NMI × 1	19 pins (最大) + NMI × 1	23 pins (最大) + NMI × 1
汎用 I/O ポート			35 pins (最大)	50 pins (最大)	65 pins (最大)
12 ビット A/D コンバータ			14 ch. (2 unit)	23 ch. (2 unit)	26 ch. (2 unit)
10 ビット D/A コンバータ			2 ch.(最大)		
クロック異常検出機能(CSV)			Yes		
低電圧検出機能(LVD)			2 ch.		

品種名		CY9BF121K CY9BF122K CY9BF124K	CY9BF121L CY9BF122L CY9BF124L	CY9BF121M CY9BF122M CY9BF124M
内蔵 CR	高速	4 MHz		
	低速	100 kHz		
デバッグ機能		SWJ-DP		
ユニーク ID		Yes		

※: 使用可能な外部入力チャネルは以下のとおりです。

- ・ ch.0 ~ ch.3 : CY9BF121M/F122M/F124M
- ・ ch.0, ch.2, ch.3 : CY9BF121K/F122K/F124K, CY9BF121L/F122L/F124L

<注意事項>

- 各製品に搭載される周辺機能の信号は、パッケージの端子数制限により、すべて割り当ててはできません。ご使用される機能に応じて、I/O ポートのポートリロケート機能を用いて、端子を割り当ててください。
内蔵 CR のクロック周波数精度については、『電气的特性 4. 交流規格 (3) 内蔵 CR 発振規格』を参照してください。

2. パッケージと品種対応

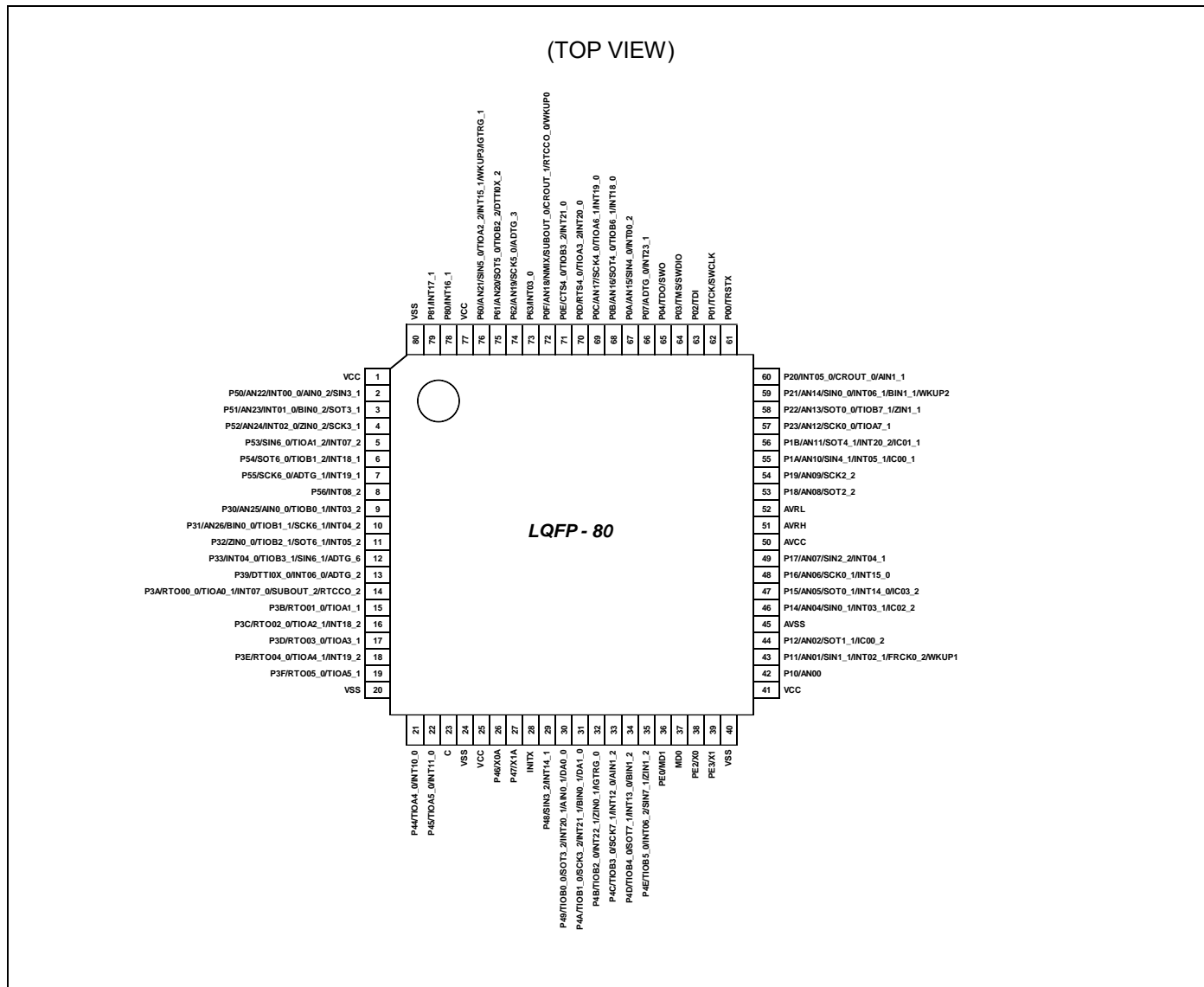
パッケージ \ 品種名	CY9BF121K CY9BF122K CY9BF124K	CY9BF121L CY9BF122L CY9BF124L	CY9BF121M CY9BF122M CY9BF124M
LQFP: LQA048 (0.5 mm pitch)	○	-	-
QFN: VNA048 (0.5 mm pitch)	○	-	-
LQFP: LQD064 (0.5 mm pitch)	-	○	-
LQFP: LQG064 (0.65 mm pitch)	-	○	-
QFN: VNC064 (0.5 mm pitch)	-	○	-
LQFP: LQH080 (0.5 mm pitch)	-	-	○
LQFP: LQJ080 (0.65 mm pitch)	-	-	○
BGA: FDG096 (0.5 mm pitch)	-	-	○

○: 対応

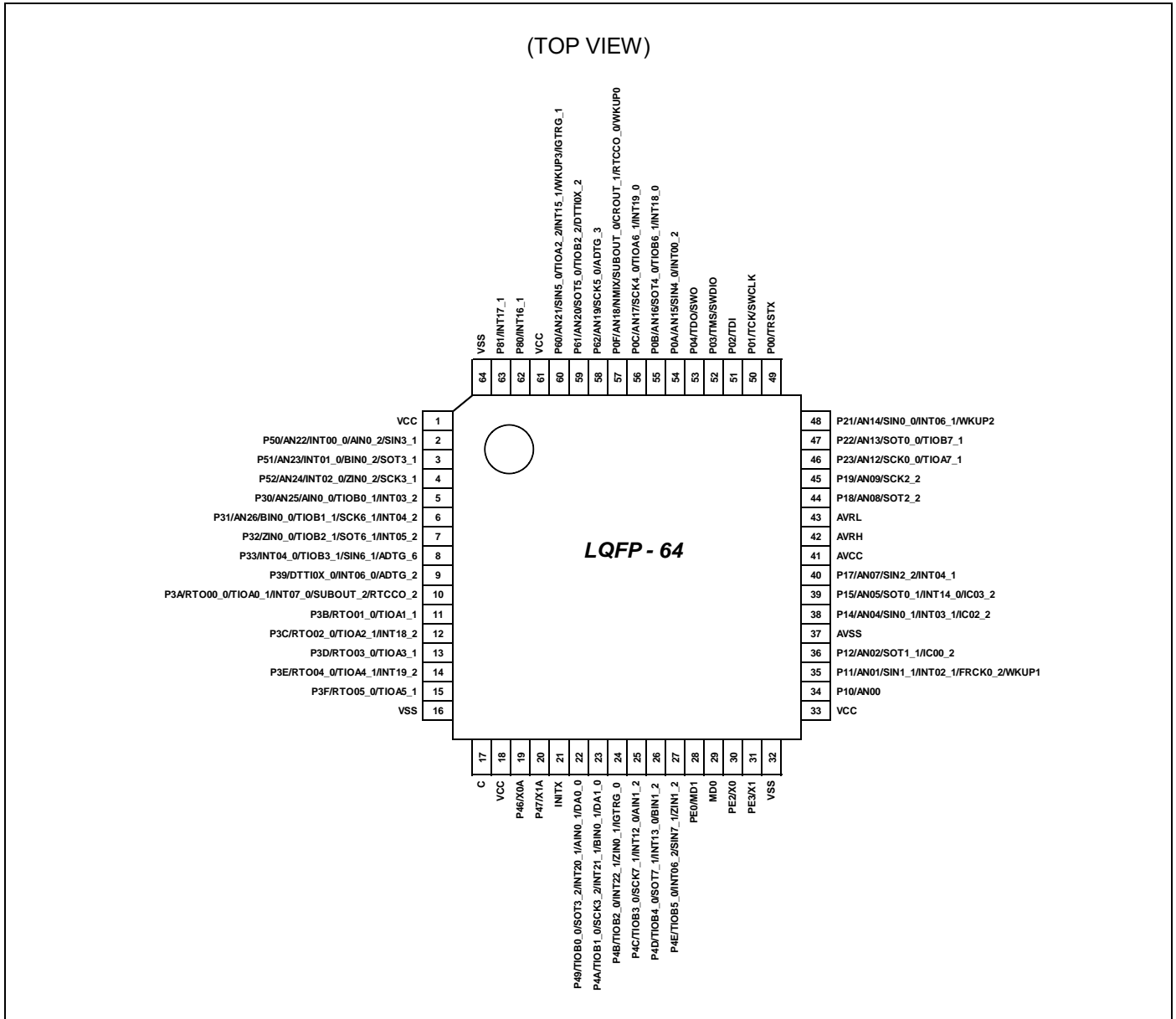
<注意事項>

- 各パッケージの詳細は「パッケージ・外形寸法図」を参照してください。

LQH080/LQJ080

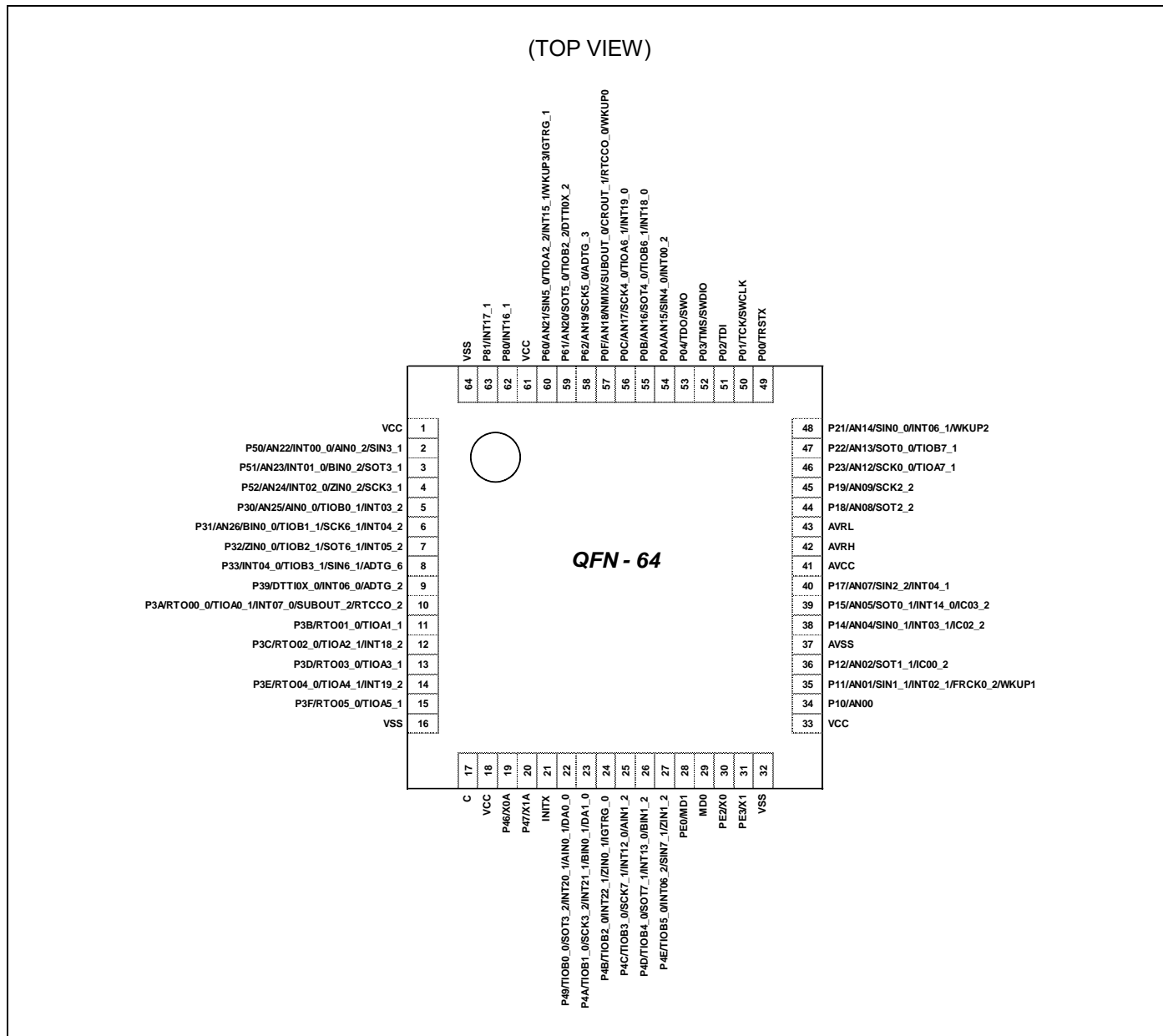


LQD064/LQG064

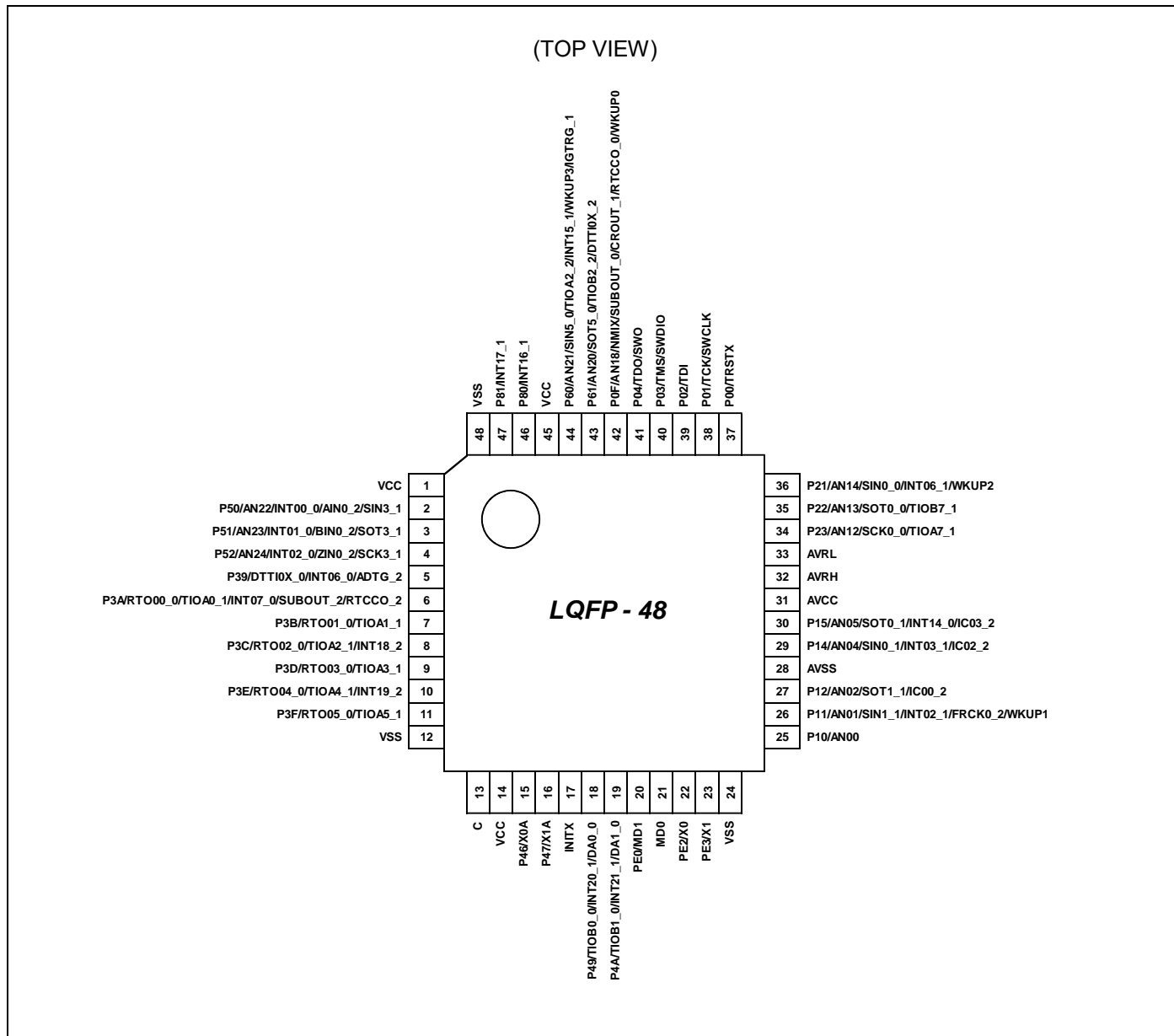


<注意事項>

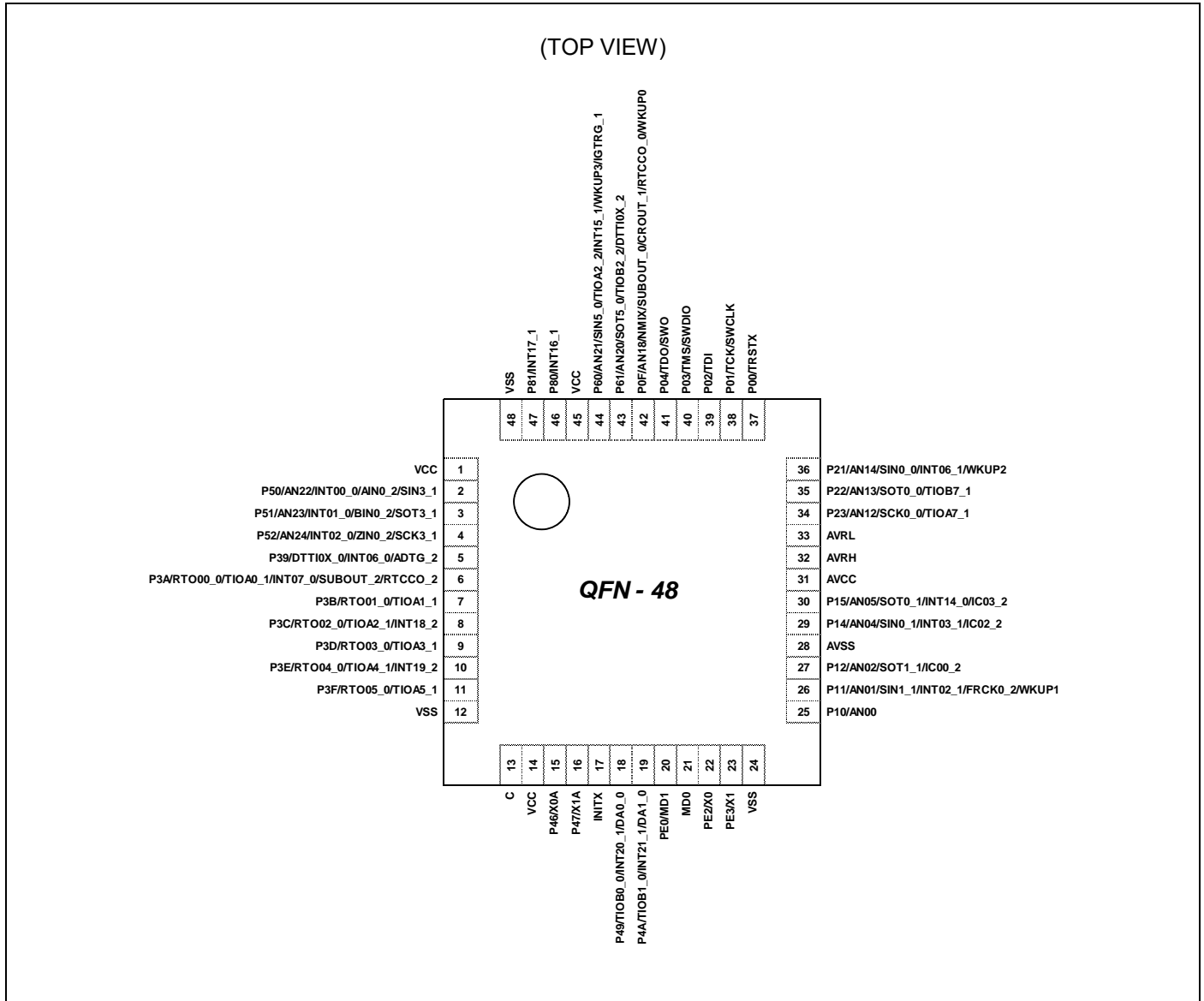
- XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。これらの端子は1つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。拡張ポート機能レジスタ (EPFR)によって利用する端子名を選択してください。

VNC064

<注意事項>

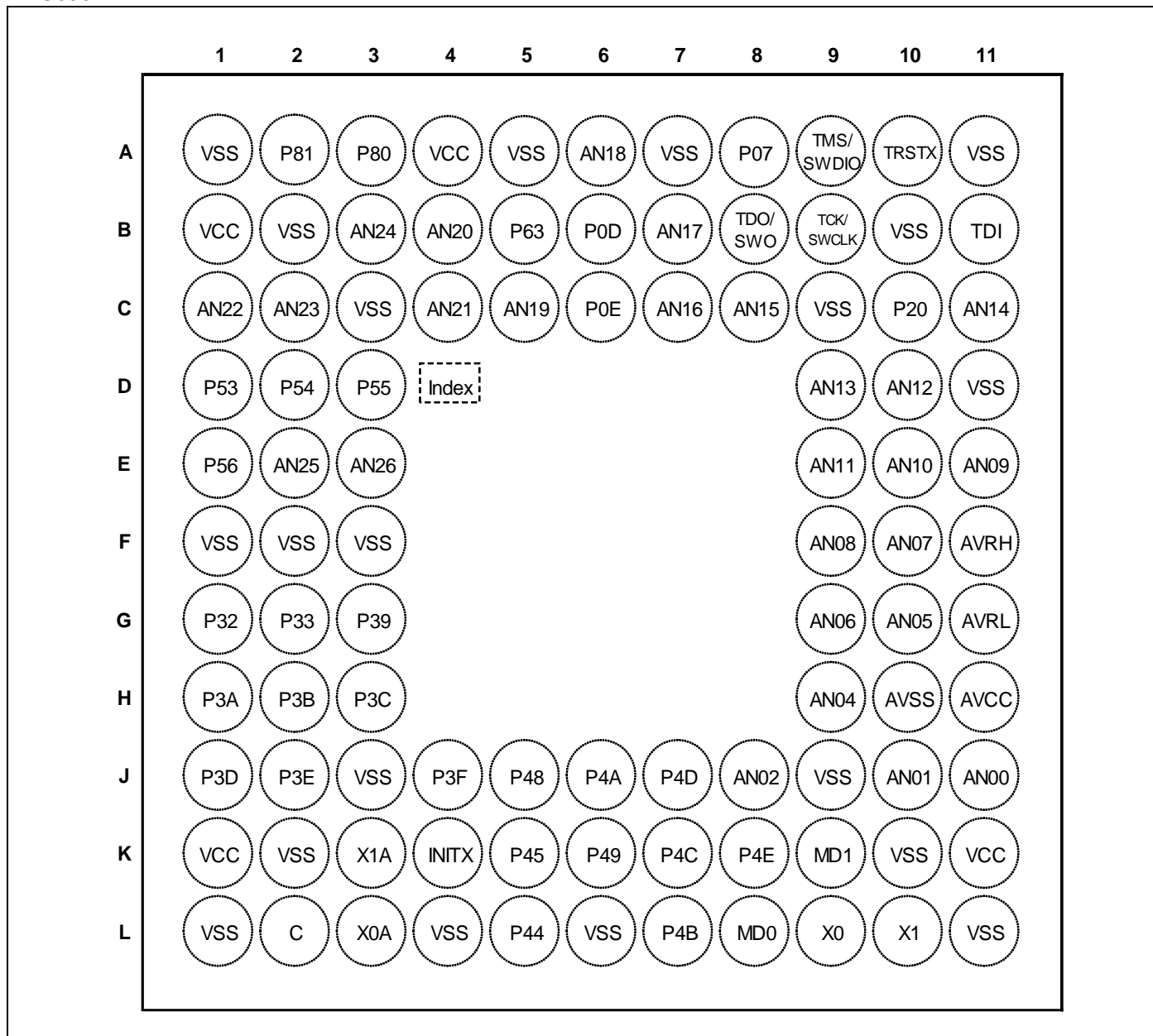
- XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。これらの端子は1つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。拡張ポート機能レジスタ (EPFR)によって利用する端子名を選択してください。

LQA048

<注意事項>

- XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。これらの端子は1つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。拡張ポート機能レジスタ (EPFR)によって利用する端子名を選択してください。

VNA048

<注意事項>

- XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。これらの端子は1つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。拡張ポート機能レジスタ (EPFR)によって利用する端子名を選択してください。

FDG096

<注意事項>

- XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。これらの端子は1つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。拡張ポート機能レジスタ (EPFR)によって利用する端子名を選択してください。

4. 端子機能一覧

端子番号別

XXX_1, XXX_2 のように、「_(アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。これらの端子は 1 つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。拡張ポート機能レジスタ (EPFR) によって利用する端子名を選択してください。

端子番号				端子名	入出力 回路形式	端子状態 形式
LQFP-80	BGA-96	LQFP-64 QFN-64	LQFP-48 QFN-48			
1	B1	1	1	VCC	-	
2	C1	2	2	P50	F	N
				INT00_0		
				AIN0_2		
				SIN3_1		
				AN22		
3	C2	3	3	P51	F	N
				INT01_0		
				BIN0_2		
				SOT3_1 (SDA3_1)		
				AN23		
4	B3	4	4	P52	F	N
				INT02_0		
				ZIN0_2		
				SCK3_1 (SCL3_1)		
				AN24		
5	D1	-	-	P53	E	L
				SIN6_0		
				TIOA1_2		
				INT07_2		
6	D2	-	-	P54	E	L
				SOT6_0 (SDA6_0)		
				TIOB1_2		
				INT18_1		
7	D3	-	-	P55	E	L
				SCK6_0 (SCL6_0)		
				ADTG_1		
				INT19_1		
8	E1	-	-	P56	E	L
				INT08_2		
9	E2	5	-	P30	F	N
				AIN0_0		
				TIOB0_1		
				INT03_2		
				AN25		

端子番号				端子名	入出力 回路形式	端子状態 形式
LQFP-80	BGA-96	LQFP-64 QFN-64	LQFP-48 QFN-48			
10	E3	6	-	P31	F	N
				BIN0_0		
				TIOB1_1		
				SCK6_1 (SCL6_1)		
				INT04_2		
				AN26		
11	G1	7	-	P32	E	L
				ZIN0_0		
				TIOB2_1		
				SOT6_1 (SDA6_1)		
				INT05_2		
12	G2	8	-	P33	E	L
				INT04_0		
				TIOB3_1		
				SIN6_1		
				ADTG_6		
13	G3	9	5	P39	E	L
				DTTI0X_0		
				INT06_0		
				ADTG_2		
14	H1	10	6	P3A	G	L
				RTO00_0 (PPG00_0)		
				TIOA0_1		
				INT07_0		
				SUBOUT_2		
				RTCCO_2		
15	H2	11	7	P3B	G	K
				RTO01_0 (PPG00_0)		
				TIOA1_1		
16	H3	12	8	P3C	G	L
				RTO02_0 (PPG02_0)		
				TIOA2_1		
				INT18_2		
17	J1	13	9	P3D	G	K
				RTO03_0 (PPG02_0)		
				TIOA3_1		

端子番号				端子名	入出力 回路形式	端子状態 形式
LQFP-80	BGA-96	LQFP-64 QFN-64	LQFP-48 QFN-48			
18	J2	14	10	P3E	G	L
				RTO04_0 (PPG04_0)		
				TIOA4_1		
				INT19_2		
19	J4	15	11	P3F	G	K
				RTO05_0 (PPG04_0)		
				TIOA5_1		
20	L1	16	12	VSS	-	
21	L5	-	-	P44	G	L
				TIOA4_0		
				INT10_0		
22	K5	-	-	P45	G	L
				TIOA5_0		
				INT11_0		
23	L2	17	13	C	-	
24	L4	-	-	VSS	-	
25	K1	18	14	VCC	-	
26	L3	19	15	P46	D	F
				X0A		
27	K3	20	16	P47	D	G
				X1A		
28	K4	21	17	INITX	B	C
29	J5	-	-	P48	E	L
				INT14_1		
				SIN3_2		
30	K6	22	18	P49	L	L
				TIOB0_0		
				INT20_1		
				DA0_0		
			-	SOT3_2 (SDA3_2)		
AIN0_1						
31	J6	23	19	P4A	L	L
				TIOB1_0		
				INT21_1		
				DA1_0		
			-	SCK3_2 (SCL3_2)		
BIN0_1						

端子番号				端子名	入出力 回路形式	端子状態 形式
LQFP-80	BGA-96	LQFP-64 QFN-64	LQFP-48 QFN-48			
32	L7	24	-	P4B	E	L
				TIOB2_0		
				INT22_1		
				IGTRG_0		
				ZIN0_1		
33	K7	25	-	P4C	I*	L
				TIOB3_0		
				SCK7_1 (SCL7_1)		
				INT12_0		
				AIN1_2		
34	J7	26	-	P4D	I*	L
				TIOB4_0		
				SOT7_1 (SDA7_1)		
				INT13_0		
				BIN1_2		
35	K8	27	-	P4E	I*	L
				TIOB5_0		
				INT06_2		
				SIN7_1		
				ZIN1_2		
36	K9	28	20	MD1	C	E
				PE0		
37	L8	29	21	MD0	K	D
38	L9	30	22	X0	A	A
				PE2		
39	L10	31	23	X1	A	B
				PE3		
40	L11	32	24	VSS	-	
41	K11	33	-	VCC	-	
42	J11	34	25	P10	F	M
				AN00		
43	J10	35	26	P11	F	N
				AN01		
				SIN1_1		
				INT02_1		
				FRCK0_2		
				WKUP1		
44	J8	36	27	P12	F	M
				AN02		
				SOT1_1 (SDA1_1)		
				IC00_2		

端子番号				端子名	入出力 回路形式	端子状態 形式
LQFP-80	BGA-96	LQFP-64 QFN-64	LQFP-48 QFN-48			
45	H10	37	28	AVSS	-	-
46	H9	38	29	P14	F	N
				AN04		
				INT03_1		
				IC02_2		
				SIN0_1		
47	G10	39	30	P15	F	N
				AN05		
				IC03_2		
				SOT0_1 (SDA0_1)		
				INT14_0		
48	G9	-	-	P16	F	N
				AN06		
				SCK0_1 (SCL0_1)		
				INT15_0		
49	F10	40	-	P17	F	N
				AN07		
				SIN2_2		
				INT04_1		
50	H11	41	31	AVCC	-	
51	F11	42	32	AVRH	-	
52	G11	43	33	AVRL	-	
53	F9	44	-	P18	F	M
				AN08		
				SOT2_2 (SDA2_2)		
54	E11	45	-	P19	F	M
				AN09		
				SCK2_2 (SCL2_2)		
55	E10	-	-	P1A	F	N
				AN10		
				SIN4_1		
				INT05_1		
				IC00_1		

端子番号				端子名	入出力 回路形式	端子状態 形式
LQFP-80	BGA-96	LQFP-64 QFN-64	LQFP-48 QFN-48			
56	E9	-	-	P1B	F	N
				AN11		
				SOT4_1 (SDA4_1)		
				IC01_1		
				INT20_2		
57	D10	46	34	P23	F	M
				SCK0_0 (SCL0_0)		
				TIOA7_1		
				AN12		
58	D9	47	35	P22	F	M
				SOT0_0 (SDA0_0)		
				TIOB7_1		
				AN13		
		-	-	ZIN1_1		
59	C11	48	36	P21	F	N
				SIN0_0		
				INT06_1		
				WKUP2		
				BIN1_1		
				AN14		
60	C10	-	-	P20	E	N
				INT05_0		
				CROUT_0		
				AIN1_1		
61	A10	49	37	P00	E	J
				TRSTX		
62	B9	50	38	P01	E	J
				TCK		
				SWCLK		
63	B11	51	39	P02	E	J
				TDI		
64	A9	52	40	P03	E	J
				TMS		
				SWDIO		
65	B8	53	41	P04	E	J
				TDO		
				SWO		
66	A8	-	-	P07	E	L
				ADTG_0		
				INT23_1		

端子番号				端子名	入出力 回路形式	端子状態 形式
LQFP-80	BGA-96	LQFP-64 QFN-64	LQFP-48 QFN-48			
67	C8	54	-	P0A	J*	N
				SIN4_0		
				INT00_2		
				AN15		
68	C7	55	-	P0B	J*	N
				SOT4_0 (SDA4_0)		
				TIOB6_1		
				AN16		
				INT18_0		
69	B7	56	-	P0C	J*	N
				SCK4_0 (SCL4_0)		
				TIOA6_1		
				INT19_0		
				AN17		
70	B6	-	-	P0D	E	L
				RTS4_0		
				TIOA3_2		
				INT20_0		
71	C6	-	-	P0E	E	L
				CTS4_0		
				TIOB3_2		
				INT21_0		
72	A6	57	42	P0F	F	I
				NMIX		
				SUBOUT_0		
				CROUT_1		
				RTCCO_0		
				WKUP0		
				AN18		
73	B5	-	-	P63	E	L
				INT03_0		
74	C5	58	-	P62	F	M
				SCK5_0 (SCL5_0)		
				ADTG_3		
				AN19		
75	B4	59	43	P61	F	M
				SOT5_0 (SDA5_0)		
				TIOB2_2		
				DTTIOX_2		
				AN20		

端子番号				端子名	入出力 回路形式	端子状態 形式
LQFP-80	BGA-96	LQFP-64 QFN-64	LQFP-48 QFN-48			
76	C4	60	44	P60	J*	N
				SIN5_0		
				TIOA2_2		
				INT15_1		
				WKUP3		
				IGTRG_1		
				AN21		
77	A4	61	45	VCC	-	
78	A3	62	46	P80	H	H
				INT16_1		
79	A2	63	47	P81	H	H
				INT17_1		
80	A1	64	48	VSS	-	
-	A5, A7, A11, B2, B10, C3, C9, D11, F1, F2, F3, J3, J9, K2, K10, L6	-	-	VSS	-	

*: 5 V トレラント I/O

端子機能別

XXX_1, XXX_2 のように、「_(アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。これらの端子は 1 つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。拡張ポート機能レジスタ (EPFR) によって利用する端子名を選択してください。

端子機能	端子名	機能説明	端子番号			
			LQFP-80	BGA-96	LQFP-64 QFN-64	LQFP-48 QFN-48
ADC	ADTG 0	A/D コンバータ 外部トリガ入力端子	66	A8	-	-
	ADTG 1		7	D3	-	-
	ADTG 2		13	G3	9	5
	ADTG 3		74	C5	58	-
	ADTG 6		12	G2	8	-
	AN00	A/D コンバータ アナログ入力端子。 ANxx は ADC ch.xx を示します。	42	J11	34	25
	AN01		43	J10	35	26
	AN02		44	J8	36	27
	AN04		46	H9	38	29
	AN05		47	G10	39	30
	AN06		48	G9	-	-
	AN07		49	F10	40	-
	AN08		53	F9	44	-
	AN09		54	E11	45	-
	AN10		55	E10	-	-
	AN11		56	E9	-	-
	AN12		57	D10	46	34
	AN13		58	D9	47	35
	AN14		59	C11	48	36
	AN15		67	C8	54	-
	AN16		68	C7	55	-
	AN17		69	B7	56	-
	AN18		72	A6	57	42
	AN19		74	C5	58	-
	AN20		75	B4	59	43
	AN21		76	C4	60	44
	AN22		2	C1	2	2
	AN23		3	C2	3	3
	AN24		4	B3	4	4
	AN25		9	E2	5	-
	AN26		10	E3	6	-

端子機能	端子名	機能説明	端子番号			
			LQFP-80	BGA-96	LQFP-64 QFN-64	LQFP-48 QFN-48
ベース タイマ 0	TIOA0_1	ベースタイマ ch.0 の TIOA 端子	14	H1	10	6
	TIOB0_0	ベースタイマ ch.0 の TIOB 端子	30	K6	22	18
	TIOB0_1		9	E2	5	-
ベース タイマ 1	TIOA1_1	ベースタイマ ch.1 の TIOA 端子	15	H2	11	7
	TIOA1_2		5	D1	-	-
	TIOB1_0	ベースタイマ ch.1 の TIOB 端子	31	J6	23	19
	TIOB1_1		10	E3	6	-
	TIOB1_2		6	D2	-	-
ベース タイマ 2	TIOA2_1	ベースタイマ ch.2 の TIOA 端子	16	H3	12	8
	TIOA2_2		76	C4	60	44
	TIOB2_0	ベースタイマ ch.2 の TIOB 端子	32	L7	24	-
	TIOB2_1		11	G1	7	-
	TIOB2_2		75	B4	59	43
ベース タイマ 3	TIOA3_1	ベースタイマ ch.3 の TIOA 端子	17	J1	13	9
	TIOA3_2		70	B6	-	-
	TIOB3_0	ベースタイマ ch.3 の TIOB 端子	33	K7	25	-
	TIOB3_1		12	G2	8	-
	TIOB3_2		71	C6	-	-
ベース タイマ 4	TIOA4_0	ベースタイマ ch.4 の TIOA 端子	21	L5	-	-
	TIOA4_1		18	J2	14	10
	TIOB4_0	ベースタイマ ch.4 の TIOB 端子	34	J7	26	-
ベース タイマ 5	TIOA5_0	ベースタイマ ch.5 の TIOA 端子	22	K5	-	-
	TIOA5_1		19	J4	15	11
	TIOB5_0	ベースタイマ ch.5 の TIOB 端子	35	K8	27	-
ベース タイマ 6	TIOA6_1	ベースタイマ ch.6 の TIOA 端子	69	B7	56	-
	TIOB6_1	ベースタイマ ch.6 の TIOB 端子	68	C7	55	-
ベース タイマ 7	TIOA7_1	ベースタイマ ch.7 の TIOA 端子	57	D10	46	34
	TIOB7_1	ベースタイマ ch.7 の TIOB 端子	58	D9	47	35
デバッグ	SWCLK	シリアルワイヤ デバッグインタフェース クロック入力端子	62	B9	50	38
	SWDIO	シリアルワイヤ デバッグインタフェース データ入出力端子	64	A9	52	40
	SWO	シリアルワイヤビューワ出力端子	65	B8	53	41
	TCK	JTAG テストクロック入力端子	62	B9	50	38
	TDI	JTAG テストデータ入力端子	63	B11	51	39
	TDO	JTAG デバッグデータ出力端子	65	B8	53	41
	TMS	JTAG テストモード状態入出力端子	64	A9	52	40
	TRSTX	JTAG テストリセット入力端子	61	A10	49	37

端子機能	端子名	機能説明	端子番号			
			LQFP-80	BGA-96	LQFP-64 QFN-64	LQFP-48 QFN-48
外部割込み	INT00 0	外部割込み要求 00 の入力端子	2	C1	2	2
	INT00 2		67	C8	54	-
	INT01 0	外部割込み要求 01 の入力端子	3	C2	3	3
	INT02 0	外部割込み要求 02 の入力端子	4	B3	4	4
	INT02 1		43	J10	35	26
	INT03 0	外部割込み要求 03 の入力端子	73	B5	-	-
	INT03 1		46	H9	38	29
	INT03 2		9	E2	5	-
	INT04 0	外部割込み要求 04 の入力端子	12	G2	8	-
	INT04 1		49	F10	40	-
	INT04 2		10	E3	6	-
	INT05 0	外部割込み要求 05 の入力端子	60	P20	-	-
	INT05 1		55	E10	-	-
	INT05 2		11	G1	7	-
	INT06 0	外部割込み要求 06 の入力端子	13	G3	9	5
	INT06 1		59	C11	48	36
	INT06 2		35	K8	27	-
	INT07 0	外部割込み要求 07 の入力端子	14	H1	10	6
	INT07 2		5	D1	-	-
	INT08 2	外部割込み要求 08 の入力端子	8	E1	-	-
	INT10 0	外部割込み要求 10 の入力端子	21	L5	-	-
	INT11 0	外部割込み要求 11 の入力端子	22	K5	-	-
	INT12 0	外部割込み要求 12 の入力端子	33	K7	25	-
	INT13 0	外部割込み要求 13 の入力端子	34	J7	26	-
	INT14 0	外部割込み要求 14 の入力端子	47	G10	39	30
	INT14 1		29	J5	-	-
	INT15 0	外部割込み要求 15 の入力端子	48	G9	-	-
	INT15 1		76	C4	60	44
	INT16 1	外部割込み要求 16 の入力端子	78	A3	62	46
	INT17 1	外部割込み要求 17 の入力端子	79	A2	63	47
	INT18 0	外部割込み要求 18 の入力端子	68	C7	55	-
	INT18 1		6	D2	-	-
	INT18 2		16	H3	12	8
	INT19 0	外部割込み要求 19 の入力端子	59	C11	56	-
	INT19 1		7	D3	-	-
	INT19 2		18	J2	14	10
	INT20 0	外部割込み要求 20 の入力端子	70	B6	-	-
	INT20 1		30	K6	22	18
	INT20 2		56	E9	-	-
	INT21 0	外部割込み要求 21 の入力端子	71	C6	-	-
	INT21 1		31	J6	23	19
	INT22 1	外部割込み要求 22 の入力端子	32	L7	24	-
	INT23 1	外部割込み要求 23 の入力端子	66	A8	-	-
	NMIX	ノンマスカブル割込み入力端子	72	A6	57	42

端子機能	端子名	機能説明	端子番号			
			LQFP-80	BGA-96	LQFP-64 QFN-64	LQFP-48 QFN-48
GPIO	P00	汎用入出力ポート 0	61	A10	49	37
	P01		62	B9	50	38
	P02		63	B11	51	39
	P03		64	A9	52	40
	P04		65	B8	53	41
	P07		66	A8	-	-
	P0A		67	C8	54	-
	P0B		68	C7	55	-
	P0C		69	B7	56	-
	P0D		70	B6	-	-
	P0E		71	C6	-	-
	P0F		72	A6	57	42
	P10	汎用入出力ポート 1	42	J11	34	25
	P11		43	J10	35	26
	P12		44	J8	36	27
	P14		46	H9	38	29
	P15		47	G10	39	30
	P16		48	G9	-	-
	P17		49	F10	40	-
	P18		53	F9	44	-
	P19		54	E11	45	-
	P1A		55	E10	-	-
	P1B		56	E9	-	-
	P20	汎用入出力ポート 2	60	C10	-	-
	P21		59	C11	48	36
	P22		58	D9	47	35
	P23		57	D10	46	34
	P30	汎用入出力ポート 3	9	E2	5	-
	P31		10	E3	6	-
	P32		11	G1	7	-
	P33		12	G2	8	-
	P39		13	G3	9	5
	P3A		14	H1	10	6
	P3B		15	H2	11	7
	P3C		16	H3	12	8
	P3D		17	J1	13	9
	P3E		18	J2	14	10
	P3F		19	J4	15	11
	P44	汎用入出力ポート 4	21	L5	-	-
	P45		22	K5	-	-
	P46		26	L3	19	15
	P47		27	K3	20	16
	P48		29	J5	-	-
	P49		30	K6	22	18
	P4A		31	J6	23	19
	P4B		32	L7	24	-
	P4C		33	K7	25	-
	P4D		34	J7	26	-
	P4E		35	K8	27	-

端子機能	端子名	機能説明	端子番号			
			LQFP-80	BGA-96	LQFP-64 QFN-64	LQFP-48 QFN-48
GPIO	P50	汎用入出力ポート 5	2	C1	2	2
	P51		3	C2	3	3
	P52		4	B3	4	4
	P53		5	D1	-	-
	P54		6	D2	-	-
	P55		7	D3	-	-
	P56		8	E1	-	-
	P60	汎用入出力ポート 6	76	C4	60	44
	P61		75	B4	59	43
	P62		74	C5	58	-
	P63		73	B5	-	-
	P80	汎用入出力ポート 8	78	A3	62	46
	P81		79	A2	63	47
	PE0	汎用入出力ポート E	36	K9	28	20
	PE2		38	L9	30	22
	PE3		39	L10	31	23
マルチ ファンク ション シリアル 0	SIN0_0	マルチファンクションシリアル インタフェース ch.0 の入力端子	59	C11	48	36
	SIN0_1		46	H9	38	29
	SOT0_0 (SDA0_0)	マルチファンクションシリアル インタフェース ch.0 の出力端子。 UART/CSIO/LIN 端子(動作モード 0~3)として使用するときには SOT0 とし て、I ² C 端子(動作モード 4)として使用 するときには SDA0 として機能します。	58	D9	47	35
	SOT0_1 (SDA0_1)		47	G10	39	30
	SCK0_0 (SCL0_0)	マルチファンクションシリアル インタフェース ch.0 のクロック I/O 端 子。 CSIO 端子(動作モード 2)として使用す るときは SCK0 として、I ² C 端子(動作 モード 4)として使用するときには SCL0 として機能します。	57	D10	46	34
	SCK0_1 (SCL0_1)		48	G9	-	-
マルチ ファンク ション シリアル 1	SIN1_1	マルチファンクションシリアル インタフェース ch.1 の入力端子	43	J10	35	26
	SOT1_1 (SDA1_1)	マルチファンクションシリアル インタフェース ch.1 の出力端子。 UART/LIN 端子(動作モード 0,1,3)とし て使用するときには SOT1 として機能し ます。	44	J8	36	27

端子機能	端子名	機能説明	端子番号			
			LQFP-80	BGA-96	LQFP-64 QFN-64	LQFP-48 QFN-48
マルチ ファンク ション シリアル 2	SIN2_2	マルチファンクションシリアルインタフェース ch.2 の入力端子	49	F10	40	-
	SOT2_2 (SDA2_2)	マルチファンクションシリアルインタフェース ch.2 の出力端子。 UART/CSIO/LIN 端子(動作モード 0~3)として使用するときは SOT2 として、I ² C 端子(動作モード 4)として使用するときは SDA2 として機能します。	53	F9	44	-
	SCK2_2 (SCL2_2)	マルチファンクションシリアルインタフェース ch.2 のクロック I/O 端子。 CSIO 端子(動作モード 2)として使用するときは SCK2 として、I ² C 端子(動作モード 4)として使用するときは SCL2 として機能します。	54	E11	45	-
マルチ ファンク ション シリアル 3	SIN3_1	マルチファンクションシリアルインタフェース ch.3 の入力端子	2	C1	2	2
	SIN3_2		29	J5	-	-
	SOT3_1 (SDA3_1)	マルチファンクションシリアルインタフェース ch.3 の出力端子。 UART/CSIO/LIN 端子(動作モード 0~3)として使用するときは SOT3 として、I ² C 端子(動作モード 4)として使用するときは SDA3 として機能します。	3	C2	3	3
	SOT3_2 (SDA3_2)		30	K6	-	-
	SCK3_1 (SCL3_1)	マルチファンクションシリアルインタフェース ch.3 のクロック I/O 端子。 CSIO 端子(動作モード 2)として使用するときは SCK3 として、I ² C 端子(動作モード 4)として使用するときは SCL3 として機能します。	4	B3	4	4
	SCK3_2 (SCL3_2)		31	J6	-	-

端子機能	端子名	機能説明	端子番号			
			LQFP-80	BGA-96	LQFP-64 QFN-64	LQFP-48 QFN-48
マルチ ファンク ション シリアル 4	SIN4_0	マルチファンクションシリアルインタ フェース ch.4 の入力端子	67	C8	54	-
	SIN4_1		55	E10	-	-
	SOT4_0 (SDA4_0)	マルチファンクションシリアルインタ フェース ch.4 の出力端子。 UART/CSIO/LIN 端子(動作モード 0~3)として使用するときは SOT4 とし て、I ² C 端子(動作モード 4)として使用 するときは SDA4 として機能します。	68	C7	55	-
	SOT4_1 (SDA4_1)		56	E9	-	-
	SCK4_0 (SCL4_0)	マルチファンクションシリアルインタ フェース ch.4 のクロック I/O 端子。 CSIO 端子(動作モード 2)として使用す るときは SCK4 として、I ² C 端子(動作 モード 4)として使用するときは SCL4 と して機能します。	69	B7	56	-
	RTS4_0	マルチファンクションシリアルインタ フェース ch.4 の RTS 出力端子	70	B6	-	-
	CTS4_0	マルチファンクションシリアルインタ フェース ch.4 の CTS 入力端子	71	C6	-	-
マルチ ファンク ション シリアル 5	SIN5_0	マルチファンクションシリアルインタ フェース ch.5 の入力端子	76	C4	60	44
	SOT5_0 (SDA5_0)	マルチファンクションシリアルインタ フェース ch.5 の出力端子。 UART/CSIO/LIN 端子(動作モード 0~3)として使用するときは SOT5 とし て、I ² C 端子(動作モード 4)として使用 するときは SDA5 として機能します。	75	B4	59	43
	SCK5_0 (SCL5_0)	マルチファンクションシリアルインタ フェース ch.5 のクロック I/O 端子。 CSIO 端子(動作モード 2)として使用す るときは SCK5 として、I ² C 端子(動作 モード 4)として使用するときは SCL5 と して機能します。	74	C5	58	-

端子機能	端子名	機能説明	端子番号			
			LQFP-80	BGA-96	LQFP-64 QFN-64	LQFP-48 QFN-48
マルチ ファンク ション シリアル 6	SIN6_0	マルチファンクションシリアルインタ フェース ch.6 の入力端子	5	D1	-	-
	SIN6_1		12	G2	8	-
	SOT6_0 (SDA6_0)	マルチファンクションシリアルインタ フェース ch.6 の出力端子。 UART/CSIO/LIN 端子(動作モード 0~3)として使用するときは SOT6 とし て、I ² C 端子(動作モード 4)として使用す るときは SDA6 として機能します。	6	D2	-	-
	SOT6_1 (SDA6_1)		11	G1	7	-
	SCK6_0 (SCL6_0)	マルチファンクションシリアルインタ フェース ch.6 のクロック I/O 端子。 CSIO 端子(動作モード 2)として使用する ときは SCK6 として、I ² C 端子(動作モー ド 4)として使用するときは SCL6 として 機能します。	7	D3	-	-
	SCK6_1 (SCL6_1)		10	E3	6	-
マルチ ファンク ション シリアル 7	SIN7_1	マルチファンクションシリアルインタ フェース ch.7 の入力端子	35	K8	27	-
	SOT7_1 (SDA7_1)	マルチファンクションシリアルインタ フェース ch.7 の出力端子。 UART/CSIO/LIN 端子(動作モード 0~3)として使用するときは SOT7 とし て、I ² C 端子(動作モード 4)として使用す るときは SDA7 として機能します。	34	J7	26	-
	SCK7_1 (SCL7_1)	マルチファンクションシリアルインタ フェース ch.7 のクロック I/O 端子。 CSIO 端子(動作モード 2)として使用する ときは SCK7 として、I ² C 端子(動作モー ド 4)として使用するときは SCL7 として 機能します。	33	K7	25	-

端子機能	端子名	機能説明	端子番号			
			LQFP-80	BGA-96	LQFP-64 QFN-64	LQFP-48 QFN-48
多機能 タイマ 0	DTTI0X_0	多機能タイマ 0 の RTO00~RTO05 出力を制御する波形ジェネレータの入力信号	13	G3	9	5
	DTTI0X_2		75	B4	59	43
	FRCK0_2	16 ビットフリーランタイム ch.0 の外部クロック入力端子	43	J10	35	26
	IC00_1	多機能タイマ 0 の 16 ビットイン プットキャプチャの入力端子。 ICxx は、チャンネル数を示します。	55	E10	-	-
	IC00_2		44	J8	36	27
	IC01_1		56	E9	-	-
	IC02_2		46	H9	38	29
	IC03_2		47	G10	39	30
	RTO00_0 (PPG00_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG00 として機能します。	14	H1	10	6
	RTO01_0 (PPG00_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG00 として機能します。	15	H2	11	7
	RTO02_0 (PPG02_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG02 として機能します。	16	H3	12	8
	RTO03_0 (PPG02_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG02 として機能します。	17	J1	13	9
	RTO04_0 (PPG04_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG04 として機能します。	18	J2	14	10
	RTO05_0 (PPG04_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG04 として機能します。	19	J4	15	11
	IGTRG_0	PPGIGBT モード外部トリガ入力端子	32	L7	24	-
	IGTRG_1		76	C4	60	44

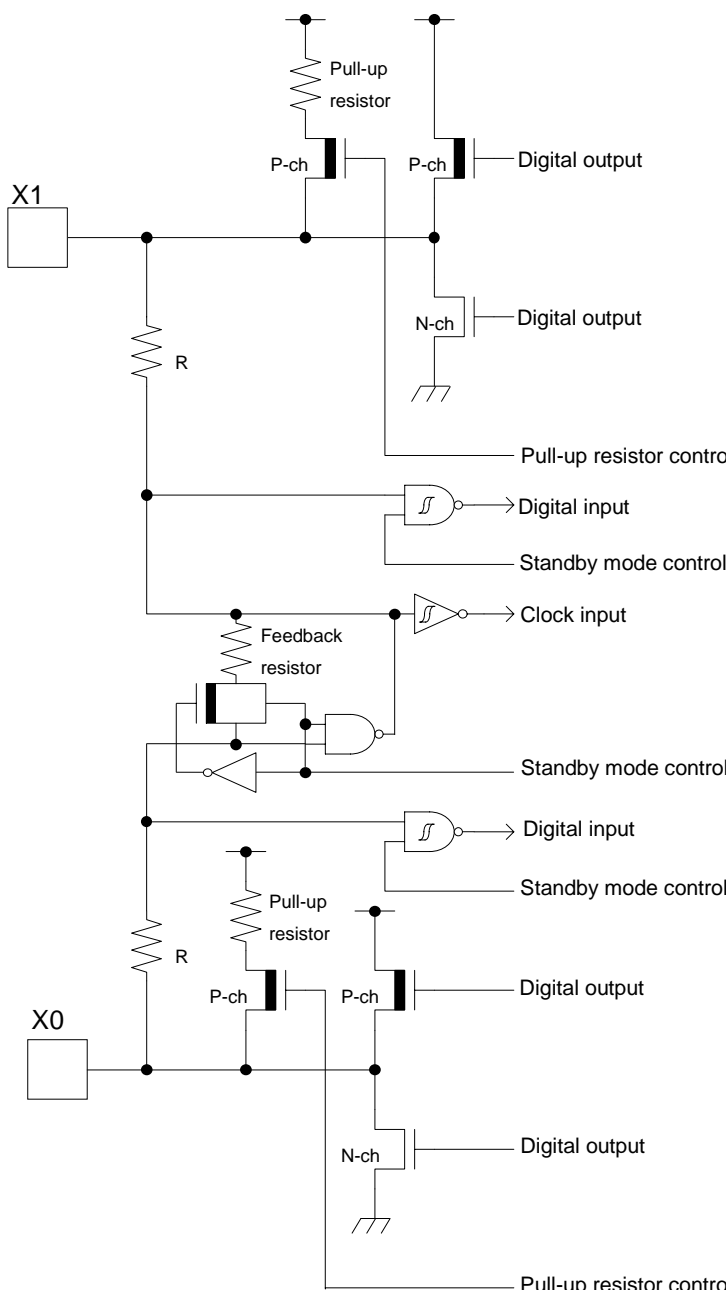
端子機能	端子名	機能説明	端子番号			
			LQFP-80	BGA-96	LQFP-64 QFN-64	LQFP-48 QFN-48
クアッド カウンタ 0	AIN0_0	QPRC ch.0 の AIN 入力端子	9	E2	5	-
	AIN0_1		30	K6	22	-
	AIN0_2		2	C1	2	2
	BIN0_0	QPRC ch.0 の BIN 入力端子	10	E3	6	-
	BIN0_1		31	J6	23	-
	BIN0_2		3	C2	3	3
	ZIN0_0	QPRC ch.0 の ZIN 入力端子	11	G1	7	-
	ZIN0_1		32	L7	24	-
	ZIN0_2		4	B3	4	4
クアッド カウンタ 1	AIN1_1	QPRC ch.1 の AIN 入力端子	60	C10	-	-
	AIN1_2		33	K7	25	-
	BIN1_1	QPRC ch.1 の BIN 入力端子	59	C11	-	-
	BIN1_2		34	J7	26	-
	ZIN1_1	QPRC ch.1 の ZIN 入力端子	58	D9	-	-
	ZIN1_2		35	K8	27	-
リアル タイム クロック	RTCCO_0	リアルタイムクロックの 0.5 秒パルス 出力端子	72	A6	57	42
	RTCCO_2		14	H1	10	6
	SUBOUT_0	サブクロック出力端子	72	A6	57	42
	SUBOUT_2		14	H1	10	6
低消費 電力 モード	WKUP0	ディープスタンバイモード復帰信号入力 端子 0	72	A6	57	42
	WKUP1	ディープスタンバイモード復帰信号入力 端子 1	43	J10	35	26
	WKUP2	ディープスタンバイモード復帰信号入力 端子 2	59	C11	48	36
	WKUP3	ディープスタンバイモード復帰信号入力 端子 3	76	C4	60	44
DAC	DA0	D/A コンバータ ch.0 のアナログ出力端 子	30	K6	22	18
	DA1	D/A コンバータ ch.1 のアナログ出力端 子	31	J6	23	19
Reset	INITX	外部リセット入力端子。 INITX="L"のとき、リセットが有効で す。	28	K4	21	17

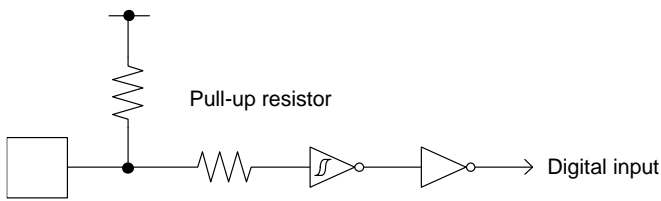
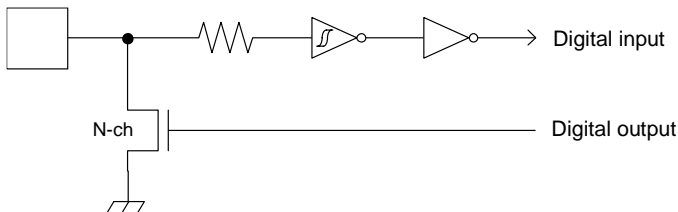
端子機能	端子名	機能説明	端子番号			
			LQFP-80	BGA-96	LQFP-64 QFN-64	LQFP-48 QFN-48
Mode	MD0	モード0 端子。 通常動作時は、MD0="L"を入力してください。フラッシュメモリのシリアル書込み時は、MD0="H"を入力してください。	37	L8	29	21
	MD1	モード1 端子。 フラッシュメモリのシリアル書込み時は、MD1="L"を入力してください。	36	K9	28	20
Power	VCC	電源端子	1	B1	1	1
	VCC	電源端子	25	K1	18	14
	VCC	電源端子	41	K11	33	-
	VCC	電源端子	77	A4	61	45
GND	VSS	GND 端子	-	F1	-	-
	VSS	GND 端子	-	F2	-	-
	VSS	GND 端子	-	F3	-	-
	VSS	GND 端子	-	B2	-	-
	VSS	GND 端子	20	L1	16	12
	VSS	GND 端子	-	K2	-	-
	VSS	GND 端子	-	J3	-	-
	VSS	GND 端子	-	L6	-	-
	VSS	GND 端子	24	L4	-	-
	VSS	GND 端子	40	L11	32	24
	VSS	GND 端子	-	K10	-	-
	VSS	GND 端子	-	J9	-	-
	VSS	GND 端子	-	B10	-	-
	VSS	GND 端子	-	C9	-	-
	VSS	GND 端子	-	D11	-	-
	VSS	GND 端子	-	A11	-	-
	VSS	GND 端子	-	A7	-	-
	VSS	GND 端子	-	C3	-	-
	VSS	GND 端子	-	A5	-	-
	VSS	GND 端子	80	A1	64	48
Clock	X0	メインクロック(発振)入力端子	38	L9	30	22
	X0A	サブクロック(発振)入力端子	26	L3	19	15
	X1	メインクロック(発振)I/O 端子	39	L10	31	23
	X1A	サブクロック(発振)I/O 端子	27	K3	20	16
	CROUT_0	内蔵高速 CR 発振クロック出力ポート	60	C10	-	-
	CROUT_1		72	A6	57	42
Analog Power	AVCC	A/D コンバータ,D/A コンバータのアナログ電源端子	50	H11	41	31
	AVRH	A/D コンバータのアナログ基準電圧入力端子	51	F11	42	32
Analog GND	AVSS	A/D コンバータ,D/A コンバータの GND 端子	45	H10	37	28
	AVRL	A/D コンバータのアナログ基準電圧入力端子	52	G11	43	33
C 端子	C	電源安定化容量端子	23	L2	17	13

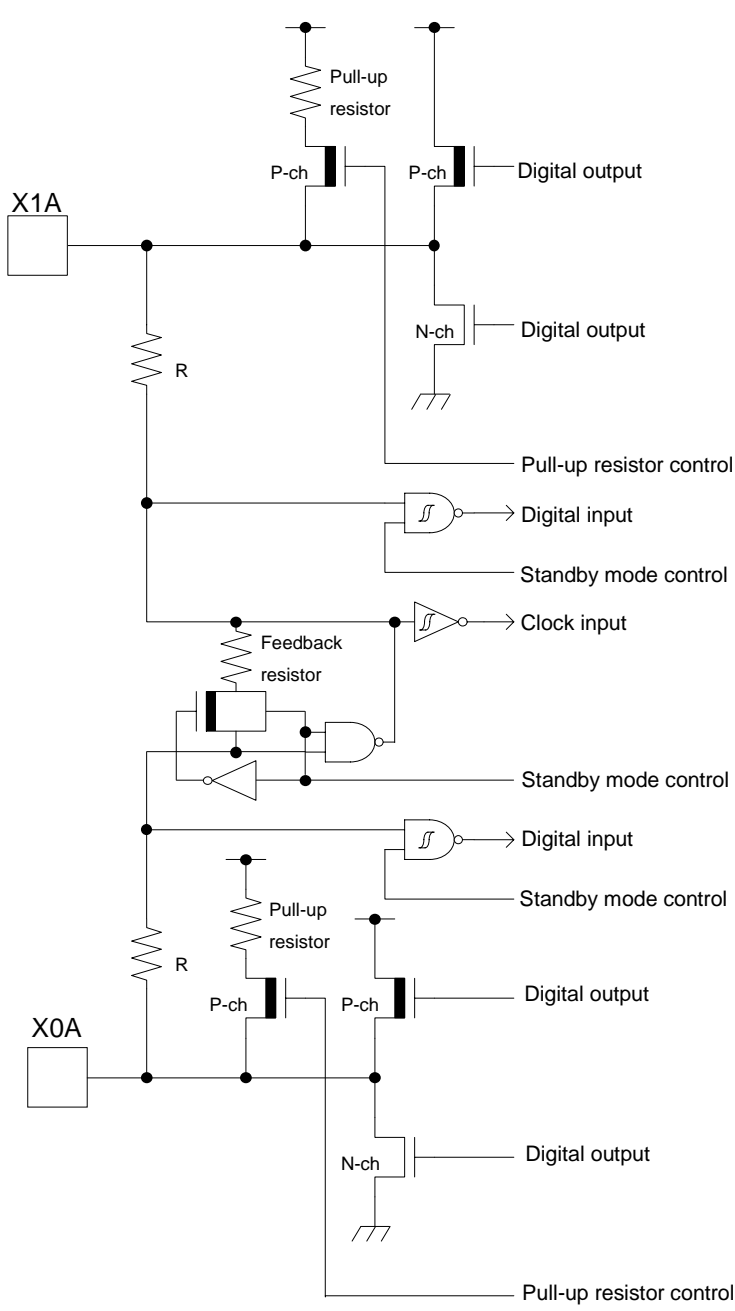
<注意事項>

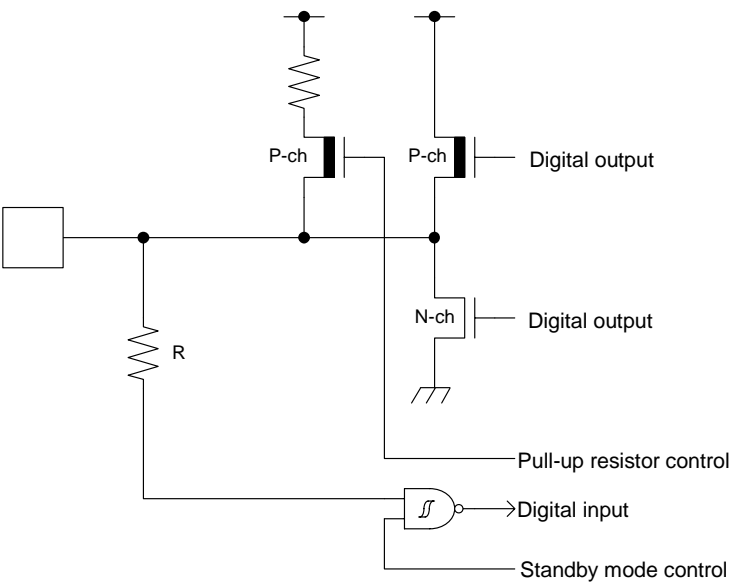
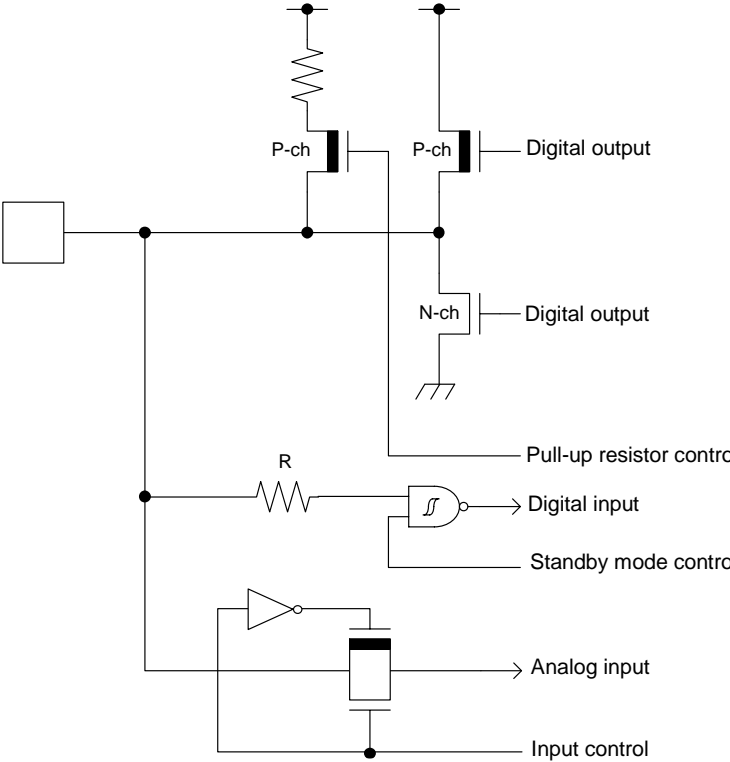
- 本デバイスには、JTAG 標準のテストアクセスポート(TAP)が搭載されていますが、IEEE 1149.1-2001 に完全に準拠していません。32bit の ID 番号は、他シリーズの ID 番号と重なる場合があります。また、JTAG 端子は TAP コントローラへのアクセス以外の目的に対しても使用されます。

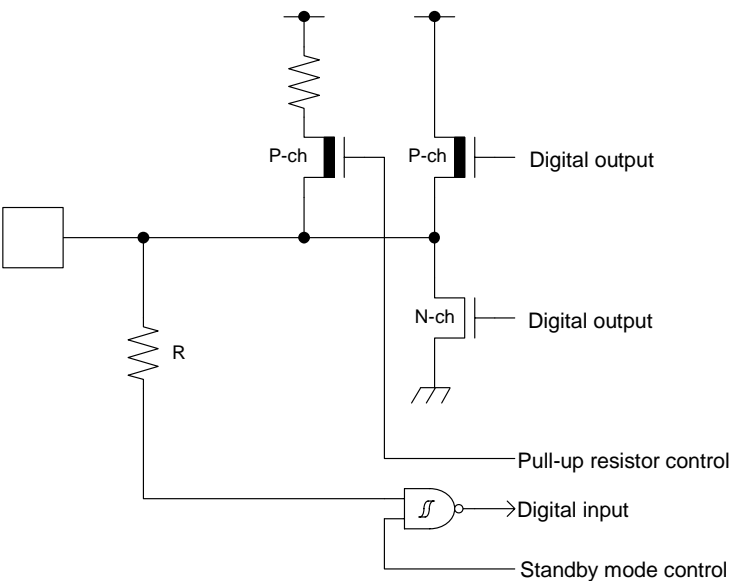
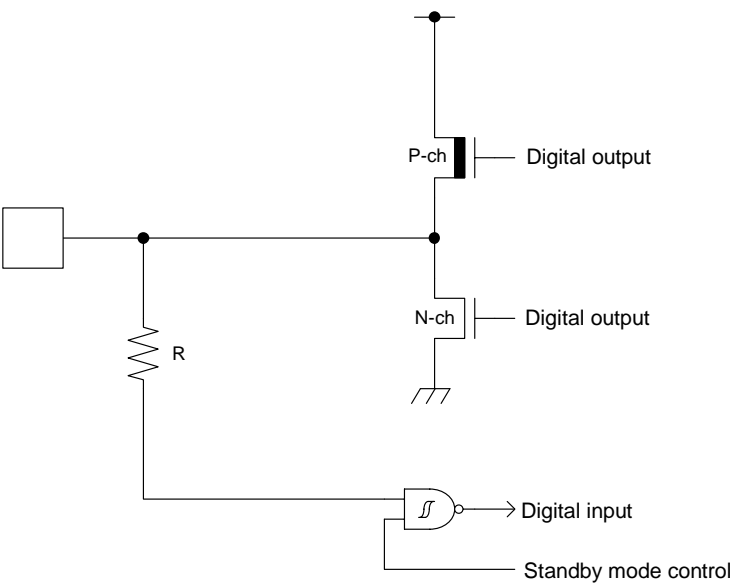
5. 入出力回路形式

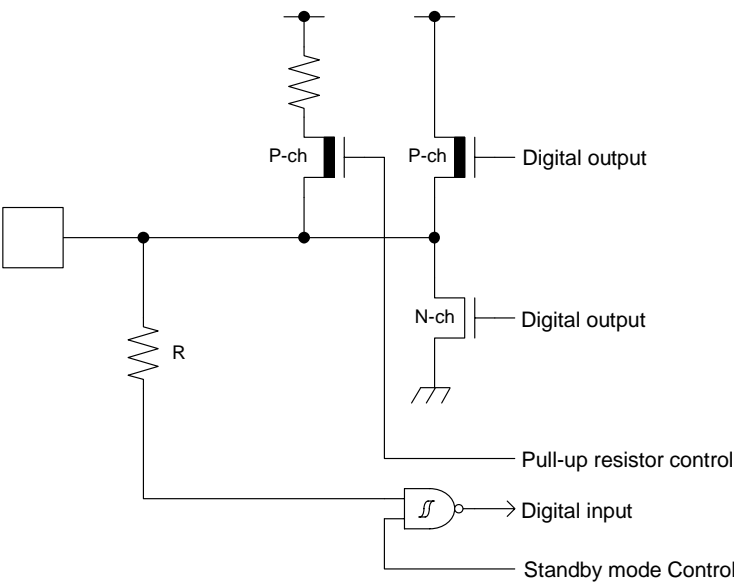
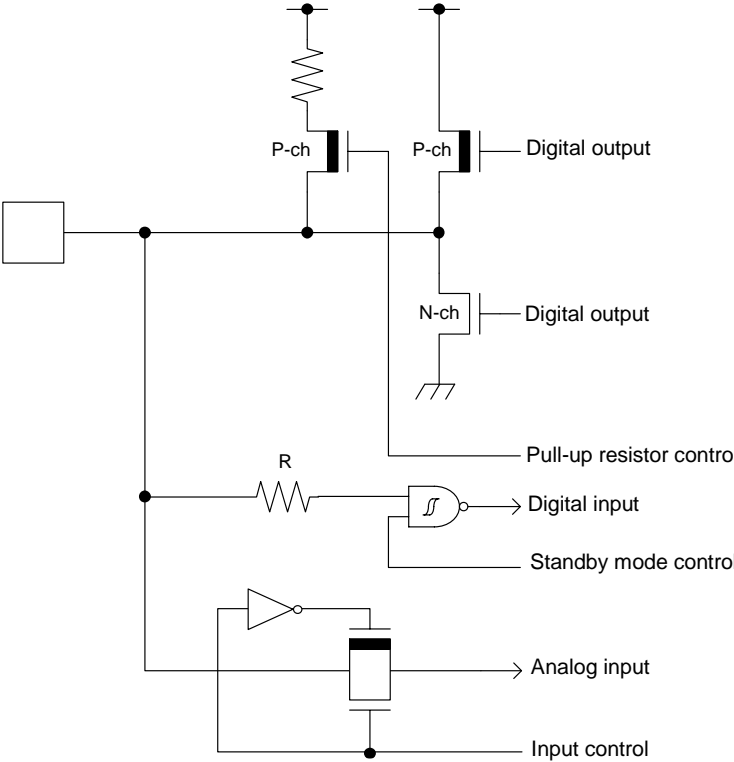
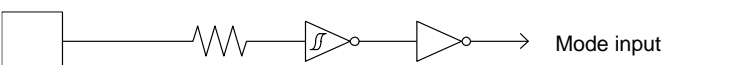
分類	回路	備考
A	 <p>The diagram illustrates the internal circuitry for I/O configuration A. It features two main input/output sections, X1 and X0. Each section includes a pull-up resistor, a P-channel MOSFET (P-ch), and an N-channel MOSFET (N-ch). The P-ch MOSFETs are connected to digital outputs, while the N-ch MOSFETs are connected to ground. A feedback resistor is present in the X1 section. The input lines are connected to digital inputs and standby mode control logic. The output lines are connected to digital outputs and pull-up resistor control logic.</p>	<p>メイン発振/GPIO 切り換え可能</p> <p>メイン発振機能選択時</p> <ul style="list-style-type: none"> • 発振帰還抵抗: 約 1 MΩ • スタンバイ制御あり <p>GPIO 機能選択時</p> <ul style="list-style-type: none"> • CMOS レベル出力 • CMOS レベルヒステリシス入力 • プルアップ抵抗制御あり • スタンバイ制御あり • プルアップ抵抗: 約 50 kΩ • $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$

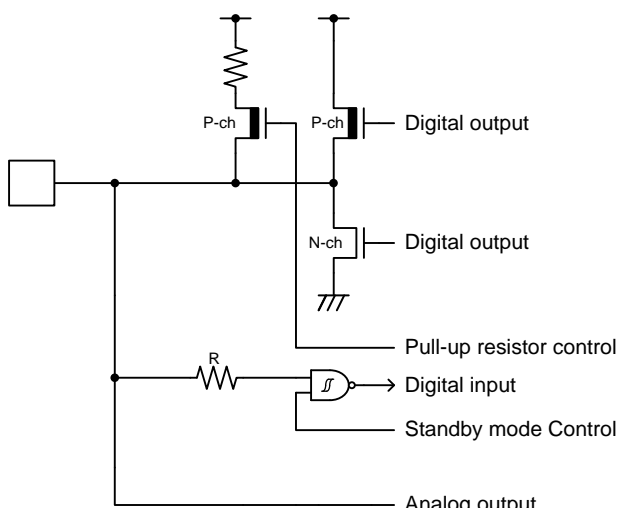
分類	回路	備考
B		<ul style="list-style-type: none"> • CMOS レベルヒステリシス入力 • プルアップ抵抗: 約 50 kΩ
C		<ul style="list-style-type: none"> • オープンドレイン出力 • CMOS レベルヒステリシス入力

分類	回路	備考
D	 <p>The diagram illustrates the internal circuitry for two input sections, X1A and X0A. Each section is connected to a pull-up resistor and a feedback resistor. The circuit includes P-channel (P-ch) and N-channel (N-ch) MOSFETs, digital outputs, digital inputs, standby mode controls, and pull-up resistor controls. The inputs are connected to a common line that branches out to various components, including a feedback resistor and a pull-up resistor. The outputs are connected to a common line that branches out to various components, including a pull-up resistor and a pull-up resistor control.</p>	<p>サブ発振/GPIO 切換え可能</p> <p>サブ発振機能選択時</p> <ul style="list-style-type: none"> • 発振帰還抵抗: 約 5 MΩ • スタンバイ制御あり <p>GPIO 機能選択時</p> <ul style="list-style-type: none"> • CMOS レベル出力 • CMOS レベルヒステリシス入力 • プルアップ抵抗制御あり • スタンバイ制御あり • プルアップ抵抗: 約 50 kΩ • $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$

分類	回路	備考
E		<ul style="list-style-type: none"> • CMOS レベル出力 • CMOS レベルヒステリシス入力 • プルアップ抵抗制御あり • スタンバイ制御あり • プルアップ抵抗: 約 50 kΩ • $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ • I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。 • +B 入力可
F		<ul style="list-style-type: none"> • CMOS レベル出力 • CMOS レベルヒステリシス入力 • 入力制御あり • アナログ入力 • プルアップ抵抗制御あり • スタンバイ制御あり • プルアップ抵抗: 約 50 kΩ • $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ • I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。 • +B 入力可

分類	回路	備考
G		<ul style="list-style-type: none"> • CMOS レベル出力 • CMOS レベルヒステリシス入力 • プルアップ抵抗制御あり • スタンバイ制御あり • プルアップ抵抗: 約 50 kΩ • $I_{OH} = -12 \text{ mA}$, $I_{OL} = 12 \text{ mA}$ • +B 入力可
H		<ul style="list-style-type: none"> • CMOS レベル出力 • CMOS レベルヒステリシス入力 • スタンバイ制御あり • $I_{OH} = -18.0 \text{ mA}$, $I_{OL} = 16.5 \text{ mA}$

分類	回路	備考
I		<ul style="list-style-type: none"> • CMOS レベル出力 • CMOS レベルヒステリシス入力 • 5 V トレラント • プルアップ抵抗制御あり • スタンバイ制御あり • プルアップ抵抗: 約 50 kΩ • $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ • PZR レジスタ制御可能 • I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。
J		<ul style="list-style-type: none"> • CMOS レベル出力 • CMOS レベルヒステリシス入力 • 入力制御あり • アナログ入力 • 5 V トレラント • プルアップ抵抗制御あり • スタンバイ制御あり • プルアップ抵抗: 約 50 kΩ • $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ • PZR レジスタ制御可能 • I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。
K		<ul style="list-style-type: none"> • CMOS レベルヒステリシス入力

分類	回路	備考
L	 <p> P-ch P-ch Digital output N-ch Digital output Pull-up resistor control Digital input Standby mode Control Analog output R </p>	<ul style="list-style-type: none"> • CMOS レベル出力 • CMOS レベルヒステリシス入力 • 入力制御あり • アナログ出力 • プルアップ抵抗制御あり • スタンバイ制御あり • プルアップ抵抗: 約 50 kΩ • $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$

6. 取扱上のご注意

半導体デバイスは、ある確率で故障します。また、半導体デバイスの故障は、使用される条件(回路条件、環境条件など)によっても大きく左右されます。以下に、半導体デバイスをより信頼性の高い状態で使用していただくために、注意・配慮しなければならない事項について説明します。

6.1 設計上の注意事項

ここでは、半導体デバイスを使用して電子機器の設計を行う際に注意すべき事項について述べます。

絶対最大定格の遵守

半導体デバイスは、過剰なストレス (電圧、電流、温度など) が加わると破壊する可能性があります。この限界値を定めたものが絶対最大定格です。従って、定格を一項目でも超えることのないようご注意ください。

推奨動作条件の遵守

推奨動作条件は、半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は、全てこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を越えて使用すると、信頼性に悪影響を及ぼすことがあります。

本資料に記載されていない項目、使用条件、論理組み合わせでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

端子の処理と保護

半導体デバイスには、電源および各種入出力端子があります。これらに対して以下の注意が必要です。

過電圧・過電流の防止

1. 各端子に最大定格を超える電圧・電流が印加されると、デバイスの内部に劣化が生じ、著しい場合には破壊に至ります。機器の設計の際には、このような過電圧・過電流の発生を防止してください。
2. 出力端子の保護
出力端子を電源端子または他の出力端子とショートしたり、大きな容量負荷を接続すると大電流が流れる場合があります。この状態が長時間続くとデバイスが劣化しますので、このような接続はしないようにしてください。
3. 未使用入力端子の処理
インピーダンスの非常に高い入力端子は、オープン状態で使用すると動作が不安定になる場合があります。適切な抵抗を介して電源端子やグランド端子に接続してください。

ラッチアップ

半導体デバイスは、基板上に P 型と N 型の領域を形成することにより構成されます。外部から異常な電圧が加えられた場合、内部の寄生 PNP 接合 (サイリスタ構造) が導通して、数百 mA を越える大電流が電源端子に流れ続けることがあります。これをラッチアップと呼びます。この現象が起きるとデバイスの信頼性を損ねるだけでなく、破壊に至り発熱・発煙・発火の恐れもあります。これを防止するために、以下の点にご注意ください。

1. 最大定格以上の電圧が端子に加わることが無いようにしてください。異常なノイズ、サージ等にも注意してください。
2. 電源投入シーケンスを考慮し、異常な電流が流れないようにしてください。

安全等の規制と規格の遵守

世界各国では、安全や、電磁妨害等の各種規制と規格が設けられています。お客様が機器を設計するに際しては、これらの規制と規格に適合するようお願いいたします。

フェイル・セーフ設計

半導体デバイスは、ある確率で故障が発生します。半導体デバイスが故障しても、結果的に人身事故、火災事故、社会的な損害を生じさせないように、お客様は、装置の冗長設計、延焼対策設計、過電流防止設計、誤動作防止設計などの安全設計をお願いいたします。

用途に関する注意

本資料に記載された製品は、通常の産業用、一般事務用、パーソナル用、家庭用などの一般的用途に使用されることを意図して設計・製造されています。極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途（原子力施設における核反応制御、航空機自動飛行制御、航空交通管制、大量輸送システムにおける運行制御、生命維持のための医療機器、兵器システムにおけるミサイル発射制御をいう）、ならびに極めて高い信頼性が要求される用途（海底中継器、宇宙衛星をいう）に使用されるよう設計・製造されたものではありません。当社は、これらの用途に当該製品が使用されたことにより発生した損害などについては、責任を負いかねますのでご了承ください。

6.2 パッケージ実装上の注意事項

パッケージには、リード挿入形と表面実装形があります。いずれの場合も、はんだ付け時の耐熱性に関する品質保証は、当社の推奨する条件での実装に対してのみ適用されます。実装条件の詳細については営業部門までお問い合わせください。

リード挿入形

リード挿入形パッケージのプリント板への実装方法は、プリント板へ直接はんだ付けする方法とソケットを使用してプリント板に実装する方法とがあります。

プリント板へ直接はんだ付けする場合は、プリント板のスルーホールにリード挿入後、噴流はんだによるフローはんだ方法（ウェーブソルダーリング法）が一般的に使用されます。この場合、はんだ付け実装時には、通常最大定格の保存温度を上回る熱ストレスがリード部分に加わります。当社の実装推奨条件で実装してください。

ソケット実装方法でご使用になる場合、ソケットの接点の表面処理と IC のリードの表面処理が異なるとき、長時間経過後、接触不良を起こすことがあります。このため、ソケットの接点の表面処理と IC のリードの表面処理の状態を確認してから実装することをお勧めします。

表面実装形

表面実装形パッケージは、リード挿入形と比較して、リードが細く薄いため、リードが変形し易い性質をもっています。また、パッケージの多ピン化に伴い、リードピッチも狭く、リード変形によるオープン不良や、はんだブリッジによるショート不良が発生しやすいため、適切な実装技術が必要となります。当社ははんだリフロー方法を推奨し、製品ごとに実装条件のランク分類を実施しています。当社推奨のランク分類に従って実装してください。

鉛フリーパッケージ

BGA パッケージの Sn-Ag-Cu 系ボール品を Sn-Pb 共晶はんだにて実装した場合、使用状況により接合強度が低下することがありますのでご注意ください。

半導体デバイスの保管について

プラスチックパッケージは樹脂でできているため、自然の環境に放置することにより吸湿します。吸湿したパッケージに実装時の熱が加わった場合、界面剥離発生による耐湿性の低下やパッケージクラックが発生することがあります。以下の点にご注意ください。

1. 急激な温度変化のある所では製品に水分の結露が起こります。このような環境を避けて、温度変化の少ない場所に保管してください。
2. 製品の保管場所はドライボックスの使用を推奨します。相対湿度 70%RH 以下、温度 5°C～30°C で保管をお願いします。ドライパッケージを開封した場合には湿度 40%～70%RH を推奨いたします。
3. 当社では必要に応じて半導体デバイスの梱包材として防湿性の高いアルミラミネート袋を用い、乾燥剤としてシリカゲルを使用しております。半導体デバイスはアルミラミネート袋に入れて密封して保管してください。
4. 腐食性ガスの発生する場所や塵埃の多い所は避けてください。

ベーキングについて

吸湿したパッケージはベーキング (加熱乾燥) を実施することにより除湿することが可能です。ベーキングは、当社の推奨する条件で実施してください。

条件: 125°C/24 時間

静電気

半導体デバイスは静電気による破壊を起こしやすいため、以下の点についてご注意ください。

1. 作業環境の相対湿度は 40 % ～ 70%RH にしてください。
除電装置 (イオン発生装置) の使用なども必要に応じて検討してください。
2. 使用するコンベア、半田槽、半田ゴテ、および周辺付帯設備は大地に接地してください。
3. 人体の帯電防止のため、指輪または腕輪などから高抵抗 (1 MΩ 程度) で大地に接地したり、導電性の衣服・靴を着用し、床に導電マットを敷くなど帯電電荷を最小限に保つようにしてください。
4. 治具、計器類は、接地または帯電防止化を実施してください。
5. 組立完了基板の収納時、発泡スチロールなどの帯電しやすい材料の使用は避けてください。

6.3 使用環境に関する注意事項

半導体デバイスの信頼性は、先に述べました周囲温度とそれ以外の環境条件にも依存します。ご使用にあたっては、以下の点にご注意ください。

1. 湿度環境

高湿度環境下での長期の使用は、デバイス自身だけでなくプリント基板等にもリーク性の不具合が発生する場合があります。高湿度が想定される場合は、防湿処理を施す等の配慮をお願いします。

2. 静電気放電

半導体デバイスの直近に高電圧に帯電したものが存在すると、放電が発生し誤動作の原因となることがあります。このような場合、帯電の防止または放電の防止の処置をお願いします。

3. 腐食性ガス、塵埃、油

腐食性ガス雰囲気中や、塵埃、油等がデバイスに付着した状態で使用すると、化学反応によりデバイスに悪影響を及ぼす場合があります。このような環境下でご使用の場合は、防止策についてご検討ください。

4. 放射線・宇宙線

一般のデバイスは、設計上、放射線、宇宙線にさらされる環境を想定しておりません。したがって、これらを遮蔽してご使用ください。

5. 発煙・発火

樹脂モールド型のデバイスは、不燃性ではありません。発火物の近くでは、ご使用にならないでください。発煙・発火しますと、その際に毒性を持ったガスが発生する恐れがあります。

その他、特殊な環境下でのご使用をお考えの場合は、営業部門にご相談ください。

7. デバイス使用上の注意

電源端子について

VCC, VSS 端子が複数ある場合、デバイス設計上はラッチアップなどの誤動作を防止するためにデバイス内部で同電位にすべきものどうしを接続してありますが、不要輻射の低減・グラウンドレベルの上昇によるストロブ信号の誤動作の防止・総出力電流規格を遵守などのために、必ずそれらすべてを外部で電源およびグラウンドに接続してください。また、電流供給源からできる限り低

インピーダンスで本デバイスの各電源端子と GND 端子に接続してください。

さらに、本デバイスの近くで各電源端子 と GND 端子の間、AVCC 端子と AVSS 端子の間、AVRH 端子と AVRL 端子の間に 0.1 μ F 程度のセラミックコンデンサをバイパスコンデンサとして接続することをお勧めします。

電源電圧の安定化について

電源電圧の変動が VCC の推奨動作条件内においても、急峻な変化があると誤動作することがあります。安定化の基準として VCC は、商用周波数 (50 Hz ~ 60 Hz) におけるリプル変動(ピークピーク値) を推奨動作条件内の 10%以内にしてください。かつ電源切り換えによる瞬間変動の過渡変動率は 0.1 V/ μ s 以下にしてください。

水晶発振回路について

X0/X1, X0A/X1A 端子の近辺のノイズは本デバイスの誤動作の原因となります。X0/X1, X0A/X1A 端子および水晶振動子さらにグラウンドへのバイパスコンデンサはできる限り近くに配置するようにプリント板を設計してください。

また、X0/X1, X0A/X1A 端子の周りをグラウンドで囲むようなプリント板アートワークは安定した動作を期待できますので、強くお勧めします。

実装基板にて、使用する水晶振動子の発振評価を実施してください。

サブクロック用水晶振動子について

本シリーズのサブクロック発振回路は消費電流を低く抑えた設計を行っており、増幅度が低い回路となっています。安定した発振をさせるためサブクロック用水晶振動子には、以下の条件を満たす水晶振動子の使用を推奨します。

■表面実装タイプ

サイズ: 3.2 mm \times 1.5 mm 以上
負荷容量: 6 pF ~ 7 pF 程度

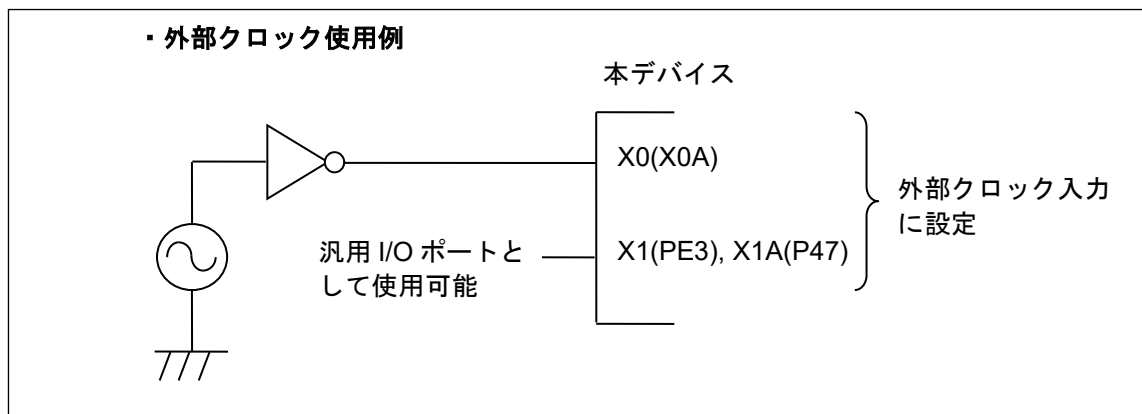
■リードタイプ

負荷容量: 6 pF ~ 7 pF 程度

外部クロック使用時の注意

メインクロックの入力として外部クロックを使用する場合は、X0/X1 端子を外部クロック入力に設定し、X0 端子にクロックを入力してください。X1(PE3)端子は汎用 I/O ポートとして使用できます。

同様にサブクロックの入力として外部クロックを使用する場合は、X0A/X1A 端子を外部クロック入力に設定し、X0A 端子にクロックを入力してください。X1A(P47)端子は汎用 I/O ポートとして使用できます。



マルチファンクションシリアル端子を I²C 端子として使用する場合の扱いについて

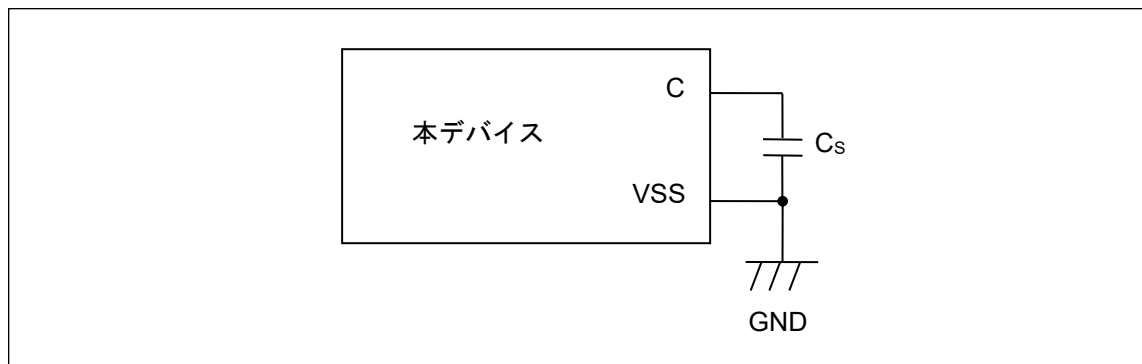
マルチファンクションシリアル端子を I²C 端子として使用する場合、デジタル出力 P-ch トランジスタは常にディセーブルです。しかし、I²C 端子もほかの端子と同様に、デバイスの電気的特性を守り、電源をオフにしたまま外部 I²C バスシステムへ接続しないでください。

C 端子について

本シリーズはレギュレータを内蔵しています。必ず C 端子と GND 端子の間にレギュレータ用の平滑コンデンサ(C_S)を接続してください。平滑コンデンサにはセラミックコンデンサまたは同程度の周波数特性のコンデンサを使用してください。

なお、積層セラミックコンデンサは、温度による容量値の変化幅に特性(F 特性, Y5V 特性)を持つものがあります。コンデンサの温度特性を確認し、使用条件において規格値を満たすコンデンサを使用してください。

本シリーズでは 4.7 μ F 程度の平滑コンデンサを推奨します。



モード端子(MD0)について

モード端子(MD0)は VCC 端子または VSS 端子に直接接続してください。内蔵フラッシュメモリ書換えなどの目的で、モード端子レベルを変更できるようにプルアップまたはプルダウンをする場合には、ノイズによりデバイスが意図せずテストモードに入るのを防止するため、プルアップまたはプルダウンに使用する抵抗値はできるだけ低く抑えると共に、モード端子から VCC 端子または VSS 端子への距離を最小にし、できるだけ低インピーダンスで接続するようにプリント基板を設計してください。

電源投入時について

電源を投入/切断する際は同時か、あるいは次の順番で投入/切断を行ってください。なお、A/D コンバータおよび D/A コンバータを使用しない場合でも、AVCC = VCC レベル, AVSS = VSS レベルに接続してください。

投入時: VCC → AVCC → AVRH

切断時: AVRH → AVCC → VCC

シリアル通信について

シリアル通信においては、ノイズなどにより間違ったデータを受信する可能性があります。そのため、ノイズを抑えるボードの設計をしてください。また、万が一ノイズなどの影響により誤ったデータを受信した場合を考慮し、最後にデータのチェックサムなどを付加してエラー検出を行ってください。エラーが検出された場合には、再送を行うなどの処理をしてください。

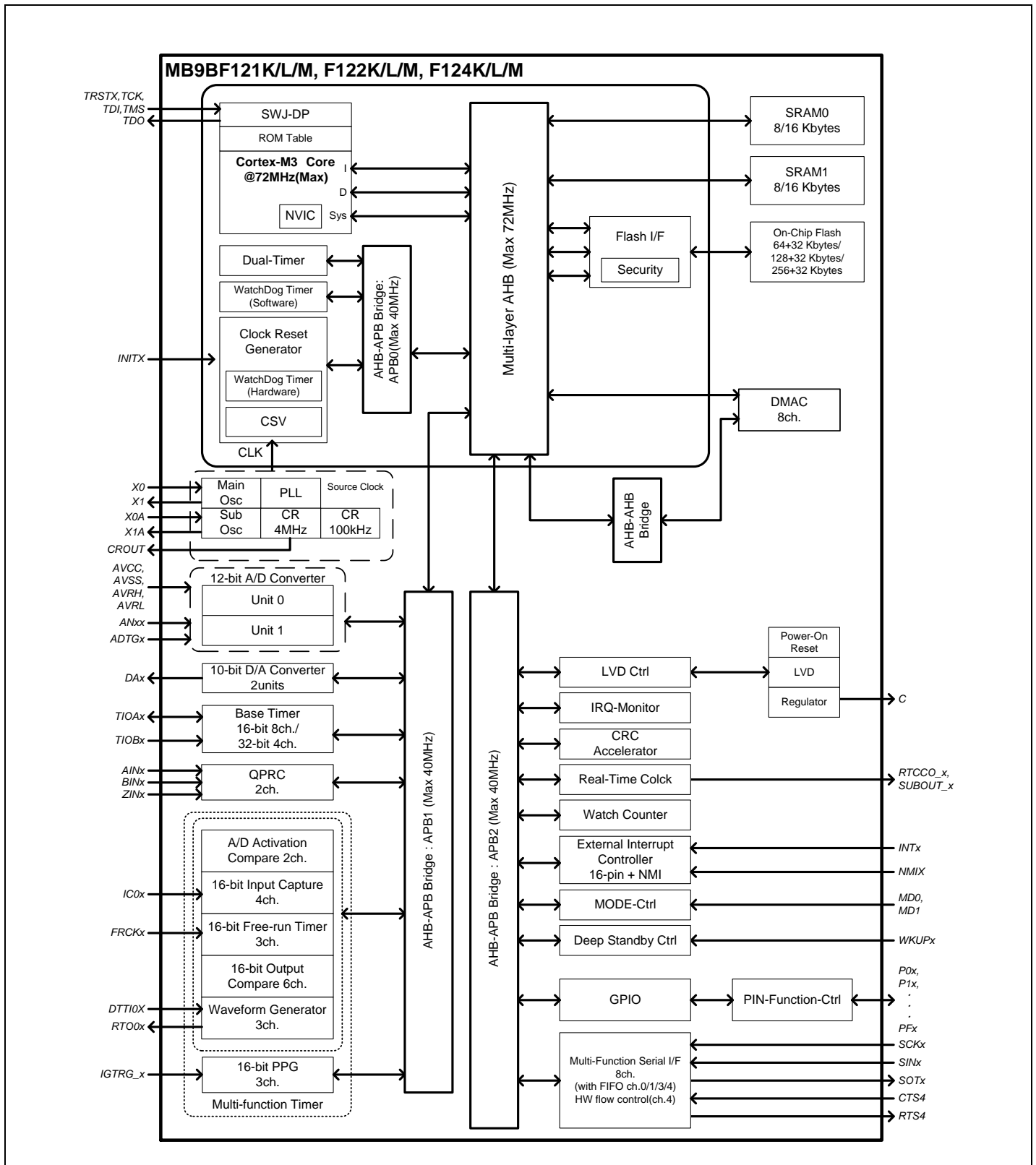
メモリサイズの異なる製品間およびフラッシュメモリ製品と MASK 製品の特性差について

メモリサイズの異なる製品間およびフラッシュメモリ製品と MASK 製品ではチップレイアウトやメモリ構造の違いにより消費電流や ESD, ラッチアップ, ノイズ特性, 発振特性等を含めた電気的特性が異なります。お客様にて同一シリーズの別製品に切り換えて使用する際は、電気的特性の評価を行ってください。

5V トレラント I/O のプルアップ機能について

5V トレラント I/O のプルアップ機能使用時は VCC 電圧以上の信号を入力しないでください。

8. ブロックダイアグラム

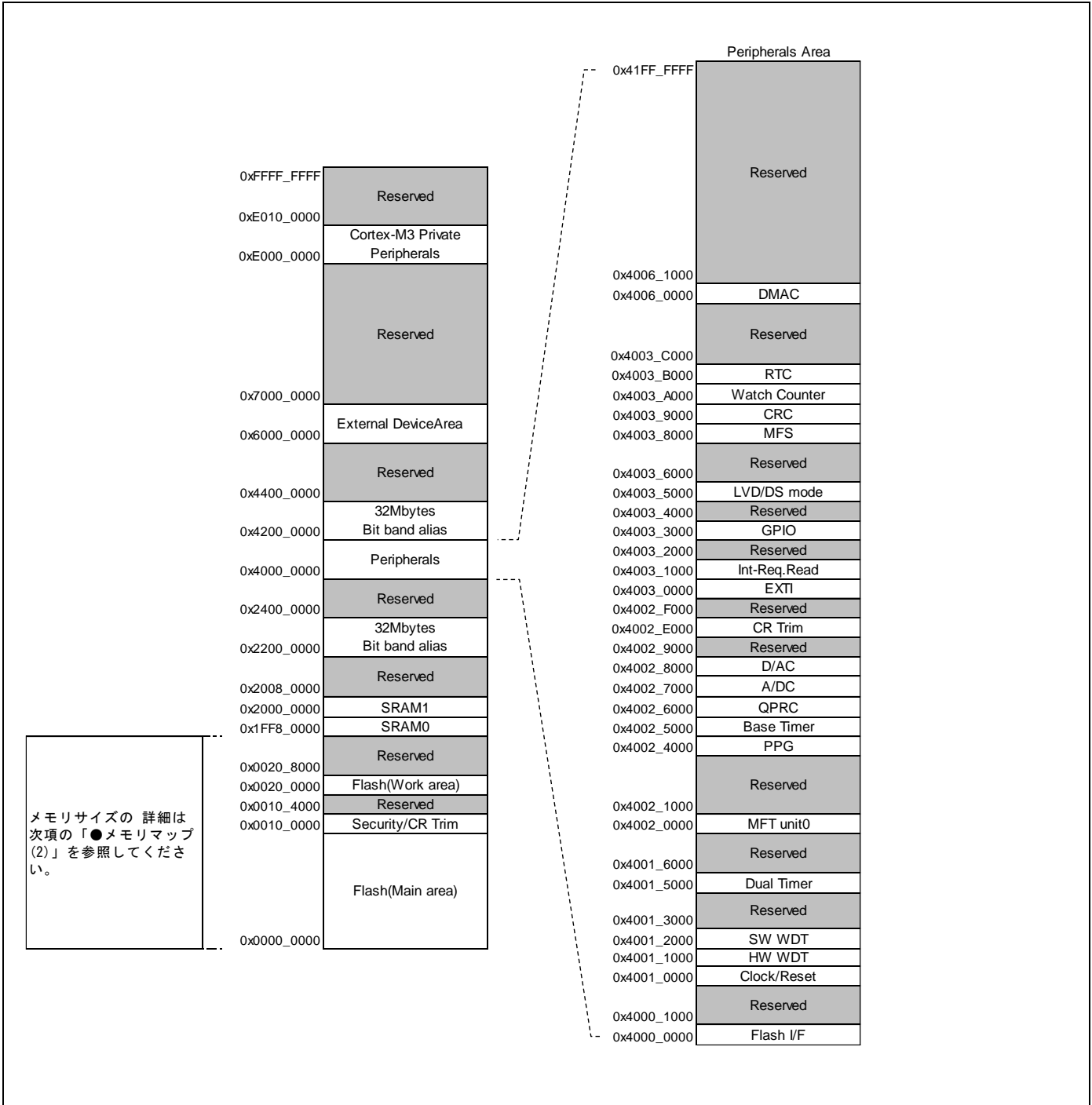


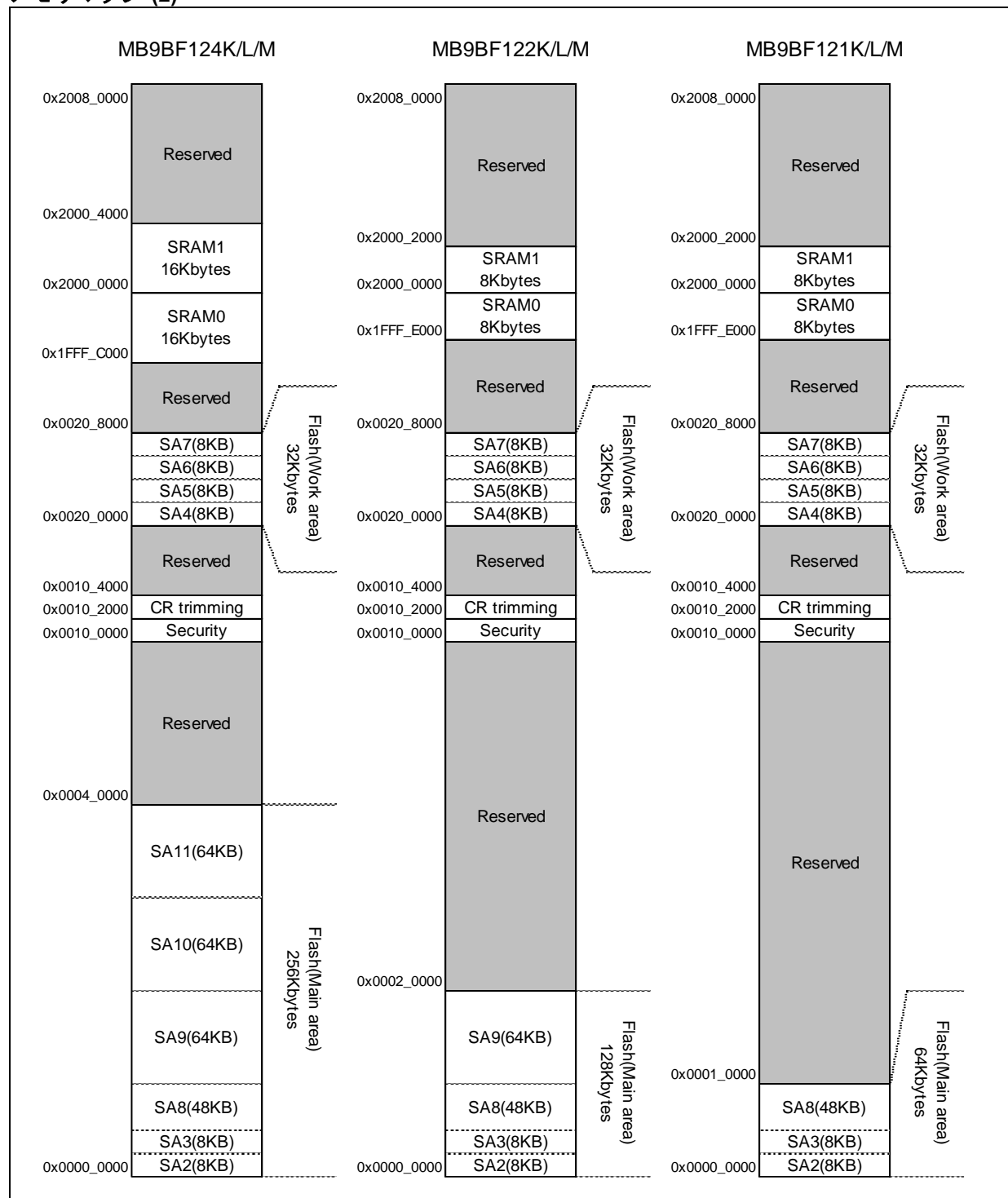
9. メモリサイズ

メモリサイズについては、「1. 品種構成」の「メモリサイズ」を参照してください。

10. メモリマップ

メモリマップ (1)



メモリマップ (2)


Flash (メイン領域)/Flash (ワーク領域)の詳細は、

「CY9AB40N/A40N/340N/140N/150R/CY9B520M/320M/120M シリーズ フラッシュプログラミングマニュアル」を参照ください。

ペリフェラル・アドレスマップ

スタート アドレス	エンド アドレス	バス	周辺機能
0x4000_0000	0x4000_0FFF	AHB	フラッシュメモリ I/F レジスタ
0x4000_1000	0x4000_FFFF		予約
0x4001_0000	0x4001_0FFF	APB0	クロック・リセット制御
0x4001_1000	0x4001_1FFF		ハードウェアウォッチドッグタイマ
0x4001_2000	0x4001_2FFF		ソフトウェアウォッチドッグタイマ
0x4001_3000	0x4001_4FFF		予約
0x4001_5000	0x4001_5FFF		デュアルタイマ
0x4001_6000	0x4001_FFFF		予約
0x4002_0000	0x4002_0FFF	APB1	多機能タイマ unit0
0x4002_1000	0x4002_3FFF		予約
0x4002_4000	0x4002_4FFF		PPG
0x4002_5000	0x4002_5FFF		ベースタイマ
0x4002_6000	0x4002_6FFF		クアッドカウンタ (QPRC)
0x4002_7000	0x4002_7FFF		A/D コンバータ
0x4002_8000	0x4002_8FFF		D/A コンバータ
0x4002_9000	0x4002_DFFF		予約
0x4002_E000	0x4002_EFFF		内蔵 CR トリミング
0x4002_F000	0x4002_FFFF		予約
0x4003_0000	0x4003_0FFF	APB2	外部割込み
0x4003_1000	0x4003_1FFF		割込み要因確認レジスタ
0x4003_2000	0x4003_2FFF		予約
0x4003_3000	0x4003_3FFF		GPIO
0x4003_4000	0x4003_4FFF		予約
0x4003_5000	0x4003_57FF		低電圧検出
0x4003_5800	0x4003_5FFF		ディープスタンバイ制御部
0x4003_6000	0x4003_7FFF		予約
0x4003_8000	0x4003_8FFF		マルチファンクションシリアル
0x4003_9000	0x4003_9FFF		CRC
0x4003_A000	0x4003_AFFF		時計カウンタ
0x4003_B000	0x4003_BFFF		RTC
0x4003_C000	0x4003_FFFF		予約
0x4004_0000	0x4005_FFFF	AHB	予約
0x4006_0000	0x4006_0FFF		DMAC レジスタ
0x4006_1000	0x41FF_FFFF		予約

11. 各 CPU ステートにおける端子状態

端子の状態として使用している語句は、以下の意味を持ちます。

■INITX=0

INITX 端子が"L"レベルの期間です。

■INITX=1

INITX 端子が"H"レベルの期間です。

■SPL=0

スタンバイモードコントロールレジスタ(STB_CTL)のスタンバイ端子レベル設定ビット(SPL)が"0"に設定された状態です。

■SPL=1

スタンバイモードコントロールレジスタ(STB_CTL)のスタンバイ端子レベル設定ビット(SPL)が"1"に設定された状態です。

■入力可

入力機能が使用可能な状態です。

■内部入力"0"固定

入力機能が使用できない状態です。内部入力は"L"に固定されます。

■Hi-Z

端子駆動用トランジスタを駆動禁止状態にし、端子を Hi-Z にします。

■設定不可

設定できません。

■直前状態保持

本モードに遷移する直前の状態を保持します。内蔵されている周辺機能が動作中であれば、その周辺機能にしたがいます。ポートとして使用している場合は、その状態を保持します。

■アナログ入力可

アナログ入力が許可されています。

■トレース出力

トレース機能が使用可能な状態です。

■GPIO 選択

ディープスタンバイモード時、汎用 I/O ポートに切り換わります。

端子状態一覧表

端子状態形式	グループ機能名	パワーオンリセットまたは低電圧検出状態	INITX入力状態	デバイス内部リセット状態	ランモードまたはスリープモード状態	タイマモード、RTCモードまたはストップモード状態		ディープスタンバイRTCモードまたはディープスタンバイストップモード状態		ディープスタンバイモード復帰直後状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
A	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 内部入力"0" 固定	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力"0" 固定	GPIO 選択
	メイン水晶 発振入力端子/ 外部メイン クロック入力 選択時	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可
B	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 内部入力"0" 固定	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力"0" 固定	GPIO 選択
	外部メイン クロック入力 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 内部入力"0" 固定	直前状態保持	Hi-Z/ 内部入力"0" 固定	直前状態保持
	メイン水晶 発振出力端子	Hi-Z/ 内部入力 "0"固定 もしくは 入力可	Hi-Z/ 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	直前状態保持/発振 停止時*1は Hi-Z/内部 入力 "0"固定	直前状態保持/発振 停止時*1は Hi-Z/内部 入力 "0"固定	直前状態保持/発振 停止時*1は Hi-Z/内部 入力 "0"固定	直前状態保持/発振 停止時*1は Hi-Z/内部 入力 "0"固定	直前状態保持/発振 停止時*1は Hi-Z/内部 入力 "0"固定	直前状態保持/発振 停止時*1は Hi-Z/内部 入力 "0"固定
C	INITX 入力端子	プル アップ/ 入力可	プル アップ/ 入力可	プル アップ/ 入力可	プル アップ/ 入力可	プル アップ/ 入力可	プル アップ/ 入力可	プル アップ/ 入力可	プル アップ/ 入力可	プル アップ/ 入力可
D	モード 入力端子	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可
E	モード 入力端子	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可
	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 入力可	GPIO 選択	Hi-Z/ 入力可	GPIO 選択
F	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 内部入力"0" 固定	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力"0" 固定	GPIO 選択
	サブ水晶 発振入力端子/ 外部サブ クロック入力 選択時	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可

端子状態形式	グループ機能名	パワーオンリセットまたは低電圧検出状態	INITX入力状態	デバイス内部リセット状態	ランモードまたはスリープモード状態	タイマモード、RTCモードまたはストップモード状態		ディープスタンバイRTCモードまたはディープスタンバイストップモード状態		ディープスタンバイモード復帰直後状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
G	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 内部入力"0"固定	GPIO 選択 内部入力"0"固定	Hi-Z/ 内部入力"0"固定	GPIO 選択
	外部サブクロック入力選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 内部入力"0"固定	直前状態保持	Hi-Z/ 内部入力"0"固定	直前状態保持
	サブ水晶発振出力端子	Hi-Z/ 内部入力"0"固定もしくは入力可	Hi-Z/ 内部入力"0"固定	Hi-Z/ 内部入力"0"固定	直前状態保持	直前状態保持/発振停止時*2はHi-Z/内部入力"0"固定	直前状態保持/発振停止時*2はHi-Z/内部入力"0"固定	直前状態保持/発振停止時*2はHi-Z/内部入力"0"固定	直前状態保持/発振停止時*2はHi-Z/内部入力"0"固定	直前状態保持/発振停止時*2はHi-Z/内部入力"0"固定
H	外部割込み許可選択時	設定不可	設定不可	設定不可	直前状態保持 直前状態保持	直前状態保持	直前状態保持	GPIO 選択 内部入力"0"固定	Hi-Z/ 内部入力"0"固定	GPIO 選択
	GPIO 選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可			Hi-Z/ 内部入力"0"固定			
I	アナログ入力選択時	Hi-Z	Hi-Z/ 内部入力"0"固定/ アナログ入力可	Hi-Z/ 内部入力"0"固定/ アナログ入力可	Hi-Z/ 内部入力"0"固定/ アナログ入力可	Hi-Z/ 内部入力"0"固定/ アナログ入力可	Hi-Z/ 内部入力"0"固定/ アナログ入力可	Hi-Z/ 内部入力"0"固定/ アナログ入力不可	Hi-Z/ 内部入力"0"固定/ アナログ入力不可	Hi-Z/ 内部入力"0"固定/ アナログ入力不可
	NMIX 選択時		設定不可	設定不可	設定不可	直前状態保持	直前状態保持	直前状態保持	WKUP 入力可	Hi-Z/ WKUP 入力可
	上記以外のリソース選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可	直前状態保持			直前状態保持		
	GPIO 選択時									
J	JTAG 選択時	Hi-Z	ブルアップ/ 入力可	ブルアップ/ 入力可	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持
	GPIO 選択時	設定不可	設定不可	設定不可			Hi-Z/ 内部入力"0"固定	GPIO 選択 内部入力"0"固定	Hi-Z/ 内部入力"0"固定	GPIO 選択
K	リソース選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可	直前状態保持	直前状態保持	Hi-Z/ 内部入力"0"固定	GPIO 選択 内部入力"0"固定	Hi-Z/ 内部入力"0"固定	GPIO 選択
	GPIO 選択時									

端子状態形式	グループ機能名	パワーオンリセットまたは低電圧検出状態	INITX入力状態	デバイス内部リセット状態	ランモードまたはスリープモード状態	タイマモード、RTCモードまたはストップモード状態		ディープスタンバイRTCモードまたはディープスタンバイストップモード状態		ディープスタンバイモード復帰直後状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
L	アナログ出力選択時	設定不可	設定不可	設定不可	直前状態保持	*3	*4	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力"0" 固定	GPIO 選択
	外部割込み許可選択時					直前状態保持	直前状態保持			
	上記以外のリソース選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 内部入力"0" 固定						
	GPIO 選択時									
M	アナログ入力選択時	Hi-Z	Hi-Z/ 内部入力"0" 固定/ アナログ 入力可	Hi-Z/ 内部入力"0" 固定/ アナログ 入力可	Hi-Z/ 内部入力"0" 固定/ アナログ 入力可	Hi-Z/ 内部入力"0" 固定/ アナログ 入力可	Hi-Z/ 内部入力"0" 固定/ アナログ 入力可	Hi-Z/ 内部入力"0" 固定/ アナログ 入力可	Hi-Z/ 内部入力"0" 固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可
	上記以外のリソース選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 内部入力"0" 固定	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力"0" 固定	GPIO 選択
	GPIO 選択時									
N	アナログ入力選択時	Hi-Z	Hi-Z/ 内部入力"0" 固定/ アナログ 入力可	Hi-Z/ 内部入力"0" 固定/ アナログ 入力可	Hi-Z/ 内部入力"0" 固定/ アナログ 入力可	Hi-Z/ 内部入力"0" 固定/ アナログ 入力可	Hi-Z/ 内部入力"0" 固定/ アナログ 入力可	Hi-Z/ 内部入力"0" 固定/ アナログ 入力可	Hi-Z/ 内部入力"0" 固定/ アナログ 入力可	Hi-Z/ 内部入力"0"固 定/ アナログ 入力可
	外部割込み許可選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	直前状態保持	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力"0" 固定	GPIO 選択
	上記以外のリソース選択時						Hi-Z/ 内部入力"0" 固定			
	GPIO 選択時									

*1: サブタイマモード、低速 CR タイマモード、ストップモード、RTC モード、ディープスタンバイ RTC モード、ディープスタンバイストップモードは発振が停止します。

*2: ストップモード、ディープスタンバイストップモードは発振が停止します。

*3: タイマモード状態は直前状態保持、RTC モードまたはストップモード状態は GPIO 選択/内部入力"0"固定です。

*4: タイマモード状態は直前状態保持、RTC モードまたはストップモード状態は Hi-Z/内部入力"0"固定です。

12. 電気的特性

12.1 絶対最大定格

項目	記号	定格値		単位	備考
		最小	最大		
電源電圧*1,*2	V_{CC}	$V_{SS} - 0.5$	$V_{SS} + 6.5$	V	
アナログ電源電圧*1,*3	AV_{CC}	$V_{SS} - 0.5$	$V_{SS} + 6.5$	V	
アナログ基準電圧*1,*3	AV_{RH}	$V_{SS} - 0.5$	$V_{SS} + 6.5$	V	
入力電圧*1	V_I	$V_{SS} - 0.5$	$V_{CC} + 0.5$ (≤ 6.5 V)	V	
		$V_{SS} - 0.5$	$V_{SS} + 6.5$	V	5 V トレラント
アナログ端子入力電圧*1	V_{IA}	$V_{SS} - 0.5$	$AV_{CC} + 0.5$ (≤ 6.5 V)	V	
出力電圧*1	V_O	$V_{SS} - 0.5$	$V_{CC} + 0.5$ (≤ 6.5 V)	V	
最大クランプ電流	I_{CLAMP}	-2	+2	mA	*7
最大総クランプ電流	$\Sigma[I_{CLAMP}]$		+20	mA	*7
"L"レベル最大出力電流*4	I_{OL}	-	10	mA	4 mA タイプ
			20	mA	12 mA タイプ
			39	mA	P80/P81 端子
"L"レベル平均出力電流*5	I_{OLAV}	-	4	mA	4 mA タイプ
			12	mA	12 mA タイプ
			16.5	mA	P80/P81 端子
"L"レベル最大総出力電流	ΣI_{OL}	-	100	mA	
"L"レベル平均総出力電流*6	ΣI_{OLAV}	-	50	mA	
"H"レベル最大出力電流*4	I_{OH}	-	- 10	mA	4 mA タイプ
			- 20	mA	12 mA タイプ
			- 39	mA	P80/P81 端子
"H"レベル平均出力電流*5	I_{OHAV}	-	- 4	mA	4 mA タイプ
			- 12	mA	12 mA タイプ
			- 18	mA	P80/P81 端子
"H"レベル最大総出力電流	ΣI_{OH}	-	- 100	mA	
"H"レベル平均総出力電流*6	ΣI_{OHAV}	-	- 50	mA	
消費電力	P_D	-	300	mW	
保存温度	T_{STG}	- 55	+ 150	°C	

*1: $V_{SS} = AV_{SS} = 0$ V を基準にした値です。

*2: V_{CC} は $V_{SS} - 0.5$ V より低くならないでください。

*3: 電源投入時など $V_{CC} + 0.5$ V を超えてはいけません。

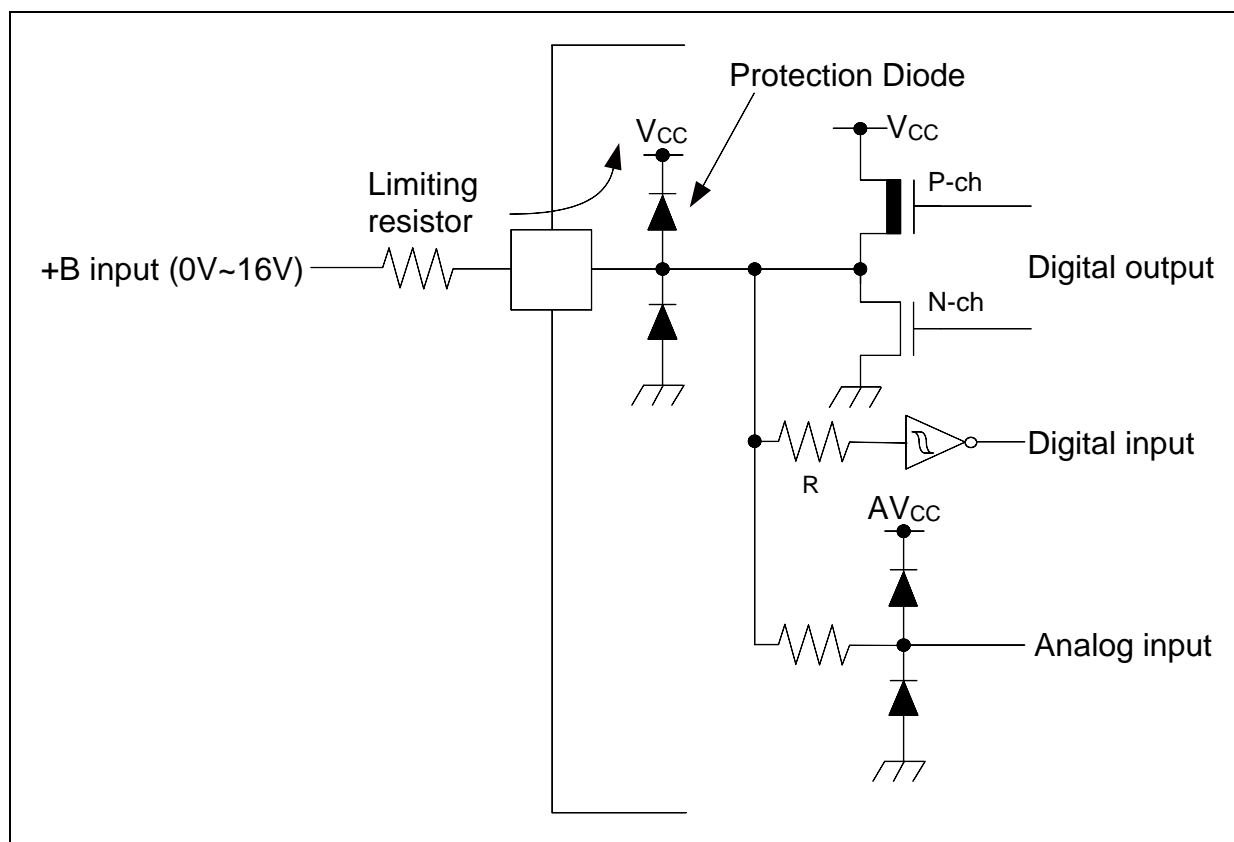
*4: 最大出力電流は、該当する端子 1 本のピーク値を規定します。

*5: 平均出力電流は、該当する端子 1 本に流れる電流の 100 ms の期間内での平均電流を規定します。

*6: 平均総出力電流は、該当する端子すべてに流れる電流の 100 ms の期間内での平均電流を規定します。

*7:

- 該当端子については、「端子機能一覧」、「入出力回路形式」を参照してください。
- 推奨動作条件内でご使用ください。
- +B 入力には直流電圧(電流)でご使用ください。
- +B 信号と本デバイスの間には、必ず電流制限抵抗を接続し+B 信号を印加してください。
- +B 入力を行うとき、本デバイスの端子に入力される電流が、瞬時/定常を問わず規格値以下になるように電流制限抵抗の値を設定してください。
- 低消費電力モードなど本デバイスの駆動電流が少ない動作モードでは、+B 入力電位が保護ダイオードを通して VCC 端子、AVCC 端子の電位を上昇させ、本デバイスや他の機器へ影響を及ぼすことがあります。そのため+B 入力時には Vcc、AVcc の電位が推奨動作条件を超えないようにしてください。
- 本デバイスの電源が OFF 時(0 V に固定していない場合)、または電源投入時に+B 入力を行っている場合は、端子から電源が供給されているため、パワーオンリセットが正常に動作せず不完全な動作を行うことがあります。
- 推奨回路例(入出力等価回路)を下記に示します。



<注意事項>

- 絶対最大定格を超えるストレス(電圧, 電流, 温度など)の印加は、半導体デバイスを破壊する可能性があります。したがって、定格を一項目でも超えることのないようご注意ください。

12.2 推奨動作条件

($V_{SS} = AV_{SS} = AVRL = 0.0V$)

項目	記号	条件	規格値		単位	備考
			最小	最大		
電源電圧	V_{CC}	-	2.7*2	5.5	V	
アナログ電源電圧	AV_{CC}	-	2.7	5.5	V	$AV_{CC}=V_{CC}$
アナログ基準電圧	AVRH	-	2.7	AV_{CC}	V	
	AVRL	-	AV_{SS}	AV_{SS}	V	
平滑コンデンサ容量	C_S	-	1	10	μF	レギュレータ用*1
動作温度	T_A	-	- 40	+ 105	°C	

*1: 平滑コンデンサの接続方法は、「7. デバイス使用上の注意」の「C 端子について」を参照してください。

*2: 電源電圧が最小値未満かつ低電圧リセット/割込み検出電圧以上の間は、内蔵高速 CR クロック（メイン PLL 使用含む）または内蔵低速 CR での命令実行と低電圧検出のみ動作可能です。

<注意事項>

- 推奨動作条件は、半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は、すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を超えて使用すると、信頼性に悪影響を及ぼすことがあります。
- データシートに記載されていない項目、使用条件、論理の組合せでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

12.3 直流規格

12.3.1 電流規格

($V_{CC} = AV_{CC} = 2.7V \sim 5.5V$, $V_{SS} = AV_{SS} = AVRL = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

項目	記号	端子名	条件		規格値		単位	備考
					標準*3	最大*4		
ラン モード 電流	I _{CC}	VCC	PLL ランモード	CPU: 72 MHz, 周辺: 36 MHz	32.5	41	mA	*1, *5
				CPU: 72 MHz, 周辺クロック停止 NOP 動作	18	23	mA	*1, *5
			高速 CR ランモード	CPU/周辺: 4 MHz*2	2.5	3.4	mA	*1
			サブ ランモード	CPU/周辺: 32 kHz	110	980	μA	*1, *6
			低速 CR ランモード	CPU/周辺: 100 kHz	130	1030	μA	*1
スリープ モード 電流	I _{CCS}		PLL スリープモード	周辺: 36 MHz	22	28	mA	*1, *5
			高速 CR スリープモード	周辺: 4 MHz*2	1.6	2.6	mA	*1
			サブ スリープモード	周辺: 32 kHz	96	955	μA	*1, *6
			低速 CR スリープモード	周辺: 100 kHz	115	975	μA	*1

*1: 全ポート固定時

*2: トリミングにて 4 MHz に設定した場合

*3: $T_A = +25^{\circ}C$, $V_{CC} = 5.5V$

*4: $T_A = +105^{\circ}C$, $V_{CC} = 5.5V$

*5: 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)

*6: 水晶振動子(32 kHz)使用時(発振回路の消費電流を含む)

$(V_{CC} = AV_{CC} = 2.7V \sim 5.5V, V_{SS} = AV_{SS} = AV_{RL} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	端子名	条件		規格値		単位	備考
					標準*2	最大*2		
タイマ モード 電流	I _{CCT}	VCC	メイン タイマモード	T _A = + 25°C, LVD off 時	4.1	4.8	mA	*1, *4
				T _A = + 105°C, LVD off 時	-	5.4	mA	*1, *4
			サブ タイマモード	T _A = + 25°C, LVD off 時	17	66	μA	*1, *5
				T _A = + 105°C, LVD off 時	-	835	μA	*1, *5
RTC モード 電流	I _{CCR}		RTC モード	T _A = + 25°C, LVD off 時	15	61	μA	*1, *5
				T _A = + 105°C, LVD off 時	-	680	μA	*1, *5
ストップ モード 電流	I _{CCH}		ストップ モード	T _A = + 25°C, LVD off 時	14	53	μA	*1
				T _A = +105°C, LVD off 時	-	600	μA	*1
ディープ スタンバイ モード 電流	I _{CCRD}		ディープ スタンバイ RTC モード	T _A = + 25°C, LVD off 時, RAM off 時	2.2	11	μA	*1, *3, *5
				T _A = + 25°C, LVD off 時, RAM on 時	6.2	23	μA	*1, *3, *5
				T _A = + 105°C, LVD off 時, RAM off 時	-	155	μA	*1, *3, *5
				T _A = + 105°C, LVD off 時, RAM on 時	-	215	μA	*1, *3, *5
	I _{CCHD}		ディープ スタンバイ ストップ モード	T _A = + 25°C, LVD off 時, RAM off 時	1.6	9.6	μA	*1, *3
				T _A = + 25°C, LVD off 時, RAM on 時	5.6	22	μA	*1, *3
				T _A = + 105°C, LVD off 時, RAM off 時	-	150	μA	*1, *3
				T _A = + 105°C, LVD off 時, RAM on 時		210	μA	*1, *3

*1: 全ポート固定時

*2: V_{CC}=5.5 V

*3: RAM 保持設定はオンチップ SRAM のみに適用

*4: 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)

*5: 水晶振動子(32 kHz)使用時(発振回路の消費電流を含む)

低電圧検出回路(LVD)電流
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	端子名	条件	規格値		単位	備考
				標準	最大		
低電圧検出回路 (LVD) 電源電流	I _{CC} LVD	VCC	リセット発生用 動作時	0.13	0.3	μA	未検出時
			割込み発生用 動作時	0.13	0.3	μA	未検出時

フラッシュメモリ電流
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	端子名	条件	規格値		単位	備考
				標準	最大		
フラッシュメモリ 書込み/消去電流	I _{CC} FLASH	VCC	書込み/ 消去時	9.5	11.2	mA	*

*:フラッシュメモリへ書込みまたは消去するときは、電源電流(I_{CC})にフラッシュメモリ書込み/消去電流(I_{CC}FLASH)が加算されます。

A/D コンバータ電流
 $(V_{CC} = AV_{CC} = 2.7V \sim 5.5V, V_{SS} = AV_{SS} = AV_{RL} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	端子名	条件	規格値		単位	備考
				標準	最大		
電源電流	I _{CC} AD	AVCC	1unit 動作時	0.69	0.90	mA	
			停止時	0.25	25.84	μA	
基準電源電流	I _{CC} AVRH	AVRH	A/D 1unit 動作時 AVRH=5.5 V	1.1	1.97	mA	
			停止時	0.2	3.4	μA	

D/A コンバータ電流
 $(V_{CC} = AV_{CC} = 2.7V \sim 5.5V, V_{SS} = AV_{SS} = AV_{RL} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
電源電流*1	I _{DDA} *2	AVCC	D/A 1unit 動作時 AV _{CC} =3.3 V	250	315	380	μA	
			D/A 1unit 動作時 AV _{CC} =5.0 V	380	475	580	μA	
	I _{DSA}		D/A 停止時	-	-	16	μA	

*1: 無負荷時

*2: 0x200 設定時に電流最大

12.3.2 端子特性
 $(V_{CC} = AV_{CC} = 2.7V \sim 5.5V, V_{SS} = AV_{SS} = AV_{RL} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
"H"レベル 入力電圧 (ヒステリシス入力)	V_{IHS}	CMOS ヒステリシス 入力端子, MD0, MD1	-	$V_{CC} \times 0.8$	-	$V_{CC} + 0.3$	V	
		5V トレラント 入力端子	-	$V_{CC} \times 0.8$	-	$V_{SS} + 5.5$	V	
"L"レベル 入力電圧 (ヒステリシス入力)	V_{ILS}	CMOS ヒステリシス 入力端子, MD0, MD1	-	$V_{SS} - 0.3$	-	$V_{CC} \times 0.2$	V	
		5V トレラント 入力端子	-	$V_{SS} - 0.3$	-	$V_{CC} \times 0.2$	V	
"H"レベル 出力電圧	V_{OH}	4mA タイプ	$V_{CC} \geq 4.5V,$ $I_{OH} = -4mA$	$V_{CC} - 0.5$	-	V_{CC}	V	
			$V_{CC} < 4.5V,$ $I_{OH} = -2mA$					
		12mA タイプ	$V_{CC} \geq 4.5V,$ $I_{OH} = -12mA$	$V_{CC} - 0.5$	-	V_{CC}	V	
			$V_{CC} < 4.5V,$ $I_{OH} = -8mA$					
		P80/P81	$V_{CC} \geq 4.5V,$ $I_{OH} = -18.0mA$	$V_{CC} - 0.4$	-	V_{CC}	V	
			$V_{CC} < 4.5V,$ $I_{OH} = -12.0mA$					
"L"レベル 出力電圧	V_{OL}	4mA タイプ	$V_{CC} \geq 4.5V,$ $I_{OL} = 4mA$	V_{SS}	-	0.4	V	
			$V_{CC} < 4.5V,$ $I_{OL} = 2mA$					
		12mA タイプ	$V_{CC} \geq 4.5V,$ $I_{OL} = 12mA$	V_{SS}	-	0.4	V	
			$V_{CC} < 4.5V,$ $I_{OL} = 8mA$					
		P80/P81	$V_{CC} \geq 4.5V,$ $I_{OL} = 16.5mA$	V_{SS}	-	0.4	V	
			$V_{CC} < 4.5V,$ $I_{OL} = 10.5mA$					

($V_{CC} = AV_{CC} = 2.7V \sim 5.5V$, $V_{SS} = AV_{SS} = AV_{RL} = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
入力リーク電流	I_{IL}	-	-	- 5	-	+ 5	μA	
プルアップ抵抗値	R_{PU}	プルアップ端子	$V_{CC} \geq 4.5 V$	33	50	90	$k\Omega$	
			$V_{CC} < 4.5 V$	-	-	180		
入力容量	C_{IN}	VCC, VSS, AVCC, AVSS, AVRH, AVRL 以外	-	-	5	15	pF	

12.4 交流規格

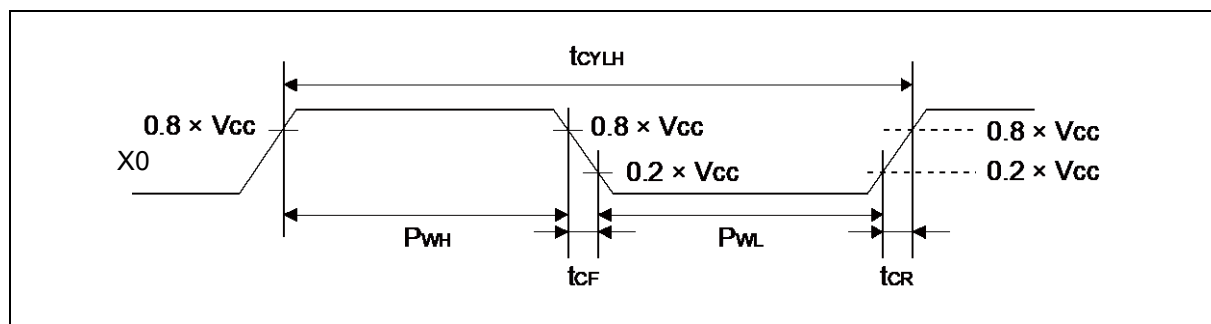
12.4.1 メインクロック入力規格

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力周波数	f_{CH}	X0, X1	$V_{CC} \geq 4.5V$	4	48	MHz	水晶振動子接続時
			$V_{CC} < 4.5V$	4	20		
			$V_{CC} \geq 4.5V$	4	48	MHz	外部クロック時
			$V_{CC} < 4.5V$	4	20		
入力クロック周期	t_{CYLH}		$V_{CC} \geq 4.5V$	20.83	250	ns	外部クロック時
			$V_{CC} < 4.5V$	50	250		
入力クロックパルス幅	-		P_{WH}/t_{CYLH} , P_{WL}/t_{CYLH}	45	55	%	外部クロック時
入力クロック立上り, 立下り時間	t_{CF} , t_{CR}		-	-	5	ns	外部クロック時
内部動作クロック周波数*1	f_{CM}	-	-	-	72	MHz	マスタクロック
	f_{CC}	-	-	-	72	MHz	ベースクロック(HCLK/FCLK)
	f_{CP0}	-	-	-	40	MHz	APB0 バスクロック*2
	f_{CP1}	-	-	-	40	MHz	APB1 バスクロック*2
	f_{CP2}	-	-	-	40	MHz	APB2 バスクロック*2
内部動作クロックサイクル時間*1	t_{CYCC}	-	-	13.8	-	ns	ベースクロック(HCLK/FCLK)
	t_{CYCP0}	-	-	25	-	ns	APB0 バスクロック*2
	t_{CYCP1}	-	-	25	-	ns	APB1 バスクロック*2
	t_{CYCP2}	-	-	25	-	ns	APB2 バスクロック*2

*1: 各内部動作クロックの詳細については、『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 2-1:クロック』を参照してください。

*2: 各ペリフェラルが接続されている APB バスについては「8. ブロックダイアグラム」を参照してください。

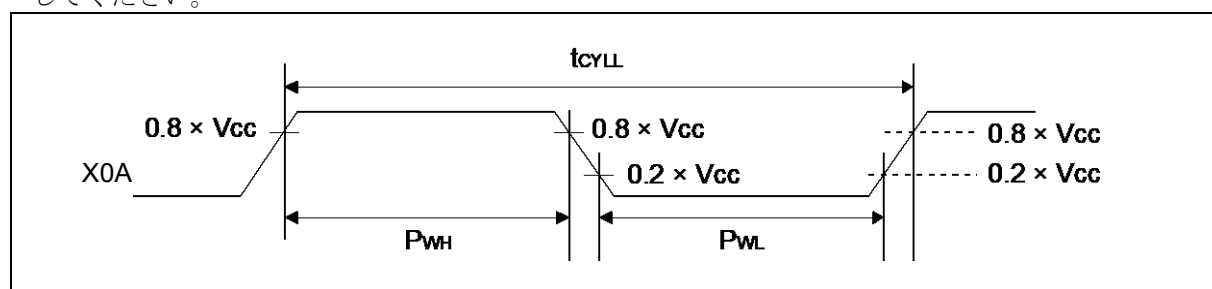


12.4.2 サブクロック入力規格

 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
入力周波数	$1/t_{CYLL}$	X0A, X1A	-	-	32.768	-	kHz	水晶振動子 接続時
入力クロック周期	t_{CYLL}		-	32	-	100	kHz	外部クロック時
入力クロックパルス幅	-		-	10	-	31.25	μs	外部クロック時
			$P_{WH}/t_{CYLL},$ P_{WL}/t_{CYLL}	45	-	55	%	外部クロック時

*: ご使用する水晶振動子については、「7. デバイス使用上の注意」の「サブクロック用水晶振動子について」を参照してください。



12.4.3 内蔵 CR 発振規格

内蔵高速 CR

 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
クロック周波数	f_{CRH}	$T_A = +25^{\circ}C$	3.92	4	4.08	MHz	トリミング時*1
		$T_A = 0^{\circ}C \sim +85^{\circ}C$	3.9	4	4.1		
		$T_A = -40^{\circ}C \sim +105^{\circ}C$	3.88	4	4.12		
		$T_A = +25^{\circ}C$ $V_{CC} \leq 3.6V$	3.94	4	4.06		
		$T_A = -20^{\circ}C \sim +85^{\circ}C$ $V_{CC} \leq 3.6V$	3.92	4	4.08		
		$T_A = -20^{\circ}C \sim +105^{\circ}C$ $V_{CC} \leq 3.6V$	3.9	4	4.1		
		$T_A = -40^{\circ}C \sim +105^{\circ}C$	2.8	4	5.2		非トリミング時
周波数安定時間	t_{CRWT}	-	-	-	30	μs	*2

*1: 出荷時に設定されるフラッシュメモリ内の CR トリミング領域の値を周波数トリミング値/温度トリミング値に使用した場合

*2: トリミング値設定後に高速 CR クロックの周波数が安定するまでの時間です。なおトリミング値設定後、周波数安定時間が経過するまでの期間も高速 CR クロックをソースクロックとして使用できます。

内蔵低速 CR
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
クロック周波数	f_{CRL}	-	50	100	150	kHz	

12.4.4 メイン PLL の使用条件(PLL の入力クロックにメインクロックを使用)
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	規格値			単位	備考
		最小	標準	最大		
PLL 発振安定待ち時間* ¹ (LOCK UP 時間)	t_{LOCK}	100	-	-	μs	
PLL 入力クロック周波数	f_{PLLI}	4	-	16	MHz	
PLL 通倍率	-	5	-	37	通倍	
PLL マクロ発振クロック周波数	f_{PLLO}	75	-	150	MHz	
メイン PLL クロック周波数* ²	f_{CLKPLL}	-	-	72	MHz	

*1: PLL の発振が安定するまでの待ち時間

*2: メイン PLL クロック(CLKPLL)の詳細については、『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 2-1: クロック』を参照してください。

12.4.5 メイン PLL の使用条件(メイン PLL の入力クロックに内蔵高速 CR クロックを使用)
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	規格値			単位	備考
		最小	標準	最大		
PLL 発振安定待ち時間* ¹ (LOCK UP 時間)	t_{LOCK}	100	-	-	μs	
PLL 入力クロック周波数	f_{PLLI}	3.8	4	4.2	MHz	
PLL 通倍率	-	19	-	35	通倍	
PLL マクロ発振クロック周波数	f_{PLLO}	72	-	150	MHz	
メイン PLL クロック周波数* ²	f_{CLKPLL}	-	-	72	MHz	

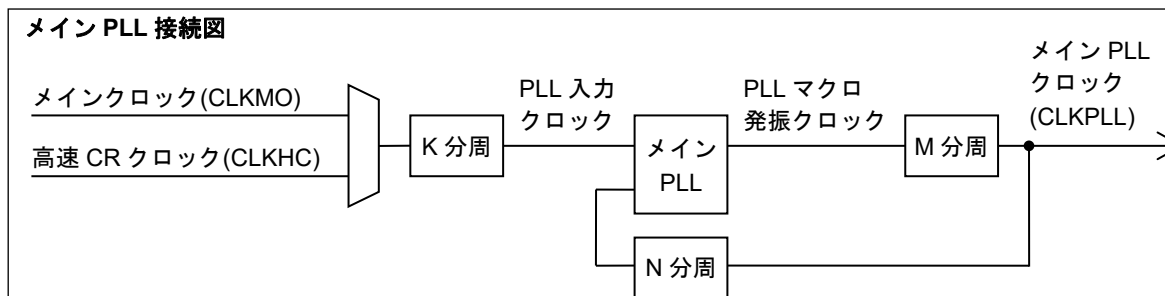
*1: PLL の発振が安定するまでの待ち時間

*2: メイン PLL クロック(CLKPLL)の詳細については、『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 2-1: クロック』を参照してください。

<注意事項>

- メイン PLL のソースクロックには、必ず周波数トリミングおよび温度トリミングを行った高速 CR クロック(CLKHC)を入力してください。

PLL 通倍後、内蔵高速 CR クロックの精度を加味した上で、マスタクロック周波数上限を超えないようにしてください。



12.4.6 リセット入力規格

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
リセット入力時間	t_{INITX}	INITX	-	500	-	ns	

12.4.7 パワーオンリセットタイミグ

($V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

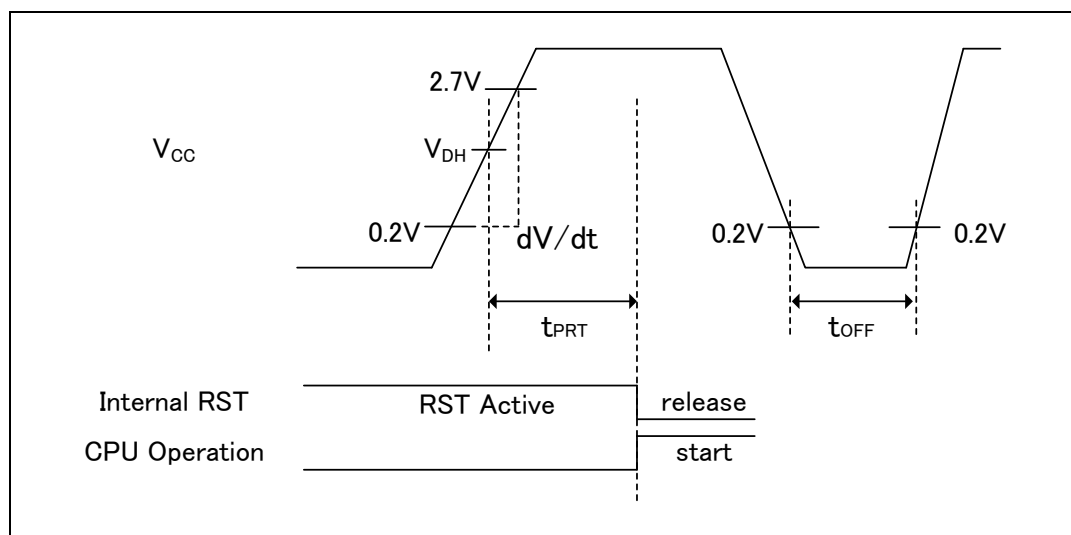
項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
電源断時間	t_{OFF}	VCC	-	1	-	-	ms	*1
電源立上り速度	dV/dt		$V_{CC}: 0.2V \sim 2.70V$	0.3	-	1000	mV/ μs	*2
パワーオンリセット解除までの時間	t_{PRT}			1.34	-	18.6	ms	

*1: V_{CC} は t_{OFF} 最小期間中 $0.2V$ 以下である必要があります。この状態が満たせない場合、誤った初期化が発生する可能性があります。

*2: この dV/dt 規格は cold start ($t_{OFF} > 1ms$) のパワーオン時に適用されます。

<注意事項>

- t_{OFF} が満たせない設計は、パワーオン時や電圧低下時には12.4.6による外部リセット(INITX)をアサートする必要があります。



用語解説

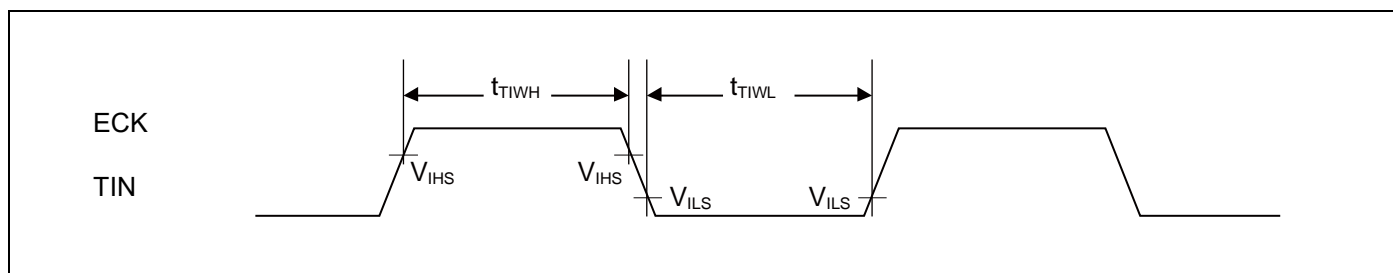
VDH: 低電圧検出リセット解除電圧(SVHR=00000 時)「12.7. 低電圧検出特性」を参照してください。

12.4.8 ベースタイマ入力タイミング

タイマ入力タイミング

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

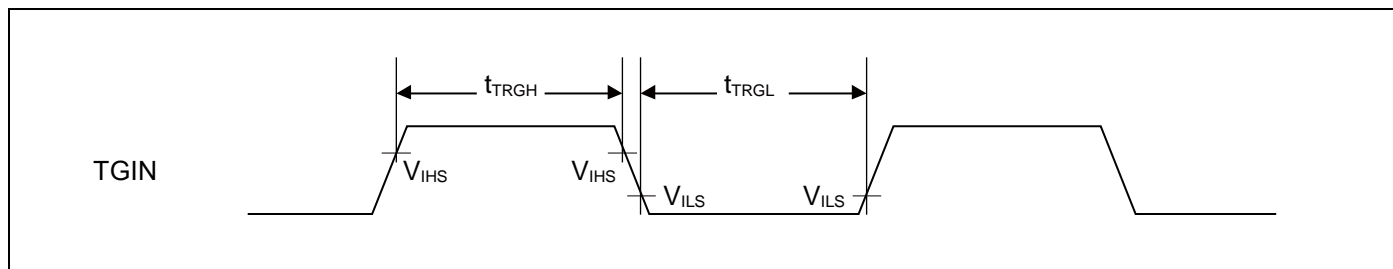
項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t_{TIWH} , t_{TIWL}	TIOAn/TIOBn (ECK, TIN として 使用するとき)	-	$2t_{CYCP}$	-	ns	



トリガ入力タイミング

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t_{TRGH} , t_{TRGL}	TIOAn/TIOBn (TGIN として 使用するとき)	-	$2t_{CYCP}$	-	ns	



<注意事項>

- t_{CYCP} は、APB バスクロックのサイクル時間です。
ベースタイマが接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。

12.4.9 CSIO/UART タイミング

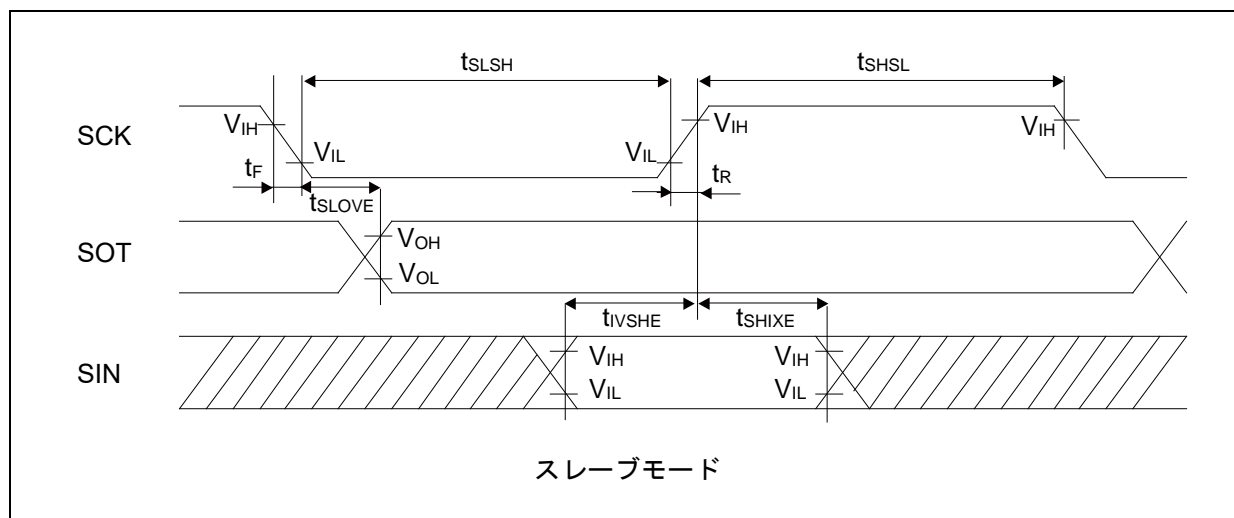
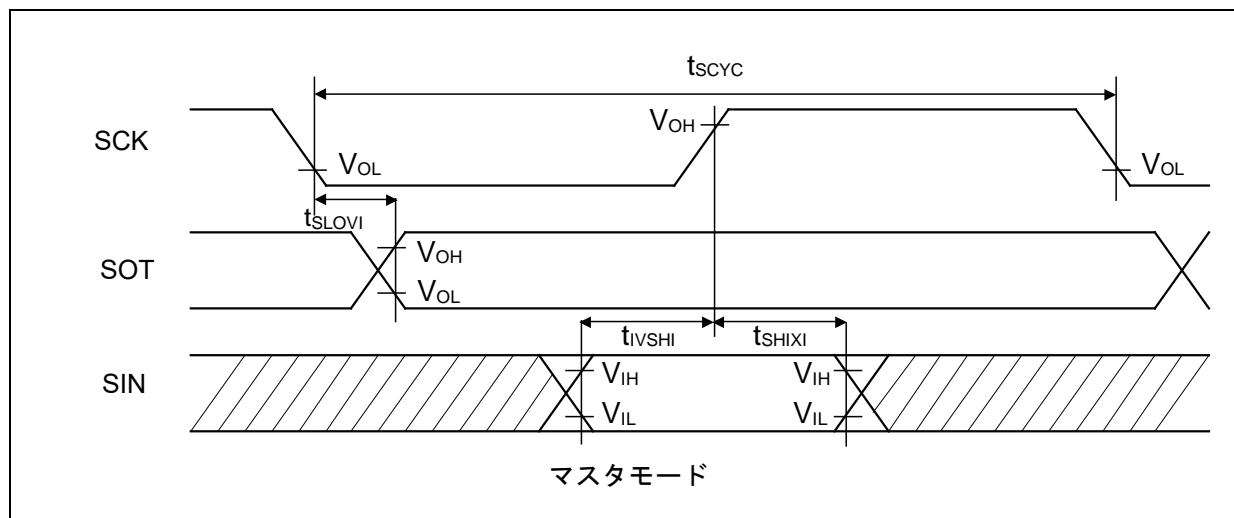
CSIO (SPI = 0, SCINV = 0)

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

項目	記号	端子名	条件	$V_{CC} < 4.5 V$		$V_{CC} \geq 4.5 V$		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロック サイクルタイム	t_{SCYC}	SCK _x	マスタ モード	$4t_{CYCP}$	-	$4t_{CYCP}$	-	ns
SCK ↓ → SOT 遅延時間	t_{SLOVI}	SCK _x , SOT _x		- 30	+ 30	- 20	+ 20	ns
SIN → SCK ↑ セットアップ時間	t_{IVSHI}	SCK _x , SIN _x		50	-	30	-	ns
SCK ↑ → SIN ホールド時間	t_{SHIXI}	SCK _x , SIN _x		0	-	0	-	ns
シリアルクロック "L"パルス幅	t_{SLSH}	SCK _x	スレーブ モード	$2t_{CYCP} - 10$	-	$2t_{CYCP} - 10$	-	ns
シリアルクロック "H"パルス幅	t_{SHSL}	SCK _x		$t_{CYCP} + 10$	-	$t_{CYCP} + 10$	-	ns
SCK ↓ → SOT 遅延時間	t_{SLOVE}	SCK _x , SOT _x		-	50	-	30	ns
SIN → SCK ↑ セットアップ時間	t_{IVSHE}	SCK _x , SIN _x		10	-	10	-	ns
SCK ↑ → SIN ホールド時間	t_{SHIXE}	SCK _x , SIN _x		20	-	20	-	ns
SCK 立下り時間	t_F	SCK _x		-	5	-	5	ns
SCK 立上り時間	t_R	SCK _x		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。
例えば SCK_{x_0}, SOT_{x_1} の組み合わせは保証外です。
- 外部負荷容量 $C_L = 30 pF$ 時

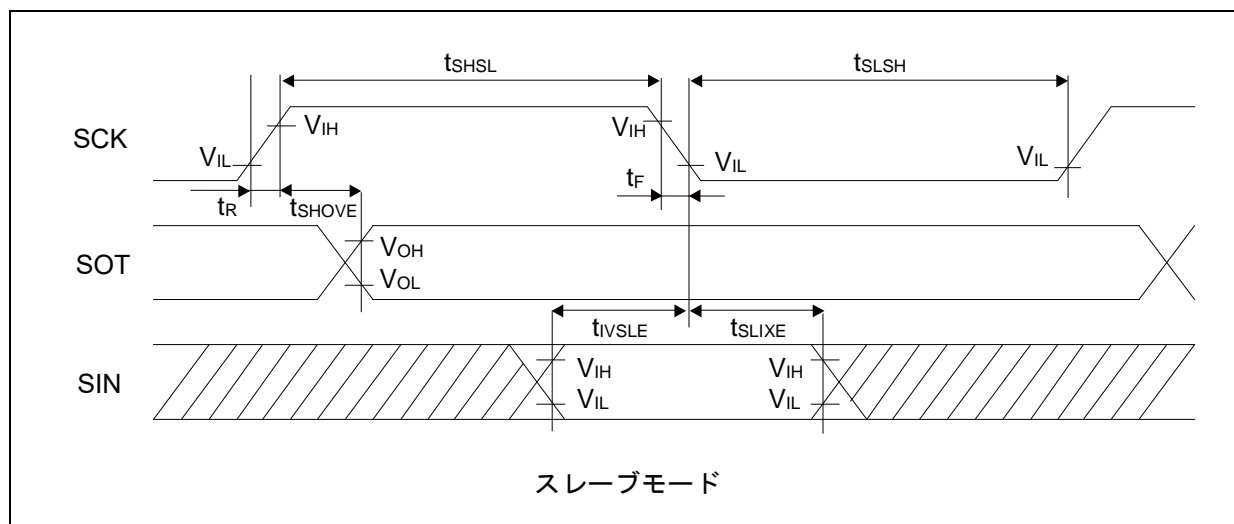
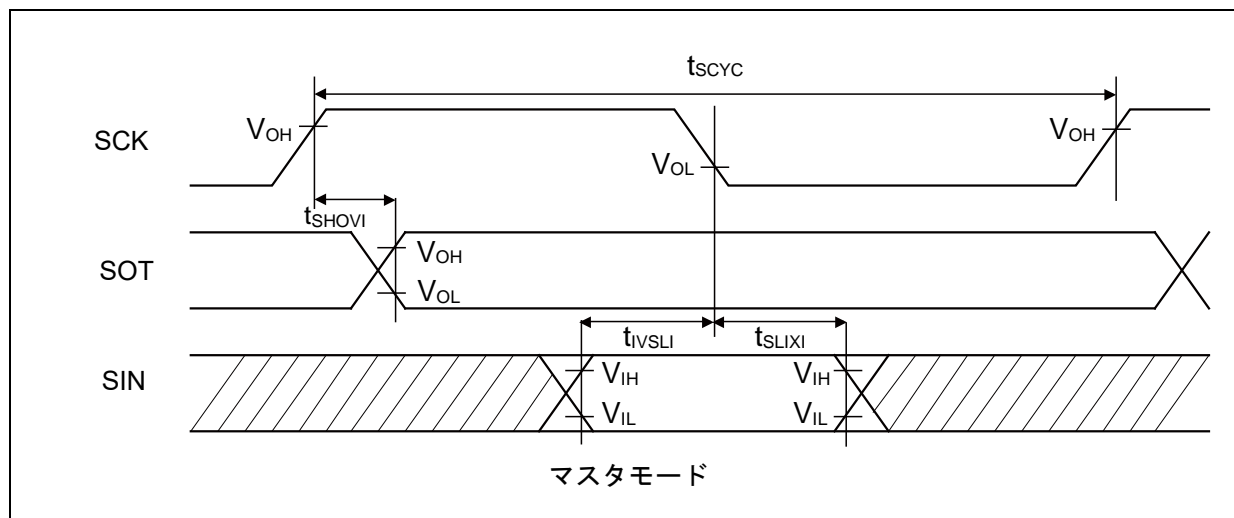


CSIO (SPI = 0, SCINV = 1)
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	端子名	条件	$V_{CC} < 4.5V$		$V_{CC} \geq 4.5V$		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロック サイクルタイム	t_{SCYC}	SCK _x	マスタ モード	$4t_{CYCP}$	-	$4t_{CYCP}$	-	ns
SCK ↑ → SOT 遅延時間	t_{SHOVI}	SCK _x , SOT _x		- 30	+ 30	- 20	+ 20	ns
SIN → SCK ↓ セットアップ時間	t_{IVSLI}	SCK _x , SIN _x		50	-	30	-	ns
SCK ↓ → SIN ホールド時間	t_{SLIXI}	SCK _x , SIN _x		0	-	0	-	ns
シリアルクロック "L"パルス幅	t_{SLSH}	SCK _x		$2t_{CYCP} - 10$	-	$2t_{CYCP} - 10$	-	ns
シリアルクロック "H"パルス幅	t_{SHSL}	SCK _x	スレーブ モード	$t_{CYCP} + 10$	-	$t_{CYCP} + 10$	-	ns
SCK ↑ → SOT 遅延時間	t_{SHOVE}	SCK _x , SOT _x		-	50	-	30	ns
SIN → SCK ↓ セットアップ時間	t_{IVSLE}	SCK _x , SIN _x		10	-	10	-	ns
SCK ↓ → SIN ホールド時間	t_{SLIXE}	SCK _x , SIN _x		20	-	20	-	ns
SCK 立下り時間	t_F	SCK _x		-	5	-	5	ns
SCK 立上り時間	t_R	SCK _x		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。
例えば SCK_{x_0}, SOT_{x_1} の組み合わせは保証外です。
- 外部負荷容量 $C_L = 30 pF$ 時



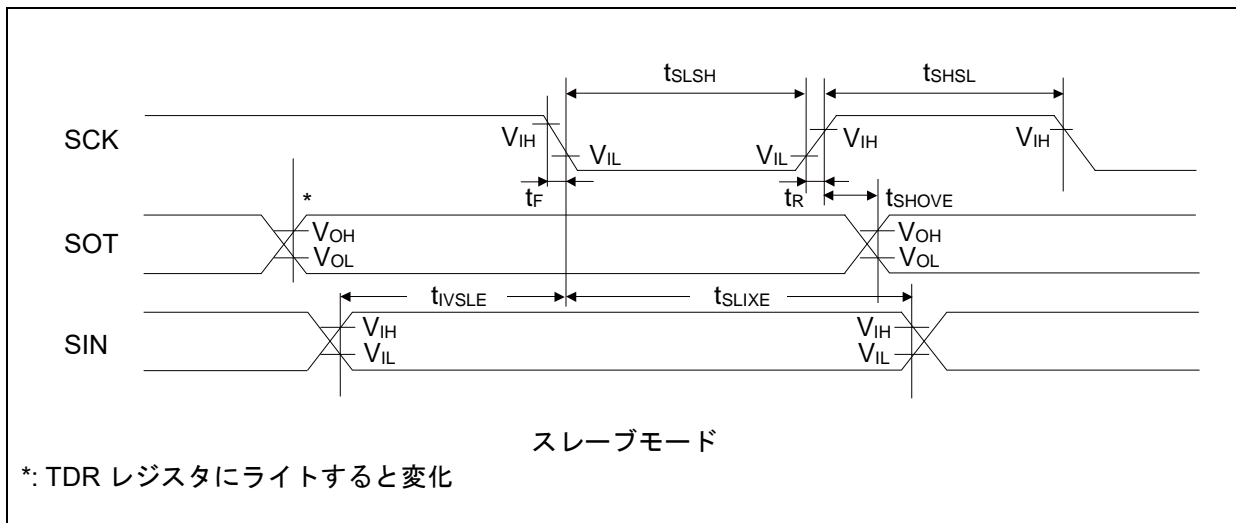
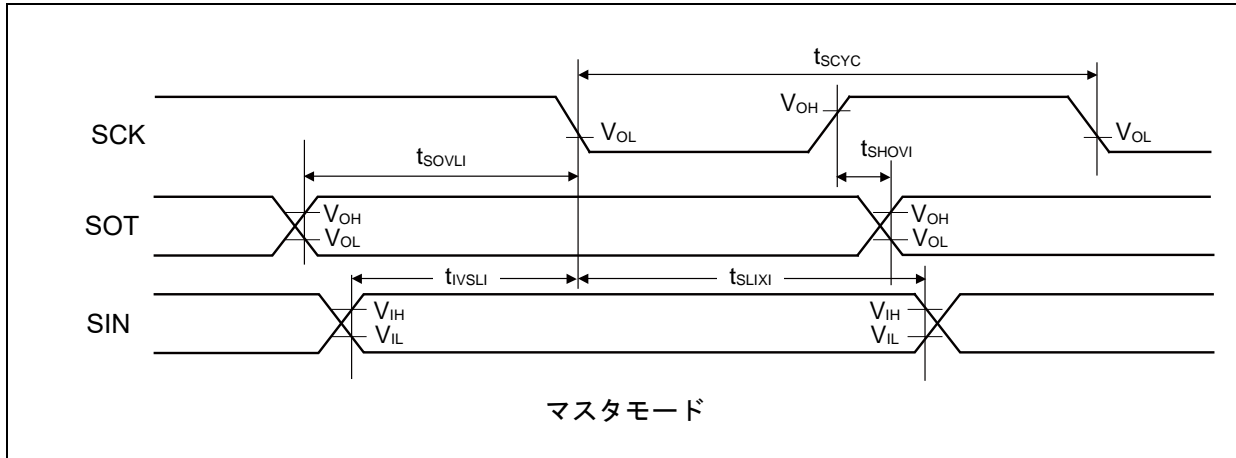
CSIO (SPI = 1, SCINV = 0)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 105°C)

項目	記号	端子名	条件	V _{CC} < 4.5 V		V _{CC} ≥ 4.5 V		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロック サイクルタイム	t _{SCYC}	SCK _X	マスタ モード	4t _{CYCP}	-	4t _{CYCP}	-	ns
SCK ↑ → SOT 遅延時間	t _{SHOVI}	SCK _X , SOT _X		- 30	+ 30	- 20	+ 20	ns
SIN → SCK ↓ セットアップ時間	t _{IVSLI}	SCK _X , SIN _X		50	-	30	-	ns
SCK ↓ → SIN ホールド時間	t _{SLIXI}	SCK _X , SIN _X		0	-	0	-	ns
SOT → SCK ↓ 遅延時間	t _{SOVLI}	SCK _X , SOT _X		2t _{CYCP} - 30	-	2t _{CYCP} - 30	-	ns
シリアルクロック "L"パルス幅	t _{SLSH}	SCK _X		2t _{CYCP} - 10	-	2t _{CYCP} - 10	-	ns
シリアルクロック "H"パルス幅	t _{SHSL}	SCK _X	スレーブ モード	t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns
SCK ↑ → SOT 遅延時間	t _{SHOVE}	SCK _X , SOT _X		-	50	-	30	ns
SIN → SCK ↓ セットアップ時間	t _{IVSLE}	SCK _X , SIN _X		10	-	10	-	ns
SCK ↓ → SIN ホールド時間	t _{SLIXE}	SCK _X , SIN _X		20	-	20	-	ns
SCK 立下り時間	t _F	SCK _X		-	5	-	5	ns
SCK 立上り時間	t _R	SCK _X		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。
例えば SCK_{X_0}, SOT_{X_1} の組み合わせは保証外です。
- 外部負荷容量 C_L = 30 pF 時

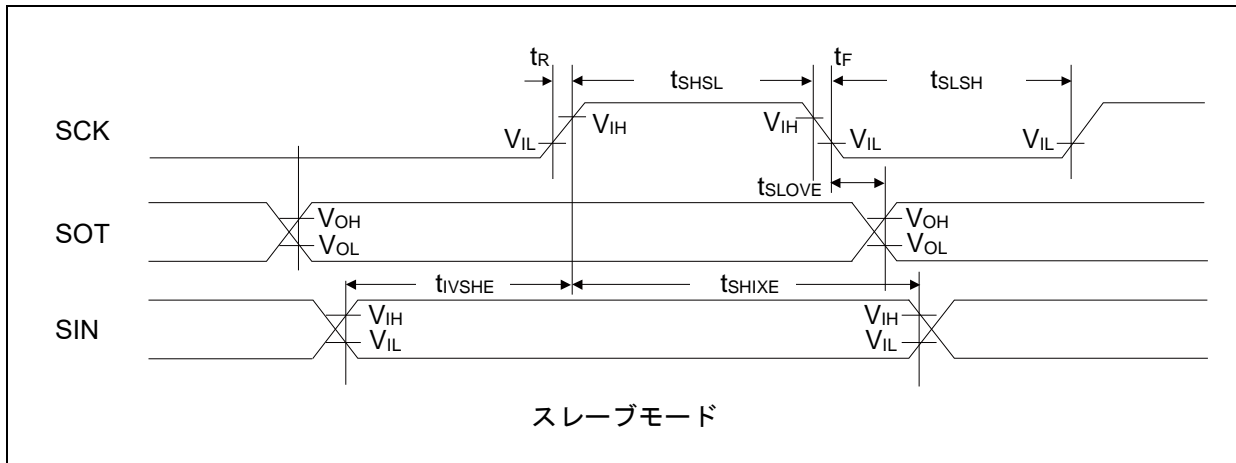
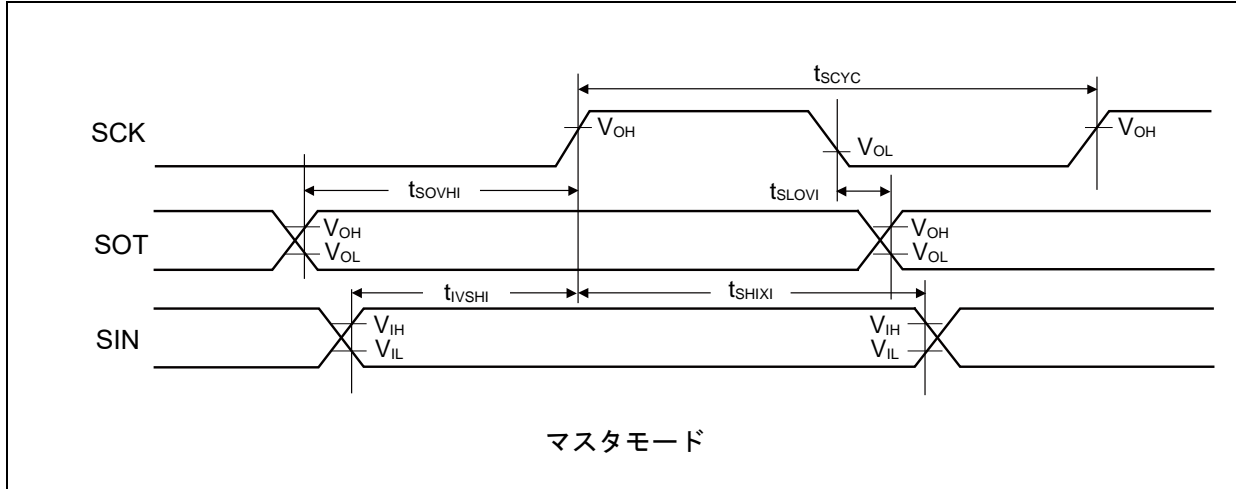


CSIO (SPI = 1, SCINV = 1)
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

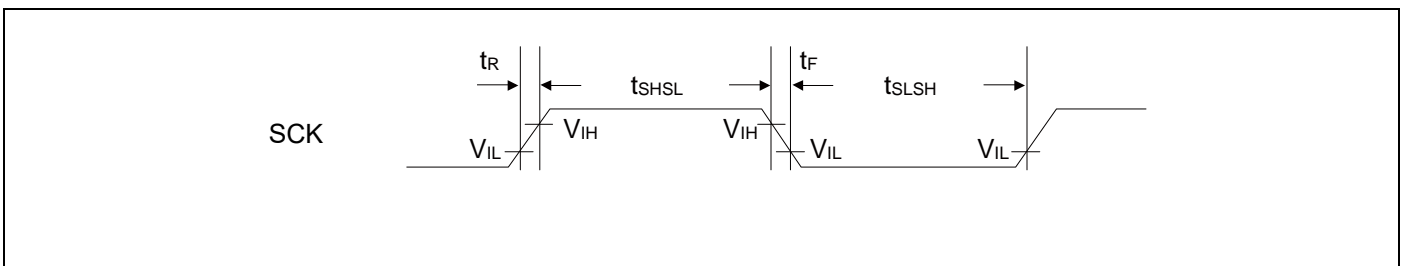
項目	記号	端子名	条件	$V_{CC} < 4.5V$		$V_{CC} \geq 4.5V$		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロック サイクルタイム	t_{SCYC}	SCK _x	マスタ モード	$4t_{CYCP}$	-	$4t_{CYCP}$	-	ns
SCK ↓ → SOT 遅延時間	t_{SLOVI}	SCK _x , SOT _x		- 30	+ 30	- 20	+ 20	ns
SIN → SCK ↑ セットアップ時間	t_{IVSHI}	SCK _x , SIN _x		50	-	30	-	ns
SCK ↑ → SIN ホールド時間	t_{SHIXI}	SCK _x , SIN _x		0	-	0	-	ns
SOT → SCK ↑ 遅延時間	t_{SOVHI}	SCK _x , SOT _x		$2t_{CYCP} - 30$	-	$2t_{CYCP} - 30$	-	ns
シリアルクロック "L"パルス幅	t_{SLSH}	SCK _x		$2t_{CYCP} - 10$	-	$2t_{CYCP} - 10$	-	ns
シリアルクロック "H"パルス幅	t_{SHSL}	SCK _x	スレーブ モード	$t_{CYCP} + 10$	-	$t_{CYCP} + 10$	-	ns
SCK ↓ → SOT 遅延時間	t_{SLOVE}	SCK _x , SOT _x		-	50	-	30	ns
SIN → SCK ↑ セットアップ時間	t_{IVSHE}	SCK _x , SIN _x		10	-	10	-	ns
SCK ↑ → SIN ホールド時間	t_{SHIXE}	SCK _x , SIN _x		20	-	20	-	ns
SCK 立下り時間	t_F	SCK _x		-	5	-	5	ns
SCK 立上り時間	t_R	SCK _x		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。例えば SCK_{x_0}, SOT_{x_1} の組み合わせは保証外です。
- 外部負荷容量 $C_L = 30\text{ pF}$ 時


UART 外部クロック入力 (EXT = 1) : 非同期時のみ
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	条件	最小	最大	単位	備考
シリアルクロック"L"パルス幅	t_{SLSH}	$C_L = 30 \text{ pF}$	$t_{CYCP} + 10$	-	ns	
シリアルクロック"H"パルス幅	t_{SHSL}		$t_{CYCP} + 10$	-	ns	
SCK 立下り時間	t_F		-	5	ns	
SCK 立上り時間	t_R		-	5	ns	



12.4.10 外部入力タイミング
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

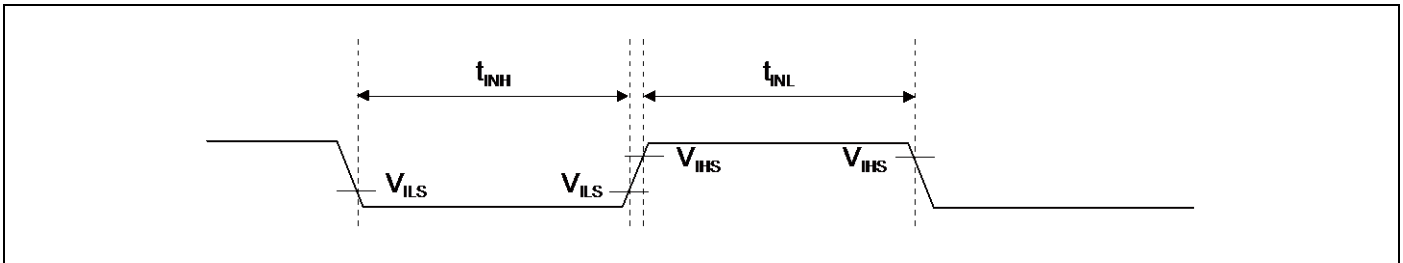
項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t_{INH}, t_{INL}	ADTG	-	$2t_{CYCP}^{*1}$	-	ns	A/D コンバータ トリガ入力
		FRCKx					フリーランタイム入力クロック
		ICxx					インプット キャプチャ
		DTTIXX	-	$2t_{CYCP}^{*1}$	-	ns	波形ジェネレータ
		INT00 ~ INT23, NMIX	*2-	$2t_{CYCP} + 100^{*1}$	-	ns	外部割込み, NMI
			*3	500^{*2}	-	ns	
		WKUPx	*4	500	-	ns	ディープスタンバイウェイク アップ

*1: t_{CYCP} は APB バスクロックのサイクル時間です。A/D コンバータ, 多機能タイマ, 外部割込みが接続されている APB バス番号については「8 ブロックダイアグラム」を参照してください。

*2: ランモード, スリープモード時

*3: タイマモード, RTC モード, ストップモード時

*4: ディープスタンバイ RTC モード, ディープスタンバイストップモード時

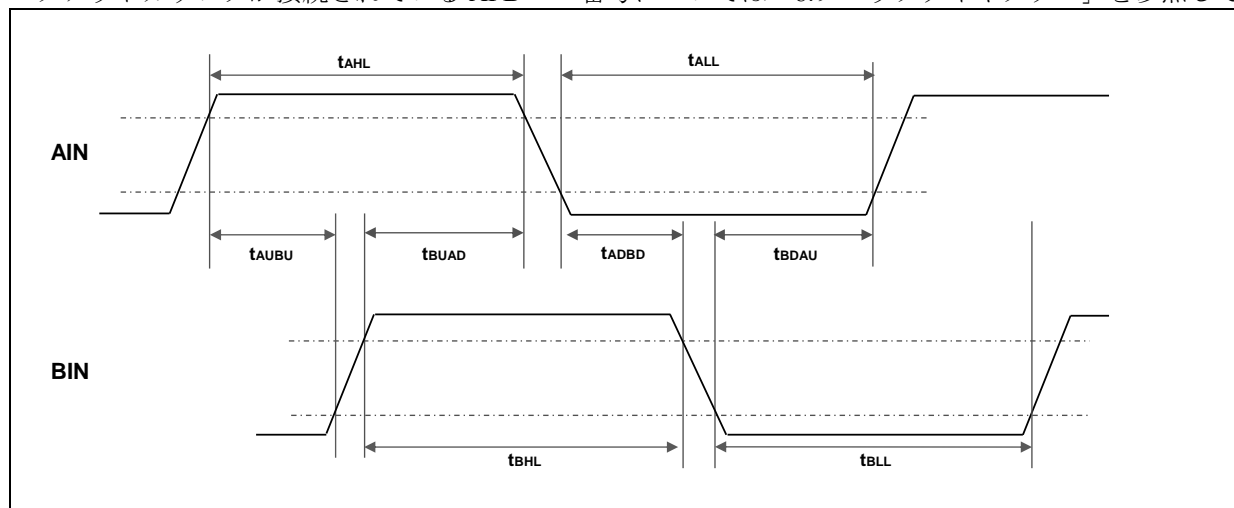


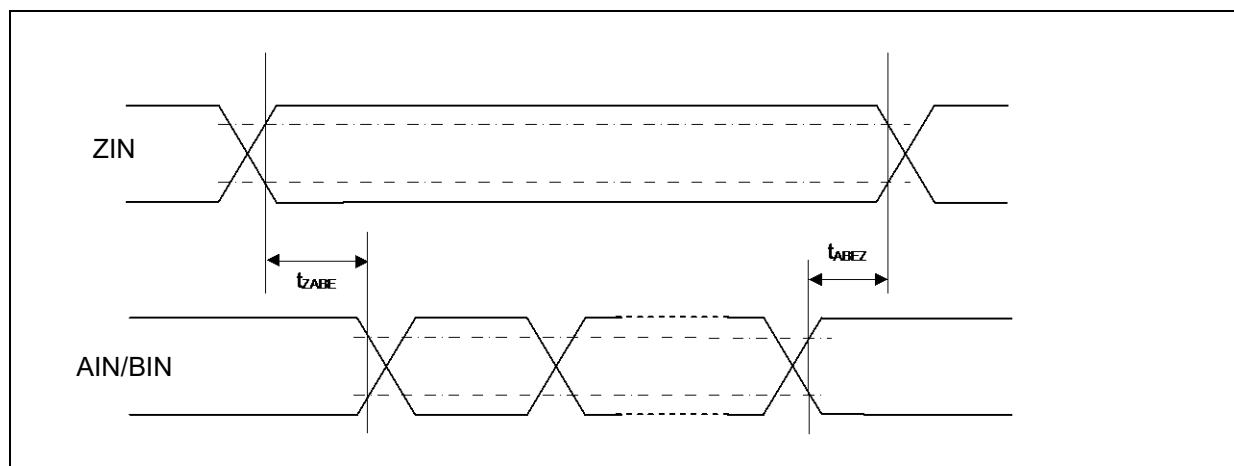
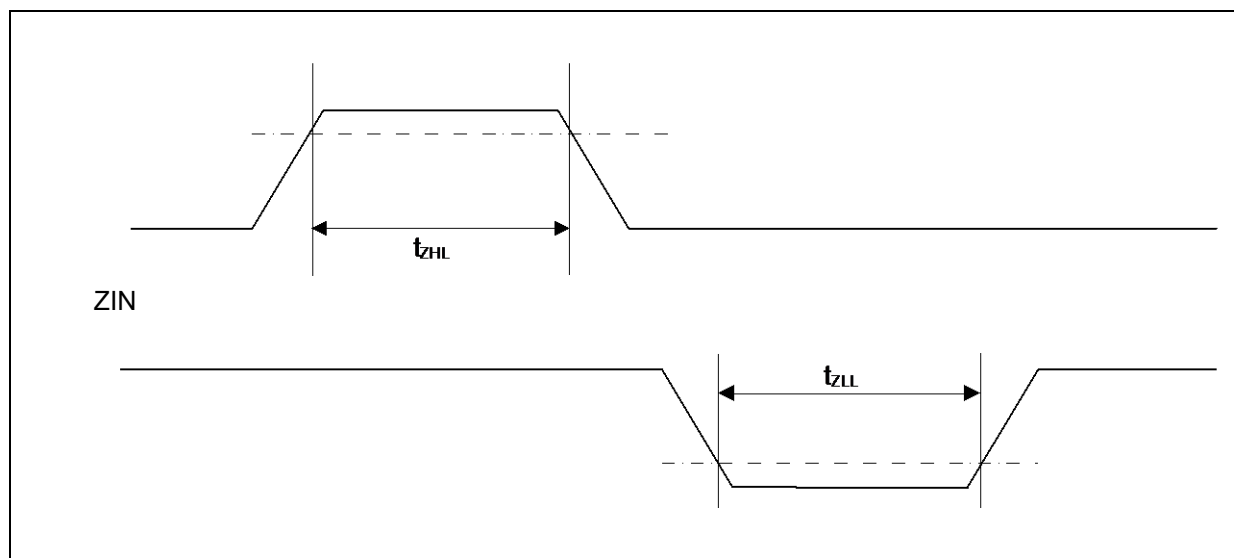
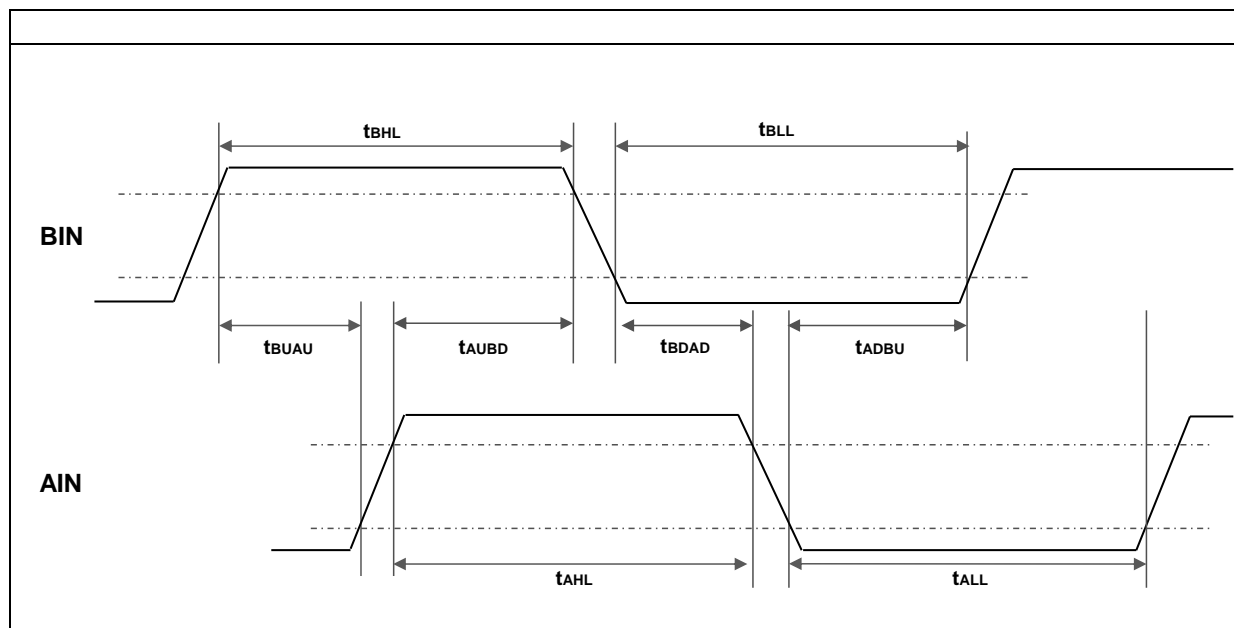
12.4.11 クアッドカウンタ タイミング
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	条件	規格値		単位
			最小値	最大値	
AIN 端子"H"幅	t_{AHL}	-	$2t_{CYCP}^*$	-	ns
AIN 端子"L"幅	t_{ALL}	-			
BIN 端子"H"幅	t_{BHL}	-			
BIN 端子"L"幅	t_{BLL}	-			
AIN"H"レベルから BIN 立上り時間	t_{AUBU}	PC_Mode2 または PC_Mode3			
BIN"H"レベルから AIN 立下り時間	t_{BUAD}	PC_Mode2 または PC_Mode3			
AIN"L"レベルから BIN 立下り時間	$t_{ADB D}$	PC_Mode2 または PC_Mode3			
BIN"L"レベルから AIN 立上り時間	t_{BDAU}	PC_Mode2 または PC_Mode3			
BIN"H"レベルから AIN 立上り時間	t_{BUAU}	PC_Mode2 または PC_Mode3			
AIN"H"レベルから BIN 立下り時間	t_{AUBD}	PC_Mode2 または PC_Mode3			
BIN"L"レベルから AIN 立下り時間	t_{BDAD}	PC_Mode2 または PC_Mode3			
AIN"L"レベルから BIN 立上り時間	t_{ADBU}	PC_Mode2 または PC_Mode3			
ZIN 端子"H"幅	t_{ZHL}	QCR:CGSC="0"			
ZIN 端子"L"幅	t_{ZLL}	QCR:CGSC="0"			
ZIN レベル確定から AIN/BIN 立下り立上り時 間	t_{ZABE}	QCR:CGSC="1"			
AIN/BIN 立下り立上り 時間から ZIN レベル確 定	t_{ABEZ}	QCR:CGSC="1"			

*: t_{CYCP} は APB バスクロックのサイクル時間です。

クアッドカウンタが接続されている APB バス番号については「8.ブロックダイアグラム」を参照してください。



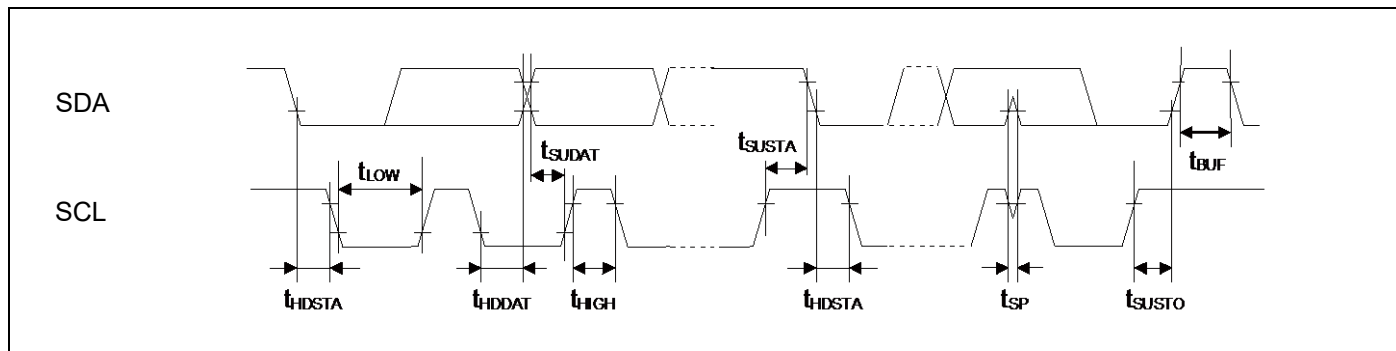


12.4.12 I²C タイミング

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = -40°C ~ +105°C)

項目	記号	条件	Standard-mode		Fast-mode		単位	備考
			最小	最大	最小	最大		
SCL クロック周波数	f _{SCL}	C _L = 30pF, R = (V _{PP} /I _{OL})* ¹	0	100	0	400	kHz	
(反復)「スタート」条件 ホールド時間 SDA ↓ → SCL ↓	t _{HDSTA}		4.0	-	0.6	-	μs	
SCL クロック"L"幅	t _{LOW}		4.7	-	1.3	-	μs	
SCL クロック"H"幅	t _{HIGH}		4.0	-	0.6	-	μs	
反復「スタート」条件 セットアップ時間 SCL ↑ → SDA ↓	t _{SUSTA}		4.7	-	0.6	-	μs	
データホールド時間 SCL ↓ → SDA ↓ ↑	t _{HDDAT}		0	3.45* ²	0	0.9* ³	μs	
データセットアップ時間 SDA ↓ ↑ → SCL ↑	t _{SUDAT}		250	-	100	-	ns	
「ストップ」条件 セットアップ時間 SCL ↑ → SDA ↑	t _{SUSTO}		4.0	-	0.6	-	μs	
「ストップ」条件と 「スタート」条件との間 のバスフリー時間	t _{BUF}		4.7	-	1.3	-	μs	
ノイズフィルタ	t _{SP}	-	2 t _{CYCP} * ⁴	-	2 t _{CYCP} * ⁴	-	ns	

- *1: R, C_Lは、SCL, SDA ラインのプルアップ抵抗、負荷容量です。V_{PP}はプルアップ抵抗の電源電圧、I_{OL}はV_{OL}保証電流を示します。
- *2: 最大 t_{HDDAT}は少なくともデバイスの SCL 信号の"L"区間(t_{LOW})を延長していないということを満たしていなければなりません。
- *3: Fast-mode I²C バスデバイスは Standard-mode I²C バスシステムに使用できますが、要求される条件 t_{SUDAT} ≥ 250 ns を満足しなければなりません。
- *4: t_{CYCP}は、APB バスクロックのサイクル時間です。
I²C が接続されている APB バス番号については「8 ブロックダイアグラム」を参照してください。
Standard-mode 使用時は、APB バスクロックを 2 MHz 以上に設定してください。
Fast-mode 使用時は、APB バスクロックを 8 MHz 以上に設定してください。

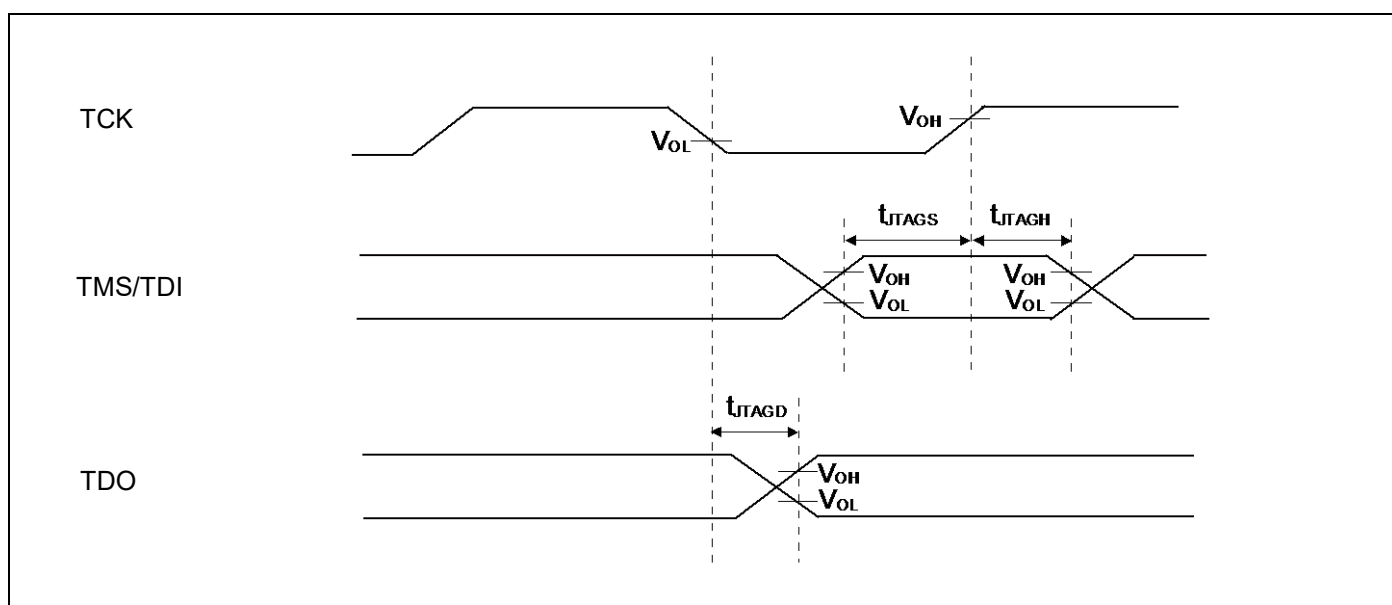


12.4.13 JTAG タイミング
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
TMS, TDI セットアップ時間	t_{TAGS}	TCK, TMS, TDI	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	15	-	ns	
TMS, TDI ホールド時間	t_{TAGH}	TCK, TMS, TDI	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	15	-	ns	
TDO 遅延時間	t_{TAGD}	TCK, TDO	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	- -	25 45	ns	

<注意事項>

- 外部負荷容量 $C_L = 30pF$ 時



12.5 12 ビット A/D コンバータ

A/D 変換部電氣的特性

($V_{CC} = AV_{CC} = 2.7V \sim 5.5V$, $V_{SS} = AV_{SS} = AV_{RL} = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

項目	記号	端子名	規格値			単位	備考
			最小	標準	最大		
分解能	-	-	-	-	12	bit	
積分直線性誤差	-	-	-	± 1.5	± 4.5	LSB	AVRH = 2.7 V ~ 5.5 V
微分直線性誤差	-	-	-	± 1.7	± 2.5	LSB	
ゼロトランジション電圧	V_{ZT}	ANxx	-	± 10	± 15	mV	
フルスケールトランジション電圧	V_{FST}	ANxx	-	$AVRH \pm 5$	$AVRH \pm 15$	mV	
変換時間	-	-	0.8*1	-	-	μs	$AV_{CC} \geq 4.5 V$
			1.0*1	-	-		$AV_{CC} < 4.5 V$
サンプリング時間*2	t_s	-	0.24	-	10	μs	$AV_{CC} \geq 4.5 V$
			0.3	-			$AV_{CC} < 4.5 V$
コンペアクロック周期*3	t_{CCK}	-	40	-	1000	ns	$AV_{CC} \geq 4.5 V$
			50	-			$AV_{CC} < 4.5 V$
動作許可状態遷移時間	t_{STT}	-	-	-	1.0	μs	
アナログ入力容量	C_{AIN}	-	-	-	9.7	pF	
アナログ入力抵抗	R_{AIN}	-	-	-	1.7	k Ω	$AV_{CC} \geq 4.5 V$
					2.4		$AV_{CC} < 4.5 V$
チャネル間ばらつき	-	-	-	-	4	LSB	
アナログポート入力リーク電流	-	ANxx	-	-	5	μA	
アナログ入力電圧	-	ANxx	AVRL	-	AVRH	V	
基準電圧	-	AVRH	2.7	-	AV_{CC}	V	
	-	AVRL	AV_{SS}	-	AV_{SS}	V	

*1: 変換時間は サンプリング時間 (t_s) + コンペア時間 (t_c) の値です。

最小変換時間の条件は、以下の通りです。

$AV_{CC} \geq 4.5 V$ HCLK=50 MHz サンプリング時間: 240 ns, コンペア時間: 560 ns

$AV_{CC} < 4.5 V$ HCLK=40 MHz サンプリング時間: 300 ns, コンペア時間: 700 ns

必ずサンプリング時間(t_s), コンペアクロック周期(t_{CCK})の規格を満足するようにしてください。

サンプリング時間, コンペアクロック周期の設定については、『FM3 ファミリー パリフェラルマニュアル アナログマクロ編』の『CHAPTER 1-1: A/D コンバータ』の章を参照してください。

A/D コンバータのレジスタの設定は APB バスクロックのタイミングで反映されます。

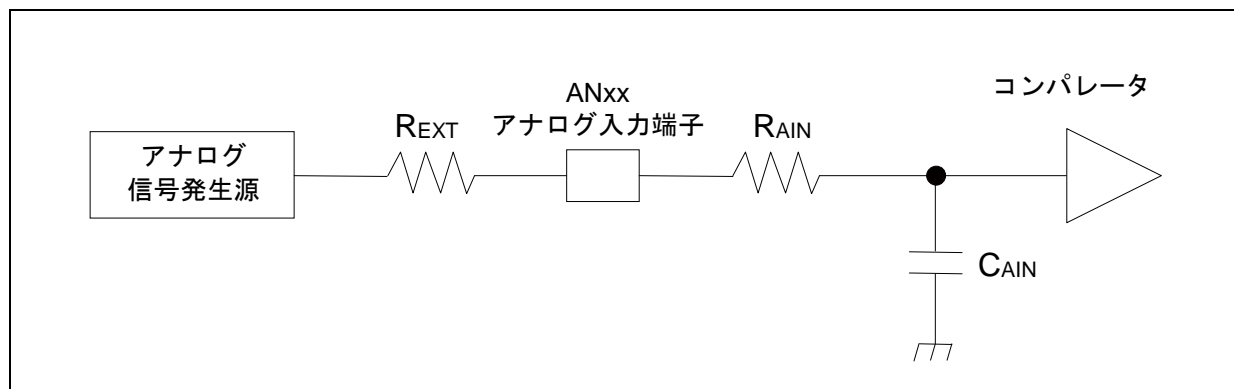
A/D コンバータが接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。

サンプリングおよびコンペアクロックはベースクロック(HCLK)から生成されます。

*2: 外部インピーダンスにより必要なサンプリング時間は変わります。

必ず(式 1)を満たすようにサンプリング時間を設定してください。

*3: コンペア時間(t_c) は (式 2)の値です。



$$(式 1) t_s \geq (R_{AIN} + R_{EXT}) \times C_{AIN} \times 9$$

t_s : サンプルング時間

R_{AIN} : A/D の入力抵抗 = 1.5 k Ω ch.0 ~ ch.7 4.5 V \leq AV_{CC} \leq 5.5 V の場合
 A/D の入力抵抗 = 1.6 k Ω ch.8 ~ ch.15 4.5 V \leq AV_{CC} \leq 5.5 V の場合
 A/D の入力抵抗 = 1.7 k Ω ch.16 ~ ch.26 4.5 V \leq AV_{CC} \leq 5.5 V の場合
 A/D の入力抵抗 = 2.2 k Ω ch.0 ~ ch.7 2.7 V \leq AV_{CC} < 4.5 V の場合
 A/D の入力抵抗 = 2.3 k Ω ch.8 ~ ch.15 2.7 V \leq AV_{CC} < 4.5 V の場合
 A/D の入力抵抗 = 2.4 k Ω ch.16 ~ ch.26 2.7 V \leq AV_{CC} < 4.5 V の場合

C_{AIN} : A/D の入力容量 = 9.7 pF 2.7 V \leq AV_{CC} \leq 5.5 V の場合

R_{EXT} : 外部回路の出力インピーダンス

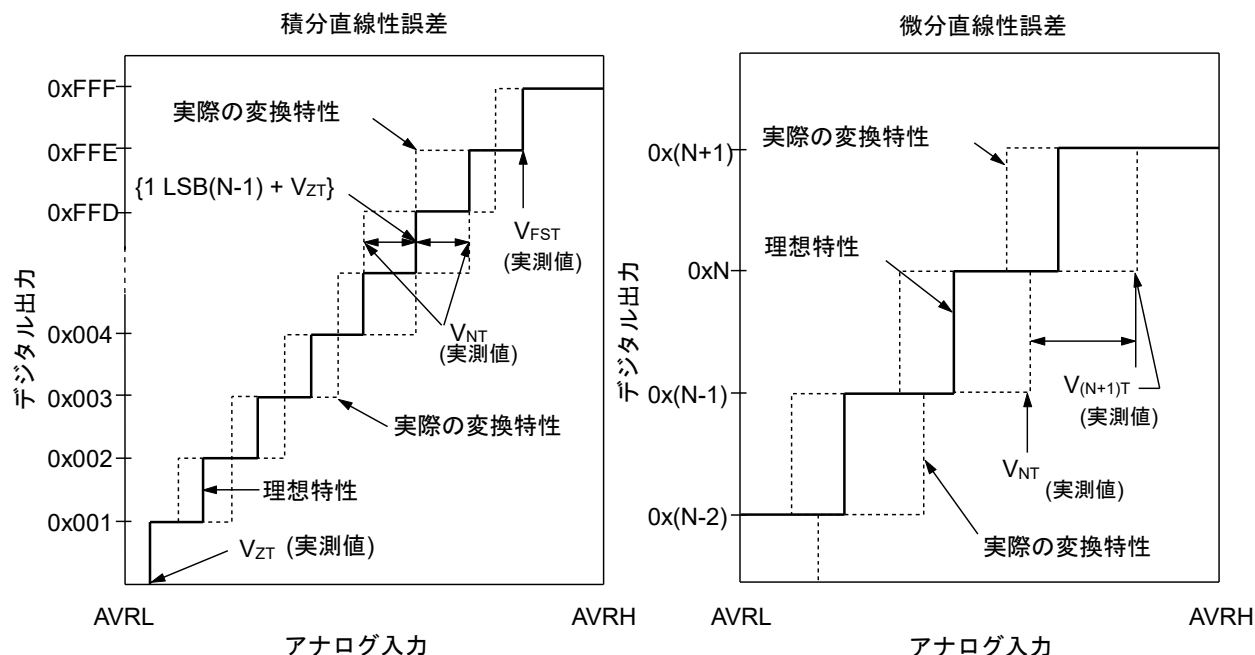
$$(式 2) t_c = t_{CCK} \times 14$$

t_c : コンペア時間

t_{CCK} : コンペアクロック周期

12 ビット A/D コンバータの用語の定義

- 分解能: A/D コンバータにより識別可能なアナログ変化
- 積分直線性誤差: ゼロトランジション点(0b0000000000000 ←→ 0b0000000000001)とフルスケールトランジション点(0b1111111111110 ←→ 0b1111111111111)を結んだ直線と実際の変換特性との偏差
- 微分直線性誤差: 出力コードを 1LSB 変化させるのに必要な入力電圧の理想値からの偏差



$$\text{デジタル出力 } N \text{ の積分直線性誤差} = \frac{V_{NT} - \{1\text{LSB} \times (N - 1) + V_{ZT}\}}{1\text{LSB}} \text{ [LSB]}$$

$$\text{デジタル出力 } N \text{ の微分直線性誤差} = \frac{V_{(N+1)T} - V_{NT}}{1\text{LSB}} - 1 \text{ [LSB]}$$

$$1\text{LSB} = \frac{V_{FST} - V_{ZT}}{4094}$$

- N: A/D コンバータデジタル出力値
 V_{ZT}: デジタル出力が 0x000 から 0x001 に遷移する電圧
 V_{FST}: デジタル出力が 0xFFE から 0xFFF に遷移する電圧
 V_{NT}: デジタル出力が 0x (N - 1) から 0xN に遷移する電圧

12.6 10 ビット D/A コンバータ

D/A 変換部電氣的特性

($V_{CC} = AV_{CC} = 2.7V \sim 5.5V$, $V_{SS} = AV_{SS} = AV_{RL} = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

項目	記号	端子名	規格値			単位	備考
			最小	標準	最大		
分解能	-	DAx	-	-	10	bit	
変換時間	t _{C20}		0.47	0.58	0.69	μs	負荷 20 pF 時
	t _{C100}		2.37	2.90	3.43	μs	負荷 100 pF 時
積分直線性誤差*1	INL		- 4.0	-	+ 4.0	LSB	
微分直線性誤差*1,*2	DNL		- 0.9	-	+ 0.9	LSB	
出力電圧オフセット	V _{OFF}		-	-	10.0	mV	0x000 設定時
			- 20.0	-	+ 5.4	mV	0x3FF 設定時
アナログ出力 インピーダンス	R _O		3.10	3.80	4.50	kΩ	D/A 動作時
			2.0	-	-	MΩ	D/A 停止時
出力不定期間	t _R	-	-	70	ns		

*1: 無負荷時

*2: 0x200 設定時に電流最大

12.7 低電圧検出特性

12.7.1 低電圧検出リセット

 $(T_A = -40^{\circ}\text{C} \sim +105^{\circ}\text{C})$

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
検出電圧	VDL	SVHR ^{*1} =00000	2.25	2.45	2.65	V	電圧降下時
解除電圧	VDH		2.30	2.50	2.70	V	電圧上昇時
検出電圧	VDL	SVHR ^{*1} =00001	2.39	2.60	2.81	V	電圧降下時
解除電圧	VDH		2.48	2.70	2.92	V	電圧上昇時
検出電圧	VDL	SVHR ^{*1} =00010	2.48	2.70	2.92	V	電圧降下時
解除電圧	VDH		2.58	2.80	3.02	V	電圧上昇時
検出電圧	VDL	SVHR ^{*1} =00011	2.58	2.80	3.02	V	電圧降下時
解除電圧	VDH		2.67	2.90	3.13	V	電圧上昇時
検出電圧	VDL	SVHR ^{*1} =00100	2.76	3.00	3.24	V	電圧降下時
解除電圧	VDH		2.85	3.10	3.35	V	電圧上昇時
検出電圧	VDL	SVHR ^{*1} =00101	2.94	3.20	3.46	V	電圧降下時
解除電圧	VDH		3.04	3.30	3.56	V	電圧上昇時
検出電圧	VDL	SVHR ^{*1} =00110	3.31	3.60	3.89	V	電圧降下時
解除電圧	VDH		3.40	3.70	4.00	V	電圧上昇時
検出電圧	VDL	SVHR ^{*1} =00111	3.40	3.70	4.00	V	電圧降下時
解除電圧	VDH		3.50	3.80	4.10	V	電圧上昇時
検出電圧	VDL	SVHR ^{*1} =01000	3.68	4.00	4.32	V	電圧降下時
解除電圧	VDH		3.77	4.10	4.43	V	電圧上昇時
検出電圧	VDL	SVHR ^{*1} =01001	3.77	4.10	4.43	V	電圧降下時
解除電圧	VDH		3.86	4.20	4.54	V	電圧上昇時
検出電圧	VDL	SVHR ^{*1} =01010	3.86	4.20	4.54	V	電圧降下時
解除電圧	VDH		3.96	4.30	4.64	V	電圧上昇時
LVD 安定待ち時間	t _{LVDW}	-	-	-	8160×t _{CYCP} ^{*2}	μs	
LVD 検出遅延時間	t _{LVDL}	-	-	-	200	μs	

*1: 低電圧検出電圧設定レジスタ(LVD_CTL)の SVHR ビットは、低電圧検出リセットで SVHR = 00000 に初期化されます。

*2: t_{CYCP} は APB2 バスクロックのサイクル時間です。

12.7.2 電圧検出割込み
 $(T_A = -40^{\circ}\text{C} \sim +105^{\circ}\text{C})$

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
検出電圧	VDL	SVHI = 00011	2.58	2.80	3.02	V	電圧降下時
解除電圧	VDH		2.67	2.90	3.13	V	電圧上昇時
検出電圧	VDL	SVHI = 00100	2.76	3.00	3.24	V	電圧降下時
解除電圧	VDH		2.85	3.10	3.35	V	電圧上昇時
検出電圧	VDL	SVHI = 00101	2.94	3.20	3.46	V	電圧降下時
解除電圧	VDH		3.04	3.30	3.56	V	電圧上昇時
検出電圧	VDL	SVHI = 00110	3.31	3.60	3.89	V	電圧降下時
解除電圧	VDH		3.40	3.70	4.00	V	電圧上昇時
検出電圧	VDL	SVHI = 00111	3.40	3.70	4.00	V	電圧降下時
解除電圧	VDH		3.50	3.80	4.10	V	電圧上昇時
検出電圧	VDL	SVHI = 01000	3.68	4.00	4.32	V	電圧降下時
解除電圧	VDH		3.77	4.10	4.43	V	電圧上昇時
検出電圧	VDL	SVHI = 01001	3.77	4.10	4.43	V	電圧降下時
解除電圧	VDH		3.86	4.20	4.54	V	電圧上昇時
検出電圧	VDL	SVHI = 01010	3.86	4.20	4.54	V	電圧降下時
解除電圧	VDH		3.96	4.30	4.64	V	電圧上昇時
LVD 安定待ち時間	t_{LVDW}	-	-	-	$8160 \times t_{CYCP}^*$	μs	
LVD 検出遅延時間	t_{LVDDL}	-	-	-	200	μs	

*: t_{CYCP} は APB2 バスクロックのサイクル時間です。

12.8 メインフラッシュメモリ書込み/消去特性

12.8.1 書込み/消去時間

($V_{CC} = 2.7V \sim 5.5V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

項目		規格値		単位	備考
		標準*	最大*		
セクタ消去時間	Large Sector	1.1	2.7	s	内部での消去前書込み時間を含む
	Small Sector	0.3	0.9		
ハーフワード(16 ビット)書込み時間		16	310	μs	システムレベルのオーバーヘッド時間は除く
チップ消去時間		6.8	18	s	内部での消去前書込み時間を含む

*: 標準は出荷直後の代表値、最大は書換え 1 万回までの保証値です。

12.8.2 書込みサイクルとデータ保持時間

消去/書込みサイクル(cycle)	保持時間(年)	備考
1,000	20 *	
10,000	10 *	

*: 平均温度+85℃時

12.9 スタンバイ復帰時間

12.9.1 復帰要因：割込み/WKUP

内部回路の復帰要因受付からプログラム動作開始までの時間を示します。

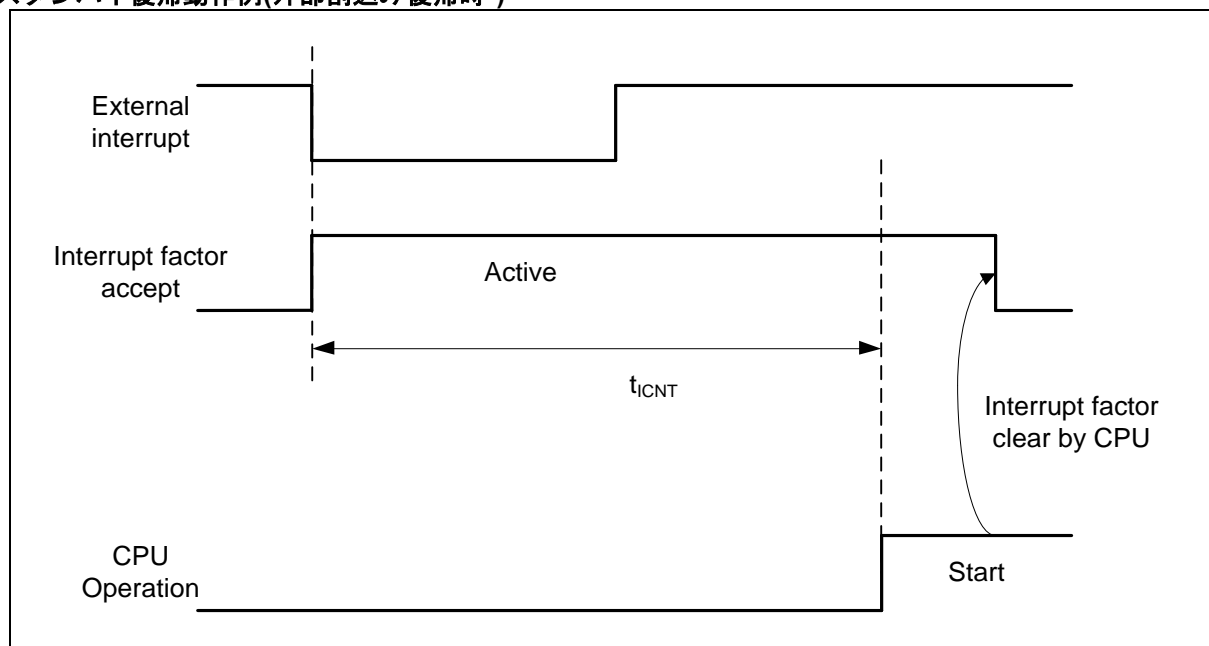
復帰カウント時間

($V_{CC} = 2.7V \sim 5.5V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

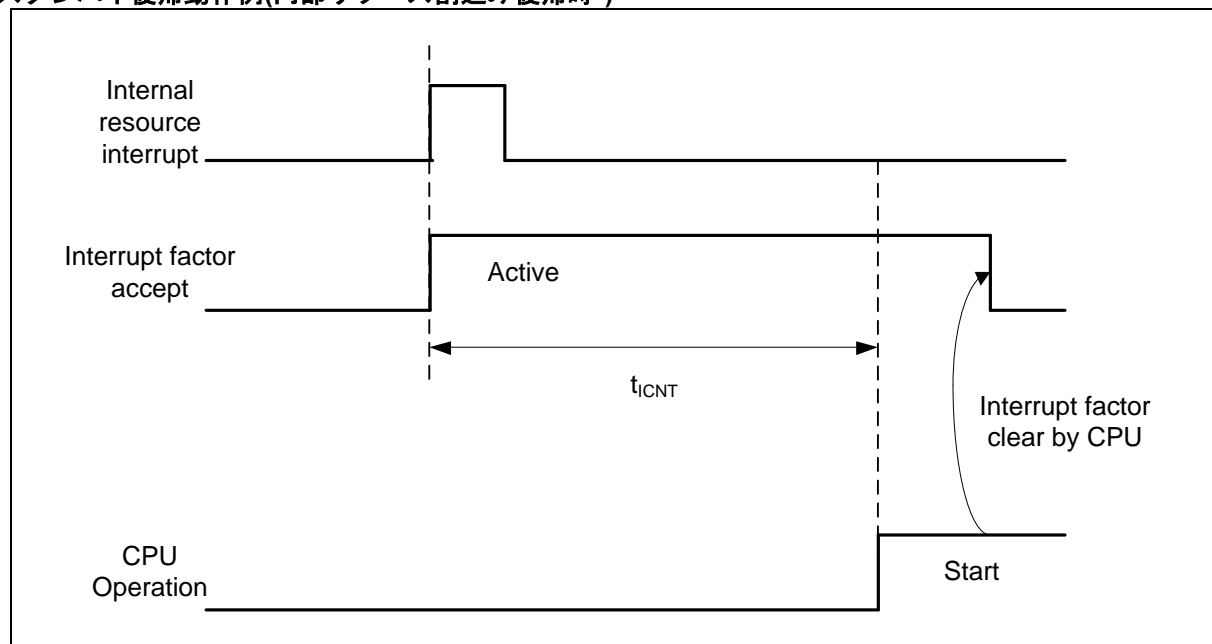
項目	記号	規格値		単位	備考
		標準	最大*		
スリープモード	t _{ICNT}	t _{cycc}		ns	
高速 CR タイマモード メインタイマモード PLL タイマモード		40	80	μs	
低速 CR タイマモード		340	680	μs	
サブタイマモード		680	860	μs	
RTC モード ストップモード		268	503	μs	
ディープスタンバイ RTC モード		308	583	μs	RAM 保持なし
ディープスタンバイストップモード		268	503	μs	RAM 保持あり

*: 規格値の最大値は内蔵 CR の精度に依存します。

スタンバイ復帰動作例(外部割込み復帰時*)



*: 外部割込みは立下りエッジ検出設定時

スタンバイ復帰動作例(内部リソース割込み復帰時*)


*: 低消費電力モードのとき、内部リソースからの割込みは復帰要因に含まれません。

<注意事項>

- 復帰要因は低消費電力モードごとに異なります。
各低消費電力モードからの復帰要因は『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 6: 低消費電力モード』のスタンバイモード動作説明を参照してください。
- 割込み復帰時、CPU が復帰する動作モードは低消費電力モード遷移前の状態に依存します。詳細は「低消費電力モード」を参照してください。

12.9.2 復帰要因：リセット

リセット解除からプログラム動作開始までの時間を示します。

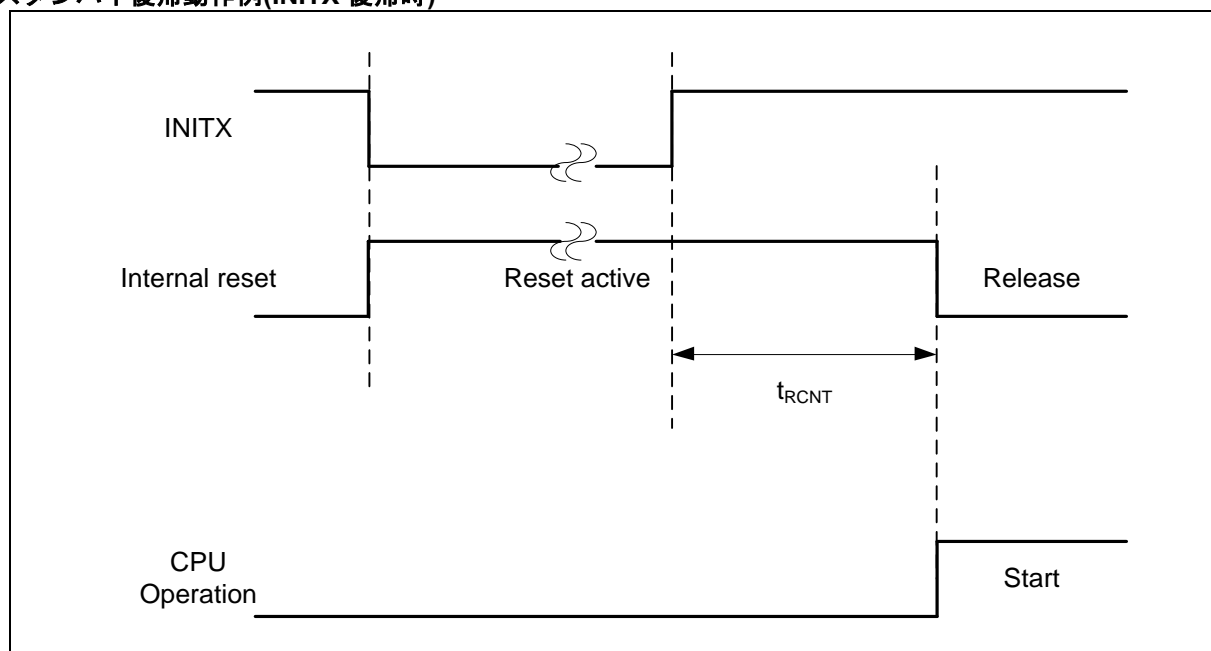
復帰カウント時間

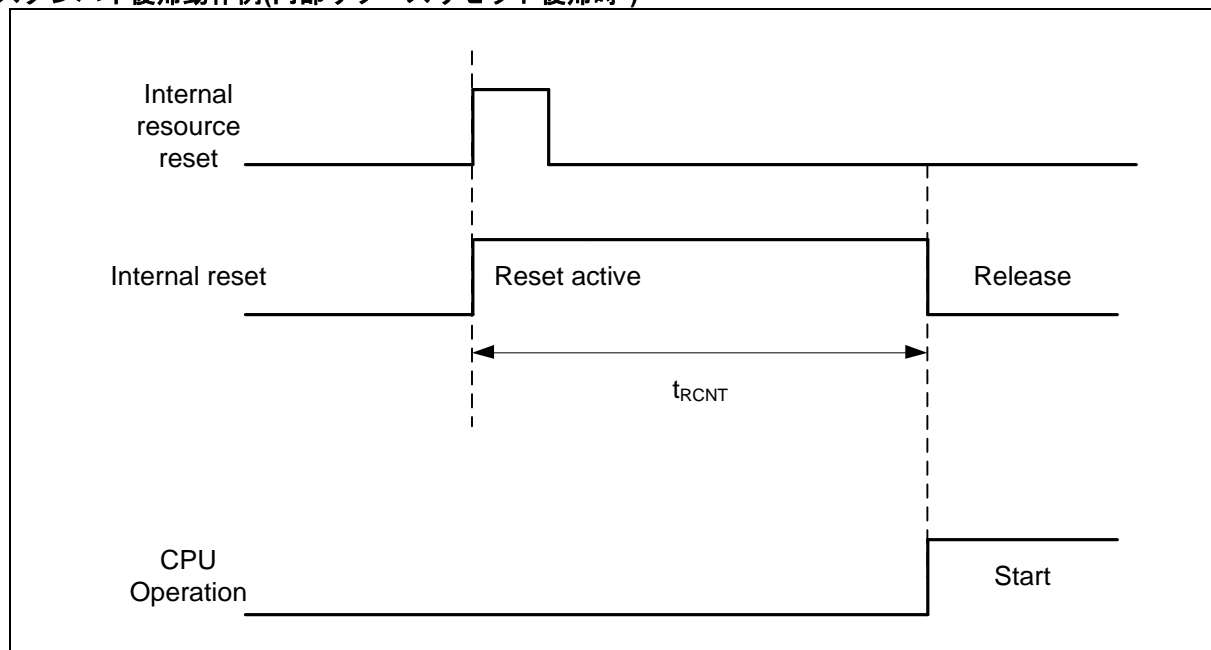
($V_{CC} = 2.7V \sim 5.5V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

項目	記号	規格値		単位	備考
		標準	最大*		
スリープモード	t _{RCNT}	148	263	μs	
高速 CR タイマモード メインタイマモード PLL タイマモード		148	263	μs	
低速 CR タイマモード		248	463	μs	
サブタイマモード		312	496	μs	
RTC モード ストップモード		268	503	μs	
ディープスタンバイ RTC モード		308	583	μs	RAM 保持なし
ディープスタンバイストップモード		268	503	μs	RAM 保持あり

*: 規格値の最大値は内蔵 CR の精度に依存します。

スタンバイ復帰動作例(INITX 復帰時)



スタンバイ復帰動作例(内部リソースリセット復帰時*)


*: 低消費電力モードのとき、内部リソースからのリセット発行は復帰要因に含まれません。

<注意事項>

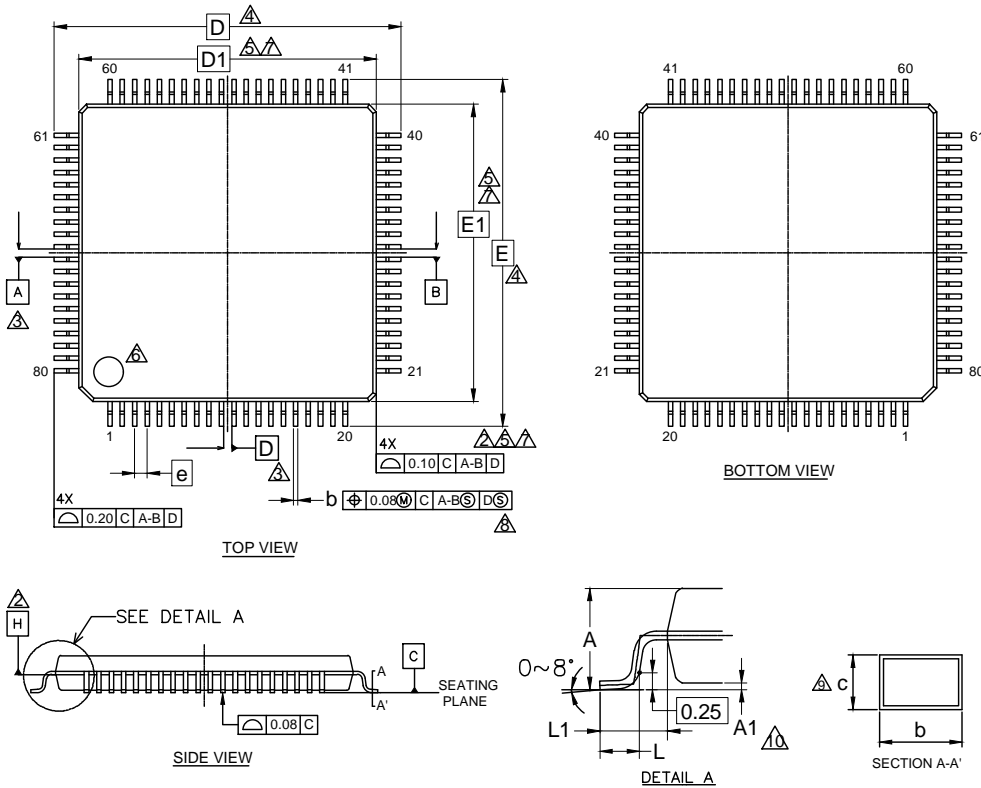
- 復帰要因は低消費電力モードごとに異なります。
低消費電力モードからの復帰要因は『FM3 ファミリ ペリフェラルマニュアル』の「低消費電力モード」のスタンバイモード動作説明を参照してください。
- 割込み復帰時、CPU が復帰する動作モードは低消費電力モード遷移前の状態に依存します。詳細は『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 6: 低消費電力モード』を参照してください。
- パワーオンリセット/低電圧検出リセット時は除きます。パワーオンリセット/低電圧検出リセット時は「12.4.7. パワーオンリセットタイミング」を参照してください。
- INITX 復帰要因時には、ノイズフィルタ透過遅延(T_{mf} < 最大 1 μ s)が加算されます。
- リセットからの復帰時、CPU は高速 CR ランモードに遷移します。
メインクロックやPLL クロックを使用する場合、追加でメインクロック発振安定待ち時間や、メイン PLL クロックの安定待ち時間が必要になります。
- 内部リソースリセットとはウォッチドッグリセット、CSV リセットを示します。

13. オーダ型格

型格	オンチップ フラッシュメモリ	オンチップ SRAM	パッケージ	包装
CY9BF121KQN-G-AVE2	Main: 64 Kbyte Work: 32 Kbyte	16 Kbyte	プラスチック・QFN (0.5 mm ピッチ), 48 ピン (VNA048)	トレイ
CY9BF122KQN-G-AVE2	Main: 128 Kbyte Work: 32 Kbyte	16 Kbyte		
CY9BF124KQN-G-AVE2	Main: 256 Kbyte Work: 32 Kbyte	32 Kbyte		
CY9BF121KPMC-G-MNE2	Main: 64 Kbyte Work: 32 Kbyte	16 Kbyte	プラスチック・LQFP (0.5 mm ピッチ), 48 ピン (LQA048)	
CY9BF122KPMC-G-MNE2	Main: 128 Kbyte Work: 32 Kbyte	16 Kbyte		
CY9BF124KPMC-G-MNE2	Main: 256 Kbyte Work: 32 Kbyte	32 Kbyte		
CY9BF121LQN-G-AVE2	Main: 64 Kbyte Work: 32 Kbyte	16 Kbyte	プラスチック・QFN (0.5 mm ピッチ), 64 ピン (VNC064)	
CY9BF122LQN-G-AVE2	Main: 128 Kbyte Work: 32 Kbyte	16 Kbyte		
CY9BF124LQN-G-AVE2	Main: 256 Kbyte Work: 32 Kbyte	32 Kbyte		
CY9BF121LPMC1-G-MNE2	Main: 64 Kbyte Work: 32 Kbyte	16 Kbyte	プラスチック・LQFP (0.5 mm ピッチ), 64 ピン (LQD064)	
CY9BF122LPMC1-G-MNE2	Main: 128 Kbyte Work: 32 Kbyte	16 Kbyte		
CY9BF124LPMC1-G-MNE2	Main: 256 Kbyte Work: 32 Kbyte	32 Kbyte		
CY9BF121LPMC-G-MNE2	Main: 64 Kbyte Work: 32 Kbyte	16 Kbyte	プラスチック・LQFP (0.65 mm ピッチ), 64 ピン (LQG064)	
CY9BF122LPMC-G-MNE2	Main: 128 Kbyte Work: 32 Kbyte	16 Kbyte		
CY9BF124LPMC-G-MNE2	Main: 256 Kbyte Work: 32 Kbyte	32 Kbyte		
CY9BF121MPMC-G-MNE2	Main: 64 Kbyte Work: 32 Kbyte	16 Kbyte	プラスチック・LQFP (0.5 mm ピッチ), 80 ピン (LQH080)	
CY9BF122MPMC-G-MNE2	Main: 128 Kbyte Work: 32 Kbyte	16 Kbyte		
CY9BF124MPMC-G-MNE2	Main: 256 Kbyte Work: 32 Kbyte	32 Kbyte		
CY9BF121MPMC1-G-JNE2	Main: 64 Kbyte Work: 32 Kbyte	16 Kbyte	プラスチック・LQFP (0.65 mm ピッチ), 80 ピン (LQJ080)	
CY9BF122MPMC1-G-JNE2	Main: 128 Kbyte Work: 32 Kbyte	16 Kbyte		
CY9BF124MPMC1-G-JNE2	Main: 256 Kbyte Work: 32 Kbyte	32 Kbyte		
CY9BF121MBGL-GK9E1	Main: 64 Kbyte Work: 32 Kbyte	16 Kbyte	プラスチック・PFBGA (0.5 mm ピッチ), 96 ピン (FDG096)	
CY9BF122MBGL-GK9E1	Main: 128 Kbyte Work: 32 Kbyte	16 Kbyte		
CY9BF124MBGL-GK9E1	Main: 256 Kbyte Work: 32 Kbyte	32 Kbyte		

14. パッケージ・外形寸法図

Package Type	Package Code
LQFP 80	LQH080



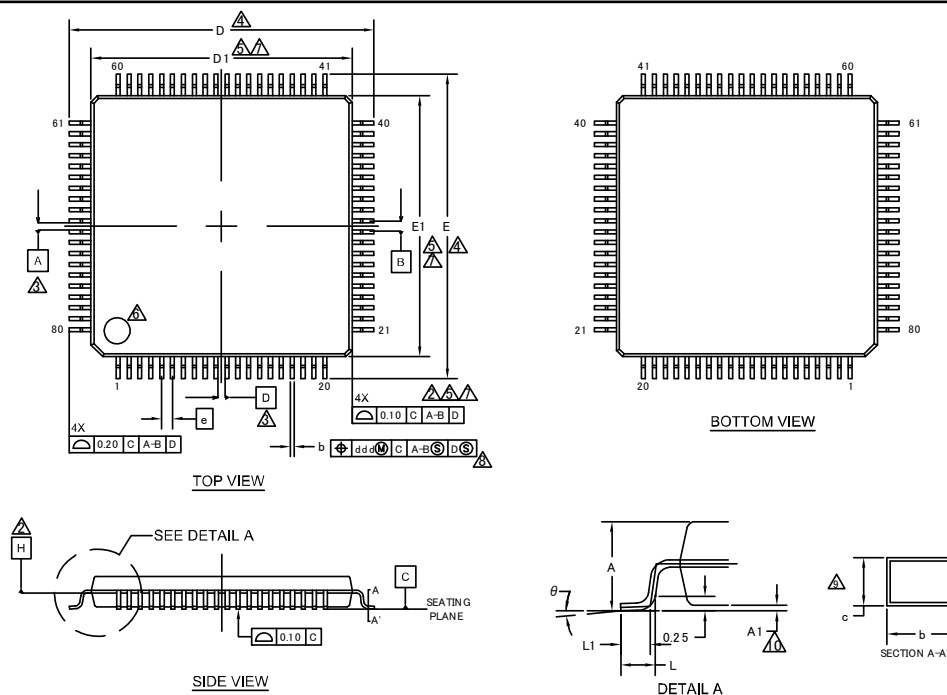
SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.05	—	0.15
b	0.15	—	0.27
c	0.09	—	0.20
D	14.00 BSC.		
D1	12.00 BSC.		
e	0.50 BSC.		
E	14.00 BSC.		
E1	12.00 BSC.		
L	0.45	0.60	0.75
L1	1.00 REF.		

NOTES

- CONTROLLING DIMENSIONS ARE IN MILLIMETERS (mm).
- DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- DATUMS A-B AND D TO BE DETERMINED AT SEATING PLANE C.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS, BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- DIMENSION b DOES NOT INCLUDE DAMBER PROTRUSION. THE DAMBER PROTRUSION(S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBER CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

002-11501 *A

Package Type	Package Code
LQFP 80	LQJ080



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.00	—	0.20
b	0.16	0.32	0.38
c	0.09	—	0.20
D	16.00 BSC		
D1	14.00 BSC		
e	0.65 BSC		
E	16.00 BSC		
E1	14.00 BSC		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70
θ	0°	—	8°

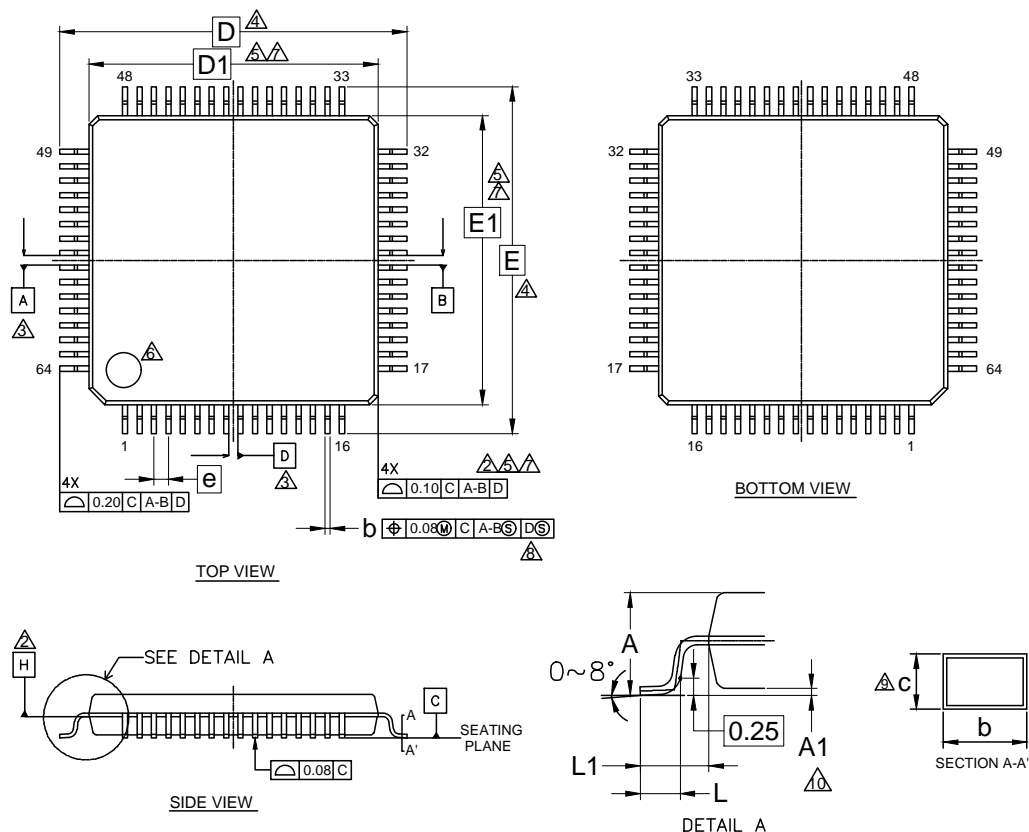
NOTES

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- TO BE DETERMINED AT SEATING PLANE C.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

002-14043 **

PACKAGE OUTLINE, 80 LEAD LQFP
 14.0X14.0X1.7 MM LQJ080 REV**

Package Type	Package Code
LQFP 64	LQD064



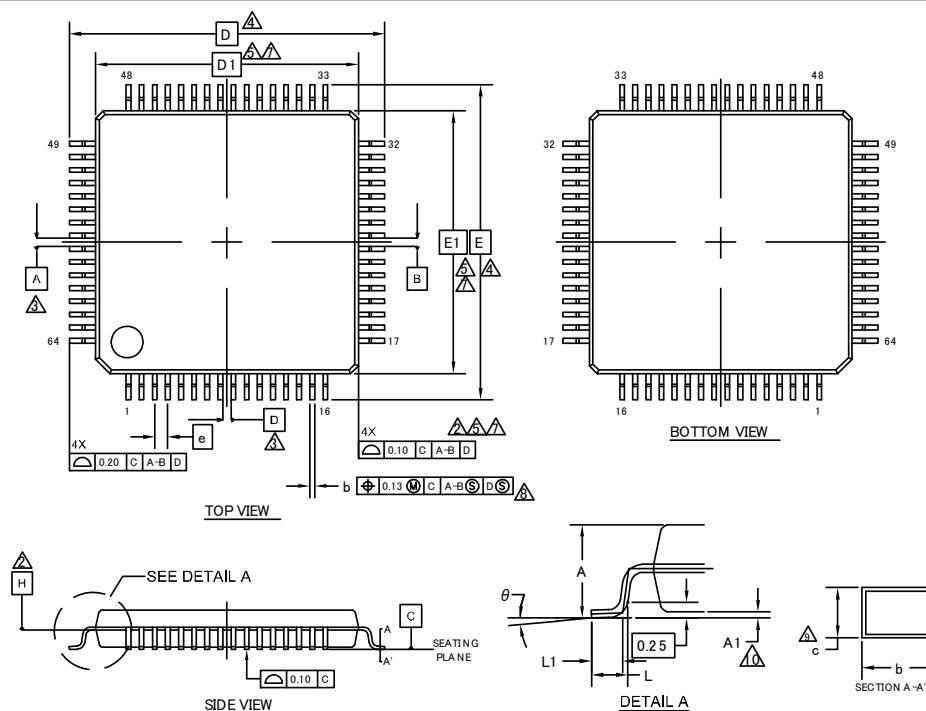
SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.00	—	0.20
b	0.15	—	0.27
c	0.09	—	0.20
D	12.00 BSC.		
D1	10.00 BSC.		
e	0.50 BSC.		
E	12.00 BSC.		
E1	10.00 BSC.		
L	0.45	0.60	0.75
L1	1.00 REF		

NOTES

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- TO BE DETERMINED AT SEATING PLANE C.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS, BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION(S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

002-11499 *A

Package Type	Package Code
LQFP 64	LQG064



SYMBOL	DIMENSION		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.00	—	0.20
b	0.27	0.32	0.37
c	0.09	—	0.20
D	14.00 BSC		
D1	12.00 BSC		
e	0.65 BSC		
E	14.00 BSC		
E1	12.00 BSC		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70
θ	0°	—	8°

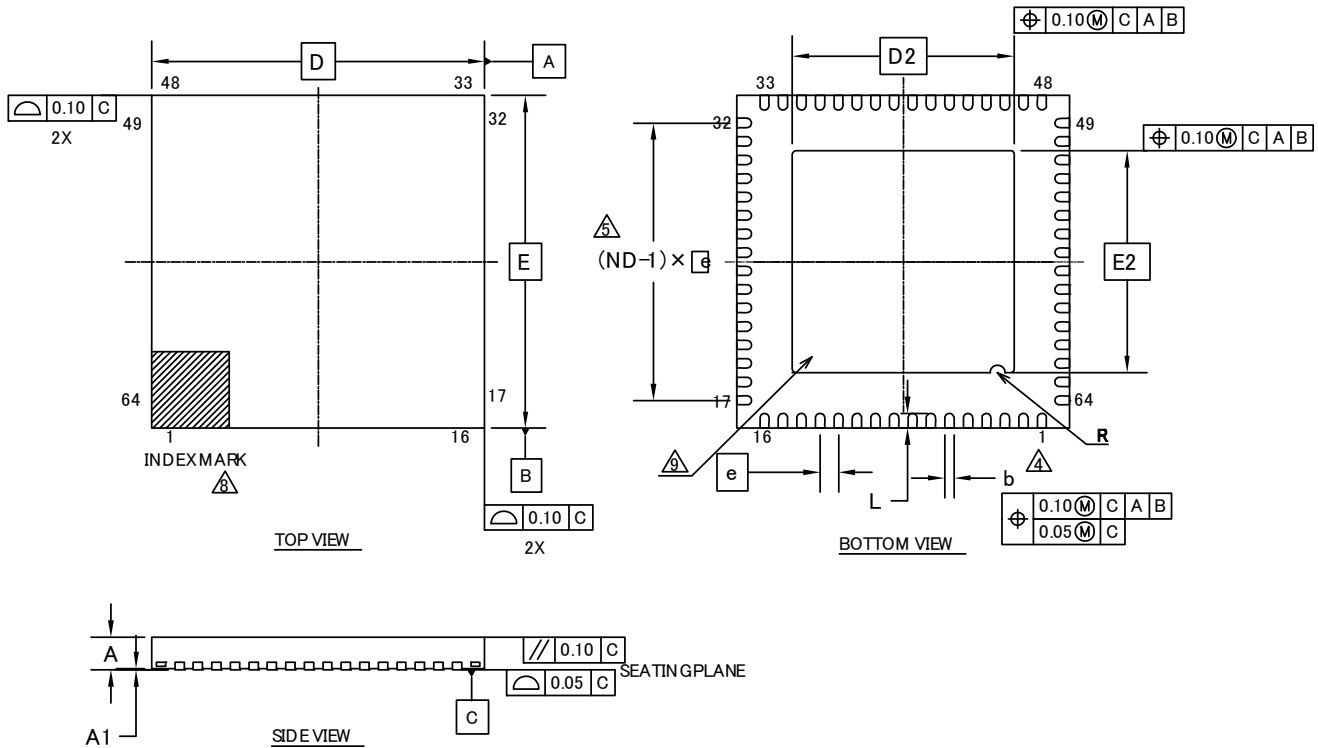
NOTES

1. ALL DIMENSIONS ARE IN MILLIMETERS.
- △ DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- △ DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- △ TO BE DETERMINED AT SEATING PLANE C.
- △ DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION.
ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE.
DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- △ DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- △ REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS, BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- △ DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- △ THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- △ A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

002-13881 **





PACKAGE OUTLINE, 64 LEAD LQFP
12.0X12.0X1.7 MM LQG064 REV**

Package Type	Package Code
QFN 64	VNC064



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	0.90
A1	0.00	—	0.05
D	9.00 BSC		
E	9.00 BSC		
b	0.20	0.25	0.30
D2	6.00 BSC		
E2	6.00 BSC		
e	0.50 BSC		
R	0.20 REF		
L	0.35	0.40	0.45
N	64		
ND	16		

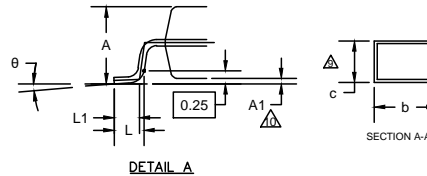
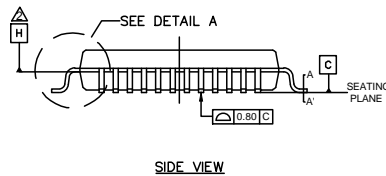
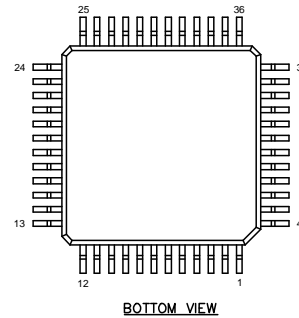
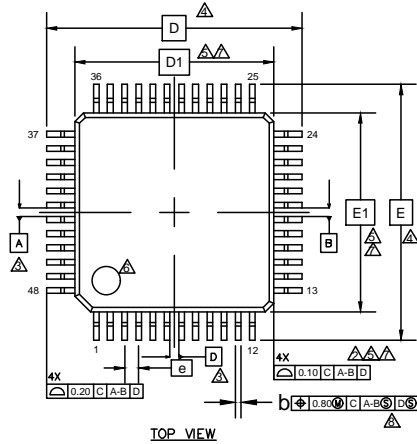
NOTES:

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DIMENSIONING AND TOLERANCING CONFORMS TO ASME Y14.5M-1994.
- N IS THE TOTAL NUMBER OF TERMINALS.
-  DIMENSION "b" APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.15 AND 0.30mm FROM TERMINAL TIP. IF THE TERMINAL HAS THE OPTIONAL RADIUS ON THE OTHER END OF THE TERMINAL, THE DIMENSION "b" SHOULD NOT BE MEASURED IN THAT RADIUS AREA.
-  ND REFERS TO THE NUMBER OF TERMINALS ON D SIDE OR E SIDE.
- MAX. PACKAGE WARPAGE IS 0.05mm.
- MAXIMUM ALLOWABLE BURR IS 0.076mm IN ALL DIRECTIONS.
-  PIN #1 ID ON TOP WILL BE LOCATED WITHIN THE INDICATED ZONE.
-  BILATERAL COPLANARITY ZONE APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.

002-13234 **

PACKAGE OUTLINE, 64 LEAD QFN
 9.0X9.0X0.9 MM VNC064 6.0X6.0 MM EPAD (SAWN) Rev**

Package Type	Package Code
LQFP 48	LQA048



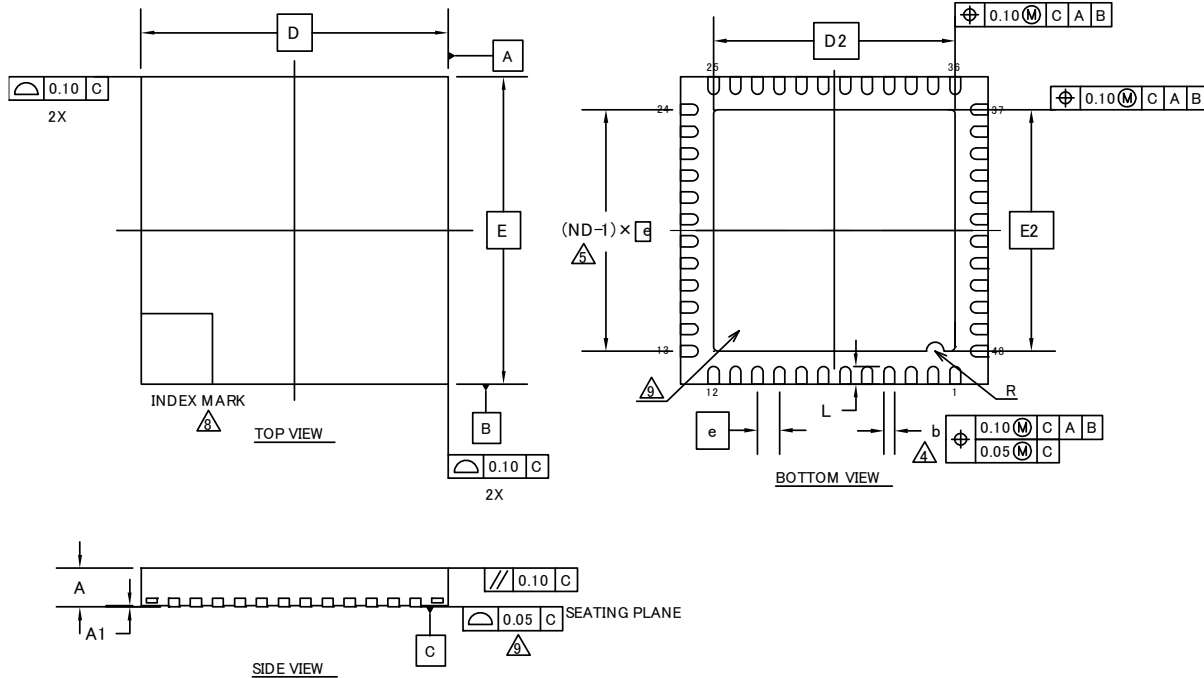
SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.00	—	0.20
b	0.15	—	0.27
c	0.09	—	0.20
D	9.00 BSC		
D1	7.00 BSC		
e	0.50 BSC		
E	9.00 BSC		
E1	7.00 BSC		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70
θ	0°	—	8°

NOTES

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- TO BE DETERMINED AT SEATING PLANE C.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS. DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION(S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

002-13731 *A

Package Type	Package Code
QFN 48	VNA048



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	0.90
A1	0.00	—	0.05
D	7.00 BSC		
E	7.00 BSC		
b	0.20	0.25	0.30
D2	5.50 BSC		
E2	5.50 BSC		
e	0.50 BSC		
R	0.20 REF		
L	0.35	0.40	0.45

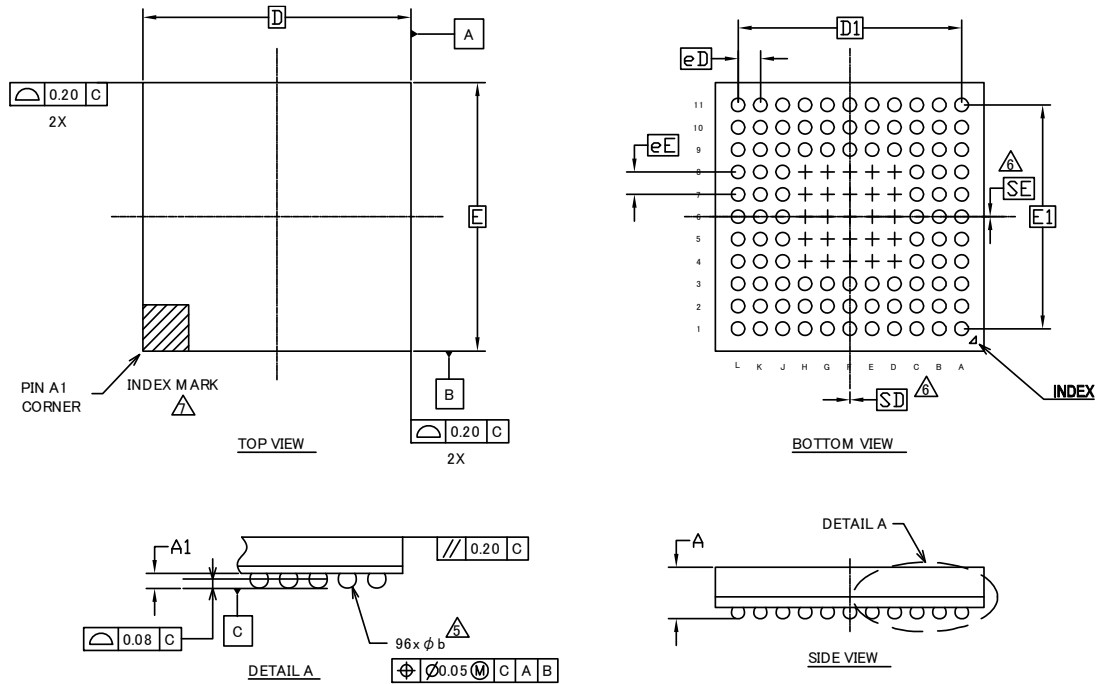
NOTE

- ALL DIMENSIONS ARE IN MILLIMETERS
- DIMENSIONING AND TOLERANCING CONFORMS TO ASME Y14.5-1994
- N IS THE TOTAL NUMBER OF TERMINALS.
- DIMENSION "b" APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.15 AND 0.30mm FROM TERMINAL TIP. IF THE TERMINAL HAS THE OPTIONAL RADIUS ON THE OTHER END OF THE TERMINAL THE DIMENSION "b" SHOULD NOT BE MEASURED IN THAT RADIUS AREA
- ND REFER TO THE NUMBER OF TERMINALS ON D OR E SIDE
- MAX. PACKAGE WARPAGE IS 0.05mm.
- MAXIMUM ALLOWABLE BURRS IS 0.076mm IN ALL DIRECTIONS
- PIN #1 ID ON TOP WILL BE LOCATED WITHIN INDICATED ZONE.
- BILATERAL COPLANARITY ZONE APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- JEDEC SPECIFICATION NO. REF: N/A

002-15528 **

 PACKAGE OUTLINE, 48 LEAD QFN
 7.0X7.0X0.9MM VNA048 5.5X5.5MM EPAD (SAWN) REV#

Package Type	Package Code
FBGA 96	FDG096



NOTES

- ALL DIMENSIONS ARE IN MILLIMETERS.
- SOLDER BALL POSITION DESIGNATION N PER JEP95, SECTION 3, SPP-020.
- "e" REPRESENTS THE SOLDER BALL GRID PITCH.
- SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION. SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION. N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
- DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
- "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" OR "SE" = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
- A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK METALIZED MARK, INDENTATION OR OTHER MEANS.
- "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED SOLDER BALLS.

SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	-	-	1.30
A1	0.15	0.25	0.35
D	6.00 BSC		
E	6.00 BSC		
D1	5.00 BSC		
E1	5.00 BSC		
MD	11		
ME	11		
N	96		
Ø b	0.20	0.30	0.40
eD	0.50 BSC		
eE	0.50 BSC		
SD	0.00		
SE	0.00		

002-13224 **

 PACKAGE OUTLINE, 96 BALL FBGA
 6.0X6.0X1.3 MM FDG096 REV**

15. 主な変更内容

Spansion Publication Number: DS706-00050

ページ	場所	変更箇所
Revision 1.0		
-	-	PRELIMINARY → 正式版
3	■特長 ・AD コンバータ(最大 26 チャンネル)	変換時間の変更: 1.0μs → 0.8μs
5	・ユニーク ID	「ユニーク ID」を追加
6	■品種構成	「ユニーク ID」を追加
15~17	■端子機能一覧 ・端子番号別	・「入出力回路形式」を訂正 ・「端子状態形式」を訂正
33	・端子機能別	「端子機能」を訂正
39	■入出力回路形式	「分類: L」を追加
46	■ブロックダイアグラム	図を訂正 ・TIOA: 入力 → 入力/出力 ・TIOB: 出力 → 入力
54	■電気的特性 1. 絶対最大定格	定格値の"TBd"を変更
55	2. 推奨動作条件	「動作温度」の条件を変更
56, 57	3. 直流規格 (1) 電流規格	・規格値の"TBd"を変更 ・「フラッシュメモリ書込み/消去電流」を追加
61	4. 交流規格 (3) 内蔵 CR 発振規格	・条件を変更 ・注釈文を変更
62	(4-2) メイン PLL の使用条件(メイン PLL の入力クロックに内蔵高速 CR クロックを使用)	規格値の"TBd"を変更
78	5. 12 ビット A/D コンバータ ・A/D 変換部電気的特性	・「(暫定値)」を削除 ・「変換時間」の規格値を変更 最小: 1.0μs → 0.8μs ・「コンペアクロック周期(AV _{CC} ≥ 4.5V)」の規格値を変更 最小: 50ns → 40ns ・注釈文を変更
81	6. 10 ビット D/A コンバータ ・D/A 変換部電気的特性	「(暫定値)」を削除
82, 83	7. 低電圧検出特性	規格値の"TBd"を変更
84	8. メインフラッシュメモリ書込み/消去特性	・規格値の"TBd"を変更 ・「セクタ消去時間」の規格値を変更 - Large Sector 標準: 1.065s → 1.1s - Small Sector 標準: 0.606s → 0.3s ・「チップ消去時間」の規格値を変更 標準: 9.11s → 6.8s ・「(目標値)」を削除
Revision 1.1		
-	-	社名変更および記述フォーマットの変換
Revision 2.0		
2	■特長 ・オンチップメモリ[フラッシュメモリ] ・マルチファンクションシリアルインタフェース [I ² C]	デュアルオペレーションフラッシュメモリの説明追記 下記のように記述を訂正 ・標準モード → Standard-mode ・高速モード → Fast-mode
3	・汎用 I/O ポート	・誤記修正 ・説明追記
4	・多機能タイマ	A/D 起動コンペア ch 数訂正 : 3ch → 2ch

ページ	場所	変更箇所
6	■ 品種構成 ・ ファンクション	・ 多機能タイマの A/D 起動コンペア ch 数訂正 : 3ch → 2ch ・ 内蔵 CR 高速: 4MHz(±2%) → 4MHz ・ 内蔵 CR 低速: 100kHz(標準) → 100kHz
7		(注意事項)に内蔵 CR の記述を追記
20	■ 端子機能一覧 ・ 端子番号別	ZIN1_1 の端子番号訂正
23		A/D コンバータ外部トリガ入力端子 ADTG_2 の端子番号訂正
27	・ 端子機能別	マルチファンクションシリアル 0 SIN0_1 および SOT0_1 の端子番号訂正
31		多機能タイマ 0 DTTI0X_2 の端子番号訂正
37	■ 入出力回路形式	分類 H : 規格値の"TBID"を変更
44	■ デバイス使用上の注意 ・ サブクロック用水晶振動子	記述を追加
47	■ ブロックダイアグラム	A/D Activation Compare 3ch.. → 2ch.
49	■ メモリマップ ・ メモリマップ(2)	説明文追加
54	■ 各 CPU ステートにおける端子状態 ・ 端子状態一覧表	・ 端子状態形式 L にアナログ出力選択時を追加。 ・ 脚注の誤記修正。 サブ CR タイマモード → 低速 CR タイマモード
56	■ 電気的特性 2 推奨動作条件	・ 電源電圧に注釈追加 ・ アナログ基準電圧規格値訂正
57	3 直流規格 電流規格	・ 注釈、注釈文追加 ・ I _{cc} の備考欄に条件追加 ・ 備考欄にメインクロック用水晶発振周波数を追記
61	4 交流規格 (1) メインクロック入力規格	入力周波数の備考欄 : 水晶発振子接続時 → 水晶振動子接続時
62	(2) サブクロック入力規格	入力周波数の備考欄 : 水晶発振接続時 → 水晶振動子接続時 脚注を追加
63	(3) 内蔵 CR 発振規格 ・ 内蔵高速 CR	・ 周波数安定時間を追加 ・ 注釈追加
65	(6) パワーオンリセットタイミング	・ パワーオンリセット解除までの時間を定義 ・ タイミング図を追加
67	(8) CSIO タイミング	・ 以下のようにタイトルを訂正 UART タイミング → CSIO タイミング ・ 注意事項修正 UART → マルチファンクションシリアル
69, 70, 72		注意事項修正 UART → マルチファンクションシリアル
76		タイミング図修正
77	(10) クアッドカインタタイミング	タイミング図修正
78	(11) I ² C タイミング	・ ノイズフィルタ変更 ・ 注釈文変更 ・ 下記のように記述を訂正 標準モード → Standard-mode 高速モード → Fast-mode
80	5. 12 ビット A/D コンバータ ・ A/D 変換部電気的特性	・ 非直線性誤差 → 積分直線性誤差 ・ ゼロトランジション電圧の記号、端子名および規格値変更 ・ フルスケールトランジション電圧の端子名および規格値変更 ・ サンプリング時間に注釈および最小規格値を追加。 ・ 動作許可状態遷移時間の規格値を訂正。 ・ 基準電源電流の項目記載変更 ・ アナログポート入力電流、アナログ入力電流の端子名を変更 ・ 基準電圧 AVR _H の規格値を訂正 ・ 注釈文を変更
81		図中のアナログ入力端子名を変更

ページ	場所	変更箇所
82	・ 12 ビット A/D コンバータの用語の定義	下記のように記述を変更 ・ 直線性誤差 → 積分直線性誤差 ・ $V_{OT} \rightarrow V_{ZT}$
83	6. 10 ビット D/A コンバータ ・ D/A 変換部電気的特性	・ 備考欄の説明追記 ・ 直線性誤差 → 積分直線性誤差
84	7. 低電圧検出特性 (1) 低電圧検出リセット	・ 条件および規格値を訂正、注釈、注釈文を追加 ・ LVD 安定待ち時間の規格値訂正 ・ LVD 検出遅延時間 T_{LVDDL} 項目追加
85	(2) 低電圧検出割込み	・ 条件訂正 ・ LVD 安定待ち時間の規格値訂正 ・ LVD 検出遅延時間 T_{LVDDL} 項目追加
86	8. フラッシュメモリ 書き込み/消去特性	章タイトル変更：メインフラッシュメモリ → フラッシュメモリ
87	9. スタンバイ復帰時間	スタンバイ復帰時間章追加
Revision 3.0		
36, 37	■ 入出力回路形式	+B 入力可能な回路形式に追記
49	■ メモリマップ ・ メモリマップ(2)	フラッシュメモリのセクタ構成の概略を追記
53	■ 各 CPU ステートにおける端子状態 ・ 端子状態一覧表	端子状態形式 I を修正
55, 56	■ 電気的特性 1. 絶対最大定格	・ 最大クランプ電流を追加。 ・ +B 入力について追加。
58, 59	■ 電気的特性 3. 直流規格 (1) 電流規格	・ 条件の表記を変更 ・ メインタイマモード電流を追加 ・ A/D コンバータ電流を移動 ・ D/A コンバータ電流を移動
66	■ 電気的特性 4. 交流規格 (4-1) メイン PLL の使用条件 (4-2) メイン PLL の使用条件	メイン PLL 接続図を追加
69-76	■ 電気的特性 4. 交流規格 (7) CSIO/UART タイミング	・ UART タイミング→CSIO/UART タイミングに修正 ・ 内部シフトクロック動作→マスタモードに変更 ・ 外部シフトクロック動作→スレーブモードに変更
77	■ 電気的特性 4. 交流規格 (9) 外部入力タイミング	WKUPx 端子の入力パルス幅を追加
82	■ 電気的特性 5. 12 ビット A/D コンバータ	・ 積分/微分直線性誤差、ゼロ/フルスケールトランジション電圧の標準値を追加 ・ $AV_{CC} < 4.5V$ 時の変換時間を追加
93, 94	■ オーダ型格	型格の記載をに変更

注意事項: 以降の変更点に関しては、「改訂履歴」を参照してください。

改訂履歴
文書名: CY9B120M シリーズ 32 ビット Arm® Cortex®-M3 FM3 マイクロコントローラ
文書番号: 002-05656

版	ECN 番号	発行日	変更内容
**	-	03/18/2015	サイプレスとしてドキュメントコード 002-05656 に登録しました。 本版の内容およびフォーマットに変更はありません。
*A	5263869	05/23/2016	これは英語版の 002-05655 Rev. *A を翻訳した日本語版です。
*B	5654933	03/09/2017	これは英語版の 002-05655 Rev. *B を翻訳した日本語版です。 <ul style="list-style-type: none"> ▪ “特長”のリアルタイムクロック(RTC:Real Time Clock)のカウント年数を 00~に修正。割込み機能の指定条件から「秒/曜日」を削除(3 ページ) ▪ パッケージコードおよびパッケージ図を以下の通り変更(8-14, 93-102 ページ) <ul style="list-style-type: none"> - FPT-48P-M49 -> LQA048 - LCC-48P-M73 -> VNA048 - FPT-64P-M38 -> LQD064 - FPT-64P-M39 -> LQG064 - LCC-64P-M24 -> VNC064 - FPT-80P-M37 -> LQH080 - FPT-80P-M40 -> LQJ080 - BGA-96P-M07 -> FDG096 ▪ JTAG に関する注意事項を追記(33 ページ) ▪ “12.4.7 パワーオンリセットタイミング”の「電源立上り時間(Tr)[ms]を「電源立上り速度(dV/dt)[mV/μs]」に変更。また、備考および<注意事項>としてコメントを追記(67 ページ) ▪ “12.4.9 CSIO/UART タイミング”にボーレートを追加。(69-75 ページ) ▪ 誤記修正 <ul style="list-style-type: none"> - J-TAG -> JTAG(24 ページ) - アナログポート入力電流 -> アナログポート入力リーク電流(82 ページ)
*C	5787310	06/29/2017	これは英語版の 002-05655 Rev. *C を翻訳した日本語版です。 Cypress の新ロゴを適用。
*D	6728816	11/12/2019	これは英語版の 002-05655 Rev. *F を翻訳した日本語版です。
*E	6770086	01/09/2020	これは英語版の 002-05655 Rev. *H を翻訳した日本語版です。
*F	7232959	08/20/2021	これは英語版の 002-05655 Rev. *I を翻訳した日本語版です。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック&バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [サンプルコード](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカルサポート

cypress.com/support

Arm and Cortex are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

© Cypress Semiconductor Corporation, 2012-2021. 本書面は、Infineon Technologies グループの Cypress Semiconductor Corporation 及びその関連会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。)) を含む) は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェア又はソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセス又は使用といったセキュリティ違反から生じるいかなる責任も負わない。Cypress は、Cypress 製品又は Cypress 製品を使用して生成されたシステムに破壊、攻撃、ウイルス、干渉、ハッキング、データの損失又は盗難、その他のセキュリティ侵害 (総称して、以下「セキュリティ違反」という。) がないことを表明又は保証しない。Cypress は、セキュリティ違反に関連するいかなる責任も否認し、セキュリティ違反から生じるいかなる請求、損害又はその他の責任について免責される。加えて、本書面に記載された製品には、エラーと呼ばれる設計上の欠陥又はエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のために提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。「ハイスループット・デバイス」とは、不具合により人身傷害、死亡若しくは物的損害を引き起こす可能性のある装置若しくはシステムをいう。「ハイスループット・デバイス」の例として、兵器、原子力施設、外科的移植、及びその他の医療機器が挙げられる。「重要な構成部分」とは、その不具合が直接又は間接的にハイスループット・デバイスの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるようなハイスループット・デバイスのあらゆる構成部分をいう。Cypress 製品をハイスループット・デバイスの重要な構成部分として使用したことから生じるいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress (その関連会社を含む)、及びその取締役、執行役、従業員、代理人、販売業者、及び譲受人は Cypress 製品をハイスループット・デバイスの重要な構成部分として使用したことから生じる製造物責任、又は人身傷害若しくは死亡、又は物的損害の請求を含むあらゆる請求から生じるすべての費用、損害及び経費から免責される。Cypress 製品は、(i) Cypress が特定のハイスループット・デバイスで使用するための製品として明示的に認定している製品のデータシートを公表している場合、又は、(ii) Cypress が特定のハイスループット・デバイスの重要な構成部分として製品を使用することを事前に書面により承認し、別途補償契約に署名した場合の限定された範囲を除いては、ハイスループット・デバイスの重要な構成部分としての使用を意図又は承認されていない。

Cypress、Cypress のロゴ及びこれらの組み合わせ、PSoC、CapSense、EZ-USB、F-RAM、Traveo、WICED、及び ModusToolbox は、米国又はその他の国における Cypress 又はその子会社の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。