



本ドキュメントは Cypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、「MB」から始まるシリーズ名、品名およびオーダ型格が記載されておりますが、これらはすべて「CY」から始まるシリーズ名、品名およびオーダ型格として、新規および既存のお客様に引き続き提供してまいります。

### オーダ型格の調べ方について

1. [www.cypress.com/pcn](http://www.cypress.com/pcn) にアクセスしてください。
2. SEARCH PCNS フィールドに、オーダ型格などのキーワードを入力し、「Apply」をクリックしてください。
3. 該当するタイトル(Title)をクリックしてください。
4. 「Affected Parts List」ファイルを開いてください。  
当該ファイルに記載されている各種変更情報をご利用ください。

### 詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

### サイプレスについて

サイプレスは、世界で最も革新的な車載や産業機器、スマート家電、民生機器および医療機器製品向けに、最先端の組み込みシステム ソリューションを提供するリーディングカンパニーです。サイプレスのマイクロコントローラーや、アナログ IC、ワイヤレスおよび USB ベースのコネクティビティ ソリューション、高い信頼性と高性能を提供するメモリ製品は、各種機器メーカーの差異化製品の開発と早期市場参入を支援します。サイプレスは、ベストクラスのサポートと開発リソースをグローバルに提供することで、彼らが従来市場を破壊しまったく新しい製品カテゴリを歴史的なスピードで市場投入できるよう支援します。詳細はサイプレスのウェブサイト ([japan.cypress.com](http://japan.cypress.com)) をご覧ください。



MB96600 シリーズ

# F<sup>2</sup>MC-16FX ハードウェアマニュアル

Doc. No. 002-05522 Rev. \*A

Cypress Semiconductor  
198 Champion Court  
San Jose, CA 95134-1709  
<http://www.cypress.com>

© Cypress Semiconductor Corporation, 2012-2017. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社（以下「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア（以下「本ソフトウェア」という。）を含む）は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、（直接又は再販売者及び販売代理店を介して間接のいずれかで）本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア（Cypress により提供され、修正がなされていないもの）が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス（サブライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

**適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示をとわず、いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。**適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用（以下「本目的外使用」という。）のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部をとわず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任（人身傷害又は死亡に基づく請求を含む）から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, Capsense, EZ-USB, F-RAM, 及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。

ARM and Cortex are the registered trademarks of ARM Limited in the EU and other countries.

# はじめに



## 本書の目的と対象読者

サイプレス製品につきまして、平素より格別のご愛顧を賜り厚くお礼申し上げます。  
本ファミリをご利用になる前に、本書およびご使用する製品の『データシート』をご一読ください。

MB96600 シリーズは, ASIC (Application Specific IC) 対応が可能なオリジナル 16 ビットワンチップマイクロコントローラである F<sup>2</sup>MC-16FX ファミリの汎用品として開発された製品です。

本書は、実際に MB96600 シリーズを使用して製品を開発される技術者を対象に、MB96600 シリーズの機能や動作について解説しています。最初に本書をご一読ください。デバイス仕様の詳細については、各デバイスのデータシートを参照してください。



# 関連マニュアル



本シリーズに関連するマニュアルを示します。状況に応じて必要なマニュアルを参照してください。

本書に記載したマニュアルの内容は予告なく変更することがあります。最新版をお問い合わせください。

## ハードウェアマニュアル

- F<sup>2</sup>MC-16FX ファミリ MB96600 シリーズ ハードウェアマニュアル (本書)

## データシート

デバイス仕様, ブロックダイアグラム, 端子配列, 電気的特性, 外形寸法, オーダ型格などの詳細は以下を参照してください。

- 16 ビット・マイクロコントローラ F<sup>2</sup>MC-16FX ファミリ データシート

データシートはシリーズごとに用意されています。  
ご使用する製品のデータシートを参照してください。

## CPU プログラミングマニュアル

16FX-CPU の機能や動作の詳細は以下のマニュアルを参照してください。

- F<sup>2</sup>MC-16FX 16 ビット・マイクロコントローラ プログラミングマニュアル

# 本書の使い方



## 機能の探し方

本書では次の方法で、使いたい機能の説明を探することができます。

- 目次から探す  
本書の内容を記載順に示します。
- レジスタから探す  
本文中では各レジスタの配置アドレスを記載しておりません。  
各レジスタのアドレスを確認するときは『付録』の「I/O マップ」を参照してください。

## 用語について

本書で使用している用語について示します。

用語	説明
ロングワード	32 ビット単位でのアクセスを指します。
ワード	16 ビット単位でのアクセスを指します。
バイト	8 ビット単位でのアクセスを指します。

## 表記について

- 本書のレジスタ説明中のビット構成図では以下のように表記しています。
  - bit: ビット番号
  - 属性: 各ビットのリード、ライト属性
    - R: リードオンリ
    - W: ライトオンリ
    - R/W: リード・ライト可能
    - : 未定義
- 初期値: リセット直後のレジスタ初期値

0: 初期値"0"  
 1: 初期値"1"  
 X: 初期値不定

- 本書では、複数のビットを以下のように表記しています。

例 : bit7 から bit0 の場合は bit7:0

- 本書では、アドレスなどの数値を以下のように表記しています。

□ 16 進数: プレフィックス(接頭辞)として"0x"を付けて表記しています(例 : 0xFFFF)。

□ 2 進数: プレフィックス(接頭辞)として"0b"を付けて表記しています(例 : 0b1111)。

□ 10 進数: 数値だけで表記しています(例 : 1000)。

- マイクロコントローラのリソースに関するすべての章 (USART, リロードタイマ, 汎用ポートなどに関する章) は、このリソースの1つのチャンネルの機能だけを説明しています。同じ周辺機能の他のすべてのチャンネルの動作は同じです。例外がある場合は、『概要』の章か、対応する章で説明しています。  
 ハードウェアマニュアルの各章では、リソースチャンネル番号 (例, レジスタ名) にプレースホルダ "n" を使用しています。このプレースホルダは、使用するリソースのリソースチャンネル番号に置き換えてください。

例: リロードタイマ 0 とリロードタイマ 1 のレジスタ

「リロードタイマ」の 章でのレジスタ名	ヘッダファイルで リロードタイマ 0 に定義 されているレジスタ名	ヘッダファイルで リロードタイマ 1 に定義 されているレジスタ名
TMCSRHn	TMCSRH0	TMCSRH1
TMCSRLn	TMCSRL0	TMCSRL1
TMRHn	TMRH0	TMRH1
TMRLn	TMRL0	TMRL1
TMRLRHn	TMRLRH0	TMRLRH1
TMRLRLn	TMRLRL0	TMRLRL1

# 目次



Chapter 1:	概要 .....	19
1.	特長.....	20
2.	MB96600 シリーズ品種構成 .....	21
3.	16 ビット I/O タイマの構成 .....	25
4.	LIN-USART のインプットキャプチャユニットのソースの選択 .....	27
5.	周辺リソース端子のリロケーション .....	33
Chapter 2:	CPU .....	57
1.	CPU の概要 .....	58
2.	ハードウェア構造.....	59
3.	メモリ空間.....	63
3.1.	メモリ領域.....	64
3.2.	リニア方式によるアドレス指定 .....	67
3.3.	バンク方式によるアドレス指定 .....	68
3.4.	メモリ空間上の多バイトデータ .....	71
4.	専用レジスタ .....	72
4.1.	アキュムレータ (A).....	74
4.2.	ユーザスタックポインタ (USP) とシステムスタックポインタ (SSP).....	76
4.3.	プロセッサステータス (PS) .....	77
4.4.	プログラムカウンタ (PC).....	81
4.5.	ダイレクトページレジスタ (DPR) .....	82
4.6.	バンクレジスタ (PCB, DTB, ADB, USB, SSB) .....	83
5.	汎用レジスタ .....	84
5.1.	レジスタバンク .....	85
5.2.	汎用レジスタのアドレス指定.....	87
6.	プリフィックスコード .....	88
6.1.	バンクセレクトプリフィックス .....	89
6.2.	コモンレジスタバンクプリフィックス (CMR).....	91
6.3.	フラグ変化抑止プリフィックス (NCC).....	92
6.4.	プリフィックスコードに関する制約.....	93
Chapter 3:	割込み.....	95
1.	概要.....	96
2.	割込みフロー .....	98

3. ハードウェア割込み.....	100
4. ソフトウェア割込み.....	103
5. 多重割込み .....	105
6. 例外 .....	108
7. 割込みベクタ .....	115
8. 割込み制御レジスタ(ICR) .....	118
9. マスク不可割込み(NMI) .....	120
Chapter 4: DMA.....	123
1. 概要 .....	124
2. 動作 .....	126
3. ディスクリプタ .....	129
3.1. DMA レジスタ一覧 .....	131
3.2. DMA I/O アドレスポインタバンク選択レジスタ(IOABK) .....	132
3.3. データカウンタレジスタ(DCT).....	133
3.4. I/O レジスタアドレスポインタ(IOA).....	134
3.5. DMA 制御レジスタ(DMACS).....	135
3.6. バッファアドレスポインタ(BAP).....	137
4. レジスタ .....	138
4.1. DMA 割込み要求選択レジスタ(DISEL) .....	139
4.2. DMA ステータスレジスタ(DSR).....	140
4.3. DMA 停止ステータスレジスタ(DSSR).....	141
4.4. DMA 許可レジスタ(DER).....	142
5. 転送の例 .....	143
Chapter 5: 遅延割込み .....	149
1. 概要 .....	150
2. 動作 .....	151
3. レジスタ .....	152
3.1. 遅延割込み要求発生/解除レジスタ(DIRR: 遅延割込み要求レジスタ).....	153
Chapter 6: クロック .....	155
1. 概要 .....	156
2. クロックモード .....	160
3. PLL の構成 .....	163
4. 発振安定待ち時間 .....	165
5. 発振器または外部クロックとマイクロコントローラとの接続 .....	167
6. レジスタ .....	169
6.1. クロック選択レジスタ(CKSR) .....	170
6.2. クロックモニタレジスタ(CKMR).....	174
6.3. クロック安定化選択レジスタ(CKSSR).....	178
6.4. クロック周波数制御レジスタ(CKFCR).....	181

6.5. PLL 制御レジスタ (PLLCCR).....	184
Chapter 7: リセットとスタートアップ .....	187
1. 概要.....	188
2. リセット, システムクロック, および安定待ち時間.....	191
3. 電源リセットおよび外部リセット後のスタートアップ .....	195
4. ブート ROM プログラムの実行と動作モード, および ROM 構成ブロック .....	198
5. クロック停止検出機能およびリセットの動作 .....	206
6. 低電圧リセットおよび割込み機能の動作 .....	210
7. リセット制御レジスタ .....	212
7.1. リセット構成レジスタ (RCR) .....	213
7.2. リセット要因およびクロック状態レジスタ (RCCSR/RCCSRC) .....	216
7.3. クロック入力および LVD 制御レジスタ (CILCR) .....	221
Chapter 8: スタンバイモードおよび電圧レギュレータ制御回路 .....	225
1. 概要.....	226
2. スタンバイモードに関する使用上の注意事項.....	231
3. 拡張スタンバイモード制御レジスタの使用.....	233
4. 電圧レギュレータの動作.....	236
4.1. 電圧レギュレータ動作モードの変更.....	237
4.2. 出力電圧の電圧レギュレータの設定.....	238
5. スタンバイモード.....	239
5.1. スリープモード (RC スリープ, メインスリープ, PLL スリープ, およびサブスリープモード) .....	240
5.2. タイマモード (RC タイマ, メインタイマ, PLL タイマ, およびサブタイマモード) .....	243
5.3. ストップモード .....	246
6. モード切換え表と動作状態 .....	250
7. レジスタ .....	252
7.1. スタンバイモード制御レジスタ (SMCR) .....	253
7.2. 拡張スタンバイモード制御レジスタ (ESMCR) .....	255
7.3. 電圧レギュレータ制御レジスタ (VRCR).....	257
Chapter 9: ソースクロックタイマ .....	259
1. 概要.....	260
2. RC クロックタイマ .....	261
2.1. RC クロックタイマの動作 .....	262
2.2. RC クロックタイマ制御レジスタ (RCTCR) .....	263
3. メインクロックタイマ .....	266
3.1. メインクロックタイマの動作.....	267
3.2. メインクロックタイマ制御レジスタ (MCTCR) .....	268
4. サブクロックタイマ .....	271
4.1. サブクロックタイマの動作 .....	273

4.2. サブクロックタイマ制御レジスタ(SCTCR).....	274
Chapter 10: ウォッチドッグタイマとウォッチドッグリセット .....	277
1. 概要 .....	278
2. 動作 .....	279
3. レジスタ .....	286
3.1. ウォッチドッグタイマ構成レジスタ(WDTC).....	287
3.2. ウォッチドッグタイマ拡張構成レジスタ(WDTEC).....	292
3.3. ウォッチドッグタイマクリアパターンレジスタ(WDTCR).....	295
Chapter 11: I/O ポート .....	297
1. 概要 .....	298
2. レジスタ .....	299
2.1. ポートデータレジスタ(PDRnn).....	300
2.2. 外部端子状態レジスタ(EPDRnn) .....	301
2.3. データ方向レジスタ(DDRnn) .....	302
2.4. ポート入力許可レジスタ(PIERnn) .....	303
2.5. ポート high 駆動レジスタ(PHDRnn).....	304
2.6. プルアップ制御レジスタ(PUCRnn) .....	305
2.7. プルダウン制御レジスタ(PDCRnn) .....	306
3. レジスタの用途 .....	307
Chapter 12: 16 ビット入出力タイマ .....	309
1. 概要 .....	310
2. 16 ビット入出力タイマのレジスタ .....	312
3. 16 ビットフリーランタイマ .....	314
3.1. 動作.....	315
3.2. データレジスタ(TCDTn) .....	317
3.3. コントロールステータスレジスタ (TCCSn) .....	318
4. アウトプットコンペアユニット .....	322
4.1. 動作.....	324
4.2. アウトプットコンペアレジスタ(OCCP(2n) / OCCP(2n+1)).....	329
4.3. アウトプットコンペアのコントロールステータスレジスタ (OCS(2n) / OCS(2n+1)).....	330
5. インプットキャプチャユニット .....	337
5.1. 動作.....	339
5.2. インプットキャプチャデータレジスタ(IPCPn) .....	341
5.3. インプットキャプチャコントロールステータスレジスタ (ICS(2n)(2n+1)) .....	342
5.4. インプットキャプチャユニットエッジレジスタ (ICE(2n)(2n+1)).....	345
Chapter 13: 16 ビットリロードタイマ(イベントカウント機能付き).....	347
1. 概要 .....	348
2. 内部クロックカウンタ動作と外部イベントカウンタ動作 .....	350
3. アンダフロー動作 .....	352

4.	出力端子機能 .....	353
5.	カウンタの動作状態 .....	355
6.	TIN ラッチ機能 .....	356
7.	16 ビットリロードタイマ(イベントカウント機能付き) .....	357
7.1.	タイマ制御状態レジスタ(TMCSRn).....	358
7.2.	16 ビットタイマレジスタ(TMRn)/16 ビットリロードレジスタ(TMRLRn)のレジスタ構成 ...	362
8.	カスケード接続 .....	363
8.1.	リロードタイマ入力選択レジスタ(TMISR).....	365
Chapter 14:	PPG .....	367
1.	概要.....	368
2.	動作.....	374
3.	レジスタ .....	385
3.1.	PPG 制御ステータスレジスタ (PCNn) .....	386
3.2.	拡張 PPG 制御ステータスレジスタ 1 (EPCN1n).....	391
3.3.	拡張 PPG 制御ステータスレジスタ 2 (EPCN2n).....	396
3.4.	汎用制御レジスタ 1 (GCN1g) .....	400
3.5.	汎用制御レジスタ 2 (GCN2g) .....	401
3.6.	汎用制御レジスタ 3 (GCN3g) .....	402
3.7.	汎用制御レジスタ 4 (GCN4g) .....	403
3.8.	汎用制御レジスタ 5 (GCN5g) .....	404
3.9.	PPG 周期設定レジスタ (PCSRn).....	405
3.10.	PPG デューティ設定レジスタ (PDUTn).....	406
3.11.	PPG タイマレジスタ (PTMRn) .....	407
3.12.	PPG スタートディレイレジスタ (PSDRn) .....	408
3.13.	PPG タイミングポイントキャプチャレジスタ (PTPCn).....	409
3.14.	PPG エンドデューティレジスタ (PEDRn) .....	410
3.15.	汎用制御レジスタ (GCNR).....	411
4.	使用上の注意 .....	412
Chapter 15:	クアッドカウンタ .....	415
1.	概要.....	416
2.	構成.....	417
3.	動作説明 .....	418
4.	レジスタ .....	431
4.1.	クアッドカウンタ位置カウントレジスタ(QPCR).....	432
4.2.	クアッドカウンタ回転カウントレジスタ(QRCR) .....	434
4.3.	クアッドカウンタ位置カウンタ比較レジスタ(QPCCR).....	435
4.4.	クアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR) .....	436
4.5.	クアッドカウンタ制御レジスタ(QCR).....	437
4.6.	クアッドカウンタ拡張制御レジスタ(QEQR).....	442
4.7.	クアッドカウンタ割込み制御レジスタ下位バイト(QICRL).....	444
4.8.	クアッドカウンタ割込み制御レジスタ上位バイト(QICRH).....	448



4.9. クアッドカウンタ最大位置レジスタ (QMPR).....	452
Chapter 16: 外部割込み .....	453
1. 概要 .....	454
2. レジスタ .....	455
2.1. 外部割込み許可レジスタ (ENIRn: 外部割込み要求許可レジスタ).....	456
2.2. 外部割込みフラグ (EIRRn: 外部割込み要求レジスタ).....	457
2.3. 要求レベル設定レジスタ (ELVRn: 外部割込みレベルレジスタ).....	458
3. 外部割込み機能の使用上の注意 .....	460
Chapter 17: A/D コンバータ .....	461
1. 概要 .....	462
2. A/D コンバータの動作 .....	464
3. 変換データ保護機能.....	466
4. データバッファ機能.....	470
5. レンジ比較機能 .....	481
6. チャネルスキップ機能.....	483
7. パルス検出機能 .....	485
8. A/D コンバータのレジスタ .....	489
8.1. A/D 制御状態レジスタ (ADCS).....	490
8.2. A/D データレジスタ (ADCR).....	496
8.3. A/D 設定レジスタ (ADSR).....	498
8.4. A/D データバッファ制御レジスタ (ADDBCR) .....	502
8.5. A/D データバッファレジスタ (ADCBR0~7) .....	507
8.6. レンジ比較上限しきい値レジスタ (ADRCOH0~3).....	509
8.7. レンジ比較下限しきい値レジスタ (ADRCOL0~3) .....	511
8.8. レンジ比較チャネル制御レジスタ (ADCC0~15) .....	513
8.9. レンジ比較インバートレンジ選択レジスタ (ADRCOIRS0~3).....	518
8.10. レンジ比較しきい値超過フラグレジスタ (ADRCOOF0~3) .....	521
8.11. レンジ比較フラグレジスタ (ADRCOINTF0~3) .....	523
8.12. チャネルスキップレジスタ (ADDSCR0~3).....	525
8.13. ADC パルスカウンタリロードレジスタ (ADPCTNRD0~31/ADPCTPRD0~31) .....	527
8.14. ADC パルスカウンタレジスタ (ADPCTNCT0~31/ADPCTPCT0~31).....	529
8.15. ADC パルスカウンタ割込みイネーブルレジスタ (ADPCIE0~3).....	531
8.16. ADC パルスカウンタゼロフラグレジスタ (ADPCZF0~3).....	533
8.17. アナログ入力許可レジスタ (ADER0~3) .....	535
Chapter 18: A/D コンバータトリガ.....	537
1. 概要 .....	538
2. 動作 .....	540
3. レジスタ .....	541
3.1. ADC トリガ制御レジスタ (ADTGCRn).....	542
3.2. ADC トリガ入力選択 (ADTGISELn).....	543

Chapter 19: USART.....	545
1. 概要.....	546
2. 構成.....	550
3. 端子.....	556
4. 動作.....	557
4.1. 非同期モード (動作モード 0, 1) での動作 .....	559
4.2. 同期モード (動作モード 2) での動作 .....	561
4.3. LIN モードでの USART の機能 .....	565
4.4. LIN 機能 (動作モード 3) の動作 .....	569
4.5. シリアル端子の直接アクセス.....	574
4.6. 双方向通信機能 (ノーマルモード).....	575
4.7. マスタ/スレーブ通信機能 (マルチプロセッサモード).....	579
4.8. LIN 通信機能.....	583
4.9. LIN 通信での USART (動作モード 3) のフローチャート例.....	587
5. 割込み.....	593
5.1. 受信割込みの生成とフラグのセットタイミング.....	600
5.2. 送信割込みの生成とフラグのセットタイミング.....	604
6. ボーレート.....	608
6.1. ボーレートの設定.....	610
6.2. リロードカウンタの再スタート .....	613
6.3. 自動ボーレート検出/ 調整.....	615
7. レジスタ .....	616
7.1. シリアル制御レジスタ (SCRn).....	617
7.2. シリアルモードレジスタ (SMRn).....	621
7.3. シリアルステータスレジスタ (SSRn).....	625
7.4. 受信データレジスタ/送信データレジスタ (RDRn/TDRn).....	629
7.5. 拡張ステータス制御レジスタ (ESCRn) .....	632
7.6. 拡張通信制御レジスタ (ECCRn).....	636
7.7. ボーレート/リロードカウンタレジスタ (BGRn).....	639
7.8. 拡張シリアル割込みレジスタ (ESIRn).....	640
7.9. 送信 FIFO 制御レジスタ (TFCRn).....	643
7.10. 受信 FIFO 制御レジスタ (RFCRn) .....	646
7.11. 送信 FIFO ステータスレジスタ (TFSRn).....	649
7.12. 受信 FIFO ステータスレジスタ (RFSRn).....	651
7.13. Sync Field タイムアウトレジスタ (SFTRn).....	653
7.14. チェックサムステータス制御レジスタ (CSCRn).....	654
7.15. フレーム ID データレジスタ (FIDRn).....	657
7.16. 拡張機能許可レジスタ (EFERLn).....	658
7.17. 拡張機能許可レジスタ (EFERHn).....	661
7.18. 拡張割込み許可レジスタ (EIERn) .....	664
7.19. 拡張ステータスレジスタ (ESRn).....	667
8. 使用上の注意 .....	670

Chapter 20:	400 kHz I <sup>2</sup> C インタフェース .....	679
1.	概要 .....	680
2.	動作 .....	682
3.	プログラミングフローチャート .....	685
4.	レジスタ .....	687
4.1.	バスステータスレジスタ (IBSRn) .....	688
4.2.	バスコントロールレジスタ (IBCRn) .....	692
4.3.	10 ビットスレーブアドレスレジスタ (ITBAn) .....	700
4.4.	10 ビットスレーブアドレスマスクレジスタ (ITMKn) .....	701
4.5.	7 ビットスレーブアドレスレジスタ (ISBAn) .....	703
4.6.	7 ビットスレーブアドレスマスクレジスタ (ISMKn) .....	704
4.7.	データレジスタ (IDARn) .....	705
4.8.	クロックコントロールレジスタ (ICCRn) .....	706
Chapter 21:	CAN コントローラ .....	709
1.	概要 .....	710
2.	機能の説明 .....	711
3.	CAN アプリケーション .....	716
4.	各レジスタの説明 .....	727
5.	CAN デバイス関連のレジスタ .....	732
5.1.	CAN 出力許可レジスタ (COERn) .....	733
6.	CAN プロトコル関連のレジスタ .....	734
6.1.	CAN 制御レジスタ (CTRLRn) .....	735
6.2.	ステータスレジスタ (STATRn) .....	739
6.3.	エラーカウンタ (ERRCNTn) .....	743
6.4.	ビットタイミングレジスタ (BTRn) .....	745
6.5.	テストレジスタ (TESTRn) .....	747
6.6.	BRP 拡張レジスタ (BRPERn) .....	749
7.	メッセージインタフェースレジスタセット .....	750
7.1.	IFx コマンドリクエストレジスタ (IFxCREQn) .....	752
7.2.	IFx コマンドマスクレジスタ (IFxCMSKn) .....	755
7.3.	IFx マスクレジスタ (IFxMSK1n, IFxMSK2n) .....	759
7.4.	IFx アービトレーションレジスタ (IFxARB1n, IFxARB2n) .....	760
7.5.	IFx メッセージ制御レジスタ (IFxMCTRn) .....	761
7.6.	IFx データ A およびデータ B レジスタ (IFxDTA1n, IFxDTA2n, IFxDTB1n, IFxDTB2n) .....	762
8.	メッセージメモリ内のメッセージオブジェクト .....	763
9.	メッセージハンドラのレジスタ .....	770
9.1.	割込みレジスタ (INTRn) .....	771
9.2.	送信リクエストレジスタ (TREQR1n, TREQR2n) .....	773
9.3.	新規データレジスタ (NEWDT1n, NEWDT2n) .....	776
9.4.	割込み保留レジスタ (INTPND1n, INTPND2n) .....	778
9.5.	メッセージ有効レジスタ (MSGVAL1n, MSGVAL2n) .....	780

Chapter 22:	クロック出力機能 .....	783
1.	概要.....	784
2.	動作.....	785
3.	レジスタ .....	786
3.1.	クロック出力構成レジスタ(COCCRn) .....	787
3.2.	クロック出力起動レジスタ(COAR) .....	789
Chapter 23:	リアルタイムクロック .....	793
1.	概要.....	794
2.	動作.....	796
3.	レジスタ .....	799
3.1.	タイマ制御レジスタ(WTCR).....	800
3.2.	タイマ制御拡張レジスタ(WTCER) .....	805
3.3.	クロック選択レジスタ(WTCKSR) .....	807
3.4.	サブセカンドレジスタ(WTBR) .....	808
3.5.	時/分/秒レジスタ(WTHR, WTMR, WTSR).....	810
4.	注意事項 .....	812
Chapter 24:	クロック補正ユニット .....	815
1.	概要.....	816
2.	レジスタ .....	819
2.1.	クロック補正ユニット制御レジスタ (CUCR).....	820
2.2.	クロック補正ユニット測定時間タイマデータレジスタ (CUTD) .....	822
2.3.	クロック補正ユニット補正タイマデータレジスタ (24 ビット) (CUTR).....	824
3.	アプリケーションノート .....	825
Chapter 25:	LCD コントローラ/ドライバ .....	827
1.	LCD コントローラ/ドライバの構成 .....	828
1.1.	LCD コントローラ/ドライバ分割抵抗 .....	830
2.	動作.....	833
3.	LCD コントローラレジスタ .....	839
3.1.	LCD 制御レジスタ (LCR) .....	840
3.2.	LCD 共通端子切換えレジスタ (LCDCMR) .....	843
3.3.	LCD 拡張制御レジスタ (LECR).....	844
4.	LCD 許可レジスタ .....	846
4.1.	LCD セグメント許可レジスタ LCDER および電圧ライン許可レジスタ LCDVER.....	847
5.	LCD コントローラ/ドライバの表示用 RAM.....	849
6.	注意事項 .....	851
Chapter 26:	ステッピングモータコントローラ .....	853
1.	概要.....	854
2.	構成.....	855

3. 動作説明 .....	857
4. 設定手順例 .....	861
5. レジスタ .....	866
5.1. PWM 制御レジスタ(PWC).....	867
5.2. PWM 拡張制御レジスタ(PWEC).....	869
5.3. PWM1, PWM2 コンペアレジスタ(PWC1, PWC2).....	870
5.4. PWM1, PWM2 選択レジスタ(PWS1, PWS2) .....	872
6. 使用上の注意.....	875
Chapter 27: サウンドジェネレータ .....	877
1. 概要 .....	878
2. レジスタ .....	879
2.1. サウンドコントロールレジスタ(SGCRn) .....	880
2.2. 振幅データレジスタ (SGARn).....	885
2.3. 周波数データレジスタ (SGFRn) .....	887
2.4. トーンカウントレジスタ (SGTRn).....	888
2.5. デクリメントグレードレジスタ (SGDRn) .....	889
Chapter 28: ROM/RAM ミラー機能選択モジュール .....	891
1. 概要 .....	892
2. レジスタ .....	893
2.1. ROM ミラー機能選択レジスタ(ROMM).....	894
Chapter 29: デュアルオペレーションフラッシュメモリ .....	899
1. 概要 .....	900
2. ブロックダイアグラムとセクタ構成 .....	902
3. モード.....	905
4. 自動アルゴリズムの起動 .....	906
5. 自動アルゴリズム実行状態の確認.....	908
5.1. データポーリングフラグ(DQ[15,7]) .....	911
5.2. トグルビットフラグ(DQ[14,6]) .....	912
5.3. タイミングリミット超過フラグ(DQ[13,5]) .....	913
5.4. セクタ消去タイマフラグ(DQ[11,3]) .....	915
5.5. トグルビット 2 フラグ(DQ[10,2]).....	916
6. 書込み/消去の詳細説明 .....	917
6.1. 読出し/リセット状態の設定 .....	918
6.2. 書込みコマンドシーケンスでのデータ書込み .....	919
6.3. 書込みコマンドシーケンサを使用したデータ書込み.....	922
6.4. 全データ消去(チップ消去) .....	924
6.5. 任意データ消去(セクタ消去).....	925
6.6. セクタ消去一時停止 .....	928
6.7. セクタ消去再開.....	929
6.8. セクタ消去/書込み保護.....	930

7.	レジスタ .....	932
7.1.	デュアルオペレーションフラッシュ設定レジスタ (DFCA, DFCB) .....	933
7.2.	デュアルオペレーションフラッシュ割込み制御レジスタ (DFICA, DFICB) .....	935
7.3.	デュアルオペレーションフラッシュステータスレジスタ (DFSA, DFSB) .....	938
7.4.	デュアルオペレーションフラッシュ割込みステータス レジスタ (DFISA, DFISB) .....	941
7.5.	デュアルオペレーションフラッシュ書込みアクセス制御 レジスタ 0~1 (DFWC0A, DFWC0B, DFWC1A, DFWC1B) .....	945
8.	使用上の注意 .....	948
9.	プログラム例 .....	949
Chapter 30:	フラッシュセキュリティ .....	963
1.	概要 .....	964
2.	使用方法 .....	965
Chapter 31:	シリアルプログラミング接続の例 .....	969
1.	シリアルプログラミング接続の基本構成 .....	970
2.	フラッシュマイクロコントローラをプログラミングするための PC の接続例 .....	973
3.	フラッシュマイクロコントローラをプログラミングするためのプログラミングツールの接続例 .....	974
Chapter 32:	オンチップデバッグ .....	977
1.	特長 .....	978
2.	構成 .....	980
3.	動作 .....	982
3.1.	OCD 動作モード .....	983
3.1.1.	動作モード .....	984
3.1.2.	動作モード状態遷移 .....	985
3.2.	DEBUG I/F 概要 .....	987
3.2.1.	チップリセットシーケンス .....	988
3.2.1.1.	デフォルトのチップリセットシーケンス .....	989
3.2.1.2.	高速スタートアップモードのチップリセットシーケンス .....	991
3.2.1.3.	DEBUG I/F 禁止時のチップリセットシーケンス .....	993
3.2.2.	デバッグ I/F ウェイクアップ .....	994
3.2.3.	セキュリティ機能 .....	995
3.2.4.	DEBUG I/F ポート制御 .....	996
3.3.	デバッグツール接続時の仕様制限 .....	998
3.3.1.	クロック設定 .....	999
3.3.2.	スタンバイモード .....	1000
3.3.3.	仕様制限のまとめ .....	1001
3.4.	本製品の OCD-DSU ID コードおよびマウントタイプ情報 .....	1005
4.	レジスタ .....	1007
4.1.	DSU 制御レジスタ (DSUCR) .....	1008
4.2.	ユーザイベントレジスタ (UER) .....	1009
4.3.	メッセージバッファレジスタ (MBR) .....	1010

5. DEBUG I/F ターゲットボード基板設計ガイドライン .....	1011
6. 使用上の注意 .....	1014
付録 .....	1015
A. MB96610 の I/O マップ .....	1016
B. MB96620 の I/O マップ .....	1036
C. MB96630 の I/O マップ .....	1056
D. MB96640 の I/O マップ .....	1083
E. MB96650 の I/O マップ .....	1111
F. MB96670 の I/O マップ .....	1139
G. MB96680 の I/O マップ .....	1158
H. MB96690 の I/O マップ .....	1178
I. MB966A0 の I/O マップ .....	1207
J. MB966B0 の I/O マップ .....	1238
K. MB966C0 の I/O マップ .....	1268
L. 主な変更内容 .....	1299
改訂履歴 .....	1316

# Chapter 1: 概要



---

F<sup>2</sup>MC-16FX マイコンのファミリーである MB96600 シリーズは、多様なアプリケーションに対応する様々なシリーズで構成されます。MB96600 シリーズのプログラミングは共通です。

---

1. 特長
2. MB96600 シリーズ品種構成
3. 16ビットI/Oタイマの構成
4. LIN-USARTのインプットキャプチャユニットのソースの選択
5. 周辺リソース端子のリロケーション

---

管理コード : 96F60OVERVIEW-J03.0

---



## 1. 特長

F<sup>2</sup>MC-16FX ファミリの MB96600 シリーズは、自動車関連の用途向けに開発された 16 ビットマイクロコントローラです。

### ■ 特長

- ・ 16 ビットのコア CPU (最大 32MHz の CPU クロック) を内蔵, 31.2ns の命令サイクル時間
- ・ 0.18  $\mu$ m CMOS プロセステクノロジー
- ・ 豊富なデータタイプ (ビット・バイト・ワード・ロングワードデータタイプ; 23 種類のアドレッシングモード; バレルシフト; 各種ポインタ)
- ・ 8 バイト命令実行キュー
- ・ 符号付き乗算 (16 ビット $\times$ 16 ビット) および除算 (32 ビット/16 ビット) 命令を使用可能
- ・ 内蔵電圧レギュレータにより内部 MCU 電圧を抑制でき、EMI および電力消費を小さくします
- ・ コードセキュリティ機能
- ・ FULL-CAN インタフェース: Version 2.0 Part A および Part B に準拠, ISO16845 認定済み。
- ・ 強力な割込み機能 (8 プライオリティレベル: 外部割込み)
- ・ 高速割込み処理
- ・ DMA-CPU に依存しない自動転送機能。周辺機能に自由に割当て可能。
- ・ 3 つの独立したクロックタイマ (23 ビット RC クロックタイマ, 23 ビットのメインクロックタイマ, 17 ビットのサブクロックタイマ)
- ・ ハードウェアウォッチドッグタイマ
- ・ 全二重 USART (SCI/LIN)
- ・ I<sup>2</sup>C, 400 kbps
- ・ A/D コンバータ用のアナログ入力 (分解能 10 ビットまたは 8 ビット)
- ・ 16 ビットリロードタイマ
- ・ 16 ビットインプットキャプチャ (ICU)
- ・ 16 ビットアウトプットコンペア (OCU)
- ・ 16 ビットフリーランタイマ
- ・ 16 ビットプログラマブルパルスジェネレータ
- ・ クアッドカウンタ (QPRC)
- ・ 大電流ポート付きステッピングモータコントローラ
- ・ LCD コントローラ, 内部または外部 LCD 駆動用電圧の生成
- ・ 8 ビット PWM パルス発生器付きサウンドジェネレータ
- ・ 低消費電力モード (ラン, スリープ, タイマ, ストップなど 13 通りの動作モード)
- ・ 4 MHz $\sim$ 8 MHz 外部クロック, プログラム可能な乗算係数 1 $\sim$ 8 のオンチップ PLL
- ・ 32 $\sim$ 100 kHz のサブシステムクロック
- ・ 100 kHz/2 MHz の内蔵 RC クロック
- ・ すべてのポートに対してプログラム可能なプルアップ抵抗
- ・ コントローラエリアネットワーク (CAN) - Robert Bosch GmbH のライセンス
- ・ オンチップデバッグシステム

### ■ MB96600 シリーズのブロックダイアグラム

ブロックダイアグラムは各シリーズのデータシートを参照してください。

## 2. MB96600 シリーズ品種構成

表 2-1 に MB96600 シリーズの概要を示します。

### ■ MB96600 シリーズ品種構成

MB96600 シリーズは、表 2-1 に示す F<sup>2</sup>MC-16FX シリーズを含みます。

表 2-1 MB96600 シリーズ品種構成

シリーズ	フラッシュメモリ品
MB96610	MB96F612R/A, MB96F613R/A, MB96F615R/A
MB96620	MB96F622R/A, MB96F623R/A, MB96F625R/A
MB96630	MB96F633R/A, MB96F635R/A, MB96F636R, MB96F637R
MB96640	MB96F643R/A, MB96F645R/A, MB96F646R, MB96F647R
MB96650	MB96F653R/A, MB96F655R/A, MB96F656R, MB96F657R
MB96670	MB96F673R/A, MB96F675R/A
MB96680	MB96F683R/A, MB96F685R/A
MB96690	MB96F693R/A, MB96F695R/A, MB96F696R
MB966A0	MB96F6A5R/A, MB96F6A6R
MB966B0	MB96F6B5R/A, MB96F6B6R
MB966C0	MB96F6C5R/A, MB96F6C6R

## ■ 周辺機能一覧

表 2-2 周辺機能一覧

機能	シリーズ				
	MB96610 MB96620	MB96630 MB96640 MB96650	MB96670 MB96680	MB96690 MB966A0	MB966B0 MB966C0
CPU	あり	あり	あり	あり	あり
割込み	あり	あり	あり	あり	あり
DMA	あり	あり	あり	あり	あり
遅延割込み	あり	あり	あり	あり	あり
クロック	あり	あり	あり	あり	あり
リセットと スタートアップ	あり	あり	あり	あり	あり
スタンバイモードおよび電圧レ ギュレータ制御回路	あり	あり	あり	あり	あり
ソースクロックタイマ	あり	あり	あり	あり	あり
ウォッチドッグタイマとウォッ チドッグリセット	あり	あり	あり	あり	あり
I/O ポート	あり	あり	あり	あり	あり
16 ビット入出力タイマ	あり	あり	あり	あり	あり
16ビットフリーランタイマ	あり	あり	あり	あり	あり
アウトプットコンペアユ ニット	あり	あり	なし	あり	あり
インプットキャプチャユ ニット	あり	あり	あり	あり	あり
16 ビットリロードタイマ (イベントカウント機能付き)	あり	あり	あり	あり	あり

機能	シリーズ				
	MB96610 MB96620	MB96630 MB96640 MB96650	MB96670 MB96680	MB96690 MB966A0	MB966B0 MB966C0
PPG	あり	あり	あり	あり	あり
タイミングポイントキャプチャ機能	あり	あり	あり	あり	あり
スタートディレイ機能	なし	あり	なし	あり	あり
ランプ機能	なし	なし	なし	なし	なし
クアドカウンタ	あり	あり	なし	なし	あり
外部割込み	あり	あり	あり	あり	あり
A/D コンバータ	あり	あり	あり	あり	あり
データバッファ機能	なし	なし	なし	なし	なし
レンジ比較機能	あり	あり	あり	あり	あり
チャネルスキップ機能	なし	あり	あり	あり	あり
パルス検出機能	なし	なし	あり	あり	あり
A/D コンバータトリガ	あり	あり	あり	あり	あり
USART	あり	あり	あり	あり	あり
LIN-ヘッダ自動送受信機能	あり	あり	あり	あり	あり
16 バイト RX/TX FIFO 機能	なし	なし	なし	あり	あり
400 kHz I <sup>2</sup> C インタフェース	MB96610: なし MB96620: あり	あり	あり	あり	あり
CAN コントローラ	あり	あり	あり	あり	あり
クロック出力機能	あり	あり	あり	あり	あり
リアルタイムクロック	あり	あり	あり	あり	あり
クロック補正ユニット	あり	あり	あり	あり	あり
LCD コントローラ/ドライバ	なし	なし	あり	あり	あり
ステッピングモータ コントローラ	なし	なし	あり	あり	なし
サウンドジェネレータ	なし	なし	あり	あり	あり

機能	シリーズ				
	MB96610 MB96620	MB96630 MB96640 MB96650	MB96670 MB96680	MB96690 MB966A0	MB966B0 MB966C0
ROM/RAM ミラー機能選択モジュール	あり	あり	あり	あり	あり
デュアルオペレーション フラッシュメモリ	あり	あり	あり	あり	あり
フラッシュセキュリティ	あり	あり	あり	あり	あり
シリアルプログラミング 接続の例	あり	あり	あり	あり	あり
オンチップデバッガ(OCD)	あり	あり	あり	あり	あり

### 3. 16 ビット I/O タイマの構成

使用可能なフリーランタイマ、インプットキャプチャユニットおよびアウトプットコンペアユニットの数はデバイスによって異なります。複数のインプットキャプチャユニットおよびアウトプットコンペアユニットが1つのフリーランタイマに接続されます。これらのモジュールの間の関係を説明します。

#### ■ インプットキャプチャユニットとフリーランタイマの接続

表 3-1 インプットキャプチャユニットとフリーランタイマの接続

	FRT 0	FRT 1	FRT 2	FRT 3
MB96610	ICU 0/1	ICU 4/5/6	ICU 9	ICU 10
MB96620		ICU 4/5/6/7		
MB96630				
MB96640				
MB96650				
MB96670		ICU 4/5	—	—
MB96680				
MB96690		ICU 4/5/6/7		
MB966A0				
MB966B0	ICU 0/1			
MB966C0	ICU 0/1/2/3			

## ■ アウトプットコンペアユニットとフリーランタイマの接続

表 3-2 アウトプットコンペアユニットとフリーランタイマの接続

	FRT 0	FRT 1	FRT 2	FRT 3
MB96610	OCU 0/1	OCU 4/6/7	—	
MB96620		OCU 4/5/6/7		
MB96630	OCU 0/1/2/3	OCU 4/6/7		
MB96640				
MB96650				
MB96670	—			
MB96680				
MB96690	OCU 0/1/2/3	—		
MB966A0				
MB966B0				
MB966C0				

## ■ タイマクリア機能と OCU 間およびコンペアクリアとフリーランタイマ関係

表 3-3 コンペアクリアおよびフリーランタイマのタイマクリアの関係

	タイマが下記のコンペアレジスタとの一致でクリア			
	FRT 0	FRT 1	FRT 2	FRT 3
MB96610	OCCP0	OCCP4	—	
MB96620				
MB96630				
MB96640				
MB96650				
MB96670	—			
MB96680				
MB96690	OCCP0	—		
MB966A0				
MB966B0				
MB966C0				

## 4. LIN-USART のインプットキャプチャユニットのソースの選択

インプットキャプチャユニットのインプットソースは、外部端子 (INn) と LIN-USART のシンクフィールドアウトプットのどちらかを選択できます。この章ではインプットキャプチャのインプットを選択する方法とどの LIN-USART をどの ICU に接続できるかを説明します。

### ■ LIN-USART と ICU の接続の概要

表 4-1 LIN-USART と ICU の接続

シリーズ	LIN-USART	ICU	ICU の フリーランタイム	ICU ソース選択 ビット	ICU 有効エッジ 表示ビット
MB96630/640/650 MB96670/680 MB96690/6A0 MB966B0/6C0	USART0	ICU0	FRT0	ICE01:ICUS0	ICE01:IEI0
MB96640/650 MB96670/680 MB96690/6A0 MB966B0/6C0	USART1	ICU1		ICE01:ICUS1	ICE01:IEI1
MB96610/620 MB96630/640/650 MB96690/6A0 MB966B0/6C0	USART2	ICU6	FRT1	ICE67:ICUS6	ICE67:IEI6
MB96630/640/650 MB96690/6A0 MB966B0/6C0	USART4	ICU4		ICE45:ICUS4	ICE45:IEI4
MB96630/640/650 MB96690/6A0 MB966B0/6C0	USART5	ICU5		ICE45:ICUS5	ICE45:IEI5
MB96610/620 MB96630/640/650	USART7	ICU9	FRT2	ICE89:ICUS9	ICE89:IEI9
MB96610/620	USART8	ICU10	FRT3	ICE1011:ICUS10	ICE1011:IEI10



## ■ インพุットキャプチャユニットのソースの選択

ICU のソース選択は、インพุットキャプチャエッジレジスタ ICExy によって行います。

### ● インพุットキャプチャエッジレジスタ ICE01

ICE01								
bit	15	14	13	12	11	10	9	8
	-	-	-	ICUS1	-	ICUS0	IEI1	IEI0
属性	-	-	-	R/W	-	R/W	R	R
初期値	X	X	X	0	X	0	0	0

#### [bit15～bit13] -: 予約ビット

読出し値は不定、書込みは常に "0"

リードモディファイライト(RMW) 動作は無効です。

#### [bit12] ICUS1: ICU1 のインพุットキャプチャソース選択

bit	説明
0	外部端子 IN1 が入力ソース
1	USART1 が入力ソース

#### [bit11] -: 予約ビット

読出し値は不定、書込みは常に "0"

リードモディファイライト(RMW) 動作は無効です。

#### [bit10] ICUS0: ICU0 のインพุットキャプチャソース選択

bit	説明
0	外部端子 IN0 が入力ソース
1	USART0 が入力ソース

#### [bit9] IEI1: ICU1 のインพุットキャプチャ有効エッジ表示ビット

bit	説明
0	立下りエッジ検出
1	立上りエッジ検出

#### [bit8] IEI0: ICU0 のインพุットキャプチャ有効エッジ表示ビット

bit	説明
0	立下りエッジ検出
1	立上りエッジ検出

## ● インプットキャプチャエッジレジスタ ICE45

ICE45								
bit	15	14	13	12	11	10	9	8
	-	-	-	ICUS5	-	ICUS4	IEI5	IEI4
属性	-	-	-	R/W	-	R/W	R	R
初期値	X	X	X	0	X	0	0	0

### [bit15～bit13] -: 予約ビット

読出し値は不定、書込みは常に "0"

リードモディファイライト(RMW) 動作は無効です。

### [bit12] ICUS5: ICU5 のインプットキャプチャソース選択

bit	説明
0	外部端子 IN5 が入力ソース
1	USART5 が入力ソース

### [bit11] -: 予約ビット

読出し値は不定、書込みは常に "0"

リードモディファイライト(RMW) 動作は無効です。

### [bit10] ICUS4: ICU4 のインプットキャプチャソース選択

bit	説明
0	外部端子 IN4 が入力ソース
1	USART4 が入力ソース

### [bit9] IEI5: ICU5 のインプットキャプチャ有効エッジ表示ビット

bit	説明
0	立下りエッジ検出
1	立上りエッジ検出

### [bit8] IEI4: ICU4 のインプットキャプチャ有効エッジ表示ビット

bit	説明
0	立下りエッジ検出
1	立上りエッジ検出

## ● インพุットキャプチャエッジレジスタ ICE67

ICE67								
bit	15	14	13	12	11	10	9	8
	-	-	-	-	-	ICUS6	IEI7	IEI6
属性	-	-	-	R/W	-	R/W	R	R
初期値	X	X	X	0	X	0	0	0

### [bit15～bit13] -: 予約ビット

読出し値は不定、書込みは常に "0"

リードモディファイライト(RMW) 動作は無効です。

### [bit12] -: 予約ビット

読出し値は "0"、書込みは常に "0"

リードモディファイライト(RMW) 動作は無効です。

### [bit11] -: 予約ビット

読出し値は不定、書込みは常に "0"

リードモディファイライト(RMW) 動作は無効です。

### [bit10] ICUS6: ICU6 のインพุットキャプチャソース選択

bit	説明
0	外部端子 IN6 が入力ソース
1	USART2 が入力ソース

### [bit9] IEI7: ICU7 のインพุットキャプチャ有効エッジ表示ビット

bit	説明
0	立下りエッジ検出
1	立上りエッジ検出

### [bit8] IEI6: ICU6 のインพุットキャプチャ有効エッジ表示ビット

bit	説明
0	立下りエッジ検出
1	立上りエッジ検出

## ● インプットキャプチャエッジレジスタ ICE89

ICE89								
bit	15	14	13	12	11	10	9	8
	-	-	-	ICUS9	-	-	IEI9	-
属性	-	-	-	R/W	-	R/W	R	R
初期値	X	X	X	0	X	0	0	0

### [bit15～bit13] -: 予約ビット

読出し値は不定、書込みは常に "0"

リードモディファイライト(RMW) 動作は無効です。

### [bit12] ICUS9: ICU9 のインプットキャプチャソース選択

bit	説明
0	外部端子 IN9 が入力ソース
1	USART7 が入力ソース

### [bit11] -: 予約ビット

読出し値は不定、書込みは常に "0"

リードモディファイライト(RMW) 動作は無効です。

### [bit10] -: 予約ビット

読出し値は "0"、書込みは常に "0"

リードモディファイライト(RMW) 動作は無効です。

### [bit9] IEI9: ICU9 のインプットキャプチャ有効エッジ表示ビット

bit	説明
0	立下りエッジ検出
1	立上りエッジ検出

### [bit8] -: 予約ビット

読出し値は不定、書込みは常に "0"

リードモディファイライト(RMW) 動作は無効です。

## ● インพุットキャプチャエッジレジスタ ICE1011

ICE1011								
bit	15	14	13	12	11	10	9	8
	-	-	-	-	-	ICUS10	-	IEI10
属性	-	-	-	R/W	-	R/W	R	R
初期値	X	X	X	0	X	0	0	0

### [bit15～bit13] -: 予約ビット

読出し値は不定、書込みは常に "0"

リードモディファイライト(RMW) 動作は無効です。

### [bit12] -: 予約ビット

読出し値は "0"、書込みは常に "0"

リードモディファイライト(RMW) 動作は無効です。

### [bit11] -: 予約ビット

読出し値は不定、書込みは常に "0"

リードモディファイライト(RMW) 動作は無効です。

### [bit10] ICUS10: ICU10 のインพุットキャプチャソース選択

bit	説明
0	外部端子 IN10 が入力ソース
1	USART8 が入力ソース

### [bit9] -: 予約ビット

読出し値は不定、書込みは常に "0"

リードモディファイライト(RMW) 動作は無効です。

### [bit8] IEI10: ICU10 のインพุットキャプチャ有効エッジ表示ビット

bit	説明
0	立下りエッジ検出
1	立上りエッジ検出

## 5. 周辺リソース端子のリロケーション

一部の周辺機能の入力または出力端子をリロケートできます。これらの端子のロケーションは、周辺リソース端子リロケーションレジスタ PRRR0~PRRR13によって定義されます。

### ■ 周辺リソース端子リロケーションレジスタの概要

表 5-1 周辺リソース端子リロケーションレジスタ (PRRR0~PRRR13)

アドレス	レジスタ名	bit7 bit15	bit6 bit14	bit5 bit13	bit4 bit12	bit3 bit11	bit2 bit10	bit1 bit9	bit0 bit8	説明
MB96610										
0004D6 <sub>H</sub>	PRRR0	INT7_R	-	-	INT4_R	-	INT2_R	-	-	周辺リソース端子リロケーションレジスタ 0
0004D7 <sub>H</sub>	PRRR1	-	-	-	-	-	INT10_R	-	-	周辺リソース端子リロケーションレジスタ 1
0004DB <sub>H</sub>	PRRR5	-	-	-	-	-	-	OUT1_R	OUT0_R	周辺リソース端子リロケーションレジスタ 5
0004DC <sub>H</sub>	PRRR6	-	CKOT1_R	SCK2_R	SOT2_R	SIN2_R	-	-	-	周辺リソース端子リロケーションレジスタ 6
0004DD <sub>H</sub>	PRRR7	-	-	-	-	INT3_R1	-	-	ADTG_R	周辺リソース端子リロケーションレジスタ 7
0004DE <sub>H</sub>	PRRR8	-	-	SCK8_R	SOT8_R	SIN8_R	SCK7_R	SOT7_R	SIN7_R	周辺リソース端子リロケーションレジスタ 8
0004DF <sub>H</sub>	PRRR9	-	-	CKOT0_R	-	-	-	-	-	周辺リソース端子リロケーションレジスタ 9
MB96620										
0004D6 <sub>H</sub>	PRRR0	INT7_R	-	-	INT4_R	-	INT2_R	-	INT0_R	周辺リソース端子リロケーションレジスタ 0
0004D7 <sub>H</sub>	PRRR1	-	-	-	-	INT11_R	INT10_R	INT9_R	-	周辺リソース端子リロケーションレジスタ 1
0004DB <sub>H</sub>	PRRR5	-	-	-	-	-	-	OUT1_R	OUT0_R	周辺リソース端子リロケーションレジスタ 5
0004DC <sub>H</sub>	PRRR6	-	CKOT1_R	SCK2_R	SOT2_R	SIN2_R	-	-	-	周辺リソース端子リロケーションレジスタ 6
0004DD <sub>H</sub>	PRRR7	-	-	-	-	INT3_R1	-	NMI_R	ADTG_R	周辺リソース端子リロケーションレジスタ 7
0004DE <sub>H</sub>	PRRR8	-	-	SCK8_R	SOT8_R	SIN8_R	SCK7_R	SOT7_R	SIN7_R	周辺リソース端子リロケーションレジスタ 8
0004DF <sub>H</sub>	PRRR9	-	-	CKOT0_R	-	-	-	-	-	周辺リソース端子リロケーションレジスタ 9

アドレス	レジスタ名	bit7 bit15	bit6 bit14	bit5 bit13	bit4 bit12	bit3 bit11	bit2 bit10	bit1 bit9	bit0 bit8	説明
MB96630										
0004D6 <sub>H</sub>	PRRR0	INT7_R	INT6_R	-	-	INT3_R	INT2_R	INT1_R	-	周辺リソース端子 リロケーション レジスタ 0
0004D8 <sub>H</sub>	PRRR2	-	-	-	-	-	PPG2_R	PPG1_R	PPG0_R	周辺リソース端子 リロケーション レジスタ 2
0004DA <sub>H</sub>	PRRR4	IN7_R	-	IN5_R	IN4_R	-	-	IN1_R	IN0_R	周辺リソース端子 リロケーション レジスタ 4
0004DB <sub>H</sub>	PRRR5	-	-	-	-	-	OUT2_R	-	OUT0_R	周辺リソース端子 リロケーション レジスタ 5
0004DC <sub>H</sub>	PRRR6	CKOTX 1_R	CKOT1_ R	-	-	-	FRCK0_ R	-	-	周辺リソース端子 リロケーション レジスタ 6
0004DE <sub>H</sub>	PRRR8	-	-	-	-	-	SCK7_R	SOT7_R	SIN7_R	周辺リソース端子 リロケーション レジスタ 8
0004DF <sub>H</sub>	PRRR9	-	-	CKOT0_ R	-	-	-	-	-	周辺リソース端子 リロケーション レジスタ 9
000660 <sub>H</sub>	PRRR10	-	-	-	-	PPG11_ R	PPG10_ R	PPG9_R	PPG8_R	周辺リソース端子 リロケーション レジスタ 10
000662 <sub>H</sub>	PRRR12	SCK5_R	SOT5_R	SIN5_R	-	-	-	-	-	周辺リソース端子 リロケーション レジスタ 12
000663 <sub>H</sub>	PRRR13	-	-	-	WOT_R	-	-	PPG13_ R	PPG12_ R	周辺リソース端子 リロケーション レジスタ 13
MB96640										
0004D6 <sub>H</sub>	PRRR0	INT7_R	INT6_R	INT5_R	INT4_R	INT3_R	INT2_R	INT1_R	-	周辺リソース端子 リロケーション レジスタ 0
0004D8 <sub>H</sub>	PRRR2	-	-	-	PPG4_R	PPG3_R	PPG2_R	PPG1_R	PPG0_R	周辺リソース端子 リロケーション レジスタ 2
0004DA <sub>H</sub>	PRRR4	IN7_R	-	IN5_R	IN4_R	-	-	IN1_R	IN0_R	周辺リソース端子 リロケーション レジスタ 4
0004DB <sub>H</sub>	PRRR5	-	-	-	-	-	OUT2_R	-	OUT0_R	周辺リソース端子 リロケーション レジスタ 5
0004DC <sub>H</sub>	PRRR6	CKOTX 1_R	CKOT1_ R	-	-	-	FRCK0_ R	-	-	周辺リソース端子 リロケーション レジスタ 6
0004DE <sub>H</sub>	PRRR8	-	-	-	-	-	SCK7_R	SOT7_R	SIN7_R	周辺リソース端子 リロケーション レジスタ 8
0004DF <sub>H</sub>	PRRR9	-	-	CKOT0_ R	-	-	-	-	-	周辺リソース端子 リロケーション レジスタ 9

アドレス	レジスタ名	bit7 bit15	bit6 bit14	bit5 bit13	bit4 bit12	bit3 bit11	bit2 bit10	bit1 bit9	bit0 bit8	説明
000660H	PRRR10	-	-	-	-	PPG11_R	PPG10_R	PPG9_R	PPG8_R	周辺リソース端子 リロケーション レジスタ 10
000662H	PRRR12	SCK5_R	SOT5_R	SIN5_R	-	-	-	-	-	周辺リソース端子 リロケーション レジスタ 12
000663H	PRRR13	-	-	-	WOT_R	-	-	PPG13_R	PPG12_R	周辺リソース端子 リロケーション レジスタ 13
MB96650										
0004D6H	PRRR0	INT7_R	INT6_R	INT5_R	INT4_R	INT3_R	INT2_R	INT1_R	-	周辺リソース端子 リロケーション レジスタ 0
0004D8H	PRRR2	-	-	PPG5_R	PPG4_R	PPG3_R	PPG2_R	PPG1_R	PPG0_R	周辺リソース端子 リロケーション レジスタ 2
0004D9H	PRRR3	-	-	TOT2_R	TIN2_R	TOT1_R	TIN1_R	-	-	周辺リソース端子 リロケーション レジスタ 3
0004DAH	PRRR4	IN7_R	IN6_R	IN5_R	IN4_R	-	-	IN1_R	IN0_R	周辺リソース端子 リロケーション レジスタ 4
0004DBH	PRRR5	-	-	-	-	OUT3_R	OUT2_R	OUT1_R	OUT0_R	周辺リソース端子 リロケーション レジスタ 5
0004DCH	PRRR6	CKOTX1_R	CKOT1_R	-	-	-	FRCK0_R	-	-	周辺リソース端子 リロケーション レジスタ 6
0004DEH	PRRR8	-	-	-	-	-	SCK7_R	SOT7_R	SIN7_R	周辺リソース端子 リロケーション レジスタ 8
0004DFH	PRRR9	-	-	CKOT0_R	-	-	-	-	-	周辺リソース端子 リロケーション レジスタ 9
000660H	PRRR10	-	-	-	-	PPG11_R	PPG10_R	PPG9_R	PPG8_R	周辺リソース端子 リロケーション レジスタ 10
000662H	PRRR12	SCK5_R	SOT5_R	SIN5_R	-	-	-	-	-	周辺リソース端子 リロケーション レジスタ 12
000663H	PRRR13	-	-	-	WOT_R	-	-	PPG13_R	PPG12_R	周辺リソース端子 リロケーション レジスタ 13
MB96670										
0004D6H	PRRR0	-	-	-	-	-	INT2_R	INT1_R	-	周辺リソース端子 リロケーション レジスタ 0
0004D8H	PRRR2	-	-	-	-	-	PPG2_R	PPG1_R	PPG0_R	周辺リソース端子 リロケーション レジスタ 2
0004D9H	PRRR3	-	-	TOT2_R	TIN2_R	TOT1_R	TIN1_R	-	-	周辺リソース端子 リロケーション レジスタ 3



アドレス	レジスタ名	bit7 bit15	bit6 bit14	bit5 bit13	bit4 bit12	bit3 bit11	bit2 bit10	bit1 bit9	bit0 bit8	説明
0004DA <sub>H</sub>	PRRR4	-	-	IN5_R	IN4_R	-	-	IN1_R	IN0_R	周辺リソース端子 リロケーション レジスタ 4
0004DF <sub>H</sub>	PRRR9	-	-	CKOT0_R	-	-	-	-	-	周辺リソース端子 リロケーション レジスタ 9
000663 <sub>H</sub>	PRRR13	-	-	-	WOT_R	-	-	-	-	周辺リソース端子 リロケーション レジスタ 13
<b>MB96680</b>										
0004D6 <sub>H</sub>	PRRR0	-	-	-	-	INT3_R	INT2_R	INT1_R	-	周辺リソース端子 リロケーション レジスタ 0
0004D8 <sub>H</sub>	PRRR2	-	-	-	-	PPG3_R	PPG2_R	PPG1_R	PPG0_R	周辺リソース端子 リロケーション レジスタ 2
0004D9 <sub>H</sub>	PRRR3	-	-	TOT2_R	TIN2_R	TOT1_R	TIN1_R	-	-	周辺リソース端子 リロケーション レジスタ 3
0004DA <sub>H</sub>	PRRR4	-	-	IN5_R	IN4_R	-	-	IN1_R	IN0_R	周辺リソース端子 リロケーション レジスタ 4
0004DC <sub>H</sub>	PRRR6	-	-	-	-	-	FRCK0_R	-	-	周辺リソース端子 リロケーション レジスタ 6
0004DF <sub>H</sub>	PRRR9	-	-	CKOT0_R	-	-	-	-	-	周辺リソース端子 リロケーション レジスタ 9
000663 <sub>H</sub>	PRRR13	-	-	-	WOT_R	-	-	-	-	周辺リソース端子 リロケーション レジスタ 13
<b>MB96690</b>										
0004D6 <sub>H</sub>	PRRR0	INT7_R	INT6_R	INT5_R	INT4_R	INT3_R	INT2_R	INT1_R	-	周辺リソース端子 リロケーション レジスタ 0
0004D8 <sub>H</sub>	PRRR2	-	-	-	PPG4_R	PPG3_R	PPG2_R	PPG1_R	PPG0_R	周辺リソース端子 リロケーション レジスタ 2
0004DA <sub>H</sub>	PRRR4	IN7_R	-	IN5_R	IN4_R	-	-	IN1_R	IN0_R	周辺リソース端子 リロケーション レジスタ 4
0004DB <sub>H</sub>	PRRR5	-	-	-	-	-	OUT2_R	-	OUT0_R	周辺リソース端子 リロケーション レジスタ 5
0004DC <sub>H</sub>	PRRR6	CKOTX1_R	CKOT1_R	-	-	-	FRCK0_R	-	-	周辺リソース端子 リロケーション レジスタ 6
0004DF <sub>H</sub>	PRRR9	-	-	CKOT0_R	-	-	SGA1_R	SGO1_R	-	周辺リソース端子 リロケーション レジスタ 9
000662 <sub>H</sub>	PRRR12	SCK5_R	SOT5_R	SIN5_R	-	-	-	-	-	周辺リソース端子 リロケーション レジスタ 12

アドレス	レジスタ名	bit7 bit15	bit6 bit14	bit5 bit13	bit4 bit12	bit3 bit11	bit2 bit10	bit1 bit9	bit0 bit8	説明
000663H	PRRR13	-	-	-	WOT_R	-	-	-	-	周辺リソース端子 リロケーション レジスタ 13
MB966A0										
0004D6H	PRRR0	INT7_R	INT6_R	INT5_R	INT4_R	INT3_R	INT2_R	INT1_R	-	周辺リソース端子 リロケーション レジスタ 0
0004D8H	PRRR2	-	-	PPG5_R	PPG4_R	PPG3_R	PPG2_R	PPG1_R	PPG0_R	周辺リソース端子 リロケーション レジスタ 2
0004D9H	PRRR3	-	-	TOT2_R	TIN2_R	TOT1_R	TIN1_R	-	-	周辺リソース端子 リロケーション レジスタ 3
0004DAH	PRRR4	IN7_R	IN6_R	IN5_R	IN4_R	IN3_R	IN2_R	IN1_R	IN0_R	周辺リソース端子 リロケーション レジスタ 4
0004DBH	PRRR5	-	-	-	-	OUT3_R	OUT2_R	OUT1_R	OUT0_R	周辺リソース端子 リロケーション レジスタ 5
0004DCH	PRRR6	CKOTX 1_R	CKOT1_ R	-	-	-	FRCK0_ R	SGA0_R	SGO0_R	周辺リソース端子 リロケーション レジスタ 6
0004DFH	PRRR9	-	-	CKOT0_ R	-	-	SGA1_R	SGO1_R	-	周辺リソース端子 リロケーション レジスタ 9
000662H	PRRR12	SCK5_R	SOT5_R	SIN5_R	-	-	-	-	-	周辺リソース端子 リロケーション レジスタ 12
000663H	PRRR13	-	-	-	WOT_R	-	-	-	-	周辺リソース端子 リロケーション レジスタ 13
MB966B0										
0004D6H	PRRR0	INT7_R	INT6_R	INT5_R	INT4_R	INT3_R	INT2_R	INT1_R	-	周辺リソース端子 リロケーション レジスタ 0
0004D8H	PRRR2	-	-	-	PPG4_R	PPG3_R	PPG2_R	PPG1_R	PPG0_R	周辺リソース端子 リロケーション レジスタ 2
0004DAH	PRRR4	IN7_R	-	IN5_R	IN4_R	-	-	IN1_R	IN0_R	周辺リソース端子 リロケーション レジスタ 4
0004DBH	PRRR5	-	-	-	-	-	OUT2_R	-	OUT0_R	周辺リソース端子 リロケーション レジスタ 5
0004DCH	PRRR6	CKOTX 1_R	CKOT1_ R	-	-	-	FRCK0_ R	-	-	周辺リソース端子 リロケーション レジスタ 6
0004DFH	PRRR9	-	-	CKOT0_ R	-	-	SGA1_R	SGO1_R	-	周辺リソース端子 リロケーション レジスタ 9
000662H	PRRR12	SCK5_R	SOT5_R	SIN5_R	-	-	-	-	-	周辺リソース端子 リロケーション レジスタ 12

アドレス	レジスタ名	bit7 bit15	bit6 bit14	bit5 bit13	bit4 bit12	bit3 bit11	bit2 bit10	bit1 bit9	bit0 bit8	説明
000663 <sub>H</sub>	PRRR13	-	-	-	WOT_R	-	-	PPG13_R	PPG12_R	周辺リソース端子 リロケーション レジスタ 13
MB966C0										
0004D6 <sub>H</sub>	PRRR0	INT7_R	INT6_R	INT5_R	INT4_R	INT3_R	INT2_R	INT1_R	-	周辺リソース端子 リロケーション レジスタ 0
0004D8 <sub>H</sub>	PRRR2	-	-	PPG5_R	PPG4_R	PPG3_R	PPG2_R	PPG1_R	PPG0_R	周辺リソース端子 リロケーション レジスタ 2
0004D9 <sub>H</sub>	PRRR3	-	-	TOT2_R	TIN2_R	TOT1_R	TIN1_R	-	-	周辺リソース端子 リロケーション レジスタ 3
0004DA <sub>H</sub>	PRRR4	IN7_R	IN6_R	IN5_R	IN4_R	IN3_R	IN2_R	IN1_R	IN0_R	周辺リソース端子 リロケーション レジスタ 4
0004DB <sub>H</sub>	PRRR5	-	-	-	-	OUT3_R	OUT2_R	OUT1_R	OUT0_R	周辺リソース端子 リロケーション レジスタ 5
0004DC <sub>H</sub>	PRRR6	CKOTX1_R	CKOT1_R	-	-	-	FRCK0_R	SGA0_R	SGO0_R	周辺リソース端子 リロケーション レジスタ 6
0004DF <sub>H</sub>	PRRR9	-	-	CKOT0_R	-	-	SGA1_R	SGO1_R	-	周辺リソース端子 リロケーション レジスタ 9
000662 <sub>H</sub>	PRRR12	SCK5_R	SOT5_R	SIN5_R	-	-	-	-	-	周辺リソース端子 リロケーション レジスタ 12
000663 <sub>H</sub>	PRRR13	-	-	-	WOT_R	-	-	PPG13_R	PPG12_R	周辺リソース端子 リロケーション レジスタ 13

#### -: 予約ビット

読出し値は不定、書込みは常に "0"。

リードモディファイライト(RMW) 動作は無効です。

#### <注意事項>

USART の SCK / SOT / SIN は必ず同一グループ(SCK<sub>n</sub> / SOT<sub>n</sub> / SIN<sub>n</sub> または SCK<sub>n</sub>\_R / SOT<sub>n</sub>\_R / SIN<sub>n</sub>\_R) になるように設定してください。

下記例のようにバラバラにリロケーションすることは禁止です。

禁止例: SCK<sub>n</sub> / SOT<sub>n</sub>\_R / SIN<sub>n</sub>

#### ● 周辺リソースリロケーション端子の使用可否

周辺リソースリロケーション端子がない場合、対応するビットは未定義ビットとして扱わなければなりません。この場合対応するビットには常に"0"を書き込んでください。また、この対応するビットのリード値は不定ですから、レジスタへのリードモディファイライト命令は使用できません。

## ■ 周辺リソース端子リロケーションレジスタ 0 (PRRR0)

PRRR0								
bit	7	6	5	4	3	2	1	0
	INT7_R	INT6_R	INT5_R	INT4_R	INT3_R	INT2_R	INT1_R	INT0_R
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7] INT7\_R: 外部割込み 7 入力リロケーションビット

bit	説明
0	INT7 端子が入力端子として使用されます。
1	INT7_R 端子が入力端子として使用されます。

[bit6] INT6\_R: 外部割込み 6 入力リロケーションビット

bit	説明
0	INT6 端子が入力端子として使用されます。
1	INT6_R 端子が入力端子として使用されます。

[bit5] INT5\_R: 外部割込み 5 入力リロケーションビット

bit	説明
0	INT5 端子が入力端子として使用されます。
1	INT5_R 端子が入力端子として使用されます。

[bit4] INT4\_R: 外部割込み 4 入力リロケーションビット

bit	説明
0	INT4 端子が入力端子として使用されます。
1	INT4_R 端子が入力端子として使用されます。

[bit3] INT3\_R: 外部割込み 3 入力リロケーションビット

bit	説明
0	INT3 端子が入力端子として使用されます。
1	INT3_R 端子が入力端子として使用されます。

## [bit2] INT2\_R: 外部割込み 2 入力ロケーションビット

bit	説明
0	INT2 端子が入力端子として使用されます。
1	INT2_R 端子が入力端子として使用されます。

## [bit1] INT1\_R: 外部割込み 1 入力ロケーションビット

bit	説明
0	INT1 端子が入力端子として使用されます。
1	INT1_R 端子が入力端子として使用されます。

## [bit0] INT0\_R: 外部割込み 0 入力ロケーションビット

bit	説明
0	INT0 端子が入力端子として使用されます。
1	INT0_R 端子が入力端子として使用されます。

## ■ 周辺リソース端子リロケーションレジスタ 1 (PRRR1)

PRRR1								
bit	15	14	13	12	11	10	9	8
	-	-	-	-	INT11_R	INT10_R	INT9_R	-
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

### [bit15～bit12] -: 予約ビット

読出し値は "0"、書込みは常に "0"

リードモディファイライト(RMW) 動作は無効です。

### [bit11] INT11\_R: 外部割込み 11 入力リロケーションビット

bit	説明
0	INT11 端子が入力端子として使用されます。
1	INT11_R 端子が入力端子として使用されます。

### [bit10] INT10\_R: 外部割込み 10 入力リロケーションビット

bit	説明
0	INT10 端子が入力端子として使用されます。
1	INT10_R 端子が入力端子として使用されます。

### [bit9] INT9\_R: 外部割込み 9 入力リロケーションビット

bit	説明
0	INT9 端子が入力端子として使用されます。
1	INT9_R 端子が入力端子として使用されます。

### [bit8] -: 予約ビット

読出し値は "0"、書込みは常に "0"

リードモディファイライト(RMW) 動作は無効です。

## ■ 周辺リソース端子リロケーションレジスタ 2 (PRRR2)

PRRR2								
bit	7	6	5	4	3	2	1	0
	-	-	PPG5_R	PPG4_R	PPG3_R	PPG2_R	PPG1_R	PPG0_R
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

### [bit7, bit6] -: 予約ビット

読出し値は "0"、書込みは常に "0"

リードモディファイライト(RMW) 動作は無効です。

### [bit5] PPG5\_R: PPG 5 出力リロケーションビット

bit	説明
0	PPG5 端子が出力端子として使用されます。
1	PPG5_R 端子が出力端子として使用されます。

### [bit4] PPG4\_R: PPG 4 出力リロケーションビット

bit	説明
0	PPG4 端子が出力端子として使用されます。
1	PPG4_R 端子が出力端子として使用されます。

### [bit3] PPG3\_R: PPG 3 出力リロケーションビット

bit	説明
0	PPG3 端子が出力端子として使用されます。
1	PPG3_R 端子が出力端子として使用されます。

### [bit2] PPG2\_R: PPG 2 出力リロケーションビット

bit	説明
0	PPG2 端子が出力端子として使用されます。
1	PPG2_R 端子が出力端子として使用されます。

[bit1] PPG1\_R: PPG 1 出力リロケーションビット

bit	説明
0	PPG1 端子が出力端子として使用されます。
1	PPG1_R 端子が出力端子として使用されます。

[bit0] PPG0\_R: PPG 0 出力リロケーションビット

bit	説明
0	PPG0 端子が出力端子として使用されます。
1	PPG0_R 端子が出力端子として使用されます。



## ■ 周辺リソース端子リロケーションレジスタ 3 (PRRR3)

PRRR3								
bit	15	14	13	12	11	10	9	8
	-	-	TOT2_R	TIN2_R	TOT1_R	TIN1_R	-	-
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

### [bit15, bit14] -: 予約ビット

読出し値は "0"、書込みは常に "0"

リードモディファイライト(RMW) 動作は無効です。

### [bit13] TOT2\_R: リロードタイマ 2 出力リロケーションビット

bit	説明
0	TOT2 端子が出力端子として使用されます。
1	TOT2_R 端子が出力端子として使用されます。

### [bit12] TIN2\_R: リロードタイマ 2 入力リロケーションビット

bit	説明
0	TIN2 端子が入力端子として使用されます。
1	TIN2_R 端子が入力端子として使用されます。

### [bit11] TOT1\_R: リロードタイマ 1 出力リロケーションビット

bit	説明
0	TOT1 端子が出力端子として使用されます。
1	TOT1_R 端子が出力端子として使用されます。

### [bit10] TIN1\_R: リロードタイマ 1 入力リロケーションビット

bit	説明
0	TIN1 端子が入力端子として使用されます。
1	TIN1_R 端子が入力端子として使用されます。

### [bit9, bit8] -: 予約ビット

読出し値は "0"、書込みは常に "0"

リードモディファイライト(RMW) 動作は無効です。

## ■ 周辺リソース端子リロケーションレジスタ 4 (PRRR4)

PRRR4								
bit	7	6	5	4	3	2	1	0
	IN7_R	IN6_R	IN5_R	IN4_R	IN3_R	IN2_R	IN1_R	IN0_R
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7] IN7\_R: インプットキャプチャ 7 入力リロケーションビット

bit	説明
0	IN7 端子が入力端子として使用されます。
1	IN7_R 端子が入力端子として使用されます。

[bit6] IN6\_R: インプットキャプチャ 6 入力リロケーションビット

bit	説明
0	IN6 端子が入力端子として使用されます。
1	IN6_R 端子が入力端子として使用されます。

[bit5] IN5\_R: インプットキャプチャ 5 入力リロケーションビット

bit	説明
0	IN5 端子が入力端子として使用されます。
1	IN5_R 端子が入力端子として使用されます。

[bit4] IN4\_R: インプットキャプチャ 4 入力リロケーションビット

bit	説明
0	IN4 端子が入力端子として使用されます。
1	IN4_R 端子が入力端子として使用されます。

[bit3] IN3\_R: インプットキャプチャ 3 入力リロケーションビット

bit	説明
0	IN3 端子が入力端子として使用されます。
1	IN3_R 端子が入力端子として使用されます。

[bit2] IN2\_R: インพุットキャプチャ 2 入力リロケーションビット

bit	説明
0	IN2 端子が入力端子として使用されます。
1	IN2_R 端子が入力端子として使用されます。

[bit1] IN1\_R: インพุットキャプチャ 1 入力リロケーションビット

bit	説明
0	IN1 端子が入力端子として使用されます。
1	IN1_R 端子が入力端子として使用されます。

[bit0] IN0\_R: インพุットキャプチャ 0 入力リロケーションビット

bit	説明
0	IN0 端子が入力端子として使用されます。
1	IN0_R 端子が入力端子として使用されます。

## ■ 周辺リソース端子リロケーションレジスタ 5 (PRRR5)

PRRR5								
bit	15	14	13	12	11	10	9	8
	-	-	-	-	OUT3_R	OUT2_R	OUT1_R	OUT0_R
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	X	X	0	0	0	0

### [bit15, bit14] -: 予約ビット

読出し値は "0"、書込み値は常に "0"

リードモディファイライト(RMW) 動作は無効です。

### [bit13, bit12] -: 予約ビット

読出し値は不定、書込み値は常に "0"

リードモディファイライト(RMW) 動作は無効です。

### [bit11] OUT3\_R: アウトプットコンペア出力 3 リロケーションビット

bit	説明
0	OUT3 端子は出力端子として使用されます。
1	OUT3_R 端子は出力端子として使用されます。

### [bit10] OUT2\_R: アウトプットコンペア出力 2 リロケーションビット

bit	説明
0	OUT2 端子は出力端子として使用されます。
1	OUT2_R 端子は出力端子として使用されます。

### [bit9] OUT1\_R: アウトプットコンペア出力 1 リロケーションビット

bit	説明
0	OUT1 端子は出力端子として使用されます。
1	OUT1_R 端子は出力端子として使用されます。

### [bit8] OUT0\_R: アウトプットコンペア出力 0 リロケーションビット

bit	説明
0	OUT0 端子は出力端子として使用されます。
1	OUT0_R 端子は出力端子として使用されます。

## ■ 周辺リソース端子リロケーションレジスタ 6 (PRRR6)

PRRR6								
bit	7	6	5	4	3	2	1	0
	CKOTX1_R	CKOT1_R	SCK2_R	SOT2_R	SIN2_R	FRCK0_R	SGA0_R	SGO0_R
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7] CKOTX1\_R: 反転クロック出力 1 リロケーションビット

bit	説明
0	CKOTX1 端子は出力端子として使用されます。
1	CKOTX1_R 端子は出力端子として使用されます。

[bit6] CKOT1\_R: クロック出力 1 リロケーションビット

bit	説明
0	CKOT1 端子は出力端子として使用されます。
1	CKOT1_R 端子は出力端子として使用されます。

[bit5] SCK2\_R: USART2 シリアルクロック入出力リロケーションビット

bit	説明
0	SCK2 端子は入出力端子として使用されます。
1	SCK2_R 端子は入出力端子として使用されます。

[bit4] SOT2\_R: USART2 シリアル出力リロケーションビット

bit	説明
0	SOT2 端子は出力端子として使用されます。
1	SOT2_R 端子は出力端子として使用されます。

[bit3] SIN2\_R: USART2 シリアル入力リロケーションビット

bit	説明
0	SIN2 端子は入力端子として使用されます。
1	SIN2_R 端子は入力端子として使用されます。

[bit2] FRCK0\_R: フリーランタイム 0 入力ロケーションビット

bit	説明
0	FRCK0 端子は入力端子として使用されます。
1	FRCK0_R 端子は入力端子として使用されます。

[bit1] SGA0\_R: サウンドジェネレータ振幅出力ロケーションビット

bit	説明
0	SGA0 端子は出力端子として使用されます。
1	SGA0_R 端子は出力端子として使用されます。

[bit0] SGO0\_R: サウンドジェネレータサウンド出力ロケーションビット

bit	説明
0	SGO0 端子は出力端子として使用されます。
1	SGO0_R 端子は出力端子として使用されます。

## ■ 周辺リソース端子リロケーションレジスタ 7 (PRRR7)

PRRR7								
bit	15	14	13	12	11	10	9	8
	-	-	-	-	INT3_R1	-	NMI_R	ADTG_R
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

### [bit15～bit12] -: 予約ビット

読出し値は "0"、書込み値は常に "0"

リードモディファイライト(RMW) 動作は無効です。

### [bit11] INT3\_R1: 2 つ目の外部割込み 3 入力リロケーションビット

bit	説明
0	INT3_R ビット = 0 なら INT3 端子が入力端子として使用されます。
1	INT3_R ビット = 0 なら INT3_R1 端子が入力端子として使用されます。

### [bit10] -: 予約ビット

読出し値は "0"、書込み値は常に "0"、

リードモディファイライト(RMW) 動作は無効です。

### [bit9] NMI\_R: マスク不可能割込み入力リロケーションビット

bit	説明
0	NMI 端子が入力端子として使用されます。
1	NMI_R 端子が入力端子として使用されます。

### [bit8] ADTG\_R: A/D コンバータトリガ入力リロケーションビット

bit	説明
0	ADTG 端子が入力端子として使用されます。
1	ADTG_R 端子が入力端子として使用されます。

## ■ 周辺リソース端子リロケーションレジスタ 8 (PRRR8)

PRRR8								
bit	7	6	5	4	3	2	1	0
	-	-	SCK8_R	SOT8_R	SIN8_R	SCK7_R	SOT7_R	SIN7_R
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7, bit6] -: 予約ビット

読出し値は "0"、書込み値は常に "0"

リードモディファイライト(RMW) 動作は無効です。

[bit5] SCK8\_R: USART8 シリアルクロック入出力リロケーションビット

bit	説明
0	SCK8 端子は入出力端子として使用されます。
1	SCK8_R 端子は入出力端子として使用されます。

[bit4] SOT8\_R: USART8 シリアル出力リロケーションビット

bit	説明
0	SOT8 端子は出力端子として使用されます。
1	SOT8_R 端子は出力端子として使用されます。

[bit3] SIN8\_R: USART8 シリアル入力リロケーションビット

bit	説明
0	SIN8 端子は入力端子として使用されます。
1	SIN8_R 端子は入力端子として使用されます。

[bit2] SCK7\_R: USART7 シリアルクロック入出力リロケーションビット

bit	説明
0	SCK7 端子は入出力端子として使用されます。
1	SCK7_R 端子は入出力端子として使用されます。



## [bit1] SOT7\_R: USART7 シリアル出力ロケーションビット

bit	説明
0	SOT7 端子は出力端子として使用されます。
1	SOT7_R 端子は出力端子として使用されます。

## [bit0] SIN7\_R: USART7 シリアル入力ロケーションビット

bit	説明
0	SIN7 端子は入力端子として使用されます。
1	SIN7_R 端子は入力端子として使用されます。

## ■ 周辺リソース端子リロケーションレジスタ 9 (PRRR9)

PRRR9								
bit	15	14	13	12	11	10	9	8
	-	-	CKOT0_R	-	-	SGA1_R	SGO1_R	-
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	X	X	0	0	0	0	0	0

### [bit15, bit14] -: 予約ビット

読出し値は不定、書込み値は常に"0"

リードモディファイライト(RMW) 動作は無効です。

### [bit13] CKOT0\_R: クロック出力 0 リロケーションビット

bit	説明
0	CKOT0 端子は出力端子として使用されます。
1	CKOT0_R 端子は出力端子として使用されます。

### [bit12, bit11] -: 予約ビット

読出し値は "0"、書込みは常に "0"

リードモディファイライト(RMW) 動作は無効です。

### [bit10] SGA1\_R: サウンドジェネレータ 1 振幅出力リロケーションビット

bit	説明
0	SGA1 端子は出力端子として使用されます。
1	SGA1_R 端子は出力端子として使用されます。

### [bit9] SGO1\_R: サウンドジェネレータ 1 サウンド出力リロケーションビット

bit	説明
0	SGO1 端子は出力端子として使用されます。
1	SGO1_R 端子は出力端子として使用されます。

### [bit8] -: 予約ビット

読出し値は "0"、書込みは常に "0"

リードモディファイライト(RMW) 動作は無効です。

## ■ 周辺リソース端子リロケーションレジスタ 10 (PRRR10)

PRRR10								
bit	7	6	5	4	3	2	1	0
	-	-	-	-	PPG11_R	PPG10_R	PPG9_R	PPG8_R
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

### [bit7～bit4] -: 予約ビット

読出し値は "0"、書込み値は常に "0"

リードモディファイライト(RMW) 動作は無効です。

### [bit3] PPG11\_R: PPG11 出力リロケーションビット

bit	説明
0	PPG11 端子は出力端子として使用されます。
1	PPG11_R 端子は出力端子として使用されます。

### [bit2] PPG10\_R: PPG10 出力リロケーションビット

bit	説明
0	PPG10 端子は出力端子として使用されます。
1	PPG10_R 端子は出力端子として使用されます。

### [bit1] PPG9\_R: PPG9 出力リロケーションビット

bit	説明
0	PPG9 端子は出力端子として使用されます。
1	PPG9_R 端子は出力端子として使用されます。

### [bit0] PPG8\_R: PPG8 出力リロケーションビット

bit	説明
0	PPG8 端子は出力端子として使用されます。
1	PPG8_R 端子は出力端子として使用されます。

## ■ 周辺リソース端子リロケーションレジスタ 12 (PRRR12)

PRRR12								
bit	7	6	5	4	3	2	1	0
	SCK5_R	SOT5_R	SIN5_R	-	-	-	-	-
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7] SCK5\_R: USART5 シリアルクロック入出力リロケーションビット

bit	説明
0	SCK5 端子は入出力端子として使用されます。
1	SCK5_R 端子は入出力端子として使用されます。

[bit6] SOT5\_R: USART5 シリアル出力リロケーションビット

bit	説明
0	SOT5 端子は出力端子として使用されます。
1	SOT5_R 端子は出力端子として使用されます。

[bit5] SIN5\_R: USART5 シリアル入力リロケーションビット

bit	説明
0	SIN5 端子は入力端子として使用されます。
1	SIN5_R 端子は入力端子として使用されます。

[bit4～bit0] -: 予約ビット

読出し値は "0"、書込み値は常に "0"

リードモディファイライト(RMW) 動作は無効です。

## ■ 周辺リソース端子リロケーションレジスタ 13 (PRRR13)

PRRR13								
bit	15	14	13	12	11	10	9	8
	-	-	-	WOT_R	-	-	PPG13_R	PPG12_R
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	X	X	X	0	X	X	0	0

### [bit15～bit13] -: 予約ビット

読出し値は不定、書込み値は常に "0"

リードモディファイライト(RMW) 動作は無効です。

### [bit12] WOT\_R: リアルタイムクロック出力リロケーションビット

bit	説明
0	WOT 端子は出力端子として使用されます。
1	WOT_R 端子は出力端子として使用されます。

### [bit11, bit10] -: 予約ビット

読出し値は不定、書込み値は常に "0"

リードモディファイライト(RMW) 動作は無効です。

### [bit9] PPG13\_R: PPG 13 出力リロケーションビット

bit	説明
0	PPG13 端子が出力端子として使用されます。
1	PPG13_R 端子が出力端子として使用されます。

### [bit8] PPG12\_R: PPG 12 出力リロケーションビット

bit	説明
0	PPG12 端子が出力端子として使用されます。
1	PPG12_R 端子が出力端子として使用されます。

# Chapter 2: CPU



---

CPU について説明します。

---

1. CPU の概要
2. ハードウェア構造
3. メモリ空間
4. 専用レジスタ
5. 汎用レジスタ
6. プリフィックスコード

---

管理コード : 96F6CPU-J03.0

---

## 1. CPU の概要

F<sup>2</sup>MC-16FX CPU コアは、民生用・車載用機器などの高速リアルタイム処理が要求される用途向けに設計された 16 ビット CPU です。F<sup>2</sup>MC-16FX の命令体系はコントローラ用途向けに設計されており、高速・高効率な制御処理が可能です。

### ■ CPU の概要

F<sup>2</sup>MC-16FX CPU コアは、16 ビットデータ処理はもちろん、内部に 32 ビットアキュムレータを搭載しているため、32 ビットデータ処理も可能です。ただし、32 ビットデータが処理可能なのは一部の命令です。メモリ空間は最大 16M バイトで、リニア方式およびバンク方式のいずれかにおいてアクセス可能です。命令体系は、F<sup>2</sup>MC-16LX と互換性があります。また、高水準言語に対応しており、アドレッシングモード、乗除算命令およびビット処理が充実しています。次に、F<sup>2</sup>MC-16FX CPU の特長を示します。

#### ● 高速実行

- ・ 最小命令実行時間 31.2 ns (32 MHz 動作時 : 4 MHz 発振, 8 通倍)
- ・ 基本命令は 1 サイクルで実行
- ・ 5 段階パイプラインによる高速処理
- ・ 8 バイトの命令キュー

#### ● 汎用レジスタ: 32 バンク × 8 ワード × 16 ビット

#### ● メモリ空間: 16M バイト、リニアまたはバンク方式にてアクセス

#### ● コントローラ用途向けに最適化された命令体系

- ・ 高いコード効率
- ・ 豊富なデータタイプ: ビット, バイト, ワード, ロングワード
- ・ 拡張アドレッシングモード: 23 種類
- ・ 32 ビットアキュムレータによる高精度演算 (32 ビット長)
- ・ 符号付きおよび符号なし乗除算命令

#### ● 強力な割込み機能

- ・ 高速応答 (約 10 クロックサイクル (CLKB))
- ・ 8 つのプライオリティレベル (プログラマブル)
- ・ マスク不可割込み (NMI)
- ・ DMA 転送により、CPU を使わずに割込み要求を処理可能 (最大 16 チャンネル)

#### ● 高水準言語 (C 言語)/ マルチタスク処理に対応した命令体系

- ・ システムスタックポインタ
- ・ バランスのとれた命令体系
- ・ シフト命令

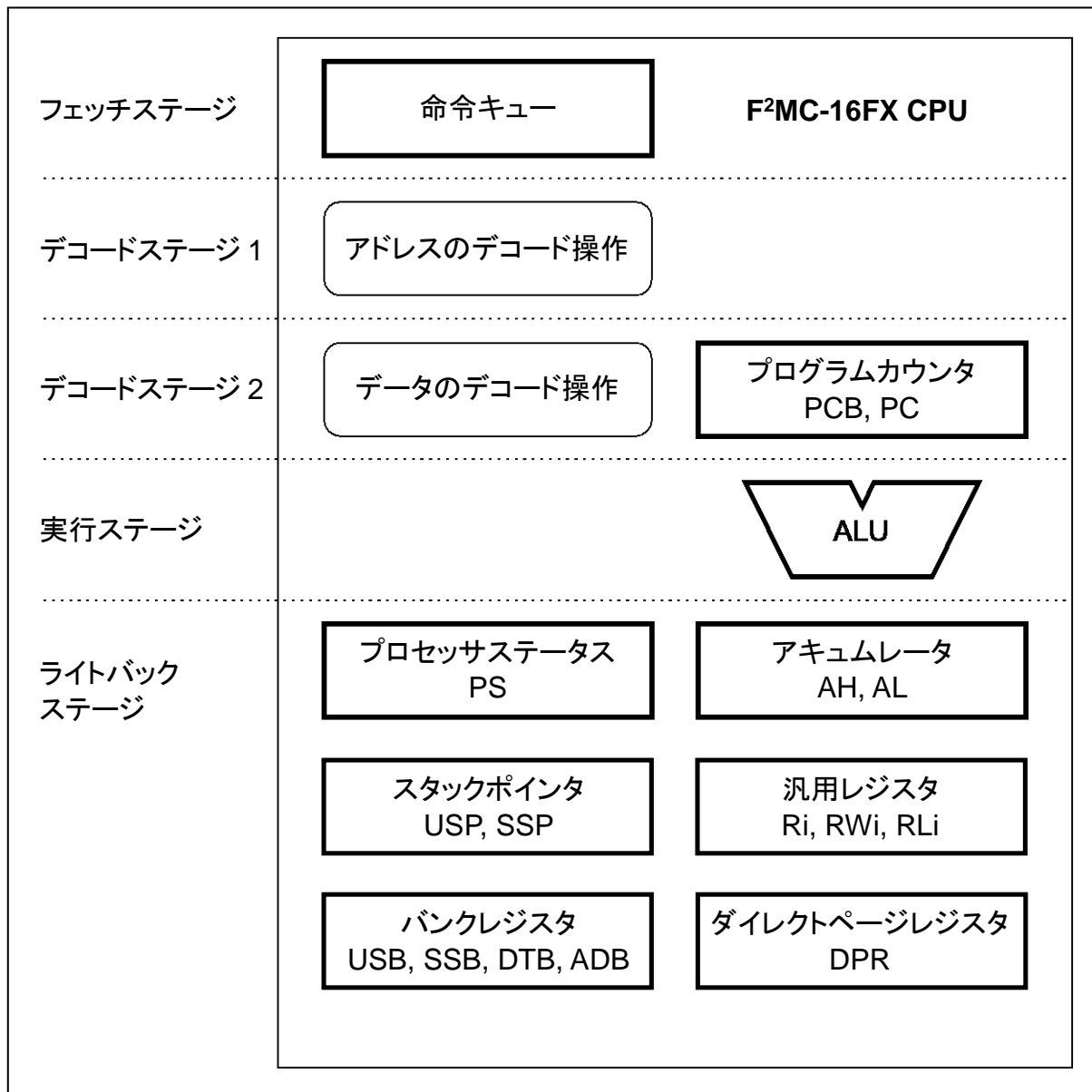
## 2. ハードウェア構造

CPU および 16FX コアのハードウェア構造を説明します。

### ■ CPU のハードウェア構造

#### ● CPU のブロックダイアグラム

図 2-1 CPU のブロックダイアグラム



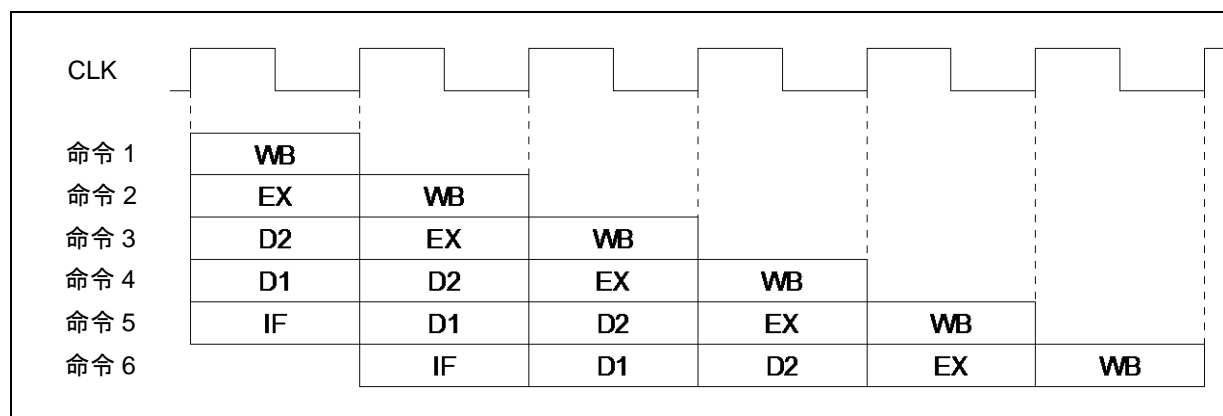


## ● CPU パイプラインの動作

CPU には 5 段の命令パイプラインが採用されており、ほとんどの命令を 1 クロック周期で実行できます。パイプラインは以下のステージから構成されています。

- ・ 命令フェッチ (IF) : 命令キューから命令をフェッチします。
- ・ 命令デコード 1 (D1) : 命令をデコードして、アドレス演算についての制御を行います。
- ・ 命令デコード 2 (D2) : 命令をデコードして、オペランドおよびデータ演算の選択を行います。
- ・ 実行 (EX) : 演算を実行します。
- ・ ライトバック (WB) : 演算結果をレジスタまたはメモリ領域に書き込みます。

図 2-2 命令パイプライン



命令は、順不同で実行されることはありません。つまり、命令 A が命令 B の前にパイプラインに入ると、命令 A は必ず命令 B の前にライトバックステージに達するということです。

命令の実行速度は、原則として 1 サイクルあたり 1 命令です。ただし、メモリ待ちを伴う転送系命令、分岐系命令および複数サイクル命令の場合、命令の実行に複数のサイクルが必要です。また、コードフェッチ中で命令の転送が遅れる場合にも命令の実行速度が低下します。

## ● 命令キュー

CPU には 8 バイトの命令キューがあります。

命令キューには、フェッチユニットによって命令が補充されます。連続したアドレスのコードフェッチにはプリフェッチが使用されます。このプリフェッチの使用により、16FX コアの CPU とシステムバス間のパイプライン実装で発生する待ち時間の問題が解消されています。

## ● プログラムカウンタ

プログラムカウンタバンク (PCB、プログラムアドレスの上位 8 ビット) およびプログラムカウンタ (PC、プログラムアドレスの下位 16 ビット) は、デコードステージ 1 によって制御されます。

{PCB, PC} の連結 24 ビットアドレスによって次に実行される命令が指定されます。

## ● ALU

ALU は、デコードステージ 2 によって制御されます。このステージで、ALU の演算モードが選択され、オペランドがロードされます。実際の演算は次のサイクルで実行されます。

ALU は、論理演算および算術演算 (乗除算を含む) に使用します。

## ● CPU レジスタとメモリアクセス

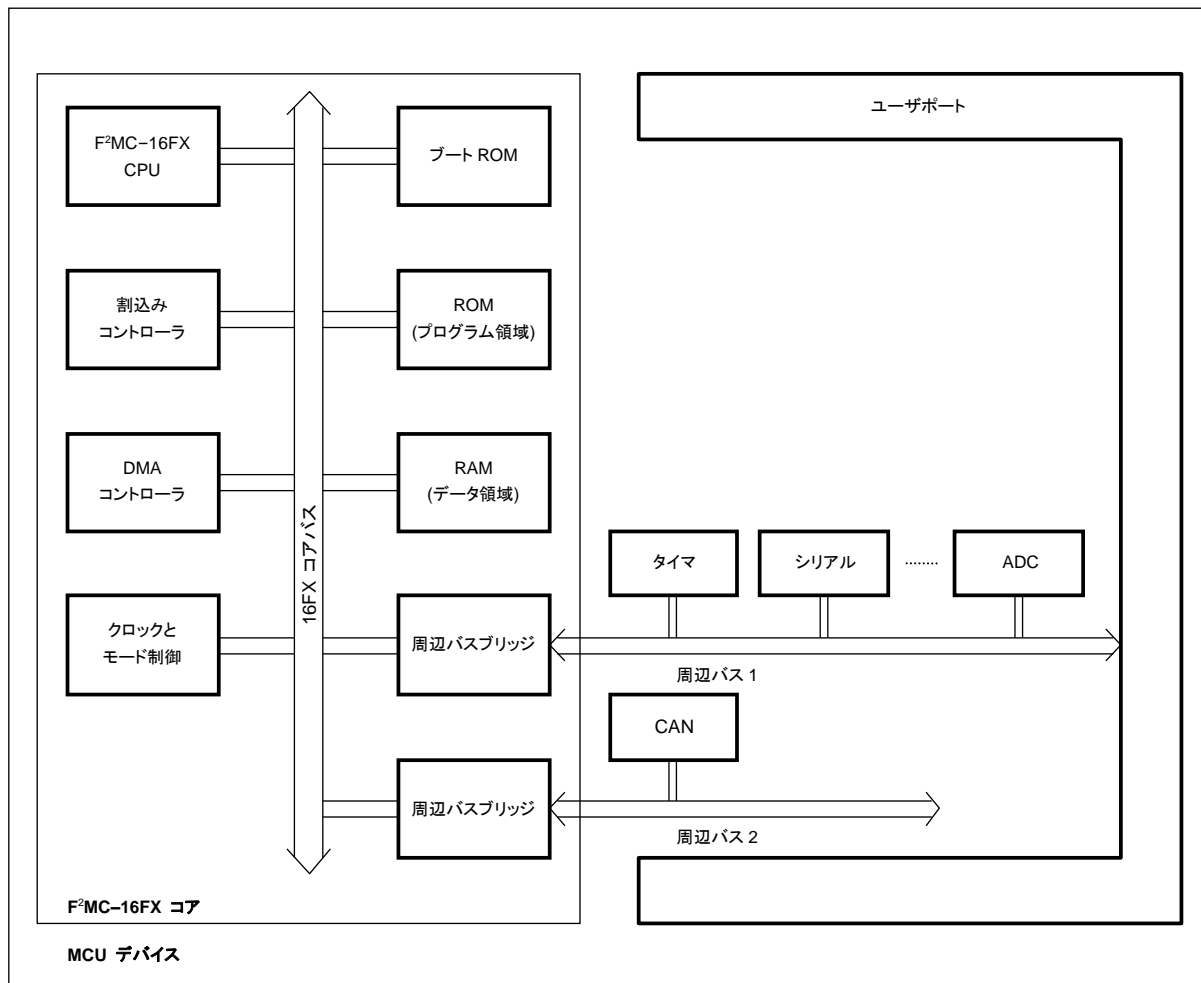
ライトバックステージでは、演算の結果が CPU レジスタやメモリ領域に書き込まれます。プログラムカウンタ以外のすべての CPU レジスタアクセスはパイプライン最終ステージに割り当てられます。

## ■ 16FX コアのハードウェア構造

### ● ブロックダイアグラム

16FX コアをベースにした MCU デバイスの機能の配置と構成の例を図 2-3 に示します。

図 2-3 16FX コアをベースにした MCU デバイス



### ● 割り込みコントローラ

割り込みコントローラは、入力される割り込み要求 (IRQ) の優先度を判断し、最も高い優先度の割り込み番号を選択します。割り込みが認められると、選択された割り込みサービスが CPU によって処理されます。各ハードウェア IRQ には、優先度を制御するための割り込みレベルレジスタがあります。

### ● DMA コントローラ

DMA コントローラは、CPU が現在実行しているプログラムを中断することなく IRQ を処理することもできます。これにより、周辺とメモリ間のデータ転送を自動化することもできます。デバイスによって、最大 16 の DMA チャンネルを使用できます。各 DMA チャンネルでは実行する IRQ 番号を選択できます。

- **クロックとモード制御**

このユニットは、動作モードを制御し、デバイスがモードに従った動作をしているかを監視します。また、すべてのユニットに対して、それぞれの動作モードに合わせて適切なクロックを提供します。

- **ブート ROM**

リセットによるデバイス初期化の後、プログラムカウンタはブート ROM を指し示し、CPU によりブート ROM プログラムの実行が開始されます。これ以降、デバイスが初期化されるとリセットベクタがフェッチされ、ブート ROM のコードはリセットベクタで分岐し、ユーザプログラムを実行するようになります。

- **周辺バスブリッジ**

周辺バスブリッジは、16FX コアのシステムバスと周辺バス間のインタフェースです。この周辺バスは、MCU 内部のすべての周辺機能を接続しています。

また、周辺バスブリッジによってコアクロックと周辺クロックドメインが同期します。

## 3. メモリ空間

---

F<sup>2</sup>MC-16FX CPU には 16M バイトのメモリ空間があります。

---

- 3.1 メモリ領域
- 3.2 リニア方式によるアドレス指定
- 3.3 バンク方式によるアドレス指定
- 3.4 メモリ空間上の多バイトデータ

## 3.1. メモリ領域

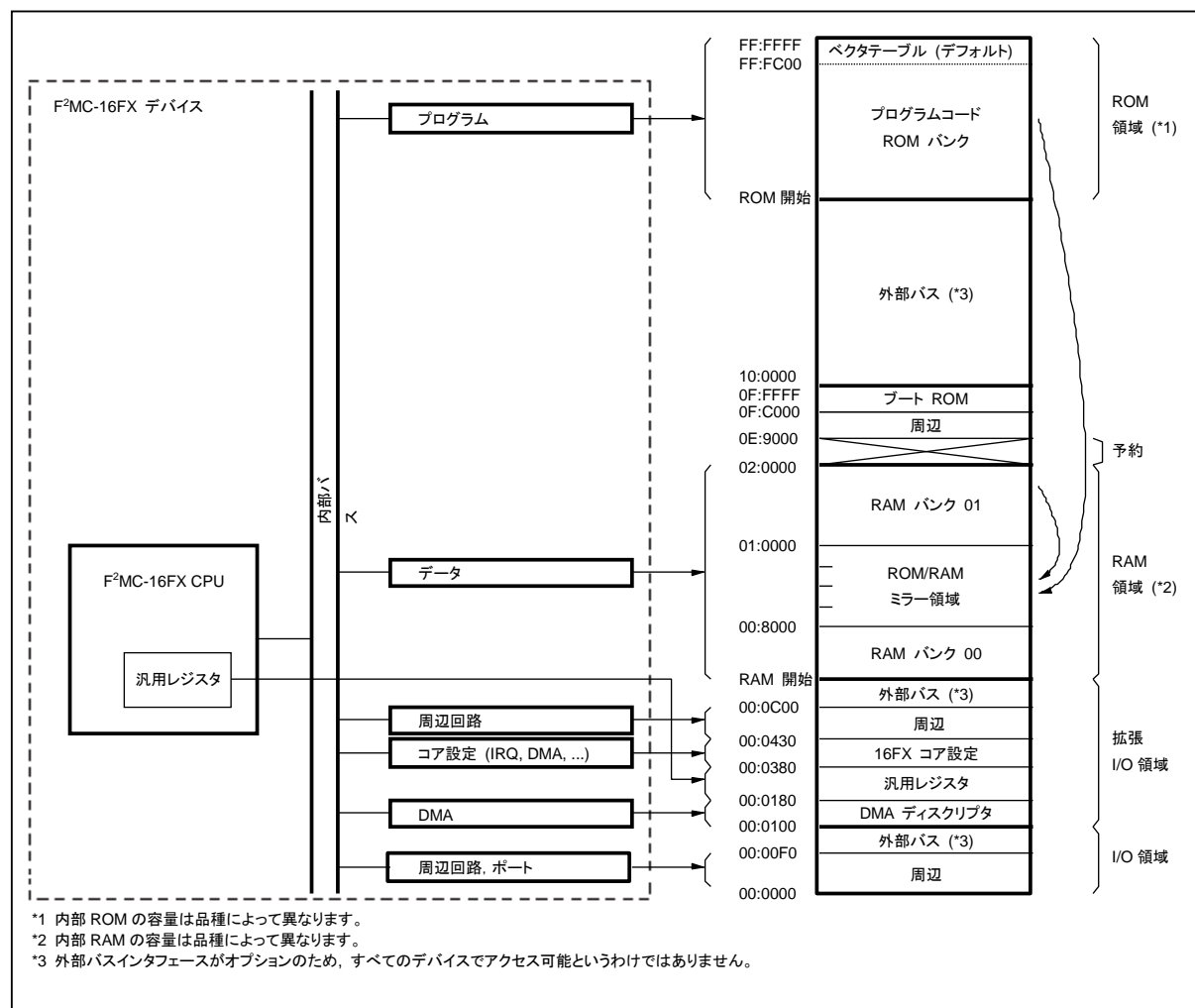
すべての I/O アドレス、プログラムおよびデータは、F<sup>2</sup>MC-16FX CPU の 16M バイトのメモリ空間に配置されます。CPU は、24 ビットのアドレスバスで示されるアドレスを使って、周辺機能にアクセスできます。

### ■ F<sup>2</sup>MC-16FX システムのメモリ領域

図 3-1 は、F<sup>2</sup>MC-16FX システムとメモリマップの関係例を示します。

詳細は各デバイスのデータシートの「メモリマップ」を参照してください。

図 3-1 F<sup>2</sup>MC-16FX システムとメモリの関係



## ■ I/O 領域

I/O 領域のアドレスは、"00:0000<sub>H</sub>" ~ "00:00FF<sub>H</sub>" です。このアドレスは、命令と共にオペランドとして 8 ビットアドレスに指定することで、直接 I/O アドレス指定に使用できます。直接 I/O アドレス指定方式を使う命令の場合、ダイレクトページレジスタ (DPR) またはデータバンクレジスタ (DTB) の指定値に関係なくレジスタにアクセスします。

### ● 周辺機能制御レジスタの I/O 領域 (アドレス: "00:0000<sub>H</sub>" ~ "00:00EF<sub>H</sub>")

このレジスタは、内蔵周辺機能およびポートを制御します。

## ■ 拡張 I/O 領域

### ● DMA ディスクリプタ領域 (アドレス: "00:0100<sub>H</sub>" ~ "00:017F<sub>H</sub>")

この領域には、転送モード、I/O アドレス、転送数およびバッファアドレスを格納します。  
この領域は通常の RAM として使用できます。

### ● 汎用レジスタ領域 (アドレス: "00:0180<sub>H</sub>" ~ "00:037F<sub>H</sub>")

8 ビット、16 ビット、32 ビットの算術演算や転送に使用する汎用レジスタ (GPR) はこの領域にマッピングされます。この領域は通常の RAM として使用できます。  
GPR はメモリにマッピングされますが、GPR を使用した命令によるダイレクトアクセスの速度は 16LX と比較して大幅に向上しています。

### ● 16FX コア制御レジスタ (アドレス: "00:0380<sub>H</sub>" ~ "00:042F<sub>H</sub>")

この領域は、CPU コアの内部構成レジスタが使用します。

### ● 周辺機能制御レジスタの拡張 I/O 領域 (アドレス: "00:0430<sub>H</sub>" ~ "00:0BFF<sub>H</sub>" および "0E:9000<sub>H</sub>" ~ "0E:FFFF<sub>H</sub>")

この領域のレジスタで内蔵の周辺機能を制御します。

## ■ RAM 領域

### ● バンク 00 のデータ領域 (アドレス: "00:1000<sub>H</sub>" ~ "00:7FFF<sub>H</sub>")

この領域には、28K バイトまでのスタティック RAM を実装します。  
内部 RAM の容量はデバイスによって異なります。そのため、RAM の先頭アドレスは実装メモリの容量で決まります。

### ● バンク 00 のミラー領域 (アドレス: "00:8000<sub>H</sub>" ~ "00:FFFF<sub>H</sub>")

この領域は、デフォルトでは ROM の先頭から 32K バイトの先頭セクションにアクセスする場合に使用されます。ROM ミラー機能は容量を変更できます。ROM ミラーには、8K バイトのセグメントを 4 つまで選択できます。バンク 00 でアクセスする ROM バンクは、ROMM レジスタで選択できます。  
ROM ミラー機能がオフになっている場合は、バンク 00 を介してバンク 01 の RAM にアクセスできます。  
バンク 00 のミラー領域を使えば、C コンパイラのスモールモデルをサポートできます。  
最下位の 16 ビットが同一であるため、選択された ROM または RAM バンクへのデータアクセスに対応する部分はポインタ宣言で far 指定をせずに参照できます。

### ● バンク 1 のデータ領域 (アドレス: "01:0000<sub>H</sub>" ~ "01:FFFF<sub>H</sub>")

この領域には、64K バイトまでのスタティック RAM を実装します。  
内部 RAM の容量はデバイスによって異なります。

## ■ ROM 領域

### ● プログラム領域 (アドレス: " ~ FF:FFFF<sub>H</sub>")

内部プログラム領域として ROM が内蔵されています。

内部 ROM の容量と先頭アドレスはデバイスによって異なります。

デフォルトでは、"FF:FC00<sub>H</sub>" ~ "FF:FFFF<sub>H</sub>" はベクタテーブルに割り当てられています。

## ■ ベクタテーブル領域

### ● ベクタテーブル領域

この領域は、割込みベクタおよびリセットベクタのベクタテーブルとして使用します。対応する処理ルーチンの先頭アドレスをそれぞれのベクタテーブルのエントリにデータとして設定します。

ベクタテーブル領域は、テーブルベースレジスタ (TBR) の設定によりユーザプログラムで変更できます。

この領域は、RAM, ROM または外部領域に配置できます。この領域は、TBR によって定義されたアドレスで始まる 1K バイト領域になります。ベクタテーブル領域のアドレスは以下のとおりです。

$$VEC_{START} = TBR \times 100_H \sim VEC_{END} = TBR \times 100_H + 3FF_H$$

デフォルトでは、ベクタテーブル領域は "FF:FC00<sub>H</sub>" ~ "FF:FFFF<sub>H</sub>" になります。

ベクタコール命令のベクタテーブルは、PCB レジスタによって指定される現在のプログラムバンクに存在します。CALLV 命令は、"PCB:FFE0<sub>H</sub>" ~ "PCB:FFFF<sub>H</sub>" の範囲のプログラムバンクの先頭に位置するこの 32 バイト領域を使用します。TBR は CALLV 命令が使用するベクタの位置には影響しません。

割込みベクタ領域 (割込みベクタテーブルの上位 8 つのエントリ) がプログラムバンクの先頭にある場合、CALLV 命令を使用する際には注意が必要です。両方のベクタテーブルが同じ場所を共有するためです。

## 3.2. リニア方式によるアドレス指定

リニア方式によるアドレス指定では、24 ビットアドレス全体を命令で指定します。

リニア方式には以下に示す 2 つの種類があります。

- 24 ビットオペランド指定: オペランドで直接 24 ビットのアドレスを指定します。
- 32 ビットレジスタ間接指定: 32 ビットの汎用レジスタの下位 24 ビットをアドレスとして間接指定します。

### ■ 24 ビットオペランド指定

図 3-2 に、24 ビットオペランド指定の例を示します。図 3-3 では、32 ビットレジスタ間接指定の例を示します。

図 3-2 リニア方式の例 (24 ビットオペランド指定)

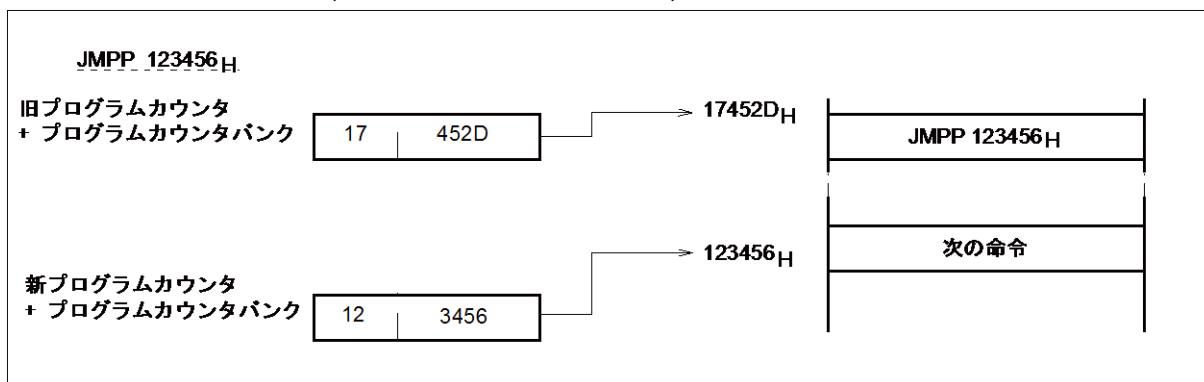
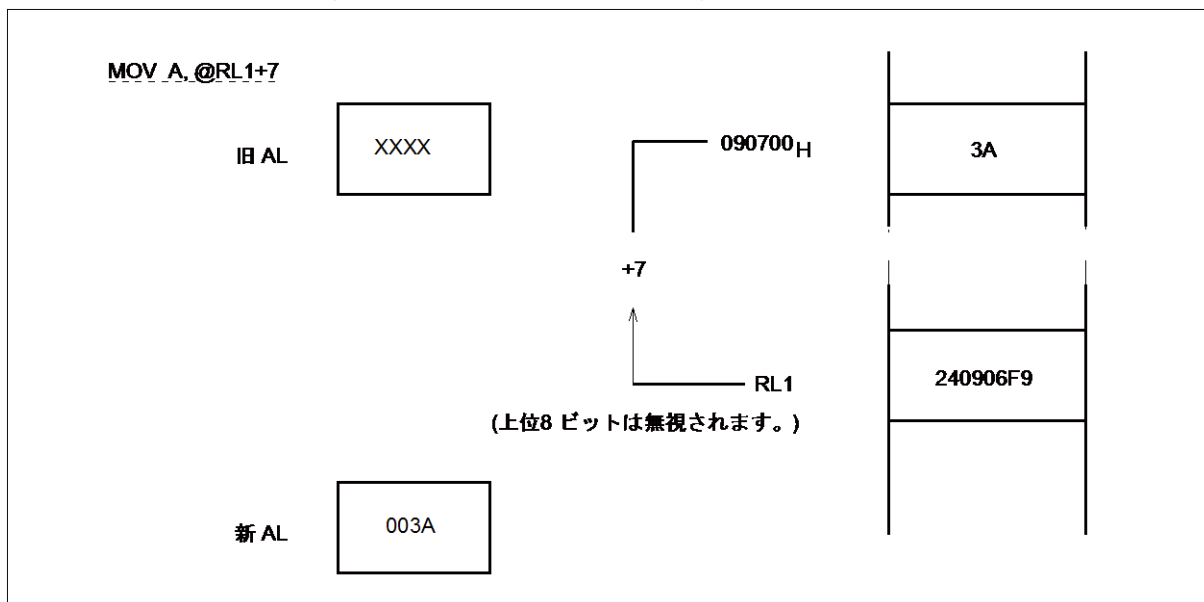


図 3-3 リニア方式の例 (32 ビットレジスタ間接指定)





### 3.3. バンク方式によるアドレス指定

バンク方式によるアドレス指定では、アドレスの上位 8 ビットはバンクレジスタで指定し、残りの下位 16 ビットは命令で指定します。

#### ■ バンク方式によるアドレス指定

バンク方式によるアドレス指定では、16M バイトの空間を 64K バイトごとの 256 バンクに分割します。以下に示す 5 つのバンクレジスタで、各空間に対応するバンク (アドレスの上位 8 ビット) を指定します。

##### ● プログラムカウンタバンクレジスタ (PCB)

PCB によって指定される 64K バイトのバンクはプログラム(PC) 空間とよばれます。PC 空間には、命令コード、CALLV 命令のベクタテーブル、即値データなどが入ります。

##### ● データバンクレジスタ (DTB)

DTB によって指定される 64K バイトのバンクはデータ (DT) 空間とよばれます。DT 空間には、リード/ ライト可能データおよび内外周辺機能の制御/ データレジスタが入ります。

##### ● ユーザスタックバンクレジスタ (USB)/ システムスタックバンクレジスタ (SSB)

USB または SSB によって指定される 64K バイトのバンクはスタック (SP) 空間とよばれます。SP 空間は、プッシュ/ ポップ命令や割込みのレジスタ退避などの際にスタックアクセスが生じたときにアクセスされる領域です。USB と SSB のどちらの空間が使用されるかは、コンディションコードレジスタ中の S フラグの値で決まります。

##### ● アディショナルデータバンクレジスタ (ADB)

ADB によって指定される 64K バイトのバンクはアディショナルデータ (AD) 空間とよばれます。AD 空間には、DT 空間に入りきらなかったデータなどが入ります。

表 3-1 は、各アドレッシングモードで使用されるデフォルト空間を示しています。これは、命令のコード効率を高めるために事前に設定されています。

表 3-1 デフォルト空間

デフォルト空間	アドレッシングモード
プログラム空間	PC 間接, プログラムアクセス, 分岐系
データ空間	@RW0, @RW1, @RW4, @RW5, @A, addr16 または dir を用いたアドレッシングモード
スタック空間	PUSHW, POPW, @RW3 または @RW7 を用いたアドレッシングモード
アディショナルデータ空間	@RW2 または @RW6 を用いたアドレッシングモード

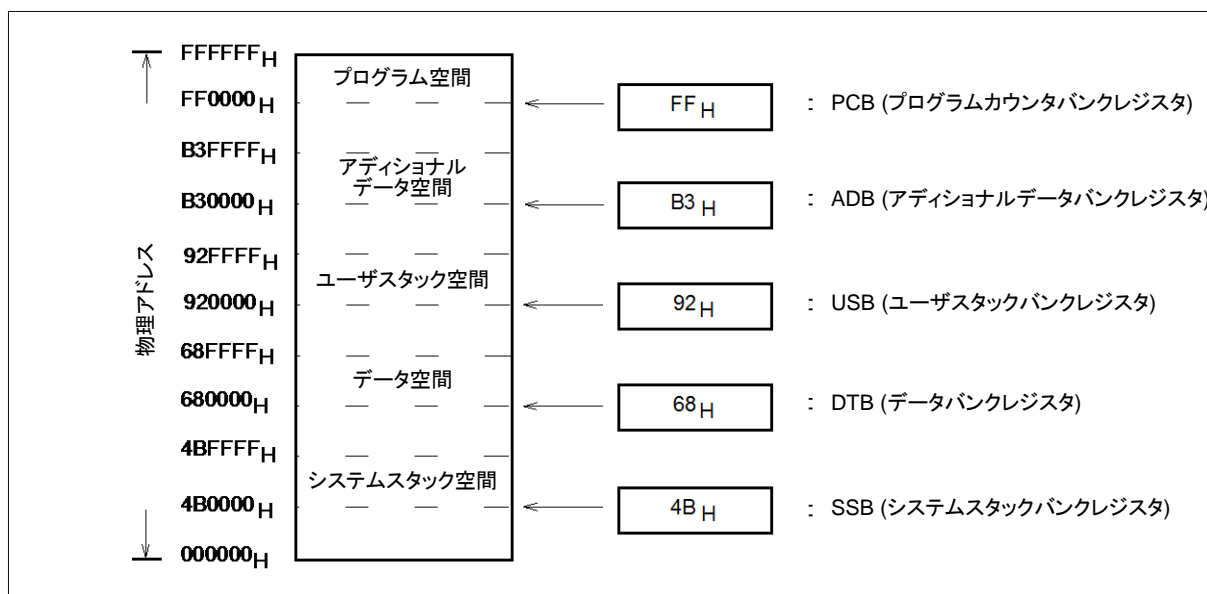
あるアドレッシングモードにデフォルト以外の空間を使用したいときは、各バンクに対応しているプリフィックスコードを命令に先行して指定することにより、そのプリフィックスコードに対応した任意のバンク空間をアクセスすることができるようになります。

表 3-2 バンクセレクトプリフィックス

バンクセレクトプリフィックス	選択される空間
PCB	プログラム空間
DTB	データ空間
ADB	アディショナルデータ空間
SPB	選択時のスタックフラグの状態によってシステムスタック空間またはユーザスタック空間が使用されます。

図 3-4 は、レジスタバンクに分割されたメモリ空間の例で、各空間の物理アドレスが示されています。

図 3-4 バンク方式でアドレス指定した場合のメモリ空間およびバンクレジスタの値



## ■ バンクレジスタの初期化

リセットを行うと、DTB, USB, SSB および ADB は "00H" に初期化されます。リセットアドレスがブート ROM プログラムの先頭アドレス "0F:FC00H" に固定されているため、PCB は "0FH" に初期化されます。外部ベクタモードでは、ブート ROM コードの実行後、"FF:FFDC" 番地のリセットベクタで指定された値を読み出して設定します。内部ベクタモードでは、製品に設定されている固定値を PCB に設定します。指定されたリセットベクタアドレスからユーザプログラムを開始する時点で、DT, SP および AD 空間はバンク 00H ("000000H" ~ "00FFFFH") に割り当てられ、PC 空間はリセットベクタによって指定されたバンクに割り当てられます。

表 3-3 バンクレジスタの初期化

バンクレジスタ	リセットによる 初期化	ブート ROM による初期化	
		外部ベクタモード	内部ベクタモード
DTB	00 <sub>H</sub>	00 <sub>H</sub>	00 <sub>H</sub>
USB	00 <sub>H</sub>	00 <sub>H</sub>	00 <sub>H</sub>
SSB	00 <sub>H</sub>	00 <sub>H</sub>	00 <sub>H</sub>
ADB	00 <sub>H</sub>	00 <sub>H</sub>	00 <sub>H</sub>
PCB	0F <sub>H</sub>	FF:FFDE <sub>H</sub> から読み出された値	製品に設定された値

## 3.4. メモリ空間上の多バイトデータ

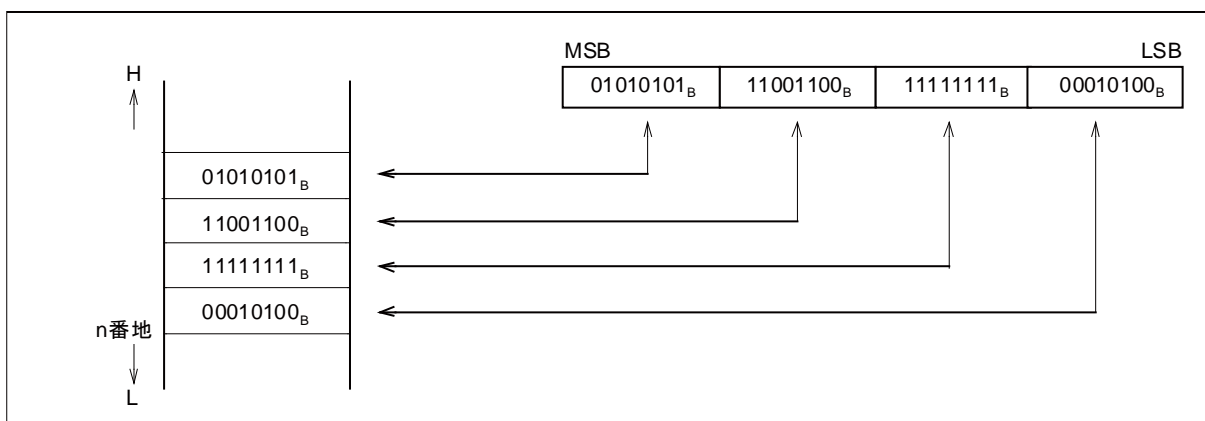
データは下位アドレスからメモリに書き込まれます。そのため、32 ビットデータの場合、上位 16 ビットの前に下位 16 ビットが転送されます。

このとき、下位ビットを書き込んだ直後にリセット信号が入力された場合、上位ビットが書き込まれないことがあります。

### ■ メモリ空間での多バイトデータの配置

図 3-5 は、メモリ上の多バイトデータの構成を示した図です。データの下位 8 ビットが  $n$  番地に、次の 8 ビットが  $n+1$  番地の順に配置されます。

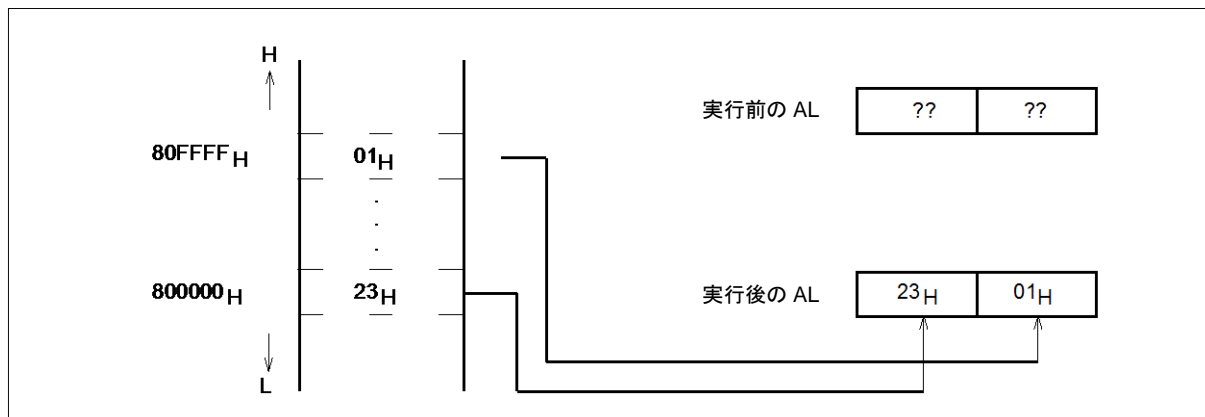
図 3-5 メモリ上の多バイトデータの配置サンプル



### ■ 多バイトデータのアクセス

基本的に、アクセスは 1 つのバンク内で行われます。多バイトデータにアクセスする命令の場合、"FFFF<sub>H</sub>" 番地の後に、同じバンクの "0000<sub>H</sub>" 番地が続きます。図 3-6 は、多バイトデータにアクセスする命令の例です。

図 3-6 MOVW A, 080FFFF<sub>H</sub> の実行



## 4. 専用レジスタ

---

F<sup>2</sup>MC-16FX CPU のレジスタには、専用レジスタと汎用レジスタの 2 種類があります。

F<sup>2</sup>MC-16FX CPU の専用レジスタについて説明します。専用レジスタは、CPU 内に内蔵されている専用ハードウェアで、用途が CPU のアーキテクチャ上で限定されているものです。このタイプのレジスタは、アドレスを使用せずにアクセスできます。レジスタの動作は、専用の命令によって規定します。

---

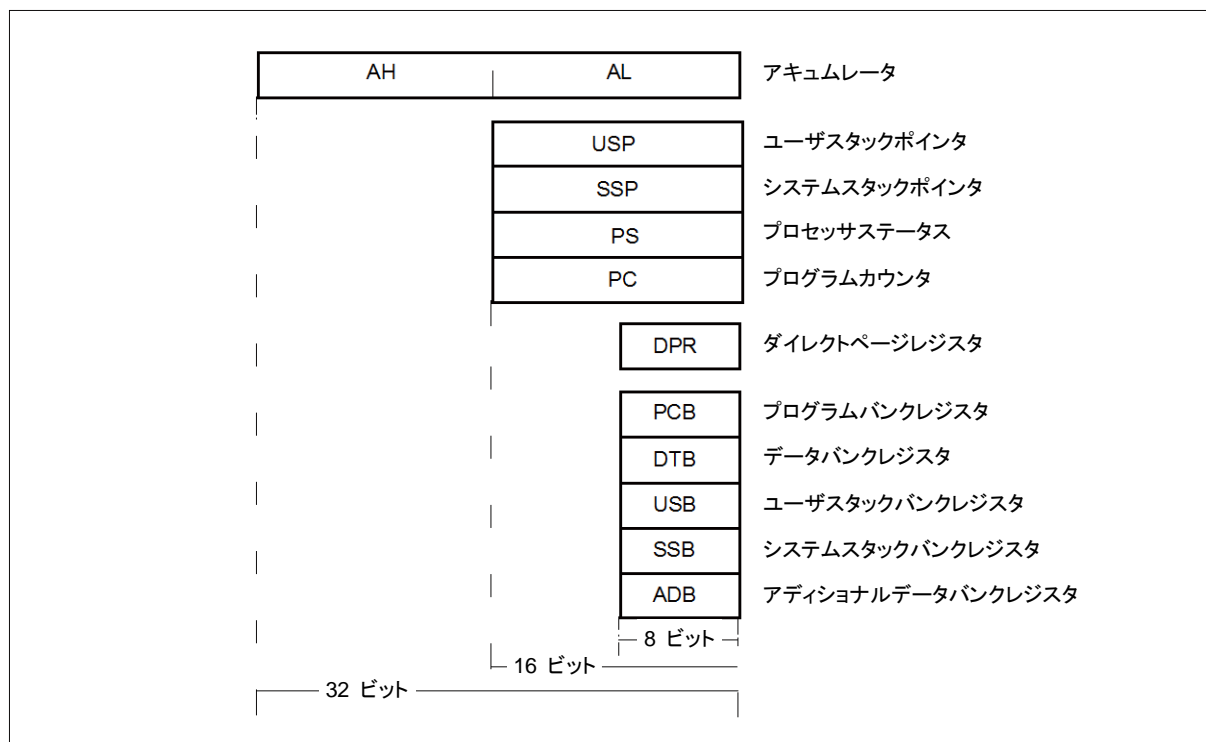
- 4.1 アキュムレータ (A)
- 4.2 ユーザスタックポインタ (USP) とシステムスタックポインタ (SSP)
- 4.3 プロセッサステータス (PS)
- 4.4 プログラムカウンタ (PC)
- 4.5 ダイレクトページレジスタ (DPR)
- 4.6 バンクレジスタ (PCB, DTB, ADB, USB, SSB)

F<sup>2</sup>MC-16FX CPU には以下の専用レジスタがあります。

- ・ アキュムレータ (A=AH:AL): 16 ビット×2 本のアキュムレータ (合計 32 ビットのアキュムレータとしても使用可能)
- ・ ユーザスタックポインタ (USP): 16 ビットのユーザスタックポインタ
- ・ システムスタックポインタ (SSP): 16 ビットのシステムスタックポインタ
- ・ プロセッサステータス (PS): システムの状態を示す 16 ビットのレジスタ
- ・ プログラムカウンタ (PC): 次に実行される命令のアドレスを格納する 16 ビットのレジスタ
- ・ プログラムバンクレジスタ (PCB): プログラムバンクを示す 8 ビットのレジスタ
- ・ データバンクレジスタ (DTB): データバンクを示す 8 ビットのレジスタ
- ・ ユーザスタックバンクレジスタ (USB): ユーザスタックバンクを示す 8 ビットのレジスタ
- ・ システムスタックバンクレジスタ (SSB): システムスタックバンクを示す 8 ビットのレジスタ
- ・ アディショナルデータバンクレジスタ (ADB): アディショナルデータバンクを示す 8 ビットのレジスタ
- ・ ダイレクトページレジスタ (DPR): ダイレクトアクセスするページを示す 8 ビットのレジスタ

図 4-1 は専用レジスタを示します。

図 4-1 専用レジスタ



## 4.1. アキュムレータ (A)

アキュムレータ (A) レジスタは、2 つの 16 ビット算術演算レジスタ (AH および AL) から構成されています。演算結果やデータ転送の一時記憶に使用されるレジスタです。

### ■ アキュムレータ (A)

アキュムレータ (A) は、2 つの 16 ビット算術演算レジスタ (AH および AL) から構成されています。アキュムレータ (A) は、演算結果やデータ転送の一時記憶に使用されます。32 ビットデータ処理時は、AH と AL を連結して使用します。16 ビットデータ処理モードのワード処理や 8 ビットデータ処理モードのバイト処理のときは AL のみが使用されます (図 4-2 および図 4-3 を参照)。アキュムレータ (A) 中のデータは、メモリまたはレジスタ (RI, RWI, RLI) 中のデータと各種演算ができます。また、F<sup>2</sup>MC-8L のときと同様、ワード長以下のデータを AL へ転送すると、転送前の AL 中のデータが自動的に AH に転送されます (データ保持機能)。このデータ保持機能と AL-AH 間演算により、処理効率の向上が可能になっています。

バイト長以下のデータを AL に転送する際は、データは符号拡張またはゼロ拡張されて 16 ビット長となって AL に格納されます。AL 中のデータは、ワード長としてもバイト長としても扱えます。

AL にバイト処理の算術演算命令を実行すると、演算前の AL の上位 8 ビットは無視されます。演算後の上位 8 ビットはすべて "0" になります。

アキュムレータ (A) はリセットでは初期化されず、リセット直後は不定値になります。

図 4-2 32 ビットデータ転送の例

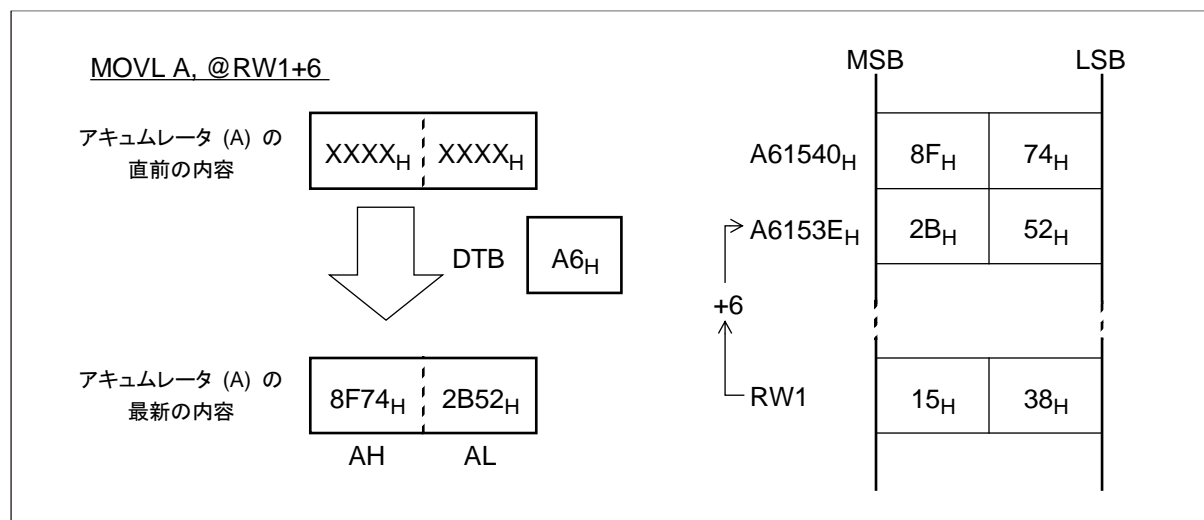
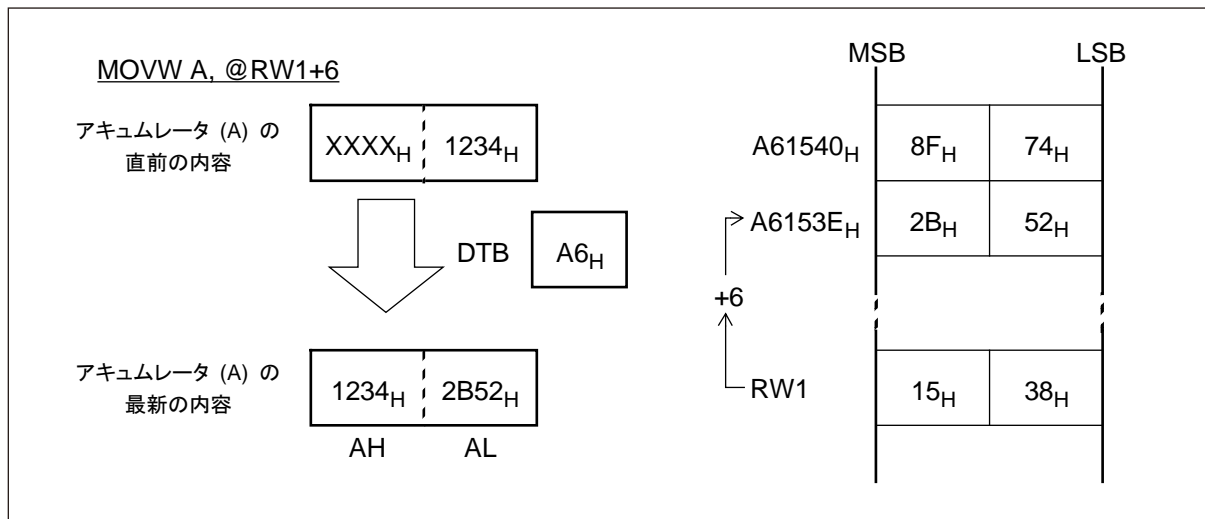


図 4-3 データ保持機能を使った AL-AH 転送の例





## 4.2. ユーザスタックポインタ (USP) とシステムスタックポインタ (SSP)

USP および SSP は、プッシュ/ ポップ命令およびサブルーチン実行時のデータ退避/復帰のメモリアドレスを示す 16 ビットレジスタです。

### ■ ユーザスタックポインタ (USP) とシステムスタックポインタ (SSP)

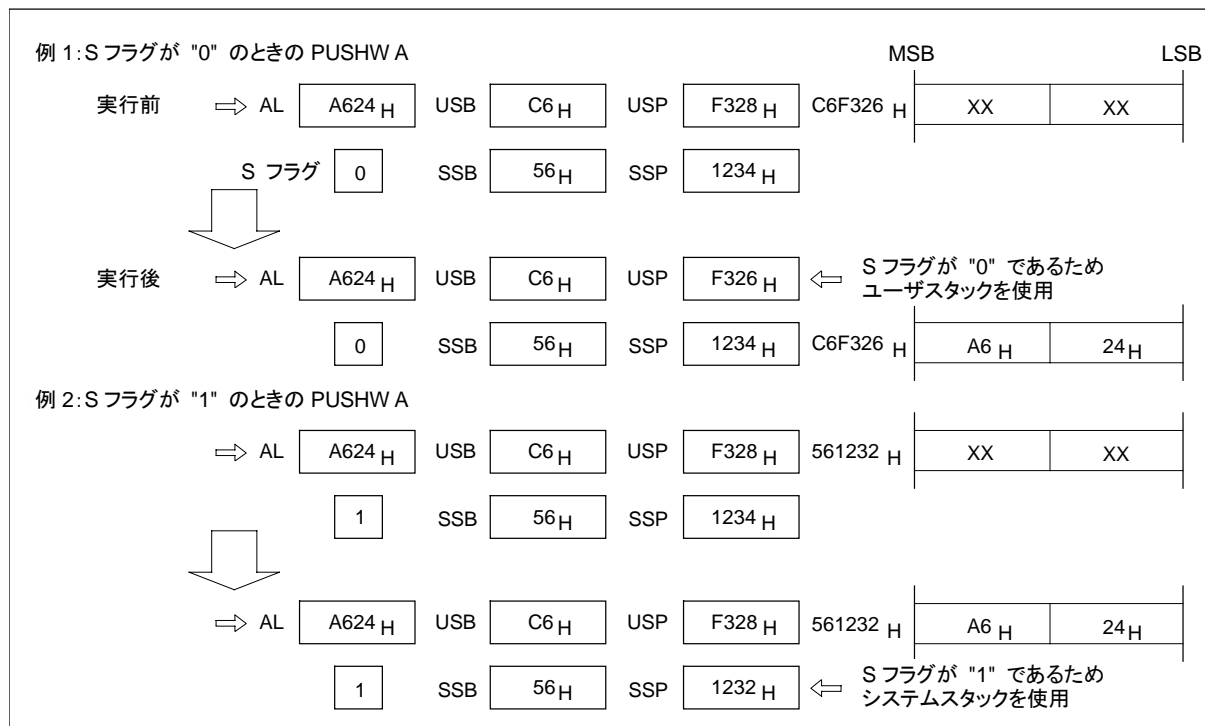
USP および SSP は、プッシュ/ ポップ命令およびサブルーチン実行時のデータ退避/ 復帰のメモリアドレスを示す 16 ビットのレジスタです。USP および SSP レジスタはスタック命令で使用します。

プロセッサステータスレジスタ中の S フラグが "0" のときは USP レジスタが有効になり、S フラグが "1" のときは SSP レジスタが有効になります (図 4-4 を参照)。また、割込みが受け付けられると S フラグがセットされるため、割込み時のレジスタ退避は必ず SSP の示すメモリ領域で行われます。割込みルーチンでのスタック処理は SSP で、割込みルーチン以外のスタック処理は USP が用いられます。スタック空間を分けない場合は SSP だけをお使いください。

スタック時のアドレスの上位 8 ビットは、SSP の場合は SSB、USP の場合は USB により示されます。

また、USP および SSP はリセットでは初期化されず、不定値になります。

図 4-4 スタック操作命令とスタックポインタ



### <注意事項>

スタックポインタに設定する値は、原則として偶数アドレスを使用してください。奇数値を使うとスタック動作のパフォーマンス低下の原因となります。

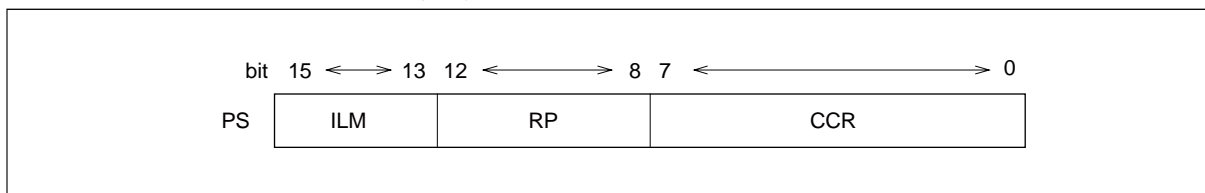
### 4.3. プロセッサステータス (PS)

プロセッサステータス (PS) は、CPU の動作制御を行うビットと CPU の状態を示すビットより構成されています。

#### ■ プロセッサステータス (PS)

図 4-5 に示すように、プロセッサステータス (PS) の上位バイトはレジスタバンクポインタ (RP) とインタラプトレベルマスクレジスタ (ILM) より構成されています。レジスタバンクポインタ (RP) は、レジスタバンクの先頭アドレスを示します。PS レジスタの下位バイトは命令実行結果および割込み発生などによりセット/リセットされる各種フラグを持つコンディションコードレジスタ (CCR) より構成されています。

図 4-5 プロセッサステータス (PS) の構成



#### ■ コンディションコードレジスタ (CCR)

図 4-6 に、コンディションコードレジスタ (CCR) の構成図を示します。

図 4-6 コンディションコードレジスタ (CCR) の構成

bit	7	6	5	4	3	2	1	0	
	P	I	S	T	N	Z	V	C	PS: CCR
	0	0	1	0	0	0	0	0	リセット後の初期値
	1	0	1	X	X	X	X	X	ブートROM実行後の値

#### ● P: 特権モードフラグ

P=1 はユーザモード、P=0 は特権モードを示します。

P フラグはリセットによってクリアされますが、ブート ROM コードの実行中にセットされます。

P フラグをクリアして、ほかのすべてのハードウェア割込みを無効にすることができるのは、NMI および DSU 割込みだけです。P フラグがクリアされた場合、ILM が特権モード (P0 ~ P7) のシステムインタラプトレベルを決定します。これらの割込みレベルは、ユーザモード (U0 ~ U7) のどの ILM 設定よりも優先度が高くなります。

P フラグは、専用の命令 (OR CCR #imm, POPW PS) またはプロセッサステータスの復帰 (RETI, JCTX @A) によってセットできます。P が "1" になっている場合は、P=0 への復帰は認められません。

#### ● I: 割込み許可フラグ

ソフトウェア割込み以外の割込みに対し、I フラグに "1" が設定されている場合は割込みが許可され、I フラグが "0" の場合は割込みがマスクされます。I フラグはリセットによって "0" にクリアされます。

#### ● S: スタックフラグ

S フラグが "0" の場合は、スタックポインタとして USP が有効になります。

S フラグが "1" の場合は、スタックポインタとして SSP が有効になります。

S フラグは、割込みが受け付けられた場合またはリセットされた場合に "1" にセットされます。

### ● T: スティックビットフラグ

論理右シフト命令または算術右シフト命令を実行した場合に、キャリによってシフトアウトされたデータに 1 つ以上 "1" があれば T フラグに "1" が設定され、"1" がなければ "0" が設定されます。

また、T フラグはシフト量がゼロの場合でも "0" に設定されます。

### ● N: ネガティブフラグ

N フラグは、演算結果の MSB が "1" の場合に "1" にセットされ、"0" の場合は "0" にクリアされます。

### ● Z: ゼロフラグ

Z フラグは、演算結果がすべて "0" の場合に "1" にセットされ、それ以外の場合は "0" にクリアされます。

### ● V: オーバフローフラグ

V フラグは、演算の実行で符号付き数値としてオーバフローが発生した場合に "1" にセットされ、オーバフローが発生しなかった場合は "0" にクリアされます。

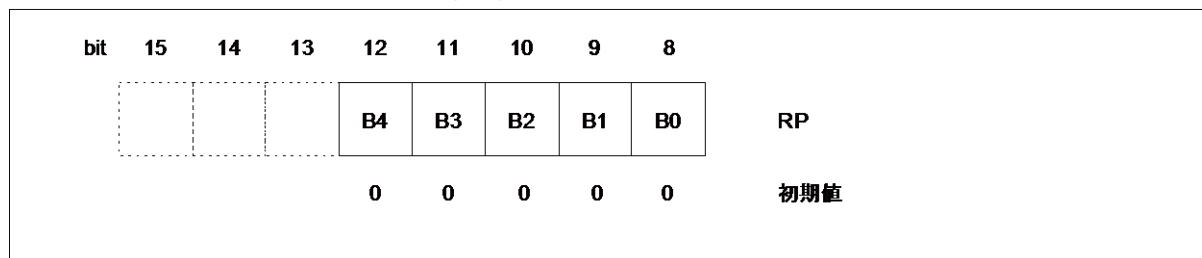
### ● C: キャリフラグ

C フラグは、演算の実行で MSB からの桁上りまたは LSB からの桁下りが発生した場合に "1" にセットされ、発生しなかった場合は "0" にクリアされます。

## ■ レジスタバンクポインタ (RP)

RP レジスタは、F<sup>2</sup>MC-16FX の汎用レジスタと内部 RAM アドレスとの関係を示します。具体的には、RP レジスタは現在使用しているレジスタバンクの先頭メモリアドレスを次の変換式  $[00180_H + (RP) \times 10_H]$  を使って示します。RP レジスタは 5 ビットで構成され、"00<sub>H</sub>" ~ "1F<sub>H</sub>" の値をとります。レジスタバンクは、メモリ中の "000180<sub>H</sub>" ~ "00037F<sub>H</sub>" 番地に割り当てることができます。

図 4-7 レジスタバンクポインタ (RP)



RP レジスタはリセットによりすべて "0" に初期化されます。命令上では RP レジスタに 8 ビットの即値が転送できますが、実際に使用されるのはそのデータの下位 5 ビットのみです。

## ■ インタラプトレベルマスクレジスタ (ILM)

ILM レジスタは3ビットで構成されており、CPUの割込みマスクのレベルを示します。割込み要求は、ILM レジスタおよびPフラグよりも高い割込みの場合のみ受け付けられます。割込みの優先度が最も高いのが "P0" で、最も低いものが "U7" になります。したがって、割込みが受け付けられるには、現状の ILM の保持値より小さい値の要求でなければなりません (図 4-8 を参照)。また、Pフラグについても考慮する必要があります。割込みが受け付けられると、その割込みのレベル値が P フラグと ILM レジスタにセットされ、これ以降の同じレベルおよびそれより優先順位の低い割込みは受け付けられなくなります。

図 4-8 インタラプトレベルマスクレジスタ (ILM)

bit	15	14	13	12	11	10	9	8	
	ILM2	ILM1	ILM0						PS: ILM
	1	0	0						リセット後の初期値
	0	0	0						ブートROM実行後の値

ILM はリセットにより "100<sub>B</sub>" に初期化されますが、ブート ROM プログラムの実行中に ILM は "000<sub>B</sub>" にセットされます。

命令上では ILM レジスタに8ビットの即値が転送できますが、実際に使用されるのはそのデータの下位3ビットのみ (MOV ILM #imm, POPW PS, RETI, JCTX @A) です。P=1 (ユーザレベル) の場合、ILM にはどのような変更でも加えることができます。P=0 (特権レベル) の場合、(P=1 で) 新しい値をユーザレベル U0 ~ U7 に設定する場合または特権レベル (P0 ~ P7) を上げる場合にのみ ILM への変更が受け付けられます。特権モード P0 ~ P7 では、上位レベルから実行する命令で下位レベルに行くことはできません。P フラグに0を書き込んで P=0 の状態でレベルを下げるができるのは NMI および DSU 割込みだけです。

### <注意事項>

P フラグは ILM の拡張ビットと考えることができます。つまり割込みレベルマスク {P, ILM} の最上位ビットの意味を持ちます。

リセットによる初期化の後、CPU はレベル P4 になります。これにより、DSU を除くすべての割込み (NMI を含む) が無効になります。ブート ROM プログラムの実行後、CPU はレベル U0 になります。周辺割込みは無効になります。

P0 ~ P7 のすべての特権モードレベルはロックされ、命令によってレベルを入力したり下げたりできなくなります。つまり、P0 ~ P7 のレベルは上げることしかできません。これにより、NMI および DSU 操作が保護されることになります。この場合、NMI を中断することができ、デバッグセッション中に NMI の受け付けをマスクできるのは DSU だけになります。

ユーザレベル U0 ~ U7 は、F<sup>2</sup>MC-16LX の割込みレベル 0 ~ 7 と下位互換性があります。P フラグは、ユーザレベルでは書き込めません。

表 4-1 P フラグおよびインタラプトレベルマスク (ILM) レジスタにより示されるレベル

レベル	P フラグ	ILM の値	受付け可能な割込みレベル		
P0	0	0	なし	割込み禁止	
P1	0	1	レベル < P1	DSU	
P2	0	2	レベル < P2	DSU	
P3	0	3	レベル < P3	DSU	
P4	0	4	レベル < P4	DSU	
P5	0	5	レベル < P5	NMI, DSU	
P6	0	6	レベル < P6	NMI, DSU	
P7	0	7	レベル < P7	NMI, DSU	
U0	1	0	レベル < U0	ユーザ割込み禁止	NMI, DSU
U1	1	1	レベル < U1	ユーザレベル 0	
U2	1	2	レベル < U2	ユーザレベル 0-1	
U3	1	3	レベル < U3	ユーザレベル 0-2	
U4	1	4	レベル < U4	ユーザレベル 0-3	
U5	1	5	レベル < U5	ユーザレベル 0-4	
U6	1	6	レベル < U6	ユーザレベル 0-5	
U7	1	7	レベル < U7	ユーザレベル 0-6	

## 4.4. プログラムカウンタ (PC)

プログラムカウンタ (PC) は、CPU が実行する命令コードのメモリアドレスの下位 16 ビットを示す 16 ビットカウンタです。

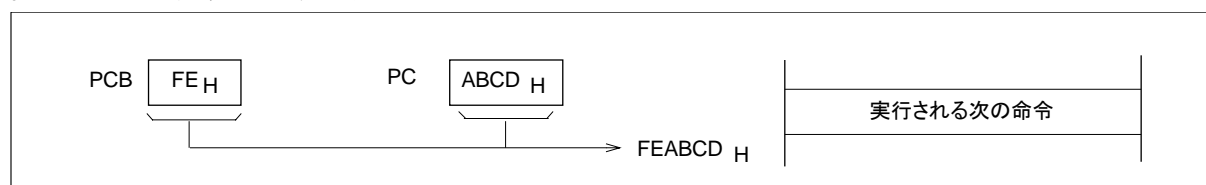
### ■ プログラムカウンタ (PC)

プログラムカウンタ (PC) は、CPU が実行する命令コードのメモリアドレスの下位 16 ビットを示す 16 ビットカウンタです。アドレスの上位 8 ビットはプログラムバンクレジスタ (PCB) で示します。

PC レジスタは、分岐命令、サブルーチンコール命令、割込み、リセットで内容が更新されます。リニアプログラムセグメントの中では、PC は最後の命令のバイト数分だけ増加します。

PC レジスタは、オペランドにアクセスする際のベースポインタとしても使用できます。図 4-9 にプログラムカウンタを示します。

図 4-9 プログラムカウンタ



リセットアドレスは、ブート ROM プログラムの先頭アドレス "0F:FC00H" に固定されています。リセット時、PC は "FC00H" に初期化され、PCB は "0FH" に初期化されます。

外部ベクタモードでは、ブート ROM コードの実行後、"FF:FFDCH" 番地のリセットベクタで指定された値を読み出し設定されます。内部ベクタモードでは、製品に設定されている固定値を読み出して、PCB と PC 共に設定されます。

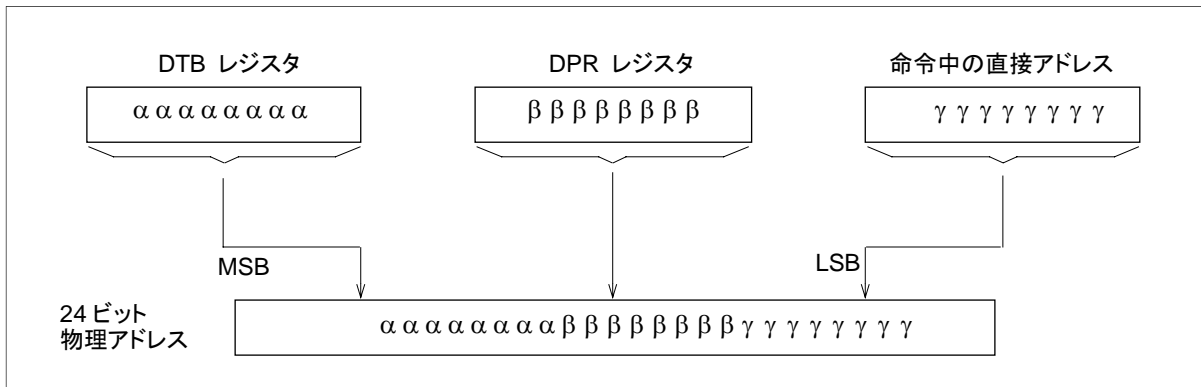
## 4.5. ダイレクトページレジスタ (DPR)

ダイレクトページレジスタ (DPR) は、直接アドレス指定方式の命令に使用されるオペランドアドレスの bit8 ~ bit15 (addr8 ~ addr15) を指定します。

### ■ ダイレクトページレジスタ (DPR)

図 4-10 に示すように DPR は、直接アドレス指定方式の命令オペランドの bit8 ~ bit15 を指定します。

図 4-10 直接アドレス指定方式における物理アドレスの生成



DPR は 8 ビット長で、リセット時には "01<sub>H</sub>" に初期化されます。DPR は命令で読み書き可能です。

## 4.6. バンクレジスタ (PCB, DTB, ADB, USB, SSB)

各バンクレジスタは、プログラム空間、データ空間、ユーザスタック空間およびアディショナルデータ空間に配置されるメモリバンクを示します。

### ■ バンクレジスタ

すべてのバンクレジスタはバイト長です。各バンクレジスタ (PCB, DTB, USP, SSP, ADB) は、PC, DT, SP (ユーザ), SP (システム) または AD 空間が割り当てられるメモリバンクを示します。

PCB 以外のバンクレジスタは読み書き可能です。PCB は、読出しはできますが書込みはできません。PCB レジスタは、JMPP または CALLP 命令実行時、16M バイト全空間への分岐時、RETP または RETI 命令実行時または割込み時に書き換わります。

バンクレジスタの動作の詳細は、「3.3. バンク方式によるアドレス指定」を参照してください。

#### ● プログラムカウンタバンクレジスタ (PCB)

初期値: リセット後は 0F<sub>H</sub>、その後はユーザプログラム開始時のリセットベクタの値。

#### ● データバンクレジスタ (DTB)

初期値: 00<sub>H</sub>

#### ● ユーザスタックバンクレジスタ (USB)

初期値: 00<sub>H</sub>

#### ● システムスタックバンクレジスタ (SSB)

初期値: 00<sub>H</sub>

#### ● アディショナルデータバンクレジスタ (ADB)

初期値: 00<sub>H</sub>



## 5. 汎用レジスタ

---

F<sup>2</sup>MC-16FX CPU のレジスタには、専用レジスタと汎用レジスタの 2 種類があります。

ここでは、F<sup>2</sup>MC-16FX CPU の汎用レジスタ (GPR) について説明します。

GPR は、専用レジスタと同様、アドレスを使用せずにアクセスできます。レジスタの動作は専用の命令によって、定義されます。さらに、GPR は CPU アドレス空間内でもアクセスできます。また、通常のメモリとして使用することもできます。

---

### 5.1 レジスタバンク

### 5.2 汎用レジスタのアドレス指定

## 5.1. レジスタバンク

レジスタバンクは 8 ワードで構成され、算術演算用の汎用レジスタとして使用できます。

### ■ レジスタバンク

レジスタバンクは 8 ワードで構成され、以下のような算術演算用の汎用レジスタとして使用できます。

- ・ バイトレジスタ R0 ～ R7 (8 ビット)
- ・ ワードレジスタ RW0 ～ RW7 (16 ビット)
- ・ ロングワードレジスタ RL0 ～ RL3 (32 ビット)

さらに、レジスタバンクのレジスタはポインタおよびカウンタとして使用できます。

表 5-1 に、レジスタの機能一覧を示します。表 5-2 では、レジスタ間の関係を示しています。

表 5-1 レジスタの機能

R0 ～ R7	各種命令のオペランドとして使用。 (注意事項) R0 はシフトまたはノーマライズ (正規化) 命令のカウンタとしても使用します。
RW0 ～ RW7	ポインタとして使用。 各種命令のオペランドとして使用。 (注意事項) RW0 はストリング命令のカウンタとしても使用します。
RL0 ～ RL3	ロングポインタとして使用。 各種命令のオペランドとして使用。

表 5-2 レジスタ間の関係

バイトレジスタ	ワードレジスタ	ロングワードレジスタ
--	RW0	RL0
	RW1	
	RW2	RL1
	RW3	
R0	RW4	RL2
R1		
R2	RW5	
R3		
R4	RW6	RL3
R5		
R6	RW7	
R7		

通常の RAM 領域と同様、レジスタバンクの値はリセットで初期化されず、リセット前の状態が保持されます。電源投入時にはレジスタバンクの値は不定値となります。

## 5.2. 汎用レジスタのアドレス指定

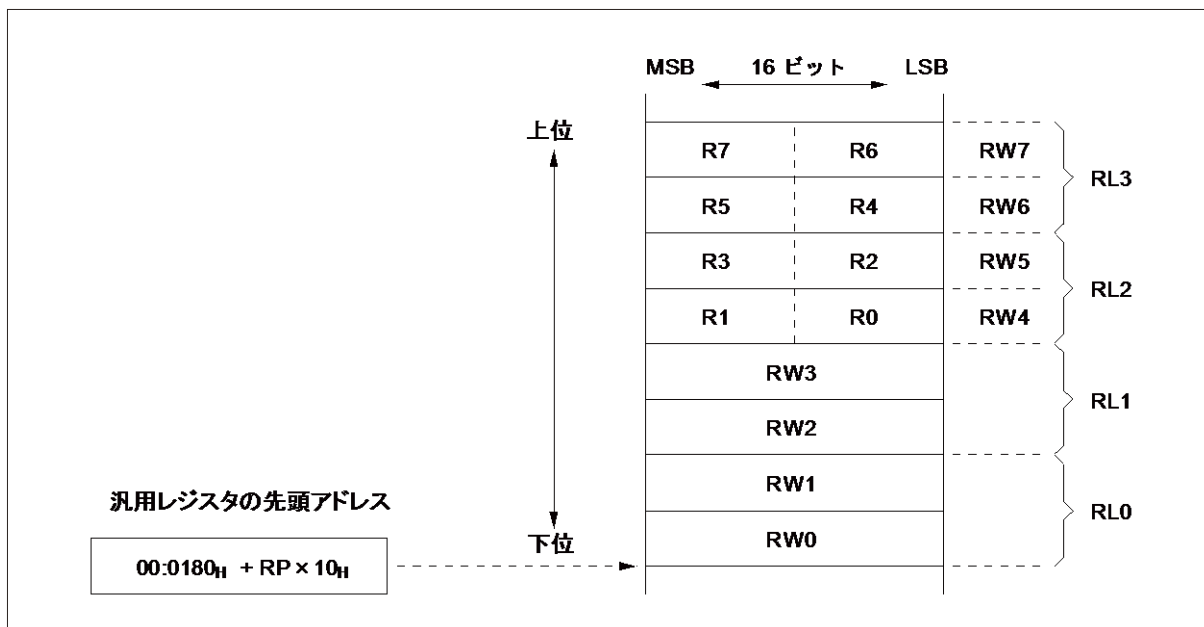
F<sup>2</sup>MC-16FX の汎用レジスタは、レジスタバンクポインタ (RP) を使って現在使用中のレジスタバンクを指定します。レジスタバンクは、メモリ空間の "00:0180<sub>H</sub>" ~ "00:037F<sub>H</sub>" でアドレス指定できます。

### ■ 汎用レジスタのアドレス指定

F<sup>2</sup>MC-16FX の汎用レジスタは、メモリ空間の "000180<sub>H</sub>" ~ "00037F<sub>H</sub>" に配置され、レジスタバンクポインタ (RP) によってこのアドレスのどの部分が現在使用中のレジスタバンクであるかを指定します。各バンクには以下に示す3種類のレジスタが存在します。これらのレジスタは、図 5-1 に示すように相互依存関係があります。

- R0 ~ R7: 8 ビットの汎用レジスタ
- RW0 ~ RW7: 16 ビットの汎用レジスタ
- RL0 ~ RL3: 32 ビットの汎用レジスタ

図 5-1 汎用レジスタ



バイトレジスタとワードレジスタの上位/ 下位バイトの関係は以下の式で表すことができます。

$$RW_{(i+4)} = R_{(i \times 2 + 1)} \times 256 + R_{(i \times 2)} \quad [i=0 \text{ to } 3]$$

RL<sub>i</sub> と RW の上位/ 下位バイトの関係は以下の式で表すことができます。

$$RL_{(i)} = RW_{(i \times 2 + 1)} \times 65536 + RW_{(i \times 2)} \quad [i=0 \text{ to } 3]$$

## 6. プリフィックスコード

---

命令の前にプリフィックスコードを置くことで、命令動作の一部を変更することが可能です。プリフィックスコードには以下に示す3つの種類があります。

- バンクセレクトプリフィックス
  - コモンレジスタバンクプリフィックス
  - フラグ変化抑止プリフィックス
- 各プリフィックスについて説明します。
- 

- 6.1 バンクセレクトプリフィックス
- 6.2 コモンレジスタバンクプリフィックス (CMR)
- 6.3 フラグ変化抑止プリフィックス (NCC)
- 6.4 プリフィックスコードに関する制約

## 6.1. バンクセレクトプリフィックス

バンクセレクトプリフィックスを命令の前に設定した場合は、命令がアクセスするメモリ空間をアドレス指定方式とは無関係に設定できます。

### ■ バンクセレクトプリフィックス

データアクセスに使用するメモリ空間は、アドレス指定方式別に指定します。

バンクセレクトプリフィックスを命令の前に設定した場合は、命令でデータアクセスに使用するメモリ空間をアドレス指定方式とは無関係に選択できます。

表 6-1 に、バンクセレクトプリフィックスと対応するメモリ空間を示します。

表 6-1 バンクセレクトプリフィックス

バンクセレクト プリフィックス	選択される空間
PCB	PC 空間
DTB	データ空間
ADB	AD 空間
SPB	スタックフラグの値によって SSP または USP 空間が使用されます。

以下の命令では、プリフィックスの効果が各命令で異なることに注意してください。

### ● 転送命令 (I/O アクセス)

MOV A, io	MOV io, A	MOVW A, io	MOVW io, A
MOV io, #imm8	MOV io, #imm16	MOVX A, io	

指定されているバンクセレクトプリフィックスに関係なく I/O 空間がアクセスされます。

### ● ビット操作命令 (I/O アクセス)

MOVB A, io:bp	MOVB io:bp, A	SETB io:bp	CLRB io:bp
BBC io:bp, rel	BBS io:bp, rel	WBTC io:bp	WBTS io:bp

指定されているバンクセレクトプリフィックスに関係なく I/O 空間がアクセスされます。

### ● 分岐命令

RETI

指定されているバンクセレクトプリフィックスに関係なく、システムスタックバンク (SSB) が使用されます。

## ● スtring操作命令

FILS	FILSW	SCEQ	SCWEQ
MOVS	MOVSW		

指定されているバンクセレクトプリフィックスに関係なく、オペランドで指定されているバンクレジスタが使用されます。

## ● スタック操作命令

PUSHW	POPW	POPW PS
LINK	UNLINK	

指定されているバンクセレクトプリフィックスに関係なく、S フラグの設定に従ってシステムスタックバンク (SSB) またはユーザスタックバンク (USB) が使用されます。

## ● プロセッサステータスワード変更/ 割込み制御命令

AND CCR, #imm8	OR CCR, #imm8	MOV ILM, #imm8	POPW PS
----------------	---------------	----------------	---------

指定されたバンクセレクトプリフィックスの効果は次の命令までおよびます。

## 6.2. コモンレジスタバンクプリフィックス (CMR)

コモンレジスタバンクプリフィックス (CMR) をレジスタバンクにアクセスする命令の前に設定すると、命令の対象となっているレジスタをコモンレジスタバンクに変更できます。これは、現在のレジスタバンクポインタ (RP) の値に関係なく、RP=0 のときに選択されるレジスタバンクになります。

### ■ コモンレジスタバンクプリフィックス (CMR)

複数のタスク間でのデータ交換を容易にするためには、そのときの RP 値に関係なく既定の同じレジスタバンクに比較的簡単にアクセスできる手段を用意することが必要です。この目的のため、F<sup>2</sup>MC-16FX では各タスクが共通して使用できる「コモンレジスタバンク」とよばれるレジスタバンクが提供されています。コモンバンクは、00:0180<sub>H</sub> ~ 00:018F<sub>H</sub> 番地にあります。RP の値が "0" に設定されているときに選択されます。

CMR がレジスタバンクにアクセスする命令の前に置かれた場合、現在の RP 値に関係なく、その命令はコモンバンクにアクセスします。

以下の命令では、プリフィックスの効果が各命令で異なることに注意してください。

#### ● スtring操作命令

FILS	FILSW	SCEQ	SCWEQ
MOVS	MOVSW		

上記のString命令の前に CMR プリフィックスを置いても無視されます。CMR プリフィックスが指定されているかどうかに関係なく、レジスタバンクポインタ RP の実際の値を使って、カウンタレジスタ RW0 が常に参照されます。

#### ● スタック操作命令

LINK	UNLINK
------	--------

指定されているバンクセレクトプリフィックスに関係なく、S フラグの設定に従ってシステムスタックバンク (SSB) またはユーザスタックバンク (USB) が使用されます。

#### ● プロセッサステータスワード変更 / 割込み制御命令

AND CCR, #imm8	OR CCR, #imm8	MOV ILM, #imm8	POPW PS
----------------	---------------	----------------	---------

指定されたプリフィックスの効果は次の命令までおよびます。



## 6.3. フラグ変化抑止プリフィックス (NCC)

命令の実行に伴うフラグの変化は、その命令の前にフラグ変化抑止プリフィックスコード (NCC) を置くことによって抑止できます。

### ■ フラグ変化抑止プリフィックスコード (NCC)

フラグ変化を抑止するためには、フラグ変化抑止プリフィックスコード (NCC) を用います。NCC を命令の前に置くことで、命令実行に伴うフラグ変化を抑止できます。

以下の命令では、プリフィックスの効果が各命令で異なることに注意してください。

#### ● スtring操作命令

FILS

FILSW

SCEQ

SCWEQ

上記のString命令の前に NCC プリフィックスを置いても無視されます。NCC プリフィックスが指定されているかどうかに関係なく、CCR のフラグは命令の指定によって変化します。

#### ● プロセッサステータスワード変更/ 割込み制御命令

AND CCR, #imm8

OR CCR, #imm8

MOV ILM, #imm8

POPW PS

指定されたプリフィックスの効果は次の命令までおよびます。

#### ● 分岐命令

INT #vct8

INT9

INT addr16

INTP addr24

RETI

NCC プリフィックスが指定されているかどうかに関係なく、CCR は命令の指定によって変化します。

#### ● コンテキストスイッチ命令

JCTX @A

プリフィックスに関係なく、CCR は命令の指定によって変化します。

## 6.4. プリフィックスコードに関する制約

実行中に割り込み要求を受け付けられない命令について記載します。プリフィックスコードが割り込みを受け付けられない命令の前に置かれた場合、この後に最初の命令が実行されるまでプリフィックスコードの設定は有効になります。

競合するプリフィックスコードが連続した場合、最後のプリフィックスコードのみが有効となります。

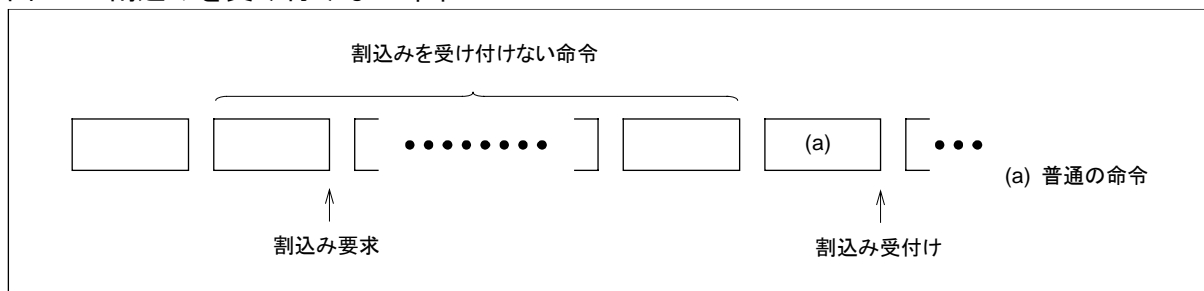
### ■ 割り込みを受け付けられない命令

割り込み要求は、以下の命令およびプリフィックスコードの実行中は受け付けられません。

MOV ILM, #imm8	AND CCR, #imm8	OR CCR, #imm8	POPW PS
PCB	ADB	DTB	SPB
NCC	CMR		

上記の命令のいずれかの実行中に有効な割り込み要求が発生した場合、上記以外の命令が実行されるまで割り込みは延期されます。詳細は、図 6-1 を参照してください。

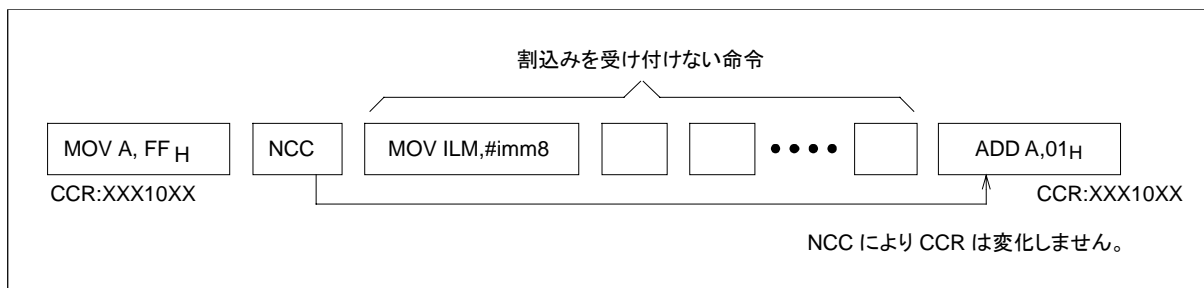
図 6-1 割り込みを受け付けられない命令



### ■ 割り込みを受け付けられない命令およびプリフィックスコードに関する制約

プリフィックスコードが割り込みを受け付けられない命令の前に置かれた場合、プリフィックスコードは、割り込み受け付け可能な、最初の命令に影響します。詳細は、図 6-2 を参照してください。

図 6-2 割り込みを受け付けられない命令およびプリフィックスコード

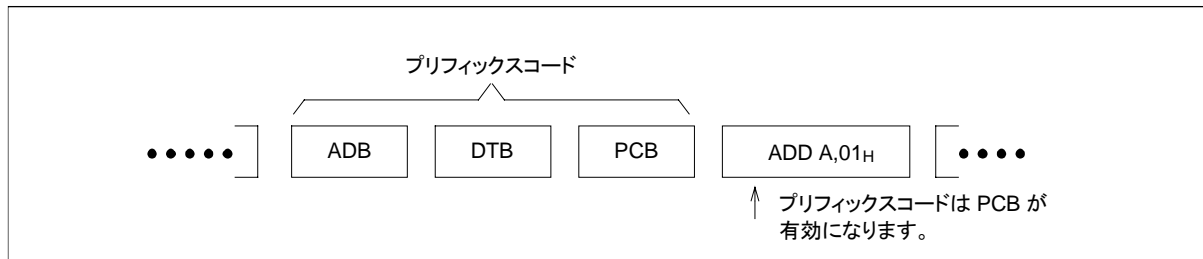


## ■ プリフィックスコードの連続

競合するプリフィックスコードが連続した場合、最後のものが有効となります。

下図では、競合するプリフィックスコードは PCB, ADB, DTB および SPB になります。詳細は、図 6-3 を参照してください。

図 6-3 プリフィックスコードの連続



プリフィックス CMR および NCC は、バンクセレクトプリフィックス PCB, ADB, DTB および SPB と競合しません。また、CMR は NCC と競合しません。

# Chapter 3: 割込み



---

割込みの機能と動作について説明します。

---

1. 概要
2. 割込みフロー
3. ハードウェア割込み
4. ソフトウェア割込み
5. 多重割込み
6. 例外
7. 割込みベクタ
8. 割込み制御レジスタ(ICR)
9. マスク不可割込み(NMI)

---

管理コード : 96F6INT-J03.0

---

## 1. 概要

F<sup>2</sup>MC-16FX には、イベントなどの発生により現在実行中のプログラムを中断して、別のプログラムに制御を移す割込み機能があります。割込み機能は以下の 4 つに分類できます。

- ハードウェア割込み: 周辺機能のイベント発生による割込み処理
- ソフトウェア割込み: ソフトウェアのイベント発生(命令)による割込み処理
- 例外: 動作例外事項の発生による処理
- DMA: 周辺機能のイベント発生による CPU とのやり取りを伴わないデータ転送

### ■ ハードウェア割込み

ハードウェア割込みは、周辺機能からの割込み要求によって発生します。ハードウェア割込み要求は、周辺機能内の割込み要求フラグと割込み許可フラグの両方がセットされたときに発生します。

#### ● 割込みレベルの指定

ハードウェア割込みには、割込みレベルを指定できます。割込みレベルを指定するには、割込み制御レジスタ ICR のレベル設定ビット(IL0, IL1, IL2)を使用します。

ハードウェア割込みには、個別に割込みレベル(IL)を指定できます。希望する割込みレベル IL へのアクセスは、IX インデックスを設定することで実行できます。IX と IL は共に、割込み制御レジスタ ICR を介してアクセスできます。

#### ● ハードウェア割込み要求マスク

ハードウェア割込み要求は、I フラグおよび ILM ビット(ILM0, ILM1, ILM2)を使用してマスクできます。割込みは、I フラグがセットされ、割込みレベル IL の値が割込みレベルマスク ILM よりも小さい場合にのみ実行されます。さらに、ハードウェア割込みを受け付けるには P フラグがセットされている必要があります。P, I および ILM は、CPU のプロセッサステータスレジスタ PS の一部です。

マスクのかかっていない割込み要求が発生すると、CPU は PS, PC, PCB, DTB, ADB, DPR, A の各レジスタからなる 12 バイトのデータをシステムスタックバンクおよびポインタレジスタ(SSB と SSP)が示すメモリ領域に退避させます。

### ■ ソフトウェア割込み

ソフトウェア割込みは INT 命令の実行により要求されます。INT 命令により要求される割込みには、割込み要求フラグや割込み許可フラグはありません。INT 命令が実行されると常に割込み要求が発生します。

INT 命令には割込みレベルの割当て也没有ありません。このため、INT 命令使用時には ILM は更新されません。その代わりに、I フラグがクリアされ、以降の割込み要求が保留状態になります。

### ■ 例外

ソフトウェア例外処理には以下のタイプが存在します。

- ・ 未定義命令
- ・ INT9
- ・ INTE(EVA デバイスのみで利用可能)

ハードウェア例外処理には以下のタイプが存在します。

- ・ NMI
- ・ DSU ブレーク要因(EVA デバイスまたは OCDS が利用可能な場合に利用可能)

例外処理は基本的に割込み処理と同じです。命令の実行中に例外事項が発生したことを検出した段階で、例外処理を行います。一般的に、例外処理は予想外の動作の結果として発生します。したがって、例外処理はプログラムのデバッグや緊急時のリカバリソフトウェアの起動などに限定して使用することをお勧めします。

## ■ ダイレクトメモリアクセス(DMA)

### ● DMA 機能

F<sup>2</sup>MC-16FX には、割込み時に周辺機能とメモリ間で自動的にデータ転送する DMA 機能があります。

DMA チャンネルの数はデバイスに依存します。

指定された数の DMA データ転送が完了後、本来の割込み要求に対応する割込み処理プログラムが自動実行されます。DMA 完了時の割込み処理方法は、通常のハードウェア割込みと同じです。

DMA の詳細は、『DMA』の章を参照してください。

## 2. 割込みフロー

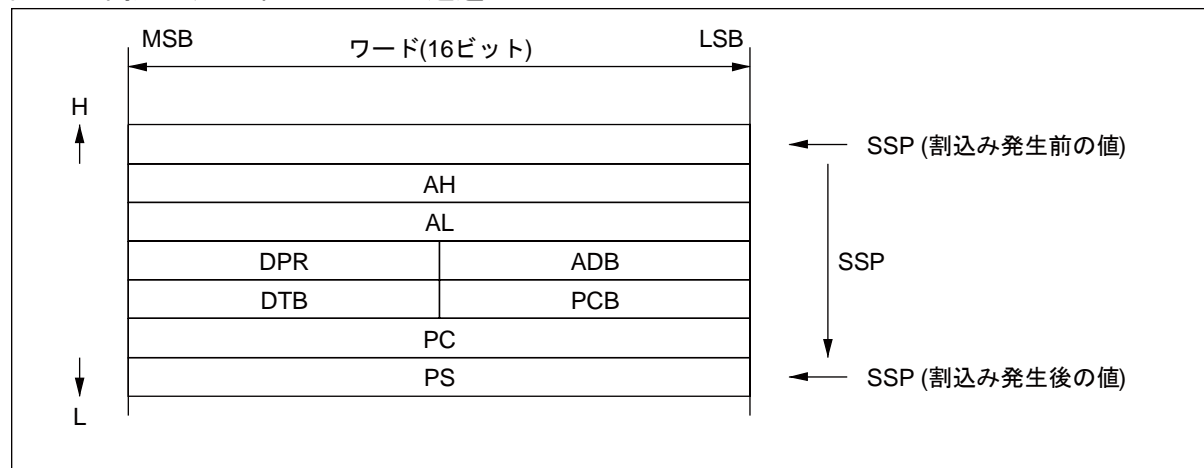
図 2-2 に、割込みフローを示します。

### ■ 割込みフロー

ハードウェア割込み、ソフトウェア割込み、例外が発生すると、割込み処理フローが実施されます。割込みフローチャートの詳細は、図 2-2 を参照してください。

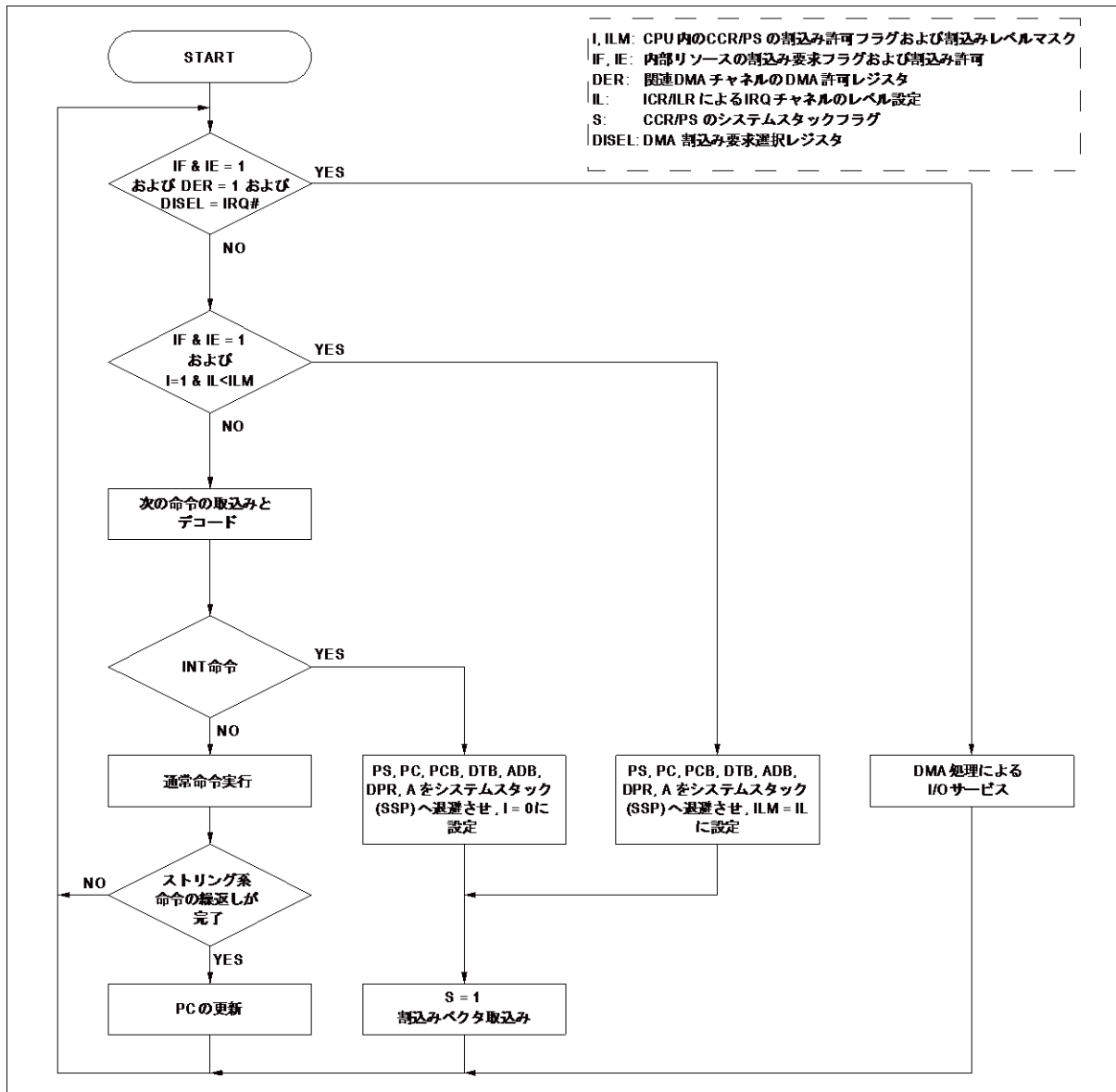
割込み処理の前に、CPU 専用レジスタの内容はスタック領域に退避されます(図 2-1 を参照してください)。

図 2-1 割込み処理中のレジスタ退避



割込み処理の終了時、RETI 命令が実行される際に、CPU 専用レジスタの内容が復元され、CPU は通常のプログラム実行状態に戻ります。

図 2-2 割り込みフロー





## 3. ハードウェア割込み

周辺機能からの割込み要求信号に対応して、CPU は現在実行中のプログラムを一時中断し、ユーザの定義した割込み処理用プログラムへ制御を移行させます。

### ■ ハードウェア割込み

ハードウェア割込みは、以下の 2 つの処理の結果、条件が満たされると発生します。

- ・ 割込み要求レベル(IL)と、CPU 内の PS に設定された割込みレベルマスクレジスタ(ILM)値の比較
- ・ PS の I フラグを 1 に設定。PS の I フラグ値については『CPU』の章を参照してください。

ハードウェア割込みが発生すると、CPU は以下の処理を行います。

- ・ CPU 内部の PC, PS, AH, AL, PCB, DTB, ADB, DPR レジスタのシステムスタックへの退避
- ・ PS の S フラグのセット
- ・ PS レジスタ内の ILM の設定。現在要求されている割込みレベル(IL)が自動的に設定される
- ・ 対応する割込みベクタを読出し、その値で示された処理への分岐

デバイスがスタンバイモードのとき、IL<7 のハードウェア割込みがあるとクロックおよびモード制御ユニットに対するウェイクアップイベントが発生します。

### ■ ハードウェア割込みシステムの構造

割込みの状態は、周辺機能、割込みコントローラの ICR および CPU の PS 値によって示されます。ハードウェア割込みを使用するには以下の設定を行います。

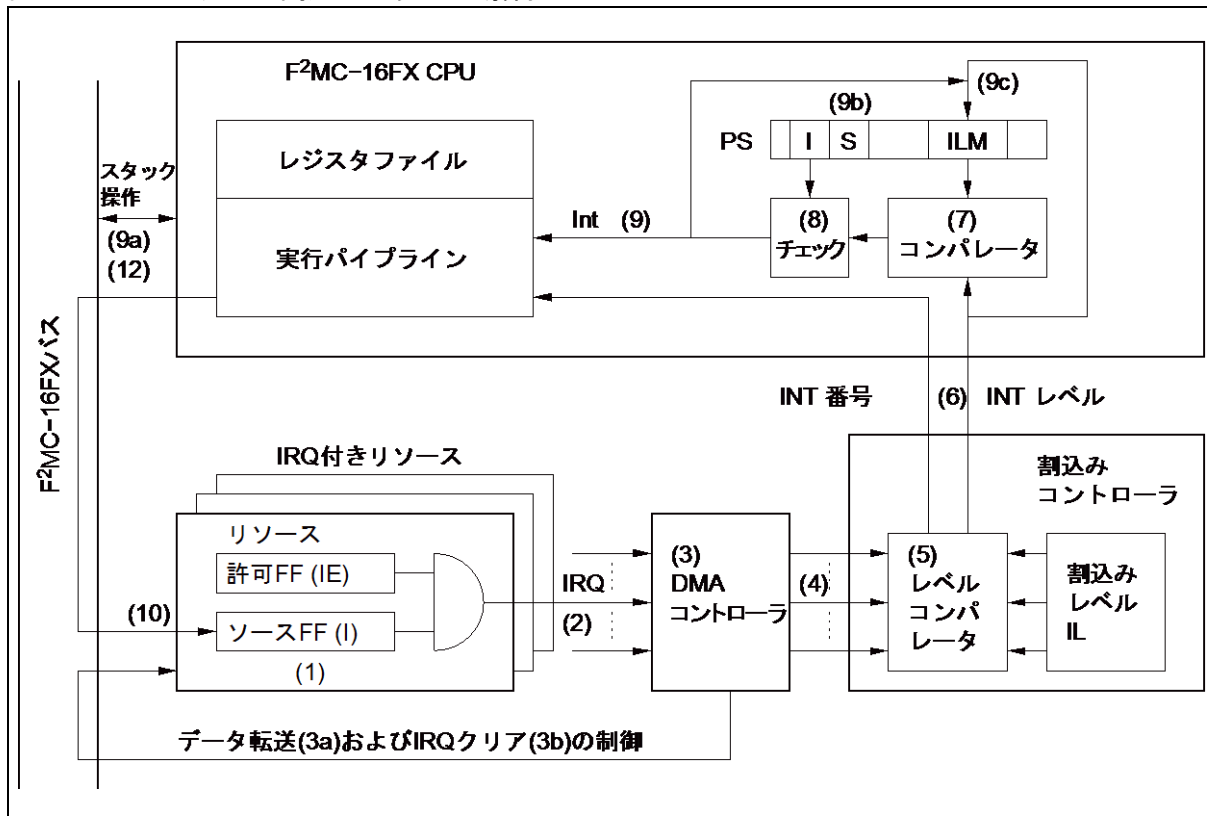
- ・ 割込みベクタ(メモリ内)
  - ・ ベクタテーブルをデフォルト以外の箇所に配置する場合は TBR 値を設定します。
  - ・ 割込みサービスルーチンの開始アドレスは、対応する割込みベクタ ( $\text{VecAddr} = 4 \times (255 - \text{INT\#}) + 256 \times \text{TBR}$ ) に書き込む必要があります。
- ・ 周辺機能
  - ・ 割込み許可ビットおよび要求ビットを使用して、周辺機能からの割込み要求を制御します。
- ・ 割込みコントローラ
  - ・ 発生する可能性のある割込みに対して割込みレベル(ICR:IL)を指定します。
  - ・ 複数の割込みが同時発生した場合、割込みレベルが小さいものほど優先度が高くなります。IL=7 では割込みが無効になります。
  - ・ 同じレベルの要求が複数ある場合、割込みコントローラは割込み番号が最も小さい要求を選択します。同じレベルが設定されている場合、割込み番号とは関係なく、遅延割込みの優先度が最も低くなります。
  - ・ 割込み要求と IL の間には一定の関係があります。各ハードウェア割込み要求 IRQ[n]のレベルは IL[n]によって指定できます(n ≥ 12 の割込みのみ)。
- ・ CPU
  - ・ PS レジスタ内の ILM と I は、要求された割込みレベル(IL)と現在の割込みレベルマスク(ILM)の比較と、割込み許可状態(I)の判定に使用されます。ハードウェア割込みの受付けは、I フラグがセットされていること、ILM が IL よりも大きいことが条件になります。
  - ・ 割込み処理中、CPU は CPU 専用レジスタの 12 バイトを SSB および SSP が示すメモリ領域に退避させます。そのため、割込みを使用する前にシステムスタックポインタを初期化する必要があります。
  - ・ CPU は割込みベクタの 3 バイトをフェッチし、PC と PCB に設定します。これは、割込み処理ルーチンがその位置から開始する必要があるためです。その結果、次に実行する命令は、ユーザの定義した割込み処理プログラムになります。RETI 命令の実行で通常動作が再開します。

## ■ ハードウェア割り込みの動作

周辺機能からの割り込み要求(IRQ)は、割り込みコントローラで処理を行う前に DMA コントローラに出力されます。DMA コントローラは、DMA チャンネル設定(DMA 割り込み要求選択レジスタ DISEL および DMA 許可 DER:ENx ビット)にしたがって、IRQ を DMA 転送で処理するか、割り込みコントローラで処理するかを決定します。DMA 転送は、I フラグと割り込みレベルの状態に関係なく受け付けられます。DMA コントローラでは優先度の順位が固定しており、チャンネル"0"で最も高い優先度、チャンネル15で最も低い優先度となります。

図 3-1 に、ハードウェア割り込みの発生から、割り込み処理プログラムによる割り込み要求の解除までの処理フローを示します。

図 3-1 ハードウェア割り込みの発生と解除まで



1. リソース内で割り込み要因が発生します。
2. リソース内の割り込み許可ビットを参照します。割り込み許可になっていれば、リソースが割り込み要求(IRQ)を発生します。
3. DMA コントローラが IRQ を DMA で処理すべきかチェックします。DMA コントローラは、各 DMA チャンネルごとに要求されている IRQ の割り込み番号が選択されているか、また DMA が許可になっているかを判定します。
  - ・判定が「DMA で処理を行う」場合、転送は DMA が処理します(3a)。判定が「DMA で処理を行わない」となった場合、割り込み処理は割り込みコントローラが行うことになり、(4)に続きます。
  - ・DMA 転送の終了後、割り込みビットがリソースでクリアされます(3b)。
  - ・最終転送カウンタに達すると、割り込みコントローラで DMA 完了割り込みが処理されます。
4. 割り込みコントローラが割り込み要求を受け取ります。
5. 割り込みコントローラは同時に要求のあった割り込みの優先順位を判定します。

6. 割込みコントローラは最も優先度の高い割込みレベルおよび対応する割込み番号をCPUに転送します。
7. 割込みコントローラが要求した割込みレベルとプロセッサステータスレジスタの ILM 値が比較されます。
8. 比較の結果、要求されている割込み処理のレベルが現在処理中の割込みのレベルより小さい場合 (IL < ILM)、同じプロセッサステータスレジスタ内の I フラグの内容がチェックされます。
9. ステップ8のチェックでIフラグが割込み許可状態だった場合、現在実行中の命令の実行が終了し次第、割込み処理が実行されます。
  - ・ CPU の状態を退避させるため、CPU 専用レジスタがシステムスタックに転送されます(9a)。
  - ・ S フラグが"1"に設定されます(9b)。
  - ・ 要求されたレベルが ILM ビットに書き込まれます(9c)。
  - ・ 割込みベクタが読み出されます。
  - ・ 制御が割込み処理ルーチンに移ります(割込みベクタとして読み出されたアドレスへの分岐)。
10. ユーザの割込み処理ルーチン内でステップ1の割込み要因がソフトウェアによってクリアされた場合、割込み要求は終了します。
11. RETI 命令を最後の命令として、割込み処理ルーチンから復帰します。
12. システムスタックに退避していた CPU の状態が復元され、通常のプログラム実行が再開します。

### ■ ハードウェア割込みの処理時間

CPU が割込み処理(スタック操作、割込みベクタフェッチ、割込みベクタへの分岐)を実行するために必要な時間を以下に示します。以下は、スタック操作および割込みベクタフェッチがウェイトサイクルなしで実行された場合の数値です。

- ・ 割込み起動:10 サイクル + c
- ・ 割込み復帰:9 サイクル + c (RETI 命令)

表 3-1 割込み処理時のサイクル数の補正值(c)

スタックポインタが示しているアドレス	補正值
内部領域が偶数アドレスの場合	0
内部領域が奇数アドレスの場合	+2

また、バス転送のウェイトサイクルがある場合(例:遅いフラッシュメモリのベクタテーブルへのアクセス)、それも加算する必要があります。

## 4. ソフトウェア割込み

特定の命令が実行されると、CPU は実行中のプログラムからユーザの定義した割込み処理用プログラムに制御を移します。これをソフトウェア割込み機能とよびます。ソフトウェア割込みはソフトウェア割込み命令実行時に必ず発生します。

### ■ ソフトウェア割込み

INT 命令により要求されるソフトウェア割込みには、割込み要求フラグや割込み許可フラグはありません。ソフトウェア割込み要求は、INT 命令の実行により常に発生し、常に受け付けられます。INT 命令には割込みレベルはありません。したがって、INT 命令は ILM を更新しません。INT 命令は I フラグをクリアして以降のハードウェア割込み要求を保留にします。ソフトウェア割込みが発生すると、CPU は以下の処理を行います。

- ・ CPU 内部の PC, PS, AH, AL, PCB, DTB, ADB, DPR レジスタのシステムスタックへの退避
- ・ PS の S フラグのセット
- ・ PS レジスタ内の I フラグのクリア。ハードウェア割込みは自動的に無効になる
- ・ 対応する割込みベクタを読み出し、その値で示された処理への分岐

### ■ ソフトウェア割込みシステムの構造

ソフトウェア割込みは CPU 内ですべて処理されます。ソフトウェア割込みを使用するには、以下の設定を行います。

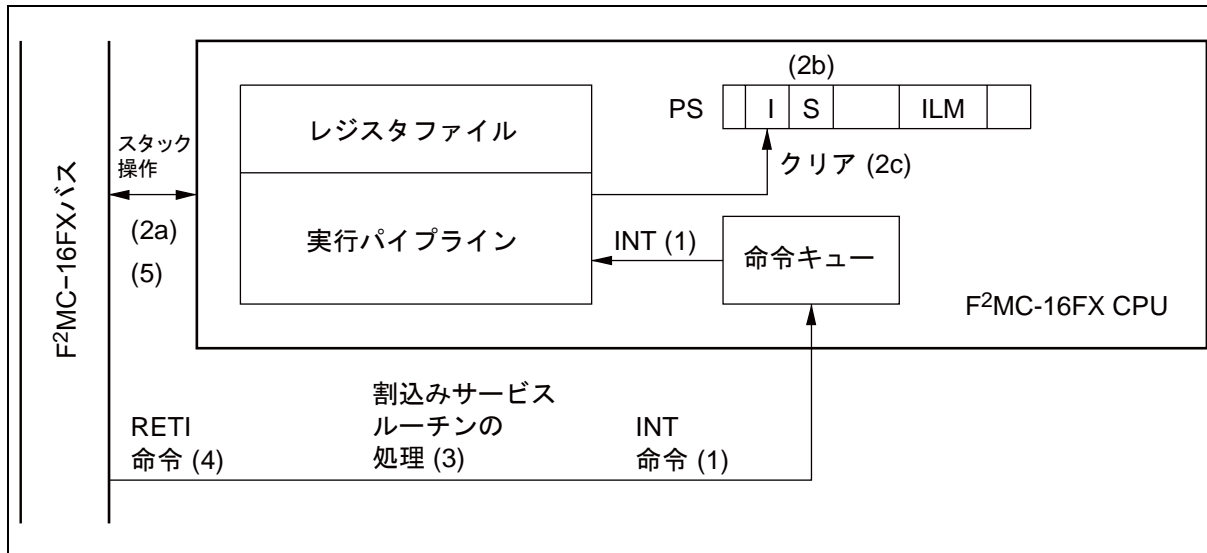
- ・ 割込みベクタ(メモリ内)
  - ・ ベクタテーブルをデフォルト以外の箇所に配置する場合は TBR 値を設定します。
  - ・ 割込みサービスルーチンの開始アドレスは、対応する割込みベクタ ( $\text{VecAddr} = 4 \times (255 - \text{INT\#}) + 256 \times \text{TBR}$ ) に書き込む必要があります。
- ・ CPU
  - ・ 割込み処理中、CPU は CPU 専用レジスタの 12 バイトを SSB および SSP が示すメモリ領域に退避させます。そのため、割込みを使用する前にシステムスタックポインタを初期化する必要があります。
  - ・ CPU は割込みベクタの 3 バイトをフェッチし、PC と PCB に設定します。これは、割込み処理ルーチンがその位置から開始する必要があるためです。その結果、次に実行する命令は、ユーザの定義した割込み処理プログラムになります。RETI 命令の実行で通常動作が再開します。

### ■ ソフトウェア割込みの動作

CPU がソフトウェア割込み命令をフェッチして実行すると、ソフトウェア割込み処理シーケンスが始まります。ソフトウェア割込み処理シーケンスは、SSB および SSP が示すメモリ領域に CPU 専用レジスタの 12 バイト(PS, PC, PCB, DTB, ADB, DPR, A)を退避させます。次に、割込みベクタの 3 バイトをフェッチして PC および PCB に格納し、I フラグをリセットし、S フラグをセットします。次に、分岐処理を行います。その結果、ユーザアプリケーションプログラムによって定義された割込み処理プログラムが次に実行されます。

図 4-1 に、ソフトウェア割込みの発生から、割込み処理プログラムからの復帰までのフローを示します。

図 4-1 ソフトウェア割込みの発生と解除



1. ソフトウェア割込み命令を実行します。
2. ソフトウェア割込み命令に対応した割込み処理が CPU によって実行されます。
  - ・ CPU の状態を退避させるため、CPU 専用レジスタがシステムスタックに転送されます(2a)。
  - ・ S フラグが"1"に設定されます(2b)。
  - ・ I フラグがクリアされ、ハードウェア割込みが無効になります(2c)。
  - ・ 割込みベクタが読み出されます。
  - ・ 制御が割込み処理ルーチンに移ります(割込みベクタとして読み出されたアドレスへの分岐)。
3. 割込み処理ルーチンが CPU によって処理されます。
4. ユーザの割込み処理ルーチン内の RETI 命令で割込み処理が終了します。
5. CPU は、専用レジスタのコンテキストをシステムスタックから復元させます。
6. CPU は INT 命令の次の命令を実行してプログラムを続行します。

## 5. 多重割込み

F<sup>2</sup>MC-16FX CPUは、多重割込み(同時発生する割込み処理および入れ子になった割込み処理)をサポートしています。

### ■ 多重ハードウェア割込み

割込み処理実行中に優先度の高いハードウェア割込み(レベル値が小さい)が発生した場合は、現在実行中の命令が終了した後に優先度の高い割込みに制御が移ります。優先度の高い割込み処理が終了した後は、最初に実行していた割込み処理が再開します。

割込み処理実行中に、現在実行中の割込みと同等か、低い優先度の割込みが発生することがあります。その場合は、Iフラグまたは割込みレベルマスクレジスタ(ILM)を命令で変更しないかぎり、現在の割込み処理が終了するまで新しい割込み要求は保留になります。

DMA 転送は中断不可で、多重起動できません。DMA 転送の処理中は、他の DMA 要求はすべて保留されます。DMA コントローラに対する要求が同時発生した場合、最も小さいチャンネル番号が最初に処理されます。

DMA の詳細は、『DMA』の章を参照してください。

### ■ 多重ソフトウェア割込み

ソフトウェア割込みが同時発生することはありません。ソフトウェア割込みは INT 命令を実行することで発生し、常に受け付けられます。ただし、INT 命令を割込みサービスルーチン内に置けば入れ子になったソフトウェア割込みを実行できます。

## ■ 割込みの優先順位

以下の表に、すべての割込みの受付け条件を記載しています。

表 5-1 割込み優先順位の制御

イベント	INT#	種類	レベル	受付け条件	受け付けられた場合の動作	
ハードウェアイベント	-	命令ブレーク (VEIB) システム予約	P2	現在の命令の実行が終了して以下が成立する場合 ILM>2    P==1	CPU の状態をシステムスタックに退避	P = 0 ILM = 2
	-	ツールブレーク (VENMI) システム予約	U7~U0 および P0~P7	現在の命令の実行が終了するか ストリング命令が割込み可能 ILM および P の値はデバッグシステムでの構成によって異なる	(VEIB および VENMI 割込みの場合、CPU ステータスは DSU 領域の特定レジスタに格納される。 INTE 割込みの場合、CPU ステータスは DSU レジスタに格納される。) S = 1 割込みベクタに分岐	P = 0 ILM = 0~7 または P = 1 ILM = 0~7 構成により異なる
	11	NMI	P4	現在の命令の実行が終了するか ストリング命令が割込み可能で、 以下が成立する場合 ILM>4    P==1		P = 0 ILM = 4
	13 以降	周辺 IRQ	IL U0...U7	現在の命令の実行が終了するか ストリング命令が割込み可能で、 以下が成立する場合 ILM > IL P == 1 I == 1 同じ IL の複数の要求がある場合は、最も小さい IRQ 番号の要求が受け付けられる		ILM = IL
	12	遅延割込み	IL U0...U7	現在の命令の実行が終了するか ストリング命令が割込み可能で、 以下が成立する場合 ILM > IL P == 1 I == 1 同じ IL で保留中の周辺 IRQ が ない		ILM = IL
ソフトウェアイベント (命令)	-	ソフトウェア命令ブレーク (INTE) システム予約	P2	常に受付け		P = 0 ILM = 2 I = 0
	9	INT9	-			I = 0
	10	未定義命令による例外	-			I = 0
	すべて	INT 命令	-			I = 0
	-	RETI 命令	-		CPU の状態の復元 (P, I, S, ILM を含む)	

IL および ILM: 割込みレベルおよびマスク  
I: 割込み許可フラグ(周辺割込み)  
S: システムスタックフラグ  
P: 特権モードフラグ(PS:CCR の bit7)

以下の表に、割込みレベルの名称、対応する P フラグおよび ILM 値を示します。また、割込みレベルを要求する割込み要因も記載します。

表 5-2 割込みレベル

名称	カテゴリ	P フラグ	ILM の値	優先度	割込み発生元
P0	特権モード	0	0	最高	-
P1		0	1		-
P2		0	2		DSU
P3		0	3		-
P4		0	4		NMI
P5		0	5		-
P6		0	6		-
P7		0	7		-
U0	ユーザモード	1	0		周辺
U1		1	1		
U2		1	2		
U3		1	3		
U4		1	4		
U5		1	5		
U6		1	6		
U7		1	7	最低	要求なし



## 6. 例外

F<sup>2</sup>MC-16FX では、様々なソフトウェアおよびハードウェアイベントの発生時に例外処理が行われます。

### ■ ソフトウェア例外(OP コード)

ソフトウェア例外は常に受け付けられます。ソフトウェア割込みと同じく、ソフトウェア例外はすべてのハードウェア割込みの受け付けを無効にします。ソフトウェア例外は、以下のような OP コードの実行によって発生します。

#### ● 未定義命令の実行

命令マップで定義されていないコードはすべて未定義命令として処理されます。未定義命令が実行されると、ソフトウェア割込み命令 INT#10 と同じような処理が実行されます。具体的には、スタックに退避される PC 値は未定義命令が格納されているアドレスの値です。処理は RETI 命令によって復帰しますが、同じ例外が再度発生するため復帰不能になります。

動作:

```
(SSP) ← (SSP)-2, ((SSP)) ← (AH)
(SSP) ← (SSP)-2, ((SSP)) ← (AL)
(SSP) ← (SSP)-2, ((SSP)) ← (DPR):(ADB)
(SSP) ← (SSP)-2, ((SSP)) ← (DTB):(PCB)
(SSP) ← (SSP)-2, ((SSP)) ← (PC)
(SSP) ← (SSP)-2, ((SSP)) ← (PS)
(S) ← 1, (I) ← 0
(PCB) ← ベクタ#10 のアドレス(上位バイト)
(PC) ← ベクタ#10 のアドレス(下位ワード)
```

#### ● INT9

この命令により、ベクタ#9 によって示される割込み処理ルーチンに分岐します。割込みルーチンで RETI 命令を実行することで、INT9 命令後の処理に復帰します。

動作:

```
(SSP) ← (SSP)-2, ((SSP)) ← (AH)
(SSP) ← (SSP)-2, ((SSP)) ← (AL)
(SSP) ← (SSP)-2, ((SSP)) ← (DPR):(ADB)
(SSP) ← (SSP)-2, ((SSP)) ← (DTB):(PCB)
(SSP) ← (SSP)-2, ((SSP)) ← (PC)+1
(SSP) ← (SSP)-2, ((SSP)) ← (PS)
(S) ← 1, (I) ← 0
```

(PCB) ←ベクタ#9 のアドレス(上位バイト)

(PC) ←ベクタ#9 のアドレス(下位ワード)

### ● INTE(システム予約。DSU のみで利用可能。EVA デバイスのみ有効)

INTE は、インサーキットエミュレータ(ICE)を使用したデバッグシステムでソフトウェアブレークポイントを挿入する際に使用します。ソフトウェア命令ブレークの挿入時に、元の命令の最初のバイトが INTE と置き換わります。

この命令によって、DSU が定義する固定ベクタで示された割込み処理ルーチンに分岐します。INTE は、スタックに退避している PC の値のアドレスに格納されます。割込みルーチンで RETI 命令を実行すると、処理はスタックに退避されたアドレスに復帰します(ソフトウェアブレークポイントを削除すれば INTE と元の命令を置き換えることができます)。

特権モードフラグ(P フラグ)はクリアされ、ILM レジスタは 2 に設定されます(レベル P2)。これにより、すべてのハードウェア割込みおよび例外が無効になります。P フラグおよび ILM は、RETI 命令の実行時に復帰します。

#### 動作:

(SSP) ← (SSP)-2, ((SSP)) ← (AH)

(SSP) ← (SSP)-2, ((SSP)) ← (AL)

(SSP) ← (SSP)-2, ((SSP)) ← (DPR):(ADB)

(SSP) ← (SSP)-2, ((SSP)) ← (DTB):(PCB)

(SSP) ← (SSP)-2, ((SSP)) ← (PC)

(SSP) ← (SSP)-2, ((SSP)) ← (PS)

(S) ← 1, (I) ← 0, (P) ← 0, (ILM) ← 2

(PCB) ← DSU 指定の固定ベクタ(上位バイト, 00<sub>H</sub>, DSU はアドレスを無視)

(PC) ← DSU 指定の固定ベクタ(下位ワード, 0400<sub>H</sub>, DSU はアドレスを無視)

DSU がなければ、INTE は未定義命令による例外と同じように処理されます。割込みベクタ#10 を参照してください。この場合 P フラグはクリアされず、ILM は更新されません。CPU コンテキストは特定の DSU レジスタに退避されますが、SOFTUNE との協調性を保つために SSP は減算されます。

### ● INTE(システム予約。OCDU を使用する場合、DSU のみ利用可能。EVA デバイスのみ有効)

INTE は、オンチップデバッガを使用したデバッグシステムでソフトウェアブレークポイントを挿入する際に使用します。ソフトウェア命令ブレークの挿入時に、元の命令の最初のバイトが INTE と置き換わります。

この命令によって、DSU が定義する固定ベクタで示された割込み処理ルーチンに分岐します。INTE は、DSU レジスタに退避している PC の値のアドレスに格納されます。割込みルーチンで RETI 命令を実行すると、処理はスタックに退避されたアドレスに復帰します(ソフトウェアブレークポイントを削除すれば INTE と元の命令を置き換えることができます)。

特権モードフラグ(P フラグ)はクリアされ、ILM レジスタは 2 に設定されます(レベル P2)。これにより、すべてのハードウェア割込みおよび例外が無効になります。2 種類のコンテキストスイッチがサポートされます("長いコンテキストスイッチ"と"短いコンテキストスイッチ")。P フラグおよび ILM は、RETI 命令の実

行時に復帰します。

"長いコンテキストスイッチ"の動作:

DSU-レジスタ ← (USB:SSB)

DSU-レジスタ ← (USP)

DSU-レジスタ ← (SSP)

DSU-レジスタ ← (AH)

DSU-レジスタ ← (AL)

DSU-レジスタ ← (DPR):(ADB)

DSU-レジスタ ← (DTB):(PCB)

DSU-レジスタ ← (PC)

DSU-レジスタ ← (PS)

(S) ← 1, (I) ← 0, (P) ← 0, (ILM) ← 2

(PCB) ← 固定ベクタフェッチ

(PC) ← 固定ベクタフェッチ

"短いコンテキストスイッチ"の動作:

DSU-レジスタ ← (PCB)

DSU-レジスタ ← (PC)

DSU-レジスタ ← (PS)

(S) ← 1, (I) ← 0, (P) ← 0, (ILM) ← 2

(PCB) ← 固定ベクタフェッチ

(PC) ← 固定ベクタフェッチ

DSU がなければ、INTE は未定義命令による例外と同じように処理されます。割込みベクタ#10 を参照してください。この場合 P フラグはクリアされず、ILM は更新されません。

## ■ ハードウェア例外(マスク不可能割込み)

ハードウェア例外は外部イベントで、ソフトウェア命令ではマスクできません。現在処理されているものよりもレベル番号が高いハードウェア例外は、RETI 命令の実行によって以前のレベルに戻るまで保留されます。さらに、ハードウェア例外はすべてのハードウェア割込みの受け付けを無効にします。

複数のハードウェア例外が同時に発生する場合、VENMI > VEIB > NMI の優先順位で受け付けられます。ハードウェア例外は、現在の割込みレベルマスクおよび P フラグの設定で許可されている場合、各命令の実行終了後およびストリング命令の実行中に受け付けられます。

OCDU モードにおいて、VENMI には設定可能な要求レベル(0x0~0xF)があるため、VENMI の優先順位は設定したレベルに応じて変化します。

## ● NMI

NMI は、外部要求によってハードウェア例外処理を実施します。

特権モードフラグ(P フラグ)はクリアされ、ILM は 4 に設定されます(レベル P4)。これにより、周辺からのすべてのハードウェア割込みが無効になります。P フラグおよび ILM は、RETI 命令の実行時に復帰します。

動作:

(SSP) ← (SSP)-2, ((SSP)) ← (AH)  
(SSP) ← (SSP)-2, ((SSP)) ← (AL)  
(SSP) ← (SSP)-2, ((SSP)) ← (DPR):(ADB)  
(SSP) ← (SSP)-2, ((SSP)) ← (DTB):(PCB)  
(SSP) ← (SSP)-2, ((SSP)) ← (PC)  
(SSP) ← (SSP)-2, ((SSP)) ← (PS)  
(S) ← 1, (P) ← 0, (ILM) ← 4  
(PCB) ← ベクタ #11 のアドレス(上位バイト)  
(PC) ← ベクタ #11 のアドレス(下位ワード)

## ● ツールブレーク(VENMI, システム予約, DSU4 を使用する場合。EVA デバイスのみ有効)

VENMI は DSU を使ったデバッグ専用です。様々なブレーク要因を実装しています。

特権モードフラグ(P フラグ)はクリアされ、ILM は 2 に設定されます(レベル P2)。これにより、すべてのハードウェア割込みおよび例外が無効になります。P フラグおよび ILM は、RETI 命令の実行時に復帰します。

動作:

(SSP) ← (SSP)-2, DSU-レジスタ ← (AH)  
(SSP) ← (SSP)-2, DSU-レジスタ ← (AL)  
(SSP) ← (SSP)-2, DSU-レジスタ ← (DPR):(ADB)  
(SSP) ← (SSP)-2, DSU-レジスタ ← (DTB):(PCB)  
(SSP) ← (SSP)-2, DSU-レジスタ ← (PC)  
(SSP) ← (SSP)-2, DSU-レジスタ ← (PS)  
(S) ← 1, (P) ← 0, (ILM) ← 2  
(PCB) ← 固定ベクタフェッチ  
(PC) ← 固定ベクタフェッチ

CPU コンテキストは DSU4 モードで特定の DSU レジスタに退避されますが、SOFTUNE との協調性を保つために SSP は減算されます。

### ● 命令ブレイク(VEIB, システム予約, DSU4 を使用する場合。EVA デバイスのみ有効)

VEIB は DSU を使ったデバッグのために提供されています。命令の実行後にブレイクを実施します。ほかのハードウェア例外と異なり、VEIB はストリング命令の実行中は受け付けられません。

動作:

(SSP) ← (SSP)-2, DSU-レジスタ ← (AH)  
 (SSP) ← (SSP)-2, DSU-レジスタ ← (AL)  
 (SSP) ← (SSP)-2, DSU-レジスタ ← (DPR):(ADB)  
 (SSP) ← (SSP)-2, DSU-レジスタ ← (DTB):(PCB)  
 (SSP) ← (SSP)-2, DSU-レジスタ ← (PC)  
 (SSP) ← (SSP)-2, DSU-レジスタ ← (PS)  
 (S) ← 1, (P) ← 0, (ILM) ← (2)  
 (PCB) ← 固定ベクタフェッチ  
 (PC) ← 固定ベクタフェッチ

CPU コンテキストは DSU4 モードで特定の DSU レジスタに退避されますが、SOFTUNE との協調性を保つために SSP は減算されます。

### ● ツールブレイク(VENMI, システム予約, OCDU を使用する場合)

VENMI は DSU を使ったデバッグのために提供されています。様々なブレイク要因を実装します。

特権モードフラグ(P フラグ)および ILM は、OCDU 内の構成にしたがってセットされます。これにより、すべてのハードウェア割込みおよび例外が無効になります。2 種類のコンテキストスイッチがサポートされます("長いコンテキストスイッチ"と"短いコンテキストスイッチ")。どちらの種類が使用されるかは OCDU の構成によって決まります。

P フラグおよび ILM は、RETI 命令の実行時に復帰します。

"長いコンテキストスイッチ"の動作:

DSU-レジスタ ← (USB:SSB)  
 DSU-レジスタ ← (USP)  
 DSU-レジスタ ← (SSP)  
 DSU-レジスタ ← (AH)  
 DSU-レジスタ ← (AL)  
 DSU-レジスタ ← (DPR):(ADB)  
 DSU-レジスタ ← (DTB):(PCB)  
 DSU-レジスタ ← (PC)  
 DSU-レジスタ ← (PS)

(S) ← 1, (P) ← プログラマブル, (ILM) ← プログラマブル

(PCB) ← 固定ベクタフェッチ

(PC) ← 固定ベクタフェッチ

"短いコンテキストスイッチ"の動作:

DSU-レジスタ ← (PCB)

DSU-レジスタ ← (PC)

DSU-レジスタ ← (PS)

(S) ← 1, (P) ← プログラマブル, (ILM) ← プログラマブル

(PCB) ← 固定ベクタフェッチ

(PC) ← 固定ベクタフェッチ

### ● 命令ブレーク(VEIB, システム予約, OCDU を使用する場合)

VEIB は DSU を使ったデバッグのために提供されています。命令の実行前にブレークを実施します。特権モードフラグ(P フラグ)はクリアされ、ILM は 2 に設定されます(レベル P2 に入る)。これにより、すべてのハードウェア割込みおよび例外が無効になります。2 種類のコンテキストスイッチがサポートされています("長いコンテキストスイッチ"と"短いコンテキストスイッチ")。どちらの種類が使用されるかは OCDU の構成によって決まります。

P フラグおよび ILM は、RETI 命令の実行時に復帰します。

ほかのハードウェア例外と異なり、VEIB はストリング命令の実行中は受け付けられません。

"長いコンテキストスイッチ"の動作:

DSU-レジスタ ← (USB:SSB)

DSU-レジスタ ← (USP)

DSU-レジスタ ← (SSP)

DSU-レジスタ ← (AH)

DSU-レジスタ ← (AL)

DSU-レジスタ ← (DPR):(ADB)

DSU-レジスタ ← (DTB):(PCB)

DSU-レジスタ ← (PC)

DSU-レジスタ ← (PS)

(S) ← 1, (P) ← 0, (ILM) ← 2

(PCB) ← 固定ベクタフェッチ

(PC) ← 固定ベクタフェッチ

"短いコンテキストスイッチ"の動作:

DSU-レジスタ ← (PCB)

DSU-レジスタ ← (PC)

DSU-レジスタ ← (PS)

(S) ← 1, (P) ← 0, (ILM) ← 2

(PCB) ← 固定ベクタフェッチ

(PC) ← 固定ベクタフェッチ

## 7. 割り込みベクタ

ハードウェア割り込みとソフトウェア割り込みは同じベクタテーブルを使用します。割り込み処理ルーチンは、周辺やデバッグシステム(OCD/DSU4)からの割り込み要求(IRQ) または INT 命令の実行によって割り込みベクタ番号を指定することで実行できます。割り込みベクタは、表 7-2 で示されている番地の間に割り当てられます。割り込みベクタテーブルの位置は割り込みベクタテーブルベースレジスタ(TBR)で選択できます。

### ■ 割り込みベクタ

#### ● 割り込みベクタテーブルベースレジスタ(TBR)

TBRH							
bit	15	14	13	12	11	10	9
	TB23	TB22	TB21	TB20	TB19	TB18	TB17
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1

TBRL							
bit	7	6	5	4	3	2	1
	TB15	TB14	TB13	TB12	TB11	TB10	-
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W0
初期値	1	1	1	1	1	1	0

R/W0: リード可能。常に"0"を書き込んでください。

割り込みベクタテーブルベースレジスタを使えば、1K バイト単位で割り込みベクタテーブルを任意のメモリ位置に再配置できます。

TBR の値によって、割り込みベクタテーブルの開始アドレス 24 ビット中の最上位 14 ビット TB23～TB10 が決まります。最下位ビット TB9～TB0 は"0"に固定となります。

割り込みベクタテーブルベースレジスタ TBR はリセット時に"FFFC<sub>H</sub>"に初期化され、その結果、初期テーブルベース TB は"FFFC00<sub>H</sub>"となります。

割り込みベクタテーブルは 1K バイト(256 ベクタ)の容量があります。

表 7-1 TBR の例

TBR の値	割り込みベクタテーブルの開始アドレス(テーブルベース)	割り込みベクタテーブルの終了アドレス	コメント
FFFC <sub>H</sub>	FF:FC00 <sub>H</sub>	FF:FFFF <sub>H</sub>	初期値(F <sup>2</sup> MC-16LX と同じ)
FB00 <sub>H</sub>	FB:0000 <sub>H</sub>	FB:03FF <sub>H</sub>	ROM バンク FB の始点
00FC <sub>H</sub>	00:FC00 <sub>H</sub>	00:FFFF <sub>H</sub>	バンク"00"の終点
0010 <sub>H</sub>	00:1000 <sub>H</sub>	00:13FF <sub>H</sub>	RAM 領域内部
0000 <sub>H</sub>	00:0000 <sub>H</sub>	00:03FF <sub>H</sub>	I/O 領域のため使用禁止



### <注意事項>

割込みベクタテーブルベースレジスタ(TBR)およびNMI制御ステータスレジスタ(NMI)は、ROM構成ブロックによって設定することもできます。例えば、ユーザソフトウェアが実行を開始する前にNMIを許可するように設定できます。前出の本レジスタの初期値はリセット解除後に設定され、その後でROM構成ブロックによる変更がなされます。ROM構成ブロックの詳細については、『リセットとスタートアップ』の章の「4. ブートROMプログラムの実行と動作モード、およびROM構成ブロック」を参照してください。

### ● 割込みベクタテーブル

割込み処理中に参照される割込みベクタテーブルは、メモリ領域の"256×TBR"～"256×TBR+3FF<sub>H</sub>"に割り当てられます。リセット時のデフォルト設定ではベクタテーブルの割り当ては"FFFC00<sub>H</sub>"～"FFFFFF<sub>H</sub>"になります。ベクタテーブルをROMメモリの最後に置かない場合は、別のTBR値を設定する必要があります。ハードウェア割込み、例外、ソフトウェア割込みはすべて同じベクタテーブルを使用します。そのため、割込みサービスルーチンはハードウェア割込みと、対応するソフトウェア割込みのどちらからでも呼び出すことができます。

割込みサービスルーチンの開始アドレスの3バイトはすべて適切な割込みベクタ(Addr = 4×(255-INT#) + 256×TBR)に書き込む必要があります。

表 7-2 割込みベクタテーブル

割込み/ベクタ番号	ベクタアドレス	ICR 中のレベルレジスタのインデックス	ハードウェア IRQ/割込み要因
INT 0 CALLV 0/1 *	TB+3FC <sub>H</sub>	—	—
INT 1 CALLV 2/3 *	TB+3F8 <sub>H</sub>	—	—
INT 2 CALLV 4/5 *	TB+3F4 <sub>H</sub>	—	—
INT 3 CALLV 6/7 *	TB+3F0 <sub>H</sub>	—	—
INT 4 CALLV 8/9 *	TB+3EC <sub>H</sub>	—	—
INT 5 CALLV 10/11 *	TB+3E8 <sub>H</sub>	—	—
INT 6 CALLV 12/13 *	TB+3E4 <sub>H</sub>	—	—
INT 7 CALLV 14/15 *	TB+3E0 <sub>H</sub>	—	—

割り込み/ベクタ番号	ベクタ アドレス	ICR 中のレベル レジスタの インデックス	ハードウェア IRQ/割り込み要因
INT 8 MODE Byte	TB+3DC <sub>H</sub>	—	リセット
INT 9	TB+3D8 <sub>H</sub>	—	INT9 命令
INT 10	TB+3D4 <sub>H</sub>	—	未定義命令例外
INT 11	TB+3D0 <sub>H</sub>	—	NMI
INT 12	TB+3CC <sub>H</sub>	IL12	遅延割り込み
INT 13	TB+3C8 <sub>H</sub>	IL13	RC クロックタイマ
INT 14	TB+3C4 <sub>H</sub>	IL14	メインクロックタイマ
INT 15	TB+3C0 <sub>H</sub>	IL15	サブクロックタイマ
INT 16	TB+3BC <sub>H</sub>	IL16	予約
INT 17	TB+3B8 <sub>H</sub>	IL17	デバイス特有の周辺機能
INT 18	TB+3B4 <sub>H</sub>	IL18	
INT 19	TB+3B0 <sub>H</sub>	IL19	
—	—	—	
INT 254	TB+004 <sub>H</sub>	IL254	
INT 255	TB+000 <sub>H</sub>	IL255	

\*: プログラムカウンタバンクレジスタ(PCB)が TBRH と同じ場合、CALLV 命令のベクタ領域は INT#0～INT#7 命令のベクタテーブルと重なります。この場合、CALLV 命令が INT#0～INT#7 命令と同じアドレスを使用しないようにするか、INT#0～INT#7 を使用しないでください。

## 8. 割込み制御レジスタ(ICR)

割込み機能を持つ周辺機能にはそれぞれ割込み制御レジスタ(ICR)があります。割込み制御レジスタは、割り当てられる周辺機能に割込みレベル(IL)を設定します。

### ■ 割込み制御レジスタ(ICR)

ICR:IDX								
bit	15	14	13	12	11	10	9	8
	IX7	IX6	IX5	IX4	IX3	IX2	IX1	IX0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	1	1	0	0

ICR:ILR								
bit	7	6	5	4	3	2	1	0
	-	-	-	-	-	IL2	IL1	IL0
属性	-	-	-	-	-	R/W	R/W	R/W
初期値	X	X	X	X	X	1	1	1

#### [bit15～bit8] IX[7:0]:アクセスする割込みレベル(IL)のインデックス

これらのビットは読み書き可能です。

これらのビットにより周辺機能に対応する割込みレベルのインデックスを指定します。インデックスでアクセスする割込みレベルを選択します。IL[n]は周辺割込み要求番号 IRQ[n]に属し、IL[n]および IRQ[n]は共に割込み INT[n]に関連付けられています。

システム割込み INTO～INT11 の優先度は固定で、割込みレベルが存在しません。インデックスが 12 未満割込みレベルに対して書き込みを行うと無視され、読出しを行うと不定値が返されます。これと同じことが、存在しないハードウェア割込み(デバイス依存の最大割込み番号より上の番号)にもいえます。

図 8-1 に、IX ポインタを使ってレベルレジスタにアクセスする例を示します。点線で囲まれた IX および選択 IL は、ICR の実際の内容を表しています。

レベル設定の読み書きは、IX が指し示す IL に対して行います。IL にレベル設定を書き込むには、事前に IX に対してインデックス値を書き込んでおくか、ワードアクセスで IL と同時に IX を書き込みます。IL の読出しを行うには、読み出す前に IX に書き込みを行う必要があります。

#### 並行タスクを使用する場合の注意事項:

並行する複数のタスクが割込みレベル情報にアクセスする場合は、インデックスによるアクセスの取り扱いに注意が必要です。

- ・ ワードアクセスで ICR:IX と ICR:IL に同時に書き込みを行ってください。
- ・ 読出しアクセス時には、ICR:IX を書き込んでから、ワードアクセスで ICR レジスタ全体を読み出してください。ICR:IX の値が意図したインデックス値と一致しているかチェックしてから、ICR:IL が正しく書き込まれているか確認してください。

#### [bit7～bit3] -: 未定義

読出しアクセスを行うと不定値が返されます。

これらのビットには常に"0"を書き込みます。

これらのビットへのリードモディファイライト(RMW) 動作は無効です。

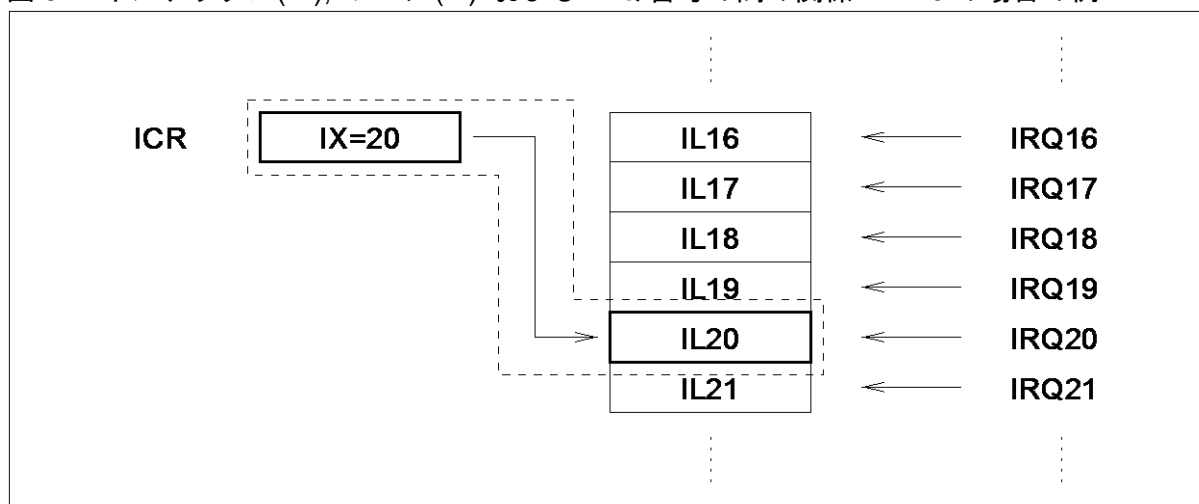
#### [bit2～bit0] IL[2:0]:割り込みレベル設定ビット

これらのビットは読み書き可能です。これらのビットにより対応する周辺機能の割り込みレベルを指定します。リセット時、レベル 7(割り込みなし)に初期化されます。表 8-1 に、割り込みレベル設定ビットと割り込みレベルの関係を示します。

表 8-1 割り込みレベル設定ビットと割り込みレベル

bit2	bit1	bit0	レベル
0	0	0	0(最も強い)
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6(最も弱い)
1	1	1	7(割り込みなし)

図 8-1 インデックス(IX), レベル(IL) および IRQ 番号の関係 IX=20 の場合の例



## 9. マスク不可割込み(NMI)

F<sup>2</sup>MC-16FX CPU には、マスク不可割込みがあります。NMI 制御ステータスレジスタ(NMI)で外部 NMI 端子の機能を有効化、検出レベルの設定を行います。また割込み要求フラグをクリアして割込み要求を終了することができます。

### ■ NMI 制御ステータスレジスタ(NMI)

NMI								
bit	15	14	13	12	11	10	9	8
	-	-	-	-	-	LEV	EN	FLAG
属性	-	-	-	-	-	R/W	R/W1	R/W0
初期値	X	X	X	X	X	1	0	X

-: アクセス不可

R/W: リード/ライト可能

R/W1: リード可能。常に"1"を書き込んでください。

R/W0: リード可能。常に"0"を書き込んでください。

#### [bit15～bit11] -: 未定義

読出しアクセスを行うと不定値が返されます。

これらのビットには常に"0"を書き込みます。

これらのビットへのリードモディファイライト(RMW) 動作は無効です。

#### [bit10] LEV:NMI 端子の信号アクティビティレベル

LEV ビットでは、NMI 端子信号のアクティビティレベルを指定します。値を"1"にすると NMI 端子は正論理入力, "0"にすると負論理入力であることを意味します。

EN ビットがセットされていない場合、LEV ビットは読み書き可能となります。EN ビットがセットされている場合、LEV の状態はロックされます。その場合、LEV は読出し専用となり、EN="1"のときに LEV に書き込んでも無視されます。

リセット時に LEV ビットは"1"に初期化されるため、NMI 端子はデフォルトでは正論理となります。

#### [bit9] EN:マスク不可能割込み機能許可ビット

EN ビットによって、NMI 端子機能が使用できるようになります。EN が"0"に設定されている場合、デバイスに NMI は存在しません。この場合、NMI 入力に信号レベルの変更があっても CPU は反応しません。NMI 端子は他の機能か、汎用ポートとして使用できます。EN が"1"に設定されている場合、NMI 端子が有効になります。LEV ビットで指定したアクティブレベルの信号入力に NMI 端子に検出されると、CPU は NMI の例外処理に分岐します。

EN が"1"に設定されると、LEV ビット、EN ビットおよび NMI リロケーションビット PRRR7:NMI\_R は書き込み不可になります。いったん NMI 機能が有効になると、信号アクティビティレベルの変更も NMI の無効化もできなくなります。この状態では、EN ビットを"0"に変更できるのはデバイスリセットだけとなります。

EN ビットはリセット時に"0"に初期化されるため、デフォルトでは NMI 機能は無効になっています。

LEV および EN ビットは、同時に起動(同じアクセスで変更)してはいけません。EN は、後で個別に有効にする必要があります。そうしないと、スパイクフィルタの緩和時間が原因で NMI が発生することがあります。

す。

### <注意事項>

デバイスによって利用できる端子が(NMI または MMI\_R)異なります。データシートの端子配列図を参照してください。NMI 端子がなく、NMI\_R 端子のみ存在する場合、NMIRELM の設定をするか PRRR7 レジスタの NMI\_R ビットに"1"を書き込んでください。

#### [bit8] FLAG:マスク不可能割り込みフラグ

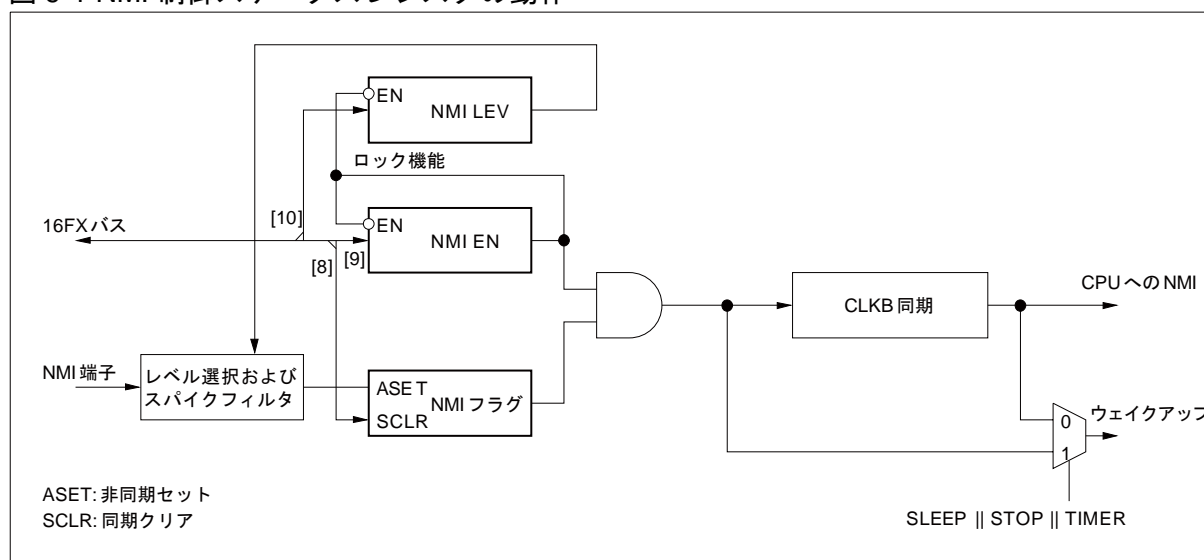
FLAG ビットには、NMI 端子で NMI が発生したときの非同期イベントが格納されます。スパイクを抑制するため、短いパルスを除去するスパイクフィルタが使用されています。パルスの極性は、LEV ビットの設定によって決まります。

FLAG ビットは、ハードウェアのイベント(NMI 発生)によってセットされ、ソフトウェアによって"0"にクリアします。クリアされると割り込みは終了します。割り込みは、EN ビットと FLAG の両方がセットされている場合にのみ発生します。

FLAG ビットは読出しとクリアができます。FLAG に"1"を書き込んでも無視されます。

FLAG ビットのリセット後の値は不定です。フラグは、NMI を有効にする前にクリアする必要があります。ビット操作では、フラグにリードモディファイライト(RMW) 系命令で読出しを行うと常に"1"が返されます。

図 9-1 NMI 制御ステータスレジスタの動作



### <注意事項>

割り込みベクタテーブルベースレジスタ(TBR) およびNMI制御ステータスレジスタ(NMI)は、ROM構成ブロックによって構成することもできます。例えば、ユーザソフトウェアが実行を開始する前に NMI を許可するように構成できます。本レジスタの初期値はリセット解除後に設定され、その後で ROM 構成ブロックによる変更がなされます。ROM 構成ブロックの詳細については、『リセットとスタートアップ』の章の「4. ブート ROM プログラムの実行と動作モード、および ROM 構成ブロック」を参照してください。



# Chapter 4: DMA



---

DMA の機能と動作について説明します。

---

1. 概要
2. 動作
3. ディスクリプタ
4. レジスタ
5. 転送の例

---

管理コード : 96F3DMA-J03.0

---



## 1. 概要

DMAは、CPUを介さずにメモリとメモリ/周辺機能レジスタ間の自動データ転送を可能にします。DMAは16LXファミリのEI<sup>2</sup>OSの性能を向上させ、機能を拡張させたものです。DMA機能について説明します。

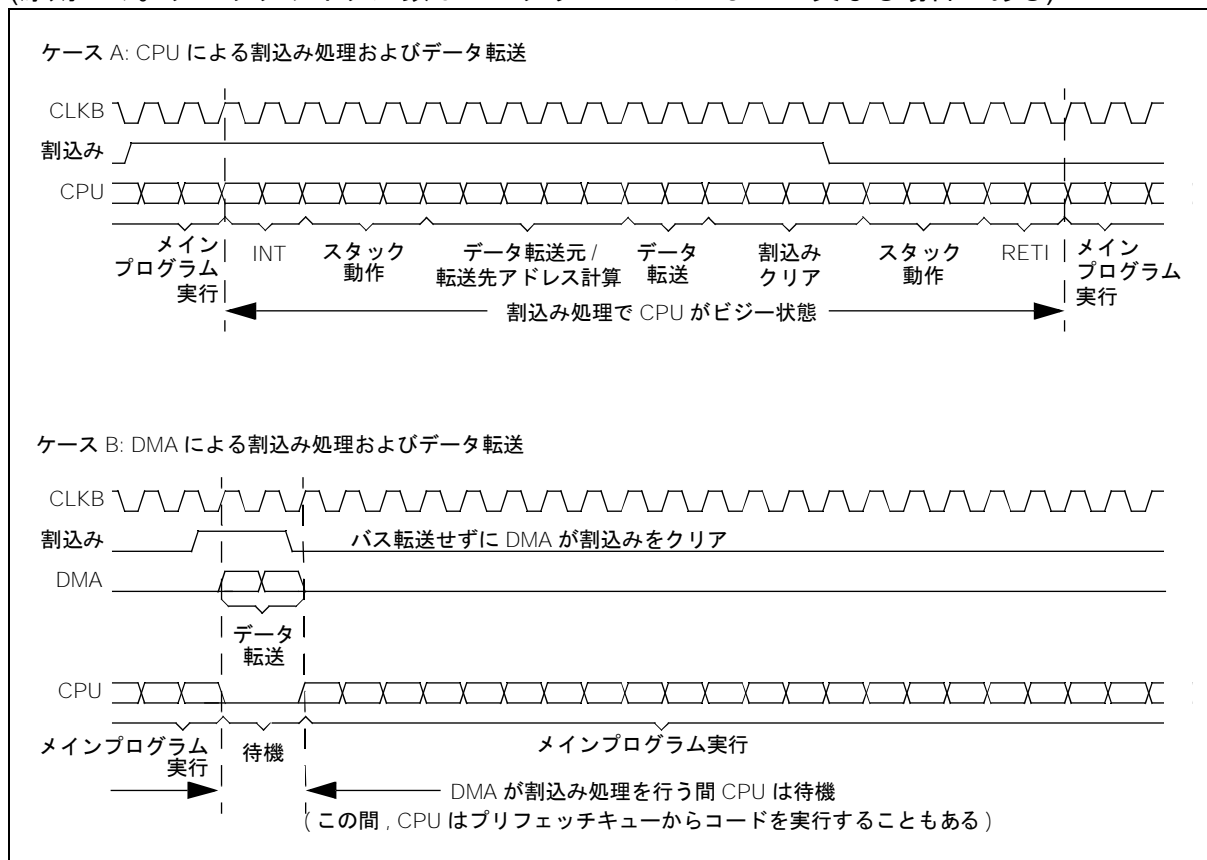
### ■ 割込み処理と比較した DMA:

DMAには割込みによる転送と比べて以下の利点があります(図 1-1 参照してください)。

- DMAは割込み処理を行うCPUの負荷を軽減させる。
- CPUレジスタが転送に使用されないため、レジスタを退避させる必要がなく、その結果として転送速度が上がる。
- CPUバスは転送動作だけにしか使用されないため、転送速度が上がる。

図 1-1 CPU と DMA の割込み処理比較

(原則のみ。クロックサイクル数はプログラムコードによって異なる場合がある)



## ■ DMA 機能

DMA コントローラには以下の機能があります。

- ・ 周辺機能(I/O) とメモリ間の自動データ転送
- ・ DMA 転送中の CPU バス割当て
- ・ 優先度が固定された DMA 転送チャネルを 16 チャネルまで使用可能(DMA チャネル番号が小さいほど要求の優先度が高くなります)。
- ・ 転送元および転送先アドレスをインクリメントまたはデクリメントするかどうかを選択可能(バッファアドレスまたは I/O レジスタアドレスをインクリメントするか、デクリメントするか、そのままにするかを選択可能)。
- ・ 選択可能な周辺機能の割込みによって DMA 転送を開始可能(ハードウェア IRQ)。
- ・ DMA 転送は以下によって制御されます。
  - ・ DMA 許可レジスタ(DER, bit0...bit15)
  - ・ DMA 割込み要求選択レジスタ(DISEL bit0...bit15)
  - ・ DMA 停止ステータスレジスタ(DSSR, bit0...bit15)
  - ・ DMA ステータスレジスタ(DSR, bit0...bit15)
  - ・ DMA ディスクリプタ(各 8 バイト。DCT, IOA, DMACS, BAP)
  - ・ DMA IOA バンクレジスタ(IOABK)
- ・ DMA 転送は、周辺機能内のエラー条件によって停止します。
- ・ DMA 転送の終わりに、周辺機能の割込みサービスルーチンに処理が自動的に分岐します。

## ■ 構造

DMA コントローラが有効になっている場合、周辺機能の割込み要求は、割込みコントローラに渡される前に DMA コントローラが処理します。割込みシステムの構造は、DMA コントローラが周辺機能(IRQ 発生元)と割込みコントローラの間で置かれていると見なします(『割込み』の章の図 3-1 を参照してください)。

DMA による I/O サービスは以下のユニットで処理されます。

- ・ 周辺機能
  - ・ IF, IE:割込みフラグビットおよび許可ビットによって周辺機能からの割込み要求を制御します(IRQ = IF && IE)。
- ・ DMA コントローラ
  - ・ DER および DISEL により、選択された割込み要求に対して DMA 動作が許可されます。DMA 動作が許可されない場合、要求は割込みコントローラに渡されます。
  - ・ 転送情報は、DMA ディスクリプタ(データカウンタ、I/O アドレスポインタ、バッファアドレスポインタおよび制御情報) および IOA バンクレジスタに格納されます。
  - ・ DMA コントローラは要求(周辺を転送元/転送先とするデータ転送) を処理し、周辺機能で割込みフラグをクリアします。
  - ・ 停止条件(DSSR) が発生している場合、DMA コントローラは自身の状態(DSR) を調べ、状態を示します。DMA が停止または完了した場合、割込みコントローラに対して割込みが発生します。
- ・ 割込みコントローラ
  - ・ 割込みコントローラは、DMA の完了または解除を知らせる割込みを処理します。
  - ・ ICR は割込みレベルを割り当て、同時発生した割込み要求の優先順位を決定します。
- ・ CPU
  - ・ I および ILM によって要求の割込みレベルと現在の割込みレベルを比較して、割込み許可状態を調べます。
  - ・ 割込みレベルが受け付けられた場合、CPU が割込み要求を処理します。

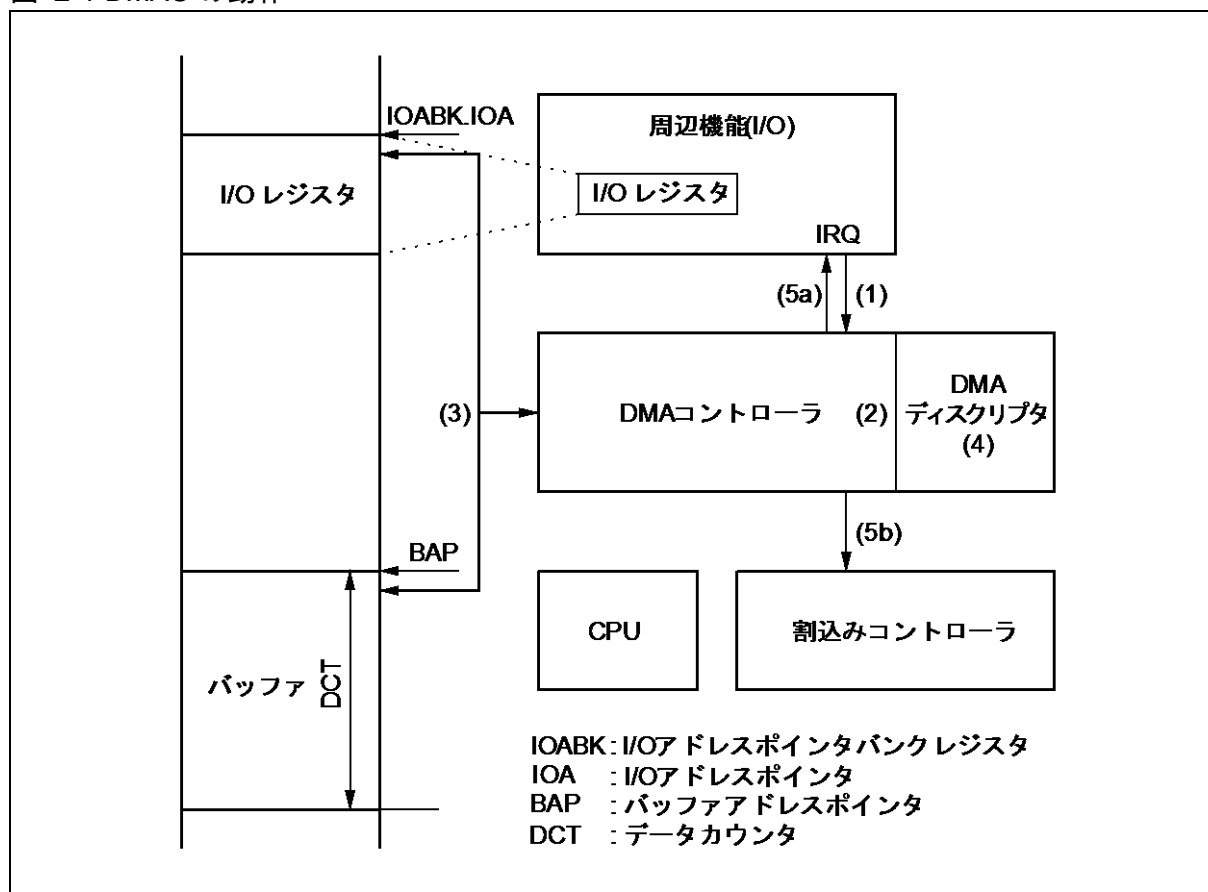
## 2. 動作

DMA コントローラの動作について説明します。

### ■ DMA コントローラの動作

図 2-1 に、DMA コントローラの動作を示します。

図 2-1 DMAC の動作



DMA を使用したデータ転送は以下の順序で実行されます。

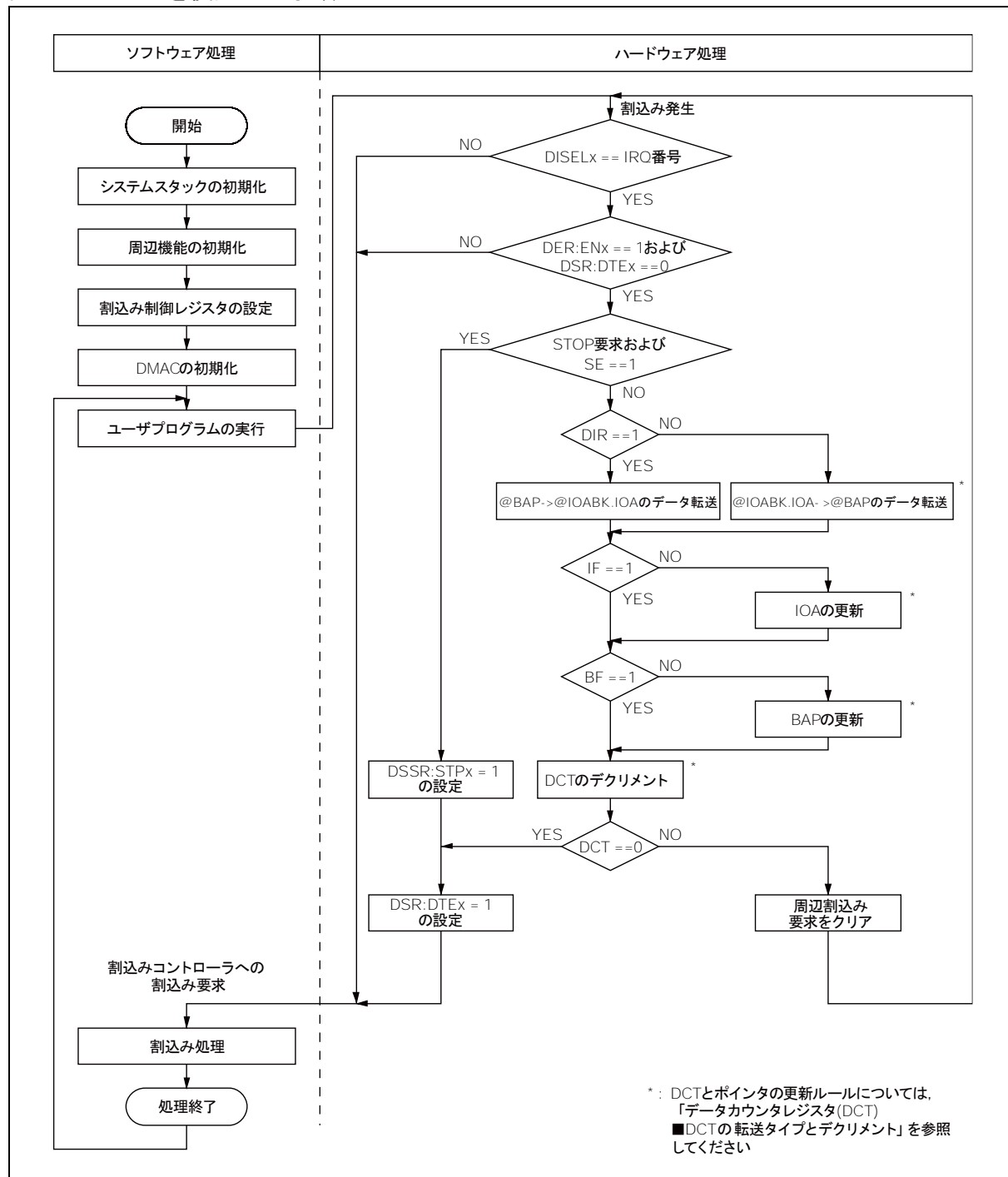
1. 周辺機能(I/O) が割り込みを発生させて DMA 転送を要求します。
2. DMA 許可レジスタ(DER:EN) の対応ビットが"1"で割り込み番号が DISEL レジスタの設定と一致する場合、DMAC はディスクリプタから転送元アドレス、転送先アドレス、カウントおよびチャネル設定を参照します。
3. I/O とメモリ間で DMA データ転送が開始されます。
4. DMA ディスクリプタが更新されます。
5. データ(バイトデータまたはワードデータ) を 1 つ転送した後
  - (a) 転送が完了しなかった(DCT が 0 に達しなかった) 場合:  
DMAC は周辺機能の DMA 転送要求(割り込み) をクリアします。

(b) 転送終了(DCT が 0 に達した) 時:

DMA 転送の完了後、転送の完了を示すフラグが DMA ステータスレジスタ(DSR:DTE ビット) に設定され、割り込み要求が割り込みコントローラに出力されます。

## ■ DMAC を使用した手順

図 2-2 DMAC を使用した手順



## ■ データ転送のサイクル数

転送サイクル数(DMA 転送中のバスサイクル)は、DCT が 0 に達するまでの転送回数をすべて合計した数です。1 回の DMA 転送のサイクル数については、表 3-3 の「転送サイクル」列を参照してください。

### 3. ディスクリプタ

各 DMA チャンネルの DMA ディスクリプタは、8 バイトで構成されます。加えて、各 DMA チャンネルは 1 バイトの拡張設定を提供しています。DMA ディスクリプタと拡張設定の追加は DMA 転送の設定に使用します。

#### ■ DMA ディスクリプタと拡張設定の構成

各 DMA チャンネルには 8 バイトの DMA ディスクリプタと拡張設定レジスタ IOABK があります。DMA ディスクリプタは、"000100<sub>H</sub>" ~ "00017F<sub>H</sub>" 番地に位置しています。拡張設定レジスタは、"000A00<sub>H</sub>" ~ "000A0F<sub>H</sub>" 番地に位置しています。下の表に、DMA チャンネルとディスクリプタと拡張設定のアドレスの関係を示します。

使用できないチャンネルのディスクリプタと拡張設定領域にはアクセスできません。使用できないチャンネルのディスクリプタ領域には、"0"を書き込んでください。読出しアクセスを行うと不定値が返されます。

DMA チャンネルの設定を変更する前に、関連する IRQ がアクティブでないことを確認する必要があります。または、更新するチャンネルの EN ビットをクリアする必要があります。

表 3-1 DMA チャンネル番号と DMA ディスクリプタと拡張設定のアドレスの関係

DMA チャンネル	ディスクリプタ開始アドレス	ディスクリプタ終了アドレス	IOABK
0	000100 <sub>H</sub>	000107 <sub>H</sub>	000A00 <sub>H</sub>
1	000108 <sub>H</sub>	00010F <sub>H</sub>	000A01 <sub>H</sub>
2	000110 <sub>H</sub>	000117 <sub>H</sub>	000A02 <sub>H</sub>
3	000118 <sub>H</sub>	00011F <sub>H</sub>	000A03 <sub>H</sub>
4	000120 <sub>H</sub>	000127 <sub>H</sub>	000A04 <sub>H</sub>
5	000128 <sub>H</sub>	00012F <sub>H</sub>	000A05 <sub>H</sub>
6	000130 <sub>H</sub>	000137 <sub>H</sub>	000A06 <sub>H</sub>
7	000138 <sub>H</sub>	00013F <sub>H</sub>	000A07 <sub>H</sub>
8	000140 <sub>H</sub>	000147 <sub>H</sub>	000A08 <sub>H</sub>
9	000148 <sub>H</sub>	00014F <sub>H</sub>	000A09 <sub>H</sub>
10	000150 <sub>H</sub>	000157 <sub>H</sub>	000A0A <sub>H</sub>
11	000158 <sub>H</sub>	00015F <sub>H</sub>	000A0B <sub>H</sub>
12	000160 <sub>H</sub>	000167 <sub>H</sub>	000A0C <sub>H</sub>
13	000168 <sub>H</sub>	00016F <sub>H</sub>	000A0D <sub>H</sub>
14	000170 <sub>H</sub>	000177 <sub>H</sub>	000A0E <sub>H</sub>
15	000178 <sub>H</sub>	00017F <sub>H</sub>	000A0F <sub>H</sub>

各チャネルの構造を図 3-1 に示します。

図 3-1 DMA ディスクリプタと拡張設定

拡張設定		属性	初期値:
アドレス:			
000A00 <sub>H</sub> + ch	I/Oレジスタアドレスポインタのバンク選択 (IOABK)	(R/W)	0
DMAディスクリプタ		属性	初期値:
アドレス:			
000107 <sub>H</sub> + 8 × ch	データカウンタの上位 8ビット (DCTH)	(R/W)	X
000106 <sub>H</sub> + 8 × ch	データカウンタの下位 8ビット (DCTL)	(R/W)	X
000105 <sub>H</sub> + 8 × ch	I/Oレジスタアドレスポインタの上位 8ビット (IOAH)	(R/W)	X
000104 <sub>H</sub> + 8 × ch	I/Oレジスタアドレスポインタの下位 8ビット (IOAL)	(R/W)	X
000103 <sub>H</sub> + 8 × ch	DMA制御レジスタ (DMACS)	(R/W)	X
000102 <sub>H</sub> + 8 × ch	バッファアドレスポインタの上位 8ビット (BAPH)	(R/W)	X
000101 <sub>H</sub> + 8 × ch	バッファアドレスポインタの中位 8ビット (BAPM)	(R/W)	X
000100 <sub>H</sub> + 8 × ch	バッファアドレスポインタの下位 8ビット (BAPL)	(R/W)	X
R/W : リード/ライト可能			

"ch"および"8×ch"はチャネルインデックス"ch"によってディスクリプタと拡張設定のアドレスオフセットを指定する用語です。

### ■ DMA ディスクリプタの各レジスタ

DMA ディスクリプタと拡張設定に含まれる各レジスタについては以降の節で説明します。DMA ディスクリプタレジスタは初期値が未定義のため、初期化してから DER:ENx を"1"に設定してください。拡張設定レジスタは、リセット時に初期化されます。

## 3.1. DMA レジスタ一覧

表 3-2 に DMA レジスタ一覧を示します。

### ■ DMA レジスタ一覧

表 3-2 DMA レジスタ一覧

レジスタ略称	レジスタ名	参照先
IOABK	DMA I/O アドレスポインタバンク選択レジスタ	3.2
DCT	データカウントレジスタ	3.3
IOA	I/O レジスタアドレスポインタ	3.4
DMACS	DMA 制御レジスタ	3.5
BAP	バッファアドレスポインタ	3.6



## 3.2. DMA I/O アドレスポインタバンク選択レジスタ(IOABK)

各 DMA チャンネルには、1 つの I/O アドレスポインタバンク選択レジスタ(IOABK0~IOABK15)があります。

このレジスタは、DMA 転送の間、どのバンクを I/O 空間のアドレスポインタとして使用するかを定義します。

### ■ DMA I/O アドレスポインタバンク選択レジスタ(IOABK)

IOABK0~ IOABK15									
bit		7	6	5	4	3	2	1	0
		BK7	BK6	BK5	BK4	BK3	BK2	BK1	BK0
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		0	0	0	0	0	0	0	0

#### [bit7~bit0] BK: バンク選択

各 DMA チャンネルに IOABKx レジスタが存在しており、チャンネルで DMA 転送をする間 I/O レジスタのアドレッシング用バンクのアドレスを定義します。

#### <注意事項>

IOABK レジスタは読み書き可能です。

IOABK レジスタはすべてのリセットで 0x00 に初期化されます。

読出し動作時、使用できないチャンネルの IOABK レジスタは不定値を返します。

使用できないチャンネルの IOABK レジスタは"0"を書き込んでください。

DMA 転送の間、IOABK レジスタは変化しません。多重バンク間の転送はできません。

### 3.3. データカウントレジスタ(DCT)

データカウントレジスタ(DCT) について説明します。

#### ■ データカウントレジスタ(DCT)

データカウントレジスタ(DCT) は、転送するバイト数を格納する 16 ビットのレジスタです。1 回のデータ転送が終了するごとに、データカウントレジスタの値はバイト転送の場合は 1、ワード転送の場合は 2 だけデクリメントします。

DCT に"0"を設定すると、最大データ転送数(65536 バイト) に設定されます。

データカウントレジスタが"0"になると、DMA 転送は終了です。

DCTH		15	14	13	12	11	10	9	8
bit		C15	C14	C13	C12	C11	C10	C9	C8
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		X	X	X	X	X	X	X	X

DCTL		7	6	5	4	3	2	1	0
bit		C7	C6	C5	C4	C3	C2	C1	C0
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		X	X	X	X	X	X	X	X

#### ■ DCT の転送タイプとデクリメント

DCT の転送タイプとデクリメント値は主に DMACS:BW ビットによって決まります。また、IOA, BAP および DCT 自身の構成と状態も考慮されます。

表 3-3 に、IOA, BAP, DCT および BW の設定(状態) によって行われる転送を示します。BAP のインクリメント/デクリメント動作は DMACS:BPD ビットによって決まります。

表 3-3 ディスクリプタの設定によって実行される転送タイプ

設定/状態				転送タイプ		転送後の更新			転送* サイクル
BW	DCT	IOA	BAP	I/O	バッファ	DCT	DMACS:IF = 1 のときの IOA	DMACS:BF = 1 のときの BAP	
0 (バイト)	>0	-	-	バイト	バイト	-1	+1	+/-1	2
1 (ワード)	>1	偶数	偶数	ワード	ワード	-2	+2	+/-2	2
1 (ワード)	>1	偶数	奇数	ワード	2x バイト	-2	+2	+/-2	3
1 (ワード)	>1	奇数	偶数	2x バイト	ワード	-2	+2	+/-2	3
1 (ワード)	>1	奇数	奇数	2x バイト	2x バイト	-2	+2	+/-2	4
1 (ワード)	=1	-	-	バイト	バイト	-1	+1	+/-1	2

\*: 1 転送サイクルは、1 バスアクセスと同様です。

### 3.4. I/O レジスタアドレスポインタ(IOA)

I/O レジスタアドレスポインタ(IOA) について説明します。

#### ■ I/O レジスタアドレスポインタ(IOA)

I/O レジスタアドレスポインタ(IOA) は、I/O レジスタの下位アドレス(A15～A0) を示す 16 ビットのレジスタです。I/O レジスタの上位アドレス(A23～A16) は IOABK レジスタに設定します。

IOABK のリセット値は、バンク 0 になります。

DMA 制御レジスタの DMACS:IF ビットで「更新を実行」を指定した場合 IOA はバイト転送で 1, ワード転送で 2 だけインクリメントします。DMACS:IF ビットで「更新を実行しない」を指定した場合、IOA は固定になります(IOA は変化しません)。

IOAH									
bit		15	14	13	12	11	10	9	8
		A15	A14	A13	A12	A11	A10	A9	A8
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		X	X	X	X	X	X	X	X

IOAL									
bit		7	6	5	4	3	2	1	0
		A7	A6	A5	A4	A3	A2	A1	A0
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		X	X	X	X	X	X	X	X

### 3.5. DMA 制御レジスタ(DMACS)

DMA 制御レジスタ(DMACS) について説明します。

#### ■ DMA 制御レジスタ(DMACS)

DMA 制御レジスタ(DMACS) は 8 ビット長のレジスタで、以下の用途に使用されます。

- ・バッファアドレスポインタをインクリメントするか、デクリメントするかを指定する(BPD)
- ・バッファアドレスポインタおよび I/O レジスタアドレスポインタ(BF, IF) を更新するか、固定にするかを指定する
- ・転送データフォーマットをバイトまたはワードに指定する(BW)
- ・転送方向を指定する(DIR)
- ・STOP 要求を受け付けるかを指定する(SE)

DMACS	15	14	13	12	11	10	9	8
bit	-	-	BPD	IF	BW	BF	DIR	SE
属性	-	-	R/W	R/W	R/W	R/W	R/W	R/W
初期値	X	X	X	X	X	X	X	X

[bit15, bit14] -: 未定義

- これらビットに常に"0"を書き込みます。
- これらビットの読出し値は未定義です。
- これらビットへのリードモディファイライト(RMW) 動作は無効です。

[bit13] BPD:バッファポインタデクリメントビット

bit	説明
0	BF=0 の場合、転送が終了するごとに BAP の値がインクリメントします。
1	BF=0 の場合、転送が終了するごとに BAP の値がデクリメントします。 BPD と BW を共に"1" (逆順のワード転送) に設定する場合、IOA, BAP および DCT に偶数の値を指定してください。

[bit12] IF: IOA を更新するか、固定にするかを選択

bit	説明
0	1 回のデータ転送ごとに IOA の値がインクリメントします。
1	IOA は更新されません(固定 I/O アドレス)。

[bit11] BW:転送データのデータ長を指定

bit	説明
0	バイト転送が実行されます。
1	ワード転送が実行されます。

[bit10] BF: BAP を更新するか、固定にするかを選択

bit	説明
0	1 回のデータ転送ごとに BAP の値が更新されます。
1	BAP は更新されません(固定バッファアドレス)。

[bit9] DIR: データ転送の方向

bit	説明
0	IOABK および IOA で指定されるアドレスから BAP で指定されるアドレスへ転送します(@IOABK.IOA -> @BAP)。
1	BAP で指定されるアドレスから IOABK および IOA で指定されるアドレスへ転送します(@BAP -> @IOABK.IOA)。

[bit8] SE: DMA STOP 要求の許可

bit	説明
0	周辺機能からの DMA STOP 要求に対して停止しません。
1	DMA 転送は周辺機能(USART-RX) とフラッシュメモリによって停止します。

## 3.6. バッファアドレスポインタ(BAP)

バッファアドレスポインタ(BAP) について説明します。

### ■ バッファアドレスポインタ(BAP)

バッファアドレスポインタ(BAP) は、DMA 転送に使用するアドレスを格納する 24 ビットレジスタです。任意のアドレスを指定します。

DMACS:BF ビットで「更新を実行」を指定した場合、BAP の下位 16 ビット(BAPM, BAPL) はバイト転送では"1"、ワード転送では"2"だけインクリメントします。上位 8 ビットは変わりません。DMACS:BPD がセットされている場合、BAP はインクリメントではなく、"1"または"2"だけデクリメントします。DMACS:BF ビットで「更新を実行しない」を指定した場合、BAP は固定になります(BAP は変化しません)。

BAPH								
bit	7	6	5	4	3	2	1	0
	B23	B22	B21	B20	B19	B18	B17	B16
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	X	X	X	X	X	X	X	X

BAPM								
bit	15	14	13	12	11	10	9	8
	B15	B14	B13	B12	B11	B10	B9	B8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	X	X	X	X	X	X	X	X

BAPL								
bit	7	6	5	4	3	2	1	0
	B7	B6	B5	B4	B3	B2	B1	B0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	X	X	X	X	X	X	X	X

### <注意事項>

I/O アドレスバンクレジスタ(IOABK) および I/O アドレスポインタ(IOA) で指定できる領域は、"000000<sub>H</sub>"～"FFFFFF<sub>H</sub>"です。IOABK はリセット後、バンク"00<sub>H</sub>"になります。

バッファアドレスポインタ(BAP) で指定できる領域は、"000000<sub>H</sub>"～"FFFFFF<sub>H</sub>"です。

DMA コントローラの内部レジスタ(DISEL0～DISEL15, DSR, DSSR, DER) のアドレス、DMA ディスクリプタのアドレス"000100<sub>H</sub>"～"00017F<sub>H</sub>"および DMA IOABK レジスタのアドレス "000A00<sub>H</sub>" ～ "000A0F<sub>H</sub>"は、IOA と BAP には指定できません。

## 4. レジスタ

DMA コントローラには、3 つのレジスタ(DER, DSR, DSSR。各 DMA チャンネルにつき 1 ビット)および割込みを選択する 1 つのレジスタ(DISEL。各 DMA チャンネルに 1 バイト)があります。DMA ディスクリプタは、DMA 転送の設定に使用します。詳細は「3. ディスクリプタ」で説明します。

### デバイスによって利用できないチャンネルに関する注意事項

読出し操作時、使用できない DSR, DSSR および DER ビットは不定値を返します。

読出し操作時、使用できない DISEL レジスタは不定値を返します。

使用できないビット/レジスタには、"0" を書き込んでください。

搭載される DMA のチャンネル数はデバイスによって異なります。詳細は各デバイスのデータシートを参考してください。

### ■ DMA レジスタ一覧

レジスタ略称	レジスタ名	参照先
DISEL	DMA 割込み要求選択レジスタ	4.1
DSR	DMA ステータスレジスタ	4.2
DSSR	DMA 停止ステータスレジスタ	4.3
DER	DMA 許可レジスタ	4.4

## 4.1. DMA 割込み要求選択レジスタ(DISEL)

各 DMA チャンネルには割込み要求選択レジスタ(DISEL0~DISEL15) が 1 つあります。このレジスタは、対応するチャンネルで DMA 転送を起動させる IRQ 番号を指定します。

### ■ DMA 割込み要求選択レジスタ(DISEL)

DISEL0~ DISEL15									
bit		7	6	5	4	3	2	1	0
		IS7	IS6	IS5	IS4	IS3	IS2	IS1	IS0
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		0	0	0	0	1	1	0	0

#### [bit7~bit0] IS: 割込みの選択

各 DMA チャンネルには DISEL<sub>x</sub> レジスタが存在しており、このレジスタで当該チャンネルの DMA 転送を起動させる IRQ 番号を指定します。選択可能な IRQ 番号の範囲は、"0x0C (12)"~デバイス依存の最大数になります。DMA 動作を起動できるのはハードウェア割込みだけです。

### <注意事項>

DISEL レジスタのリセット後の値は"0C<sub>H</sub> (12)"に初期化されます。

使用しない(ディセーブル状態の) チャンネルの DISEL レジスタには、有効なチャンネルの DISEL レジスタの値と同じ値を設定してはいけません。

初期値"0C<sub>H</sub> (12)"のままであれば問題ありません。

搭載される DMA のチャンネル数はデバイスによって異なります。

搭載されておらず、利用できないチャンネルの DISEL レジスタは、読出し操作時、不定値を返します。

複数の有効な DMA チャンネルで同じ割込み番号を設定してはいけません。

DISEL レジスタを更新する場合、関連 IRQ がアクティブでないことおよび DMA チャンネルが無効になっていることを確認してください。



## 4.2. DMA ステータスレジスタ(DSR)

DMA ステータスレジスタ(DSR) について説明します。

### ■ DMA ステータスレジスタ(DSR)

DSRH								
bit	15	14	13	12	11	10	9	8
	DTE15	DTE14	DTE13	DTE12	DTE11	DTE10	DTE9	DTE8
属性	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0
初期値	0	0	0	0	0	0	0	0

DSRL								
bit	7	6	5	4	3	2	1	0
	DTE7	DTE6	DTE5	DTE4	DTE3	DTE2	DTE1	DTE0
属性	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0
初期値	0	0	0	0	0	0	0	0

R/W0: リード可能。常に"0"を書き込んでください。

#### [bit15～bit0] DTEx: データ転送終了割込み要求

各 DMA チャンネルに DTE ビットが存在しており、データ転送の終了を示します。転送終了は、データカウントレジスタ(DCT) が0に達した場合、あるいは周辺機能からの停止要求が出された場合に成立します。DMA コントローラのハードウェアで DTE ビットをセットすることで、割込みが要求されます。

bit	説明
0	チャンネル x に対する割込み要求は存在していないことを示します。
1	DMA 転送が完了または停止されていることおよび割込みが要求されていることを示します。DTEx がセットされるとこのチャンネルの DMA 転送は無効になります。

#### <注意事項>

読出し時には、DSR レジスタの有効なチャンネルの、すべての DTE ビットの状態が返されます。  
 読出し動作時、使用できないチャンネルの DTE ビットは不定値を返します。  
 リードモディファイライト(RMW) 系命令では、読出し時にすべての DTE ビットで"1" が返されます。  
 このビットをセットできるのはハードウェアだけです。このビットに"1"を書き込んでも無視されます。  
 このビットに"0"を書き込むとクリアされます。  
 使用できないチャンネルの DTE ビットには、"0" を書き込んでください。

### 4.3. DMA 停止ステータスレジスタ(DSSR)

DMA 停止ステータスレジスタ(DSSR) について説明します。

#### ■ DMA 停止ステータスレジスタ(DSSR)

DSSRH								
bit	15	14	13	12	11	10	9	8
	STP15	STP14	STP13	STP12	STP11	STP10	STP9	STP8
属性	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0
初期値	0	0	0	0	0	0	0	0

DSSRL								
bit	7	6	5	4	3	2	1	0
	STP7	STP6	STP5	STP4	STP3	STP2	STP1	STP0
属性	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0
初期値	0	0	0	0	0	0	0	0

R/W0: リード可能。常に"0"を書き込んでください。

[bit15～bit0] STPx: DMA 停止状態:停止要求の発生

bit	説明
0	チャンネル x で DMA 転送が実行中に STOP 要求は、発生しなかった。または DMACS:SE ビットで STOP 要求が許可されていません。
1	DMA 転送中に周辺機能から出された STOP 要求によって DMA 転送が停止したことを示します。

#### <注意事項>

読出し時には、DSSR レジスタの有効なチャンネルの、すべての STP ビットの状態が返されます。

読出し動作時、使用できないチャンネルの STP ビットは不定値を返します。

リードモディファイライト(RMW) 系命令では、読出し時にすべての STP ビットで"1" が返されます。

このビットをセットできるのはハードウェアだけです。このビットに"1"を書き込んでも無視されます。

このビットに"0"を書き込むとクリアされます。

使用できないチャンネルの STP ビットには、"0" を書き込んでください。

DMA チャンネルはすべて STOP 要求をサポートしていますが、すべての IRQ 発生元(周辺機能) にこの機能があるというわけではありません。

## 4.4. DMA 許可レジスタ(DER)

DMA 許可レジスタ(DER) について説明します。

### ■ DMA 許可レジスタ(DER)

DERH								
bit	15	14	13	12	11	10	9	8
	EN15	EN14	EN13	EN12	EN11	EN10	EN9	EN8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

DERL								
bit	7	6	5	4	3	2	1	0
	EN7	EN6	EN5	EN4	EN3	EN2	EN1	EN0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit15～bit0] ENx: DMA 許可

bit	説明
0	周辺機能からの割込み要求はDMA開始要求としては処理されず、割込みコントローラに渡されます。
1	周辺機能からの割込み要求はDMA開始要求として処理されます。その結果、割込みはDMAコントローラで処理されることになります。DMA転送終了時(DCTが0に達した場合)または周辺からの停止要求時、割込みコントローラに割込み要求が出力されます。

#### <注意事項>

レジスタは読み書き可能です。

読出しおよびリードモディファイライト(RMW) 系命令の読出し時、使用できないチャンネルのENビットは不定値を返します。

使用できないチャンネルのENには、“0”を書き込んでください。

これらのビットは、スタンバイモードに入る前にすべて“0”にクリアしてください。クリアされていない場合、DMAチャンネルに関連付けられている割込みをウェイクアップに使用できなくなります。

ENビットがセットされている場合、DMAチャンネルの設定は変更してはいけません。

## 5. 転送の例

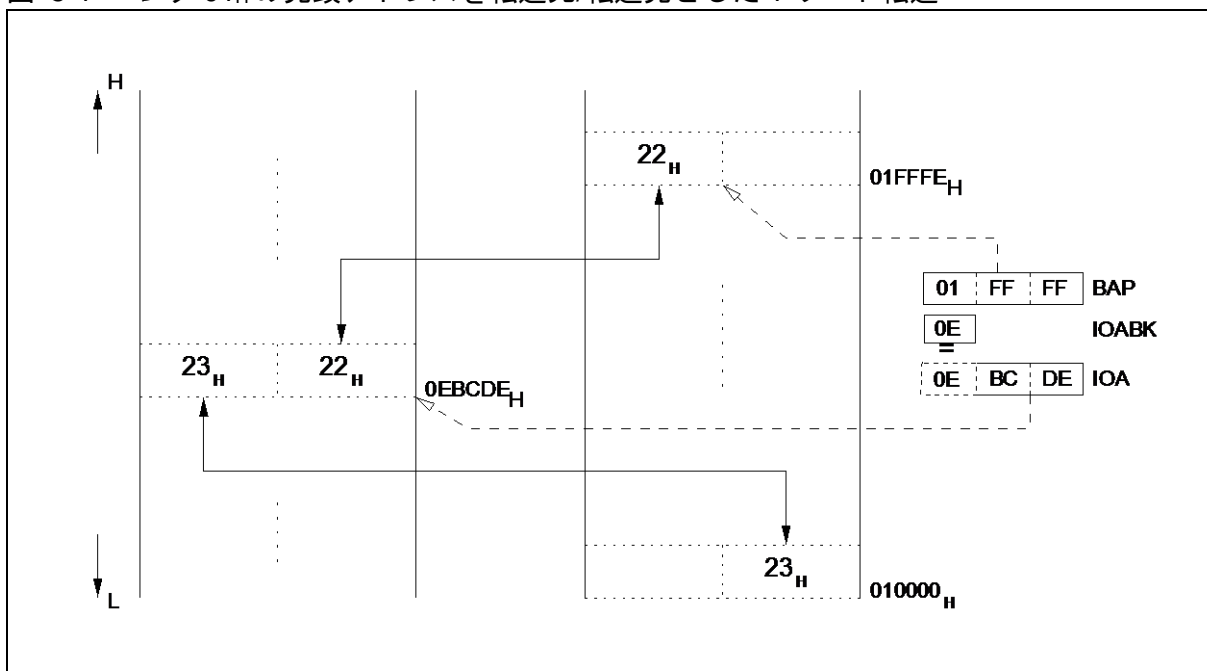
特殊な DMA 転送の例を説明します。

単純化のため、以下の例では IOABK で選択されたメモリバンクの偶数アドレスを IOA として使用します。以下の例は、IOA と BAP のアドレスを交換しても維持されます。ただし、BAP がデクリメントする場合は唯一の例外です。

### ■ バンク境界でのラップアラウンド

DMA 転送は、どのような状況であってもバンク境界を越えて行われることはありません。IOA または BAP が修正される場合の更新値にも同じことがいえます。バンクの先頭アドレスからワードを読み出す必要がある場合、下位バイトはバンクの先頭アドレスから、上位バイトはバンク内のアドレス 0 から読み出されます。先頭アドレスへの書き込みも同様に処理されます(図 5-1 を参照してください)。

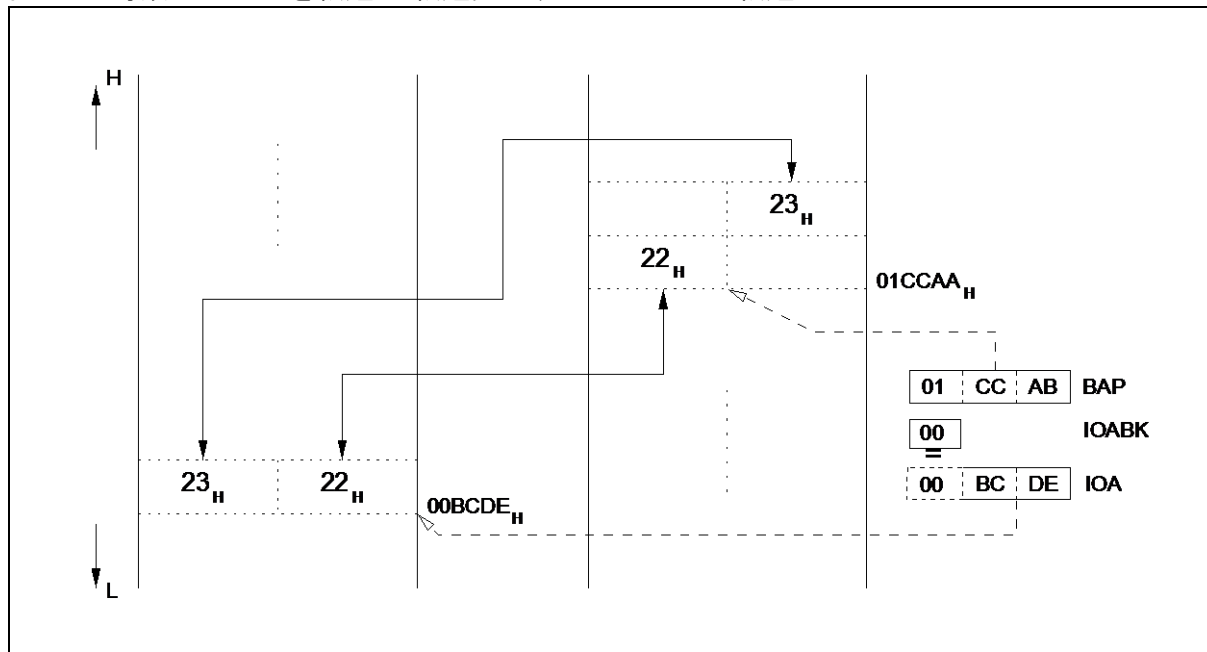
図 5-1 バンク 01<sub>H</sub> の先頭アドレスを転送元/転送先とした 1 ワード転送



## ■ 奇数アドレスへのワード転送

奇数アドレスを含むワード転送は、表 3-3 で説明されているようにバイト転送に分割されます。このような転送の結果を、図 5-2 に示します。

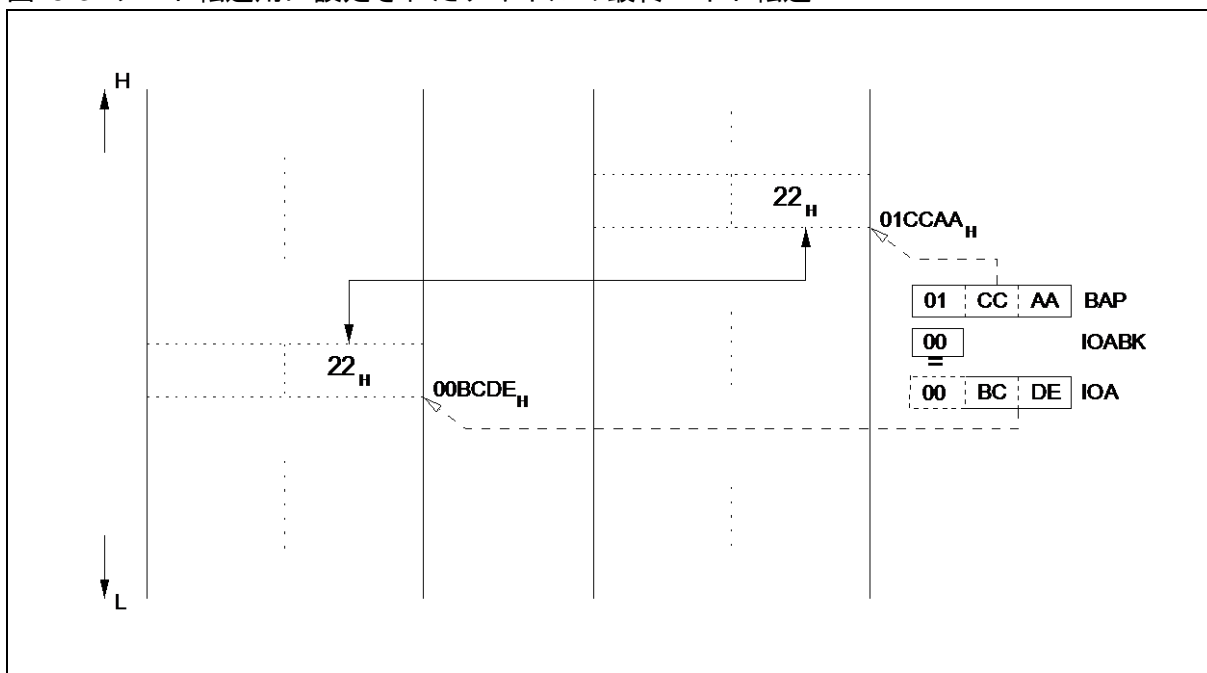
図 5-2 奇数アドレスを転送元/転送先とする 1 ワードの転送



## ■ 奇数バイト数のワード転送

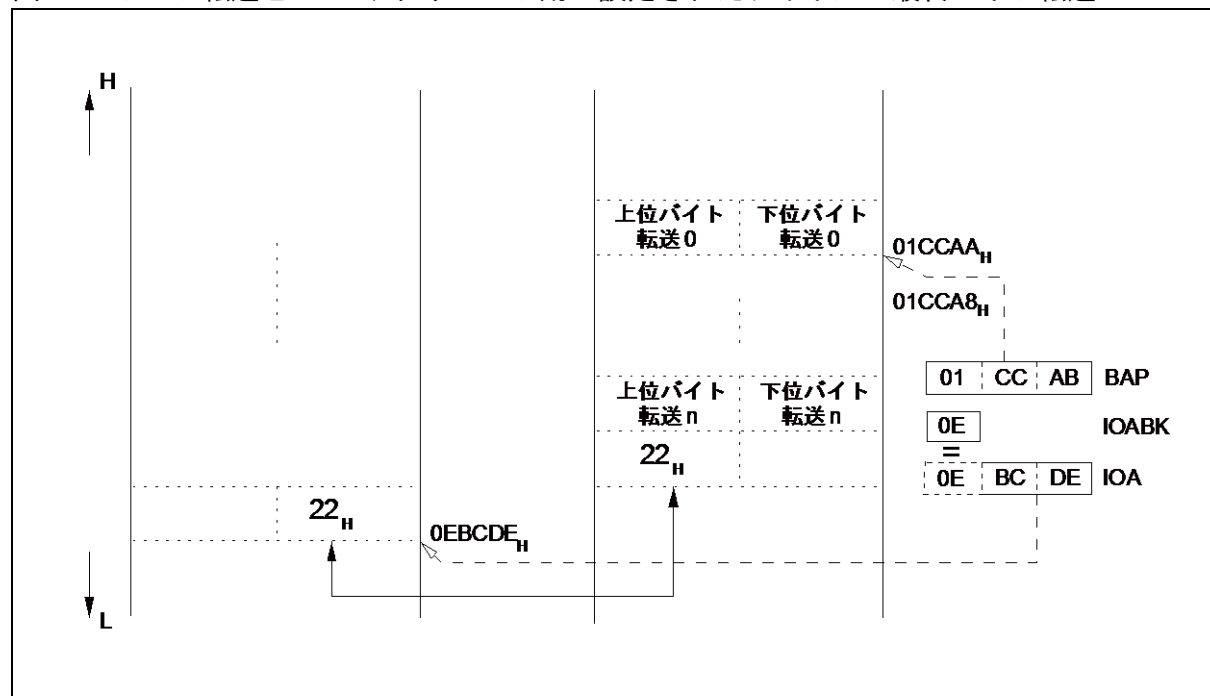
DCT を奇数バイト数に設定しているときにワード転送を使用する場合、最後の転送で移動するのは 1 バイトだけになります。デクリメントしない BAP の場合(つまり、固定の場合またはインクリメントする場合)、転送元の下位バイトは転送先の下位バイトに移動します(図 5-3 を参照してください)。

図 5-3 ワード転送用に設定されたチャネルの最終バイト転送



BAP がデクリメントする場合、BAP が参照するワードの上位バイトに対して転送バイトの読み書きが行われます(図 5-4 を参照してください)。

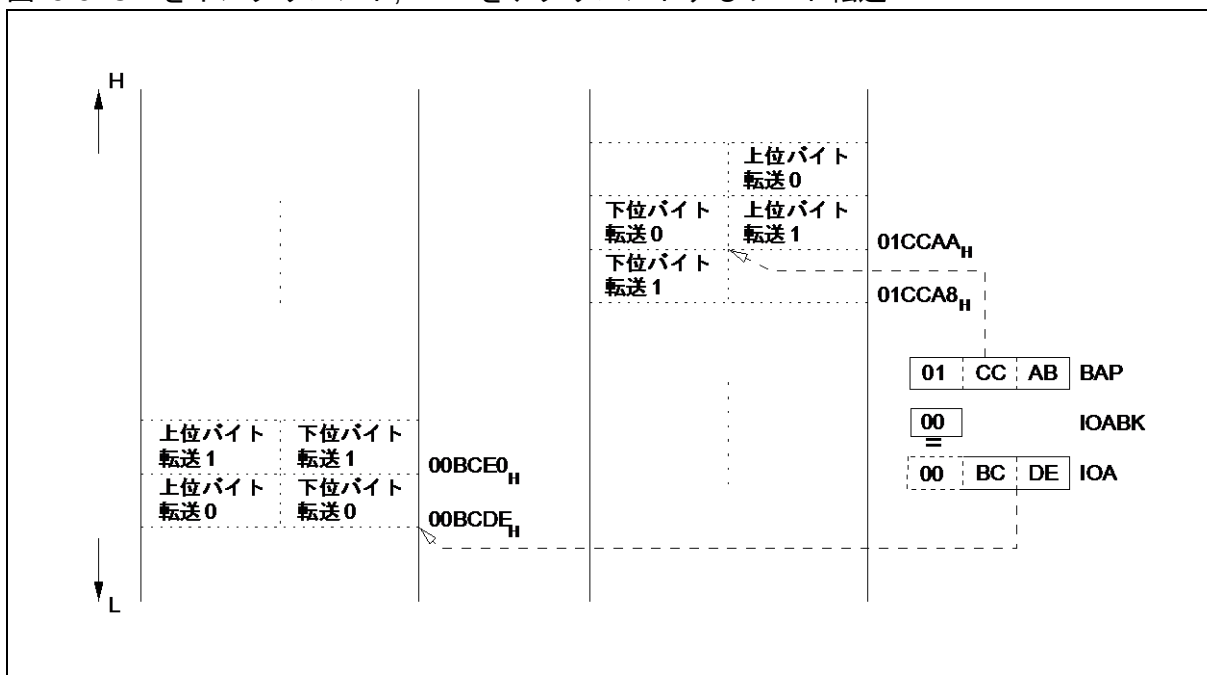
図 5-4 ワード転送と BAP デクリメント用に設定されたチャネルの最終バイト転送



## ■ IOA をインクリメント, BAP をデクリメントするワード転送

IOA がインクリメント, BAP がデクリメントするように設定されている場合、転送されるワードの順序は逆になりますが、ワード内部のバイトの順序は変わりません。図 5-5 は、2 つの転送が完了した後のメモリ内容の例です。

図 5-5 IOA をインクリメント, BAP をデクリメントするワード転送







# Chapter 5: 遅延割込み



---

遅延割込みの機能と動作について説明します。

---

1. 概要
2. 動作
3. レジスタ

---

管理コード : 96F3DELAYEDINT-J02.0

---

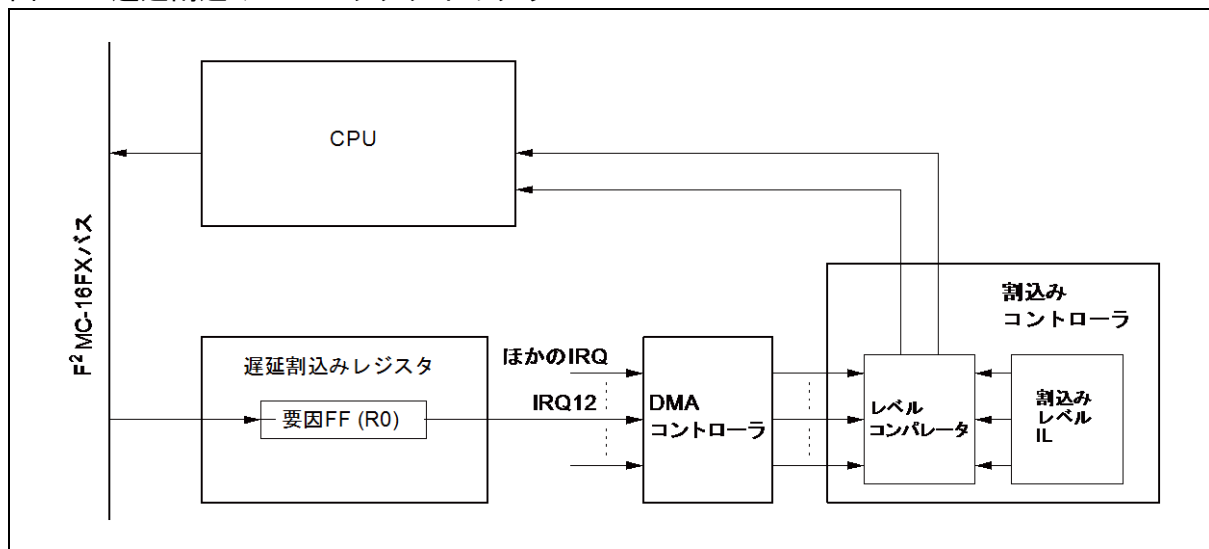
## 1. 概要

遅延割り込み発生モジュールは、タスク切換え用の割り込みを発生するためのモジュールです。このモジュールを使えば、F<sup>2</sup>MC-16FX CPU に対するハードウェア割り込み要求の発生または解除をソフトウェアから行うことができます。

### ■ 遅延割り込みのブロックダイアグラム

図 1-1 に、遅延割り込み発生モジュールのブロックダイアグラムを示します。

図 1-1 遅延割り込みのブロックダイアグラム



### ■ 動作上の注意

遅延割り込み信号は DIRR の R0:bit0 に"1"を書き込むことにより発生し、"0"を書き込むことにより解除されます。そのため、DIRR の割り込みビットは割り込み処理ルーチン内で"0"にクリアしておく必要があります。クリアしない場合、最初の割り込み処理が完了した後すぐに同じ割り込みが発生します。

ICR レジスタに設定されているレベルが同じ場合、遅延割り込みはハードウェア割り込みの中で最も低い優先順位となります。遅延割り込みでの優先順位は割り込み番号とは関係ありません。遅延割り込みは INT #12 の割り込みベクタを使用します。

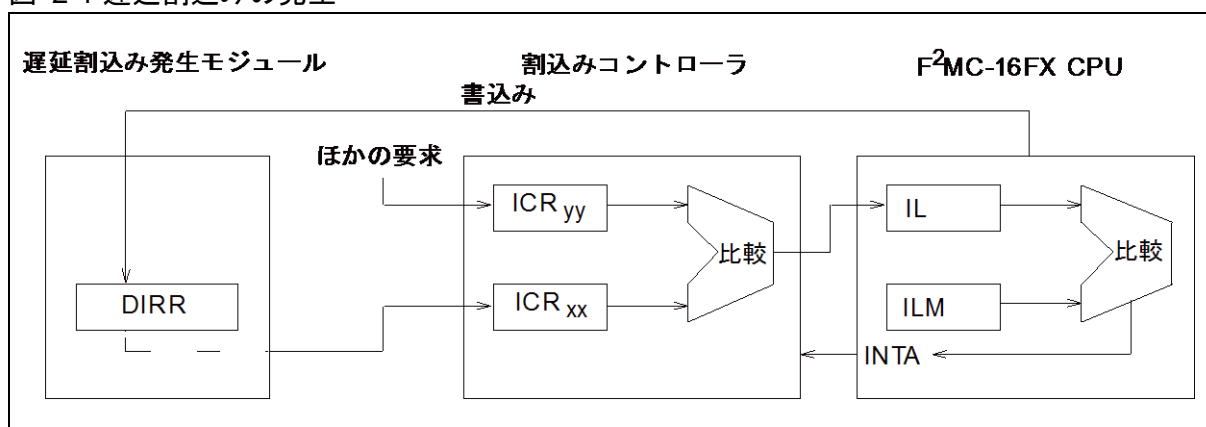
## 2. 動作

CPU がソフトウェアによって DIRR の該当ビット(R0:bit0)に"1"を設定した場合、遅延割込み発生モジュールの要求ラッチがセットされ、割込みコントローラに対する割込み要求が発生します。

### ■ 遅延割込みの発生

CPU がソフトウェアによって DIRR の R0:bit0 に"1"を書き込むと、遅延割込み発生モジュールの要求ラッチがセットされ、割込みコントローラに対する割込み要求が発生します。ほかの割込み要求よりも割込み優先順位が高い場合、割込みコントローラはF<sup>2</sup>MC-16FX CPU に対して割込み要求が発生します。F<sup>2</sup>MC-16FX CPU は内蔵 PS レジスタの ILM ビットと割込み要求を比較して、そこで割込み要求レベルが ILM ビットのレベルより高い場合は、現在実行中の命令が完了するとすぐにハードウェア割込み処理マイクロプログラムの実行を開始します。以上のようにして、当該割込みに対する割込み処理ルーチンが実行されます。

図 2-1 遅延割込みの発生



### 3. レジスタ

DIRR は遅延割込み要求の発生や解除を行います。このレジスタに"1"を書き込むと遅延割込み要求が発生し、"0"を書き込むと解除されます。

#### ■ 遅延割込みのレジスタ一覧

レジスタ略称	レジスタ名	参照先
DIRR	遅延割込み要求発生/解除レジスタ(遅延割込み要求レジスタ)	3.1

### 3.1. 遅延割込み要求発生/解除レジスタ(DIRR: 遅延割込み要求レジスタ)

#### ■ 遅延割込み要求発生/解除レジスタ(DIRR: 遅延割込み要求レジスタ)

DIRR								
bit	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	R0
属性	-	-	-	-	-	-	-	R/W
初期値	X	X	X	X	X	X	X	0

[bit7～bit1] -: 未定義

- このビットの読出し値は不定です。
- このビットには常に"0"を書き込んでください。
- このビットへのリードモディファイライト(RMW) 動作は無効です。

[bit0] R0: 遅延割込み要求発生ビット

- このビットで遅延割込み要求の発生または解除を行います。

Bit	Description
0	遅延割込み要求が解除されます。
1	遅延割込み要求が発生します。

- このビットはリセット時に初期化されます。



# Chapter 6: クロック



---

F<sup>2</sup>MC-16FX ファミリのマイクロコントローラで使用されるクロックについて説明します。

---

1. 概要
2. クロックモード
3. PLLの構成
4. 発振安定待ち時間
5. 発振器または外部クロックとマイクロコントローラとの接続
6. レジスタ

---

管理コード : 96F6CLK-J03.0

---



## 1. 概要

F<sup>2</sup>MC-16FX には、最大 4 種類のクロックソース(RC クロック, メインクロック, PLL クロックおよびサブクロック)が用意されています。クロック分周器は、バスクロック(CPU とメモリを結ぶ内部バス用)と周辺クロック周波数を個別に設定できます。

### ■ ブロックダイアグラム

F<sup>2</sup>MC-16FX MCUにおけるクロックソース, 内部クロック生成およびソースクロックタイマを図 1-1 のブロックダイアグラムに示します。ブロックダイアグラムの下に各種クロックの説明があります。どのモジュールをどのクロックに接続するかを示すブロックダイアグラムについては、データシートを参照してください。



## ■ ソースクロック

以下のクロック信号は F<sup>2</sup>MC-16FX MCU のクロックソースです。

### ● RC クロック(CLKRC)

RC クロック(CLKRC) は内蔵 RC 発振器の出力クロックです。RC 発振器は CKFCR レジスタの RCFS(RC クロック周波数選択) ビットで選択可能な 2 種類のクロック周波数(2MHz および 100kHz、データシートの「内蔵 RC 発振規格」を参照してください。) を生成できます。

### ● メインクロック(CLKMC)

メインクロック(CLKMC)はメイン発振回路の出力クロックです。メイン発振回路には外部発振子または外部クロックのいずれかを接続することができます。

### ● PLL クロック(CLKPLL)

PLL クロック(CLKPLL) は、メインクロック CLKMC を内部 PLL クロック通倍回路(PLL 発振回路)にて通倍されたクロックになります。通倍率は、1~13 通倍を利用できます。

このクロックを利用できるのは、メインクロック CLKMC が動作中の場合に限りです。

### ● サブクロック(CLKSC)

サブクロック(CLKSC) はサブ発振回路の出力クロックです。サブ発振回路には外部発振子または外部クロックのいずれかを接続することができます。

サブクロックが不要な場合は、この端子を汎用 I/O ポートとして使用できます。ROM 構成ブロック A(RCBA) 内のサブ発振器構成マーカ(SOCM) によって機能を選択します。

## ■ 内部生成クロック

以下のクロック信号は、ソースクロックから内部生成されます。

### ● システムクロック 1(CLK1)

システムクロック 1(CLK1) は F<sup>2</sup>MC-16FX MCU のマスタクロックです。バスクロック(CLKB) と周辺クロック 1(CLK1) 用のクロック分周器から生成され、CPU のクロックモードを定義します。

CKSR レジスタの SC1S1, SC1S0(システムクロック 1 選択) ビットに応じて、以下の 4 つのクロックのいずれかをシステムクロック 1 として選択することができます。CLKRC(RC クロック), CLKMC(メインクロック), CLKPLL または CLKSC(サブクロック)。

### ● バスクロック(CLKB)

バスクロック CLKB は内部バス, CPU, 内部メモリおよび DMA コントローラ用のクロックソースです。このクロックは、すべてのスタンバイモード(スリープ, タイマおよびストップモード)で停止します。システムクロック 1(CLK1) のバスクロック分周器から生成されます。

### ● 周辺クロック 1(CLK1)

周辺クロック 1(CLK1) は、いろいろな周辺機能用のクロックソースです。このクロックは、タイマモードとストップモードで停止します。システムクロック 1(CLK1) の周辺クロック分周器 1 から生成されます。

### ● システムクロック 2(CLK2)

システムクロック 2(CLK2)は、マスタクロックになります。周辺クロック 2(CLK2) 専用のクロック分周器を搭載しています。

CKSR レジスタの SC2S1, SC2S0(システムクロック 2 選択) ビットに応じて、以下の 4 つのクロックのいずれかをシステムクロック 2 として選択することができます。CLKRC(RC クロック), CLKMC(メインクロック)

ク), CLKPLL または CLKSC(サブクロック)。

これらのビットの設定は、SC1S1, SC1S0 でのみ定義される CPU のクロックモードには影響を与えません。

### ● 周辺クロック 2(CLKP2)

周辺クロック 2(CLKP2) は、一部の専用周辺機能用のクロックソースです。このクロックは、タイマモードとストップモードで停止します。システムクロック 2(CLKS2) の周辺クロック分周器 2 から生成されます。

### ■ ソースクロックタイマ

メインクロック, RC クロックおよびサブクロックの発振器は、選択されたシステムクロック, バスクロックおよび周辺クロックとは別に動作する専用ソースクロックタイマ(メインクロックタイマ, RC クロックタイマおよびサブクロックタイマ)を搭載しています。

## 2. クロックモード

クロックモードには、RC クロックモード、メインクロックモード、PLL クロックモードおよびサブクロックモードの 4 種類があります。

### ■ クロックモードの定義

MCU のクロックモードは、SC1S[1:0] ビットで選択されたシステムクロック 1(CLKS1) 用のソースで定義します。CLKS1 は、CPU、メモリおよび DMA コントローラを結ぶ内部バスに供給するバスクロック(CLKB) のマスタクロックになるだけでなく、大部分の周辺モジュールに供給する周辺クロック 1(CLKP1) のマスタクロックにもなります。

システムクロック 2(CLKS2) の選択は、クロックモードに関係なく行うことができます。

#### ● RC クロックモード

RC クロックモードでは、内蔵 RC 発振器から生成されたクロックがシステムクロック 1(CLKS1) に使用されます。このため、バスクロック(CLKB) と周辺クロック 1(CLKP1) は RC 発振器から供給されます。RC クロック周波数は、100 kHz と 2 MHz 間の RC クロック周波数選択ビット(CKFCR:RCFS) で選択可能です。メインクロック、PLL クロックおよびサブクロックを禁止するには、それぞれ MCE ビット、PCE ビットおよび SCE ビットを使用します(これらがシステムクロック 2 やウォッチドッグ用に使用されていない限り)。これらのクロックを禁止すると、対応するソースクロックタイマも禁止されます。

#### ● メインクロックモード

メインクロックモードでは、メイン発振器の出力信号がシステムクロック 1(CLKS1) に使用されます。このため、バスクロック(CLKB) と周辺クロック 1(CLKP1) は CLKMC から供給されます。

RC クロック、PLL クロックおよびサブクロックを禁止するには、それぞれ RCE ビット、PCE ビット、および SCE ビットを使用します(これらがシステムクロック 2、ウォッチドッグ、クロック停止検出機能に使用されていない限り)。これらのクロックを禁止すると、対応するソースクロックタイマも禁止されます。

#### ● PLL クロックモード

PLL クロックモードでは、PLL クロック CLKPLL は、システムクロック 1(CLKS1) に使用されます。このため、バスクロック(CLKB) と周辺クロック 1(CLKP1) は CLKPLL から供給されます。

このクロック信号の周波数は、PLL 制御レジスタとメインクロックの設定によって異なります。RC クロックとサブクロックを禁止するには、それぞれ RCE ビットと SCE ビットを使用します(これらがシステムクロック 2、ウォッチドッグ、クロック停止検出機能に使用されていない限り)。これらのクロックを禁止すると、対応するソースクロックタイマも禁止されます。PLL クロックモードでメインクロックを禁止することはできません。

#### ● サブクロックモード

サブクロックモードでは、サブ発振器 CLKSC の出力信号がシステムクロック 1(CLKS1) に使用されます。このため、バスクロック(CLKB) と周辺クロック 1(CLKP1) は CLKSC から供給されます。

RC クロック、メインクロックおよび PLL クロックを禁止するには、それぞれ RCE ビット、MCE ビットおよび PCE ビットを使用します(これらがシステムクロック 2、ウォッチドッグ、クロック停止検出機能に使用されていない限り)。これらのクロックを禁止すると、対応するソースクロックタイマも禁止されます。

## ■ クロックソースの切換え

クロックソースの切換えは、CLKS1 または CLKS2 用のクロックソースを変更することを意味します。

### ● クロックソースの切換え

- ・ クロックソースの選択は、CLKS1 と CLKS2 それぞれ独立に行うことができます。
- ・ クロックソースを切り換えるには、システムクロック選択ビット(システムクロック 1 の場合は SC1S[1:0], システムクロック 2 の場合は SC2S[1:0])の値を書き換えます。
- ・ 異なるクロックソースに移行できるのは、選択されたクロックの準備が整っている(つまり、クロックモニタレジスタ CKMR 内の対応する準備完了フラグ RCM, MCM, PCM または SCM が設定されている) 場合に限りです。
- ・ 選択されたクロックの準備が整っている場合は、同期メカニズムを起動するとクロックソースの移行が行われます。このクロック切換えが終了すると、クロックモニタレジスタのシステムクロックモニタビット(システムクロック 1 の場合は SC1M、システムクロック 2 の場合は SC2M)が新しい値に変わります。
- ・ 事前に選択されたモードへの切換えが終了する前にシステムクロック選択ビットに別の値を書き込むと、最初の移行要求が取り消されます。
- ・ 選択されたクロックが使用禁止であるか、または安定していない場合は、選択されたクロックが使用可能になり、かつ安定する(クロック準備完了フラグ CKMR:RCM, MCM, PCM または SCM が設定される)まで新しいクロックモードへの切換えが延期されます。
- ・ ウェイクアップ割込みによってストップモードが解除されると、システムクロックセレクトは、クロック準備完了モニタビットに関係なく SC1S[1:0]/SC2S[1:0]ビットで定義されたクロックをそのまま選択します。使用禁止になっているクロックは、ウェイクアップ割込みによる再起動に使用されるため、ストップモードに切り換える前に選択してはなりません。

### ● リセットおよびクロックソース

両方のシステムクロック(CLKs1 と CLKS2) 用のクロックソースは、何らかのリセットが発生すると RC クロック(CLKRC)に設定されます。それぞれのリセットが終了するごとに RC 発振安定待ち時間に入ります。

### ● CLKP2 をクロックソースとして使用している周辺機能へのアクセス

---

#### <注意事項>

SC1S または SC2S ビットの設定を変更した直後に、周辺クロック 2(CLKP2)をクロックソースとして使用している周辺機能にアクセス(読出し/書込み)しないでください。必ず SC1M/SC2M モニタビットを読み出すことで、要求されたクロック移行が終了しているかどうかを確認してください。CLKP2 をクロックソースとして使用している周辺機能にアクセスできるのは、SC1M[1:0]と SC1S[1:0]が一致しており、かつ SC2M[1:0]と SC2S[1:0]が一致している場合に限りです。

---

## ■ ソースクロックの起動と禁止

- ・ それぞれのリセットが行われた後、メイン発振器および RC 発振器は許可されますが、PLL 通倍回路は禁止されます。
- ・ 電源リセットまたは外部リセットが発生すると、サブ発振器が禁止されます。その後、ブート ROM プログラムによってサブ発振器構成マーカ(SOCM)が読み出され、選択されたモードでサブ発振器が起動します。ソフトウェアリセット、ウォッチドッグリセットまたはクロック停止検出リセットはこの設定に影響しません。これらのリセットでは、SCE ビットが"1"に初期化されるのみです。
- ・ システムクロック **CLKS1** または **CLKS2** 用に選択されたソースクロックが常に起動します。
- ・ これらのシステムクロック用に使用されていないソースクロックを許可/禁止するには、**CKSR** レジスタ内の対応する許可ビットを使用します。
- ・ ソースクロックを停止させて電流を節約するためには、**CKSR** レジスタ内の対応する許可ビットを"0"に設定してください。
- ・ ソースクロックが特定機能または迅速なシステムクロックの切換えに必要となる場合にソースクロックを許可するには、**CKSR** レジスタ内の対応する許可ビットを"1"に設定します。起動したクロックが安定すると、**CKMR** レジスタ内の対応するクロックモニタビットが設定され、このクロックが「準備完了」であることを示します。
- ・ メインクロックを許可する必要があるのは、PLL クロックを許可する場合です(MCE が"0"に設定されている場合、PCE の設定は効果がありません)。
- ・ メインクロックは PLL 通倍回路用の入力信号であるため、MCE を"0"に設定すると、システムクロック 1 または 2 がメインクロック/PLL クロックに設定されている場合にメイン発振器が禁止されません。

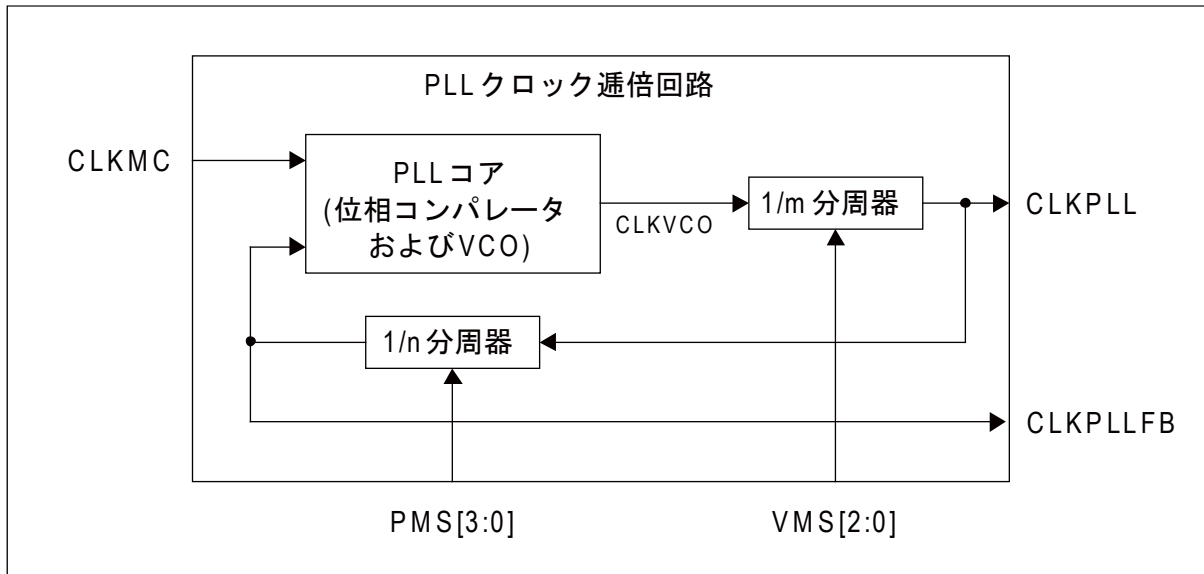
### 3. PLL の構成

PLL 通倍回路は、メインクロックからの PLL クロックの生成に使用されます。13 種類の通倍値(1 通倍～13 通倍)が利用可能です。

#### ■ PLL クロック通倍回路のコンポーネント

以下のブロックダイアグラムは PLL のモジュールを示します。

図 3-1 PLL 回路のブロックダイアグラム



#### ● PLL コア(位相コンパレータおよび VCO)

PLL コアは、電圧制御発振器(VCO)を制御する位相コンパレータで構成されます。位相コンパレータは、入力クロック CLKMC(メインクロック)と「1/n 分周器」の出力クロックを比較します。VCO から生成される出力クロック CLKVCO の周波数は、「1/m 分周器」と「1/n 分周器」の設定によって異なります。

$$\text{CLKVCO} = \text{CLKMC} \times m \times n$$

CLKVCO の周波数領域は、データシートの「PLL の動作条件」を参照してください。

#### ● "1/m 分周器"(VCO クロック分周器)

"1/m 分周器"は、VCO クロック通倍選択ビット(VMS[2:0])で制御されます。これにより、PLL 出力クロック CLKPLL と VCO 出力クロック CLKVCO との周波数関係が定義されます。デューティ周期が 50%の PLL 出力クロックを保証するために最小通倍係数 m は"2"になります。動作範囲内に VCO を維持する目的にも使用されます。

CLKVCO 周波数がデータシートに記載されている許容範囲内の場合、これらのビットは必要な CLKPLL 周波数に応じて設定してください。設定した場合は、PLL はロックされず、結果として CLKPLL 周波数は不定になります。

PLL 起動後に、これらのビットの設定を変えないでください。

#### ● "1/n 分周器"(PLL クロック分周器)

"1/n 分周器"は、PLL クロック通倍選択ビット(PMS[3:0])で制御されます。PLL クロック通倍回路の周波数通倍値(CLKMC と CLKPLL との関係)を定義します。1～13 の通倍値が利用可能です。ただし、CLKMC、



CLKVCO および CLKPLL(->CLKS1/CLKS2)に許可された周波数の最小値と最大値は厳守しなければなりません。PLL を起動した後で、これらのビットの設定を変更しないでください。

### ● VCO クロック通倍選択ビット VMS[2:0]の設定

"1/m 分周器"は、データシートに規定された広範な PLL 発振クロック周波数に対応した動作範囲内に VCO を維持するようにプログラム可能です。有効な CLKVCO クロック周波数をもたらす VMS[2:0]ビットに値を書いてください。表の下に、4MHz メインクロック用の推薦設定を示しています。ほかのメインクロック周波数については、次の公式に基づいて VMS[2:0]ビットの設定を調整してください。

$$\text{CLKVCO} = \text{CLKMC} \times m \times n$$

表 3-1 PMS[3:0]ビットと VMS[2:0]ビットの推奨設定(CLKMC = 4 MHz)

メイン発振周波数 CLKMC	要求された PLL 出力周波数 CLKPLL	PMS[3:0]ビット (n 分周値)の設定	VMS[2:0]ビット (m 分周値)の設定	VCO 出力周波数 CLKVCO
4 MHz	4 MHz	"0000" (1 分周)	"111" (16 分周)	64 MHz
4 MHz	8 MHz	"0001" (2 分周)	"011" (8 分周)	64 MHz
4 MHz	12 MHz	"0010" (3 分周)	"010" (6 分周)	72 MHz
4 MHz	16 MHz	"0011" (4 分周)	"001" (4 分周)	64 MHz
4 MHz	20 MHz	"0100" (5 分周)	"001" (4 分周)	80 MHz
4 MHz	24 MHz	"0101" (6 分周)	"001" (4 分周)	96 MHz
4 MHz	28 MHz	"0110" (7 分周)	"000" (2 分周)	56 MHz
4 MHz	32 MHz	"0111" (8 分周)	"000" (2 分周)	64 MHz
4 MHz	36 MHz	"1000" (9 分周)	"000" (2 分周)	72 MHz
4 MHz	40 MHz	"1001" (10 分周)	"000" (2 分周)	80 MHz
4 MHz	44 MHz	"1010" (11 分周)	"000" (2 分周)	88 MHz
4 MHz	48 MHz	"1011" (12 分周)	"000" (2 分周)	96 MHz
4 MHz	52 MHz	"1100" (13 分周)	"000" (2 分周)	104 MHz

## 4. 発振安定待ち時間

電源をオンにした場合、ストップモードを解除した場合、または禁止されたクロックを許可した場合は、クロックが使用可能になるまでに発振安定待ち時間を要します。

### ■ 発振安定待ち時間

通常、X0/X1 および X0A/X1A 端子に接続可能なセラミック発振器と水晶発振器には、発振開始時に固有振動数(発振周波数)で安定するために数ミリ秒が必要となります。また、内部 PLL 通倍回路と RC 発振器には、起動後に一定の安定待ち時間が必要となります。このため、起動したクロックを伴う CPU 動作は発振が開始した直後には許可されず、発振が完全に安定した後にのみ許可されます。

発振安定待ち時間が経過すると、対応するクロック準備完了モニタビットが設定されるため、クロックをシステムクロックとして選択することができます。

メイン発振器とサブ発振器の発振安定待ち時間は発振器の種類(水晶、セラミックなど)によって異なるため、使用する発振器に対して適切な発振安定待ち時間を選択する必要があります。発振安定待ち時間を選択するには、クロック安定化選択レジスタ(CKSSR)を設定します。RC 発振器の安定待ち時間は固定されており、PLL の安定待ち時間は PLL 発振クロック周波数とメインクロック周波数に合わせて選択できます。クロックソースを切り換えた場合、新たに選択されたクロックが安定するまで MCU はそれまで選択されていたクロックで動作します。対応するクロック準備完了フラグが設定されると、MCU は指定のクロックに切り換わります。

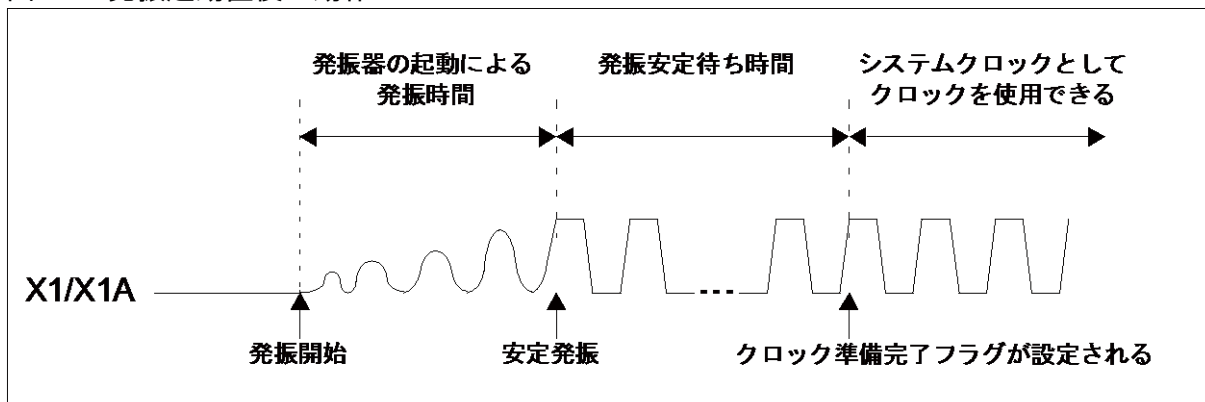
電源リセットまたは外部リセットが発生すると、ソースクロックタイマとクロック準備完了モニタビットがすべてクリアされ、対応する発振安定待ち時間に入ります。

ソフトウェアリセットおよびウォッチドッグリセットが発生すると、ソースクロックタイマとメイン/サブクロックモニタビットは影響を受けませんが(リセットの前にクロックが許可された場合は、メイン/サブ発振安定待ち時間に入らない)、RC/PLL クロックモニタビットがクリアされます(PLL が禁止され、RC 発振安定待ち時間に入る)。

クロック停止リセットが発生すると、リセットの原因となったクロックのソースクロックタイマとクロックモニタビットがクリアされます。このクロックをこれ以上使用してはなりません。PLL が禁止され、RC 発振安定待ち時間に入ります。

起動直後の発振器の動作を図 4-1 に示します。

図 4-1 発振起動直後の動作



### ● RC クロック安定待ち時間

RC 発振安定待ち時間は固定の RC クロック周期数です(データシートの「内蔵 RC 発振規格」を参照してください)。ただし、電源リセットまたは外部リセット(RSTX 立下りエッジ)が発生すると、リセット延長回路により 200 RC クロック周期の延長待ち時間に入ります(詳細は、『リセットとスタートアップ』の章の「3. 電源リセットおよび外部リセット後のスタートアップ」を参照してください)。

### ● メインクロック安定待ち時間

メインクロック安定待ち時間は、CKSSR レジスタの MCST[2:0]ビットで選択できます。「6.3 クロック安定化選択レジスタ(CKSSR)」に示されているように 8 通りの設定が可能です。

### ● サブクロック安定待ち時間

サブクロック安定待ち時間は、CKSSR レジスタの SCST[1:0]ビットで選択できます。「6.3 クロック安定化選択レジスタ(CKSSR)」に示されているように 4 通りの設定が可能です。

### ● PLL クロック安定待ち時間

PLL クロック安定待ち時間は、CKSSR レジスタの PCST ビットで選択できます。「6.3 クロック安定化選択レジスタ(CKSSR)」に示されているように 2 通りの設定が可能です。

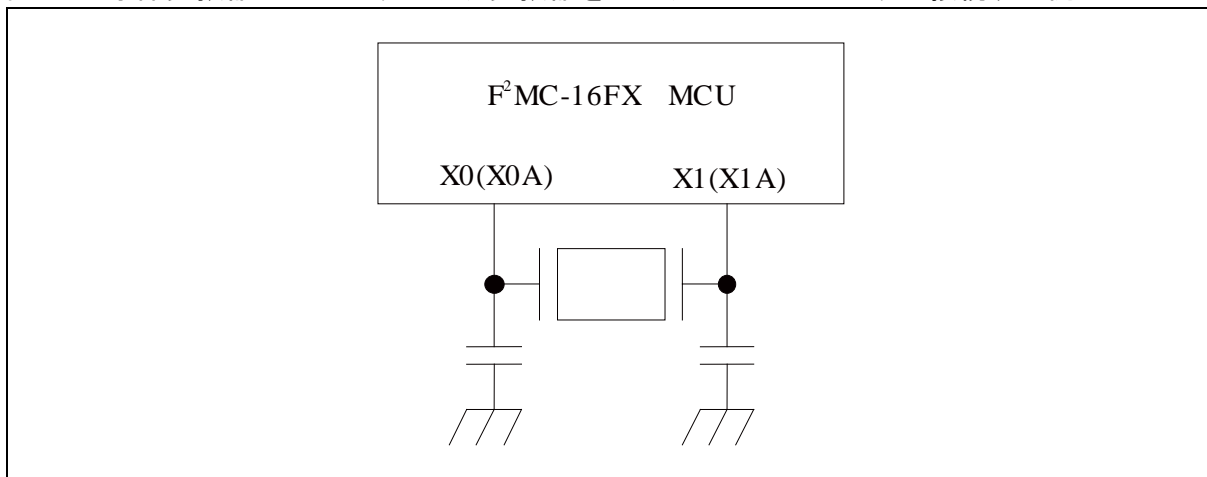
## 5. 発振器または外部クロックとマイクロコントローラとの接続

F<sup>2</sup>MC-16FX マイクロコントローラは、外部発振器用の2つのクロック生成回路、メイン発振回路およびサブ発振回路で構成されます。これらの回路に外部発振器を接続すると、メインクロックとサブクロックが生成されます。また、外部で生成されたクロックをマイクロコントローラに入力することもできます。

### ■ 水晶発振器またはセラミック発振器をマイクロコントローラに接続する例

図 5-1 の例に示されているように、水晶発振器またはセラミック発振器を接続します。

図 5-1 水晶発振器またはセラミック発振器をマイクロコントローラに接続する例



この接続を使用する場合は、CILCR:FCI ビット\*を"0"に設定してください。

### ■ 外部クロックをマイクロコントローラに接続する例

外部クロックを使用するときは、図 5-2 の例に示されているようにクロック信号を X0 端子または X0A 端子に接続します。X1 端子は必ず開放されていなければなりません。X1A 端子は汎用 I/O ポートとして使用できます。

デバイスを外部メインクロックに切り換える前に CILCR:FCI ビットを"1"に設定すると、メイン発振器が外部クロック入力モードで起動します。

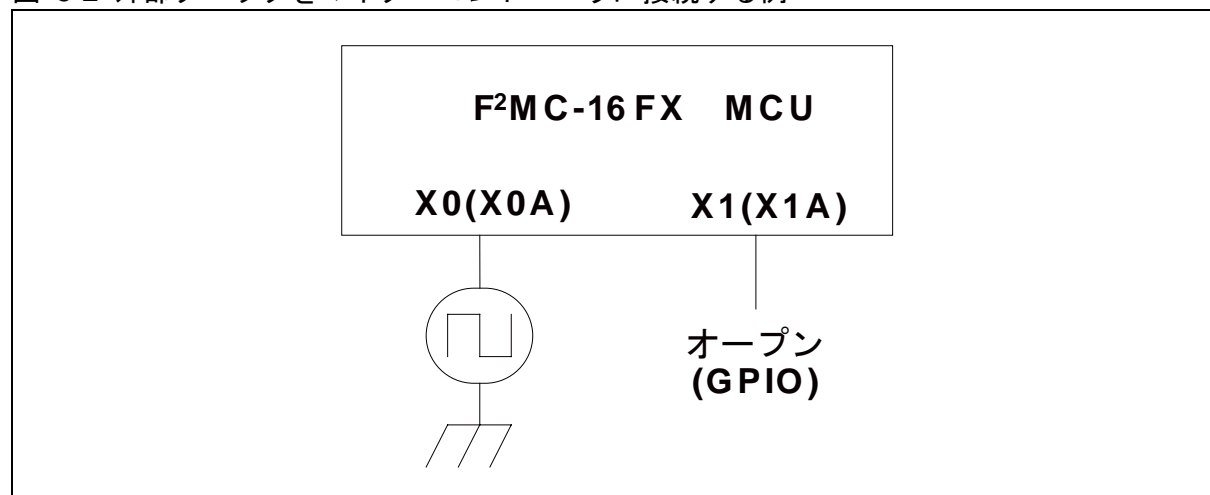
ROM 構成ブロック A(RCBA) 内のサブ発振器構成マーカ(SOCM)を AA<sub>H</sub>に設定すると、サブ発振器が外部クロック入力モードで起動します。

外部クロック入力モードの許容周波数範囲については、データシートの「メインクロック入力規格」と「サブクロック入力規格」を参照してください。

外部クロックを発振器に接続する場合、外部クロック入力モードを使用してください。

\*: 本レジスタの詳細については、『リセットとスタートアップ』の章の「7. リセット制御レジスタ」を参照してください。

図 5-2 外部クロックをマイクロコントローラに接続する例



## 6. レジスタ

クロック制御レジスタを一覧表示し、各レジスタの機能について詳しく説明します。

### ■ クロック制御レジスタ一覧

レジスタ略称	レジスタ名	参照先
CKSR	クロック選択レジスタ	6.1
CKMR	クロックモニタレジスタ	6.2
CKSSR	クロック安定化選択レジスタ	6.3
CKFCR	クロック周波数制御レジスタ	6.4
PLLCR	PLL 制御レジスタ	6.5

## 6.1. クロック選択レジスタ(CKSR)

クロック選択レジスタ(CKSR)は、システムクロックセクタ 1 および 2 と発振回路の制御に使用します。

### ■ クロック選択レジスタ(CKSR)の構成

CKSR								
bit	15	14	13	12	11	10	9	8
	SCE	PCE	MCE	RCE	SC2S1	SC2S0	SC1S1	SC1S0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	0	1	1	0	0	0	0

[bit15] SCE:サブクロック許可ビット

bit	説明
0	サブ発振器を停止
1	サブ発振器を許可

- ・ このビットは、サブ発振回路の許可/停止を制御します。
- ・ 電源リセットまたは外部リセット後は、サブ発振器が常に禁止され、ブート ROM プログラムによって ROM 構成ブロック A(RCBA) 内のサブ発振器構成マーカ(SOCM)が読み出されます。構成マーカに応じて、発振モードまたは外部クロック入力モードでサブ発振回路を許可できます。この時点で、サブ発振安定待ち時間が始まります。
- ・ サブ発振器が構成マーカによって禁止されているときは、SCE ビットに機能はありません。
- ・ SCE ビットに"1"を書き込むとサブ発振器が許可され、"0"を書き込むとサブ発振器が停止します。
- ・ このビットはリセットごとに"1"(発振器を許可)に初期化されます。
- ・ サブ発振器が許可されるとサブ発振安定待ち時間に入ります。この時間は、CKSSR レジスタの SCST ビットで設定します。この時間が経過すると、CKMR レジスタ内のサブクロックモニタビット(SCM)が設定されます。
- ・ CLKSC を CLKS1/CLKS2 用のクロックソースとして選択すると、SCE ビットの設定に関係なくサブ発振器が起動します。サブ発振器を停止できるのは、2つのシステムクロックが別々のクロックソースで動作している場合に限りです。

### <注意事項>

ウォッチドッグ用のクロックソースがサブクロックに設定されている場合は、サブ発振器を禁止しないでください。この場合に SCE を"0"に設定すると、ウォッチドッグリセットが発生します。

#### [bit14] PCE:PLL クロック許可ビット

bit	説明
0	PLL を停止
1	PLL を許可

- ・ このビットは、PLL 発振回路の許可/停止を制御します。
- ・ このビットに"1"を書き込むと PLL が許可され、"0"を書き込むと PLL が停止します。
- ・ PLL はメインクロックを入力クロックとして使用しているため、PLL を許可する場合は MCE も"1"に設定する必要があります。MCE = 0 の場合、PCE の設定は効果がありません。
- ・ このビットはリセットごとに"0"(PLL が停止)に初期化されます。
- ・ メインクロックが安定し(MCM = 1)、PLL が許可されると PLL 安定待ち時間に入ります。この時間は、CKSSR レジスタの PCST ビットで設定します。この時間が経過すると、CKMR レジスタ内の PLL クロックモニタビット(PCM)が設定されます。
- ・ CLKPLL を CLKS1/CLKS2 用のクロックソースとして選択すると、PCE ビットの設定に関係なく PLL が起動します。PLL を停止できるのは、2つのシステムクロックが別々のクロックソースで動作している場合に限りです。

#### [bit13] MCE:メインクロック許可ビット

bit	説明
0	メイン発振器を停止
1	メイン発振器を許可

- ・ このビットは、メイン発振回路の許可/停止を制御します。
- ・ このビットに"1"を書き込むとメイン発振器が許可され、"0"を書き込むとメイン発振器が停止します。
- ・ このビットはリセットごとに"1"(発振器を許可)に初期化されます。
- ・ メイン発振器が許可されるとメイン発振安定待ち時間に入ります。この時間は、CKSSR レジスタの MCST ビットで設定します。この時間が経過すると、CKMR レジスタ内のメインクロックモニタビット(MCM)が設定されます。
- ・ CLKMC または CLKPLL を CLKS1/CLKS2 用のクロックソースとして選択すると、MCE ビットの設定に関係なくメイン発振器が起動します。メイン発振器を停止できるのは、2つのシステムクロックが別々のクロックソースで動作している場合に限りです。
- ・ このビットを"0"に設定すると PLL クロックが禁止され(PCE の設定に関係なく)、PCM が"0"に設定されます。ただし、PLL クロックがシステムクロック 1 または 2 として使用されている場合を除きます。

#### <注意事項>

ウォッチドッグ用のクロックソースがメインクロックに設定されている場合は、メイン発振器を禁止しないでください。この場合に MCE を"0"に設定すると、ウォッチドッグリセットが発生します。



## [bit12] RCE:RC クロック許可ビット

bit	説明
0	RC 発振器を停止
1	RC 発振器を許可

- ・ このビットは、内蔵 RC 発振器の許可/停止を制御します。
- ・ このビットに"1"を書き込むと RC 発振器が許可され、"0"を書き込むと RC 発振器が停止します。
- ・ このビットはリセットごとに"1"(発振器を許可)に初期化されます。
- ・ RC 発振器が許可されると RC 発振安定待ち時間に入ります。この時間はデータシートに記載されています(高速 RC クロックの場合は 256 クロック周期、低速 RC クロックの場合は 16 クロック周期)。この時間が経過すると、CKMR レジスタ内の RC クロックモニタビット(RCM)が設定されます。
- ・ CLKRC を CLKS1/CLKS2 用のクロックソースとして選択すると、RCE ビットの設定に関係なく RC 発振器が起動します。RC 発振器を停止できるのは、2つのシステムクロックが別々のクロックソースで動作している場合に限りです。

## &lt;注意事項&gt;

- ・ クロック停止検出リセットが許可されている場合は、RC 発振器を禁止しないでください。この場合に RCE を"0"に設定すると、クロック停止検出リセットが発生します。
- ・ ウォッチドッグ用のクロックソースが RC クロックに設定されている場合は、RC 発振器を禁止しないでください。この場合に RCE を"0"に設定すると、ウォッチドッグリセットが発生します。

## [bit11, bit10] SC2S1, SC2S0:システムクロック 2 選択ビット

- ・ これらのビットは、以下の表に従って周辺クロック 2 のソース用のシステムクロック 2 セレクタを制御します。

bit11	bit10	説明
0	0	RC クロック(CLKS2 を CLKRC に設定)
0	1	メインクロック(CLKS2 を CLKMC に設定)
1	0	PLL クロック(CLKS2 を CLKPLL に設定)
1	1	サブクロック(CLKS2 を CLKSC に設定)

- ・ リセットが発生すると、これらのビットが"00"(RC クロック)に初期化されます。
- ・ 異なるクロックソースへの切換えは、選択されたクロックが安定する(クロックモニタレジスタ CKMR 内の対応するクロック準備完了モニタビットが設定される)まで延期されます。
- ・ 選択されたクロックが安定している場合は、同期メカニズムを起動するとクロックソースの移行が行われます。クロックモニタレジスタのシステムクロック 2 モニタビット(SC2M[1:0])は、クロックの切換えが終了したことを示します。
- ・ 事前に選択されたモードへの切換えが終了する前にこのレジスタに別の値を書き込むと、最初の移行要求が取り消されます。
- ・ 使用不可(発振器が故障または存在していない)になっているクロックに移行することはできません。

### <注意事項>

ストップモードにある場合、システムクロック 2 セレクタは、対応するクロック準備完了モニタビットに関係なく、SC2S[1:0]ビットで選択されたクロックに直接切り換わります(ストップモードでは、クロックモニタビットがすべてクリアされます)。このため、ストップモードに切り換える前に、使用禁止になっているクロックを選択しないでください。

#### [bit9, bit8] SC1S1, SC1S0:システムクロック 1 選択ビット

- これらのビットは、以下の表に従ってバスクロックと周辺クロック 1 の元であるシステムクロック 1 セレクタを制御します。

bit9	bit8	説明
0	0	RC クロックモード(CLKS1 を CLKRC に設定)
0	1	メインクロックモード(CLKS1 を CLKMC に設定)
1	0	PLL クロックモード(CLKS1 を CLKPLL に設定)
1	1	サブクロックモード(CLKS1 を CLKSC に設定)

- これらのビットは CPU クロックモードを制御します。
- リセットが発生すると、これらのビットが"00"(RC クロックモード)に初期化されます。
- 異なるクロックモードへの移行は、選択されたクロックが安定する(クロックモニタレジスタ CKMR の対応するクロック準備完了モニタビットが設定される)まで延期されます。
- 選択されたクロックの準備が整っている場合は、同期メカニズムを起動するとクロックモードの移行が行われます。クロックモニタレジスタのシステムクロック 1 モニタビット(SC1M[1:0])は、クロックの切り換えが終了したことを示します。
- 事前に選択されたモードへの切り換えが終了する前にこのレジスタに別の値を書き込むと、最初の移行要求が取り消されます。
- 使用不可(発振器が故障または存在していない)になっているクロックに移行することはできません。

### <注意事項>

ストップモードにある場合、システムクロック 1 セレクタは、対応するクロック準備完了モニタビットに関係なく、SC1S[1:0]ビットで選択されたクロックに直接切り換わります(ストップモードでは、クロックモニタビットがすべてクリアされます)。このため、ストップモードに切り換える前に、使用禁止になっているクロックを選択しないでください。

## 6.2. クロックモニタレジスタ(CKMR)

クロックモニタレジスタ(CKMR)は、システムクロック(クロックモード)の現在の状態と発振回路の状態を確認する目的に使用します。

### ■ クロックモニタレジスタ(CKMR)の構成

CKMR								
bit	15	14	13	12	11	10	9	8
	SCM	PCM	MCM	RCM	SC2M1	SC2M0	SC1M1	SC1M0
属性	R	R	R	R	R	R	R	R
初期値	*	0	*	0	X	X	X	X

※: 各ビットの説明を参照してください。

#### [bit15] SCM:サブクロックモニタビット

bit	説明
0	サブクロック安定待ち状態
1	サブクロック使用可能

- ・ このビットは、サブクロックが安定しているかどうかを示します。
- ・ **SCM = 1** は、サブクロックが使用可能であることを示します。**SCE** が "0" に設定されていても **SCM = 1** の場合は、サブクロックがシステムクロック 1 または 2 として使用されているため、サブクロックは禁止されていません。
- ・ **SCM = 0** は、サブクロックが禁止されているか、またはサブクロック発振安定待ち時間に入っていることを示します。
- ・ 電源リセットまたは外部リセットとサブクロック停止検出リセットが発生すると、このビットが "0" に初期化されます。
- ・ メインクロック停止検出リセット、ソフトウェアリセットまたはウォッチドッグリセットが発生しても、このビットはリセットされません。

#### <注意事項>

**SCM** の設定後にサブクロック安定待ち時間の設定 **CKSSR:SCST[1:0]** が短い時間からより長い時間に変更された場合は、新しく選択された時間がまだ満了していないときでも、**SCM** はクリアされません。これには、リセットアサートによる **CKSSR:SCST[1:0]** の変更も含まれます。

**[bit14] PCM:PLL クロックモニタビット**

bit	説明
0	PLL クロック安定待ち状態
1	PLL クロック使用可能

- ・ このビットは、PLL クロックが安定しているかどうかを示します。
- ・ PCM = 1 は、PLL クロックが使用可能であることを示します。PCE が"0"に設定されていても PCM = 1 の場合は、PLL クロックがシステムクロック 1 または 2 として使用されているため、PLL クロックは禁止されていません。
- ・ PCM = 0 は、PLL が禁止されているかまたは PLL 安定待ち時間に入っていることを示します。
- ・ リセットが発生すると、このビットが"0"(PLL の禁止)に初期化されます。

**<注意事項>**

PCM の設定後に PLL クロック安定待ち時間の設定 CKSSR:PCST が"0"から"1"に変更された場合は、新しく選択された時間がまだ満了していないときでも、PCM はクリアされません。

**[bit13] MCM:メインクロックモニタビット**

bit	説明
0	メインクロック安定待ち状態
1	メインクロック使用可能

- ・ このビットは、メインクロックが安定しているかどうかを示します。
- ・ MCM = 1 は、メインクロックが使用可能であることを示します。MCE が"0"に設定されていても MCM = 1 の場合は、メインクロック/PLL クロックがシステムクロック 1 または 2 として使用されているため、メインクロックは禁止されていません。
- ・ MCM = 0 は、メイン発振器が禁止されているか、またはメイン発振安定待ち時間に入っていることを示します。
- ・ 電源リセットまたは外部リセット(RSTX 立下りエッジ)とメインクロック停止検出リセットが発生すると、このビットが"0"に初期化されます。RSTX の影響の詳細は、『リセットとスタートアップ』の章の「3. 電源リセットおよび外部リセット後のスタートアップ」を参照してください。
- ・ サブクロック停止検出リセット、ソフトウェアリセットまたはウォッチドッグリセットが発生しても、このビットはリセットされません。

**<注意事項>**

MCM の設定後にメインクロック安定待ち時間の設定 CKSSR:MCST[2:0]が短い時間からより長い時間に変更された場合は、新しく選択された時間がまだ満了していないときでも、MCM はクリアされません。これには、リセットアサートによる CKSSR:MCST[2:0]の変更も含まれます。

## [bit12] RCM:RC クロックモニタビット

bit	説明
0	RC クロック安定待ち状態
1	RC クロック使用可能

- ・ このビットは、内蔵 RC クロックが安定しているかどうかを示します。
- ・ RCM = 1 は、RC クロックが使用可能であることを示します。RCE が "0" に設定されていても RCM = 1 の場合は、RC クロックがシステムクロック 1 または 2 として使用されているため、RC クロックは禁止されていません。
- ・ RCM = 0 は、RC クロックが禁止されているかまたは RC 発振安定待ち時間に入っていることを示します。
- ・ リセットが発生すると、このビットが "0" に初期化され、MCU の動作が停止します。RC 発振安定待ち時間が経過すると、このビットが "1" に設定され、リセットシーケンスの実行に伴って MCU の動作が再開します。

## [bit11, bit10] SC2M1, SC2M0:システムクロック 2 モニタビット

- ・ これらのビットは、以下の表に従ってシステムクロック 2 として現在使用されているクロックを示します。

bit11	bit10	説明
0	0	CLKS2 が CLKRC(RC クロック)に設定
0	1	CLKS2 が CLKMC(メインクロック)に設定
1	0	CLKS2 が CLKPLL(PLL クロック)に設定
1	1	CLKS2 が CLKSC(サブクロック)に設定

- ・ SC2M[1:0]ビットの読出し値は SC2S[1:0]システムクロック 2 選択ビットに書き込まれた値と異なる場合があります。これは、要求されたクロックモードの移行がまだ終了していないことを示します。
- ・ クロックモードの実行中の移行(同期メカニズムが起動中)は以下になります。  
 SC2S[1:0]ビットで選択されたクロックが使用可能な状態(クロックモニタビット "1")でも、SC2M[1:0]ビットで示された動作中のクロックモードは SC2S[1:0]の設定と異なります。SC2M[1:0]ビットが更新されるのは、クロックモードの移行が終了した後です。
- ・ 選択されたクロックが安定していない(SC2S[1:0]ビットで選択されたクロックのクロックモニタビットが "0" に設定されている) 場合は、クロックモードを切り換えることができません。

#### [bit9, bit8] SC1M1, SC1M0:システムクロック 1 モニタビット

- これらのビットは、以下の表に従ってシステムクロック 1 として現在使用しているクロックを示します。

bit9	bit8	説明
0	0	CLKS1 が CLKRC(RC クロック)に設定
0	1	CLKS1 が CLKMC(メインクロック)に設定
1	0	CLKS1 が CLKPLL(PLL クロック)に設定
1	1	CLKS1 が CLKSC(サブクロック)に設定

- これらのビットは現在動作中の CPU クロックモードを示します。
- SC1M[1:0]ビットの読出し値は SC1S[1:0]システムクロック 1 選択ビットに書き込まれた値と異なる場合があります。これは、要求されたクロックモードの移行がまだ終了していないことを示します。
- クロックモードの移行(同期メカニズムが起動中)は以下になります。  
SC1S[1:0]ビットで選択されたクロックが使用可能な状態(クロックモニタビット"1")でも、SC1M[1:0]ビットで示された動作中のクロックモードは SC1S[1:0]の設定と異なります。SC1M[1:0]ビットが更新されるのは、クロックモードの移行が終了した後です。
- 選択されたクロックの準備が整っていない(SC1S[1:0]ビットで選択されたクロックのクロックモニタビットが"0"に設定されている) 場合は、クロックモードを切り換えることができません。

## 6.3. クロック安定化選択レジスタ(CKSSR)

クロック安定化選択レジスタ(CKSSR)はPLL発振回路、メイン発振回路およびサブ発振回路の安定待ち時間の選択に使用します。

### ■ クロック安定化選択レジスタ(CKSSR)の構成

CKSSR								
bit	7	6	5	4	3	2	1	0
	-	-	PCST	SCST1	SCST0	MCST2	MCST1	MCST0
属性	-	-	R/W	R/W	R/W	R/W	R/W	R/W
初期値	X	X	1	1	1	1	1	1

#### [bit7, bit6] -: 未定義ビット

- これらのビットに常に"0"を書き込みます。
- これらのビットの読み出し値は未定義です。
- これらのビットへのリードモディファイライト(RMW)動作は無効です。

#### [bit5] PCST: PLL クロック安定待ち時間選択ビット

- このビットは、以下の表に従って PLL クロックの安定待ち時間を選択します。

bit	説明
0	$2^{12}/\text{CLKMC}$ (約 1 ms)
1	$2^{14}/\text{CLKMC}$ (約 4 ms)

- リセットが発生すると、このビットが"1"に初期化されます。
- このビットは、上記のメインクロック(CLKMC) 周期が経過した後に PLL クロックモニタ(PCM) ビットを設定します。これにより、PLL クロックがシステムクロックとして使用可能になります。
- メインクロックが安定し(MCM=1)、PCE が"1"に設定されると、PLL クロック安定待ち時間のカウントが始まります。
- "()"内は CLKMC=4MHz 時

#### <注意事項>

PCST を"0"に設定すると、 $2^{12}/\text{CLKMC}$  周期後に CKMR:PCM が設定されます。その後で PCST を"1"に変更した場合、CKMR:PCM ビットはクリアされません。

#### [bit4, bit3] SCST1, SCST0:サブクロック安定待ち時間選択ビット

- これらのビットは、以下の表に従ってサブ発振回路の安定待ち時間を選択します。

bit4	bit3	説明
0	0	$2^{12}/\text{CLKSC}(125 \text{ ms})$
0	1	$2^{14}/\text{CLKSC}(0.5 \text{ s})$
1	0	$2^{15}/\text{CLKSC}(1 \text{ s})$
1	1	$2^{16}/\text{CLKSC}(2 \text{ s})$

- リセットが発生すると、このビットが"11"に初期化されます。
- これらのビットは、上記のサブクロック (CLKSC) 周期が経過した後にサブクロックモニタ(SCM) ビットを設定するかを定義します。これにより、サブクロックがシステムクロックとして使用可能になります。
- "0"内は CLKSC=32.768kHz 時

#### <注意事項>

発振安定待ち時間は、使用している発振子に対して適切な値に設定する必要があります。  
ソフトウェアによってより短い安定待ち時間が選択され、発振器が開始された場合、その短い時間の経過後すぐに CKMR:SCM が設定されます。その後でより長い安定待ち時間を選択した場合、CKMR:SCM ビットはクリアされません。

#### [bit2~bit0] MCST2~MCST0:メインクロック安定待ち時間選択ビット

- これらのビットは、以下の表に従ってメイン発振回路の安定待ち時間を選択します。

bit2	bit1	bit0	説明
0	0	0	$2^{10}/\text{CLKMC}(\text{約 } 256 \mu\text{s})$
0	0	1	$2^{12}/\text{CLKMC}(\text{約 } 1 \text{ ms})$
0	1	0	$2^{13}/\text{CLKMC}(\text{約 } 2 \text{ ms})$
0	1	1	$2^{14}/\text{CLKMC}(\text{約 } 4 \text{ ms})$
1	0	0	$2^{15}/\text{CLKMC}(\text{約 } 8 \text{ ms})$
1	0	1	$2^{16}/\text{CLKMC}(\text{約 } 16 \text{ ms})$
1	1	0	$2^{17}/\text{CLKMC}(\text{約 } 32 \text{ ms})$
1	1	1	$2^{18}/\text{CLKMC}(\text{約 } 65 \text{ ms})$

- リセットが発生すると、このビットが"111"に初期化されます。
- これらのビットは、上記のメインクロック (CLKMC) 周期が経過した後にメインクロックモニタ(MCM) ビットを設定するかを定義します。これにより、メインクロックがシステムクロックとして使用可能になります。
- 使用するメインクロック周波数が 10 MHz を超える場合は、安定待ち時間が 100  $\mu\text{s}$  を下回る設定を使用



しないでください。これは、ストップモードからメインランモードへのウェイクアップ時に電圧レギュレータに十分な安定待ち時間を確保するために必要です。

- ・ "()"内は CLKMC=4MHz 時

---

#### ＜注意事項＞

発振安定待ち時間は、使用している発振子に対して適切な値に設定する必要があります。  
ソフトウェアによってより短い安定待ち時間が選択され、発振器が開始された場合、その短い時間の経過後すぐに CKMR:MCM が設定されます。その後でより長い安定待ち時間を選択した場合、CKMR:MCM ビットはクリアされません。

---

## 6.4. クロック周波数制御レジスタ(CKFCR)

クロック周波数制御レジスタ(CKFCR)は、周辺クロック分周器(1 および 2), バスクロック分周器および RC 発振器の周波数の制御に使用します。

### ■ クロック周波数制御レジスタ(CKFCR)の構成

このレジスタには16ビット幅(CKFCR) および8ビット幅(下位バイト:CKFCRL, 上位バイト:CKFCRH)でアクセス可能です。

CKFCR								
bit	15	14	13	12	11	10	9	8
	PC2D3	PC2D2	PC2D1	PC2D0	PC1D3	PC1D2	PC1D1	PC1D0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
	BCD3	BCD2	BCD1	BCD0	-	-	-	RCFS
属性	R/W	R/W	R/W	R/W	-	-	-	R/W
初期値	0	0	0	0	X	X	X	1

[bit15～bit12] PC2D3～PC2D0:周辺クロック 2 分周選択ビット

- これらのビットは、以下の表に従って周辺クロック(CLKP2) 用のクロック分周器を制御します。

bit15	bit14	bit13	bit12	説明
0	0	0	0	CLKP2 が CLKS2(1 分周)になる
0	0	0	1	CLKP2 が CLKS2 の 2 分周になる
0	0	1	0	CLKP2 が CLKS2 の 3 分周になる
...	...	...	...	CLKP2 が CLKS2 の PC2D[3:0] + 1 分周になる
1	1	1	0	CLKP2 が CLKS2 の 15 分周になる
1	1	1	1	CLKP2 が CLKS2 の 16 分周になる

- これらのビットはリセットごとに"0000"(CLKP2 = CLKS2)に初期化されます。

## [bit11～bit8] PC1D3～PC1D0:周辺クロック 1 分周選択ビット

- これらのビットは、以下の表に従って周辺クロック(CLKP1) 用のクロック分周器を制御します。

bit11	bit10	bit9	bit8	説明
0	0	0	0	CLKP1 が CLKS1(1 分周)になる
0	0	0	1	CLKP1 が CLKS1 の 2 分周になる
0	0	1	0	CLKP1 が CLKS1 の 3 分周になる
...	...	...	...	CLKP1 が CLKS1 の PC1D[3:0] + 1 分周になる
1	1	1	0	CLKP1 が CLKS1 の 15 分周になる
1	1	1	1	CLKP1 が CLKS1 の 16 分周になる

- これらのビットはリセットごとに"0000"(CLKP1 = CLKS1)に初期化されます。

## [bit7～bit4] BCD3～BCD0:バスクロック分周選択ビット

- これらのビットは、以下の表に従ってバスクロック(CLKB) 用のクロック分周器を制御します。

bit7	bit6	bit5	bit4	説明
0	0	0	0	CLKB が CLKS1(1 分周)になる
0	0	0	1	CLKB が CLKS1 の 2 分周になる
0	0	1	0	CLKB が CLKS1 の 3 分周になる
...	...	...	...	CLKB が CLKS1 の BCD[3:0] + 1 分周になる
1	1	1	0	CLKB が CLKS1 の 15 分周になる
1	1	1	1	CLKB が CLKS1 の 16 分周になる

- これらのビットはリセットごとに"0000"(CLKB = CLKS1)に初期化されます。

## [bit3～bit1] -: 未定義ビット

- これらのビットに常に"0"を書き込みます。
- これらのビットの読出し値は未定義です。
- これらのビットへのリードモディファイライト(RMW) 動作は無効です。

## [bit0] RCFS:RC クロック周波数選択ビット

bit	説明
0	RC クロック周波数を 100 kHz に設定
1	RC クロック周波数を 2 MHz に設定

- ・ このビットは、内蔵 RC 発振器のクロック周波数の設定に使用されます。
- ・ このビットに"1"を書き込むと RC クロック周波数が 2 MHz に設定され、"0"を書き込むと周波数が 100 kHz に設定されます。
- ・ 100 kHz/2MHz 両方の設定の最小周波数と最大周波数については、データシートの「内蔵 RC 発振規格」を参照してください。
- ・ このビットはリセットごとに"1"(2 MHz)に初期化されます。

---

**<注意事項>**

RC クロック周波数は随時変更可能です。ただし、クロック停止検出回路およびウォッチドッグリセットが RC クロックで動作可能であることと RC クロック周波数を変更するとこれらの回路の動作が影響を受けることを考慮してください。ウォッチドッグリセットモジュールが動作モードにある場合、RC クロック周波数は変更不可であり、変更するとウォッチドッグリセットが発生します。詳細は、『ウォッチドッグタイマとウォッチドッグリセット』の章を参照してください。

---

## 6.5. PLL 制御レジスタ(PLLCR)

PLL 制御レジスタ(PLLCR)は、PLL 通倍回路のすべての機能の制御に使用します。

### ■ PLL 制御レジスタ(PLLCR)の構成

このレジスタには 16 ビット幅(PLLCR) および 8 ビット幅(下位バイト:PLLCRL, 上位バイト:PLLCRH)でアクセス可能です。

PLLCR								
bit	15	14	13	12	11	10	9	8
	-	-	-	-	-	-	-	-
属性	-	-	-	-	-	-	-	-
初期値	X	X	X	X	X	X	X	X

bit	7	6	5	4	3	2	1	0
	VMS2	VMS1	VMS0	-	PMS3	PMS2	PMS1	PMS0
属性	R/W	R/W	R/W	-	R/W	R/W	R/W	R/W
初期値	0	0	0	X	0	0	0	0

#### [bit15～bit8] -: 未定義ビット

- ・ これらのビットに常に"0"を書き込みます。
- ・ これらのビットの読出し値は未定義です。
- ・ これらのビットへのリードモディファイライト(RMW) 動作は無効です。

#### [bit7～bit5] VMS2～VMS0:VCO クロック通倍選択ビット

- ・ これらのビットは、以下の表に従って VCO クロック通倍係数を制御します。

bit7	bit6	bit5	説明
0	0	0	VCO クロックが CLKPLL の 2 通倍になる
0	0	1	VCO クロックが CLKPLL の 4 通倍になる
0	1	0	VCO クロックが CLKPLL の 6 通倍になる
0	1	1	VCO クロックが CLKPLL の 8 通倍になる
1	0	0	VCO クロックが CLKPLL の 10 通倍になる
1	0	1	VCO クロックが CLKPLL の 12 通倍になる
1	1	0	VCO クロックが CLKPLL の 14 通倍になる
1	1	1	VCO クロックが CLKPLL の 16 通倍になる

- ・これらのビットはリセットごとに"000"に初期化されます。
- ・VCO クロック通倍設定では、PLL 出力クロック周波数(CLKPLL)と PLL 内部 VCO の出力周波数との関係を定義します。
- ・必ずこれらのビットを設定した後で CKSR:PCE ビットに"1"を書き込むか、PLL クロックを CLKS1 または CLKS2 用のソースとして選択することによって PLL を許可してください。
- ・PLL を起動した後で、これらのビットの設定を変更しないでください。
- ・VCO クロック通倍係数は、PLL 入力クロック CLKMC と PLL 通倍設定に合わせて設定する必要があります。詳細は、「3. PLL の構成」を参照してください。

#### [bit4] -: 未定義ビット

- ・このビットに常に"0"を書き込んでください。
- ・このビットの読出し値は未定義です。
- ・このビットへのリードモディファイライト(RMW) 動作は無効です。

#### [bit3~bit0] PMS3~PMS0:PLL クロック通倍選択ビット

- ・これらのビットは、以下の表に従って PLL クロック通倍係数を制御します。

bit3	bit2	bit1	bit0	説明
0	0	0	0	CLKPLL が CLKMC(1 通倍)になる
0	0	0	1	CLKPLL が CLKMC の 2 通倍になる
...	...	...	...	CLKPLL が CLKMC の PMS[3:0] + 1 通倍になる
1	1	0	0	CLKPLL が CLKMC の 13 通倍になる
1	1	0	1	設定禁止
1	1	1	0	
1	1	1	1	

- ・これらのビットはリセットごとに"0000"に初期化されます。
- ・PLL 通倍設定では、メインクロック周波数(CLKMC)と PLL 出力周波数(CLKPLL)との比を定義します。
- ・必ずこれらのビットを設定した後で、CKSR:PCE ビットに"1"を書き込むか、PLL クロックを CLKS1 または CLKS2 用のソースとして選択することによって PLL を許可してください。
- ・PLL を起動した後で、これらのビットの設定を変更しないでください。
- ・設定範囲は CLKVCO および CLKS1/CLKS2(データシートを参照してください)に許可された周波数領域と使用するメインクロックの周波数に依存します。



# Chapter 7: リセットとスタートアップ



---

マイクロコントローラのリセットとスタートアップについて説明します。

---

1. 概要
2. リセット, システムクロック, および安定待ち時間
3. 電源リセットおよび外部リセット後のスタートアップ
4. ブートROMプログラムの実行と動作モード, およびROM構成ブロック
5. クロック停止検出機能およびリセットの動作
6. 低電圧リセットおよび割込み機能の動作
7. リセット制御レジスタ

---

管理コード : 96F6RESET-J03.0

---



## 1. 概要

リセットが発生すると、CPU は現在実行中のプロセスを即時停止し、リセットが解除されるまで待機します。この後、CPU はブート ROM プログラムの実行を開始します。ブート ROM プログラムは、モード端子の設定に応じて様々な動作モードに分岐し、ユーザプログラムの実行を開始します。

リセット要因には以下の 5 種類があります。

- 電源リセット(電源投入または低電圧)
- RSTX 端子経由の外部リセット要求
- クロック停止検出
- ソフトウェアリセット要求
- ウォッチドッグタイマのオーバフロー

### ■ リセット要因

リセット要因を表 1-1 に示します。

表 1-1 リセット要因

リセットの種類	要因	リセット解除後のシステムクロック(CLKS1および CLKS2)	モード端子設定の読出し	RAM の内容
電源	電源が投入された場合または $V_{CC}$ が低電圧リセットの検出電圧 (CILCR レジスタの LVL) を下回った場合。検出電圧については、データシートの「低電圧検出機能の特性」を参照してください。	RC クロック (CLKRC)	あり	保証されない
外部端子	RSTX 端子への L レベル入力			保持される*
クロック停止検出	外部発振器の故障		なし	保証されない
ソフトウェア	リセット構成レジスタ(RCR)の SRSTG ビットに"1"が書き込まれる			保持される*
ウォッチドッグタイマ	ウォッチドッグタイマのオーバフロー			

\*: アドレス  $7FFA_H \sim 7FFF_H$  のバイトを除く。

それぞれのリセット後、汎用レジスタ(GPR)のバンク 00, 01 内、ならびにアドレス  $7FFA_H \sim 7FFF_H$  のレジスタの内容は未定義になります。それ以外の汎用レジスタ(GPR)の内容は、電源リセットおよびクロック停止検出リセットでは未定義になり、外部端子によるリセットおよびソフトウェアリセット、ウォッチドッグタイマリセットでは、保持されます。

それぞれのリセットが発生した後、MCU は公称 2MHz に設定された RC クロックで動作します。

## ● 電源リセット

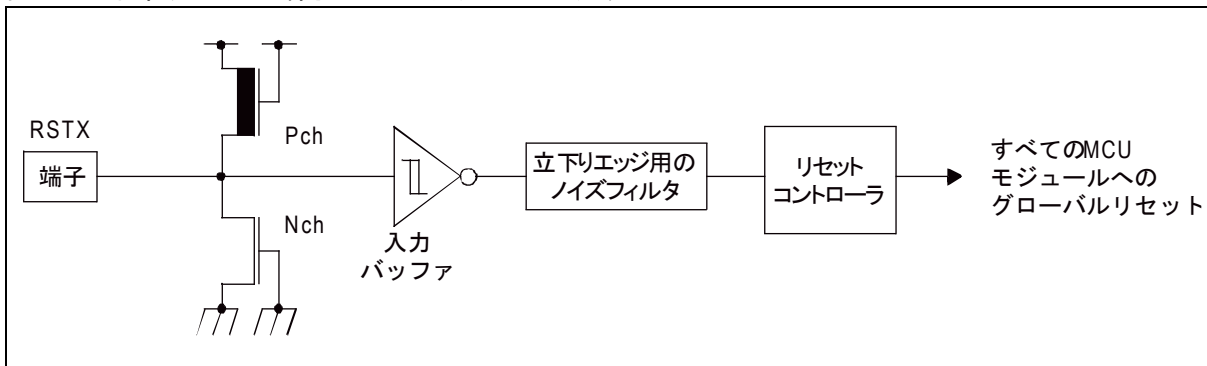
電源リセットが発生するのは、データシートに記載されたパワーオン立ち上がり時間に電源が投入された場合(「パワーオンリセットタイミング」) または電源  $V_{CC}$  が CILCR レジスタの LVL ビットに記載された検出電圧を下回っていることを低電圧検出器が検出した場合です。検出電圧については、データシートの「低電圧検出機能の特性」を参照してください。リセット延長回路によって電源リセットが内部で延期される時間は、最低 200 RC クロックです。

## ● 外部端子リセット

外部端子リセットは、外部リセット端子(RSTX 端子)への L レベル入力によって発生します。リセット延長回路によってこの信号が内部で延期される時間は、最低 200 RC クロックです。

外部リセットは非同期であるため、デバイスの同期がとられているかどうかに関係なく、アサート後にほとんど遅延なく(10 ns 程度) 有効になります。アドレス 7FFA<sub>H</sub>~7FFF<sub>H</sub>を除き、内部 RAM の内容は維持されます。

図 1-1 外部リセット端子のブロックダイアグラム



## ● クロック停止検出リセット

クロック停止検出リセットは、現在の動作モードとリセット構成レジスタ(RCR)の設定に応じてメインクロック発振器またはサブクロック発振器のどちらかが故障した場合に発生します。詳細は、「5. クロック停止検出機能およびリセットの動作」を参照してください。

クロック停止検出リセットが発生した後、内部 RAM の内容とリセットされていないレジスタ(初期値"X")の内容は保証できません。

## ● ソフトウェアリセット

ソフトウェアリセットは、リセット構成レジスタ(RCR)の SRSTG ビットに"1"を書き込むことによって生成される内部リセットです。アドレス 7FFA<sub>H</sub>~7FFF<sub>H</sub>を除き、内部 RAM の内容は保持されます。

## ● ウォッチドッグタイマリセット

ウォッチドッグタイマリセットが発生するのは、ウォッチドッグタイマが起動した後、決められた期間内にクリアされなかった場合です(『ウォッチドッグタイマとウォッチドッグリセット』の章を参照してください)。アドレス 7FFA<sub>H</sub>~7FFF<sub>H</sub>を除き、内部 RAM の内容は保持されます。

---

### <注意事項>

それぞれのリセット後、汎用レジスタ(GPR)のバンク 00, 01 内、ならびにアドレス 7FFA<sub>H</sub>~7FFF<sub>H</sub>のレジスタの内容は未定義になります。それ以外の汎用レジスタ(GPR)の内容は、電源リセットおよびクロック停止検出リセットでは未定義になり、外部端子によるリセットおよびソフトウェアリセット、ウォッチドッグタイマリセットでは、保持されます。

---

### <注意事項>

リセット時、すべての端子状態は Hi-Z 状態になります。『スタンバイモードおよび電圧レギュレータ制御回路』の章の表 5-1 を参照してください。

---

## 2. リセット, システムクロック, および安定待ち時間

F<sup>2</sup>MC-16FX ファミリには 5 種類のリセット要因があります。システムクロック(CLKS1 と CLKS2) は、リセットが発生するごとに RC クロックに設定されます。安定待ち時間は、リセット要因とリセット発生時の RC 発振器の状態によって異なります。

### ■ リセット要因と安定待ち時間

それぞれのリセット要因に適用される安定待ち時間を表 2-1 にまとめてあります。

表 2-1 リセット要因と安定待ち時間

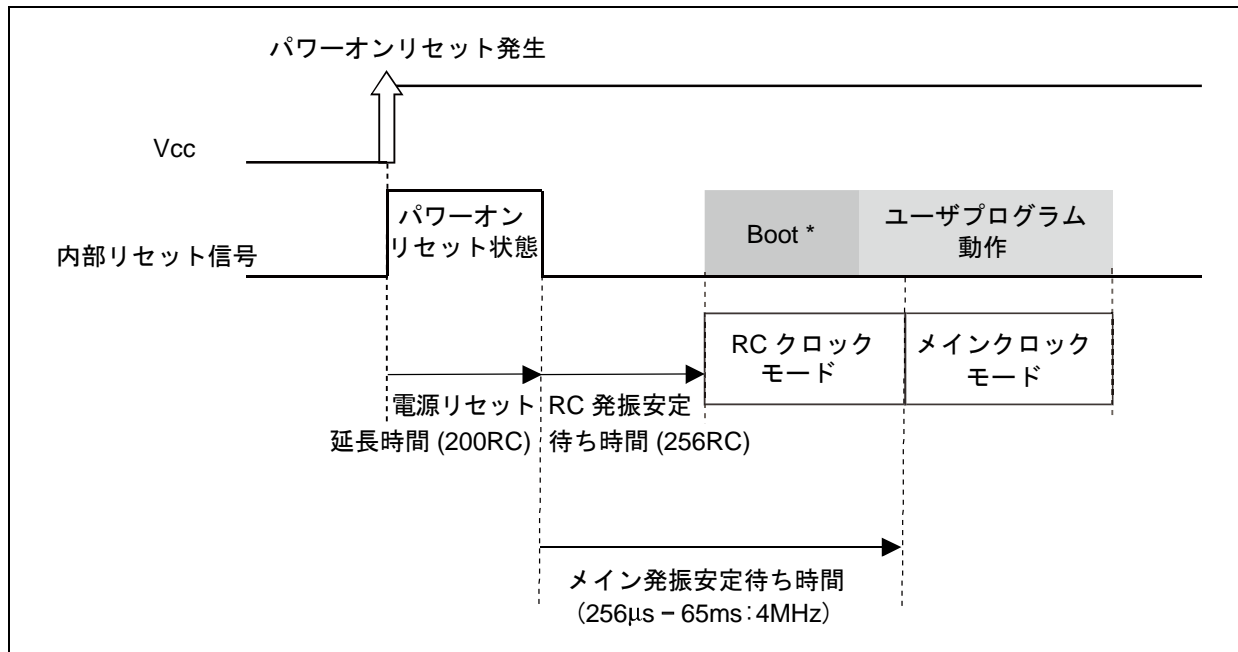
リセット要因	安定待ち時間
電源リセット	200 RC クロックサイクルの電源リセット延長時間(公称 2MHz RC クロック周波数で約 100 $\mu$ s)+RC 発振安定待ち時間(データシートの「内蔵 RC 発振規格」を参照してください)。この待ち時間は、有効な電源(外部電圧および内部電圧)に到達した後に始まります。
外部リセット	200 RC クロックサイクルの外部リセット延長時間(公称 2MHz RC クロック周波数で約 100 $\mu$ s)+RC 発振安定待ち時間(データシートの「内蔵 RC 発振規格」を参照してください)。外部リセット延長時間は RSTX 入力信号の立下りエッジで既に始まりますが、RC 発振安定待ち時間は RSTX 解除後または外部リセット延長時間後(MAIN_RST 解除後、図 3-2)に始まります。
クロック停止検出リセット	RC 発振安定待ち時間が適用されます(データシートの「内蔵 RC 発振規格」を参照してください)。
ソフトウェアリセット	
ウォッチドッグタイマリセット	

リセットが発生するごとに RC 発振器およびメイン発振器が起動し、PLL が停止し、クロック安定化選択レジスタ(CKSSR)がリセットされます。サブ発振器の動作はリセットの種類によって異なります。

電源リセットまたは外部リセットが発生すると、クロック準備完了モニタビットがすべてクリアされ、サブ発振器が停止します。RCBA:SOCM マーカの設定によっては、サブ発振器がブート ROM プログラムによって起動されます。

それ以外のリセットが発生した場合は、PLL および RC クロック準備完了モニタビットだけがクリアされ、メインおよびサブクロック準備完了モニタビットはクリアされません。ただし、メインクロック停止検出リセットが発生した場合、メインクロックモニタビットはクリアされます。また、サブクロック停止検出リセットが発生した場合、サブクロックモニタビットはクリアされます。動作中のクロックはそのまま動作を続け、非動作中のクロックは起動してから、CKSSR レジスタに定義された安定待ち時間が経過した後に準備完了状態になります(RCBA:SOCM マーカによって事前に起動されていた場合はサブ発振器も含む)。選択されたクロックと発振安定待ち時間の詳細は、『クロック』の章を参照してください。

## ■ 電源リセット発生時の安定待ち時間



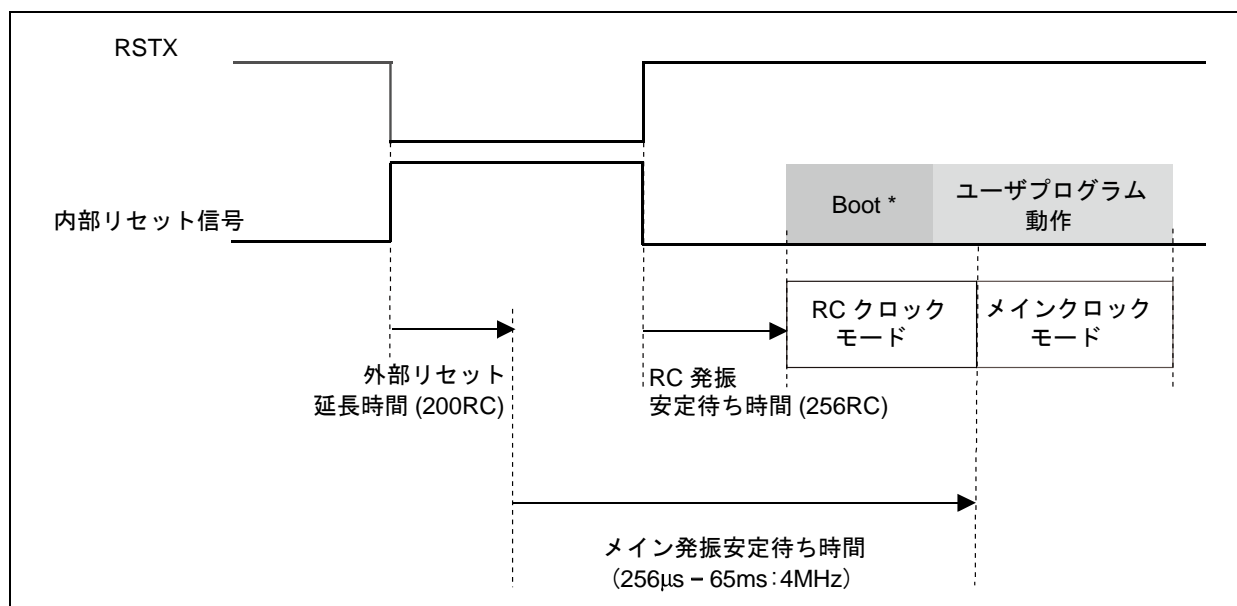
\*: OCD チップリセットシーケンスの詳細については、『オンチップデバッグ』の章の表 3-1 と図 3-2 を参照してください。ユーザプログラム実行開始 時間の短縮のために USART スキャン処理 ( $2^{19}$  RC:2MHz)を禁止できます。

## ■ 外部リセット発生時の安定待ち時間

外部リセット発生時の安定待ち時間は、リセット延長時間と RC 発振安定待ち時間の 2 部で構成されます。外部リセット延長時間は RSTX(立下りエッジ)のアサートからカウントが開始され、RC 発振安定待ち時間は RSTX の解除からカウントが開始されます。このため、プログラム実行の開始は、以下に示すように RSTX のアサート時間によって異なります。

### ● 200 RC クロック超過でアサートされた外部リセット

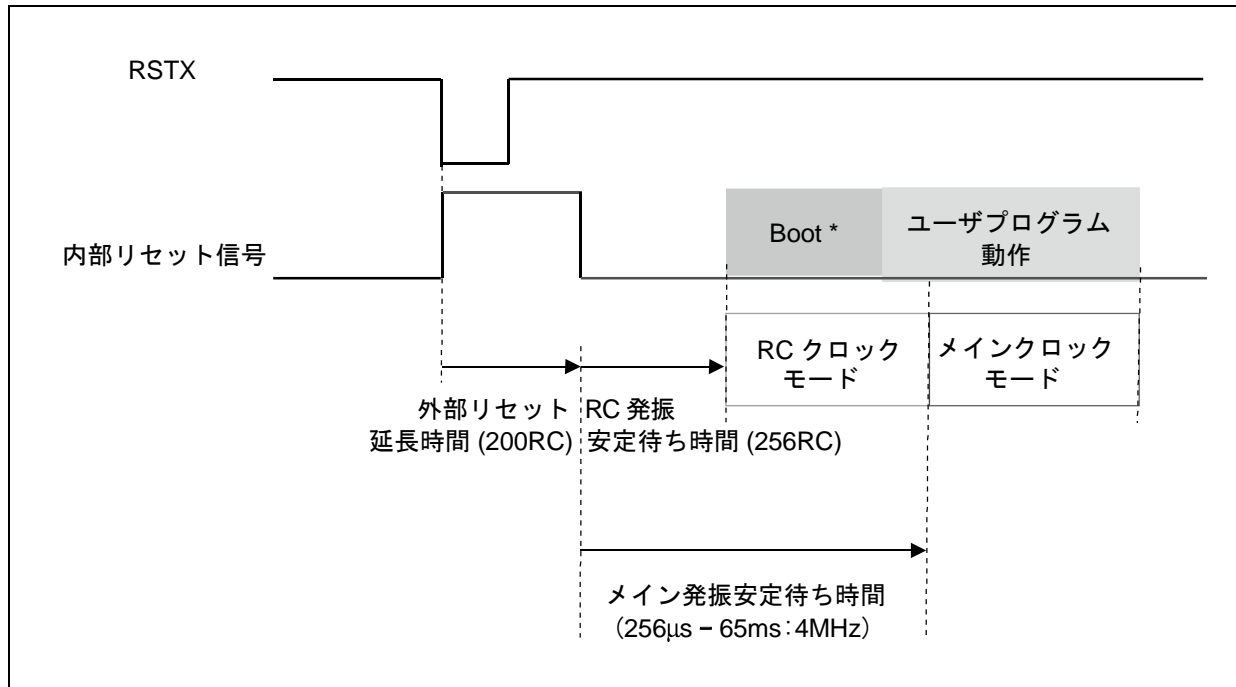
この場合は、リセット延長時間が既に満了しています。このため、CPU は外部リセットが解除されてから RC 発振安定待ち時間が経過した後にブート ROM プログラムの実行を開始します。



\*: **OCD** チップリセットシーケンスの詳細については、『オンチップデバッグ』の章の表 3-1 と図 3-2 を参照してください。ユーザプログラム実行開始 時間の短縮のために **USART** スキャン処理 ( $2^{19}$  RC:2MHz)を禁止できます。

### ● 200 CR クロック未満でアサートされた外部リセット

この場合は、リセット延長時間がまだ満了していません。このため、CPU でのブート ROM プログラムの実行は、リセット延長時間と RC 発振安定待ち時間が満了するまで延期されます。



※: OCD チップリセットシーケンスの詳細については、『オンチップデバッグ』の章の表 3-1 と図 3-2 を参照してください。ユーザプログラム実行開始 時間の短縮のために USART スキャン処理 (2<sup>19</sup> RC:2MHz)を禁止できます。

### ■ メイン発振器の安定

メイン発振安定待ち時間セクタの初期値は 2<sup>18</sup>/メインクロック (MCST[2:0] = 111<sub>B</sub>) に設定されます。この値は、ユーザプログラム実行の開始直後に上書きできます (MCU が RC クロックモードでまだ動作している場合)。使用している発振器に適した値を選択してください。

メイン発振安定待ち時間の測定に使用されるのは、電源リセットまたは外部リセットのリセット延長時間が満了した時点でカウントを開始するメインクロックカウンタです。このため、200 RC クロック未満で RSTX がアサートされる場合は、RSTX がまだアサート中であっても既にメイン発振安定待ち時間に入っています。

これによって、RSTX でメイン発振安定待ち時間を制御することが可能です。メイン発振器が安定した後に RSTX を解除し、MCST[2:0] を既に満了している値に設定します。ただし、(MCE ビットに書き込むか、ストップモードに入ることによって) メイン発振器を非動作にする前に、MCST[2:0] ビットに適切な値を書き込む必要があります。この理由として、この値はメイン発振器の再起動後に使用されるからです。

### ■ サブ発振器の安定

サブ発振安定待ち時間セクタの初期値は 2<sup>16</sup>/サブクロック (SCST[1:0] = 11<sub>B</sub>) に設定されます。この値は、ユーザプログラム実行の開始直後に上書きできます (MCU が RC クロックモードでまだ動作している場合)。使用している発振器に適した値を選択してください。

サブ発振安定待ち時間の測定に使用されるのは、ブート ROM プログラムによって発振器が起動した後でカウントを開始するサブクロックカウンタです。

### 3. 電源リセットおよび外部リセット後のスタートアップ

電源リセットまたは外部リセットイベントが発生すると、MCU は電源と RC 発振器が安定するまで待機します。この後、MCU は RC クロックをクロックソースとしてブート ROM プログラムの実行を開始します(RC ランモード)。

別のクロックモード(メインクロック, PLL クロック, またはサブクロック)に移行できるのは、それぞれのクロックが安定した後です。外部発振器の安定待ち時間は、接続されている発振器の特性に合わせて調整できます。

#### ■ スタートアップ後の初期化

スタートアップ後、すべてのレジスタを初期状態にするには MCU をリセットする必要があります。これには、外部リセットを適用する方法と電源リセット機能を使用する方法があります。

#### ● 外部リセットによる初期化

電源投入時または投入後に RSTX 入力を L レベルにすることにより、MCU 全体が初期化されます。リセット延長時間および安定待ち時間が後述のとおりに適用されます。

#### ● 電源リセットによる初期化

電源リセット機能を使用することによって、外部リセットをアサートせずに MCU を起動することもできます。

電源投入後、オンチップ電源投入検出器によってリセットパルスが生成されます。さらに、低電圧検出器が起動し、電源電圧レベルがデフォルトしきい値(レベル 0)に達するまで MCU をリセット状態に維持するリセット機能が起動します。

リセット延長時間および安定待ち時間が後述のとおりに適用されます。

#### ■ リセット延長

電源リセットおよび外部リセットイベントは、プログラムの実行が開始されるまで、電圧調整器と電圧比較器の安定を保証するためにリセット延長回路によって延長されます。

リセット延長カウンタは、RSTX 入力端子の立下りエッジ、電源投入検出器および低電圧リセットで初期化される 8 ビットのカウンタです。RC クロック CLKRC によって同期がとられます。

このカウンタは、RSTX 入力端子の最後の立下りエッジ後、あるいは最後の電源投入または低電圧イベントが解除された後、200 RC クロックの間だけ内部リセット信号をアクティブ状態のまま維持します。リセット出力信号"MAIN\_RST"が非アクティブになるのは、少なくとも 200 RC クロック(公称 2MHz RC クロック周波数で約 100μs)の間に電源が安定していた場合です。

200 超過の RC クロックで RSTX がアサートされた場合、このリセット延長は適用されません。

リセット延長回路のブロックダイアグラムを図 3-1 に示し、外部リセット延長機能のタイミングダイアグラムを図 3-2 に示します。



図 3-1 リセット延長回路のブロックダイアグラム

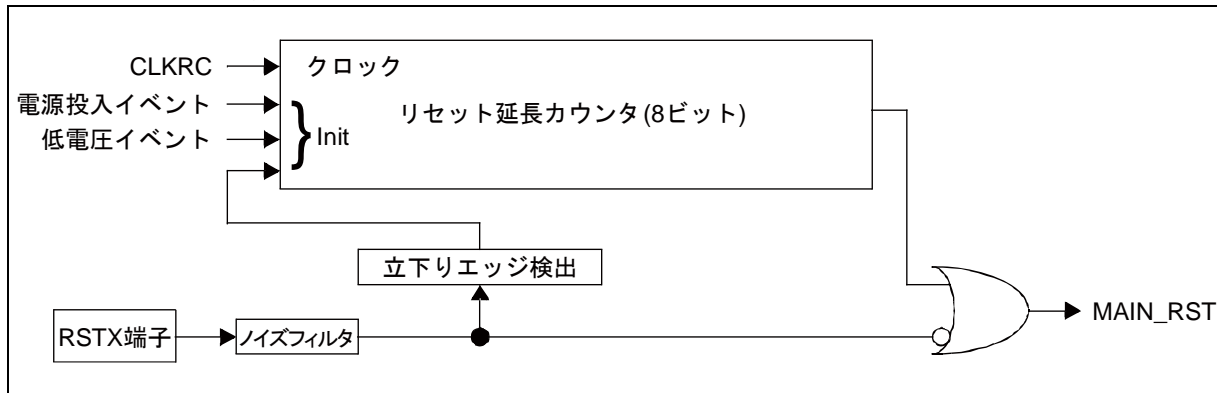
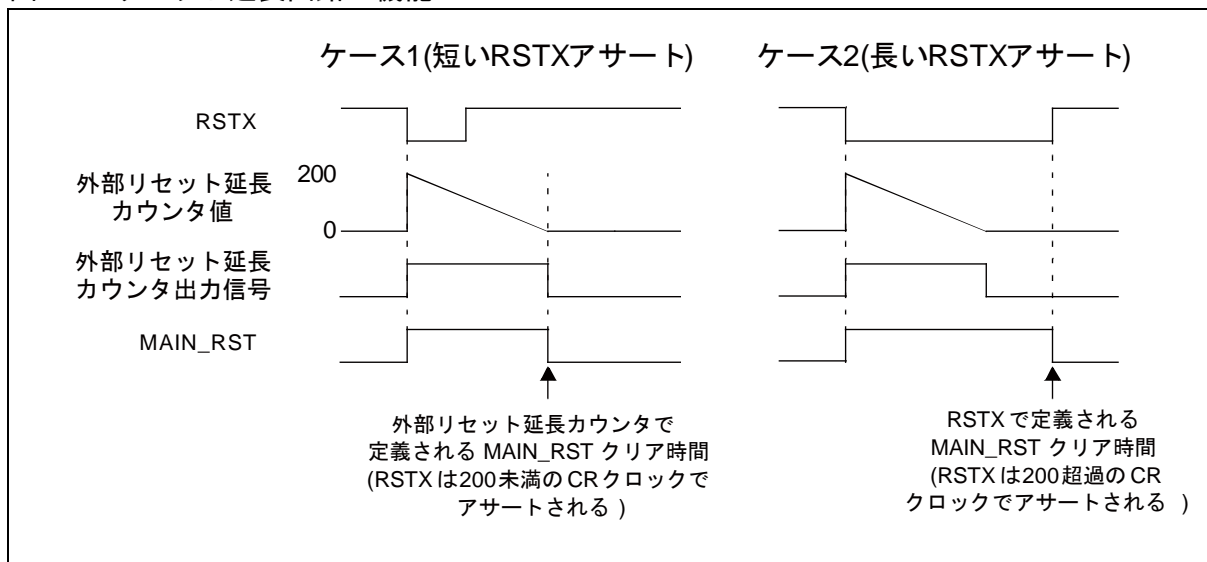


図 3-2 リセット延長回路の機能



## ■ ソースクロックタイマとクロック準備完了モニタビット

ソースクロックタイマ(RCクロックタイマ、メインクロックタイマおよびサブクロックタイマ)とクロックモニタビット(RCM、MCM、PCMおよびSCM)はすべて電源リセットまたは外部リセットイベントでクリアされますが、RC発振器とメイン発振器は許可されます。サブ発振器とPLLは禁止されます。

### ● RCクロックタイマ、サブクロックタイマ、RCMビット、およびSCMビット

RCクロックタイマとサブクロックタイマはMAIN\_RSTでクリアおよび停止されます。このため、MAIN\_RSTがアクティブである限り、RCクロック準備完了モニタビットRCMとサブクロック準備完了モニタビットSCMはセットされません。RCクロックタイマは、MAIN\_RSTが解除された時点でカウントを開始します。サブクロックタイマは、ブートROMプログラムによってサブ発振器が許可された時点でカウントを開始します。

### ● メインクロックタイマとMCMビット

メインクロックタイマのクリアと停止は、外部リセットまたは電源リセット延長時間の間にのみ行われます。このため、メインクロックタイマは、RSTX立下りエッジの後に200RCクロックで起動するか、また

は電源投入/低電圧イベントが解除された後に 200 RC クロックで起動します。したがって、RSTX がまだアサート中の場合でもメイン発振安定待ち時間に入ります。

### ● PCM ビット

PLL は常に禁止されており、PLL クロック準備完了モニタビット PCM はリセットでクリアされます。ユーザプログラムが起動した後にソフトウェアで PLL を許可する必要があります。

### ■ 電源リセットまたは外部リセットが発生した後でのプログラム実行の開始

RC クロックタイマは、MAIN\_RST が非アクティブ状態になった時点でカウントを開始します。RC 発振安定待ち時間が経過すると、RC クロック準備完了モニタビット RCM が設定され、CPU 用の内部リセット信号が解除されます。リセットが解除された後、CPU は必ず、RC クロック周波数が公称 2MHz に設定された RC クロックモードに入り、ブート ROM プログラムの実行を開始します。

低電圧検出レベル(CILCR レジスタの LVL ビット)は、指定された最小限の Vcc 電源で MCU を起動できる範囲で最も高い値に初期化されます。より高い検出値を必要とするなら、それに従って、レジスタ値を変えることができます。

詳細は、「2. リセット、システムクロック、および安定待ち時間」を参照してください。

### ■ メインクロックモードへの移行

メインクロックモードに移行するには、CKSR レジスタのシステムクロック選択ビットへの書込みを行います。

ただし、メインクロックモニタビット MCM("1"に設定されている)に示されたメインクロックが安定するまで移行が延期されます。

メイン発振器の安定待ち時間は、「2. リセット、システムクロック、および安定待ち時間」に記載されているように、CKSSR: MCST[2:0]ビットで定義します。

---

### <注意事項>

高速外部クロック入力機能を使用する際、メインクロックモードに切り換わる前に、CILCR レジスタの FCI ビットを"1"に設定してください。発振端子の入力特性についてデータシートの「メインクロック入力規格」を参照してください。

---

### ■ PLL クロックモードへの移行

PLL はソフトウェアで構成および許可する必要があります。PLL が起動した後およびメインクロック(MCM=1)が安定した後で PLL 安定待ち時間に入ります。

PLL クロックモードに移行できるのは、PLL クロック準備完了モニタビット PCM が設定されている場合です。

RC クロックモードから PLL クロックモードに直接切り換えることもメインクロックモードを経由して切り換えることも可能です。

### ■ サブクロックモードへの移行

電源リセットまたは外部リセット後、構成マーカによって制御されるブート ROM プログラムによってサブ発振器が許可されます。この動作後にサブクロック安定待ち時間が始まります。

サブ発振器の安定待ち時間は、サブクロックモニタビット SCM が"1"のときに設定された CKSSR: SCST[1:0]によって決まります。サブクロックモードへの移行は、SCM が"1"に設定されるまで延期されます。

## 4. ブート ROM プログラムの実行と動作モード、およびROM 構成ブロック

リセット信号が解除されると、MCU は内部のブート ROM プログラムの実行を開始します。ブート ROM プログラムは、MCU の動作モードを定義する特定の端子の状態を読み出します。端子の設定に従って、MCU はパラレルフラッシュ書込みモード、シリアル通信モードの起動あるいはユーザプログラムの実行を開始します。

MCU 動作モードの起動後、フラッシュ/ROM内のいわゆるROM構成ブロックに保存された構成によって、ブート ROM プログラムの今後の実行が定義されます。またこれによって、ブートベクタ(ユーザプログラムの開始アドレス)も決定されます。

ブート ROM プログラムはこのブートベクタからユーザプログラムの実行を開始します。

### ■ 外部バス

外部バスインタフェースを搭載したデバイスでは、外部メモリからブートベクタを読み出すことはできません。MCU は常に、内部ベクタモードで起動する必要があります。

### ■ モード端子

MCU の動作モードは以下の 3 つの端子によって制御できます。

- ・ モード端子"MD"を"0"に設定することで、内部ベクタモードまたはシリアル通信モードを選択できます。パラレルフラッシュ書込みモードを選択するときのみ"1"に設定します。
- ・ オンチップデバッグシステムの端子"DEBUG I/F"では、内部ベクタモードかシリアル通信モードかを選択します。パラレルフラッシュ書込みモードを選択するときにもこの端子を設定する必要があります。
- ・ 追加の端子"P17\_0"は、パラレルフラッシュ書込みモードを選択するときのみ設定する必要があります。この端子は汎用 I/O ポートと共有されます。どのポートがこの機能と共有されるかについては、データシートの「端子配列図」を参照してください。

表 4-1 モード端子の設定

モード端子の設定			動作モード名	ブートベクタのソース	備考
MD	P17_0	DEBUG I/F			
0	x	0	シリアル通信モード	-	シリアルフラッシュ書込みに使用
0	x	1	内部ベクタモード	内部メモリまたは固定値	すべてのデバイスに使用可能
1	0	0	予約(テストモード)	-	
1	0	1	予約(テストモード)	-	
1	1	0	予約(テストモード)	-	
1	1	1	パラレルフラッシュ書込みモード	-	フラッシュデバイスにのみ使用可能

これら3つの端子の設定は内部的にサンプリングされ、電源リセットまたは外部リセットによってのみ変更します。(図3-1で定義された信号 **MAIN\_RST** が停止されたときに、モード端子のデータがサンプリングされます)。したがって、動作モードはクロック停止検出、ソフトウェアあるいはウォッチドッグタイマリセットでは変更できません。

サンプリングされたモード端子信号はリセット解除後にブート ROM プログラムで読み出され、これによって動作モードが決定されます。

## ■ 動作モード

### ● 内部ベクタモード(MD=0, DEBUG I/F=1)

内部ベクタモードとは、FF:FFDC<sub>H</sub>またはDF:0040<sub>H</sub>にある内部メモリからブートベクタ(ユーザプログラムの開始アドレス)の読出しが行われる CPU 実行モードです。

電源リセットまたは外部リセット(MAIN\_RST) 終了からユーザプログラム開始までに、ブート ROM は一時的に、シリアル通信モードにあるような外部通信要求に対して専用 USART チャンネルをスキャンします。ROM 構成ブロック内に USART スキャン停止マーカが設定されている場合、必要に応じてこのスキャン処理を禁止できます。

内部ベクタモードはすべての MCU タイプで利用します。

### ● シリアル通信モード(MD=0, DEBUG I/F=0)

本モードによって、シリアル通信リード/ライトコマンドにより任意のメモリアドレスの書込みと読出しが可能です。内部フラッシュのプログラミングは RAM の小さなプログラムを実行することで可能です。

専用リード/ライトコマンドにかかわらず、内部 RAM エリア 0x7C00~0x7FFF はほかのコマンドによっても変わることがあります。

フラッシュのセキュリティ機能が許可されている場合、正しいセキュリティキーの送信後に書込みや読出しができます。

詳細については、『デュアルオペレーションフラッシュメモリ』の章と『フラッシュセキュリティ』の章を参照してください。

### ● パラレルフラッシュ書込みモード(MD=1, P17\_0=1, DEBUG I/F=1)

本モードによって、パラレルフラッシュプログラマ上での内部フラッシュの書込みが可能です。本モードはフラッシュデバイスでのみ利用可能です。

詳細については、『デュアルオペレーションフラッシュメモリ』の章を参照してください。

### ● テストモード(MD=1, P17\_0 または DEBUG I/F=0)

本モードはテスト機能用に予約されています。

## ■ ROM 構成ブロック(RCB)

ROM 構成ブロックは、フラッシュ A/ROM およびフラッシュ B(存在する場合) 内の固定領域であり、ユーザにブート ROM の動作が構成できるようにします。指定された構成データ以外は、ユーザプログラムでプログラム用に割り当ててはいけません。

ROM 構成ブロック A(RCBA)は、アドレス DF:0000<sub>H</sub>~DF:01FF<sub>H</sub>(フラッシュ A または ROM の開始アドレス)に置かれています。ROM 構成ブロック B(RCBB)は、アドレス DE:0000<sub>H</sub>~DE:002F<sub>H</sub>(存在する場合はフラッシュ B の開始アドレス)に置かれています。これらはブート ROM によって読み出され、処理されます。フラッシュメモリの書込みや消去の内容を設定し、変更できます。

RCBA および RCBB は帰属するフラッシュ/ROM のセキュリティ設定を構成します。さらに、RCBA にはブートシーケンス構成ブロックとデバッグ ROM 構成ブロックも含まれています。

表 4-2 ROM 構成ブロック A(RCBA)の構造

オフセット	サブブロック	マーカ	備考
00 <sub>H</sub> ～01 <sub>H</sub>	セキュリティ保護構成ブロック (SPCB)	MSBA	9999 <sub>H</sub> によるフラッシュ A/ROM 保護, FFFF <sub>H</sub> によるアクセス許可
02 <sub>H</sub> ～11 <sub>H</sub>		MSUKA	保護済みフラッシュ A/ROM 用解除キー。「すべて FF <sub>H</sub> 」によるアクセス許可
12 <sub>H</sub> ～1B <sub>H</sub>		予約	
1C <sub>H</sub> ～1F <sub>H</sub>		FWPAMA	292D3A7B <sub>H</sub> によるフラッシュ書込み保護の起動
20 <sub>H</sub> ～25 <sub>H</sub>		FWPSMA	フラッシュ書込み保護用のセクタ選択
26 <sub>H</sub>		NMIRELM	
27 <sub>H</sub>		NMICTRLM	
28 <sub>H</sub> ～29 <sub>H</sub>		予約	
2A <sub>H</sub> ～2B <sub>H</sub>		TBRM	
2C <sub>H</sub> ～2F <sub>H</sub>		予約	
30 <sub>H</sub> ～33 <sub>H</sub>	ブートシーケンス構成ブロック (BSCB)	ABVAM	292D3A7B <sub>H</sub> による内部ベクタモードでの代替ブートベクタの選択
34 <sub>H</sub> ～37 <sub>H</sub>		USDM	292D3A7B <sub>H</sub> による内部ベクタモードでの USART スキャンの停止
38 <sub>H</sub>		予約	
39 <sub>H</sub>		予約	
3A <sub>H</sub>		SOCM	サブ発振器構成
3B <sub>H</sub>		LVDRLM	LVD リセットロック
3C <sub>H</sub>		WICM	
3D <sub>H</sub> ～3F <sub>H</sub>		予約	
40 <sub>H</sub> ～43 <sub>H</sub>	ブートベクタ	ABVA	代替ブートベクタアドレス
44 <sub>H</sub> ～55 <sub>H</sub>	-	予約	
56 <sub>H</sub>	OCD 構成ブロック (OCDCB)	BMM	高速スタートアップ設定(『オンチップデバッグ』の章の「3.2.1. チップリセットシーケンス」を参照してください。)
57 <sub>H</sub>		予約	
58 <sub>H</sub> ～75 <sub>H</sub>		PWL	OCD セキュリティ機能(『オンチップデバッグ』の章の「3.2.3. セキュリティ機能」を参照してください。)
76 <sub>H</sub> ～87 <sub>H</sub>		PMM	DEBUG I/F ポート制御(『オンチップデバッグ』の章の「3.2.4. DEBUG I/F ポート制御」を参照してください。)
88 <sub>H</sub> ～1FF <sub>H</sub>		予約	

表 4-3 ROM 構成ブロック B(RCBB)の構造

オフセット	サブブロック	マーカ	備考
00 <sub>H</sub> ～01 <sub>H</sub>	セキュリティ保護構成ブロック (SPCB)	MSBB	9999 <sub>H</sub> によるフラッシュ B 保護, FFFF <sub>H</sub> によるアクセス許可
02 <sub>H</sub> ～11 <sub>H</sub>		MSUKB	保護済みフラッシュ B 用解除キー。「すべて FF <sub>H</sub> 」によるアクセス許可
12 <sub>H</sub> ～1B <sub>H</sub>		予約	
1C <sub>H</sub> ～1F <sub>H</sub>		FWPAMB	292D3A7B <sub>H</sub> によるフラッシュ書き込み保護の起動
20 <sub>H</sub> ～25 <sub>H</sub>		FWPSMB	フラッシュ書き込み保護用のセクタ選択
26 <sub>H</sub> ～1FF <sub>H</sub>		予約	

## ■ RCB マーカの機能説明

### ● セキュリティ保護構成ブロック (SPCB)

読出しセキュリティ機能はフラッシュ ROM 内容の不正読出しを防止し、内部ベクタモードでのアプリケーションによる読出しアクセス以外すべてのケースを対象とします。

詳細については、『フラッシュセキュリティ』の章の「2. 使用方法」を参照してください。書き込み保護機能は、内部ベクタモードでのアプリケーションによる意図的でないフラッシュメモリの書き込みを防止します。

詳細については、『デュアルオペレーションフラッシュメモリ』の章の「6.8. セクタ消去/書き込み保護」を参照してください。

### NMI 端子のリロケーション設定

デバイスによって NMI 端子はリロケーション端子の設定が必要となります。

NMI リロケーション制御マーカを 55<sub>H</sub>に設定することによってリセット後に NMI\_R 端子を使用できます。

図 4-1 NMI リロケーション制御マーカ

アドレス:	bit	7	6	5	4	3	2	1	0
DF0026 <sub>H</sub> : NMIRELM									

- ・ NMIRELM = 55<sub>H</sub>:NMI 端子はリロケートされた NMI\_R 端子を使用します。  
また、同時に周辺リソース端子リロケーションレジスタ (PRRR7) の NMI\_R ビットを"1"に設定します。
- ・ NMIRELM = その他すべての値:NMI 端子を使用します。

### <注意事項>

NMI\_R 端子が存在しないデバイスは 55<sub>H</sub>に設定しないでください。

### NMI 端子信号アクティビティレベルの設定

NMI 端子は汎用 I/O ポートと共有されます。リセット後、ブート ROM プログラムによって汎用 I/O ポートあるいは NMI 端子を選択でき、アクティビティレベルを設定することができます。

図 4-2 NMI アクティビティレベル制御マーカ

アドレス:	bit	15	14	13	12	11	10	9	8
DF0027 <sub>H</sub> : NMICTRLM									

NMICTRLM の値に応じて以下のいずれかの動作モードが選択されます。

- ・ NMICTRLM = 55<sub>H</sub>:NMI 端子のアクティビティレベルを負論理入力とし、リセット後は NMI 端子機能として使用できます。  
また、同時に NMI 制御ステータスレジスタの LEV ビットを"0"に、EN ビットを"1"に設定します。
- ・ NMICTRLM = AA<sub>H</sub>:NMI 端子のアクティビティレベルを正論理入力とし、リセット後は NMI 端子機能として使用できます。  
また、同時に NMI 制御ステータスレジスタの LEV ビットを"1"に、EN ビットを"1"に設定します。
- ・ NMICTRLM = その他すべての値:NMI 端子機能ではなく、汎用 I/O ポートとして起動します。

#### 割込みベクタテーブルベースレジスタ(TBR)の設定

リセット後に、ブート ROM プログラムによって割込みベクタテーブルベースレジスタ構成マーカ(TBRM)が読み出されます。

図 4-3 割込みベクタテーブルベースレジスタ(TBR) 構成マーカ

アドレス:	bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DF002A <sub>H</sub> : TBRM																	

このマーカの値は、リセットが発生するたびに TBR にコピーされ、割込みベクタテーブルのアドレスを決定します。詳細については『割込み』の章を参照してください。

ただし、NMICTRLM で 55<sub>H</sub> あるいは AA<sub>H</sub> が選択されない場合、このマーカは無効になります。

### ● ブートシーケンス構成ブロック(BSCB)

#### 代替ブートベクタの選択

内部ベクタモードでは、FF:FFDC<sub>H</sub> の代わりに代替位置 DF:0040<sub>H</sub> からブートベクタ(ユーザプログラムの開始アドレス)を読み出します。

図 4-4 代替ブートベクタ起動マーカの構成

アドレス																																			
DF0030 <sub>H</sub> : ABVAM0 (下位ワード)																																			
DF0032 <sub>H</sub> : ABVAM1 (上位ワード)																																			
ABVAM0	<table border="1"> <tr> <td>bit</td> <td>15</td><td>14</td><td>13</td><td>12</td><td>11</td><td>10</td><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td></td> <td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td> </tr> </table>	bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																	
bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																			
ABVAM1	<table border="1"> <tr> <td>bit</td> <td>15</td><td>14</td><td>13</td><td>12</td><td>11</td><td>10</td><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td></td> <td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td> </tr> </table>	bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																	
bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																			



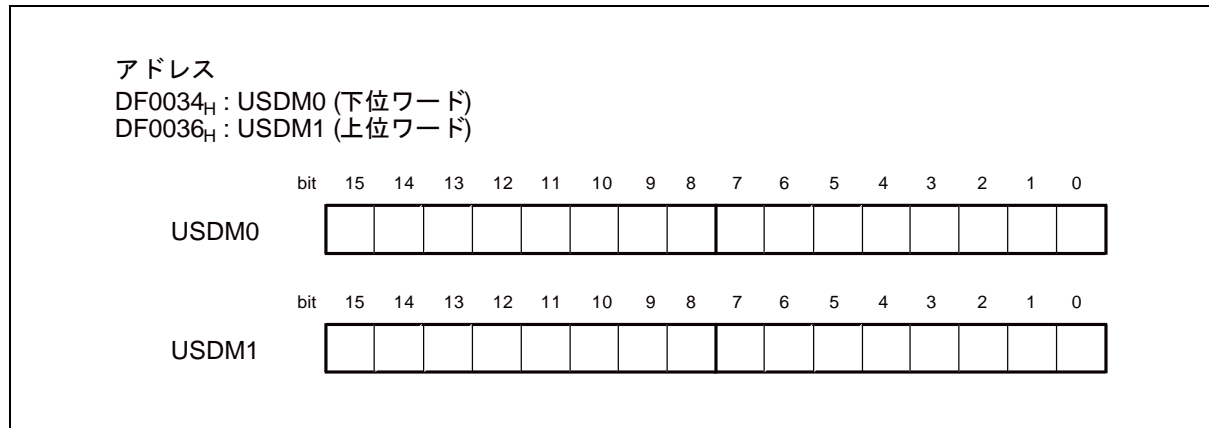
{ABVAM1, ABVAM0}の値が 292D3A7B<sub>H</sub>と同じ場合は、ブートベクタは DF:0040<sub>H</sub>から読み出されます。

{ABVAM1, ABVAM0}以外の値の場合は、ブートベクタはブートベクタ位置 FF:FFDC<sub>H</sub>から読み出されます。

### 一時的 USART スキャンの禁止

電源リセットまたは外部リセットおよび内部ベクタモードでの起動後、モード端子の設定を変更することなしに、シリアル通信モードにあるようなシリアル通信要求に対して、専用 USART チャンネルがスキャンされます。起動時間の短縮のために、このスキャン処理を禁止できます。

図 4-5 USART スキャン非起動マーカの構成



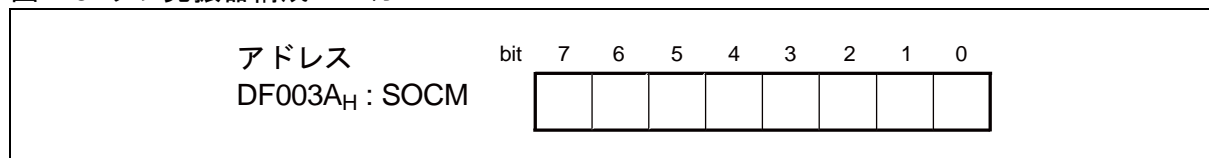
{USDM1, USDM0}の値が 292D3A7B<sub>H</sub>と同じ場合は、一時的な USART スキャンは行われません。

{USDM1, USDM0}以外の値の場合は、ブート ROM はメインリセット後の一定期間、専用 USART チャンネルをスキャンします。

### サブ発振器の起動

サブ発振器は汎用 I/O ポートと共有されます。電源リセットまたは外部リセット後は、発振器は禁止され、ブート ROM プログラムによってサブ発振器構成マーカ(SOCM)が読み出されます。

図 4-6 サブ発振器構成マーカ



SOCM の値に応じて以下のいずれかの動作モードが選択されます。

- ・ SOCM = 55<sub>H</sub>:サブ発振器が「発振モード」で起動します。X0A/X1A 端子に水晶発振器または発振器を接続する必要があります。
- ・ SOCM = AA<sub>H</sub>:サブ発振器が「外部クロック入力モード」で起動します。X0A 端子に外部クロックを接続する必要があります。X1A 端子は汎用 I/O ポートとして独立して使用します。
- ・ SOCM のその他すべての値:サブ発振器の機能は起動しません。X0A 端子と X1A 端子の両方を汎用 I/O ポートとして使用します。



### LVD リセット機能のロック

LVD リセットロックマーカ(LVDRLM)を 55<sub>H</sub>に設定することによって、低電圧検出器リセット機能を「アクティブ」状態にロックします。このマーカは電源リセットまたは外部リセット後に読み出されます。

図 4-7 LVD リセットロックマーカ

アドレス	bit	15	14	13	12	11	10	9	8
DF003B <sub>H</sub> : LVDRLM									

LVDRLM=55<sub>H</sub>の場合は、低電圧検出器がアクティブ状態にロックされます。この場合、RCR:LVDE ビットの設定は無視されます。また、RCR:LVRE ビットの設定とは関係なく低電圧リセット機能もアクティブになります。このため、LVD リセット機能がソフトウェアによって誤って禁止されることはありません。調整できるのは LVD しきい値レベルと LVD ヒステリシスのみです。

LVDRLM=55<sub>H</sub>以外の設定の場合は、LVD およびリセット機能が RCR:LVDE ビットと RCR:LVRE ビットによって制御されます。

### ウォッチドッグタイマのデフォルト間隔の設定

WICM マーカによってウォッチドッグタイマのデフォルト間隔が定義されます。

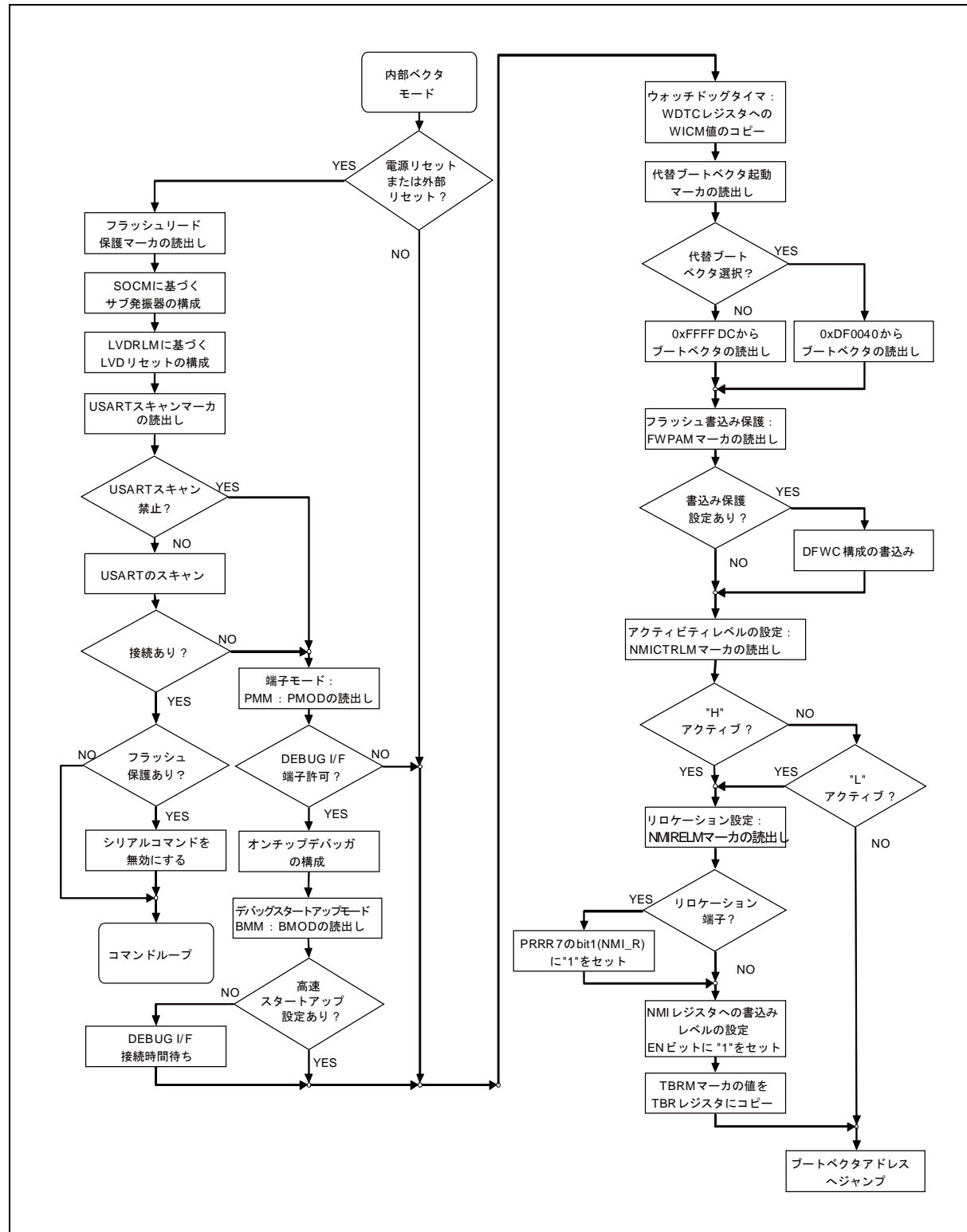
図 4-8 ウォッチドッグインターバル構成マーカ

アドレス	bit	7	6	5	4	3	2	1	0
DF003C <sub>H</sub> : WICM						WT13	WT12	WT11	WT10

このマーカの値は、リセットが発生するたびにウォッチドッグタイマの WDTC:WTI[3:0]にコピーされ、ウォッチドッグタイマのデフォルトの間隔長を定義します。詳細については、『ウォッチドッグタイマとウォッチドッグリセット』の章を参照してください。

# 内部ベクタモードのフローチャート

図 4-9 内部ベクタモードのブート ROM シーケンス



## 5. クロック停止検出機能およびリセットの動作

外部メインまたはサブ発振器の故障を検出するクロック停止検出回路の動作について説明します。

### ■ クロック停止検出回路の機能

クロック停止検出回路は、メインクロックとサブクロックの発振を監視します。選択された間隔内で監視対象クロックの立上りエッジが検出されなかった場合は、このクロックが許可されていても、対応するクロック欠落フラグが設定されます。この機能は、RC 発振器が許可されている限り常にアクティブになります。

MCU のハングアップを防止するために故障したクロックがシステムクロック CLKS1/CLKS2 またはウォッチドッグタイマとして現在使用されている場合は、別のクロック停止検出リセットをアサートできます。このリセットが発生すると、MCU は必ず RC クロックモードに切り換わります。このモードにある場合、CPU はリセット要因をチェックし、MCU を安全な状態に移せます。

### ■ クロック停止検出回路の構成

クロック停止検出回路には 3 つの構成ビットがあります。1 つはクロック停止リセット機能を許可するビットであり、それ以外の 2 つは検出間隔を選択するビットです。

#### ● クロック停止検出リセット許可ビット(RCR: CSDRE)

リセットが発生すると、CSDRE の初期値は"0"(クロック停止検出リセットが禁止される)になります。このビットを"1"に設定するとクロック停止検出リセット機能が許可され、"0"に設定すると禁止されます。ただし、CSDRE ビットへの書込みができるのは、システムクロック 1(CLKS1)が RC クロックに設定されている場合に限りです。

#### ● クロック停止検出間隔選択ビット(RCR: MCSDI および SCSDI)

クロックの欠落が検出されるのは、特定の区間内で監視対象クロックの立上りエッジが検出されなかった場合です。この区間は特定数の RC クロックであるため、選択された RC クロック周波数によって異なります。2 つのビットを使用して、該当する区間を選択し、選択された RC クロック周波数と監視対象外部クロック周波数に合わせて監視時間を調整します。

表 5-1 クロック停止検出間隔

監視対象 クロック	選択 ビット	設定	クロック停止検出間隔		
			RC クロック [カウント数]	1~4MHz の RC クロック周 波数に要する時間 (最小値-最大値)/(最小外部 周波数)	50~200kHz の RC クロック 周波数に要する時間 (最小値-最大値)/(最小外部 周波数)
メイン クロック	MCSDI	0(初期値)	6~8	1.5μs - 8μs / (~700kHz)	30μs - 160μs / (~35kHz)
		1	3~4	0.75μs - 4μs / (~1.4MHz)	15μs - 80μs / (~70kHz)
サブクロック	SCSDI	0(初期値)	384~512	96μs - 512μs / (~11kHz)	1.92ms - 10.2ms / (~0.55kHz)
		1	24~32	6μs - 32μs / (~170kHz)	12μs - 640μs / (~8.5kHz)

最短時間を指定すると、監視対象クロックの2つの立上りエッジ間でこの時間が経過した後に停止検出が実行されます。最長時間を指定すると、この時間が経過した後にクロック停止が検出されます。最短時間は監視対象クロックの周期より長く設定してください(監視対象クロックの周波数は必ず表 5-1 に示された最小外部周波数より高くなければなりません)。

クロック停止検出機能の動作中に RC クロック周波数を変更してもかまいませんが、これによって検出間隔が変更されます。

## ■ クロック欠落フラグ MCMF と SCMF

メインクロック欠落フラグ MCMF はメインクロックの欠落を示し、サブクロック欠落フラグ SCMF はサブクロックの欠落を示します。

### ● 電源投入後の状態

電源リセット後にクロック欠落フラグ MCMF と SCMF は"1"に設定されます。

### ● クロック欠落フラグのクリア

MCMF ビットと SCMF ビットは、RCCSRC(アドレス 00040B<sub>H</sub>)への読出しによりクリアされます。

### ● クロック欠落フラグの設定

メインクロック停止検出回路が許可されるのは、RCクロックが動作中であり、かつメイン発振器がアクティブになっている場合です(アクティブの意味は、メインクロック許可ビット CKSR: MCE が"1"に設定されているか、またはメインクロックモニタビット CKMR: MCM が"1"に設定されていることです)。選択された間隔内でメインクロック入力信号の立上りエッジが検出されなかった場合は、メインクロック欠落フラグが"1"に設定されます。

サブクロック停止検出回路が許可されるのは、RCクロックが動作中であり、かつサブ発振器がアクティブになっている場合です(アクティブの意味は、サブクロック許可ビット CKSR: SCE が"1"に設定されているか、またはサブクロックモニタビット CKMR: SCM が"1"に設定されていることです)。選択された間隔内でサブクロック入力信号の立上りエッジが検出されなかった場合は、サブクロック欠落フラグが"1"に設定されます。

## ■ クロック停止検出リセット

システムクロック(CLKS1/CLKS2) またはウォッチドッグタイマ用のソースとして使用されているクロックの故障が検出されると、クロック停止検出リセット機能によってリセットが発生します。

### ● クロック停止検出リセットの許可

クロック停止検出リセットを許可するには、RCR: CSDRE ビットを"1"に設定します。

### ● クロック停止検出リセットの発生

以下の場合にクロック停止検出リセットが発生します。クロック停止検出リセット許可ビット CSDRE は必ず"1"(リセットが許可される)に設定しなければなりません。

- ・ メインクロックが安定しており(CKMR:MCM = 1)、かつシステムクロック CLKS1/CLKS2 またはウォッチドッグタイマとしてメイン/PLLクロックが使用されている状態でメインクロックの欠落が検出された。この場合には、MCRST(メインクロック停止検出リセット要因) ビットが設定され、リセットが発生します。
- ・ サブクロックが安定しており(CKMR:SCM = 1)、かつシステムクロック CLKS1/CLKS2 またはウォッチドッグタイマとしてサブクロックが使用されている状態でサブクロックの欠落が検出された。この場合には、SCRST(サブクロック停止検出リセット要因) ビットが設定され、リセットが発生します。
- ・ CKSR: RCE ビットに"0"(RCクロックが禁止される)が書き込まれた。この場合には、両方のクロック停止検出リセット要因ビットが設定され、リセットが発生します。クロック停止検出リセットが許可され

ている限り、RC クロックを禁止しないでください。

---

#### ＜注意事項＞

クロック停止検出リセットが発生するのは、故障したクロックがシステムクロック CLKS1 または CLKS2 またはウォッチドッグタイマとして使用されている場合だけです。故障したクロックが 1 つの周辺機能(メインクロックタイマ、サブクロックタイマなど)でのみ使用されており、システムクロックが別のクロックに設定されている場合は、リセットが発生しません。これによってシステムがハングアップする可能性がある場合は、復帰目的にウォッチドッグタイマを使用してください。

---

### ● クロック停止検出リセットの影響

クロック停止検出リセットが発生すると、グローバルリセット信号がアサートされ、対応するクロック停止検出リセット要因ビットが設定され、MCU がリセット状態に移されます。

また、クロック停止検出リセットによって、故障したクロックのソースクロックタイマとクロック準備完了モニタビットがクリアされます。

リセットが解除されると、MCU が RC クロックモードで再起動するため、リセット要因ビットの読出しが可能です。クロック停止検出をしたクロックに不安定な状態が続く場合、マイコン動作に影響を与える可能性があります。MCE ビットまたは SCE ビットを"0"に設定してリセット要因となったクロックを禁止することを推奨します。

クロック停止検出リセットが発生した後、内部 RAM の内容とリセットされていないレジスタ(初期値"X")の内容は保証できません。

## ■ クロック停止検出リセットおよびスタンバイモード

### ● スリープおよびタイマモード

クロック停止検出リセット機能はスリープモードとタイマモードで動作します。つまり、メインクロック停止リセットは、システムクロック CLKS1/CLKS2 がメインまたは PLL クロックモード(CKMR レジスタで示されている)に設定されている場合にラン、スリープ、およびタイマモードでアサートします。また、サブクロック停止リセットは、システムクロック CLKS1/CLKS2 がサブクロックモードに設定されている場合にラン、スリープおよびタイマモードでアサートします。

### ● ストップモード

すべての発振器(RC 発振器を含む)はストップモードで禁止されるため、クロック停止検出を実行できません。

ストップモードで割込みがアサートされると、CKSR レジスタに指定されているクロックで MCU がランモードに切り換わります。ランモードへの移行は、CKSR: SC1S1, SC1S0 ビットで選択されたクロックが安定するまで延期されます。また、システムクロック CLKS2 の動作は、CKSR: SC2S[1:0] ビットで選択されたクロックが安定するまで延期されます。

---

#### ＜注意事項＞

発振安定待ち時間の間に、リセットがアサートされるのを防ぐために、この期間はクロック停止検出リセット機能が禁止されます。つまり、ストップモードにある間または発振器の安定待ち時間内にクロックが故障した場合は、クロック停止検出リセットが発生しません。

この状況を回避するためにストップモードに切り換える場合は、必ず両方のシステムクロックを RC クロックに設定してください(CKSR: SC1S[1:0] および SC2S[1:0] = 00)。該当するクロックが再起動しなかったためにクロック準備完了モニタビットを設定できなかった場合は、RC クロックモードで起動した後に CLKS1/CLKS2 がメインクロック、PLL クロック、サブクロックに切り換わりません。ソフトウェアでは、

RC クロックタイマを用いたタイムアウト条件でこの状況を検出する必要があります。

---

#### ■ クロック停止検出リセットおよびウォッチドッグタイマ

クロック停止検出リセットは、ウォッチドッグタイマ用のソースとして使用されているメインまたはサブクロックが故障した場合にもアサートされます。ただし、クロックが安定している間(ストップモードの解除後)は、このリセット機能が禁止されます。

## 6. 低電圧リセットおよび割込み機能の動作

低電圧リセットおよび割込み機能の動作について説明します。

### ■ 低電圧リセットの機能

低電圧リセット機能では、電源電圧  $V_{CC}$  と内部で発生する基準電圧を比較する低電圧検出器を使用しています。この基準電圧は、`CILCR:LVL[3:0]` ビットで選択可能です。

リセット機能と低電圧検出器が低電圧リセット許可(LVRE) ビットと低電圧検出器許可(LVDE) ビットで許可されており、かつ  $V_{CC}$  が選択された検出電圧  $V_{DL}$  を下回っている場合は、リセット延長カウンタが初期化され、PRST フラグが設定されます。選択された検出電圧  $V_{DL}$  の仕様については、データシートを参照してください。

電源電圧が復帰すると、「3. 電源リセットおよび外部リセット後のスタートアップ」に記載されているようにリセット延長カウンタが解除され、スタートアップが実行されます。

### ■ 低電圧割込みの機能

低電圧割込み機能では、低電圧リセット機能と同じ低電圧検出器を使用しています。

割込み機能と低電圧検出器が低電圧割込み許可(LVINTE) ビットと低電圧検出器許可(LVDE) ビットで許可されており、かつ  $V_{CC}$  が選択された検出電圧  $V_{DL}$  を下回っている場合は、割込みが発生します。

リセットの方が割込みよりも優先順位が高いため、低電圧リセット機能を禁止する必要があります。

### ■ 低電圧検出およびリセット回路の構成

#### ● 低電圧リセット

低電圧リセットは、低電圧リセット許可(LVRE) ビットで制御されます。LVRE ビットを"0"に設定すると低電圧リセット機能が禁止され、"1"に設定すると許可されます。電源投入後または RSTX のアサート時に、このビットは常に"1"(リセット機能が許可される)に設定されます。

低電圧検出器を無効にするときは、必ず LVRE ビットを"0"に設定してください。低電圧検出器に電源を投入する場合は、低電圧検出器が安定待ち時間に入ってから、LVRE を"1"に設定してください。このように操作しないと、低電圧検出器から間違った値が出力されるため、低電圧リセットが誤ってアサートされる可能性があります。低電圧検出機能の安定待ち時間については、データシートの「低電圧検出機能の特性」を参照してください。

低電圧リセット回路が常に許可される場合(LVD リセットロックマーカが 55<sub>H</sub>に設定されている場合)、LVRE ビットの設定は無効です。

#### ● 低電圧割込み

低電圧割込みは、低電圧割込み許可(LVINTE) ビットで制御されます。このビットを"0"に設定すると低電圧割込み機能が禁止され、"1"に設定すると許可されます。すべてのリセット要因「表 1-1 リセット要因」の中でいずれかのリセットが発生すると、このビットは常に"0"(割込み機能が禁止される)に設定されます。低電圧検出器を無効にするときは、必ず LVINTE ビットを"0"に設定してください。低電圧検出器に電源を投入する場合は、低電圧検出器が安定待ち時間に入ってから、LVINTE を"1"に設定してください。このように操作しないと、低電圧検出器から間違った値が出力されるため、低電圧割込みが誤ってアサートされる可能性があります。低電圧検出機能の安定待ち時間については、データシートの「低電圧検出機能の特性」を参照してください。

割込み機能を起動する前に、低電圧割込みフラグ(LVINT)に"0"を書き込んでクリアする必要があります。

低電圧検出リセットが有効の場合、低電圧検出リセットが常に優先されるため低電圧割込み機能を使用することはできません。



## ● 低電圧検出器

低電圧検出器は、低電圧検出器許可(LVDE) ビット、CILCR:LVL レベル選択ビットおよび CILCR:LVHYS ヒステリシス選択ビットで制御されます。LVDE ビットを"0"に設定すると低電圧検出器が禁止され、"1"に設定すると許可されます。電源投入後または RSTX のアサート時に、このビットは常に"1"(低電圧検出器が許可される)に設定されます。いずれかのリセットが発生すると、レベル選択ビット(CILCR: LVL)は"0000"(レベル 0)に、CILCR:LVHYS ヒステリシス選択ビットは"0"にリセットされます。

LVDE を"0"に設定した場合は、必ず同時またはあらかじめ、LVRE ビットと LVINTE ビットも"0"に設定しなければなりません。低電圧検出器に電源を投入した場合は、低電圧検出器の安定待ち時間に入った後で LVRE または LVINTE を"1"に設定する必要があります。

低電圧検出器が常に許可される場合(LVD リセットロックマーカが 55<sub>H</sub>に設定されている場合)、LVDE ビットの設定は無視されます(低電圧検出器は常に許可されます)。

リセット後、検出電圧は常に"レベル 0"に設定されます。このレベルでは、V<sub>CC</sub> が MCU の安全な動作に必要な最低値を下回ったときに、リセットが発生します。CILCR:LVL ビットを設定することで、起動後にこのレベルを高くします。これにより、システムが必要とする場合、または LVD を使用して割込みのみを発生させる必要がある場合に、V<sub>CC</sub> レベルが既に高い低電圧リセットを発生させることが可能です。

## ● 消費電流への影響

低電圧検出器を起動すると、低電圧検出器から電流が流れます(詳細はデータシートの「低電圧検出機能有効時の電源電流」を参照してください)。この電流の流れは、選択された動作モードに関係しません。このことがスタンバイモードで受け付けられない場合は、スタンバイモードに切り換える前に低電圧検出器と低電圧リセットを禁止してください。この場合には低電圧リセット機能を使用できないことに注意してください。

ただし、LVD リセットロックマーカが 55<sub>H</sub>に設定されている場合は、低電圧検出器および低電圧リセットを禁止することができません。

## ● 低電圧リセット機能を使用する際の制限事項

低電圧検出器を許可した後、低電圧検出器の安定待ち時間に入っている間は出力値が不定義になります。

したがって、この時間中に低電圧リセットを使用してはなりません。

詳細は、データシートの「低電圧検出機能の特性」を参照してください。



## 7. リセット制御レジスタ

リセット制御レジスタを一覧表示し、各レジスタの機能について詳しく説明します。

### ■ リセット制御レジスタ

リセットコントローラには、リセット構成レジスタ(RCR), リセット要因およびクロック状態レジスタ(RCCSR/RCCSRC), クロック入力およびLVD 制御レジスタ(CILCR)の3 種類のレジスタがあります。CILCR レジスタは、LVD リセット機能に使用される低電圧検出器を制御します。

### ■ リセット制御レジスタの一覧

レジスタ略称	レジスタ名	参照先
RCR	リセット構成レジスタ	7.1
RCCSR/RCCSRC	リセット要因およびクロック状態レジスタ	7.2
CILCR	クロック入力および LVD 制御レジスタ	7.3

## 7.1. リセット構成レジスタ(RCR)

リセット構成レジスタ(RCR)は、ソフトウェアリセットのアサート、低電圧リセットと低電圧検出器の構成およびクロック停止検出回路の構成に使用します。

### ■ リセット構成レジスタ(RCR)の構成

RCR								
bit	7	6	5	4	3	2	1	0
	-	-	SCSDI	MCSDI	CSDRE	LVDE	LVRE	SRSTG
属性	-	-	R/W	R/W	R/W	R/W	R/W	W
初期値	X	X	0	0	0	*	*	0

\*: 各ビットの説明を参照してください。

#### [bit7, bit6] -: 未定義

- これらのビットに常に"0"を書き込みます。
- これらのビットの読出し値は未定義です。
- これらのビットへのリードモディファイライト(RMW) 動作は無効です。

#### [bit5] SCSDI:サブクロック停止検出間隔選択ビット

bit	説明
0	サブクロック停止検出間隔が 384~512 RC クロックになる
1	サブクロック停止検出間隔が 24~32 RC クロックになる

- このビットは、サブクロック停止検出回路の測定間隔を制御します。
- このビットはリセットごとに"0"に初期化されます。
- サブクロック停止検出回路では、選択された間隔内で監視対象サブクロック入力信号(CLKSC)の立上りエッジが検出されなかった場合にサブクロック欠落フラグ(RCCSR: SCMF)が設定されます。

#### [bit4] MCSDI:メインクロック停止検出間隔選択

bit	説明
0	メインクロック停止検出間隔が 6~8 RC クロックになる
1	メインクロック停止検出間隔が 3~4 RC クロックになる

- このビットは、メインクロック停止検出回路の測定間隔を制御します。
- このビットはリセットごとに"0"に初期化されます。
- メインクロック停止検出回路では、選択された間隔内で監視対象メインクロック入力信号(CLKMC)の立上りエッジが検出されなかった場合にメインクロック欠落フラグ(RCCSR: MCMF)が設定されます。

## [bit3] CSDRE:クロック停止検出リセット許可ビット

bit	説明
0	クロック停止検出リセット機能が禁止される
1	クロック停止検出リセット機能が許可される

- ・ このビットは、クロック停止検出リセット機能を許可します。
- ・ このビットへの書込みができるのは、システムクロック **CLKS1** が **RC** クロックに設定されている場合に限ります。
- ・ このビットはリセットごとに"0"(クロック停止検出リセットが禁止される)に初期化されます。
- ・ 許可された後、クロック停止検出リセットは以下の 3 通りの場合にアサートされます。
  1. システムクロック **CLKS1/CLKS2** またはウォッチドッグタイマとしてメイン/PLL クロックが選択されている状態でメインクロックの欠落が検出された。
  2. システムクロック **CLKS1/CLKS2** またはウォッチドッグタイマとしてサブクロックが選択されている状態でサブクロックの欠落が検出された。
  3. **RC** 発振器を禁止するために **CKSR: RCE** ビットに"0"が書き込まれた。

## [bit2] LVDE:低電圧検出器許可ビット

bit	説明
0	低電圧検出器が禁止される
1	低電圧検出器が許可される

- ・ このビットは、低電圧リセット機能に使用される低電圧検出器を制御します。
- ・ このビットは、外部リセットおよび電源(電源投入) リセットが発生した場合にのみ"1"(低電圧検出器が許可される) に初期化され、その他のリセットでは初期化されません。
- ・ **LVRE** が"1"に設定されている限り、このビットを"0"に設定しないでください。
- ・ このビットを"1"に設定すると、低電圧検出器が許可されます。ただし、データシートに記載されているように、この回路では許可された後の安定待ち時間が必要となります。この時間が経過するまで低電圧リセット機能を許可しないでください。
- ・ **LVD** リセット機能が「アクティブ」状態にロックされている場合(**LVD** リセットロックマーカが **55<sub>H</sub>** に設定されている場合)、このビットの設定は無視されます。

**[bit1] LVRE:低電圧リセット許可ビット**

bit	説明
0	低電圧リセット機能が禁止される
1	低電圧リセット機能が許可される

- ・ このビットは、電源リセットのリセット要因の1つとなる低電圧リセット機能を制御します。
- ・ このビットは、外部リセットおよび電源(電源投入) リセットが発生した場合にのみ"1"(低電圧リセットが許可される) に初期化され、その他のリセットでは初期化されません。
- ・ このビットが"1"に設定されている限り、(LVDE ビットへの"0"の書込みによって) 低電圧検出器を禁止しないでください。
- ・ 低電圧検出器が許可されて安定するまで、このビットを"0"から"1"に設定しないでください。
- ・ LVD リセット機能が「アクティブ」状態にロックされている場合(LVD リセットロックマーカが 55<sub>H</sub>に設定されている場合)、このビットの設定は無視されます。
- ・ このビットは、低電圧割込み機能を使用する際は"0"に設定する必要があります。(低電圧リセット機能を禁止します。)

**[bit0] SRSTG:ソフトウェアリセット発生ビット**

bit	説明
0	動作に対する影響なし
1	内部ソフトウェアリセットが発生する

このビットの読出し値は常に"0"になります。

## 7.2. リセット要因およびクロック状態レジスタ(RCCSR/RCCSRC)

RCCSR/RCCSRC レジスタは、メインおよびサブクロックのリセット要因と状態を示します。

### ■ リセット要因およびクロック状態レジスタ(RCCSR/RCCSRC)の構成

リセット要因およびクロック状態レジスタ(RCCSR/RCCSRC)には、2つのアドレスを介してアクセスします。アドレス 00040B<sub>H</sub>(RCCSRC)に読み出しアクセスした場合は読み出し後にこのレジスタのビットがすべてクリアされますが、アドレス 00040D<sub>H</sub>(RCCSR)に読み出しアクセスした場合はこのレジスタの状態が変わりません。RCCSR/RCCSRC レジスタへの書き込みは無視されます。

RCCSRC								
bit	15	14	13	12	11	10	9	8
	SCMF	MCMF	WRST	SRST	SCRST	MCRST	ERST	PRST
属性	R/C	R/C	R/C	R/C	R/C	R/C	R/C	R/C
初期値	*1	*1	*2	*2	*2	*2	*2	*2

R/C: リードおよびクリア

RCCSR								
bit	15	14	13	12	11	10	9	8
	SCMF	MCMF	WRST	SRST	SCRST	MCRST	ERST	PRST
属性	R	R	R	R	R	R	R	R
初期値	*1	*1	*2	*2	*2	*2	*2	*2

\*1: 各ビットの説明を参照してください。

\*2: 「■リセット要因ビットに関する注意事項」を参照してください。

#### [bit15] SCMF:サブクロック欠落フラグ

bit	説明
0	サブクロックの欠落が検出されなかった
1	サブクロックの欠落が検出された

- ・ このビットは、サブクロックの欠落が検出されたかどうかを示します。
- ・ このビットは、電源リセットが発生した場合にのみ"1"に初期化され、その他のリセットでは初期化されません。
- ・ このビットが"1"に設定されるのは、サブ発振器が許可されており、かつ RCR: SCSDI ビットで定義された間隔内で監視対象サブクロック入力信号(CLKSC)の立上りエッジが検出されなかった場合です。
- ・ このビットは、RCCSRC(アドレス 00040B<sub>H</sub>)への読み出しによりクリアされます。

**[bit14] MCMF:メインクロック欠落フラグ**

bit	説明
0	メインクロックの欠落が検出されなかった
1	メインクロックの欠落が検出された

- ・ このビットは、メインクロックの欠落が検出されたかどうかを示します。
- ・ このビットは、電源リセットが発生した場合にのみ"1"に初期化され、その他のリセットでは初期化されません。
- ・ このビットが"1"に設定されるのは、メイン発振器が許可されており、かつ RCR: MCSDI ビットで定義された間隔内で監視対象メインクロック入力信号(CLKMC)の立上りエッジが検出されなかった場合です。
- ・ このビットは、RCCSRC(アドレス 00040B<sub>H</sub>)への読出しによりクリアされます。

**[bit13] WRST:ウォッチドッグタイマリセット要因ビット**

bit	説明
0	ウォッチドッグタイマリセットが発生していない
1	ウォッチドッグタイマリセットが発生している

- ・ このビットは、ウォッチドッグタイマリセットが発生しているかどうかを示します。
- ・ 電源リセットが発生した場合にも、このビットが"1"に設定されます。
- ・ このビットは、RCCSRC(アドレス 00040B<sub>H</sub>)への読出しのみによりクリアされます。
- ・ このビットが"1"に設定されるのは、ウォッチドッグタイマリセットが発生した場合です。考えられるリセット要因は以下のとおりです。
  1. ウォッチドッグタイマは起動しているが、選択された間隔内でクリアされなかった。
  2. ウォッチドッグタイマクリアパターンレジスタに不正な値が書き込まれた。
  3. ウォッチドッグタイマのソースクロックとして使用されているクロックを禁止するために、該当するクロックの許可ビット(CKSR: RCE, MCE または SCE)に"0"が書き込まれた。
  4. ウォッチドッグタイマクロック選択ビットが"01"(RCクロック周波数の変更が許可されない)に設定されている状態で RC クロック周波数が変更された。
  5. WDTC:RSTP ビットが"1"に設定されている状態でストップモードへの移行が要求された。

**[bit12] SRST:ソフトウェアリセット要因ビット**

bit	説明
0	ソフトウェアリセットが発生していない
1	ソフトウェアリセットが発生している

- ・ このビットは、ソフトウェアリセットが発生しているかどうかを示します。
- ・ 電源リセットが発生した場合にも、このビットが"1"に設定されます。
- ・ このビットは、RCCSRC(アドレス 00040B<sub>H</sub>)への読出しのみによりクリアされます。
- ・ このビットが"1"に設定されるのは、RCR: SRSTG ビットへの"1"の書き込みによってソフトウェアリセット

が発生した場合です。

[bit11] SCRST:サブクロック停止検出リセット要因ビット

bit	説明
0	サブクロック停止検出リセットが発生していない
1	サブクロック停止検出リセットが発生している

- ・ このビットは、サブクロック停止検出リセットが発生しているかどうかを示します。
- ・ 電源リセットが発生した場合にも、このビットが"1"に設定されます。
- ・ このビットは、RCCSRC(アドレス 00040B<sub>H</sub>)への読出しのみによりクリアされます。
- ・ このビットが"1"に設定されるのは、サブクロック停止検出リセットが発生した場合です。考えられるリセット要因は以下のとおりです。
  1. システムクロック CLKS1/CLKS2 またはウォッチドッグタイマとしてサブクロックが選択されている状態でサブクロックの欠落が検出された。
  2. クロック停止検出リセットが許可されている状態で RC クロックの許可ビット(CKSR: RCE)に"0"が書き込まれた。

[bit10] MCRST:メインクロック停止検出リセット要因ビット

bit	説明
0	メインクロック停止検出リセットが発生していない
1	メインクロック停止検出リセットが発生している

- ・ このビットは、メインクロック停止検出リセットが発生しているかどうかを示します。
- ・ 電源リセットが発生した場合にも、このビットが"1"に設定されます。
- ・ このビットは、RCCSRC(アドレス 00040B<sub>H</sub>)への読出しのみによりクリアされます。
- ・ このビットが"1"に設定されるのは、メインクロック停止検出リセットが発生した場合です。考えられるリセット要因は以下のとおりです。
  1. システムクロック CLKS1/CLKS2 またはウォッチドッグタイマとしてメイン/PLL クロックが選択されている状態でメインクロックの欠落が検出された。
  2. クロック停止検出リセットが許可されている状態で RC クロックの許可ビット(CKSR: RCE)に"0"が書き込まれた。

[bit9] ERST:外部リセット要因ビット

bit	説明
0	外部リセットが発生していない
1	外部リセットが発生している

- ・ このビットは、外部リセットが発生しているかどうかを示します。
- ・ このビットが"1"に設定されるのは、RSTX を"0"にアサートすることによって外部リセットが発生した場合です。

- ・ 電源リセットが発生した場合にも、このビットが"1"に設定されます。
- ・ このビットは、RCCSRC(アドレス 00040B<sub>H</sub>)への読出しのみによりクリアされます。

[bit8] PRST:電源リセット要因ビット

bit	説明
0	電源リセットが発生していない
1	電源リセットが発生している

- ・ このビットは、電源リセットが発生しているかどうかを示します。
- ・ 電源投入後に、このビットは"1"に設定されます。
- ・ このビットは、RCCSRC(アドレス 00040B<sub>H</sub>)への読出しのみによりクリアされます。
- ・ このビットが"1"に設定されるのは、電源リセットが発生した場合です。考えられるリセット要因は以下のとおりです。
  1. パワーオンリセット: データシートに記載されている「パワーオンリセットタイミング」にしたがって電源が投入された。
  2. 低電圧検出リセット: 低電圧検出リセット機能が許可され、かつ電源がデータシートに記載されている検出電圧を下回った。

## ■ リセット要因ビットに関する注意事項

### ● リセット要因レジスタを読み出す前の複数のリセット要因

リセット要因レジスタを読み出す前に複数のリセット要因が発生した場合は、RCCSR/RCCSRC レジスタの対応するリセット要因ビットがすべて"1"に設定されます。例えば、RSTX 端子経由の外部リセット要求とウォッチドッグタイマリセットが同時に発生した場合は、ERST ビットと WRST ビットが両方とも"1"に設定されます。これらの対応関係を以下の表に示します。

表 7-1 リセット要因ビットとリセット要因との対応関係

リセット要因	PRST	ERST	MCRST	SCRST	SRST	WRST
電源リセット(電源投入または低電圧)	1	1	1	1	1	1
RSTX 端子経由の外部リセット要求	*	1	*	*	*	*
メインクロック停止検出リセット	*	*	1	*	*	*
サブクロック停止検出リセット	*	*	*	1	*	*
ソフトウェアリセット要求	*	*	*	*	1	*
ウォッチドッグタイマのオーバフロー	*	*	*	*	*	1

\*: 前の状態が保持される



## ● 電源リセット

PRST = 1 の場合は、それ以外のリセット要因ビットをすべて無視するようにソフトウェアをプログラミングする必要があります。

## ● リセット要因ビットのクリア

リセット要因ビットがクリアされるのは、アドレス 00040B<sub>H</sub> のリセット要因およびクロック状態レジスタ RCCSRC を読み出した場合に限りです。既に発生しているリセット要因に対応したビットは、別のリセットが発生してもクリアされません("1"の設定が保持される)。

電源リセットが発生したら、すべてのビットを初期化するために読出しによってレジスタをクリアする必要があります。

---

### <注意事項>

パワーオンリセットが発生していない(データシートに記載されている「パワーオンリセットタイミング」に一致していない) 状態で電源を投入した場合、RCCSR レジスタの値は保証されません。

---

## ■ クロック欠落フラグに関する注意事項

クロック欠落フラグ MCMF および SCMF の詳細は、「5. クロック停止検出機能およびリセットの動作」を参照してください。

## 7.1. クロック入力および LVD 制御レジスタ(CILCR)

クロック入力および LVD 制御レジスタ(CILCR)は発振回路と低電圧検出器の制御に使用します。

### ■ クロック入力および LVD 制御レジスタ(CILCR)の構成

このレジスタは 16 ビット幅(VRCR) および 8 ビット幅(下位バイト:VRCR, 上位バイト CILCR)にアクセスします。

CILCR								
bit	15	14	13	12	11	10	9	8
	LVINTE	LVINT	LVHYS	FCI	LVL3	LVL2	LVL1	LVL0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit15] LVINTE:低電圧割込み許可

bit	説明
0	低電圧割込みが禁止される
1	低電圧割込みが許可される

- ・ このビットは、低電圧割込み機能を許可するために使用します。
- ・ LVINTE 許可ビットと LVINT フラグの両方が"1"に設定されると、低電圧割込みが発生します。
- ・ いずれかのリセットが発生すると、このビットは"0"にリセットされます。
- ・ 低電圧割込み機能より低電圧リセット機能の方が優先度が高いため、低電圧割込み機能を使用する際は、RCR:LVRE ビットを"0"に設定する必要があります。
- ・ 低電圧検出リセットが有効の場合、低電圧検出リセットが常に優先されるため低電圧割込み機能を使用することはできません。

[bit14] LVINT:低電圧割込みフラグ

bit	説明	
	読出し	書込み
0	割込みなし	このビットをクリア
1	割込みを要求	影響なし

- ・ これは低電圧割込みの要求フラグです。
- ・ LVL[3:0] ビットで指定された値を Vcc 電源が下回ると、このビットが"1"に設定されます。
- ・ 割込み許可ビット LVINTE が"1"に設定されているときにこのビットが"1"に設定されると、割込み要求が出力されます。
- ・ "0"を書き込むかいずれかのリセットが発生すると、このビットはクリアされます。

- ・ 割込み機能を起動する(LVINTE を"1"に設定する)ときは常に、このビットをクリアする必要があります。
- ・ リードモディファイライト(RMW) 系命令では常に"1"が読み出されます。

**[bit13] LVHYS:低電圧検出器ヒステリシス選択**

bit	説明
0	小さいヒステリシスが選択される
1	大きいヒステリシスが選択される

- ・ このビットは、低電圧検出器のコンパレータのヒステリシスを選択します。
- ・ このビットはリセットごとに"0"に初期化されます。この場合は、「小さい」ヒステリシスが選択されます。
- ・ このビットを"1"に設定すると、「大きい」ヒステリシスが選択されます。
- ・ 両設定でのヒステリシス幅については、データシートを参照してください。

**[bit12] FCI:高速外部クロック入力許可**

- ・ このビットはリセットで"0"に初期化されます。
- ・ このビットはメイン発振が発振モードか高速外部クロック入力モードかを選択します。

bit	説明
0	発振モード
1	高速外部クロック入力モード

- ・ メイン発振用の端子 X0 と X1 に水晶発振器か発振器を接続するときは、このビットを"0"に設定します。このモードでは X0/X1 端子に外部クロックを接続することも可能です。
- ・ X0 端子に単一位相外部クロックを入力する場合は、外部クロック(メイン)に切り換える前に、このビットを"1"に設定してください。
- ・ 両モードの設定周波数範囲は、データシートの「メインクロック入力規格」に記載されています。

#### [bit11～bit8] LVL3～LVL0:低電圧検出電圧選択ビット

- これらのビットは、低電圧検出器(LVD)の検出電圧を制御します。

bit11	bit10	bit9	bit8	説明
0	0	0	0	レベル 0 *
0	0	0	1	レベル 1 *
0	0	1	0	レベル 2 *
0	0	1	1	レベル 3 *
0	1	0	0	レベル 4 *
0	1	0	1	レベル 5 *
0	1	1	0	レベル 6 *
0	1	1	1	レベル 7 *
1	0	0	0	レベル 8 *
1	0	0	1	レベル 9 *
1	0	1	0	レベル 10 *
1	0	1	1	レベル 11 *
1	1	0	0	レベル 12 *
1	1	0	1	レベル 13 *
1	1	1	0	レベル 14 *
1	1	1	1	レベル 15 *

- これらのビットはリセットごとに"0000"に初期化されます。
- 対応する機能が有効で外部供給電圧降下が選択した検出電圧を超えた場合、低電圧検出回路はリセット要求または割込み要求を出力します。

※: 設定可能な検出電圧については、データシートの「低電圧検出機能の特性」を参照してください。



# Chapter 8: スタンバイモードおよび電圧レギュレータ制御回路



---

スタンバイモード制御回路の機能と動作および内蔵電圧レギュレータの制御について説明します。

---

1. 概要
2. スタンバイモードに関する使用上の注意事項
3. 拡張スタンバイモード制御レジスタの使用
4. 電圧レギュレータの動作
5. スタンバイモード
6. モード切換え表と動作状態
7. レジスタ

---

管理コード : 96F6MODE- J03.0

---

## 1. 概要

F<sup>2</sup>MC-16FX MCU には、以下の CPU 動作モードがあります。

- ランモード
- スリープモード
- タイマモード
- ストップモード

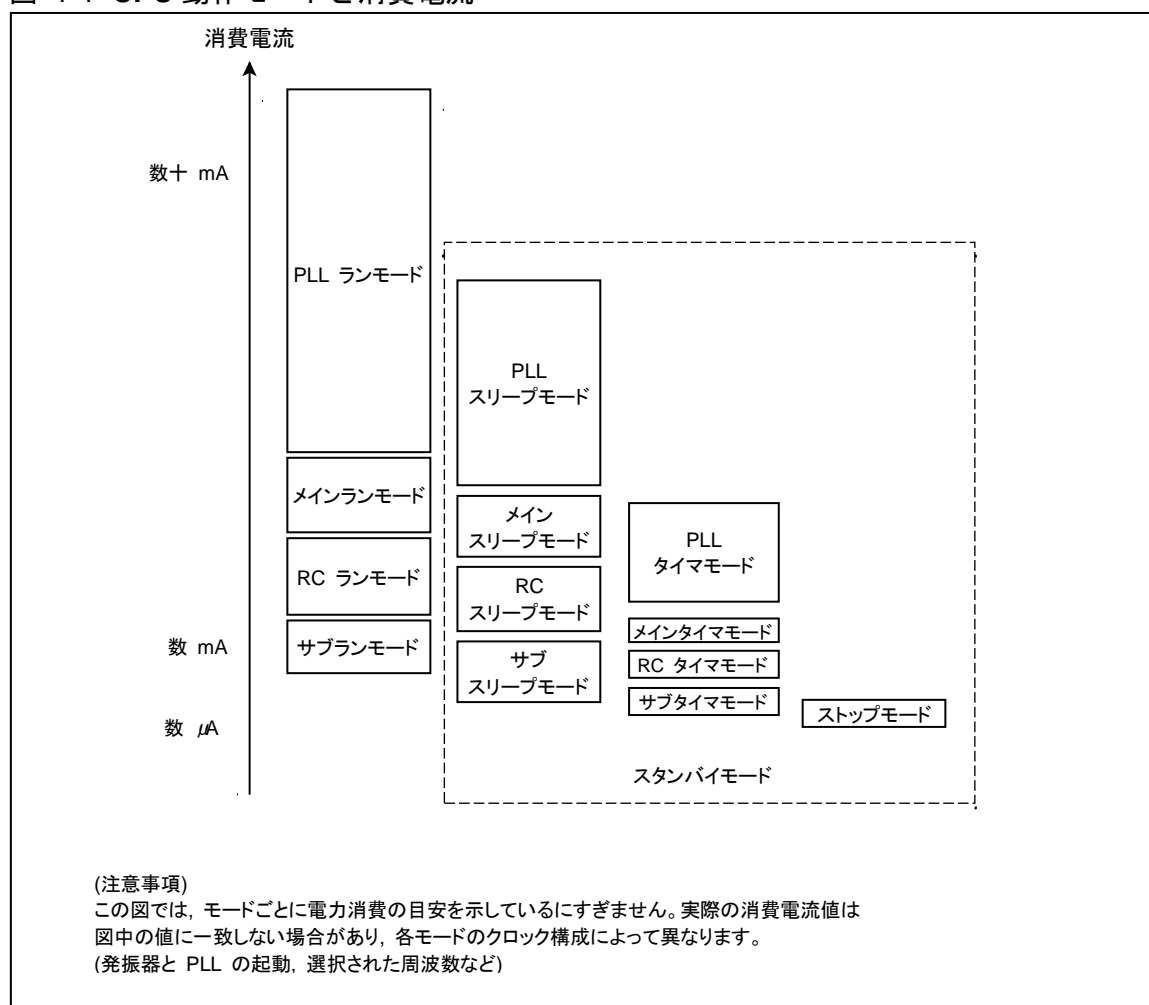
スリープモード、タイマモード、およびストップモードをまとめてスタンバイモードとよびます。ストップモードでは、クロックがすべて禁止されます。それ以外の CPU 動作モードでは、クロックソースと有効な発振器/PLL が選択可能です。

### ■ CPU 動作モードと消費電流

CPU 動作モードと消費電流との関係を図 1-1 に示します。

動作モードの消費電力は内蔵電圧レギュレータの設定に影響されます。

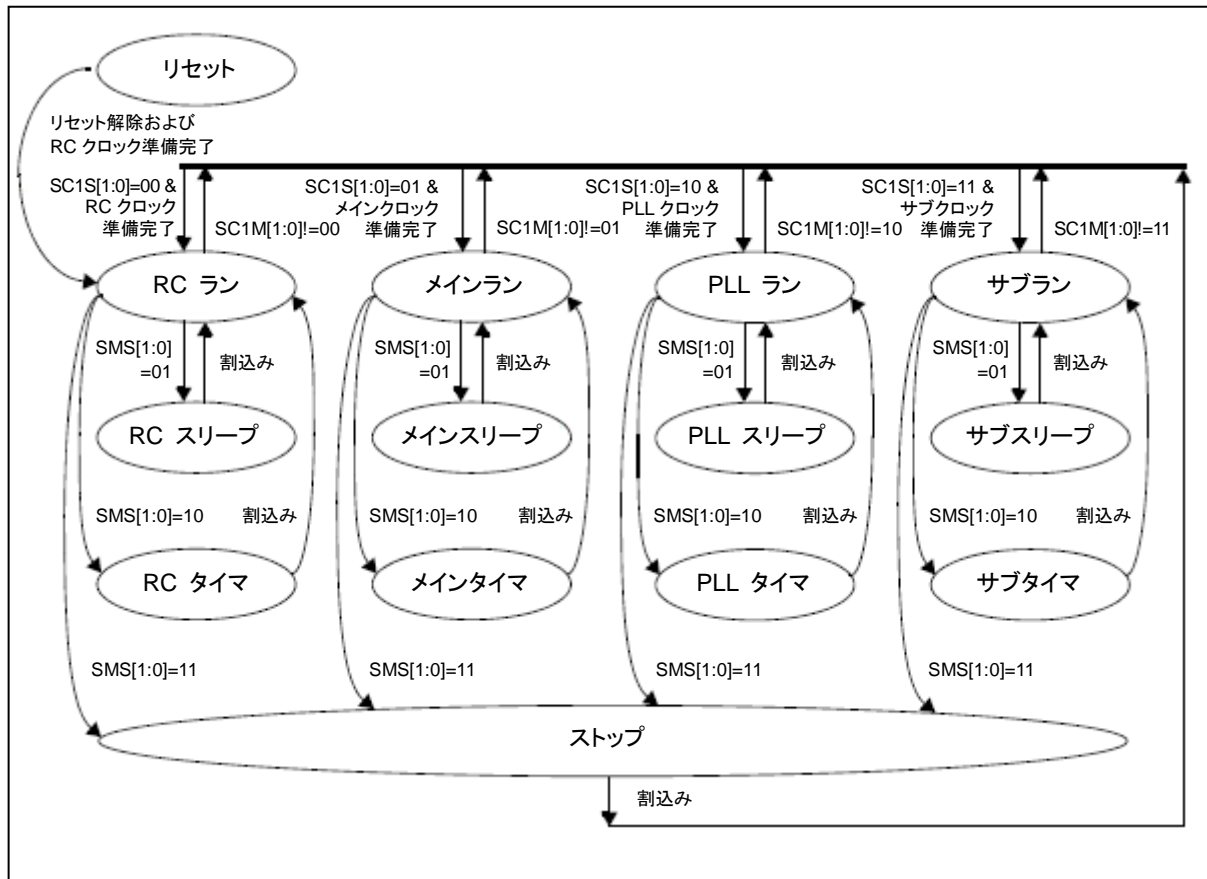
図 1-1 CPU 動作モードと消費電流



## ■ 状態遷移図

各動作モードの状態遷移図を図 1-2 に示します。

図 1-2 モード切換え図



## ■ ランモード

ランモードは、必ずシステムクロック 1 (CLKS1) 用のソースとして選択されたクロックで定義されます。システムクロック 2 セレクタで選択されたシステムクロック 2 (CLKS2) は、このランモードとは関係ありません。

したがって、周辺クロック 2 (CLKP2) に接続されているモジュールは、周辺クロック 2 がシステムクロック 2 から導出されているため、別のクロックソースで動作することができます。

### ● RC ランモード

このモードでは、内蔵 RC 発振クロック (CLKRC) がシステムクロック 1 として使用され、CPU と大部分の周辺機能を動作させます。RC 発振器に対して 2 通りの周波数設定が可能です (公称 2 MHz または 100 kHz)。CPU を動作させるバスクロック (CLKB) と大部分の周辺機能を動作させる周辺クロック 1 (CLKP1) 用の独立したクロック分周器が RC クロックから供給され、柔軟な周波数設定を可能にします。

メイン発振器、PLL 通倍回路、およびサブ発振器の状態は、これらがシステムクロック 2 として使用されていない限り、それぞれ MCE、PCE および SCE ビットの設定に従います。(システムクロック 2 として使用されている場合、これらが自動的に起動します)。

このモードは、リセット解除後に必ずアクティブになります。



## ● メインランモード

このモードでは、メイン発振クロック (CLKMC) がシステムクロック 1 として使用され、CPU と大部分の周辺機能を動作させます。CPU を動作させるバスクロック (CLKB) と大部分の周辺機能を動作させる周辺クロック 1 (CLKP1) 用の独立したクロック分周器がメインクロックから供給され、柔軟な周波数設定を可能にします。

PLL 通倍回路、RC 発振器、およびサブ発振器の状態は、これらがシステムクロック 2 として使用されていない限り、それぞれ PCE, RCE, および SCE ビットの設定に従います。(システムクロック 2 として使用されている場合、これらが自動的に起動します)。

## ● PLL ランモード

このモードでは、メイン発振クロックを通倍した PLL クロックがシステムクロック 1 として使用され、CPU と大部分の周辺機能を動作させます。CPU を動作させるバスクロック (CLKB) と大部分の周辺機能を動作させる周辺クロック 1 (CLKP1) 用の独立したクロック分周器が PLL 出力クロックから供給され、柔軟な周波数設定を可能にします。

RC 発振器とサブ発振器の状態は、これらがシステムクロック 2 として使用されていない限り、それぞれ RCE ビットと SCE ビットの設定に従います。(システムクロック 2 として使用されている場合、これらが自動的に起動します)。

## ● サブランモード

このモードでは、サブ発振クロック (CLKSC) がシステムクロック 1 として使用され、CPU と大部分の周辺機能を動作させます。CPU を動作させるバスクロック (CLKB) と大部分の周辺機能を動作させる周辺クロック 1 (CLKP1) 用の独立したクロック分周器がサブクロックから供給され、柔軟な周波数設定を可能にします。

メイン発振器、PLL 通倍回路、および RC 発振器の状態は、これらがシステムクロック 2 として使用されていない限り、それぞれ MCE, PCE および RCE ビットの設定に従います。(システムクロック 2 として使用されている場合、これらが自動的に起動します)。

---

### <注意事項>

詳細は、『クロック』の章を参照してください。

---

## ■ スリープモード

このモードに入ると、スタンバイ制御回路はバスクロック (CLKB) を停止します。これにより、CPU、内部メモリ、および DMA コントローラが無効になるため、消費電力が削減されます。

### ● RC スリープモード

RC スリープモードをアクティブにすると、バスクロック (CLKB) が RC クロックモードで停止します。周辺クロック 1 に接続されている周辺機能は RC クロックで動作します。周辺クロック 2 に接続されている周辺機能は、システムクロック 2 セレクタで選択されたクロックで動作します。

メイン発振器、PLL 通倍回路、およびサブ発振器の状態は、これらがシステムクロック 2 として使用されていない限り、それぞれ MCE, PCE および SCE ビットの設定に従います。(システムクロック 2 として使用されている場合、これらが自動的に起動します)。

### ● メインスリープモード

メインスリープモードをアクティブにすると、バスクロック (CLKB) がメインクロックモードで停止します。周辺クロック 1 に接続されている周辺機能はメインクロックで動作します。

周辺クロック 2 に接続されている周辺機能は、システムクロック 2 セレクタで選択されたクロックで動作

します。

PLL 通倍回路, RC 発振器, およびサブ発振器の状態は、これらがシステムクロック 2 として使用されていない限り、それぞれ PCE, RCE および SCE ビットの設定に従います。(システムクロック 2 として使用されている場合、これらが自動的に起動します)。

### ● PLL スリープモード

PLL スリープモードをアクティブにすると、バスクロック(CLKB)が PLL クロックモードで停止します。周辺クロック 1 に接続されている周辺機能は PLL クロックで動作します。

周辺クロック 2 に接続されている周辺機能は、システムクロック 2 セレクタで選択されたクロックで動作します。

RC 発振器とサブ発振器の状態は、これらがシステムクロック 2 として使用されていない限り、それぞれ RCE ビットと SCE ビットの設定に従います。(システムクロック 2 として使用されている場合、これらが自動的に起動します)。

### ● サブスリープモード

サブスリープモードをアクティブにすると、バスクロック(CLKB)がサブクロックモードで停止します。周辺クロック 1 に接続されている周辺機能はサブクロックで動作します。周辺クロック 2 に接続されている周辺機能は、システムクロック 2 セレクタで選択されたクロックで動作します。

メイン発振器, PLL 通倍回路, および RC 発振器の状態は、これらがシステムクロック 2 として使用されていない限り、それぞれ MCE, PCE, および RCE ビットの設定に従います。(システムクロック 2 として使用されている場合、これらが自動的に起動します)。

### ■ タイマモード

このモードに入ると、スタンバイ制御回路はシステムクロック(CLKS1 と CLKS2)の供給を停止します。これにより、バスクロックとすべての周辺クロックが停止するため、消費電力がさらに削減されます。この場合は、発振器, PLL, および対応するソースクロックタイマを除くすべての機能が停止します。

### ● RC タイマモード

RC タイマモードでは、RC 発振器と RC クロックタイマが常にアクティブになります。ただし、PLL, メイン, およびサブ発振器の状態と対応するソースクロックタイマの状態は、これらがシステムクロック 2 として使用されていない限り、それぞれ PCE, MCE, および SCE ビットの設定に従います。(システムクロック 2 として使用されている場合、これらが自動的に起動します)。

### ● メインタイマモード

メインタイマモードでは、メイン発振器とメインクロックタイマが常にアクティブになります。ただし、PLL, RC, およびサブ発振器の状態と対応するソースクロックタイマの状態は、これらがシステムクロック 2 として使用されていない限り、それぞれ PCE, RCE, および SCE ビットの設定に従います。(システムクロック 2 として使用されている場合、これらが自動的に起動します)。

### ● PLL タイマモード

PLL タイマモードでは、メイン発振器, PLL, およびメインクロックタイマが常にアクティブになります。ただし、RC およびサブ発振器の状態と対応するソースクロックタイマの状態は、これらがシステムクロック 2 として使用されていない限り、それぞれ RCE および SCE ビットの設定に従います。(システムクロック 2 として使用されている場合、これらが自動的に起動します)。

## ● サブタイマモード

サブタイマモードでは、サブ発振器とサブクロックタイマが常にアクティブになります。ただし、PLL、メイン、および RC 発振器の状態と対応するソースクロックタイマの状態は、これらがシステムクロック 2 として使用されていない限り、それぞれ PCE, MCE, および RCE ビットの設定に従います。(システムクロック 2 として使用されている場合、これらが自動的に起動します)。

---

### <注意事項>

PCE, MCE, SCE, および RCE ビットのうちの 2 つ以上が "1" に設定されている場合は、それぞれのタイマモードの動作が同じになることがあります。ただし、割込みによるタイマモードからのウェイクアップ後にデバイスが移行するランモードは、このデバイスが 4 つのタイマモードのうちのどれに入っているかによって異なります。「表 6-1 モード切換え表」を参照してください。

---

## ■ ストップモード

このモードに入ると、スタンバイ制御回路はすべての発振を停止します。すべての機能が稼働しない状態になります。

---

### <注意事項>

ストップモードではすべての発振クロックの電源が切断されるため、最低消費電力でデータを保持できます。

---

## 2. スタンバイモードに関する使用上の注意事項

---

スタンバイモードを使用する際には以下の点に注意してください。

- スタンバイモードへの切換えと割込み
  - 割込みによるスタンバイモードの解除
  - 割込みによるストップモードの解除
  - ストップモード解除後の発振安定待ち時間
  - クロックモードの切換え
- 

### ● スタンバイモードへの切換えと割込み

CPUに対して保留中の割込み要求がある場合、SMCR レジスタのSMS ビットへの書込みは効果がありません。つまり、割込みサービスが終了した後でも目的のモード移行が行われません。割込み要求が既に解除されており、かつ保留中の要求がほかに存在しない場合は、目的のモード移行を行うことができます。この動作は、PS レジスタの設定によって CPU での割込み要求の受け付けが可能になるかどうかに関係しません。

### ● 割込みによるスタンバイモードの解除

スリープ、タイマ、ストップのいずれかのモードにある間にNMI割込みまたは割込みレベル (IL) が7より強い割込み要求が周辺機能から発生した場合は、CPU が割込みを受け付けるかどうかに関係なくスタンバイモードが解除されます。

割込みによってスタンバイモードが解除された後は、通常の処理が行われます。

割込みが受け付けられた場合、まず CPU はスタンバイモードに入る前の状態でパイプラインに残っている命令を実行します。この後、通常の割込み処理を続けます。

割込みが受け付けられなかった場合、CPU はパイプラインにある命令とその後に続く命令の実行を続けます。

### ● 割込みによるストップモードの解除

ストップモードは、外部割込みまたはNMIで解除することができます。外部割込み入力要因として、Hレベル信号、Lレベル信号、立上りエッジ、または立下りエッジを選択できます。

### ● ストップモード解除後の発振安定待ち時間

ストップモードで発振器は停止するため、発振安定待ち時間が必要となります。CKSR レジスタのSC1S[1:0]とSC2S[1:0]ビットの設定によって、割込みによるストップモードからのウェイクアップ後に使用されるクロックが決まります。RCE, MCE, PCE, SCE, SC1S[1:0] およびSC2S[1:0] ビットに応じて発振器とPLLクロックが許可され、クロック安定化選択レジスタ (CKSSR) の設定に従って安定待ち時間が適用されます。CPU は、SC1S[1:0] ビットで選択されたシステムクロック 1 が安定した後に動作を開始します。システムクロック 2 を使用しているモジュールは、システムクロック 2 が安定した後に動作を開始します。SC1S[1:0] とSC2S[1:0] で選択されたクロックは、クロック許可ビット (RCE, MCE, PCE および SCE) の設定に関係なく常に許可されます。

---

**<注意事項>**

ストップモードが解除されると、CPU は、SC1S[1:0] ビットで選択されたシステムクロック 1 が安定した後、動作を開始します。別のクロックをシステムクロック 2 として選択できますが、安定待ち時間が長くなります。CPU は、周辺クロック 2 によって同期がとられている周辺機能へのアクセスを試行した場合、CLKP2 が安定し、アクセス可能になるまでホールド状態に入ります。

---

ストップモードが解除されてから、新たに選択されたクロックの準備が完了する (SC2S[1:0] ビットで選択されたクロックのクロック準備完了モニタビットが "1" に設定される) まで、ストップモード移行前に使用されていたクロックが SC2M ビットに示されます。この理由として、このレジスタはシステムクロック 2 だけが更新されるからです。

---

**<注意事項>**

SC1S[1:0] で選択されたクロックが安定するまでプログラムの実行が延期されるため、SC1S[1:0] / SC2S[1:0] を存在しないクロック (例えば、サブ発振機能がアクティブになっていない場合やサブ発振器端子に水晶/発振器が接続されていない場合に「サブクロックモード」) に設定してはなりません。水晶発振子が故障してクロック供給がされない場合、ストップモードから復帰しない可能性があります。ストップモードに切り換える場合は、常に RC クロックを両方のシステムクロックとして選択することを推奨します。

---

ストップモードがリセットで解除されると、クロックモードは必ず RC クロックに設定され、RC 発振器が安定した後にリセットシーケンスが実行されます。レジスタと機能はすべて初期状態にリセットされます。

**● クロックモードの切り換え**

SC1S[1:0] / SC2S[1:0] ビットへの書込みによってクロックモードを切り換えた場合は、クロックモードの切り換えが終了するまで、スリープモードとタイマモードに移行しないでください。クロックモニタレジスタ (CKMR) の SC1M/SC2M ビットを参照して、クロックモードの切り換えが終了しているかどうかを確認します。

ただし、ストップモードへの移行は、クロックモードの切り換えが終了するまで待機せずに実行できます。SC1S[1:0] / SC2S[1:0] ビットの設定を変更するのは、SMS ビットが "00" (スタンバイモード移行要求が保留中でない) に設定されている場合に限ります。

### 3. 拡張スタンバイモード制御レジスタの使用

拡張スタンバイモード制御レジスタには以下の機能があります。

- スタンバイモードにおけるフラッシュパワーダウン機能の制御

#### ■ フラッシュパワーダウン機能

フラッシュマクロには、電流を節約するためにスタンバイモードで使用するパワーダウン / リセット機能があります。この機能は ESMCR:FPDS ビットを "1" に設定することによってアクティブにすることができます。

消費電流に対する影響については、データシートの「フラッシュパワーダウン時の電流」を参照してください。

#### ● ESMCR:FPDS= "1" の場合の動作

フラッシュパワーダウン/リセット機能は、フラッシュの書込み/消去動作が進行中でなく、フラッシュ Write コマンドシーケンサが「アイドル」のときのみ有効にできます。したがって、ESMCR:FPDS="1"でスタンバイモード(スリープ、タイマまたはストップモード)を有効にする前に、DFSA:RDY が"1" (DFSB:RDY がある場合は DFSB:RDY も"1")になっており、DFSA:ST[1:0]が"00" (DFSB:ST[1:0]がある場合は DFSB:ST[1:0]も"00")であることを確認してください。DFSA:RDY="0", DFSB:RDY="0", DFSA:ST[1:0] != "00"または

DFSB:ST[1:0] != "00"の場合、FPDS を"1"に設定しても無効になります(FPDS = "0"と同じ動作になります)。フラッシュの書込み/消去動作が進行中でなく、Write コマンドシーケンサが「アイドル」のとき、いずれかのスタンバイモード移行でフラッシュパワーダウン/リセットモードが有効になります。このモードでは、フラッシュの消費電流が低減され、(フラッシュがスタンバイモード移行前に「セクタ消去中断」状態にあった場合でも)フラッシュのステートマシンは「読出し/リセット」状態に設定されます。

スタンバイモードからのウェイクアップ後、パワーダウン機能が停止し、最大 150μs のフラッシュ安定待ち時間が適用されます。ストップモードからのウェイクアップ時、CLKS1 が安定した後 (CKSR:SC1S によって選択されたクロックが安定した後)、このフラッシュ安定待ち時間が適用されます。

安定待ち時間内の DFSA/B:RDY は"0"で、フラッシュが安定した後に"1"に設定されます。この安定待ち時間 (DFSA/B:RDY = "0") 内のフラッシュへのリードアクセスは、フラッシュが安定するまでコアバスを停止します。

DFSA/B:RDY ビットが "0" に設定され、ライトビジー割込みフラグが設定されている間、フラッシュマクロへのライトアクセスは無視されます。

図 3-1 ESMCR:FPDS=1 設定時のストップモードからのウェイクアップ

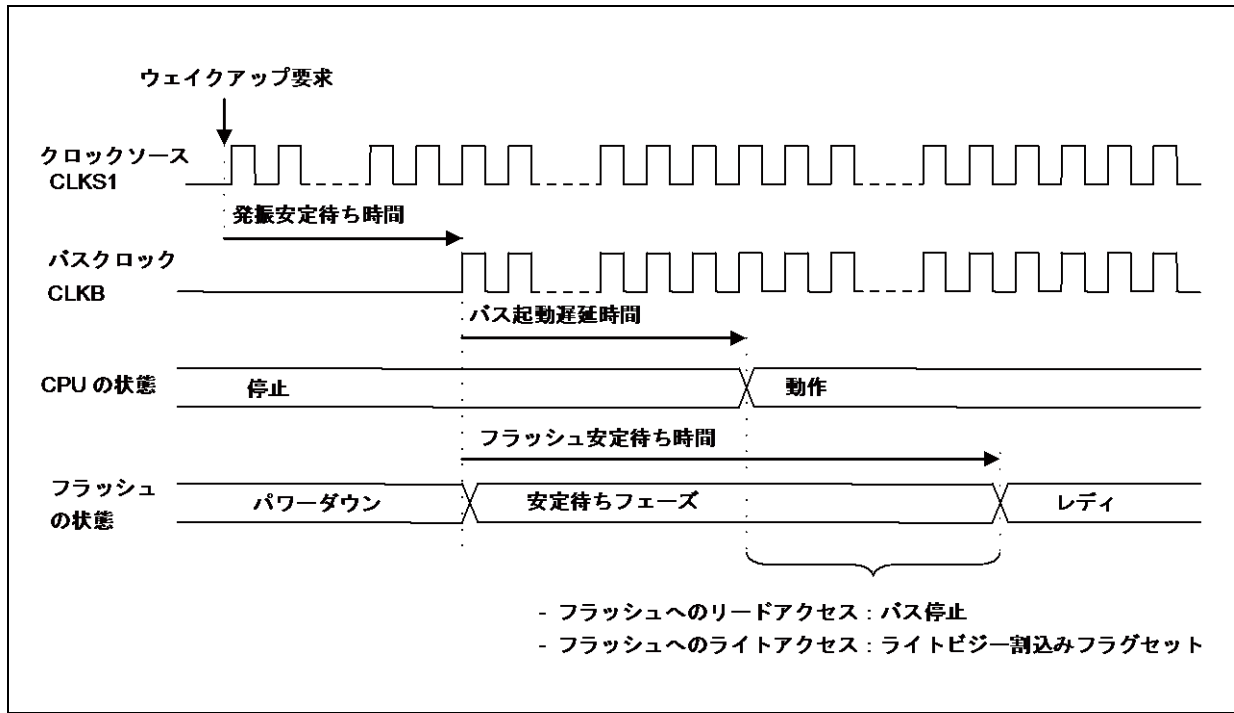
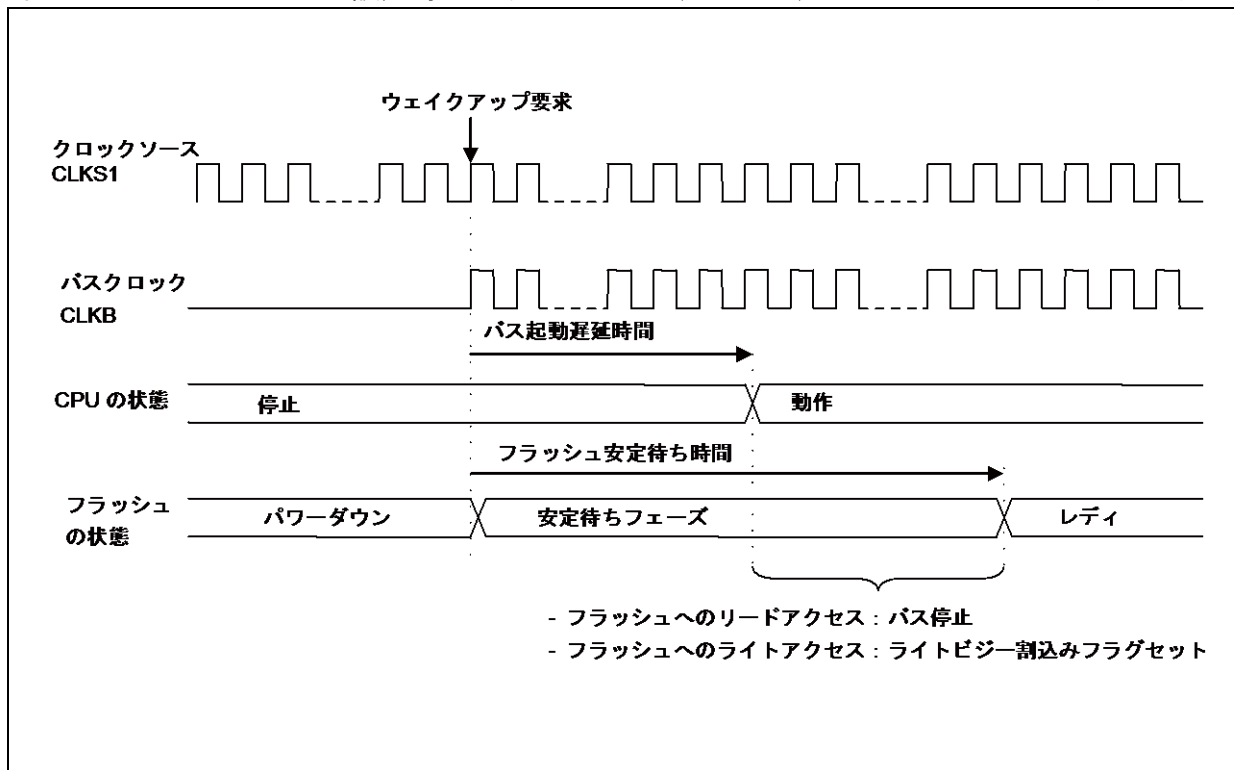


図 3-2 ESMCR:FPDS=1 設定時のスリープモード、または、タイマモードからのウェイクアップ





### ● ESMCR:FPDS= "0" の場合の動作

ESMCR:FPDS ビットを"0" に設定すると、スタンバイモードになった後、フラッシュマクロのパワーダウン/リセット機能がアクティブでなくなります。この結果、スタンバイモードでの消費電流が増加します。フラッシュの状態は、スタンバイモードへの移行による影響を受けません。

Write コマンドシーケンサはスタンバイモード時に停止し、ウェイクアップ後に動作を再開します。

開始されたフラッシュ書込み/消去動作はスタンバイモード時に継続されます。ただし、フラッシュインタフェースのクロック (CLKB)がいずれかのスタンバイモードで停止するため、フラッシュの割込み機能はスタンバイモードからのウェイクアップに使用することはできません。

進行中のフラッシュ書込み/消去動作によってスタンバイモードでの消費電流が大幅に増加する可能性があります。したがって、スタンバイモードをアクティブにする前に、フラッシュの書込み/消去動作が進行中ではなく、Write コマンドシーケンサが「アイドル」状態であることを確認してください。



## 4. 電圧レギュレータの動作

F<sup>2</sup>MC-16FX MCU は、外部電源からコアロジック電源を生成するオンチップ電圧レギュレータを装備しています。レギュレータの動作モードについて説明します。

### ■ 高電力モード

高電力モードは、電圧レギュレータの初期設定での動作モードです。このモードでは、レギュレータは MCU のどのモードでも最大消費電流を提供できます。

MCU のランモード時あるいは、メイン発振器か 2MHz RC 発振器が有効のとき、電圧レギュレータはこのモードで動作します。

### ■ 低電力モード

低電力モードは、電圧レギュレータのもう 1 つの動作モードです。低電力モードでは、レギュレータは 2mA の最大過渡電流を供給できます。レギュレータ自体の消費電流は 5 $\mu$ A まで低減されます。

#### ● 低電力モード A

サブスリープ、サブタイマ、RC (100kHz) スリープ、および RC (100kHz) タイマモードでは、このモードで電圧レギュレータが動作します。メイン発振器と 2MHz RC 発振器を無効にする必要があります。

#### ● 低電力モード B

ストップモードでしか、電圧レギュレータはこのモードで動作しません。

## 4.1. 電圧レギュレータ動作モードの変更

---

電圧レギュレータ動作モードは、選択した CPU 動作モードにより自動的にハードウェアで制御されます。

---

### ■ 概要

MCU コアの消費電力は、MCU の動作モード(ラン、スリープ、タイマまたはストップモード)や有効な発振器と PLL および選択された周波数(CLKS1, CLKS2, CLKB, CLKP1 および CLKP2)により変わります。

自動電圧レギュレータロジックは、CPU ランモードにおいて、またはメイン発振器か 2MHz の RC 発振器が有効なとき、レギュレータを高電力モードに設定します。

## 4.2. 出力電圧の電圧レギュレータの設定

---

電圧レギュレータの出力電圧は 1.8V に設定してください。

---

### ■ 高電力モードの電圧設定

レギュレータの初期設定での出力電圧は 1.8 V です。これは 0.18  $\mu\text{m}$  プロセスの標準コア電圧です。高電力モードにおけるレギュレータの出力電圧の変更を禁止します。

### ■ 低電力モードの電圧設定

低電力モード A と B におけるレギュレータの初期設定での出力電圧は 1.8V です。

#### ● 低電力モード A におけるコア電圧の変更

低電力モード A におけるレギュレータの出力電圧の変更を禁止します。

#### ● 低電力モード B におけるコア電圧の変更

低電力モード B におけるレギュレータの出力電圧の変更を禁止します。

## 5. スタンバイモード

スタンバイモードには、スリープモード (RC スリープ, メインスリープ, PLL スリープ, サブスリープ), タイマモード (RC タイマ, メインタイマ, PLL タイマ, サブタイマ), およびストップモードがあります。

### ■ スタンバイモードにある間の動作状態

それぞれのスタンバイモードにある間のクロック, CPU, 周辺機能, および外部端子の状態を表 5-1 に示します。

表 5-1 スタンバイモードにある間の動作状態

スタンバイモード	切換えの条件	RC クロック	メインクロック	PLL クロック	サブクロック	バスクロック	周辺クロック 1	周辺クロック 2	端子	解除イベント
スリープモード	RC スリープモード SC1M=00 SMS=01	アクティブ	MCE ビットと SC2M ビットに従う	PCE, MCE, および SC2M ビットに従う	SCE ビットと SC2M ビットに従う	停止	RC クロック	SC2M ビットに従う	アクティブ	電源リセット, 外部リセット, ウォッチドッグリセット, クロック停止リセット, 割込み
	メインスリープモード SC1M=01 SMS=01	RCE ビットと SC2M ビットに従う	アクティブ	PCE ビットと SC2M ビットに従う	SCE ビットと SC2M ビットに従う		メインクロック			
	PLL スリープモード SC1M=10 SMS=01	RCE ビットと SC2M ビットに従う	アクティブ	アクティブ	SCE ビットと SC2M ビットに従う		PLL クロック			
	サブスリープモード SC1M=11 SMS=01	RCE ビットと SC2M ビットに従う	MCE ビットと SC2M ビットに従う	PCE, MCE, および SC2M ビットに従う	アクティブ		サブクロック			
タイマモード	RC タイマモード SC1M=00 SMS=10	アクティブ	MCE ビットと SC2M ビットに従う	PCE, MCE, および SC2M ビットに従う	SCE ビットと SC2M ビットに従う		停止 <sup>*1</sup>		SPL ビットに従う (Hi-Z または最後の値が保持される) <sup>*2</sup>	
	メインタイマモード SC1M=01 SMS=10	RCE ビットと SC2M ビットに従う	アクティブ	PCE ビットと SC2M ビットに従う	SCE ビットと SC2M ビットに従う					
	PLL タイマモード SC1M=10 SMS=10	RCE ビットと SC2M ビットに従う	アクティブ	アクティブ	SCE ビットと SC2M ビットに従う					
	サブタイマモード SC1M=11 SMS=10	RCE ビットと SC2M ビットに従う	MCE ビットと SC2M ビットに従う	PCE, MCE, および SC2M ビットに従う	アクティブ					
ストップモード	ストップモード SMS=11	停止					停止			電源リセット, 外部リセット, 割込み

\*1: 対応するクロックが停止していない場合は、RC クロックタイマ, メインクロックタイマおよびサブクロックタイマが動作します。

\*2: SEGn/COMn 端子として使用する場合は、Low レベル出力になります。

SC1M: クロックモニタレジスタ (CKMR) のシステムクロック 1 モニタビット  
SC2M: クロックモニタレジスタ (CKMR) のシステムクロック 2 モニタビット  
SMS: スタンバイモード制御レジスタ (SMCR) のスタンバイモード選択ビット  
SPL: スタンバイモード制御レジスタ (SMCR) の端子状態設定ビット  
Hi-Z: ハイインピーダンス

## 5.1. スリープモード (RC スリープ, メインスリープ, PLL スリープ, およびサブスリープモード)

このモードでは、ほかのコンポーネントが動作し続けている間、CPU 動作クロック (バスクロック CLKB) が停止します。スリープモードに移行するには、スタンバイモード制御レジスタ (SMCR) への書き込みを行います。現在アクティブなクロックモード (CKMR : SC1M ビット) によって、MCU が RC スリープ、メインスリープ、PLL スリープ、またはサブスリープのいずれかのモードに切り換わります。

### ■ スリープモードの機能

#### ● CPU, 内部メモリ, およびデータ保持

スリープモードでは、CPU と内部メモリに供給しているクロック (バスクロック CLKB) が停止します。ただし、専用レジスタ (アキュムレータなど) と内部 RAM の内容は保持されます。

#### ● 周辺機能

周辺クロック (CLKP1 と CLKP2) はスリープモードでアクティブになり、アクティブな周辺機能は最終の設定で動作します。

#### ● ソースクロックタイマ

発振器と対応するソースクロックタイマ (RC クロックタイマ、メインクロックタイマ、およびサブクロックタイマ) はスリープモードの影響を受けません。これらの発振器とタイマは、スリープモードに移行前の設定に従って動作を続けます。

#### ● リセットと割込み

リセットと割込みはスリープモードで有効となるため、スリープモードの解除に使用できます。

#### ● 外部バスとホールド機能 (外部バスを持つデバイス限定の機能です)

外部バスはスリープモードで停止しますが、外部バスホールド機能はアクティブになります (ホールド機能が許可されている場合は、外部バス端子を HRQ 端子で制御されている Hi-Z に設定します)。

#### ● 端子の状態

スリープモード中は、すべての端子 (外部バス端子が存在するのであれば、その端子は除く) でスリープモード移行前の機能が保持されます。

### ■ スリープモードへの切換え

スリープモードへの切換えを要求するには、スタンバイモード制御レジスタ (SMCR) の SMS ビットに "01" を書き込みます。クロックモニタレジスタ (CKMR) の SC1M ビットに示されている現在のクロックモードに応じて、対応するスリープモードへの移行が要求されます (RC ラン → RC スリープ, メインラン → メインスリープ, PLL ラン → PLL スリープ, サブラン → サブスリープモード)。スリープモードへの移行は、要求から数クロック周期以内に行われます。

---

**<注意事項>**

SMS 書込み命令の次の命令が（スリープモードへの移行前ではなく）スリープモードからのウェイクアップ後に実行されているかどうかを確認するには、“01” に設定した後で SMS ビットをポーリングします。次の命令に分岐するのは、SMS ビットが “00” にクリアされている場合だけです。“01” が読み出された場合は、スリープモードへの移行がまだ行われていない（移行要求がまだ保留中である）ことを示します。

---

---

**<注意事項>**

(CKSR レジスタのシステムクロック 1 選択 “SC1S” ビットまたはシステムクロック 2 選択 “SC2S” ビットの値を書き換えることで) クロックモードを切り換えた後にスリープモードに移行する場合は、クロックモードの移行が SMS ビットの書込み前に行われているかどうかを確認してください。クロックモードの移行は、クロック安定および同期メカニズムによって延期されます。必ず SMS ビットを設定する前に CKMR レジスタの SC1M/SC2M (システムクロック 1/2 モニタ) ビットを読み出してクロックモードの正否を確認してください。

SC1S / SC2S ビットの設定を変更するのは、SMS ビットが “00” (スタンバイモード移行要求が保留中でない) に設定されている場合に限りです。

---

**● スリープモードに切り換える際の割込み要求**

ハードウェア割込みが保留中の場合、SMS ビットへの書込みは無効です。

**● スリープモードに切り換える際のフラッシュの書込み / 消去**

SMS ビットの設定時には、フラッシュの書込みまたは消去コマンドを実行したり継続したりしないでください。さもなければ、スリープモードにおける消費電流の増加および ESMCR:FPDS 設定が無効になります。クロック CLKB が無効になっているため、スリープモードからのウェイクアップ時にはフラッシュの割込み機能を使用できません。

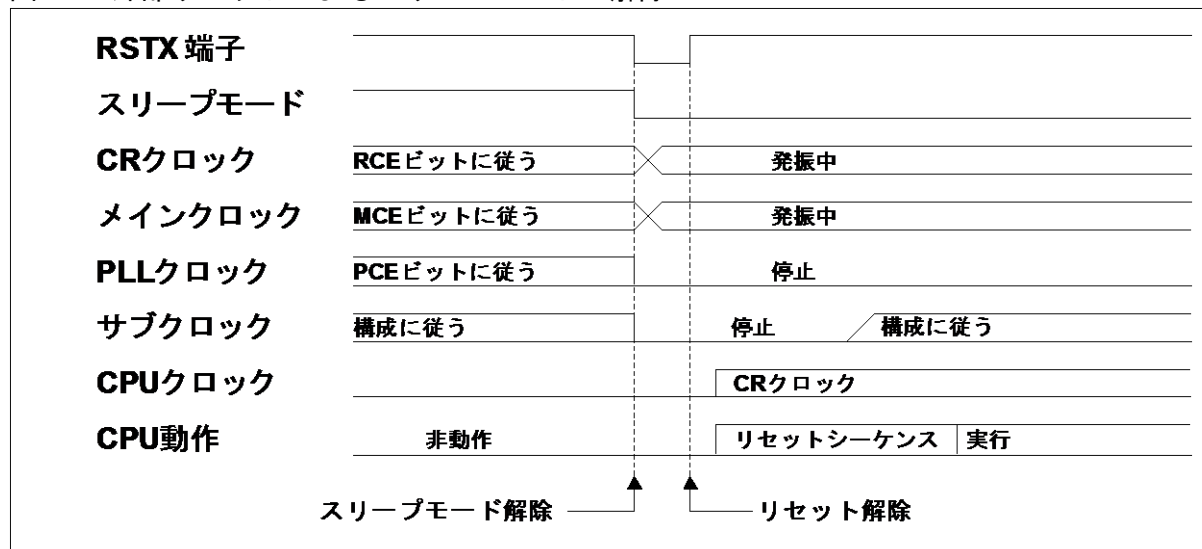
**■ スリープモードの解除**

リセットまたは割込みが発生すると、スタンバイモード制御回路によってスリープモードが解除されます。概要については、「表 6-1 モード切換え表」を参照してください。

**● リセットによる復帰**

リセット（電源、外部、クロック停止検出、またはウォッチドッグリセット）が発生した場合は、最後に選択されたクロックモードに関係なく MCU が RC ランモードに切り換わります。

図 5-1 外部リセットによるスリープモードの解除



### ● 割込みによる復帰

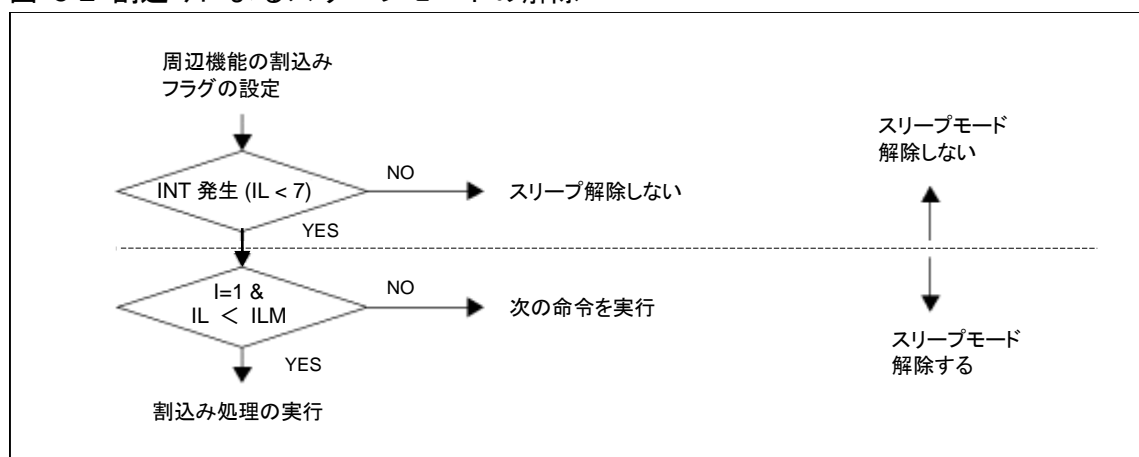
スリープモードにある間に NMI 割込みまたはレベル 7 より強い割込み要求が周辺回路から発生した場合、MCU はスリープモードを出て対応するランモードに復帰します (RC スリープ → RC ラン, メインスリープ → メインラン, PLL スリープ → PLL ラン, サブスリープ → サブラン)。スリープモードが解除された後の割込みは通常の割込みとして処理されます。

コンディションコードレジスタ (CCR) の I フラグ, 割込みレベルマスクレジスタ (ILM), および割込み制御レジスタ (ICR) の設定に従って割込みが受け付けられた場合、CPU はパイプラインに格納された最後の命令を終了した後に割込みルーチンを実行します。この割込みから復帰した後、CPU は割込みルーチンに入る直前に実行した命令の次の命令を実行します。

この割込みが受け付けられなかった場合、CPU はスリープモードに入る直前に実行した命令の次の命令を実行します。

(NMI ではなく) 割込みが発生した場合のスリープモードの解除を図 5-2 に示します。

図 5-2 割込みによるスリープモードの解除



## 5.2. タイマモード (RC タイマ, メインタイマ, PLL タイマ, およびサブタイマモード)

タイマモードでは、発振器, PLL, およびソースクロックタイマを除くすべての機能が停止します。タイマモードに移行するには、スタンバイモード制御レジスタ (SMCR) への書き込みを行います。現在アクティブなクロックモード(CKMR: SC1M ビット)によって、MCUがRCタイマ, メインタイマ, PLLタイマ, またはサブタイマのいずれかのモードに切り換わります。

### ■ タイマモードの機能

#### ● CPU, 内部メモリ, およびデータ保持

タイマモードでは、CPU と内部メモリに供給しているクロック(バスクロック CLKB)が停止します。ただし、アキュムレータなど専用レジスタと内部 RAM の内容は保持されます。

#### ● 周辺機能

周辺クロック(CLKP1 と CLKP2)はタイマモードで停止し、すべての周辺機能は最後の状態のまま停止します。

#### ● ソースクロックタイマ

発振器と対応するソースクロックタイマ (RC クロックタイマ, メインクロックタイマ, およびサブクロックタイマ) はタイマモードの影響を受けません。これらの発振器とタイマは、タイマモード移行前の設定に従って動作を続けます。

#### ● リセットと割込み

リセットと割込みはタイマモードで有効となるため、タイマモードの解除に使用できます。

#### ● 外部バスホールド機能 (外部バスを持つデバイス限定の機能です)

タイマモード中、外部バスは停止し、外部バスホールド機能が有効になります (ホールド機能が許可されている場合は、外部バス端子を HRQ 端子で制御されている Hi-Z に設定します)。

#### ● 端子状態

タイマモード中の外部端子の状態は、スタンバイモード制御レジスタ (SMCR) の SPL ビットによって、タイマモードに切り換わる直前の状態を保持するか、ハイインピーダンス状態にするかを設定できます。

### ■ タイマモードへの切換え

タイマモードへの切換えを要求するには、スタンバイモード制御レジスタ (SMCR) の SMS ビットに "10" を書き込みます。クロックモニタレジスタ (CKMR) の SC1M ビットに示されている現在のクロックモードに応じて、対応するタイマモードへの移行が要求されます (RC ラン → RC タイマ, メインラン → メインタイマ, PLL ラン → PLL タイマ, サブラン → サブタイマモード)。タイマモードへの切換えは、要求から数クロック周期以内に行われます。



---

**<注意事項>**

SMS 書込み命令の次の命令が（タイマモードへの移行前ではなく）タイマモードからのウェイクアップ後に実行されているかどうかを確認するには、“10” に設定した後で SMS ビットをポーリングします。次の命令に分岐するのは、SMS ビットが “00” にクリアされている場合だけです。“10” が読み出された場合は、タイマモードへの移行がまだ行われていない（移行要求がまだ保留中である）ことを示します。

---

---

**<注意事項>**

(CKSR レジスタのシステムクロック 1 選択 “SC1S” ビットまたはシステムクロック 2 選択 “SC2S” ビットの値を書き換えることで) クロックモードを切り換えた後にタイマモードに移行する場合は、クロックモードの移行が SMS ビットの書込み前に行われているかどうかを確認してください。クロックモードの移行は、クロック安定および同期メカニズムによって延期されます。必ず SMS ビットを設定する前に CKMR レジスタの SC1M/SC2M (システムクロック 1/2 モニタ) ビットを読み出してクロックモードの正否を確認してください。

SC1S / SC2S ビットの設定を変更するのは、SMS ビットが “00” (スタンバイモード移行要求が保留中でない) に設定されている場合に限りです。

---

**● タイマモードに切り換える際の割込み要求**

ハードウェア割込みが保留中の場合、SMS ビットへの書込みは無効です。

**● タイマモードに切り換える際のフラッシュの書込み/消去**

SMS ビットの設定時には、フラッシュの書込みまたは消去コマンドを実行したり継続したりしないでください。さもなければ、タイマモードにおける消費電流の増加および ESMCR:FPDS 設定が無効になります。バスクロック (CLKB) が無効になっているため、タイマモードからのウェイクアップ時にはフラッシュの割込み機能を使用できません。

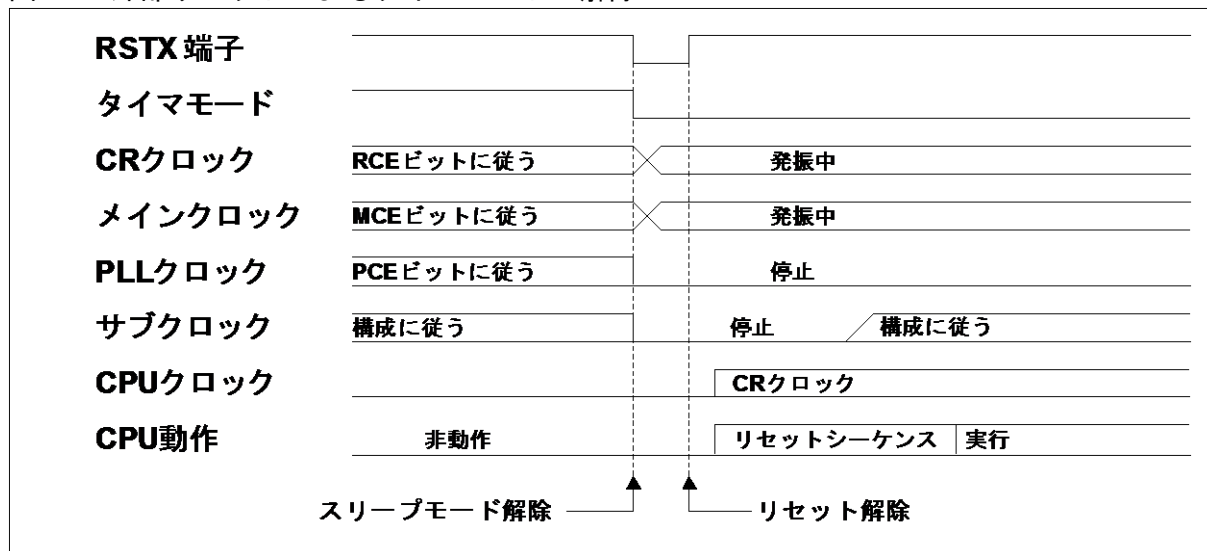
**■ タイマモードからの復帰**

リセットまたは割込みが発生すると、スタンバイモード制御回路によってタイマモードが解除されます。概要については、「表 6-1 モード切換え表」を参照してください。

**● リセットによる復帰**

リセット (電源、外部、クロック停止検出、またはウォッチドッグリセット) が発生した場合は、最後に選択されたクロックモードに関係なく MCU が RC ランモードに切り換わります。

図 5-3 外部リセットによるタイマモードの解除



### ● 割込みによる復帰

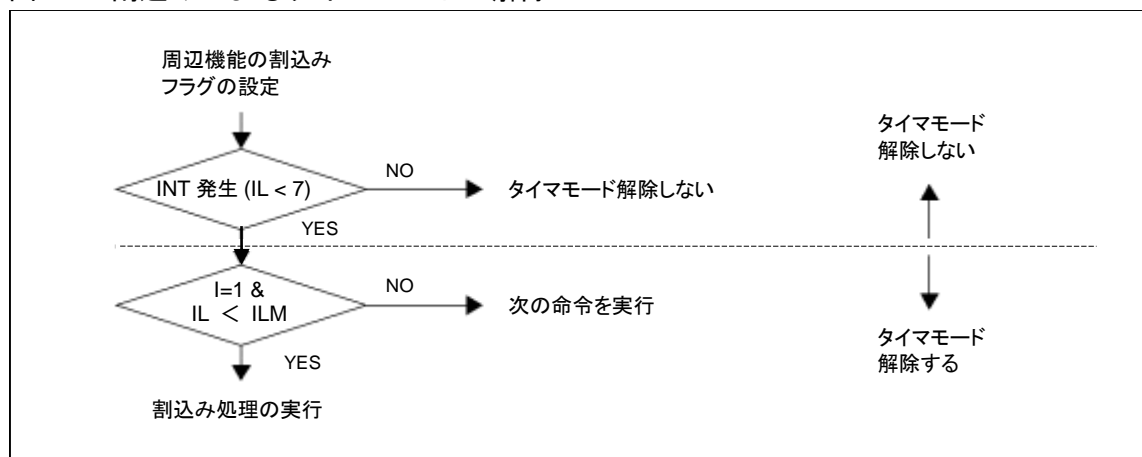
NMI 割込みがアサートされた場合やタイマモード中にソースクロックタイマまたは外部割込みから割込みレベル (IL) が 7 より強い割込み要求が発生した場合は、タイマモードが解除され、MCU が対応するランモードに復帰します (RC タイマ → RC ラン, メインタイマ → メインラン, PLL タイマ → PLL ラン, サブタイマ → サブラン)。タイマモードが解除された後の割込みは通常の割込みとして処理されます。

コンディションコードレジスタ (CCR) の I フラグ, 割込みレベルマスクレジスタ (ILM), および割込み制御レジスタ (ICR) の設定に従って割込みが受け付けられた場合、CPU はパイプラインに格納された最後の命令を終了した後、割込みルーチンを実行します。この割込みから復帰した後、CPU は割込みルーチンに入る直前に実行した命令の次の命令を実行します。

この割込みが受け付けられなかった場合、CPU はタイマモードに入る直前に実行した命令の次の命令を実行します。

(NMI ではなく) 割込みが発生した場合のタイマモードの解除を図 5-4 に示します。

図 5-4 割込みによるタイマモードの解除



## 5.3. ストップモード

ストップモードでは、すべての発振器が停止し、すべての機能が稼働しない状態になるため、最低消費電力でデータを保持できます。

### ■ ストップモードの機能

#### ● CPU, 内部メモリ, およびデータ保持

ストップモードでは、CPU と内部メモリに供給しているクロック(バスクロック CLKB)が停止します。ただし、アキュムレータなど専用レジスタと内部 RAM の内容は保持されます。

#### ● 周辺機能

周辺クロック(CLKPI と CLKP2)が停止し、すべての周辺機能が最後の状態のまま停止します。

#### ● ソースクロックタイマとクロック

すべてのソースクロックタイマ (RCクロックタイマ, メインクロックタイマ, およびサブクロックタイマ) だけでなくすべての発振器と PLL も停止してクリアされます。すべての発振器準備完了フラグと PLL 準備完了フラグがクリアされます。

#### ● リセットと割込み

リセットと割込みはストップモードで有効となるため、ストップモードの解除に使用できます。

#### ● 外部バスホールド機能 (外部バスを持つデバイス限定の機能です)

ストップモード中、外部バスは停止し、外部バスホールド機能が有効になります (ホールド機能が許可されている場合は、外部バス端子を HRQ 端子で制御されている Hi-Z に設定します)。

#### ● 端子状態

ストップモード中の外部端子の状態は、スタンバイモード制御レジスタ (SMCR) の SPL ビットによって、ストップモードに切り換わる直前の状態を保持するか、ハイインピーダンス状態にするかを設定できます。

### ■ ストップモードへの切換え

現在のクロックモードに関係なくストップモードへの切換えを要求するには、スタンバイモード制御レジスタ (SMCR) の SMS ビットに "11" を書き込みます。ストップモードへの移行は、要求から数クロック周期以内に行われます。

#### <注意事項>

SMS 書込み命令の次の命令が (ストップモードへの移行前ではなく) ストップモードからのウェイクアップ後に実行されているかどうかを確認するには、"11<sub>B</sub>" に設定した後で SMS ビットをポーリングします。次の命令に分岐するのは、SMS ビットが "00<sub>B</sub>" にクリアされている場合だけです。"11<sub>B</sub>" が読み出された場合は、ストップモードへの移行がまだ行われていない (移行要求がまだ保留中である) ことを示します。

---

**<注意事項>**

SMCR レジスタと CKSR レジスタをワードアクセスし、SMS ビットを "11<sub>B</sub>" (ストップモード) に設定することと同時に、(CKSR レジスタの SC1S[1:0] または SC2S[1:0] システムクロック選択ビットの値を書き換えて) クロックモードを切り換えることができます。新しいクロック設定は、ストップモードから復帰した直後に有効となります。スリープモードやタイマモードとは異なり、CKMR レジスタの SC1M または SC2M (システムクロックモニタ) ビットを読み出す必要も SMS ビットを設定する前にクロックモードの移行を待機する必要もありません。ただし、スタンバイモード移行要求が保留する可能性がある場合、この同時設定は行わないでください。

外部クロックが故障した場合でも信頼のおける MCU スタートアップを保証するために、ストップモードに切り換える際には両方のシステムクロックを RC クロックに設定する必要があります。このことは、クロック停止検出リセット機能を使用している場合に必須となります。

SC1S[1:0] または SC2S[1:0] ビットを存在しないクロック (例えば、サブ発振機能がアクティブになっていない場合やサブ発振器端子に水晶/発振器が接続されていない場合に「サブクロックモード」) に設定しないでください。

---

**● ストップモードに切り換える際の割込み要求**

ハードウェア割込みが保留中の場合、SMS ビットへの書込みは効果がありません。

**● ストップモードに切り換える際のフラッシュの書込み/消去**

SMS ビットの設定時には、フラッシュの書込みまたは消去コマンドを実行したり継続したりしないでください。さもなければ、ストップモードにおける消費電流の増加および ESMCR:FPDS 設定が無効になります。すべてのクロックが無効になっているため、ストップモードからのウェイクアップ時にはフラッシュの割込み機能を使用できません。

**■ ストップモードからの復帰**

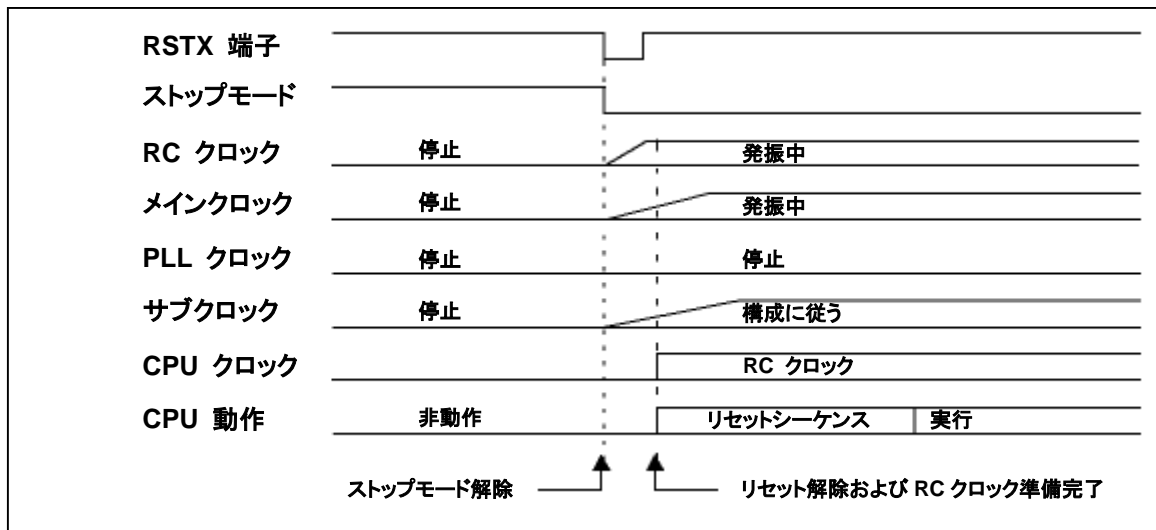
リセットまたは割込みが発生すると、スタンバイモード制御回路によってストップモードが解除されます。概要については、「表 6-1 モード切換え表」を参照してください。

**● リセットによる復帰**

電源リセットまたは外部リセットが発生した場合は、最後に選択されたクロックモードに関係なく MCU が RC ランモードに切り換わります。

それ以外のリセット (クロック停止, ソフトウェア, ウォッチドッグ) はストップモード中、動作しません。

図 5-5 外部リセットによるストップモードの解除



### ● 割込みによる復帰

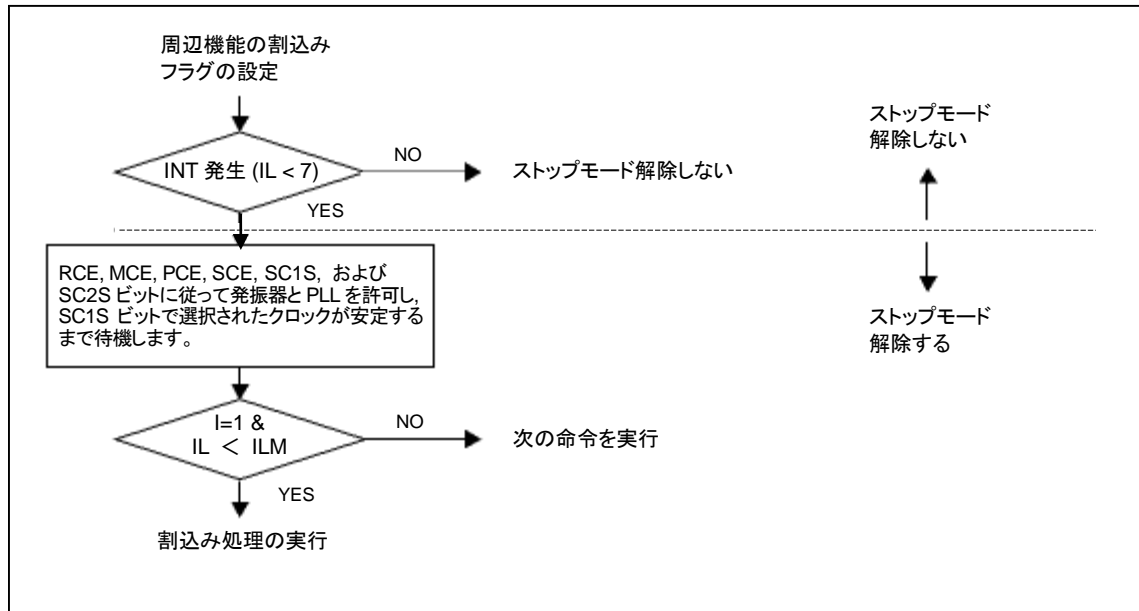
NMI割込みがアサートされた場合やストップモード中に外部割込みから割込みレベル (IL) が7より強い割込み要求が発生した場合は、ストップモードが解除され、MCUがSC1S[1:0] システムクロック1選択ビットで選択されたランモードに復帰します (該当するクロック安定待ち時間に入った後)。CKSRレジスタの構成に従って発振が許可されます。ストップモードが解除された後の割込みは通常の割込みとして処理されます。

コンディションコードレジスタ (CCR) のIフラグ、割込みレベルマスクレジスタ (ILM), および割込み制御レジスタ (ICR) の設定に従って割込みが受け付けられた場合、CPUはパイプラインに格納された最後の命令を終了した後に割込みルーチンを実行します。この割込みから復帰した後、CPUは割込みルーチンに入る直前に実行した命令の次の命令を実行します。

この割込みが受け付けられなかった場合、CPUはストップモードに入る直前に実行した命令の次の命令を実行します。

(NMIではなく) 割込みが発生した場合のストップモードの解除を図 5-6 に示します。

図 5-6 割込みによるストップモードの解除



## 6. モード切換え表と動作状態

F<sup>2</sup>MC-16FX MCU のモード切換え表を表 6-1 に示し、それぞれの動作モードでの動作状態を表 6-2 に示します。

### ■ モード切換え表

表 6-1 モード切換え表

(SC1M ビットに示されている) 現行モード	リセット発生後	割込み発生後	CPU コマンド実行後
RC ラン	RC ラン	RC ラン	メインラン, PLL ラン, サブラン, RC スリープ, RC タイマ, ストップ
メインラン		メインラン	RC ラン, PLL ラン, サブラン, メインスリープ, メインタイマ, ストップ
PLL ラン		PLL ラン	RC ラン, メインラン, サブラン, PLL スリープ, PLL タイマ, ストップ
サブラン		サブラン	RC ラン, メインラン, PLL ラン, サブスリープ, サブタイマ, ストップ
RC スリープ		RC ラン	—
メインスリープ		メインラン	—
PLL スリープ		PLL ラン	—
サブスリープ		サブラン	—
RC タイマ		RC ラン	—
メインタイマ		メインラン	—
PLL タイマ		PLL ラン	—
サブタイマ		サブラン	—
ストップ		RC ラン, メインラン PLL ラン, サブラン (SC1S[1:0] ビットに最後に書き込まれた値によって異なる)	—

## ■ 各動作モードでの動作状態

各動作モードでの動作状態を表 6-2 に示します。

表 6-2 各動作モードでの動作状態

動作モード	RC 発振器と RC クロック タイマ	メイン発振 器とメイン クロックタイ マ	PLL クロック	サブ発振器 と サブクロック タイマ	バスクロッ ク CLKB 用 のクロック ソース	周辺クロック用の クロックソース	
						CLKP1	CLKP2
RC ラン	アクティブ	MCE ビットと SC2M ビットに 従う	PCE, MCE, および SC2M ビットに従う	SCE ビットと SC2M ビットに 従う	RC クロック	RC クロック	SC2M ビット に従う
RC スリープ					停止		
RC タイマ						停止	
メインラン	RCE ビットと SC2M ビット に従う	アクティブ	PCE ビットと SC2M ビット に従う	SCE ビットと SC2M ビット に従う	メイン クロック	メイン クロック	SC2M ビット に従う
メイン スリープ					停止		
メイン タイマ						停止	
PLL ラン	RCE ビットと SC2M ビット に従う	アクティブ	アクティブ	SCE ビットと SC2M ビット に従う	PLL クロック	PLL クロック	SC2M ビット に従う
PLL スリープ					停止		
PLL タイマ						停止	
サブラン	RCE ビットと SC2M ビット に従う	MCE ビットと SC2M ビット に従う	PCE, MCE, および SC2M ビットに従う	アクティブ	サブクロック	サブ クロック	SC2M ビット に従う
サブ スリープ					停止		
サブタイマ						停止	
ストップ	停止						
外部リセット がアクティブ になる	RC 発振器が 許可され、 RC クロック タイマが停止 する	メイン発振器 が許可され、 メインクロック タイマがアク ティブになる	停止	サブ発振器が 禁止され、サブ クロックタイ マが停止する	停止		



## 7. レジスタ

スタンバイモードおよび電圧レギュレータ制御に使用されるレジスタの構成および機能について説明します。

### ■ スタンバイモードおよび電圧レギュレータ制御レジスタの一覧

レジスタ略称	レジスタ名	参照先
SMCR	スタンバイモード制御レジスタ	7.1
ESMCR	拡張スタンバイモード制御レジスタ	7.2
VRCCR	電圧レギュレータ制御レジスタ	7.3

## 7.1. スタンバイモード制御レジスタ (SMCR)

このレジスタはスタンバイモードに切り換わり、タイマモードとストップモードで端子機能を制御します。

### ■ スタンバイモード制御レジスタ (SMCR)

SMCR								
bit	7	6	5	4	3	2	1	0
	-	-	-	LPMSS	-	SPL	SMS1	SMS0
属性	-	-	-	R/W	-	R/W	R/W	R/W
初期値	X	X	X	0	X	0	0	0

[bit7～bit5] -: 未定義ビット

- ・ 常に "0" を書き込んでください。
- ・ これらのビットの読出し値は未定義です。
- ・ このビットへのリードモディファイライト(RMW)動作は無効です。

[bit4] LPMSS: スタンバイモードでの低消費電力モード設定

bit	説明
0	自動的に電圧レギュレータが制御されます。
1	スタンバイモード時に、レギュレータが低電力モードに設定されます。 (設定禁止)

- ・ 本ビットはスタンバイモード(アクティブ 2MHz RC クロックまたはアクティブメインクロックのスリープおよびタイマモード)のときに電圧レギュレータを制御します。詳細は、「4. 電圧レギュレータの動作」を参照してください。
- ・ 本ビットはリセットでクリアされます。
- ・ 2MHz RC 発振器またはメイン発振器がアクティブになるたびに、電圧レギュレータは常に「高電力モード」に設定されます。

[bit3] -: 未定義ビット

- ・ 常に "0" を書き込んでください。
- ・ これらのビットの読出し値は未定義です。
- ・ このビットへのリードモディファイライト(RMW)動作は無効です。

## [bit2] SPL: 端子状態設定ビット (タイマモードとストップモード用)

bit	説明
0	前の端子状態が保持される
1	ハイインピーダンス

- ・ このビットの設定は、タイマモードとストップモードにのみ影響を与えます。
- ・ このビットを "0" に設定すると、外部端子のレベルが保持されます。
- ・ このビットを "1" に設定すると、外部端子の状態がハイインピーダンスに切り換わります。
- ・ このビットはリセットごとに "0" に初期化されます。

## [bit1, bit0] SMS1 および SMS0: スタンバイモード選択ビット

- ・ これらのビットは、以下の表に従ってスタンバイモードへの切換えを要求します。

bit1	bit0	説明
0	0	ランモード
0	1	スリープモードへの移行を要求する
1	0	タイマモードへの移行を要求する
1	1	ストップモードへの移行を要求する

- ・ これらのビットに "01" を書き込むと、スリープモードへの切換えが要求されます。
- ・ これらのビットに "10" を書き込むと、タイマモードへの切換えが要求されます。
- ・ これらのビットに "11" を書き込むと、ストップモードへの切換えが要求されます。
- ・ 3つの値のいずれかを書き込むと、これらのビットがロックされます。別のスタンバイモードまたはランモードは選択できません。
- ・ これらのビットは、保留中のハードウェア割込み要求 (7 未満のレベル), NMI (利用可能な場合), およびリセットによって "00" にクリアされます。
- ・ これらのビットの読出し値は、スタンバイモード移行要求の状態を示します。"00" 以外の値が読み出された場合は選択されたスタンバイモードへの移行がまだ保留中であることを示し、"00" が読み出された場合は保留中のスタンバイモード移行要求が存在しないことを示します。

## ＜注意事項＞

アクティブな外部割込み入力端子、および NMI 入力端子を除くすべての入力端子はタイマモードとストップモードで自動的に無効になります。PIE ポート入力許可ビットの設定は、タイマモードとストップモードでは機能しません。

アクティブな外部割込み入力端子、および NMI 入力端子はタイマモード、ストップモードでも入力が有効です。このため端子状態が中間電位の場合に貫通電流や予期しない割込みの発生という問題を起こしますのでご注意ください。

## 7.2. 拡張スタンバイモード制御レジスタ (ESMCR)

このレジスタは、スタンバイモードに関連する追加機能を制御します。

### ■ 拡張スタンバイモード制御レジスタ (ESMCR)

ESMCR								
bit	7	6	5	4	3	2	1	0
	-	-	-	FPDS	BSD3	BSD2	BSD1	BSD0
属性	-	-	-	R/W	R/W	R/W	R/W	R/W
初期値	X	X	X	0	0	0	0	1

[bit7～bit5] -: 未定義

- ・ 常に "0" を書き込んでください。
- ・ これらのビットの読出し値は未定義です。
- ・ このビットへのリードモディファイライト(RMW)動作は無効です。

[bit4] FPDS: フラッシュパワーダウン選択ビット

bit	説明
0	スタンバイモード時、フラッシュマクロを「パワーダウン」に設定しない
1	スタンバイモード時、フラッシュマクロを「パワーダウン」に設定

- ・ このビットを設定すると、スタンバイモードにおいてフラッシュマクロが制御されます。
- ・ 本ビットが"1"に設定されているとき、フラッシュの書き込み/消去動作が進行中でない場合に、フラッシュマクロのパワーダウン/リセットモードは、スタンバイモード(スリープ、タイマまたはストップモード)で有効になります。これにより、MCU 消費電流は減少します。スタンバイモードからのウェイクアップ時には、フラッシュがパワーダウン状態でなくなり、「読出し/リセット」状態になるまでプログラムの開始が延期されます。
- ・ 本ビットが"0"に設定されているとき、またはスタンバイモード移行時に書き込み/消去動作が進行中の場合、フラッシュマクロのパワーダウン/リセットモードは、スタンバイモードで有効になりません。この結果、スタンバイモードの電流が増大しますが、スタンバイモード解除後の起動が速くなります。フラッシュマクロの状態はスタンバイモードの影響を受けません。
- ・ 進行中のフラッシュ書き込み/消去動作は、DFSA/B:RDY=0 (フラッシュが準備できていません)またはDFSA/B:ST[1:0] != "00" (フラッシュ Write コマンドシーケンサが「アイドル」ではありません)で確認することができます。
- ・ このビットは、どのリセットでも "0" に初期化されます。

**[bit3～bit0] BSD3～BSD0: バス起動遅延選択ビット**

- これらのビットは、スタンバイモードからのウェイクアップ後のバス起動遅延を次の表のように制御します。

bit3	bit2	bit1	bit0	説明
0	0	0	0	0 バスクロック(CLKB)周期(設定禁止)
0	0	0	1	16 バスクロック(CLKB)周期
0	0	1	0	32 バスクロック(CLKB)周期(設定禁止)
0	0	1	1	64 バスクロック(CLKB)周期(設定禁止)
0	1	0	0	128 バスクロック(CLKB)周期(設定禁止)
0	1	0	1	256 バスクロック(CLKB)周期(設定禁止)
1	1	1	0	512 バスクロック(CLKB)周期(設定禁止)
0	1	1	1	1024 バスクロック(CLKB)周期(設定禁止)
1	X	X	X	2047 バスクロック(CLKB)周期(設定禁止)

- これらのビットは、バスクロック(CLKB)の開始からスタンバイモード解除後のコアバスにおける最初の転送開始までの遅延を設定します。
- これらのビットは、どのリセットでも "0001" (16 バスクロック(CLKB)周期) に初期化されます。

---

**<注意事項>**

これらのビットを変更しないでください。

---

## 7.3. 電圧レギュレータ制御レジスタ (VRCR)

電圧レギュレータ制御レジスタは、内蔵電圧レギュレータの各種動作モードの出力電圧を定義します。

### ■ 電圧レギュレータ制御レジスタ (VRCR)

詳細は、「4. 電圧レギュレータの動作」を参照してください。

VRCR								
bit	7	6	5	4	3	2	1	0
	HPM1	HPM0	-	LPMA1	LPMA0	-	LPMB1	LPMB0
属性	R/W	R/W	-	R/W	R/W	-	R/W	R/W
初期値	1	0	X	1	0	X	1	0

[bit7, bit6] HPM1, HPM0: 高電力モード選択ビット

- これらのビットは、高電力モードのレギュレータ出力電圧を次の表のように選択します。

bit7	bit6	説明
0	0	1.6 V (設定禁止)
0	1	1.7 V (設定禁止)
1	0	1.8 V
1	1	1.9 V (設定禁止)

- どのリセットでも、これらのビットは "10" (1.8V) に初期化されます。
- レギュレータの高電力モードは、メイン発振器, PLL, または 2MHz RC 発振器のいずれかがアクティブもしくはすべてのランモードにおいて使用される標準動作モードです。

[bit5] -: 未定義ビット

- 常に "1" を書き込んでください。
- このビットの読出し値は未定義です。
- このビットへのリードモディファイライト(RMW)動作は無効です。

**[bit4, bit3] LPMA1, LPMA0: 低電力モード A 選択ビット**

- これらのビットは、低電力モード A のレギュレータ出力電圧を次の表のように選択します。

bit4	bit3	説明
0	0	1.2 V (設定禁止)
0	1	1.6 V (設定禁止)
1	0	1.8 V
1	1	1.9 V (設定禁止)

- どのリセットでも、これらのビットは "10" (1.8V) に初期化されます。
- メイン発振器, PLL, および 2MHz RC 発振器がすべて停止している場合は、サブスリープ, サブタイマ, RC (100kHz) スリープ, および RC (100kHz) タイマモードではレギュレータの低電力モード A が使用されません。SMCR:LPMSS を "1" に設定後、低消費電力モード A は、メイン発振器と 2MHz RC 発振器の有効化にかかわらず使用されます。

**[bit2] -: 未定義ビット**

- 常に "1" を書き込んでください。
- このビットの読み出し値は未定義です。
- このビットへのリードモディファイライト (RMW) 動作は無効です。

**[bit1, bit0] LPMB1, LPMB0: 低電力モード B 選択ビット**

- これらのビットは、低電力モード B のレギュレータ出力電圧を次の表のように選択します。

bit1	bit0	説明
0	0	1.2 V (設定禁止)
0	1	1.6 V (設定禁止)
1	0	1.8 V
1	1	1.9 V (設定禁止)

- どのリセットでも、これらのビットは "10" (1.8V) に初期化されます。
- レギュレータの低電力モード B は、ストップモードでのみ使用されます。

# Chapter 9: ソースクロックタイマ



---

3つのソースクロックタイマ(RCクロックタイマ, メインクロックタイマ, サブクロックタイマ)の機能と動作について説明します。

---

1. 概要
2. RCクロックタイマ
3. メインクロックタイマ
4. サブクロックタイマ

---

管理コード : 96F6CLKTIMER-J03.0

---



## 1. 概要

F<sup>2</sup>MC-16FX MCU では、3つの独立したソースクロックタイマ(RC クロックタイマ、メインクロックタイマ、サブクロックタイマ)を提供しています。これらのタイマは指定したインターバルで割込みを発行でき、発振安定待ち時間を測定するために使用されます。

### ■ RC クロックタイマ

RC クロックタイマは、内蔵 RC 発振器(CLKRC)の出力信号をクロックとして使用し、RC 発振器が使用可能のとき常に動作しています。このタイマはまた、RC 発振安定待ち時間を測定するためにも使用します。

### ■ メインクロックタイマ

メインクロックタイマは、メイン発振回路(CLKMC)の出力信号をクロックとして使用し、メイン発振器が使用可能のとき常に動作しています。このタイマはまた、メインクロックの安定待ち時間を測定するためにも使用します。

### ■ サブクロックタイマ

サブクロックタイマは、サブ発振回路(CLKSC)の出力信号をクロックとして使用し、サブ発振器が使用可能のとき常に動作しています。このタイマはまた、サブクロックの安定待ち時間を測定するためにも使用します。

## 2. RC クロックタイマ

RC クロックタイマは 23 ビットカウンタと制御レジスタによって構成されます。23 ビットカウンタは RC クロック CLKRC を分周します。RC クロックタイマは、RC クロックカウンタのキャリ信号により、指定したインターバルで割込みを発行します。

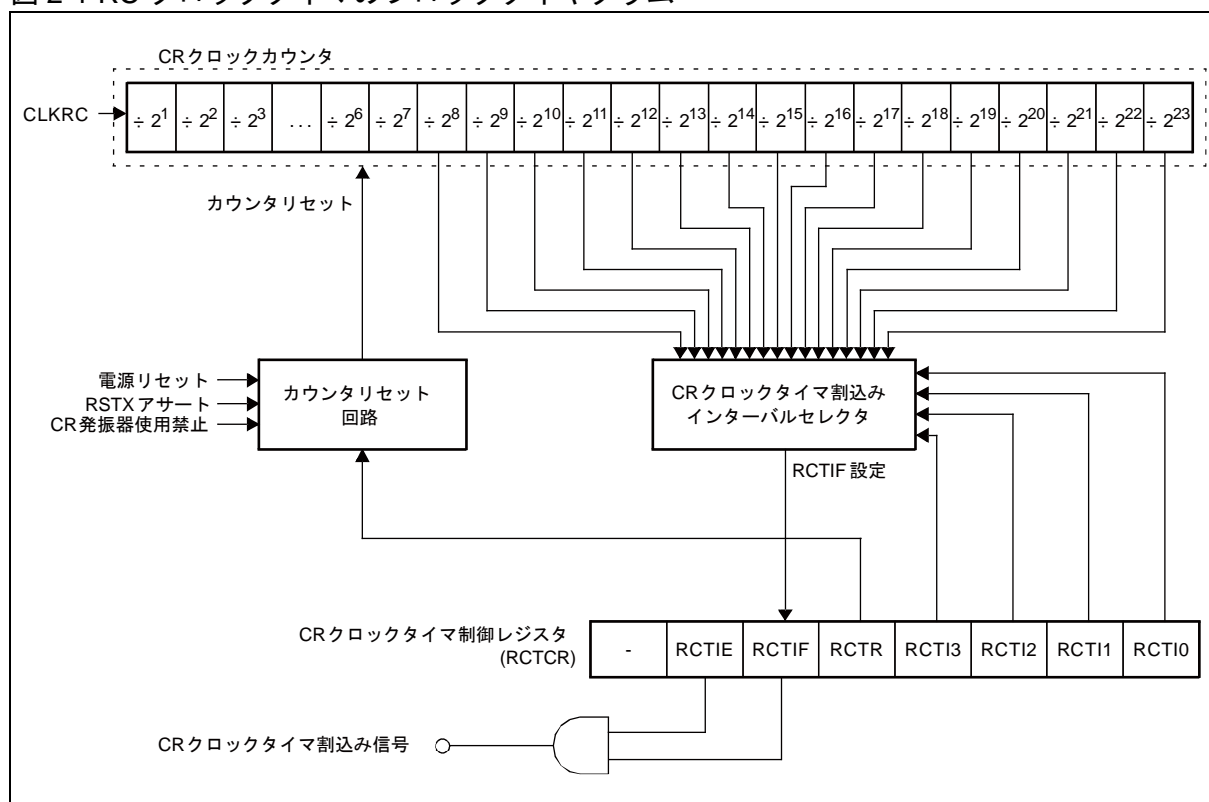
### ■ RC クロックタイマの概要

電源または外部リセットによって RC クロックタイマは"0"に初期化されます。RC クロックタイマは、RC クロックが禁止されたとき(ストップモードへの遷移時または RCE を"0"にセット)または RCTCR レジスタの RCTR ビットに"0"を書き込むことによって初期化されます。RC クロックタイマは RC クロックが供給されている間はカウントを継続します。RC クロックタイマは RC 発振安定待ち時間を測定するために使用し、インターバル割込みを生成するためにも使用できます。

### ■ RC クロックタイマのブロックダイアグラム

図 2-1 は、RC クロックタイマのブロックダイアグラムを示しています。

図 2-1 RC クロックタイマのブロックダイアグラム



## 2.1. RC クロックタイマの動作

RC クロックタイマは指定されたインターバルで割込みを生成するためのインターバルタイマとして機能します。

### ■ RC クロックカウンタ

RC クロックカウンタは、RC クロック CLKRC をクロックとして使用する 23 ビットカウンタによって構成されます。RC クロックがアクティブのとき、RC クロックカウンタは常にカウントを継続します。RC クロック周波数は CKFCR: RCFS ビットによって設定されます。

RC クロックカウンタは、RC クロックが停止されたとき(ストップモードへの遷移または CKSR: RCE ビットによる RC クロックの禁止と CKMR: RCM ビットによる確認)、RCTCR レジスタの RCTR ビットへの"0"の書き込みによってまたは電源リセットおよび外部リセットによってクリアされます。

### <注意事項>

外部リセットがアサートされている間は RC クロックカウンタはクリアされ、停止されます。このとき、RC 発振安定待ち時間カウンタも停止されます。そのため RC 発振安定待ち時間は RSTX によって引き延ばされ、外部リセットがアサート解除された後でカウントが開始されます。

### ■ インターバル割込み機能

RC クロックカウンタのキャリ信号にしたがって、指定したインターバルで割込みが生成されます。RCTCR レジスタの RCTI3~RCTI0 ビットで指定されたインターバルで RCTIF フラグがセットされます。RC クロックタイマをクリアし、カウントが開始されたときに、インターバル時間は開始します。

RC 発振安定待ち時間カウンタは RC クロックカウンタに接続されます。したがって、RC クロックが停止されたとき(ストップモードへの遷移または CKSR: RCE ビットによる RC クロックの禁止と CKMR: RCM ビットによる確認)、RC クロックカウンタが直ちにクリアされます。

## 2.2. RC クロックタイマ制御レジスタ(RCTCR)

RC クロックタイマ制御レジスタ(RCTCR)は、RC クロックタイマインターバル割込み機能を制御し、RC クロックタイマをリセットするために使用します。

### ■ RC クロックタイマ制御レジスタ(RCTCR)の構成

RCTCR								
bit	7	6	5	4	3	2	1	0
	-	RCTIE	RCTIF	RCTR	RCTI3	RCTI2	RCTI1	RCTI0
属性	-	R/W	R/W	W	R/W	R/W	R/W	R/W
初期値	X	0	0	1	0	0	0	0

#### [bit7] -: 予約ビット

- ・ このビットには常に"0"を書き込んでください。
- ・ このビットの読出し値は未定義です。
- ・ このレジスタへのリードモディファイライト(RMW) 系命令は無効です。

#### [bit6] RCTIE:RC クロックタイマ割込み許可ビット

bit	説明
0	割込みを禁止
1	割込みを許可

- ・ このビットは、RC クロックタイマによるインターバル割込みを許可するために使用します。
- ・ どのリセットでも"0"に初期化されます。

#### [bit5] RCTIF:RC クロックタイマ割込みフラグ

bit	説明	
	読出し	書込み
0	割込みなし	このビットをクリア
1	割込みを要求	影響なし

- ・ これは RC クロックタイマの割込み要求フラグです。
- ・ このビットは RCTI3～RCTI0 ビットによって指定された各インターバルで"1"にセットされます。
- ・ 割込み許可ビット RCTIE が"1"にセットされている場合は、このビットが"1"にセットされたときに割込み要求が発行されます。
- ・ このビットは"0"の書込みおよびいずれかのリセットによってクリアされます。
- ・ RC クロックタイマをリセットする場合、このビットも必ずクリアしてください。

- ・ RCクロックタイマ割込みインターバルビット RCTI[3:0]はいずれのリセットでも"0000"( $2^8 / \text{CLKRC}$  周期)にリセットされます。したがって、いずれのリセット後でも  $2^8 / \text{CLKRC}$  周期で、RCTIF ビットは"1"に設定されます。
- ・ リードモディファイライト(RMW) 系命令では常に"1"が読み出されます。

**[bit4] RCTR:RC クロックタイマリセットビット**

bit	説明	
	読出し	書込み
0	常に"1"を読み出す	すべてのビットを"0"にリセット
1		影響なし

このビットは、RC クロックカウンタのすべてのビットをクリアします。

**<注意事項>**

このビットに"0"を書き込んで RC クロックタイマをクリアする場合、RCTIF ビットにも"0"を書き込んで RC クロックタイマの割込みフラグをクリアしてください。

**[bit3~bit0] RCTI3~RCTI0:RC クロックタイマ割込みインターバル選択ビット**

- ・ これらのビットは、次の表にしたがって RC クロックタイマ割込みインターバルを制御します。

bit3	bit2	bit1	bit0	説明
0	0	0	0	$2^8 / \text{CLKRC}$ (約 128 $\mu$ s/2.5ms)
0	0	0	1	$2^9 / \text{CLKRC}$ (約 256 $\mu$ s/5.1ms)
0	0	1	0	$2^{10} / \text{CLKRC}$ (約 512 $\mu$ s/10.2ms)
0	0	1	1	$2^{11} / \text{CLKRC}$ (約 1ms/20.5ms)
0	1	0	0	$2^{12} / \text{CLKRC}$ (約 2ms/41ms)
0	1	0	1	$2^{13} / \text{CLKRC}$ (約 4ms/82ms)
0	1	1	0	$2^{14} / \text{CLKRC}$ (約 8ms/164ms)
0	1	1	1	$2^{15} / \text{CLKRC}$ (約 16ms/328ms)
1	0	0	0	$2^{16} / \text{CLKRC}$ (約 32ms/655ms)
1	0	0	1	$2^{17} / \text{CLKRC}$ (約 65ms/1.3s)
1	0	1	0	$2^{18} / \text{CLKRC}$ (約 131m/2.6s)
1	0	1	1	$2^{19} / \text{CLKRC}$ (約 262ms/5.2s)

bit3	bit2	bit1	bit0	説明
1	1	0	0	$2^{20}$ / CLKRC (約 524ms/10.4s)
1	1	0	1	$2^{21}$ / CLKRC (約 1.05s/21s)
1	1	1	0	$2^{22}$ / CLKRC(約 2.1s/42s)
1	1	1	1	$2^{23}$ / CLKRC(約 4.2s/84s)

- ・ これらのビットは、どのリセットでも"0000"に初期化されます。
- ・ これらのビットにデータが書き込まれるとき、同時に bit5(RCTIF)をクリアしなければなりません。
- ・ 表の中の時間の計算値は、標準値の RC クロック周波数で算出しています。しかし、実際の周波数およびインターバル時間は異なります。RC クロック周波数の精度の詳細についてはデータシートの「内蔵 RC 発振規格」を参照してください。
- ・ ( ) 内は CLKRC=2MHz/100kHz 時

### 3. メインクロックタイマ

メインクロックタイマは 23 ビットカウンタと制御レジスタによって構成されます。23 ビットカウンタはメインクロック CLKMC を分周します。メインクロックタイマは、メインクロックカウンタのキャリ信号により、指定したインターバルで割込みを発行します。

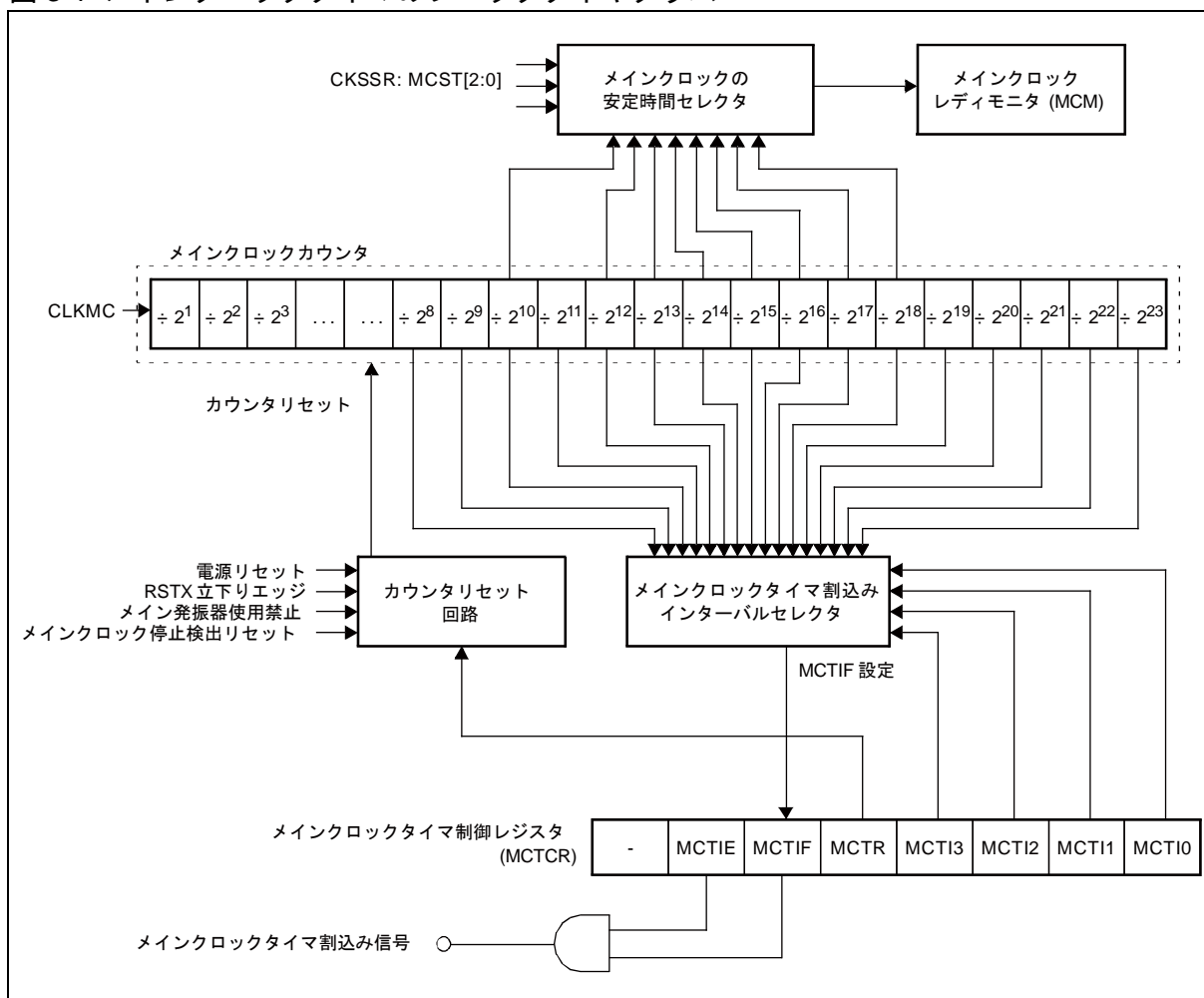
#### ■ メインクロックタイマの概要

電源のリセットまたは RSTX 入力端子の立下りエッジでメインクロックタイマが"0"に初期化されます。メインクロックタイマは、メインクロックが禁止されたとき(ストップモードへの遷移時または MCE を"0"にセット)または MCTCR レジスタの MCTR ビットに"0"を書き込むことによって初期化されます。メインクロックタイマはメインクロックが供給されている間はカウントを継続します。メインクロックタイマはメインクロックの安定待ち時間を測定するために使用し、インターバル割込みを生成するためにも使用できます。

#### ■ メインクロックタイマのブロックダイアグラム

図 3-1 は、メインクロックタイマのブロックダイアグラムを示しています。

図 3-1 メインクロックタイマのブロックダイアグラム



## 3.1. メインクロックタイマの動作

メインクロックタイマは指定されたインターバルで割込みを生成するためのインターバルタイマとして、また、メイン発振の安定待ちタイマとして機能します。

### ■ メインクロックカウンタ

メインクロックカウンタは、メインクロック CLKMC をクロックとして使用する 23 ビットカウンタによって構成されます。メインクロックがアクティブであるとき、メインクロックカウンタは常にカウントを継続します。

メインクロックカウンタは、メインクロックが停止されたとき(ストップモードへの遷移または CKSR: MCE ビットによるメインクロックの禁止と CKMR: MCM ビットによる確認)、MCTCR レジスタの MCTR ビットへの"0"の書き込み、電源リセット、外部リセット、およびメインクロック停止検出リセットによってクリアされます。

### <注意事項>

外部リセットは、RSTX 入力端子の立下りエッジを検出することによってメインクロックカウンタをクリアおよび停止します。RC クロックで 200 周期後に(リセット延長時間が終了して)、メインクロックカウンタリセットが解除され、外部リセットがまだアサートされている場合でもカウンタはカウントを開始します。したがって、メインクロック安定待ち時間は、RSTX がまだアクティブであるときでも開始します。

### ■ インターバル割込み機能

メインクロックカウンタのキャリ信号に従って、指定したインターバルで割込みが生成されます。MCTCR レジスタの MCTI[3:0] ビットで指定されたインターバルで MCTIF フラグがセットされます。メインクロックタイマをクリアし、カウントが開始されたとき、インターバル時間が開始されます。

メインクロックが停止されたとき(ストップモードへの遷移または CKSR: MCE ビットによるメインクロックの禁止と CKMR: MCM ビットによる確認)、メインクロックタイマが復帰時のメイン発振の安定待ちタイマとして使用されます。したがって、メインクロックが停止したときメインクロックカウンタは直ちにクリアされます。



## 3.2. メインクロックタイマ制御レジスタ(MCTCR)

メインクロックタイマ制御レジスタ(MCTCR)は、メインクロックタイマインターバル割込み機能を制御し、メインクロックタイマをリセットするために使用します。

### ■ メインクロックタイマ制御レジスタ(MCTCR)の構成

MCTCR								
bit	15	14	13	12	11	10	9	8
	-	MCTIE	MCTIF	MCTR	MCTI3	MCTI2	MCTI1	MCTI0
属性	-	R/W	R/W	W	R/W	R/W	R/W	R/W
初期値	X	0	0	1	0	0	0	0

#### [bit15] -: 予約ビット

- ・ このビットに常に"0"を書き込んでください。
- ・ このビットの読出し値は未定義です。
- ・ このレジスタへのリードモディファイライト(RMW) 系命令は無効です。

#### [bit14] MCTIE:メインクロックタイマ割込み許可ビット

bit	説明
0	割込みを禁止
1	割込みを許可

- ・ このビットは、メインクロックタイマによるインターバル割込みを許可するために使用します。
- ・ どのリセットでも"0"に初期化されます。

### [bit13] MCTIF:メインクロックタイマ割込みフラグ

bit	説明	
	読出し	書込み
0	割込みなし	このビットをクリア
1	割込みを要求	影響なし

- ・これはメインクロックタイマの割込み要求フラグです。
- ・このビットは **MCTI3**～**MCTI0** ビットによって指定された各インターバルで"1"にセットされます。
- ・割込み許可ビット **MCTIE** が"1"にセットされている場合は、このビットが"1"にセットされたときに割込み要求が発行されます。
- ・このビットは"0"の書込みおよびいずれかのリセットによってクリアされます。
- ・メインクロックタイマをリセットする場合、このビットも必ずクリアしてください。
- ・メインクロックタイマ割込みインターバルビット **MCTI[3:0]**はいずれのリセットでも"0000" ( $2^8/\text{CLKMC}$  周期)にリセットされます。したがって、いずれのリセット後でも  $2^8/\text{CLKMC}$  周期で、**MCTIF** ビットは"1"に設定されます。
- ・リードモディファイライト(RMW) 系命令では常に"1"が読み出されます。

### [bit12] MCTR:メインクロックタイマリセットビット

bit	説明	
	読出し	書込み
0	常に"1"を読み出す	すべてのビットを"0"にリセット
1		影響なし

このビットは、メインクロックカウンタのすべてのビットをクリアします。

### <注意事項>

このビットに"0"を書き込んでメインクロックタイマをクリアする場合は、**MCTIF** ビットにも"0"を書き込んでメインクロックタイマの割込みフラグをクリアしてください。

**[bit11～bit8] MCTI3～MCTI0:メインクロックタイマ割込みインターバル選択ビット**

- これらのビットは、次の表にしたがってメインクロックタイマ割込みインターバルを制御します。

bit11	bit10	bit9	bit8	説明
0	0	0	0	$2^8$ / CLKMC (約 64 $\mu$ s)
0	0	0	1	$2^9$ / CLKMC (約 128 $\mu$ s)
0	0	1	0	$2^{10}$ / CLKMC (約 256 $\mu$ s)
0	0	1	1	$2^{11}$ / CLKMC (約 512 $\mu$ s)
0	1	0	0	$2^{12}$ / CLKMC (約 1ms)
0	1	0	1	$2^{13}$ / CLKMC (約 2ms)
0	1	1	0	$2^{14}$ / CLKMC (約 4ms)
0	1	1	1	$2^{15}$ / CLKMC (約 8ms)
1	0	0	0	$2^{16}$ / CLKMC (約 16ms)
1	0	0	1	$2^{17}$ / CLKMC (約 32ms)
1	0	1	0	$2^{18}$ / CLKMC (約 65ms)
1	0	1	1	$2^{19}$ / CLKMC (約 131ms)
1	1	0	0	$2^{20}$ / CLKMC (約 262ms)
1	1	0	1	$2^{21}$ / CLKMC (約 524ms)
1	1	1	0	$2^{22}$ / CLKMC (約 1.049s)
1	1	1	1	$2^{23}$ / CLKMC (約 2.097s)

- これらのビットにデータが書き込まれるとき、同時に bit13(MCTIF)をクリアしなければなりません。
- ( ) 内は CLKMC=4MHz 時

## 4. サブクロックタイマ

サブクロックタイマは 17 ビットカウンタと制御レジスタによって構成されます。17 ビットカウンタはサブクロック CLKSC を分周します。サブクロックタイマは、サブクロックカウンタのキャリ信号により、指定したインターバルで割込みを発行します。

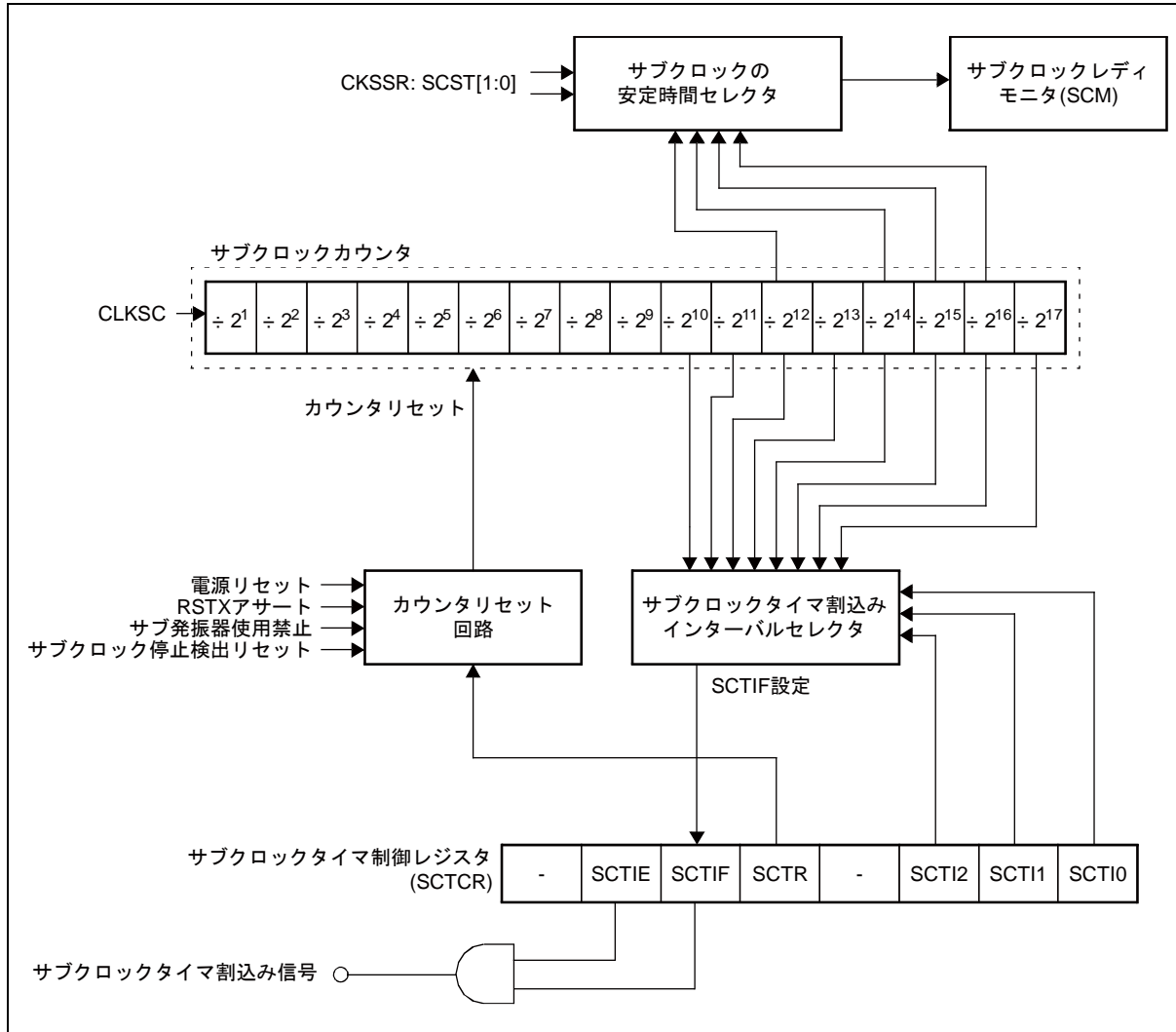
### ■ サブクロックタイマの概要

電源または外部リセットによってサブクロックタイマは"0"に初期化されます。サブクロックタイマは、サブクロックが禁止されたとき(ストップモードへの遷移時またはSCEを"0"にセット)またはSCTCR レジスタのSCTR ビットに"0"を書き込むことによって初期化されます。サブクロックタイマはサブクロックが供給されている間はカウントを継続します。サブクロックタイマはサブクロックの安定待ち時間を測定するために使用し、インターバル割込みを生成するためにも使用できます。

### ■ サブクロックタイマのブロックダイアグラム

図 4-1 は、サブクロックタイマのブロックダイアグラムを示しています。

図 4-1 サブクロックタイマのブロックダイアグラム



## 4.1. サブクロックタイマの動作

サブクロックタイマは指定されたインターバルで割込みを生成するためのインターバルタイマとして、また、サブ発振の安定待ちタイマとして機能します。

### ■ サブクロックカウンタ

サブクロックカウンタは、サブクロック CLKSC をクロックとして使用する 17 ビットカウンタによって構成されます。サブクロックがアクティブであるとき、サブクロックカウンタは常にカウントを継続します。サブクロックカウンタは、サブクロックが停止されたとき(ストップモードへの遷移または CKSR: SCE ビットによるサブクロックの禁止と CKMR: SCM ビットによる確認)、SCTCR レジスタの SCTR ビットへの"0"の書込み、電源リセット、外部リセット、およびサブクロック停止検出リセットによってクリアされます。

### <注意事項>

サブクロックは電源リセットまたは外部リセットによって禁止されます。リセット解除後、サブ発振器構成マーカに応じて、ブート ROM プログラムによって起動されます。そのため、サブクロック安定待ち時間はこの起動後に開始されます。

### ■ インターバル割込み機能

サブクロックカウンタのキャリ信号にしたがって、指定したインターバルで割込みが生成されます。SCTCR レジスタの SCTI[2:0]ビットで指定されたインターバルで SCTIF フラグがセットされます。サブクロックタイマをクリアし、カウントが開始されたとき、インターバル時間が開始されます。

サブクロックが停止されたとき(ストップモードへの遷移または CKSR: SCE ビットによるサブクロックの禁止と CKMR: SCM ビットによる確認)、サブクロックタイマが復帰時のサブ発振の安定待ちタイマとして使用されます。したがって、サブクロックが停止したときサブクロックカウンタは直ちにクリアされます。

## 4.2. サブクロックタイマ制御レジスタ(SCTCR)

サブクロックタイマ制御レジスタ(SCTCR)は、サブクロックタイマインターバル割込み機能を制御し、サブクロックタイマをリセットするために使用します。

### ■ サブクロックタイマ制御レジスタ(SCTCR)の構成

SCTCR								
bit	7	6	5	4	3	2	1	0
	-	SCTIE	SCTIF	SCTR	-	SCTI2	SCTI1	SCTI0
属性	-	R/W	R/W	W	-	R/W	R/W	R/W
初期値	X	0	0	1	X	0	0	0

#### [bit7] -: 予約ビット

- ・ このビットに常に"0"を書き込んでください。
- ・ このビットの読出し値は未定義です。
- ・ このレジスタへのリードモディファイライト(RMW) 系命令は無効です。

#### [bit6] SCTIE:サブクロックタイマ割込み許可ビット

bit	説明
0	割込みを禁止
1	割込みを許可

- ・ このビットは、サブクロックタイマを基にインターバル割込みを許可するために使用します。
- ・ どのリセットでも"0"に初期化されます。

#### [bit5] SCTIF:サブクロックタイマ割込みフラグ

bit	説明	
	読出し	書込み
0	割込みなし	このビットをクリア
1	割込みを要求	影響なし

- ・ これはサブクロックタイマの割込み要求フラグです。
- ・ このビットは **SCTI2**～**SCTI0** ビットによって指定された各インターバルで"1"にセットされます。
- ・ 割込み許可ビット **SCTIE** が"1"にセットされている場合、このビットが"1"にセットされたとき割込み要求が発行されます。
- ・ このビットは"0"の書込み、およびいずれかのリセットによってクリアされます。

- ・ サブクロックタイマをリセットするときに、このビットも必ずクリアしてください。
- ・ リードモディファイライト(RMW) 命令では常に"1"が読み出されます。

#### [bit4] SCTR:サブクロックタイマリセットビット

bit	説明	
	読出し	書込み
0	常に"1"を読み出す	すべてのビットを"0"にリセット
1		影響なし

このビットは、サブクロックカウンタのすべてのビットをクリアします。

#### <注意事項>

このビットに"0"を書き込んでサブクロックタイマをクリアする場合は、SCTIF ビットにも"0"を書き込んでサブクロックタイマの割込みフラグをクリアしてください。

#### [bit3] -: 予約ビット

- ・ このビットに常に"0"を書き込んでください。
- ・ このビットの読出し値は未定義です。
- ・ このレジスタへのリードモディファイライト(RMW) 系命令は無効です。

#### [bit2～bit0] SCTI2～SCTI0:サブクロックタイマ割込みインターバル選択ビット

- ・ これらのビットは、次の表に従ってサブクロックタイマ割込みインターバルを制御します。

bit2	bit1	bit0	説明
0	0	0	$2^{10} / \text{CLKSC}$ (31.25 ms)
0	0	1	$2^{11} / \text{CLKSC}$ (62.5 ms)
0	1	0	$2^{12} / \text{CLKSC}$ (125 ms)
0	1	1	$2^{13} / \text{CLKSC}$ (250 ms)
1	0	0	$2^{14} / \text{CLKSC}$ (500 ms)
1	0	1	$2^{15} / \text{CLKSC}$ (1 s)
1	1	0	$2^{16} / \text{CLKSC}$ (2 s)
1	1	1	$2^{17} / \text{CLKSC}$ (4 s)

- ・ これらのビットは、どのリセットでも"000"に初期化されます。
- ・ ( ) 内は  $\text{CLKSC}=32.768\text{kHz}$  時
- ・ これらのビットにデータが書き込まれるとき、同時に bit5(SCTIF)をクリアしてください。





# Chapter 10: ウォッチドッグタイマとウォッチドッグリセット



---

ウォッチドッグタイマおよびリセットの機能と動作について説明します。

---

1. 概要
2. 動作
3. レジスタ

---

管理コード : 96F6HWDG-J03.0

---

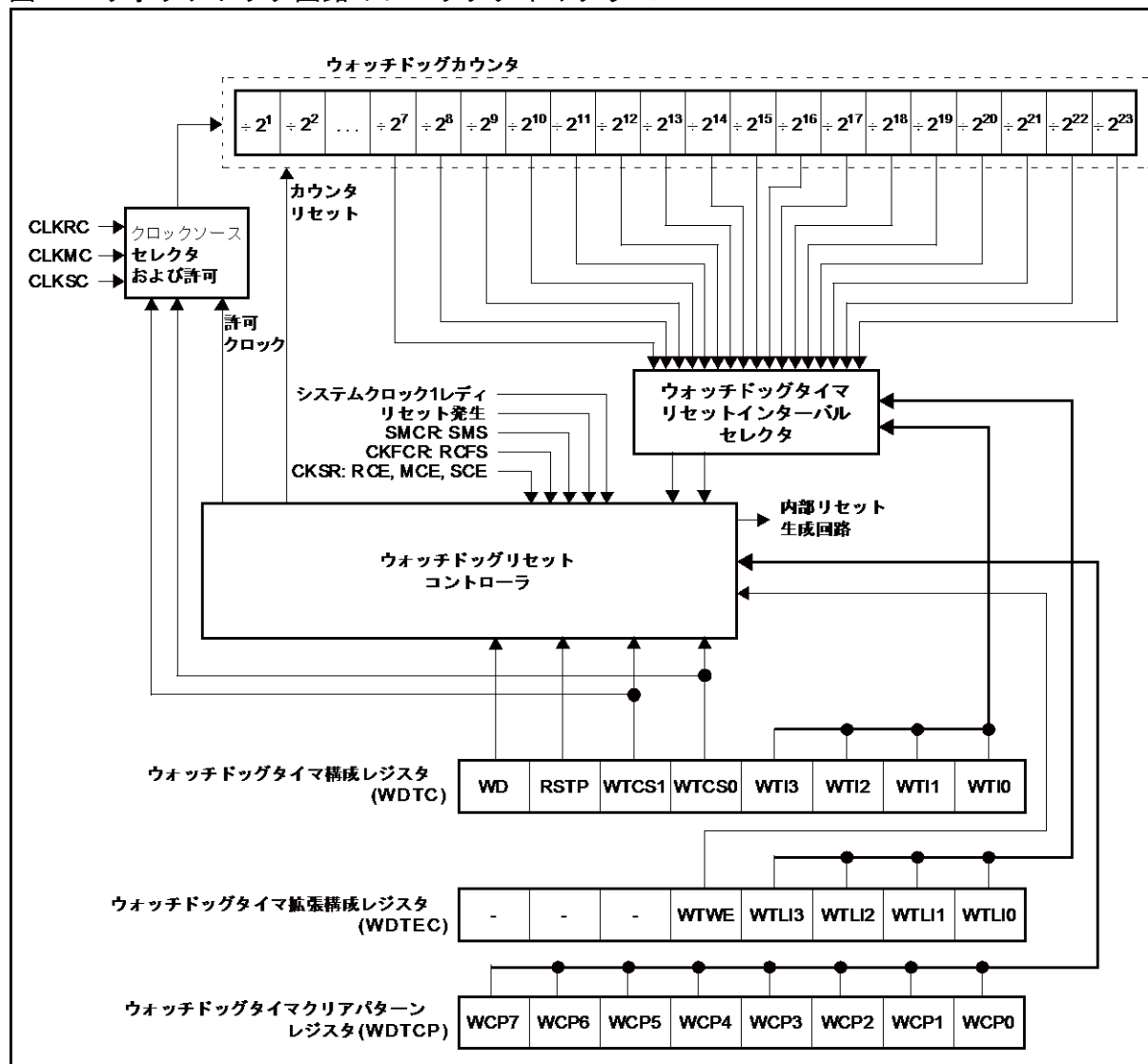
## 1. 概要

ウォッチドッグ回路は、23ビットのウォッチドッグカウンタ、複数の制御レジスタおよびウォッチドッグリセットコントローラで構成されています。23ビットのウォッチドッグカウンタは、クロックソースとしてRCクロック、メインクロックまたはサブクロックのいずれかを使用します。

### ■ ウォッチドッグ回路のブロックダイアグラム

図 1-1 は、ウォッチドッグ回路のブロックダイアグラムを示しています。

図 1-1 ウォッチドッグ回路のブロックダイアグラム



## 2. 動作

ウォッチドッグタイマおよびリセット機能を使用してユーザプログラムのハングアップを検出できます。

プログラムのハングアップなどの原因でウォッチドッグカウンタが指定した時間内にクリアされなかった場合、ウォッチドッグタイマはシステムをリセットします。

### ■ ウォッチドッグのデフォルトインターバル時間を設定する

ウォッチドッグタイマはリセット解除(すべてのリセット)時に、 $2^{12}/RC$  クロックサイクルのウォッチドッグインターバル(WDTC:WTI[3:0] = "0100") で有効になります。ウォッチドッグタイマは、バスクロック CLKB が開始されたときに起動します。そして、ブート ROM プログラムが ROM 構成ブロック A の WICM マーカの内容を、ウォッチドッグタイマをリセットせずに WDTC:WTI[3:0] レジスタビットにコピーします。この設定が"デフォルトインターバル時間"として使用されます。これ以降、ユーザプログラムは初めてウォッチドッグタイマにアクセスするときに一度だけ、ウォッチドッグタイマの設定を変更できます。最終のウォッチドッグタイマ設定は、ウォッチドッグデフォルトインターバル時間以内で選択/有効化される必要があります。安全のため、WICM マーカで定義されるウォッチドッグタイマデフォルトインターバル時間は、 $2^{20}/CLKWT$  以上に設定し、最終のウォッチドッグタイマ設定は、できる限り早く済ませてください。しかし、メインまたはサブクロックがウォッチドッグタイマのクロックソースとして選択されるときは、必ずウォッチドッグタイマデフォルトインターバル時間を発振安定待ち時間よりも長く設定してください(発振が安定する前に、ウォッチドッグタイマのクロックソースをメインまたはサブクロックに設定することはできません)。

### ■ ウォッチドッグタイマのロックとロック解除

ウォッチドッグタイマはデフォルトで、「3. レジスタ」で説明する初期値を使用して起動されます。ウォッチドッグデフォルトインターバル時間は、ROM 構成ブロック A の WICM マーカによってのみ選択可能です。

ユーザプログラムによるウォッチドッグタイマレジスタへの最初のアクセスが図 2-1 に示すシーケンスに従う場合、ウォッチドッグタイマのロックが解除されます。ロック解除シーケンス以外のアクセスがウォッチドッグタイマに対して行われると、初期設定がロックされます。ロック解除シーケンスでの 2 回の書込みアクセスは、実際のウォッチドッグタイマレジスタに影響を及ぼしません。

ロックが解除されたウォッチドッグタイマの構成は、ウォッチドッグがデフォルトの構成でアクティブである間に変更できます。ウォッチドッグタイマのロックが解除されている場合、ウォッチドッグタイマを無効にすることもできます。

構成レジスタへの読出しアクセスは、新しい構成データが有効になるまで(ウォッチドッグに使用される)デフォルト構成値が返されます。

### <注意事項>

WDTCおよびWDTECレジスタはバイト/ワードコマンドにより設定してください。起動されたリードモディファイライト(RMW)動作が常に同じデフォルト設定値を読み出すので、設定/クリアビットコマンドを使用することにより、異なるビットを連続的に設定することはできません。

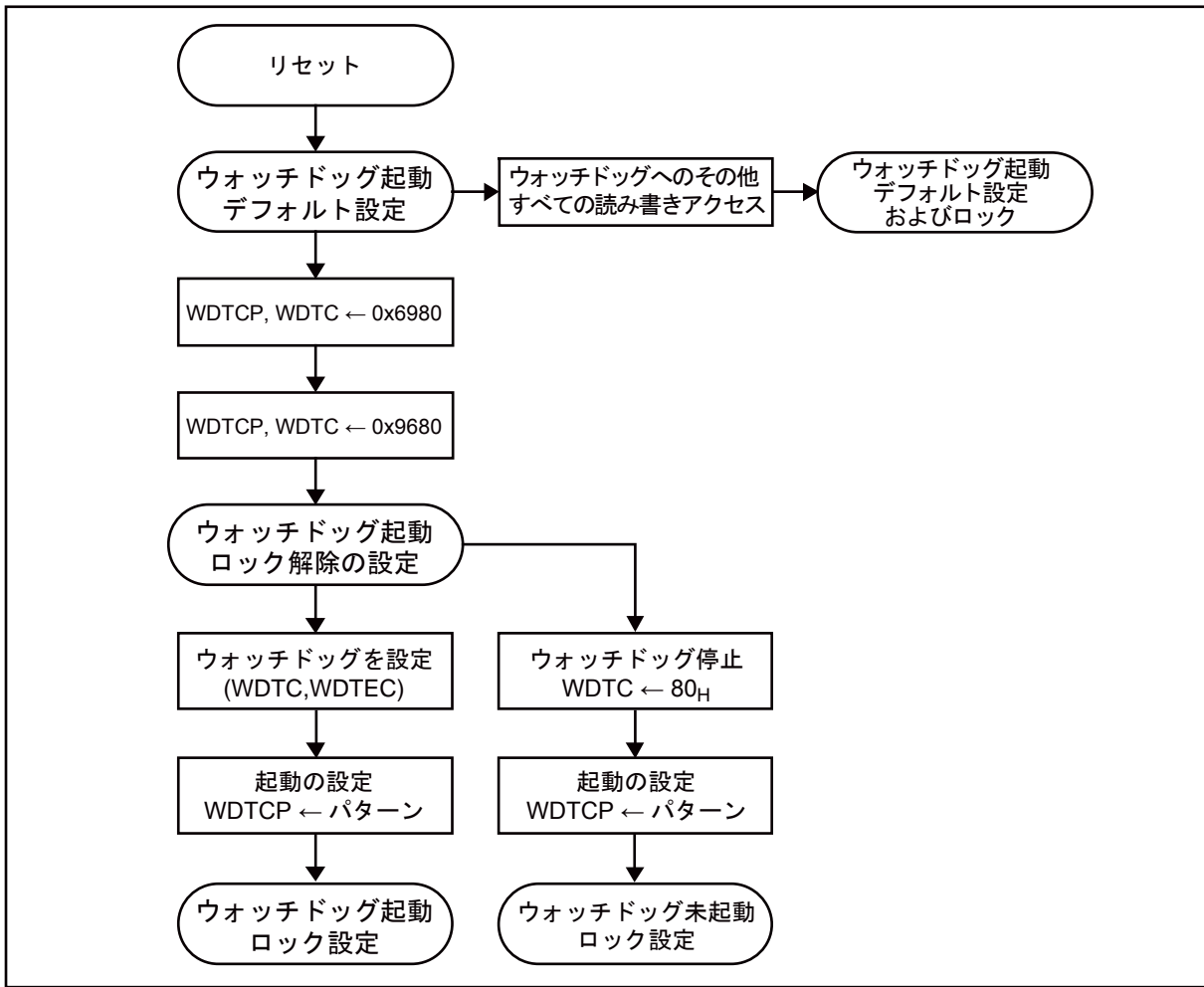
ロックが解除されたウォッチドッグタイマの構成を変更した場合、その設定はウォッチドッグタイマクリアパターンレジスタ(WDTCPL)への書込みによってアクティブになります。それ以降のウォッチドッグタイマの動作は、その前にウォッチドッグタイマ構成レジスタ(WDTC)およびウォッチドッグタイマ拡張構成レジスタ(WDTEC)に書き込まれた構成によって決まります。WDTCおよびWDTCPLへの書込みアクセス

は1回の16ビットアクセスで実行できます。  
 ロックされたウォッチドッグタイマは、リセット(どのタイプのリセットでもかまいません) 後でないとロック解除できません。

### ■ ウォッチドッグタイマの無効化

ウォッチドッグタイマはデフォルトで起動されます。ウォッチドッグタイマレジスタへの最初のアクセスが図 2-1 に示すシーケンスに従っている場合、アプリケーションからウォッチドッグタイマを無効にできます。このシーケンスでは、ウォッチドッグタイマ構成のロックが解除された後に、WDTC:WD ビットをセットすることでウォッチドッグタイマを無効にできます。この設定をアクティブにしてウォッチドッグタイマを無効にするには、ウォッチドッグタイマクリアパターンレジスタ(WDTCP) へ書き込む必要があります。

図 2-1 ウォッチドッグタイマの起動と停止



### ■ ウォッチドッグカウンタのクリア

ウォッチドッグカウンタのクリアは、WDTCP レジスタに該当データを書き込むことによつてのみ可能です。このデータは、ウォッチドッグ動作モードによって異なります。  
 ウォッチドッグのウィンドウ機能が無効(WDTEC:WTWE = 0) であり、WDTC:WTI[3:0]ビットによって選択されたインターバルが期限切れになる前にカウンタがクリアされない場合、ウォッチドッグリセットがア

サートされます。

ウォッチドッグのウィンドウ機能が有効(WDTEC:WTWE = 1) な場合、WDTEC:WTLI[3:0]およびWDTC:WTI[3:0]のウィンドウ内でウォッチドッグタイマをクリアする必要があります。WDTEC:WTLI[3:0]で定義された下限に達する前にタイマをクリアすると、ウォッチドッグリセットがアサートされます。WDTC:WTI[3:0]で定義されたインターバル上限に達する前にタイマをクリアしない場合にも、ウォッチドッグリセットが発生します。

---

#### <注意事項>

ウォッチドッグのウィンドウ機能が有効(WDTEC:WTWE = 1) な場合に、インターバル下限の定義がインターバル上限より大きいと、選択されたウィンドウ内にウォッチドッグタイマをクリアできません。ウォッチドッグタイマをクリアしようとしても、ウォッチドッグタイマをクリアしなくても、ウォッチドッグリセットが発生します。

---

### ■ ウォッチドッグカウンタの停止

ウォッチドッグカウンタの停止は、MCU がストップモードに移行するときにだけ可能です(このカウンタはクリアされません)。

#### ● ストップモードへの遷移

ストップモードではすべての発振器が無効にされます。したがって、ウォッチドッグカウンタも停止されます(クリアされません)。

#### ● ストップモードの解除

割込みによるウェイクアップ時に、ウォッチドッグのソースとして選択されているクロックが安定化し、CPU クロック CLKB が再起動されたとき(WDTC:WTCS[1:0]およびCKSR:SC1S[1:0]選択ビットによって選択されたクロックのクロックレディフラグがセットされる) にウォッチドッグカウンタがカウントを開始します。

---

#### <注意事項>

ウォッチドッグを常にアクティブにする必要がある場合は、ストップモードを使用しないでください。代わりに電流消費量が最小であるモードとして RC タイマモードを使用し、メインおよびサブ発振器を無効にし、RC クロックでウォッチドッグを実行することを推奨します。誤ってストップモードに遷移した場合に、ウォッチドッグリセットさせるために、WDTC:RSTP を"1"に設定してください。

---

### ■ ウォッチドッグカウンタのクロックソースの選択

ウォッチドッグカウンタは、クロックソースとして RC クロック(CLKRC)、メインクロック(CLKMC)またはサブクロック(CLKSC) のいずれかを使用できます。システム要求に合わせ、WDTC:WTCS[1:0]ビット設定することで、クロックソースの選択を行います。ウォッチドッグタイマをロックした後でクロックソースを変更することはできません。

RC クロックをクロックソースとして使用する必要があり、システムが動作中に RC クロック周波数の変更を必要とする場合は、WDTC:WTCS[1:0]ビットを"00"に設定します。これがリセット解除後の初期設定となります。ただし、RC クロック周波数を変更するとウォッチドッグインターバルも変更されます。

RC クロックをクロックソースとして使用する必要があり、動作中に RC クロック周波数を変更しない場合は、WDTC:WTCS[1:0]ビットを"01"に設定します。誤って RC クロック周波数を変更された場合、ウォッチドッグリセットがアサートされます。

RC クロック、メインクロックまたはサブクロックが安定しているときに限り(CKMR:RCM, CKMR:MCM ま

たは CKMR:SCM がセット状態)、そのクロックをソースクロックとして設定可能です。  
対応するクロックモニタビットがセットされる前に、WDTCP レジスタへの書込みアクセスにより、  
WDTC:WTCS ビットをメインやサブクロックに変更し、その新しい設定をアクティブにするとウォッチドッグリセットが発生します。

### ＜注意事項＞

ウォッチドッグカウンタは、選択したクロックが安定化した(CKMR:RCM, MCM または SCM ビットが"1") と  
きにのみ動作できます。クロックが安定していない限り、RC クロックからメインクロックまたはサブクロッ  
クにクロックソースを切り換えることはできません(これを行うとウォッチドッグリセットが生成されます)。  
しかし、ストップモードが使用されると、ストップモードのアサート中とストップモード解除後のクロッ  
ク安定待ち時間中にウォッチドッグカウンタが停止します。ウォッチドッグがメインまたはサブクロック  
で実行されていて、このクロックがストップモード解除に失敗した場合、ウォッチドッグとクロックストッ  
プリセットのいずれもアサートされません。そのため、ストップモードからの復帰には RC ランモードを  
使用し、ソフトウェアでのメインまたはサブクロックの監視を推奨します。RC タイマ割込み(『リセット  
とスタートアップ』の章の「**■**クロック停止検出リセットおよびスタンバイモード」)を参照してくださ  
い。

## ■ スタンバイモード

スリープおよびタイマモードでは、ウォッチドッグタイマはその構成に従って動作し、クリアまたは停止  
されません。ストップモードでは、ウォッチドッグタイマは停止されますがクリアされません。ストップ  
モード解除の後、ウォッチドッグタイマは、ウォッチドッグタイマクロックソースと CLKS1 のクロックソー  
スの両方が安定化されたとき動作を再開します。

## ■ ソースクロックの無効化

ウォッチドッグカウンタのソースクロックとして使用する発振器のクロックの許可ビット(CKSR: RCE, MCE,  
SCE) に"0"(発振器を無効にする) をセットするとウォッチドッグリセットが発生します。

## ■ ウォッチドッグタイマインターバルの設定

ウォッチドッグタイマインターバルを WDTC:WTI[3:0] および WDTEC:WTLI[3:0] ビットによって選択できま  
す。ユーザプログラムは初めてウォッチドッグタイマにアクセスするときに一度だけ、ウォッチドッグタ  
イマインターバルを変更できます。

クロックソースとして RC 発振器を使用する場合、インターバルの長さを計算するときこの発振器の周波  
数偏差を考慮してください。ウォッチドッグタイマ構成レジスタ(WDTC)に示す絶対時間は、発振周波数に  
基づいています。RC クロック周波数の精度の詳細についてはデータシートの「内蔵 RC 発振規格」を参照  
してください。

## ■ ウォッチドッグタイマの動作モードの選択

デフォルト構成では、リセットによってウォッチドッグタイマが起動します。図 2-1 で説明するロック解  
除によるアクセスを除いて、ウォッチドッグタイマレジスタにアクセスするとこの構成がロックされます。  
このデフォルト構成では、"00<sub>H</sub>"の書込みによるクリアモードが選択されます。

図 2-1 で説明するようにウォッチドッグタイマのロックを解除した後、WDTCP への最初の手書き込みアクセ  
スによってウォッチドッグタイマが起動され、動作モードが決定します。最初の手書き込みアクセス時に WDTC  
P に書き込まれたデータに従って、次の 2 つの動作モードのどちらかが選択されます。

### ● "00<sub>H</sub>"の手書き込みでクリア、ほかの値の手書き込みでウォッチドッグリセットをアサート

このモードは、リセット後にデフォルトでアクティブになります。図 2-1 の説明に従ってウォッチドッグ  
を起動するときに WDTCP レジスタに"00<sub>H</sub>"を書き込むことでこのモードを選択することもできます。

このモードでは、ウォッチドッグカウンタは、WDTCP レジスタへの"00<sub>H</sub>"の書き込みによってクリアされます。"00<sub>H</sub>"以外の値を書き込むと、ウォッチドッグリセットが発生します。ウィンドウ機能が有効 (WDTEC:WTWE = 1) な場合、クリアウィンドウの外側で WDTCP レジスタへの書き込みアクセスが行われるとウォッチドッグリセットが発生します。

### ● 反転データの書き込みでクリア、無効な値の書き込みでウォッチドッグリセットをアサート

このモードは、図 2-1 の説明に従ってウォッチドッグを起動するときに WDTCP レジスタに"00<sub>H</sub>"以外の値を書き込むことで選択されます。

この書き込みアクセス時に書き込まれたデータが WDTCP レジスタに格納されます。

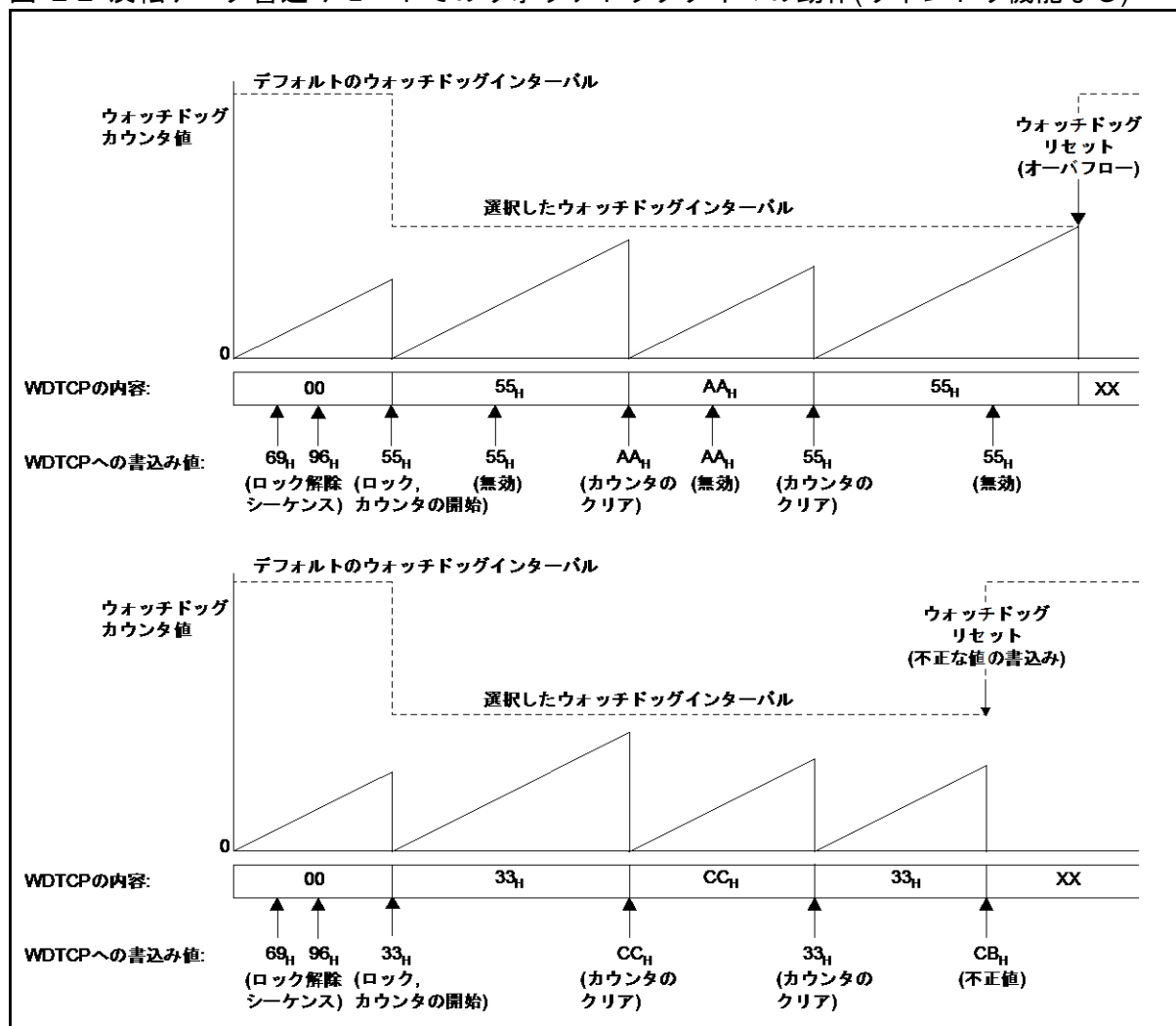
ウィンドウ機能が無効(WDTEC:WTWE = 0) な場合は、以下の動作が適用されます。

- ・ WDTCP レジスタに現在格納されているデータと同じデータを書き込んでも無効です。
- ・ 現在の WDTCP の内容に対する反転データを書き込むと、ウォッチドッグカウンタがクリアされ、WDTCP レジスタの現在の値が置換されます。その後ウォッチドッグタイマをクリアするには、そのたびに反転データを書き込む必要があります(元のデーター反転データー元のデーター反転データ ... )。
- ・ 現在のレジスタの内容またはその反転以外のデータを WDTCP レジスタに書き込むと、ウォッチドッグリセットが発生します。

図 2-2 は、このモードでのウォッチドッグタイマの動作の例を示しています。



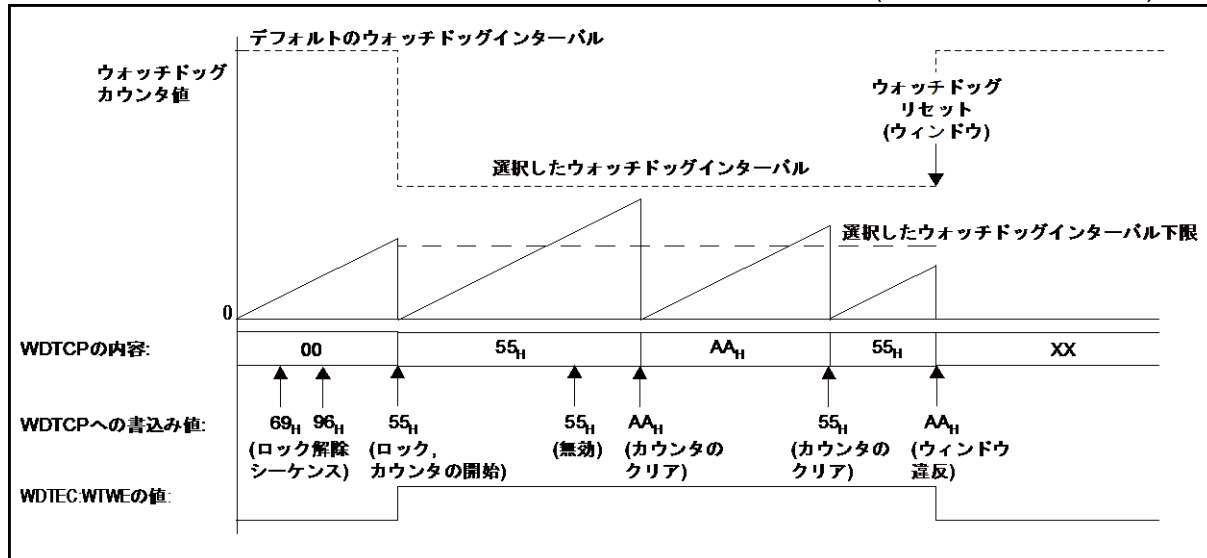
図 2-2 反転データ書込みモードでのウォッチドッグタイマの動作(ウィンドウ機能なし)



ウィンドウ機能が有効(WDTEC:WTWE = 1) な場合、クリアウィンドウ内の書込みアクセスに関しては前述の動作と同じです。選択されたクリアウィンドウの外側で WDTCP レジスタへの書込みアクセスが行われると、どんな場合でもウォッチドッグリセットが発生します。

図 2-3 は、このモードでのウォッチドッグタイマの動作の例を示しています。

図 2-3 反転データ書き込みモードでのウォッチドッグタイマの動作(ウィンドウ機能あり)



## ■ ウォッチドッグタイマリセット要因

以下の場合にウォッチドッグタイマリセットがアサートされます。

- ・ ウォッチドッグタイマが選択したインターバル内にクリアされなかった。
- ・ WDTCP レジスタに無効のデータが書き込まれた。
- ・ ウォッチドッグタイマ(CKSR:RCE, MCE または SCE) のソースクロックとして使用されるクロックの許可ビットに"0"が書き込まれた。
- ・ WDTTC:WTCS[1:0]が"01"にセットされているにもかかわらず、RC クロック周波数が変更された。
- ・ WDTTC:RSTP が"1"にセットされているにもかかわらず、ストップモードへの遷移を行った。
- ・ CKMR:MCMが設定される前に、ウォッチドッグタイマのクロックソースがメインクロックに設定され、有効になった。
- ・ CKMR:SCM が設定される前に、ウォッチドッグタイマのクロックソースがサブクロックに設定され、有効になった。

ウォッチドッグタイマインターバル WDTTC:WTI[3:0]が、現在のウォッチドッグカウンタ値より短いインターバル時間に変更された。

### 3. レジスタ

本項では、ウォッチドッグタイマ制御レジスタの一覧および各レジスタの機能について詳細に説明します。

#### ■ ウォッチドッグタイマのレジスタ一覧

レジスタ略称	レジスタ名	参照先
WDTC	ウォッチドッグタイマ構成レジスタ	3.1
WDTEC	ウォッチドッグタイマ拡張構成レジスタ	3.2
WDTCP	ウォッチドッグタイマクリアパターンレジスタ	3.3

### 3.1. ウォッチドッグタイマ構成レジスタ(WDTC)

ウォッチドッグタイマ構成レジスタ(WDTC) は、クロックソースおよびウォッチドッグインターバルの選択およびウォッチドッグタイマ起動のために使用します。

#### ■ ウォッチドッグタイマ構成レジスタ(WDTC) の構成

WDTC								
bit	7	6	5	4	3	2	1	0
	WD	RSTP	WTCS1	WTCS0	WTI3	WTI2	WTI1	WTI0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	*	*	*	*

\*: 初期値は WICM マーカにより変わります。

[bit7] WD: ウォッチドッグ無効

bit	説明
0	ウォッチドッグは有効でアクティブ
1	ウォッチドッグは無効

- ・ どのリセットでも "0" に初期化されます。
- ・ 「2. 動作」で説明するシーケンスを WDTC および WDTCP レジスタに書き込むことによって、リセット後にウォッチドッグタイマ構成のロックを解除できます。ウォッチドッグタイマレジスタへのその他のアクセスは、最終的にウォッチドッグタイマ構成をリセットまでロックします。
- ・ ウォッチドッグタイマ構成のロックが解除されている場合、このビットを変更できます。
- ・ このビットの設定は、WDTCP への書き込み時にアクティブになり、ロックされます。
- ・ ウォッチドッグタイマ構成のロックが解除されている場合、1 回の 16 ビットアクセスによってこのビットを再構成してウォッチドッグリセット機能をロックできます。
- ・ リセットの後、ウォッチドッグタイマ構成のロックを再び解除することで、このビットを変更できます。
- ・ このビットを読み出すときに、ウォッチドッグの状態を返します。本ビットが "1" に設定され、新しい設定が有効になるまで、"0" が読み出されます。

[bit6] RSTP: ストップモードへの遷移時のウォッチドッグリセット

bit	説明
0	ストップモードへの遷移時にウォッチドッグリセットがアサートされない
1	ストップモードへの遷移時にウォッチドッグリセットがアサートされる

- ・ どのリセットでも "0" に初期化されます。
- ・ 「2. 動作」で説明するシーケンスを WDTC および WDTCP レジスタに書き込むことによって、リセット後にウォッチドッグタイマ構成のロックを解除できます。ウォッチドッグタイマレジスタへのその他の

- アクセスは、最終的にウォッチドッグタイマ構成をリセットまでロックします。
- ウォッチドッグタイマ構成のロックが解除されている場合、このビットを変更できます。
- このビットの設定は、WDTCP への書込み時にアクティブになり、ロックされます。
- ウォッチドッグタイマ構成のロックが解除されている場合、1 回の 16 ビットアクセスによってこのビットを再構成してウォッチドッグリセット機能をロックできます。
- リセットの後、ウォッチドッグタイマ構成のロックを再び解除することで、このビットを変更できます。
- このビットを"0"にセットすると、ストップモードへの遷移が許可されます。
- このビットを"1"にセットしてから、SMCR:SMS(ストップモード) に"11"を書き込むと、ウォッチドッグリセットがアサートされます。
- アプリケーションでストップモードを使用しないときにのみ、このビットを"1"に セットします。
- 本ビットを読み出すと現在ウォッチドッグで使用されている値が返されます。ロック解除された後に新しい値が書き込まれた場合、この値は新しい設定が有効になるまで読みだすことができません。

#### [bit5, bit4] WTCS1, WTCS0: ウォッチドッグタイマクロック選択ビット

- これらのビットは、次の表に従ってウォッチドッグタイマのクロックソースを選択します。

bit5	bit4	説明
0	0	CLKWT = CLKRC(内蔵 RC 発振クロック, RC クロック周波数はウォッチドッグ動作中に変更可能)
0	1	CLKWT = CLKRC(内蔵 RC 発振クロック, ウォッチドッグ動作中に RC クロック周波数を変更すると、ウォッチドッグリセットが発生します。)
1	0	CLKWT = CLKMC(メイン発振クロック)
1	1	CLKWT = CLKSC(サブ発振クロック)

- これらのビットは、どのリセットでも"00"に初期化されます。
- 「2. 動作」で説明するシーケンスを WDTC および WDTCP レジスタに書き込むことによって、リセット後にウォッチドッグタイマ構成のロックを解除できます。ウォッチドッグタイマレジスタへのその他のアクセスは、最終的にウォッチドッグタイマ構成をリセットまでロックします。
- ウォッチドッグタイマ構成のロックが解除されている場合、これらのビットを変更できます。
- これらのビットの設定は、WDTCP への書込み時にアクティブになり、ロックされます。
- ウォッチドッグタイマ構成のロックが解除されている場合、1 回の 16 ビットアクセスによってこれらのビットを再構成してウォッチドッグリセット機能をロックできます。
- リセットの後、ウォッチドッグタイマ構成のロックを再び解除することで、これらのビットを変更できます。
- WTCS[1:0]を"00"にセットすると内蔵 RC 発振器が選択され、ウォッチドッグリセット機能がアクティブになった後に(CKFCR:RCFS ビットに書き込むことによって) RC クロック周波数を変更できます。RC クロック周波数を変更すると、ウォッチドッグインターバル時間も変更されることに注意してください。
- WTCS[1:0]を"01"にセットすると内蔵 RC 発振器が選択されますが、ウォッチドッグリセット機能がアクティブになった後に(CKFCR:RCFS ビットに書き込むことによって) RC クロック周波数を変更することは許可されません。この場合、RC クロック周波数を変更するとウォッチドッグリセットがアサートされます。
- WTCS[1:0]を"10"に設定すると、メイン発振器が選択されます。メイン発振器は、WDTCP への書込みア

クセスによりこの設定が有効になる前に安定していなくてはなりません(CKMR:MCMが"1")。CKMR:MCMが"0"のときにこの設定が有効になると、ウォッチドッグリセットがアサートされます。

- ・ WTCS[1:0]を"11"に設定すると、サブ発振器が選択されます。サブ発振器は、WDTCP への書込みアクセスによりこの設定が有効になる前に安定していなくてはなりません(CKMR:SCM が"1")。CKMR:SCM が"0"のときにこの設定が有効になると、ウォッチドッグリセットがアサートされます。
- ・ これらのビットを読み出すと現在ウォッチドッグで使用されている値が返されます。ロック解除された後に新しい値が書き込まれた場合、この値は新しい設定が有効になるまで読みだすことができません。

[bit3～bit0] WTI3～WTI0: ウォッチドッグタイムインターバル選択ビット

bit3	bit2	bit1	bit0	説明 (CLKWT は WTCS[1:0]ビットによって選択されるクロック)
0	0	0	0	$2^8/\text{CLKWT}$
0	0	0	1	$2^9/\text{CLKWT}$
0	0	1	0	$2^{10}/\text{CLKWT}$
0	0	1	1	$2^{11}/\text{CLKWT}$
0	1	0	0	$2^{12}/\text{CLKWT}$
0	1	0	1	$2^{13}/\text{CLKWT}$
0	1	1	0	$2^{14}/\text{CLKWT}$
0	1	1	1	$2^{15}/\text{CLKWT}$
1	0	0	0	$2^{16}/\text{CLKWT}$
1	0	0	1	$2^{17}/\text{CLKWT}$
1	0	1	0	$2^{18}/\text{CLKWT}$
1	0	1	1	$2^{19}/\text{CLKWT}$
1	1	0	0	$2^{20}/\text{CLKWT}$
1	1	0	1	$2^{21}/\text{CLKWT}$
1	1	1	0	$2^{22}/\text{CLKWT}$
1	1	1	1	$2^{23}/\text{CLKWT}$

- これらのビットは、次の表に従ってウォッチドッグタイマインターバルを選択します。

WTI3	WTI2	WTI1	WTI0	ウォッチドッグタイマインターバル (クロックソースの選択により決定)		
				RC クロック選択時 (2MHz/100kHz の通常の RC クロック周波数の対応 する時間)	メインクロック選択 時(4MHz のメインク ロック周波数の対応 する時間)	サブクロック選択時 (32.768kHz のサブク ロック周波数の対応 する時間)
0	0	0	0	$2^8/\text{CLKRC}$ (最大 128 $\mu\text{s}$ /2.5ms)	$2^8/\text{CLKMC}$ (最大 64 $\mu\text{s}$ )	$2^8/\text{CLKSC}$ (7.8ms)
0	0	0	1	$2^9/\text{CLKRC}$ (最大 256 $\mu\text{s}$ /5.1ms)	$2^9/\text{CLKMC}$ (最大 128 $\mu\text{s}$ )	$2^9/\text{CLKSC}$ (15.6ms)
0	0	1	0	$2^{10}/\text{CLKRC}$ (最大 512 $\mu\text{s}$ /10.2ms)	$2^{10}/\text{CLKMC}$ (最大 256 $\mu\text{s}$ )	$2^{10}/\text{CLKSC}$ (31.25ms)
0	0	1	1	$2^{11}/\text{CLKRC}$ (最大 1ms/20.5ms)	$2^{11}/\text{CLKMC}$ (最大 512 $\mu\text{s}$ )	$2^{11}/\text{CLKSC}$ (62.5ms)
0	1	0	0	$2^{12}/\text{CLKRC}$ (最大 2ms/41ms)	$2^{12}/\text{CLKMC}$ (最大 1ms)	$2^{12}/\text{CLKSC}$ (125ms)
0	1	0	1	$2^{13}/\text{CLKRC}$ (最大 4ms/82ms)	$2^{13}/\text{CLKMC}$ (最大 2ms)	$2^{13}/\text{CLKSC}$ (250ms)
0	1	1	0	$2^{14}/\text{CLKRC}$ (最大 8ms/164ms)	$2^{14}/\text{CLKMC}$ (最大 4ms)	$2^{14}/\text{CLKSC}$ (500ms)
0	1	1	1	$2^{15}/\text{CLKRC}$ (最大 16ms/328ms)	$2^{15}/\text{CLKMC}$ (最大 8ms)	$2^{15}/\text{CLKSC}$ (1s)
1	0	0	0	$2^{16}/\text{CLKRC}$ (最大 32ms/655ms)	$2^{16}/\text{CLKMC}$ (最大 16ms)	$2^{16}/\text{CLKSC}$ (2s)
1	0	0	1	$2^{17}/\text{CLKRC}$ (最大 65ms/1.3s)	$2^{17}/\text{CLKMC}$ (最大 32ms)	$2^{17}/\text{CLKSC}$ (4s)
1	0	1	0	$2^{18}/\text{CLKRC}$ (最大 131ms/2.6s)	$2^{18}/\text{CLKMC}$ (最大 65ms)	$2^{18}/\text{CLKSC}$ (8s)
1	0	1	1	$2^{19}/\text{CLKRC}$ (最大 262ms/5.2s)	$2^{19}/\text{CLKMC}$ (最大 131ms)	$2^{19}/\text{CLKSC}$ (16s)
1	1	0	0	$2^{20}/\text{CLKRC}$ (最大 524ms/10.4s)	$2^{20}/\text{CLKMC}$ (最大 262ms)	$2^{20}/\text{CLKSC}$ (32s)
1	1	0	1	$2^{21}/\text{CLKRC}$ (最大 1.05s/21s)	$2^{21}/\text{CLKMC}$ (最大 524ms)	$2^{21}/\text{CLKSC}$ (64s)
1	1	1	0	$2^{22}/\text{CLKRC}$ (最大 2.1s/42s)	$2^{22}/\text{CLKMC}$ (最大 1.049s)	$2^{22}/\text{CLKSC}$ (128s)
1	1	1	1	$2^{23}/\text{CLKRC}$ (最大 4.2s/84s)	$2^{23}/\text{CLKMC}$ (最大 2.097s)	$2^{23}/\text{CLKSC}$ (256s)

- これらのビットはリセット時に"0100"に初期化されます。リセット解除後に、ブート ROM プログラムが ROM 構成ブロック A の WICM マーカの内容を、これらのビットにコピーします。この動作は、最初の  $2^{12}/\text{RC}$  クロックサイクル時間が経過する前に行われます。新しい設定はロックされ、下記のようにレジスタのロックを解除して一度だけ変更可能になります。
- 「2. 動作」で説明するシーケンスを WDTCP および WDTCP レジスタに書き込むことによって、リセット後にウォッチドッグタイマ構成のロックを解除できます。ウォッチドッグタイマレジスタへのその他のアクセスは、最終的にウォッチドッグタイマ構成をリセットまでロックします。
- ウォッチドッグタイマ構成のロックが解除されている場合、これらのビットを変更できます。
- これらのビットの設定は、WDTCP への書込み時にアクティブになり、ロックされます。
- ウォッチドッグタイマ構成のロックが解除されている場合、1 回の 16 ビットアクセスによってこれらのビットを再構成してウォッチドッグリセット機能をロックできます。

- ・ リセットの後、ウォッチドッグタイマ構成のロックを再び解除することで、これらのビットを変更できます。
- ・ これらのビットを読み出すと現在ウォッチドッグで使用されている値が返されます。ロック解除された後に新しい値が書き込まれた場合、この値は新しい設定が有効になるまで読みだすことができません。



## 3.2. ウォッチドッグタイマ拡張構成レジスタ(WDTEC)

ウォッチドッグタイマ拡張構成レジスタ(WDTEC) は、ウォッチドッグタイマのウィンドウ機能を有効にし、ウォッチドッグインターバルのウィンドウ下限を選択するために使用されます。

### ■ ウォッチドッグタイマ拡張構成レジスタ(WDTEC) の構成

WDTEC								
bit	7	6	5	4	3	2	1	0
	-	-	-	WTWE	WTLI3	WTLI2	WTLI1	WTLI0
属性	-	-	-	R/W	R/W	R/W	R/W	R/W
初期値	X	X	X	0	0	0	0	0

[bit7～bit5] -: 未定義

- ・ 常に"0"を書き込んでください。
- ・ これらのビットのリード値は不定です。
- ・ これらビットへのリードモディファイライト(RMW) 動作は無効です。

[bit4] WTWE: ウォッチドッグタイマウィンドウ有効

bit	説明
0	ウォッチドッグタイマのウィンドウ機能は無効
1	ウォッチドッグタイマのウィンドウ機能は有効

- ・ このビットは、どのリセットでも"0"に初期化されます。
- ・ 「2. 動作」項で説明するシーケンスを WDTC および WDTCP レジスタに書き込むことによって、リセット後にウォッチドッグタイマ構成のロックを解除できます。ウォッチドッグタイマレジスタへのその他のアクセスは、最終的にウォッチドッグタイマ構成をリセットまでロックします。
- ・ ウォッチドッグタイマ構成のロックが解除されている場合、このビットを変更できます。
- ・ このビットの設定は、WDTCP への書き込み時にアクティブになり、ロックされます。
- ・ リセットの後、ウォッチドッグタイマ構成のロックを再び解除することで、このビットを変更できます。
- ・ このビットが"0"にセットされている場合、WDTC:WTI[3:0]によって定義された値に到達する前であればいつでも、ウォッチドッグタイマをクリアできます。
- ・ このビットが"1"にセットされている場合、WDTEC:WTLI[3:0]の値に達してから、WDTC:WTI[3:0]の値に達するまでの間に限り、ウォッチドッグタイマをクリアできます。WDTEC:WTLI[3:0]およびWDTC:WTI[3:0]によって定義されたウィンドウの外側でウォッチドッグタイマをクリアすると、ウォッチドッグリセットが発生します。
- ・ これらのビットを読み出すと現在ウォッチドッグで使用されている値が返されます。ロック解除された後に新しい値が書き込まれた場合、この値は新しい設定が有効になるまで読みだすことができません。

[bit3～bit0] WTLI3～WTLI0: ウォッチドッグタイムインターバル下限選択ビット

bit3	bit2	bit1	bit0	説明 (CLKWT は WDTC:WTCS[1:0]ビットによって選択されるクロック)
0	0	0	0	$2^7/\text{CLKWT}$
0	0	0	1	$2^8/\text{CLKWT}$
0	0	1	0	$2^9/\text{CLKWT}$
0	0	1	1	$2^{10}/\text{CLKWT}$
0	1	0	0	$2^{11}/\text{CLKWT}$
0	1	0	1	$2^{12}/\text{CLKWT}$
0	1	1	0	$2^{13}/\text{CLKWT}$
0	1	1	1	$2^{14}/\text{CLKWT}$
1	0	0	0	$2^{15}/\text{CLKWT}$
1	0	0	1	$2^{16}/\text{CLKWT}$
1	0	1	0	$2^{17}/\text{CLKWT}$
1	0	1	1	$2^{18}/\text{CLKWT}$
1	1	0	0	$2^{19}/\text{CLKWT}$
1	1	0	1	$2^{20}/\text{CLKWT}$
1	1	1	0	$2^{21}/\text{CLKWT}$
1	1	1	1	$2^{22}/\text{CLKWT}$

- これらのビットは、次の表に従ってウォッチドッグタイマインターバル下限を選択します。

WTLI3	WTLI2	WTLI1	WTLI0	ウォッチドッグタイマ下限インターバル (クロックソースの選択により決定)		
				RC クロック選択時 (2MHz/100kHz の通常の RC クロック周波数の対応 する時間)	メインクロック選択時 (4MHz のメインク ロック周波数の対応 する時間)	サブクロック選択時 (32.768kHz のサブク ロック周波数の対応 する時間)
0	0	0	0	2 <sup>7</sup> /CLKRC(最大 64μs/1.25ms)	2 <sup>7</sup> /CLKMC(最大 32μs)	2 <sup>7</sup> /CLKSC(3.9ms)
0	0	0	1	2 <sup>8</sup> /CLKRC(最大 128μs/2.5ms)	2 <sup>8</sup> /CLKMC(最大 64μs)	2 <sup>8</sup> /CLKSC(7.8ms)
0	0	1	0	2 <sup>9</sup> /CLKRC(最大 256μs/5.1ms)	2 <sup>9</sup> /CLKMC(最大 128μs)	2 <sup>9</sup> /CLKSC(15.6ms)
0	0	1	1	2 <sup>10</sup> /CLKRC(最大 512μs/10.2ms)	2 <sup>10</sup> /CLKMC(最大 256μs)	2 <sup>10</sup> /CLKSC(31.25ms)
0	1	0	0	2 <sup>11</sup> /CLKRC(最大 1ms/20.5ms)	2 <sup>11</sup> /CLKMC(最大 512μs)	2 <sup>11</sup> /CLKSC(62.5ms)
0	1	0	1	2 <sup>12</sup> /CLKRC(最大 2ms/41ms)	2 <sup>12</sup> /CLKMC(最大 1ms)	2 <sup>12</sup> /CLKSC(125ms)
0	1	1	0	2 <sup>13</sup> /CLKRC(最大 4ms/82ms)	2 <sup>13</sup> /CLKMC(最大 2ms)	2 <sup>13</sup> /CLKSC(250ms)
0	1	1	1	2 <sup>14</sup> /CLKRC(最大 8ms/164ms)	2 <sup>14</sup> /CLKMC(最大 4ms)	2 <sup>14</sup> /CLKSC(500ms)
1	0	0	0	2 <sup>15</sup> /CLKRC(最大 16ms/328ms)	2 <sup>15</sup> /CLKMC(最大 8ms)	2 <sup>15</sup> /CLKSC(1s)
1	0	0	1	2 <sup>16</sup> /CLKRC(最大 32ms/655ms)	2 <sup>16</sup> /CLKMC(最大 16ms)	2 <sup>16</sup> /CLKSC(2s)
1	0	1	0	2 <sup>17</sup> /CLKRC(最大 65ms/1.3s)	2 <sup>17</sup> /CLKMC(最大 32ms)	2 <sup>17</sup> /CLKSC(4s)
1	0	1	1	2 <sup>18</sup> /CLKRC(最大 131ms/2.6s)	2 <sup>18</sup> /CLKMC(最大 65ms)	2 <sup>18</sup> /CLKSC(8s)
1	1	0	0	2 <sup>19</sup> /CLKRC(最大 262ms/5.2s)	2 <sup>19</sup> /CLKMC(最大 131ms)	2 <sup>19</sup> /CLKSC(16s)
1	1	0	1	2 <sup>20</sup> /CLKRC(最大 524ms/10.4s)	2 <sup>20</sup> /CLKMC(最大 262ms)	2 <sup>20</sup> /CLKSC(32s)
1	1	1	0	2 <sup>21</sup> /CLKRC(最大 1.05s/21s)	2 <sup>21</sup> /CLKMC(最大 524ms)	2 <sup>21</sup> /CLKSC(64s)
1	1	1	1	2 <sup>22</sup> /CLKRC(最大 2.1s/42s)	2 <sup>22</sup> /CLKMC(最大 1.049s)	2 <sup>22</sup> /CLKSC(128s)

- これらのビットは、どのリセットでも"0000"に初期化されます。
- 「2. 動作」項で説明するシーケンスを WDTCP および WDTCP レジスタに書き込むことによって、リセット後にウォッチドッグタイマ構成のロックを解除できます。ウォッチドッグタイマレジスタへのその他のアクセスは、最終的にウォッチドッグタイマ構成をロックします。
- ウォッチドッグタイマ構成のロックが解除されている場合、これらのビットを変更できます。
- これらのビットの設定は、WDTCP への書込み時にアクティブになり、ロックされます。
- リセットの後、ウォッチドッグタイマ構成のロックを再び解除することで、これらのビットを変更できます。
- これらのビットを読み出すと現在ウォッチドッグで使用されている値が返されます。ロック解除された後に新しい値が書き込まれた場合、この値は新しい設定が有効になるまで読みだすことができません。

### 3.3. ウォッチドッグタイマクリアパターンレジスタ(WDTCP)

ウォッチドッグタイマクリアパターンレジスタ(WDTCP) は、ウォッチドッグリセット機能の起動およびロックと、ウォッチドッグカウンタのクリアのために使用します。

#### ■ ウォッチドッグタイマクリアパターンレジスタ(WDTCP) の構成

WDTCP								
bit	15	14	13	12	11	10	9	8
	WCP7	WCP6	WCP5	WCP4	WCP3	WCP2	WCP1	WCP0
属性	W	W	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0

#### [bit15～bit8] WCP7～WCP0: ウォッチドッグクリアパターンビット

- ウォッチドッグリセット機能はリセット後にハードウェアによって起動されます。このデフォルト構成で使用されるクリアパターンは 00<sub>H</sub> です。
- 「2. 動作」項で説明するシーケンスを WDTCP および WDTCP レジスタに書き込むことによって、ウォッチドッグタイマ構成のロックを解除できます。ウォッチドッグタイマレジスタへのその他のアクセスは、ウォッチドッグタイマ構成をリセットまでロックします。
- ウォッチドッグタイマ構成のロックが解除されている場合、このレジスタに書き込みアクセスを行うと、WDTCP および WDTCP 内で構成がアクティブになり、ウォッチドッグタイマ構成がロックされます。WDTCP に書き込まれる値によって、クリアパターンと動作モードが決まります。ウォッチドッグカウンタはこの書き込みアクセスによってリセットされます。
- ウォッチドッグタイマ構成のロックが解除されている場合、1 回の 16 ビットアクセスで WDTCP および WDTCP レジスタの書き込みが可能です。これにより WDTCP が構成され、設定がアクティブになり、ウォッチドッグタイマ構成がロックされ、ウォッチドッグカウンタがリセットされます。
- ウォッチドッグリセット機能が一度起動およびロックされた後、この機能はリセット(いかなるリセットでもかまいません) によってのみ無効にできます。
- このレジスタへの書き込みの後では、ウォッチドッグタイマ構成レジスタ(WDTCP) およびウォッチドッグタイマ拡張構成レジスタ(WDTEC) の内容を変更できなくなります。
- ウォッチドッグタイマを起動およびロックするときに WDTCP レジスタに書き込まれた値に従って、ウォッチドッグタイマは以下のいずれかのウォッチドッグ動作モードで動作します。
  - "00<sub>H</sub> でクリア、ほかの値でリセットをアサート": WDTCP に 00<sub>H</sub> を書き込み:  
このモードでは、ウォッチドッグカウンタは、WDTCP レジスタへの 00<sub>H</sub> の書き込みによってクリアされます。00<sub>H</sub> 以外の値を書き込むと、ウォッチドッグリセットが発生します。ウィンドウ機能が有効(WDTEC:WTWE = 1) な場合、クリアウィンドウの外側で WDTCP レジスタへの書き込みアクセスが行われるとウォッチドッグリセットが発生します。詳細については、「2. 動作」を参照してください。
  - "反転データでクリア": WDTCP への 00<sub>H</sub> 以外の値の書き込み:  
このモードでは、最初に WDTCP レジスタに書き込まれた値が記憶されます。ウォッチドッグカウンタのクリアは、前に書き込まれたレジスタ値の反転データの書き込みによってのみ可能です。前と同じ値を書き込むと無効となり、ほかの値を書き込むとウォッチドッグリセットがアサートされます。ウィンドウ機能が有効(WDTEC:WTWE = 1) な場合、クリアウィンドウの外側で WDTCP レジスタへの書き込みアクセスが行われるとウォッチドッグリセットが発生します。詳細については、「2. 動作」を参照してください。

- ・ このレジスタのリードでは常に 00<sub>H</sub>が返されます。

# Chapter 11: I/O ポート



---

I/O ポートの機能と動作について説明します。

---

1. 概要
2. レジスタ
3. レジスタの用途

---

管理コード : 96F6IOPORT-J03.0

---

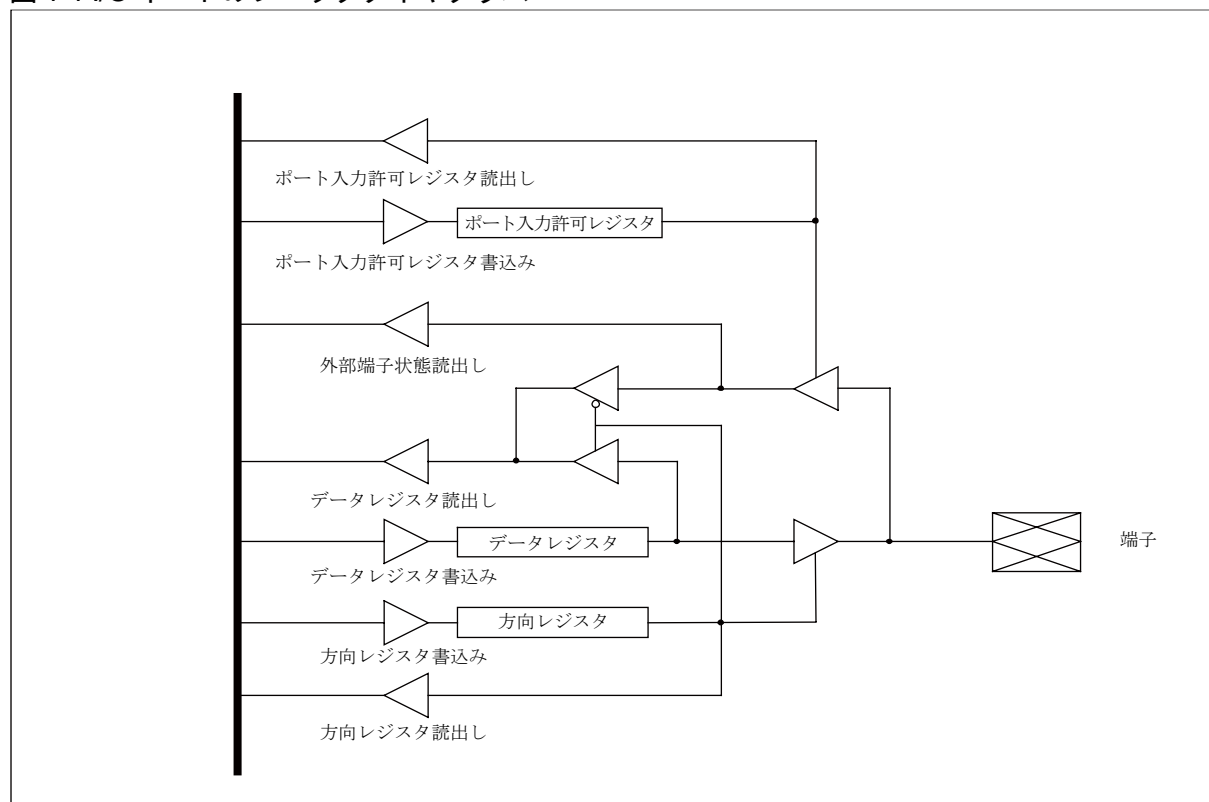
## 1. 概要

ポートの各端子は、対応する周辺機能の端子を使用しない設定の場合は、方向レジスタによって入力、出力の指定を行うことができます。入力として端子を使用する前に、ポート入力許可レジスタの設定により入力をする必要があります。端子が入力と指定されている場合は、端子の論理レベルが読み出されます。端子が出力と指定されている場合は、データレジスタ値が読み出されます。

### ■ I/O ポート

端子がほかの周辺機能の出力として使用されている場合、方向レジスタ値とは無関係に周辺の出力値が読み出されます。

図 1-1 I/O ポートのブロックダイヤグラム



## 2. レジスタ

各汎用ポート端子 GPxx\_y は、7 つのタイプのレジスタにより制御されます。

### ■ I/O ポートレジスタ

汎用ポート端子 GPxx\_y は I/O ポートレジスタ xx の bit y によって制御されます。例えば、ポート端子 GPxx\_y のデータ方向は、DDRxx\_y によって制御されます。

### ■ I/O ポートのレジスタ一覧

レジスタ略称	レジスタ名	参照先
PDRnn	ポートデータレジスタ	2.1
EPSRnn	外部端子状態レジスタ	2.2
DDRnn	データ方向レジスタ	2.3
PIERnn	ポート入力許可レジスタ	2.4
PHDRnn	ポート high 駆動レジスタ	2.5
PUCRnn	プルアップ制御レジスタ	2.6
PDCRnn	プルダウン制御レジスタ	2.7



## 2.1. ポートデータレジスタ(PDRnn)

I/O ポートのリード/ライトは、以下の点でメモリのリード/ライトと異なります。

- 入力モード

リード: 対応する端子のレベルが読み出されます。

ライト: 出力用のラッチに書き込まれます。

- 出力モード

リード: データレジスタラッチ値が読み出されます。

ライト: 出力用のラッチに書き込まれ、対応する端子に出力されます。

### ■ ポートデータレジスタ(PDRnn)

PDRnn								
bit	7	6	5	4	3	2	1	0
	P7	P6	P5	P4	P3	P2	P1	P0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	X	X	X	X	X	X	X	X

#### [bit7～bit0] Px (PDR00～PDRnn)

ポートデータレジスタの読出し値は、データ方向レジスタの対応するビット、同じ端子に接続されている周辺機能（もしあれば）の現在の状態および使用している命令（リードモディファイライト(RMW) かそれ以外か）によって異なります。以下の組み合わせとなります。

表 2-1 ポートデータレジスタの読出し

DDR 値	周辺機能出力	端子値	"リード命令"の読出し値	"リードモディファイライト(RMW)系命令"の読出し値
0 (入力)	許可	周辺機能出力の値	入力端子状態	PDR の値
	禁止	ポート入力	入力端子状態	PDR の値
1 (出力)	許可	周辺機能出力の値	PDR の値	PDR の値
	禁止	PDR の値	PDR の値	PDR の値

## 2.2. 外部端子状態レジスタ(EP SRnn)

本レジスタによって外部端子の現在の状態を読み出すことができます。

### ■ 外部端子状態レジスタ(EP SRnn)

EP SRnn								
bit	7	6	5	4	3	2	1	0
	PS7	PS6	PS5	PS4	PS3	PS2	PS1	PS0
属性	R	R	R	R	R	R	R	R
初期値	X	X	X	X	X	X	X	X

#### [bit7～bit0] PSx (EP SR00～EP SRnn)

これらのビットは外部ポート端子の状態のミラーとなります。

このレジスタへの書込みは無効です。

ポート入力許可レジスタの対応するビットが"1"に設定されると、外部端子状態レジスタは外部ポート端子の状態のミラーとなります。

## 2.3. データ方向レジスタ(DDRnn)

端子を汎用ポートとして使用するとき、データ方向レジスタは対応する端子を入力モードまたは出力モードに切り換えます。

### ■ データ方向レジスタ(DDRnn)

DDRnn								
bit	7	6	5	4	3	2	1	0
	D7	D6	D5	D4	D3	D2	D1	D0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

#### [bit7～bit0] Dx (DDR00～DDRnn)

これらのビットは、各ポート端子のデータ方向を設定します。端子をポートとして使用するとき、対応する端子は下記のように制御されます。

bit	説明
0	入力モード
1	出力モード

#### <注意事項>

データ方向レジスタは、対応する周辺機能の状態と関係なく読み出すことができます。  
 しかし、DDR の値は、ポートデータレジスタの読出しアクセスの結果に影響します。  
 端子をアナログ入力またはアナログ出力として使用する場合は、この値は無視されます。

## 2.4. ポート入力許可レジスタ(PIERnn)

端子を汎用ポートとして使用するとき、ポート入力許可レジスタによってデジタル入力許可または禁止されます。端子の入力機能がこのレジスタで禁止されている場合、端子のデジタル入力機能は使用できません。デジタル入力が禁止された場合、貫通電流は発生しません。

### ■ ポート入力許可レジスタ(PIERnn)

PIERnn								
bit	7	6	5	4	3	2	1	0
	IE7	IE6	IE5	IE4	IE3	IE2	IE1	IE0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

#### [bit7～bit0] IEx (PIER00～PIERnn)

これらのビットは、各ポート端子のデジタル入力を許可または禁止します。  
この端子を入力ポートとして使用するとき、対応する端子は下記のように制御されます。

bit	説明
0	デジタル入力を禁止
1	デジタル入力を許可

#### <注意事項>

- 端子をアナログ入力またはアナログ出力として使用する場合、端子のアナログ機能を有効にするとデジタル入力機能は無効にされます。
- MCU がストップモードまたはタイマモードになった場合、外部割込みを有効にしているポートを除く、すべてのポートの入力は PIER の設定にかかわらず無効になります。

## 2.5. ポート high 駆動レジスタ(PHDRnn)

このレジスタでは high 駆動オプションを許可または禁止できます。ポート high 駆動レジスタはすべてのデバイスにて有効ではありません。詳細は、付録の『I/O マップ』とデータシートの「端子配列図」を参照してください。

### ■ ポート high 駆動レジスタ(PHDRnn)

PHDRnn								
bit	7	6	5	4	3	2	1	0
	HD7	HD6	HD5	HD4	HD3	HD2	HD1	HD0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

#### [bit7～bit0] HDx (PHDR00～PHDRnn)

これらのビットは、各ポート端子の high 駆動オプションを許可または禁止します。電気的特性についてはデータシートを参照してください。

bit	説明
0	high 駆動オプションを禁止
1	high 駆動オプションを許可

#### <注意事項>

- ・ ステッピングモータを直接駆動する場合、あるいは高電流出力する場合は、ポート high 駆動レジスタで対応するビットに"1"(PHDRnn:HDx = 1)を設定してください。
- ・ high 駆動オプションは、すべてのポートにて有効ではありません。詳細は、付録の『I/O マップ』とデータシートの「端子配列図」を参照してください。

## 2.6. プルアップ制御レジスタ(PUCRnn)

このレジスタでは、各ポート端子のプルアップ抵抗を許可または禁止できます。

### ■ プルアップ制御レジスタ(PUCRnn)

PUCRnn								
bit	7	6	5	4	3	2	1	0
	PU7	PU6	PU5	PU4	PU3	PU2	PU1	PU0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

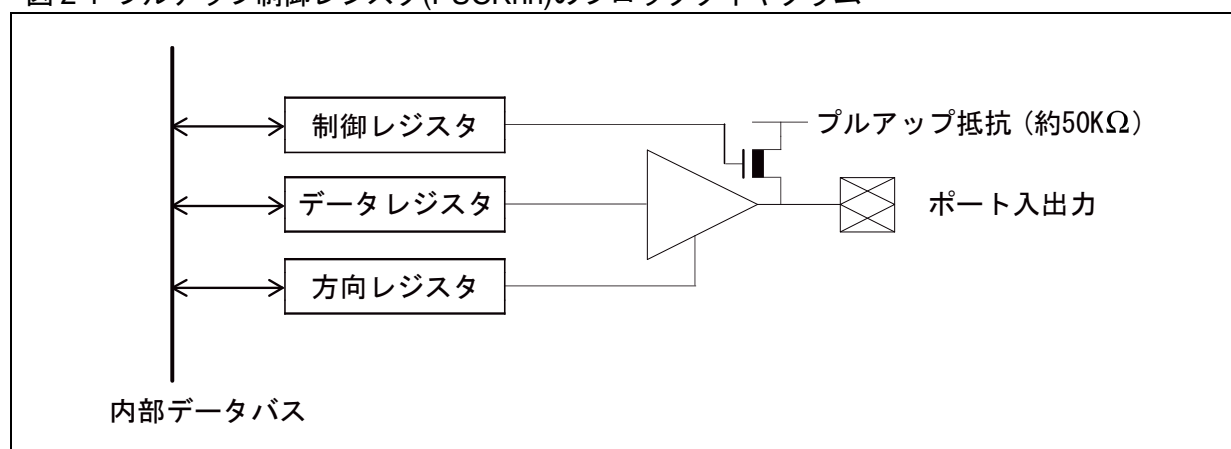
[bit7～bit0] PUx (PUCR00～PUCRnn)

これらのビットは、各ポート端子のプルアップ抵抗の許可または禁止を設定します。

bit	説明
0	入力モードのプルアップ抵抗なし
1	入力モードのプルアップ抵抗あり

### ■ プルアップ制御レジスタ(PUCRnn)のブロックダイアグラム

図 2-1 プルアップ制御レジスタ(PUCRnn)のブロックダイアグラム



#### <注意事項>

出力モードでは、プルアップ制御レジスタは無効です(プルアップ抵抗なし)。ストップモードおよびタイムモード(SMCR:SPL=1)では、プルアップ抵抗なしの状態になります(ハイインピーダンス)。

## 2.7. プルダウン制御レジスタ(PDCRnn)

このレジスタではプルダウン抵抗を許可または禁止できます。プルダウン制御レジスタはすべてのデバイスにて有効ではありません。詳細は、付録の『I/O マップ』とデータシートの「端子配列図」を参照してください。

### ■ プルダウン制御レジスタ(PDCRnn)

PDCRnn								
bit	7	6	5	4	3	2	1	0
	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

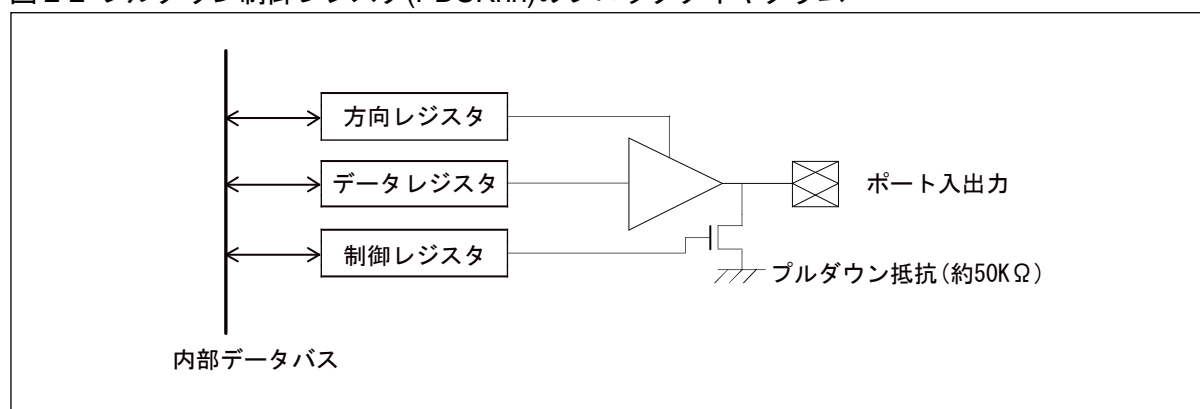
[bit7～bit0] PDx (PDCR00～PDCRnn)

これらのビットは、各ポート端子のプルダウン抵抗の許可または禁止を設定します。

bit	説明
0	入力モードのプルダウン抵抗なし
1	入力モードのプルダウン抵抗あり

### ■ プルダウン制御レジスタ(PDCRnn)のブロックダイアグラム

図 2-2 プルダウン制御レジスタ(PDCRnn)のブロックダイアグラム



#### <注意事項>

出力モードでは、プルダウン制御レジスタは無効です(プルダウン抵抗なし)。ストップモードおよびタイムモード(SMCR:SPL=1)では、プルダウン抵抗なしの状態になります(ハイインピーダンス)。

### 3. レジスタの用途

ここでは I/O レジスタの用途の一覧を示します。

#### ■ ポートの用途に対応するレジスタの設定

表 3-1 ポートの用途に対応するレジスタの設定

レジスタ/ ポートの用途	DDR	PIER	EPSR	PUCR	PDCR (使用可能な場合)	PHDR (使用可能な場合)	PDR (リード)	PDR (ライト)
初期状態	0(入力)	0(オフ)	不定	0 (オフ)	0 (オフ)	0 (オフ)	不定	PDR に格納される値
汎用 入力	0 に設定 (入力)	1 に設定 (オン)	端子状態	ユーザ 設定	ユーザ 設定	無効	端子状態	値は PDR に格納 される
汎用 出力	1 に設定 (出力)	EPSR を有効にする ためには PIER を 1 に 設定	端子状態 (PIER = 1 の場合)	無視 (オフ)	無視 (オフ)	ユーザ 設定	PDR	値は PDR に格納 されて 端子上に 示される
周辺機能 入力 (デジタル)	0 に設定 (入力)	1 に設定 (オン)	端子状態	ユーザ 設定	ユーザ 設定	無効	端子状態	値は PDR のみに格納 される
周辺機能 出力 (デジタル)	無視	EPSR を有効にする ためには PIER を 1 に 設定	端子状態 (PIER = 1 の場合)	無視 (オフ)*	無視 (オフ)	ユーザ 設定	PDR	値は PDR に 格納される
アナログ I/O	無視	無視 (入力は オフ)	不定	無視 (オフ)	無視 (オフ)	無視	不定	値は PDR に 格納される

\*: 例外: I<sup>2</sup>C バスの SDA/SCL として使用する場合、I<sup>2</sup>C バスコントローラを有効に設定すると PUCR のユーザ設定を保持します。

#### <注意事項>

周辺機能出力は、対応する周辺機能レジスタによって制御されます。

周辺機能をデジタル入力機能として使用する場合は、対応する PIER レジスタで端子を入力に設定する必要があります。

アナログ I/O は、アナログ周辺機能のレジスタによって制御されます。(例:ADC の ADER)

本ハードウェアマニュアルのアナログおよび周辺機能関連章を参照してください。

使用している周辺機能出力端子と兼用される別の周辺機能は同時に出力しないように設定してください。





# Chapter 12: 16 ビット入出力タイマ



---

16 ビット入出力タイマの機能と動作について説明します。

---

1. 概要
2. 16 ビット入出力タイマのレジスタ
3. 16 ビットフリーランタイマ
4. アウトプットコンペアユニット
5. インプットキャプチャユニット

---

管理コード : 96F3IOTIMER-J03.0

---

## 1. 概要

16 ビット入出力タイマは、16 ビットフリーランタイマ、アウトプットコンペアユニット、インプットキャプチャユニットで構成されています。このタイマは、パルスシーケンスの生成および外部イベント間の時間の測定に使用します。

### ■ 16 ビットフリーランタイマ

- ・ 16 ビットフリーランタイマは、アップカウンタ、制御レジスタおよびプリスケアラで構成されています。このカウンタから取得される出力値は、インプットキャプチャユニットの基本タイマとして使用されます。
- ・ カウンタ動作のためのクロックは、内部クロックの8種類の分周または外部クロックから選択できます。
- ・ カウンタオーバーフロー時またはコンペアレジスタ 0 または 4 との一致時に割込みを発生できます。
- ・ リセット時、ソフトウェアクリア時または 16 ビットフリーランタイマとコンペアレジスタ値の一致により、カウンタ値を"0000<sub>H</sub>"に初期化できます。

### ■ アウトプットコンペアユニット (1 モジュールあたり 2 チャンネル)

アウトプットコンペアユニットは、2 本の 16 ビットコンペアレジスタ、2 本のコンペア出力用ラッチおよび 2 本のコントロールレジスタから構成されています。

16 ビットフリーランタイマ値が対応するコンペアレジスタ値と一致したときに出力レベルを反転するとともに割込みを発生できます。

- ・ 2 つのコンペアレジスタを各アウトプットコンペアユニットに対して独立して使用できます。
- ・ 2 本のコンペアレジスタをペアにして出力端子を制御できます。  
出力端子は、2 本のコンペアレジスタにより反転されます。
- ・ 出力端子の初期出力レベルを設定できます。
  - ・ コンペア一致時に割込みを生成できます。

### ■ インプットキャプチャユニット (1 モジュールあたり 2 チャンネル)

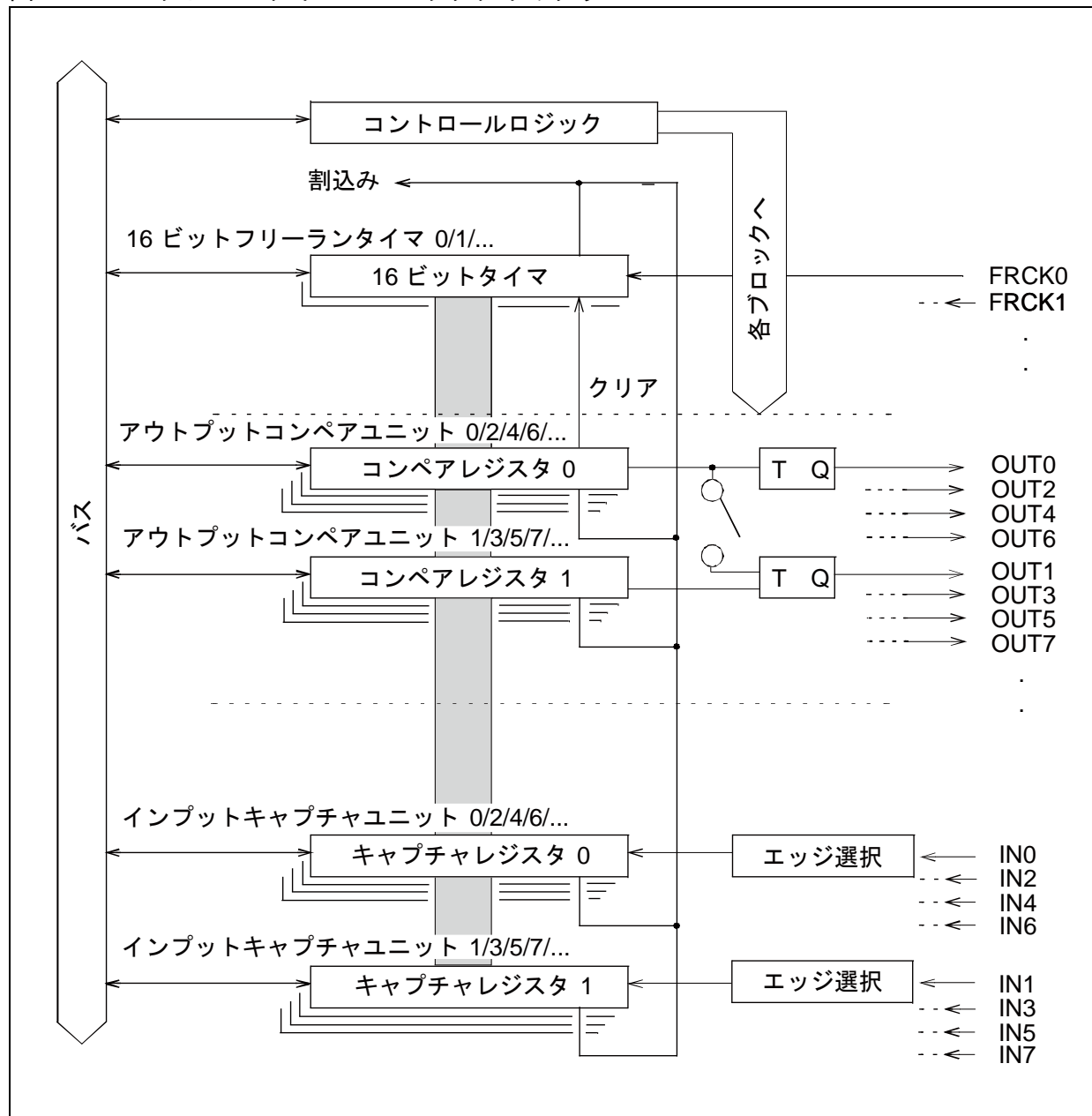
インプットキャプチャは、独立した 2 本の外部入力端子と対応したキャプチャレジスタ、コントロールレジスタから構成されています。外部入力端子から入力された信号の任意エッジを検出することにより、フリーランタイマ値をキャプチャレジスタに保持し、同時に割込みを発生します。

- ・ 外部入力信号の検出エッジを指定できます。  
立上り、立下りまたは両エッジから選択できます。
- ・ 2 本のインプットキャプチャは独立して動作可能です。
- ・ 外部入力信号の有効エッジ検出により割込み要求が発生します。  
インプットキャプチャ割込み時に DMA を起動できます。

## ■ 16 ビット I/O タイマのブロックダイアグラム

図 1-1 は、16 ビット I/O タイマのブロックダイアグラムを示しています。

図 1-1 16 ビット I/O タイマのブロックダイアグラム



### <注意事項>

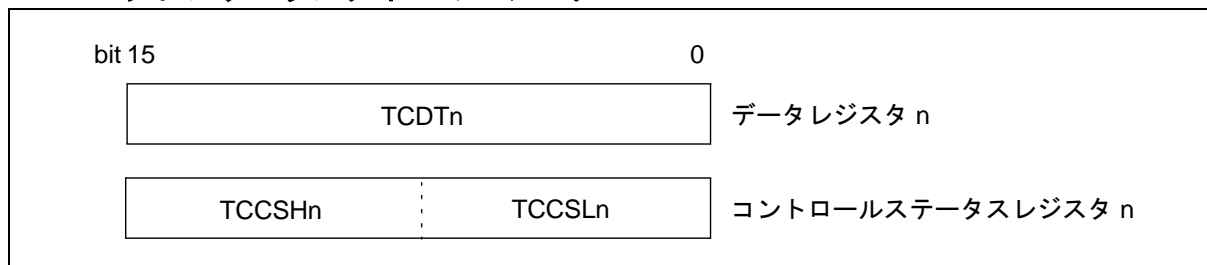
『概要』の章の「3. 16 ビット I/O タイマの構成」を参照して、インプットキャプチャユニット/アウトプットコンペアユニットと、フリーランタイマーとの接続を確認してください。

## 2. 16 ビット入出力タイマのレジスタ

16 ビット I/O タイマは以下のレジスタで構成されています。

- 16 ビットフリーランタイマのレジスタ
- 16 ビットアウトプットコンペアのレジスタ
- 16 ビットインプットキャプチャのレジスタ

### ■ 16 ビットフリーランタイマのレジスタ

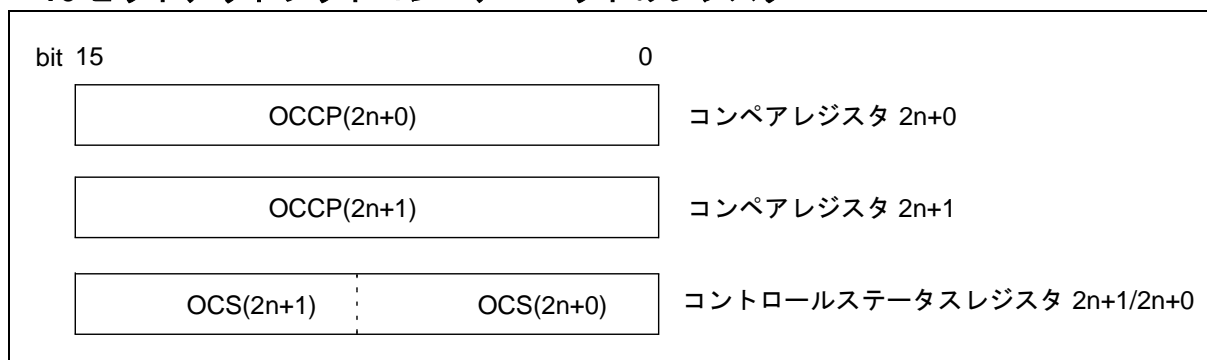


#### <注意事項>

サフィックスの "n" は、フリーランタイマの番号 (0, 1, 2, ...) を表しています。レジスタ名はレジスタタイプ名とサフィックスで構成されます。したがって以下のレジスタ名が使用できます。

- フリーランタイマ 0 の場合: TCDT0, TCCSH0, TCCSL0
- フリーランタイマ 1 の場合: TCDT1, TCCSH1, TCCSL1
- 以下同様。

### ■ 16 ビットアウトプットコンペアユニットのレジスタ

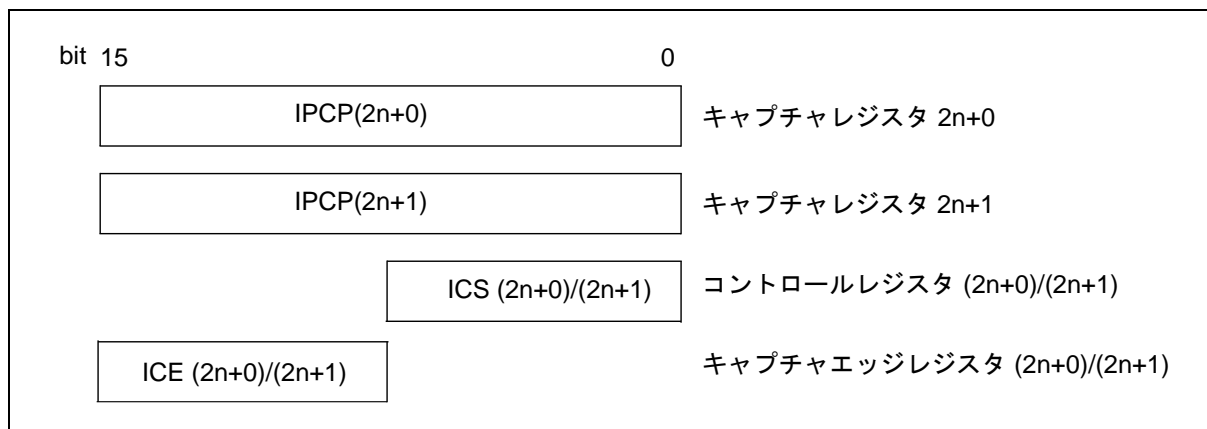


#### <注意事項>

サフィックスの "n" は、アウトプットコンペアユニットの番号 (0, 1, 2, ...) を表しています。レジスタ名はレジスタタイプ名とサフィックスで構成されます。したがって以下のレジスタ名が使用できます。

- アウトプットコンペアユニット 0 の場合: OCCP0, OCCP1, OCS0, OCS1
- アウトプットコンペアユニット 1 の場合: OCCP2, OCCP3, OCS2, OCS3
- 以下同様。

## ■ 16 ビットインプットキャプチャレジスタ



### <注意事項>

サフィックスの "n" は、インプットキャプチャユニットの番号 (0, 1, 2, ...) を表しています。レジスタ名はレジスタタイプ名とサフィックスで構成されます。したがって以下のレジスタ名が使用できます。

- ・インプットキャプチャユニット 0 の場合: IPCP0, IPCP1, ICS01, ICE01
- ・インプットキャプチャユニット 1 の場合: IPCP2, IPCP3, ICS23, ICE23
- ・以下同様。

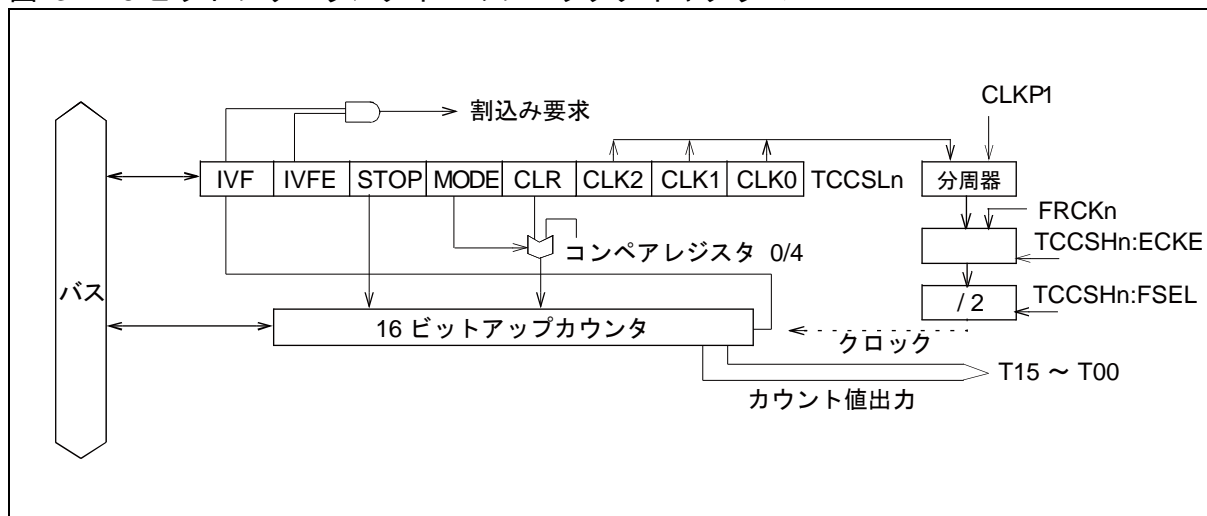
### 3. 16 ビットフリーランタイム

16 ビットフリーランタイムは、16 ビットアップカウンタとコントロールステータスレジスタで構成されています。16 ビットフリーランタイムのカウント値は、アウトプットコンペアユニットおよびインプットキャプチャユニットの基準時間として使用されます。

- ・ カウンタ動作のためのクロックは、内部クロックの 8 種類の分周または外部クロックから選択できます。
- ・ カウンタオーバフロー時またはコンペアレジスタ 0 または 4 との一致時に割り込みを発生できます。
- ・ リセット時、ソフトウェアクリア時、また 16 ビットフリーランタイムとコンペアレジスタ値の一致により、カウンタ値を"0000<sub>H</sub>" に初期化できます。

#### ■ 16 ビットフリーランタイムのブロックダイアグラム

図 3-1 16 ビットフリーランタイムのブロックダイアグラム



(注意事項) 上の図はすべてのタイマに有効です。

ICU と OCU の接続については『概要』の章の「3. 16 ビット I/O タイマの構成」を参照してください。

#### ■ 16 ビットフリーランタイムのレジスタ一覧

レジスタ略称	レジスタ名	参照先
TCDTn	フリーランタイムのデータレジスタ	3.2
TCCSn	フリーランタイムのコントロールステータスレジスタ	3.3

## 3.1. 動作

16 ビットフリーランタイマは、リセットが解除された後、カウンタ値 0000<sub>H</sub> からカウントを開始します。このカウンタ値は、16 ビットアウトプットコンペアと 16 ビットインプットキャプチャの動作の基準時間として使用されます。

### ■ 16 ビットフリーランタイマの動作

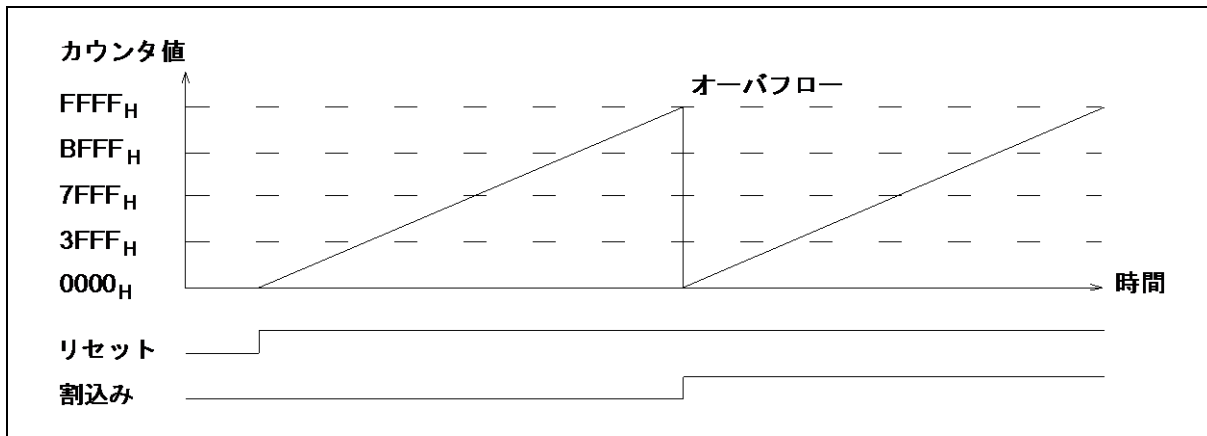
以下の条件でカウンタ値がクリアされます。

- ・ オーバフローが発生したとき
- ・ アウトプットコンペアレジスタ 0 またはアウトプットコンペアレジスタ 4 との一致が発生したとき(モード設定が必要)。
- ・ 動作時に TCCSL レジスタの CLR ビットに "1" が書き込まれたとき
- ・ 停止時に TCDDT レジスタに 0000<sub>H</sub> が書き込まれたとき
- ・ リセット

オーバフローが発生した場合またはコンペアレジスタ 0 または 4 との一致によってカウンタがクリアされた場合に割込みが生成されます(コンペアー一致割込みは、対応するモードでのみ使用できます)。

### ■ オーバフローによるカウンタのクリア

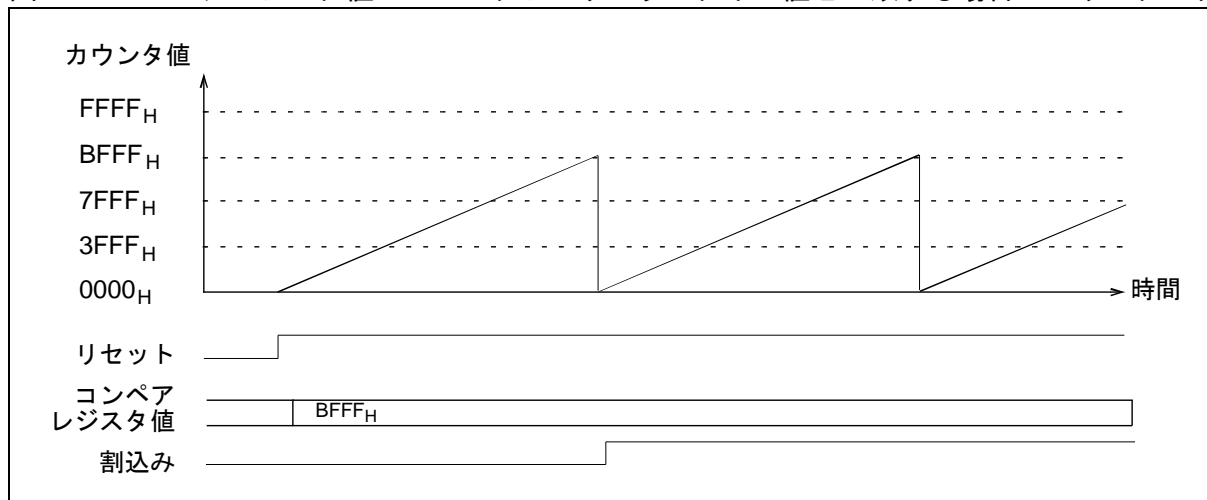
図 3-2 オーバフローによるカウンタのクリア





## ■ コンペアレジスタ値一致時のカウンタのクリア

図 3-3 コンペアレジスタ値が 16 ビットフリーランタイム値と一致する場合のカウンタのクリア

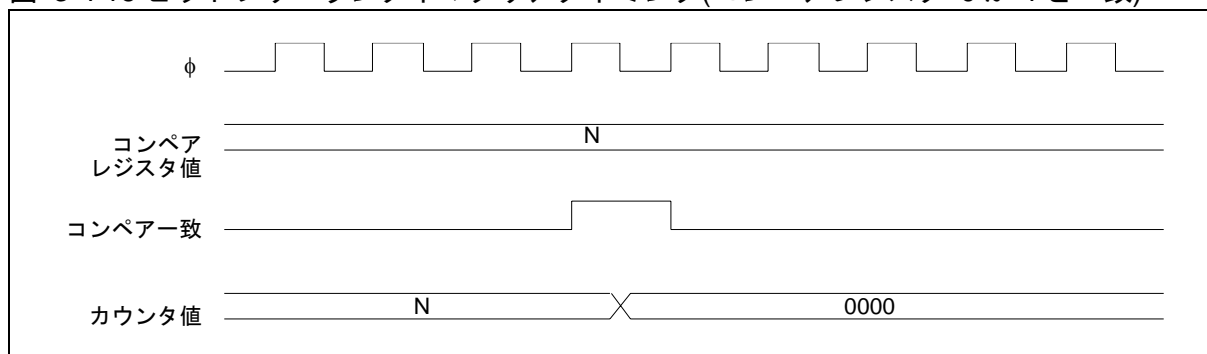


## ■ 16 ビットフリーランタイムタイミング

### ● 16 ビットフリーランタイムクリアタイミング(コンペアレジスタ 0 か 4 と一致)

リセット時、ソフトウェアクリア時またはコンペアレジスタ 0 か 4 との一致時にカウンタをクリアできます。リセットでは、カウンタは即座にクリアされます。コンペアレジスタ 0 またはコンペアレジスタ 4 値との一致時またはソフトウェアクリア時 (TCCSL: CLR = 1) には、カウンタはカウントタイミングと同時にクリアされます。

図 3-4 16 ビットフリーランタイムクリアタイミング(コンペアレジスタ 0 か 4 と一致)



## 3.2. データレジスタ(TCDTn)

データレジスタ (TCDTn) は、16 ビットフリーランタイマのカウント値を読み出すことができます。カウンタ値は、リセット時に 0000<sub>H</sub> にクリアされます。このレジスタへの値の書き込みによってタイマ値を設定できますが、必ず停止(STOP=1) 状態で書き込んでください。データレジスタにはワードアクセスしてください。

### ■ フリーランタイマのデータレジスタ (TCDTn)

TCDTn								
bit	15	14	13	12	11	10	9	8
	T15	T14	T13	T12	T11	T10	T9	T8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
bit	7	6	5	4	3	2	1	0
	T7	T6	T5	T4	T3	T2	T1	T0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

16 ビットフリーランタイマは、以下のときに初期化されます。

- ・ リセット
- ・ コントロールステータスレジスタ(TCCSL) のクリアビット (CLR)
- ・ コンペアレジスタとタイマカウンタ値の一致

### <注意事項>

カウンタ値はリセット時に"0000"にクリアされます。ただし、カウンタはリセット直後から動作するためリセット後に"0000"を読むことはできません。

### 3.3. コントロールステータスレジスタ (TCCSn)

コントロールステータスレジスタ (TCCSn) は、16 ビットフリーランタイマの動作モードを設定し、16 ビットフリーランタイマを起動および停止、割込みを制御します。

#### ■ フリーランタイマのコントロールステータスレジスタ (TCCSLn)

TCCSLn	7	6	5	4	3	2	1	0
bit	IVF	IVFE	STOP	MODE	CLR	CLK2	CLK1	CLK0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7] IVF: 割込み要求フラグビット

bit	説明	
	読出し	書込み
0	割込みなし	このビットをクリア
1	割込み要求	影響なし

- このビットは、フリーランタイマの割込み要求フラグです。
- リードモディファイライト(RMW) 系命令では常に"1" が読み出されます。
- フリーランタイマがオーバフローを起こしたときまたはMODEが"1"に設定されている状態でフリーランタイマとコンペアレジスタ 0 か 4 と一致した場合にこのビットは"1"に設定されます。

[bit6] IVFE: 割込み許可ビット

bit	説明
0	割込み禁止
1	割込み許可

このビットは、フリーランタイマの割込み許可ビットです。

[bit5] STOP: カウンタ停止ビット

bit	説明
0	カウンタ許可 (動作)
1	カウンタ禁止 (停止)

このビットは、フリーランタイマのカウンタ許可または禁止を設定します。

[bit4] MODE: リセット条件設定ビット

bit	説明
0	リセットまたはクリアビットによる初期化
1	リセット, クリアビットまたはコンペアレジスタ 0, 4 による初期化

[bit3] CLR: クリアビット

bit	説明	
	読出し	書込み
0	読出し値は常に "0"	影響なし
1		カウンタが初期化

CLR ビットは、動作中のフリーランタイマを値 0000<sub>H</sub> に初期化します。

---

**<注意事項>**

タイマが停止している (STOP = 1) ときカウンタ値を初期化するには、データレジスタ (TCDT) に 0000<sub>H</sub> を書き込みます。

---

[bit2～bit0] CLK2～CLK0: カウントクロック選択

bit2	bit1	bit0	カウント クロック	$\phi = 20$ MHz	$\phi = 16$ MHz	$\phi = 8$ MHz	$\phi = 4$ MHz	$\phi = 1$ MHz
0	0	0	$\phi$	50 ns	62.5 ns	125 ns	0.25 $\mu$ s	1 $\mu$ s
0	0	1	$\phi / 2$	100 ns	125 ns	0.25 $\mu$ s	0.5 $\mu$ s	2 $\mu$ s
0	1	0	$\phi / 4$	0.2 $\mu$ s	0.25 $\mu$ s	0.5 $\mu$ s	1 $\mu$ s	4 $\mu$ s
0	1	1	$\phi / 8$	0.4 $\mu$ s	0.5 $\mu$ s	1 $\mu$ s	2 $\mu$ s	8 $\mu$ s
1	0	0	$\phi / 16$	0.8 $\mu$ s	1 $\mu$ s	2 $\mu$ s	4 $\mu$ s	16 $\mu$ s
1	0	1	$\phi / 32$	1.6 $\mu$ s	2 $\mu$ s	4 $\mu$ s	8 $\mu$ s	32 $\mu$ s
1	1	0	$\phi / 64$	3.2 $\mu$ s	4 $\mu$ s	8 $\mu$ s	16 $\mu$ s	64 $\mu$ s
1	1	1	$\phi / 128$	6.4 $\mu$ s	8 $\mu$ s	16 $\mu$ s	32 $\mu$ s	128 $\mu$ s

 $\phi$  = 周辺クロック (CLKP1)

これらのビットは、16 ビットフリーランタイマのカウントクロックを選択します。このビットに書き込み後、すぐにクロックが更新されますので、アウトプットコンペア、インプットキャプチャが停止状態のときに変更してください。

## ■ フリーランタイムのコントロールステータスレジスタ (TCCSHn)

TCCSHn	15	14	13	12	11	10	9	8
bit	ECKE	FSEL	-	-	-	-	-	-
属性	R/W	R/W	-	-	-	-	-	-
初期値	0	1	X	X	X	X	X	X

### [bit15] ECKE: 外部クロック許可ビット

bit	説明
0	内部クロックをクロックソースとして選択
1	外部クロック (FRCK) をクロックソースとして選択

このビットは、内部または外部クロックソースを選択します。このビットの変更はアウトプットコンペアまたはインプットキャプチャが停止しているときに行ってください。このビットに書き込んだ後にクロックが変更される可能性があります。

### <注意事項>

内部クロックを選択した場合、ビット CLK2 ~ CLK0 をカウントクロック値に変更されます。

このカウントクロックが基本クロックとして使用されます。

クロックソースが FRCK からの入力である場合、対応するポートのデータ方向レジスタ(DDR) を "入力" に設定し、ポート入力許可レジスタ(PIER) を "許可" に設定してください。

### [bit14] FSEL: 周波数選択ビット

bit	説明
0	入力クロックの 2 分周
1	入力クロック

このビットは、カウンタクロックソースの分周を制御するために使用します。このビットの変更は、アウトプットコンペアとインプットキャプチャが停止しているときに行ってください。FSEL ビットは、カウンタクロック分周比を指定するために使用します。

FSEL が "0" に設定されると、カウンタクロック選択ビット (TCCSL ビット: CLK2 ~ CLK0) によって指定されたカウントクロックサイクルが 2 分周されます。

### [bit13~bit8] -: 未定義

- これらのビットの読出し値は不定です。
- これらのビットは常に "0" を書き込んでください。
- これらのビットへのリードモディファイライト(RMW) 動作は無効です。

## 4. アウトプットコンペアユニット

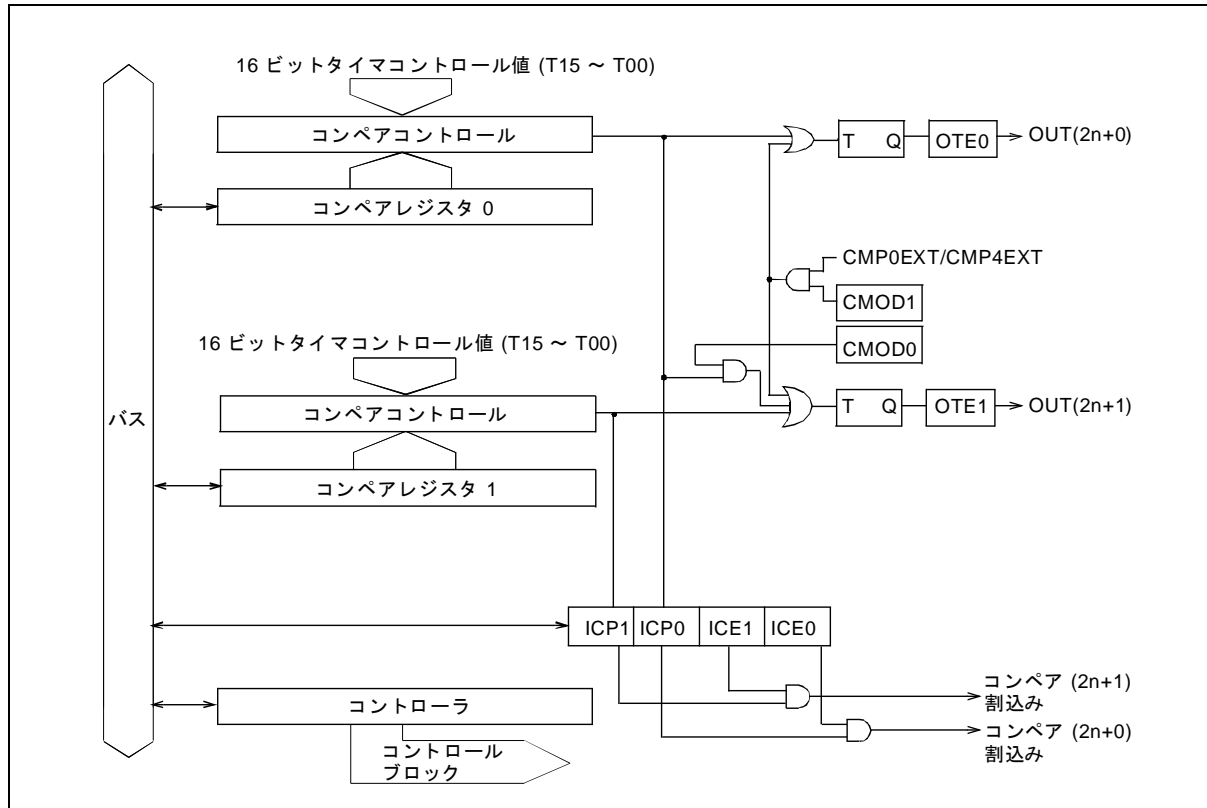
アウトプットコンペアユニット (OCU) は、2 本の 16 ビットコンペアレジスタ、2 本のコンペアアウトプット端子および 2 本のコントロールレジスタで構成されています。アウトプットコンペアは、設定されたコンペアレジスタ値とフリーランタイムとの値を比較して、一致していた場合に割込み要求を発生するとともに、出力レベルを反転します。

### ■ アウトプットコンペアユニット (OCU) の特長

- ・ 各アウトプットコンペアユニットには、2 つのコンペアレジスタがあり、独立して使用できます。モード設定によって、2 つのコンペアレジスタを使用して端子の出力を制御できます。
- ・ 出力端子の初期出力レベルを別々に指定できます。
- ・ 比較の結果一致しているとき、割込みを発生できます。
- ・ 各 OCU は、2 本のコンペアレジスタを使って 1 つの PWM 信号を生成できます (OUT0 および OUT4 端子は除く)。
- ・ 1 本のアウトプットコンペアと 3 本のコンペアレジスタにより 2 つの PWM 信号が生成できます。
- ・ コンペアレジスタを使用して 1 つのサイクル波形信号を生成できます。

### ■ アウトプットコンペアユニットのブロックダイアグラム

図 4-1 アウトプットコンペアユニットのブロックダイアグラム



## ■ アウトプットコンペアユニットのレジスタ一覧

レジスタ略称	レジスタ名	参照先
OCCP(2n) / OCCP(2n+1)	アウトプットコンペアレジスタ	4.2
OCS(2n) / OCS(2n+1)	アウトプットコンペアのコントロールステータスレジスタ	4.3



## 4.1. 動作

16 ビットアウトプットコンペア動作では、割込みを設定することができ、指定したコンペアレジスタ値が 16 ビットフリーランタイム値と一致するとき出力レベルをトグルさせることができます。CMOD0 および CMOD1 ビットを使って各端子に対応するコンペアレジスタを定義できます。

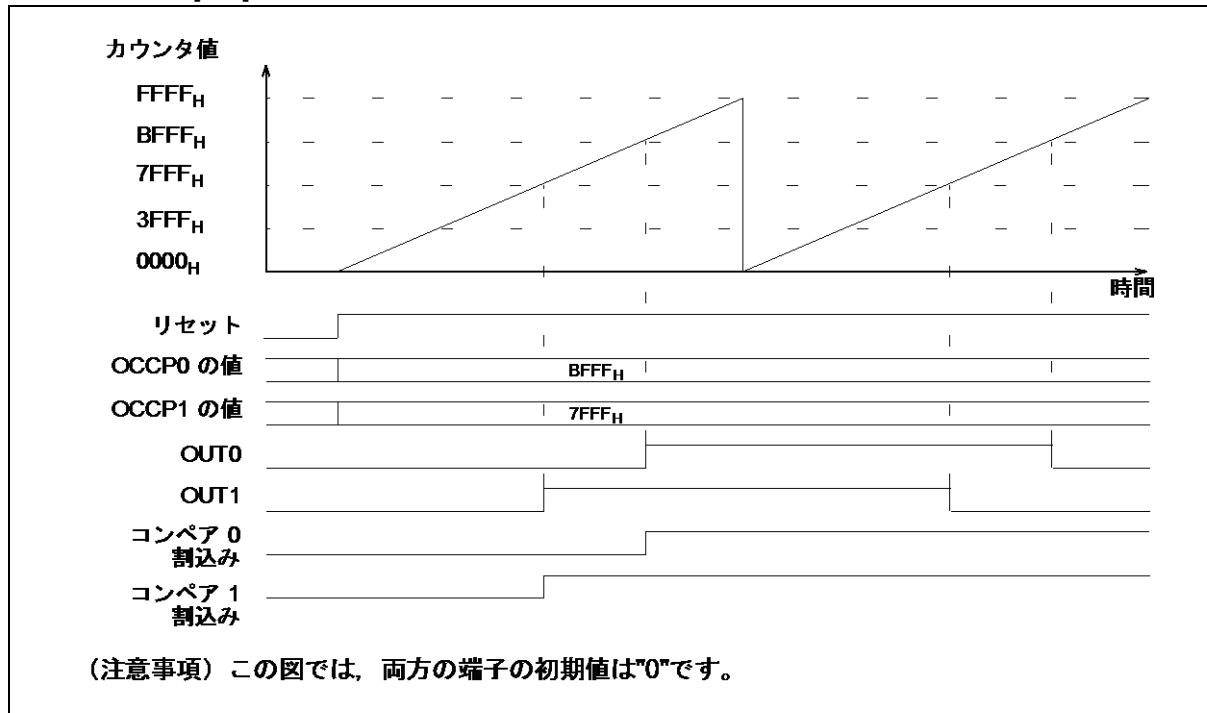
### ■ CMOD[1:0]=00<sub>B</sub> の場合の出力波形の例

CMOD[1:0]=00<sub>B</sub> であるとき、コンペアレジスタに対応する端子の出力レベルがレジスタ値と一致するたびに反転されます。各出力値は 1 つのコンペアレジスタによって制御されます。

OUT0: このレベルは、コンペアレジスタ 0 との一致によってのみ反転されます。

OUT1: このレベルは、コンペアレジスタ 1 との一致によってのみ反転されます。

図 4-2 CMOD[1:0]=00<sub>B</sub> のときの出力波形の例



### ■ CMOD[1:0]=01<sub>B</sub> の場合の 2 つのコンペアレジスタによる出力波形の例

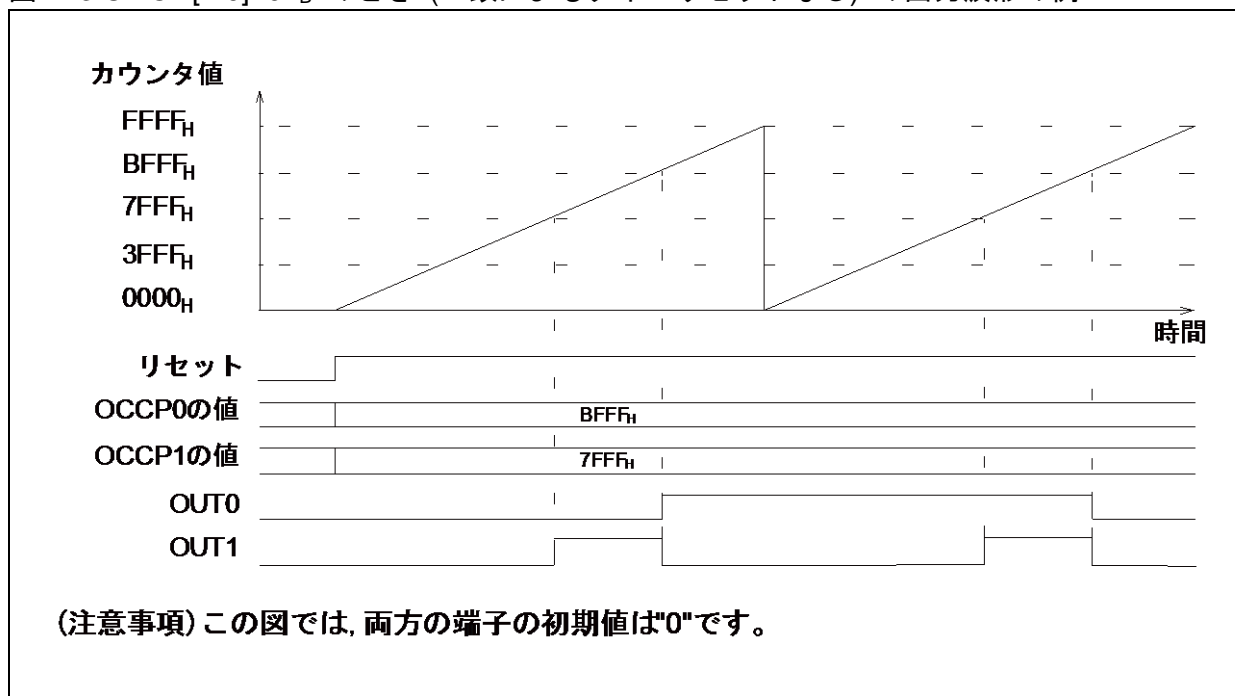
CMOD[1:0]=01<sub>B</sub> のとき、コンペアレジスタ 0 (2) に対応する端子の出力レベルがレジスタ値と一致するたびに反転します。これは CMOD[1:0]=00<sub>B</sub> の場合の動作と同じです。ただし 2 番目の端子の出力レベルは、コンペアレジスタ 0 またはコンペアレジスタ 1 (3) のどちらかと一致したときに反転します。これによって、パルス信号を生成する際に、一方のエッジをコンペアレジスタ 0 の値によって定義し、他方のエッジをコンペアレジスタ 1 (3) によって定義する(またはその逆)ことができます。両方のコンペアレジスタが同じ値である場合、動作は CMOD[1:0]=00<sub>B</sub> の場合と同じです。このモードと、フリーランタイマのコンペアレジスタ一致によるリセットのオプション (TCCSLx レジスタの MODE ビット) と合わせて使用することによって、周波数が異なるパルス幅変調信号を生成できます。

OUT0 (2):このレベルは、コンペアレジスタ 0 (2) との一致によってのみ反転されます。

OUT1 (3):このレベルは、コンペアレジスタ 0 (2) またはコンペアレジスタ 1 (3) との一致によって反転されます。

OUT4, OUT5, OUT6 および OUT7 では、コンペアレジスタ 4 は、上記のコンペアレジスタ 0 と同じ働きをします。

図 4-3 CMOD[1:0]=01<sub>B</sub> のとき (一致によるタイマリセットなし) の出力波形の例



### ■ CMOD[1:0]=10<sub>B</sub> の場合の出力波形の例

CMOD[1:0]=10<sub>B</sub> によって設定される動作モードは、各フリーランタイマに対して 3 つ のパルス幅変調信号(2 つではなく) を使用することを想定しています。OCU モジュール 1 にこのモードがセットされている場合、タイマ値とコンペアレジスタ 0 との一致によって OUT2 と OUT3 の両方が反転します。3 番目のパルス信号では、OCU モジュール 0 の CMOD[1:0] を 01<sub>B</sub> に設定する必要があります。

レジスタ OCS1 の場合: CMOD[1:0]=01<sub>B</sub>

OUT0:このレベルは、コンペアレジスタ 0 との一致によってのみ反転されます。

OUT1:このレベルは、コンペアレジスタ 0 またはコンペアレジスタ 1 との一致によって反転します。

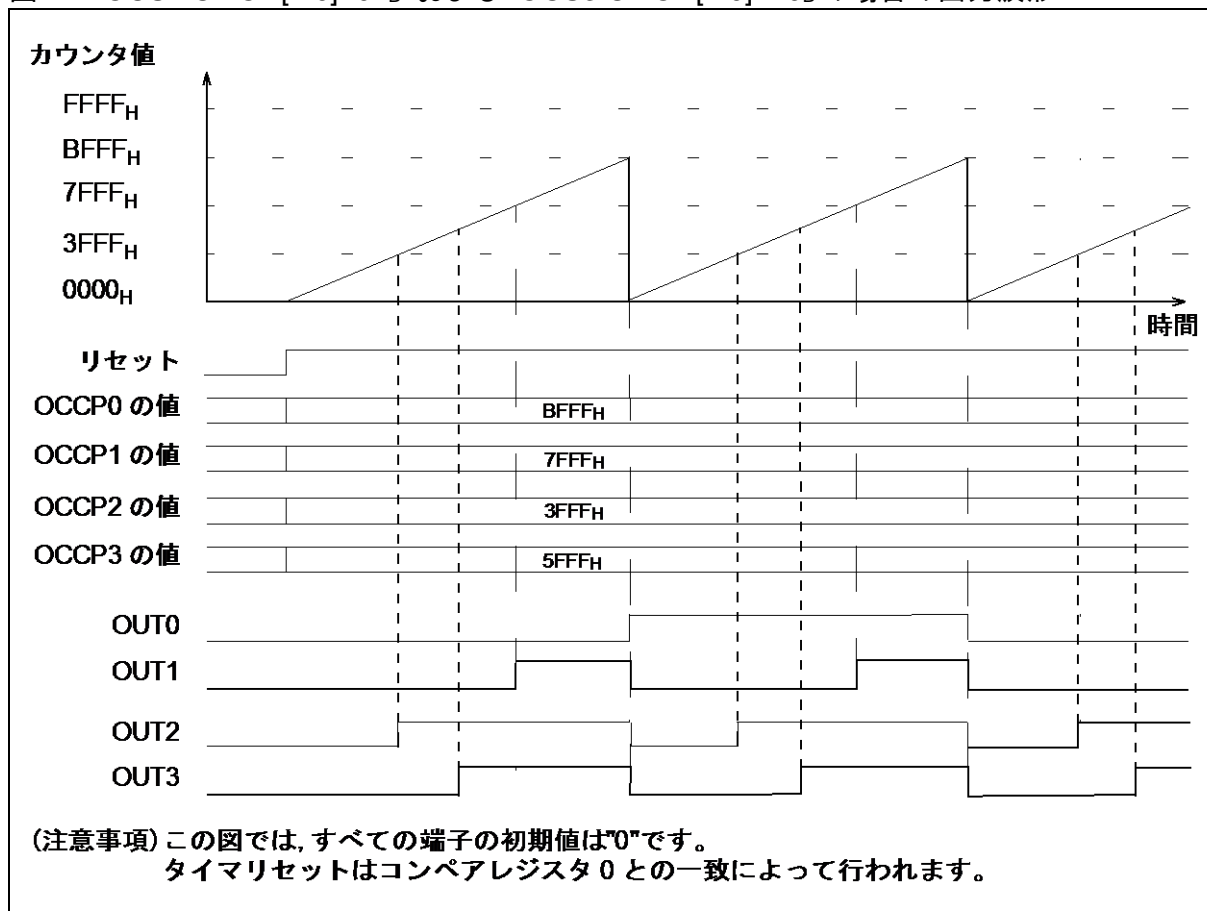
レジスタ OCS3 の場合: CMOD[1:0]=10<sub>B</sub>

OUT2:このレベルは、コンペアレジスタ 0 またはコンペアレジスタ 2 との一致によって反転します。

OUT3:このレベルは、コンペアレジスタ 0 またはコンペアレジスタ 3 との一致によって反転します。

OUT4, OUT5, OUT6 および OUT7 では、コンペアレジスタ 4 は、上記のコンペアレジスタ 0 と同じ働きをします。

図 4-4 OCS1:CMOD[1:0]=01<sub>B</sub> および OCS3:CMOD[1:0]=10<sub>B</sub> の場合の出力波形



## ■ CMOD[1:0]=11<sub>B</sub> の場合の出力波形の例

CMOD[1:0]=11<sub>B</sub> のとき、OUT3 (OUT7) 端子の出力レベルはコンペアレジスタ 0, 2 または 3 (4, 6 または 7) によって反転されます。端子 OUT1 (OUT5) では、この設定は CMOD[1:0]=01<sub>B</sub> と同じです (表 4-1 も参照してください)。

OUT0: このレベルは、コンペアレジスタ 0 との一致によってのみ反転します。

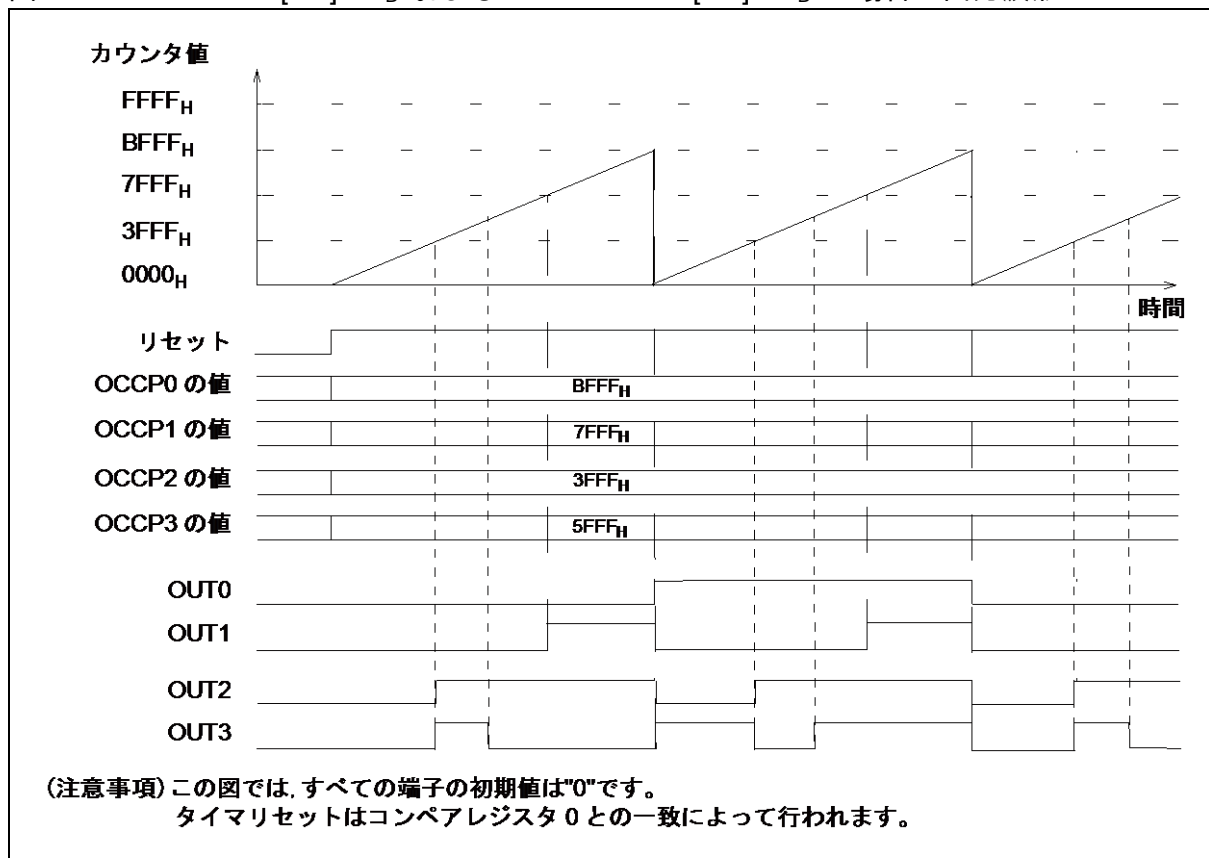
OUT1: このレベルは、コンペアレジスタ 0 またはコンペアレジスタ 1 との一致によって反転します。

OUT2: このレベルは、コンペアレジスタ 0 またはコンペアレジスタ 2 との一致によって反転します。

OUT3: このレベルは、コンペアレジスタ 0, コンペアレジスタ 2 またはコンペアレジスタ 3 との一致によって反転されます。

OUT4, OUT5, OUT6 および OUT7 では、コンペアレジスタ 4 は、上記のコンペアレジスタ 0 と同じ働きをします。

図 4-5 OCS1:CMOD[1:0]=11<sub>B</sub> および OCS3:CMOD[1:0]=11<sub>B</sub> の場合の出力波形



## ■ アウトプットコンペアタイミング

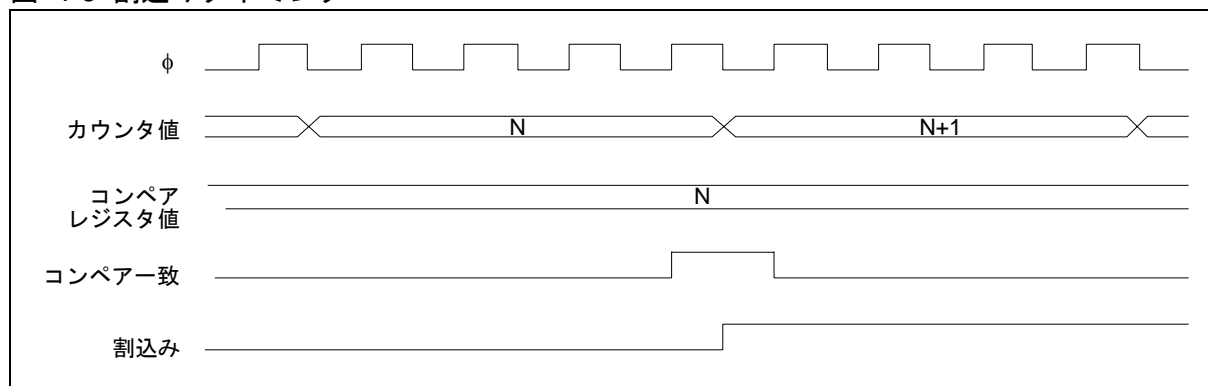
アウトプットコンペア動作では、フリーランタイマ値が指定されたコンペアレジスタ値と一致したとき、コンペア一致信号が生成されます。出力値を反転でき、割込みを発行できます。コンペア一致時の出力反転のタイミングは、カウンタのタイミングと同期化されます。

### ● コンペアレジスタの更新時のコンペア動作

コンペアレジスタの更新タイミングでは、カウンタ値の比較は行いません。

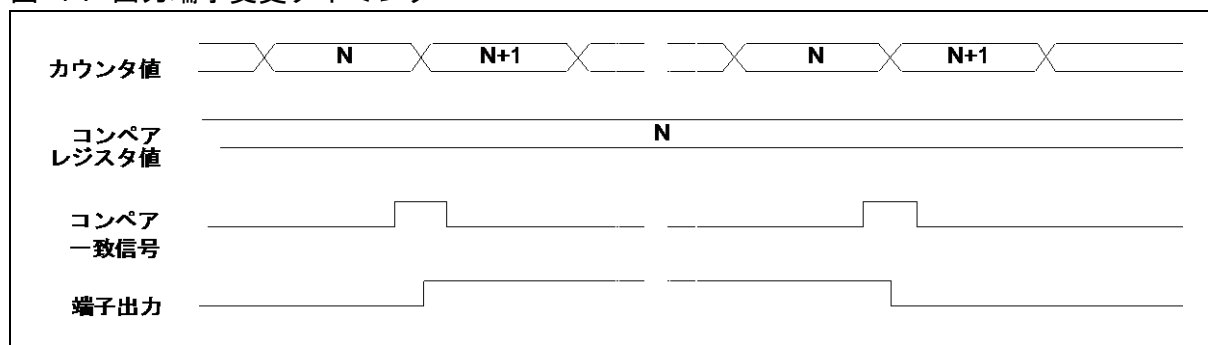
### ● 割込みタイミング

図 4-6 割込みタイミング



### ● 出力端子変更タイミング

図 4-7 出力端子変更タイミング



## 4.2. アウトプットコンペアレジスタ(OCCP(2n) / OCCP(2n+1))

16 ビットアウトプットコンペアレジスタは、16 ビットフリーランタイムと比較されます。レジスタの初期値が未定義なので、動作を有効にする前に適切な値を設定します。これらのレジスタにはワードアクセス命令によってアクセスする必要があります。レジスタの値が 16 ビットフリーランタイムの値と一致する場合、コンペア信号が生成され、アウトプットコンペア割込みフラグがセットされます。出力が有効である場合、コンペアレジスタに対応する出力レベルが反転されます。コンペア一致がこのレジスタへの書き込み動作と同時に発生した場合のコンペア動作は予測不能です。そのため、このレジスタへの書き込みを行う前に、必ずフリーランタイムのカウンタ値を確認するかまたはタイマを初期化します。

### ■ アウトプットコンペアレジスタ (OCCP(2n) / OCCP(2n+1))

OCCPn									
bit		15	14	13	12	11	10	9	8
		C15	C14	C13	C12	C12	C10	C9	C8
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		X	X	X	X	X	X	X	X
bit		7	6	5	4	3	2	1	0
		C7	C6	C5	C4	C3	C2	C1	C0
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		X	X	X	X	X	X	X	X

#### <注意事項>

このレジスタは、16 ビットワードとしてのみアクセスできます。

### 4.3. アウトプットコンペアのコントロールステータスレジスタ (OCS(2n) / OCS(2n+1))

コントロールステータスレジスタ (OCS(2n) / OCS(2n+1)) は、アウトプットコンペアの動作モードを設定し、アウトプットコンペアを開始および停止し、割込みを制御し、外部出力端子を設定します。

#### ■ アウトプットコンペアコントロールステータスレジスタ (OCS(2n))

OCS(2n)									
bit		7	6	5	4	3	2	1	0
		ICP	ICP	ICE	ICE	-	-	CST	CST
属性		R/W	R/W	R/W	R/W	-	-	R/W	R/W
初期値		0	0	0	0	X	X	0	0

#### <注意事項>

サフィックスの "n" は、アウトプットコンペアユニットの番号 (0, 1, 2, ...) を表しています。レジスタ名およびビット名はレジスタ/ビットタイプ名とサフィックスで構成されます。例:

- ・ アウトプットコンペアユニット 0 の場合: n = 0、したがって OCS0 はビット CST0, CST1, ICE0, ICE1, ICP0, ICP1 を含みます。
- ・ アウトプットコンペアユニット 1 の場合: n = 1、したがって OCS2 はビット CST2, CST3, ICE2, ICE3, ICP2, ICP3 などを含みます。
- ・ 以下同様。

#### [bit7] ICP(2n+1) チャンネル(2n+1) のコンペアー一致ステータス

bit	説明	
	読出し	書込み
0	チャンネル(2n+1) でコンペアー一致なし	このビットをクリア
1	チャンネル (2n+1) でコンペアー一致	影響なし

- ・ これらのビットは、コンペアー一致ステータスフラグとして使用されます。コンペアレジスタ値が 16 ビットフリーランタイム値と一致する場合、このビットは "1" に設定されます。
- ・ コンペアー一致ステータスビット ICP(2n+1) ビットがセットされ、対応する割込み許可ビット ICE(2n+1) が許可されている場合、アウトプットコンペア割込みが発生します。
- ・ リードモディファイライト(RMW) 系命令によって常に "1" が読み出されます。

**[bit6] ICP(2n+0) チャンネル(2n+0) のコンペアー一致ステータス**

bit	説明	
	読出し	書込み
0	チャンネル (2n+0) でコンペアー一致なし	このビットをクリア
1	チャンネル (2n+0) でコンペアー一致	影響なし

- これらのビットは、コンペアー一致ステータスフラグとして使用されます。コンペアーレジスタ値が 16 ビットフリーランタイム値と一致する場合、このビットは "1" に設定されます。
- コンペアー一致ステータスビット ICP(2n+0) ビットがセットされ、対応する割込み許可ビット ICE(2n+0) が許可されている場合、アウトプットコンペアー割込みが発生します。
- リードモディファイライト(RMW) 系命令によって常に "1" が読み出されます。

**[bit5] ICE(2n+1) チャンネル(2n+1) のコンペアー割込み許可**

bit	説明
0	チャンネル (2n+1) のアウトプットコンペアー割込み禁止
1	チャンネル (2n+1) のアウトプットコンペアー割込み許可

- これらのビットは、アウトプットコンペアー割込み許可フラグとして使用されます。
- コンペアー一致ステータスビット ICP(2n+1) ビットがセットされ、対応する割込み許可ビット ICE(2n+1) が許可されている場合、アウトプットコンペアー割込みが発生します。

**[bit4] ICE(2n+0) チャンネル(2n+0) のコンペアー割込み許可**

bit	説明
0	チャンネル (2n+0) のアウトプットコンペアー割込み禁止
1	チャンネル (2n+0) のアウトプットコンペアー割込み許可

- これらのビットは、アウトプットコンペアー割込み許可フラグとして使用されます。
- コンペアー一致ステータスビット ICP(2n+0) ビットがセットされ、対応する割込み許可ビット ICE(2n+0) が許可されている場合、アウトプットコンペアー割込みが発生します。
- "0" を書き込んだ場合:アウトプットコンペアー割込みが禁止されます。
- "1" を書き込んだ場合:アウトプットコンペアー割込みが許可されます。

**[bit3, bit2] -: 未定義**

- これらのビットには常に"0"を書き込んでください。
- これらのビットの読出し値は不定です。
- これらのビットへのリードモディファイライト(RMW) 動作は無効です。



## [bit1] CST(2n+1) チャンネル(2n+1) でのタイマとの比較

bit	説明
0	チャンネル (2n+1) でコンペア動作禁止
1	チャンネル (2n+1) でコンペア動作許可

これらのビットはコンペア動作を許可するために使用します。

---

**<注意事項>**

コンペア動作を許可する前に、コンペアレジスタに値が書き込まれていることを確認してください。  
 アウトプットコンペアは 16 ビットフリーランタイムクロックと同期化されていますから、16 ビットフリーランタイムを停止するとコンペア動作が停止します。

---

## [bit0] CST(2n+0) チャンネル(2n+0) のタイマとの比較

bit	説明
0	チャンネル (2n+0) のコンペア動作禁止
1	チャンネル (2n+0) のコンペア動作許可

これらのビットはコンペア動作を許可するために使用します。

---

**<注意事項>**

コンペア動作を許可する前に、コンペアレジスタに値が書き込まれていることを確認してください。  
 アウトプットコンペアは 16 ビットフリーランタイムクロックと同期化されていますから、16 ビットフリーランタイムを停止するとコンペア動作が停止します。

---

$n = 0, 1, 2, 3, \dots$  は、アウトプットコンペアユニットの番号を表しています。  
 ビット名はビットタイプ名とサフィックスで構成されます。例:

$n = 0$  の場合:  $OCS(2n) = OCS0$  で  $CST(2n+0) = CST0$ ,  $CST(2n+1) = CST1$

$n = 1$  の場合:  $OCS(2n) = OCS2$  で  $CST(2n+0) = CST2$ ,  $CST(2n+1) = CST3$

以降同様。

## ■ アウトプットコンペアコントロールステータスレジスタ (OCS(2n+1))

OCS(2n+1)								
bit	15	14	13	12	11	10	9	8
	CMOD1	-	-	CMOD0	OTE	OTE	OTD	OTD
属性	R/W	-	-	R/W	R/W	R/W	R/W	R/W
初期値	0	X	X	0	0	0	0	0

[bit15, bit12] CMOD1, CMOD0 端子の比較モードの定義

bit15	bit12	説明
0	0	詳細は、説明文を参照してください。

これらのビットは端子出力信号の動作モードを定義します。定義されたモードによって、種々のコンペアレジスタとの一致時にレベルがトグルされます。

表 4-1 および「4.1. 動作」を参照してください。

[bit14, bit13] -: 未定義

- これらのビットには常に"0"を書き込んでください。
- これらのビットの読出し値は不定です。
- これらのビットへのリードモディファイライト(RMW) 動作は無効です。

[bit11] OTE(2n+1) チャンネル(2n+1) の出力端子の許可

bit	説明
0	アウトプットコンペアユニットの出力を禁止 対応する端子を汎用ポートとしてまたはほかの周辺機能として使用できます。
1	アウトプットコンペアユニットの出力を許可

これらのビットは、アウトプットコンペアユニット出力端子を許可するために使用されます。これらのビットの初期値は、"0" です。

[bit10] OTE(2n+0) チャンネル(2n) の出力端子の許可

bit	説明
0	アウトプットコンペアユニットの出力を禁止 対応する端子を汎用ポートとしてまたはほかの周辺機能として使用できます。
1	アウトプットコンペアユニットの出力を許可

これらのビットは、アウトプットコンペアユニット出力端子を許可するために使用されます。これらのビットの初期値は、"0" です。

## [bit9] OTD(2n+1) チャンネル(2n+1) の出力端子レベルの選択

bit	説明
0	ユニット (2n+1) のコンペア出力端子に "0" をセット
1	ユニット (2n+1) のコンペア出力端子に "1" をセット

これらのビットは、アウトプットコンペアユニット出力端子が許可のときに端子出力レベルを変更するために使用されます。アウトプットコンペアユニット出力端子の初期値は、"0" です。値を書き込む前に、コンペア動作が停止されていることを確認してください。読出し時に、これらのビットはアウトプットコンペアユニットへの端子出力値を示します。

## [bit8] OTD(2n+0) チャンネル(2n) の出力端子レベルの選択

bit	説明
0	ユニット (2n) のコンペア出力端子に "0" をセット
1	ユニット (2n) のコンペア出力端子に "1" をセット

これらのビットは、アウトプットコンペアユニット出力端子が許可のときに端子出力レベルを変更するために使用されます。アウトプットコンペアユニット出力端子の初期値は、"0" です。値を書き込む前に、コンペア動作が停止されていることを確認してください。読出し時に、これらのビットはアウトプットコンペアユニットへの端子出力値を示します。

$n = 0, 1, 2, 3, \dots$  は、アウトプットコンペアユニットの番号を表しています。  
 ビット名はビットタイプ名とサフィックスで構成されます。例:

$n=0$  の場合:  $OCS(2n+1) = OCS1$  で  $OTD(2n+0) = OTD0$ ,  $OTD(2n+1) = OTD1$

$n=1$  の場合:  $OCS(2n+1) = OCS3$  で  $OTD(2n+0) = OTD2$ ,  $OTD(2n+1) = OTD3$

以降同様。

表 4-1 CMOD1 および CMOD0 ビットの機能

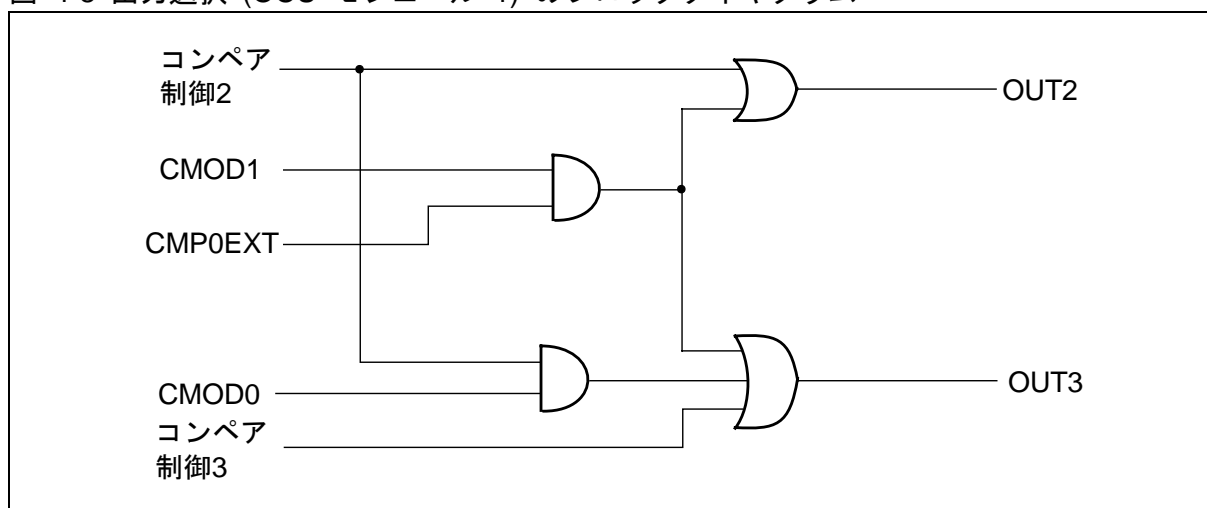
端子出力値は、コンペアレジスタ番号と一致したときに反転します。

表の読み方

OCS(2n+1)		レジスタ OCCPx	
CMOD1	CMOD0	出力端子 OUT(2n+0)	出力端子 OUT(2n+1)
0/1/x	0/1/x	リストにある OCCP 番号のレジスタの値と一致したときに OUT(2n+0) がトグルします。	リストにある OCCP 番号のレジスタの値と一致したときに OUT(2n+1) がトグルします。
0/1/x	0/1/x	リストにある OCCP 番号のレジスタの値と一致したときに OUT(2n+0) がトグルします。	リストにある OCCP 番号のレジスタの値と一致したときに OUT(2n+1) がトグルします。
OCS1		OCCPx の一致時にトグル	
CMOD1	CMOD0	OUT0	OUT1
x	0	x = 0	x = 1
x	1	x = 0	x = 0, x = 1
OCS3		OCCPx の一致時にトグル	
CMOD1	CMOD0	OUT2	OUT3
0	0	x = 2	x = 3
0	1	x = 2	x = 2, x = 3
1	0	x = 0, x = 2	x = 0, x = 3
1	1	x = 0, x = 2	x = 0, x = 2, x = 3
OCS5		OCCPx の一致時にトグル	
CMOD1	CMOD0	OUT4	OUT5
x	0	x = 4	x = 5
x	1	x = 4	x = 4, x = 5

OCS7		OCCPx の一致時にトグル	
CMOD1	CMOD0	OUT6	OUT7
0	0	x = 6	x = 7
0	1	x = 6	x = 6, x = 7
1	0	x = 4, x = 6	x = 4, x = 7
1	1	x = 4, x = 6	x = 4, x = 6, x = 7
OCS9		OCCPx の一致時にトグル	
CMOD1	CMOD0	OUT8	OUT9
x	0	x = 8	x = 9
x	1	x = 8	x = 8, x = 9
OCS11		OCCPx の一致時にトグル	
CMOD1	CMOD0	OUT10	OUT11
x	0	x = 10	x = 11
x	1	x = 10	x = 10, x = 11

図 4-8 出力選択 (OCU モジュール 1) のブロックダイアグラム



アウトプットコンペアレジスタ 0 との一致が要求される OCU モジュール 1 では、CMOD[1:0] = 10<sub>B</sub> なら、モジュール 0 からの比較結果が CMP0EXT 信号として内部に送られます。これはモジュール 0 そのものには適用されません。この場合 OCCP0 および OCCP1 以外のレジスタを使用することは、できません。同じ状況が OCU モジュール 3 にも当てはまります。この場合 CMP4EXT としてモジュール 2 からの結果が必要となります。

## 5. インพุットキャプチャユニット

インพุットキャプチャユニット (ICU) は、外部入力信号の立上りエッジ、立下りエッジまたは両方のエッジを検出し、その時点での 16 ビットフリーランタイム値をレジスタに格納します。また、インพุットキャプチャユニットは、エッジの検出時に割込みを生成できます。1 つのインพุットキャプチャユニットは、2 つのインพุットキャプチャレジスタと 1 つの制御レジスタで構成されます。

### ■ インพุットキャプチャユニットの特長

- ・ 外部入力の有効なエッジを以下の 3 つのタイプから選択できます。

表 5-1 外部入力エッジのタイプ

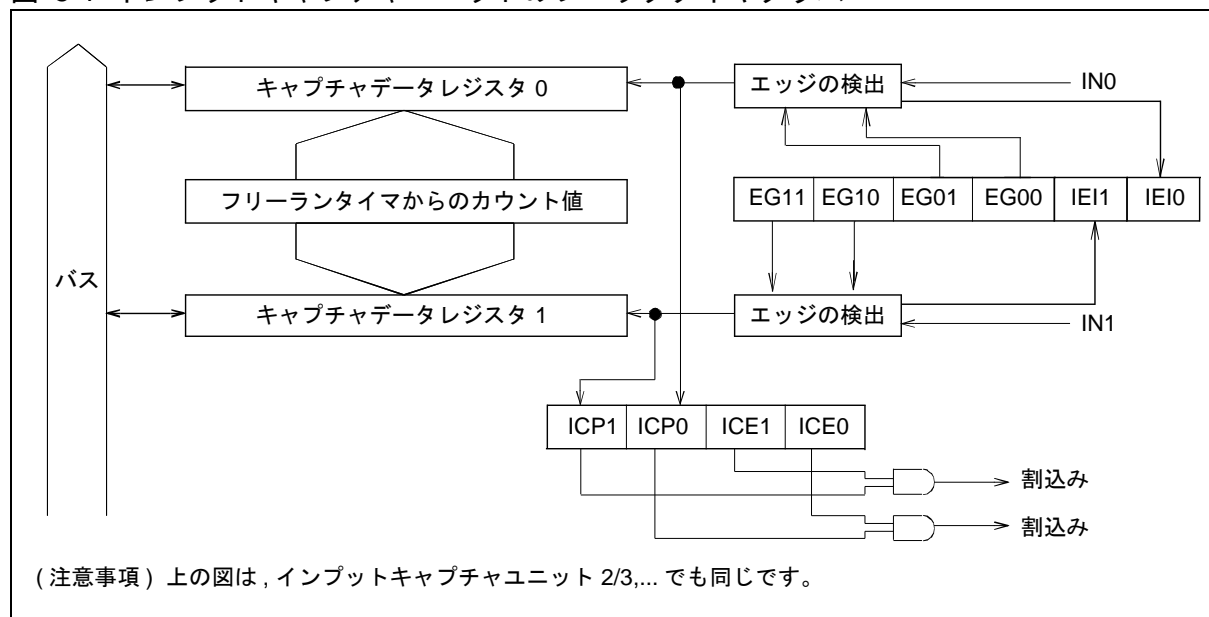
立上りエッジ	↑
立下りエッジ	↓
両方のエッジ	↑↓

- ・ 外部入力の有効なエッジの検出時に割込みを生成できます。

### ■ インพุットキャプチャユニットのブロックダイアグラム

図 5-1 は、インพุットキャプチャユニットのブロックダイアグラムを示しています。

図 5-1 インพุットキャプチャユニットのブロックダイアグラム



## ■ インพุットキャプチャユニットのレジスタ一覧

レジスタ略称	レジスタ名	参照先
IPCPn	インพุットキャプチャデータレジスタ	5.2
ICS(2n)(2n+1)	インพุットキャプチャコントロールステータスレジスタ	5.3
ICE(2n)(2n+1)	インพุットキャプチャユニットエッジレジスタ	5.4

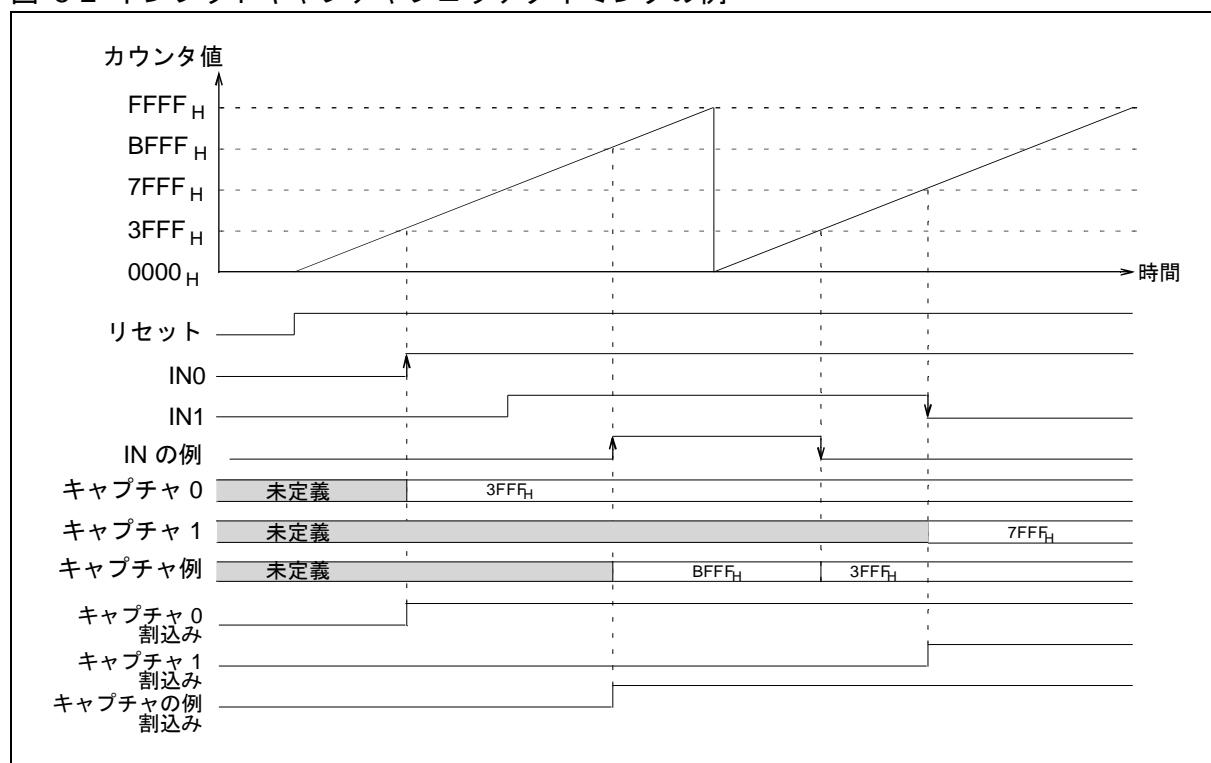
## 5.1. 動作

16 ビットインプットキャプチャの動作では、指定したエッジの検出時に割込みを生成でき、16 ビットフリーランタイム値をフェッチし、それをキャプチャデータレジスタに書き込むことができます。

### ■ インプットキャプチャフェッチタイミングの例

- ・キャプチャ 0:立上りエッジ
- ・キャプチャ 1:立下りエッジ
- ・キャプチャの例:両方のエッジ

図 5-2 インプットキャプチャフェッチタイミングの例

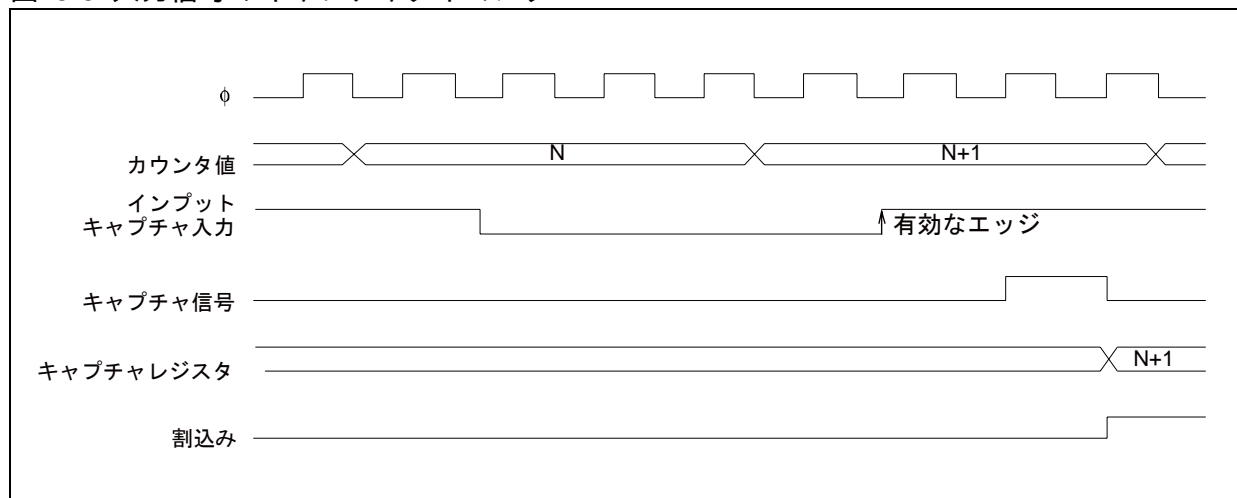




## ■ インพุットキャプチャインพุットタイミング

### ● 入力信号のキャプチャタイミング

図 5-3 入力信号のキャプチャタイミング



## 5.2. インพุットキャプチャデータレジスタ(IPCPn)

インพุットキャプチャユニットは、コントロールステータスレジスタ (ICS(2n)(2n+1)) とエッジレジスタ (ICE(2n)(2n+1)) で構成されています。

インพุットキャプチャユニットは、16 ビットデータレジスタ (IPCPn) を備えています。このレジスタは、対応する外部端子入力波形の有効なエッジが検出されたとき、16 ビットフリーランタイムからの値を格納します。データの一貫性のため、このレジスタにはワードモードでのみアクセスしてください。

### ■ インพุットキャプチャデータレジスタ (IPCPn)

IPCPn								
bit	15	14	13	12	11	10	9	8
	CP15	CP14	CP13	CP12	CP11	CP10	CP09	CP08
属性	R	R	R	R	R	R	R	R
初期値	X	X	X	X	X	X	X	X

bit	7	6	5	4	3	2	1	0
	CP07	CP06	CP05	CP04	CP03	CP02	CP01	CP00
属性	R	R	R	R	R	R	R	R
初期値	X	X	X	X	X	X	X	X

#### <注意事項>

上位バイトと下位バイトのデータの一貫性のため、このレジスタは常にワードモードで読み出します。

### 5.3. インพุットキャプチャコントロールステータスレジスタ (ICS(2n)(2n+1))

インพุットキャプチャコントロールステータスレジスタ (ICS(2n)(2n+1)) について説明します。

#### ■ インพุットキャプチャコントロールステータスレジスタ (ICS(2n)(2n+1))

ICS(2n)(2n+1)									
bit		7	6	5	4	3	2	1	0
		ICP (2n+1)	ICP (2n)	ICE (2n+1)	ICE (2n)	EG (2n+1)1	EG (2n+1)0	EG (2n)1	EG (2n)0
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		0	0	0	0	0	0	0	0

#### <注意事項>

サフィックスの "n" は、インพุットキャプチャユニットの番号 (0, 1, 2, ...) を表しています。レジスタ名およびビット名はレジスタ/ビットタイプ名とサフィックスで構成されます。例:

- ・インพุットキャプチャユニット 0 の場合: n = 0、したがって ICS01 はビット EG01, EG00, EG11, EG10, ICE0, ICE1, ICP0, ICP1 を含みます。
- ・インพุットキャプチャユニット 1 の場合: n = 1、したがって ICS23 はビット EG21, EG20, EG31, EG30, ICE2, ICE3, ICP2, ICP3 を含みます。
- ・以下同様。

[bit7] ICP(2n+1): 割込み要求フラグビット (インพุットキャプチャ 2n+1)

bit	説明	
	読出し	書込み
0	エッジの検出なし	このビットをクリア
1	エッジ検出	影響なし

- ・このビットは、インพุットキャプチャユニット n の ICP(2n+1) チャンネルの割込み要求フラグとして使用されます。
- ・外部入力端子の有効なエッジの検出時にこのビットに "1" がセットされます。
- ・割込み許可ビット (ICE(2n+1)) がセットされているとき、有効なエッジの検出時に割込みを生成します。
- ・リードモディファイライト(RMW) 系命令の場合は、常に "1" が読み出されます。

**[bit6] ICP(2n): 割込み要求フラグビット (インプットキャプチャ 2n)**

bit	説明	
	読出し	書込み
0	エッジの検出なし	このビットをクリア
1	エッジ検出	影響なし

- このビットは、インプットキャプチャユニット  $n$  の ICP(2n) チャンネルの割込み要求フラグとして使用されます。
- 外部入力端子の有効なエッジの検出時にこのビットに "1" がセットされます。
- 割込み許可ビット (ICE(2n)) がセットされているとき、有効なエッジの検出時に割込みを生成します。
- リードモディファイライト(RMW) 系命令の場合は、常に "1" が読み出されます。

**[bit5] ICE(2n+1): 割込み要求許可ビット (インプットキャプチャ 2n+1)**

bit	説明
0	割込み禁止
1	割込み許可

- このビットは、インプットキャプチャユニット  $n$  の ICE(2n+1) チャンネルのインプットキャプチャ割込み要求を許可するために使用します。
- このビットに "1" を書き込んだ場合、割込みフラグ (ICP(2n+1)) がセットされたときにインプットキャプチャ割込みが生成されます。

**[bit4] ICE(2n): 割込み要求許可ビット (インプットキャプチャ 2n)**

bit	説明
0	割込み禁止
1	割込み許可

- このビットは、インプットキャプチャユニット  $n$  の ICE(2n) チャンネルのインプットキャプチャ割込み要求を許可するために使用します。
- このビットに "1" を書き込んだ場合、割込みフラグ (ICP(2n)) がセットされたときにインプットキャプチャ割込みが生成されます。

## [bit3, bit2] EG(2n+1)1, EG(2n+1)0: エッジ選択ビット

bit3	bit2	説明
0	0	エッジ検出なし (停止)
0	1	立上りエッジの検出
1	0	立下りエッジの検出
1	1	両方のエッジの検出

- これらのビットは、インプットキャプチャユニット  $n$  の EG(2n+1) チャンネルの外部入力の有効なエッジの極性を指定するために使用します。
- これらのビットは、インプットキャプチャ動作を有効にするためにも使用します。

## [bit1, bit0] EG(2n)1, EG(2n)0: エッジ選択ビット

bit1	bit0	説明
0	0	エッジ検出なし (停止)
0	1	立上りエッジの検出
1	0	立下りエッジの検出
1	1	両方のエッジの検出

- これらのビットは、インプットキャプチャユニット  $n$  の EG(2n) チャンネルの外部入力の有効なエッジの極性を指定するために使用します。
- これらのビットは、インプットキャプチャ動作を有効にするためにも使用します。

サフィックスの  $n=0, 1, 2, 3, \dots$  は、インプットキャプチャユニットの番号を表しています。  
 ビット名はビットタイプ名とサフィックスで構成されます。例:

$n=0$  の場合: ICP1, ICP0, ICE1, ICE0, EG11, EG10, EG01, EG00

$n=1$  の場合: ICP3, ICP2, ICE3, ICE2, EG31, EG30, EG21, EG20

以下同様。

## 5.4. インพุットキャプチャユニットエッジレジスタ (ICE(2n)(2n+1))

インพุットキャプチャユニットエッジレジスタ (ICE(2n)(2n+1)) にはデバイス依存構成ビットが含まれます。これらのレジスタの詳細については『概要』の章の「4. LIN-USART のインพุットキャプチャユニットのソースの選択」を参照してください。

### ■ インพุットキャプチャユニットエッジレジスタ (ICE(2n)(2n+1))

ICE(2n)(2n+1)								
bit	15	14	13	12	11	10	9	8
	-	-	-	RESV	-	RESV	IEI(2n+1)	IEI(2n)
属性	-	-	-	-	-	-	R	R
初期値	X	X	X	X	X	X	0	0

n = 0, 1, 2, 3, ...

[bit15～bit13, bit11] -: 未定義

- ・ このビットに常に"0"を書き込みます。
- ・ このビットの読出し値は不定です。
- ・ これらのビットへのリードモディファイライト(RMW) 動作は無効です。

[bit12, bit10] RESV: 予約ビット

これらのビットは、デバイス依存構成ビットです。(詳細は『概要』の章の「4. LIN-USART のインพุットキャプチャユニットのソースの選択」を参照してください)。

[bit9] IEI(2n+1): 有効エッジ表示ビット

bit	説明
0	立下りエッジ検出
1	立上りエッジ検出

- ・ このビットは立上りまたは立下りエッジが検出されたことを示すためのキャプチャレジスタ IPCP(2n+1)のエッジ表示ビットです。
- ・ このビットはリードオンリです。

### <注意事項>

EG(2n+1)1, EG(2n+1)0 = 00 である場合は、読出し値は無効です。

読出し値は、EG(2n+1)1 および EG(2n+1)0 によって選択したエッジに依存しません。

**[bit8] IEI(2n): 有効エッジ表示ビット**

bit	説明
0	立下りエッジ検出
1	立上りエッジ検出

- このビットは立上りまたは立下りエッジが検出されたことを示すためのキャプチャレジスタ IPCP0, IPCP2, IPCP4 および IPCP6 のエッジ表示ビットです。
- このビットはリードオンリです。

---

**<注意事項>**

EG(2n)1, EG(2n)0 =00 である場合は、読出し値は無効です。  
読出し値は、EG(2n)1 および EG(2n)0 によって選択したエッジに依存しません。

---

サフィックスの  $n=0, 1, 2, 3, \dots$  は、インプットキャプチャユニットの番号を表しています。  
ビット名はビットタイプ名とサフィックスで構成されます。例:

$n=0$  の場合: IEI1, IEI0

$n=1$  の場合: IEI3, IEI2

以下同様。

# Chapter 13: 16 ビットリロードタイマ(イベントカウント機能付き)



---

16 ビットリロードタイマ(イベントカウント機能付き) の機能と動作について説明します。

---

1. 概要
2. 内部クロックカウンタ動作と外部イベントカウンタ動作
3. アンダフロー動作
4. 出力端子機能
5. カウンタの動作状態
6. TINラッチ機能
7. 16ビットリロードタイマ(イベントカウント機能付き)
8. カスケード接続

---

管理コード : FT04-J01.3

---



## 1. 概要

---

16 ビットリロードタイマは、16 ビットダウンカウンタ、16 ビットリロードレジスタ、入力端子 1 本(TINn)、出力端子 1 本(TOTn)、コントロールレジスタから構成されます。

---

### ■ 16 ビットリロードタイマ(イベントカウント機能付き)の概要

16 ビットリロードタイマには次の機能があります。

- ・ 外部と内部のクロック/イベントソース
- ・ トリガ信号として立上り、立下り、両エッジをプログラム可能
- ・ ゲートカウント機能
- ・ ワンショットカウンタモードとリロードカウンタモード
- ・ カウンタ状態を外部端子に出力可能
- ・ 内部クロックに対して 6 つ、外部クロックに対して 2 つの設定を有するプリスケアラ
- ・ 複数のリロードタイマのカスケード接続による長いリロードタイマの構成
- ・ TIN ラッチ機能

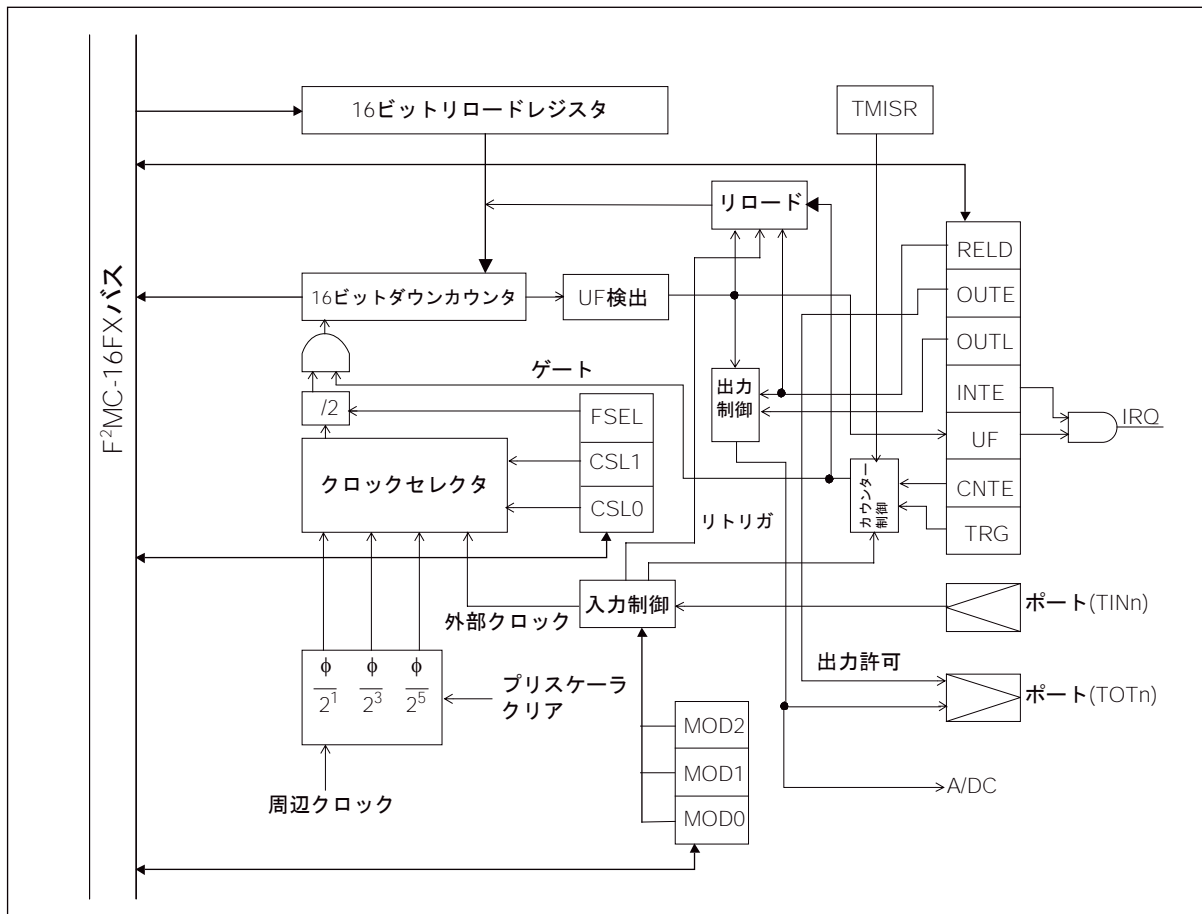
### ■ DMA と割込み

本タイマは DMA 転送の開始に使用可能な割込みを発生できます。

## ■ 16 ビットリロードタイマのブロックダイヤグラム

図 1-1 に、16 ビットリロードタイマのブロックダイヤグラムを示します。

図 1-1 16 ビットリロードタイマのブロックダイヤグラム



### <注意事項>

- サフィックス"n"はリロードタイマ番号を表します。
- リロードタイマの出力で A/D コンバータの変換を開始できます。
- リロードタイマは PPG クロックソースとして使用できます。TIN/TOT 端子がなくても、それ以外のリロードタイマ機能は使用できます。

## 2. 内部クロックカウンタ動作と外部イベントカウンタ動作

内部クロックモードでは、各分周設定の周辺クロック(CLKP1) はリロードタイマを動作させるクロックソースとして選択できます。外部入力端子(TINn) はレジスタ設定によってトリガ入力またはゲート入力に設定できます。

イベントカウンタモードでは、TINn 端子は外部イベント入力端子として使用されます。この端子の各アクティブエッジ(立上り, 立下り, 両エッジ) でカウンタがデクリメントされます。

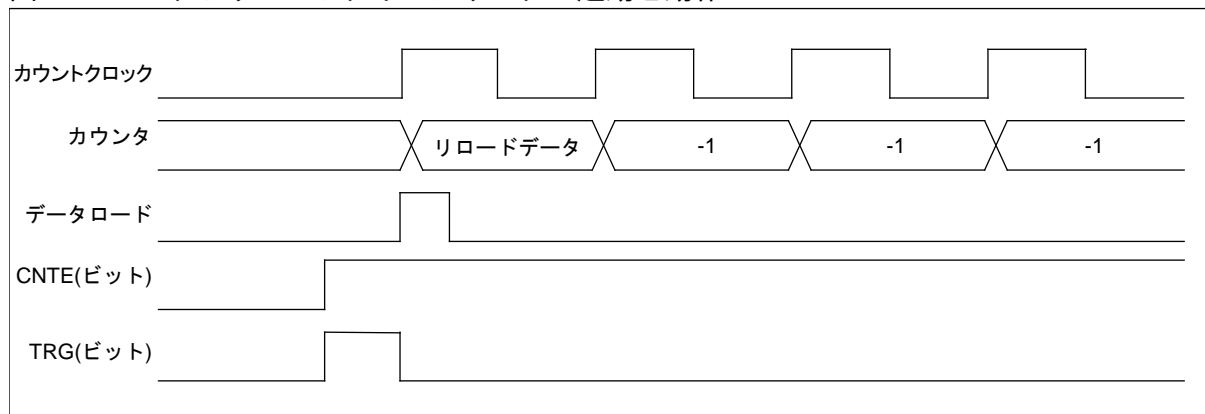
FSEL = 0 の場合には、1 つおきのイベントがカウントされます。

### ■ 16 ビットリロードタイマの内部クロック動作

制御状態レジスタの CNTE ビットと TRG ビットの両方に"1"を書き込むと、カウントの許可と開始が同時に行われます。タイマが許可されている(CNTE = 1) 場合には、動作モードにかかわらず、TRG ビットをトリガ入力として使用できます。

図 2-1 にカウンタの起動とカウンタ動作を示します。

図 2-1 16 ビットリロードタイマカウンタの起動と動作



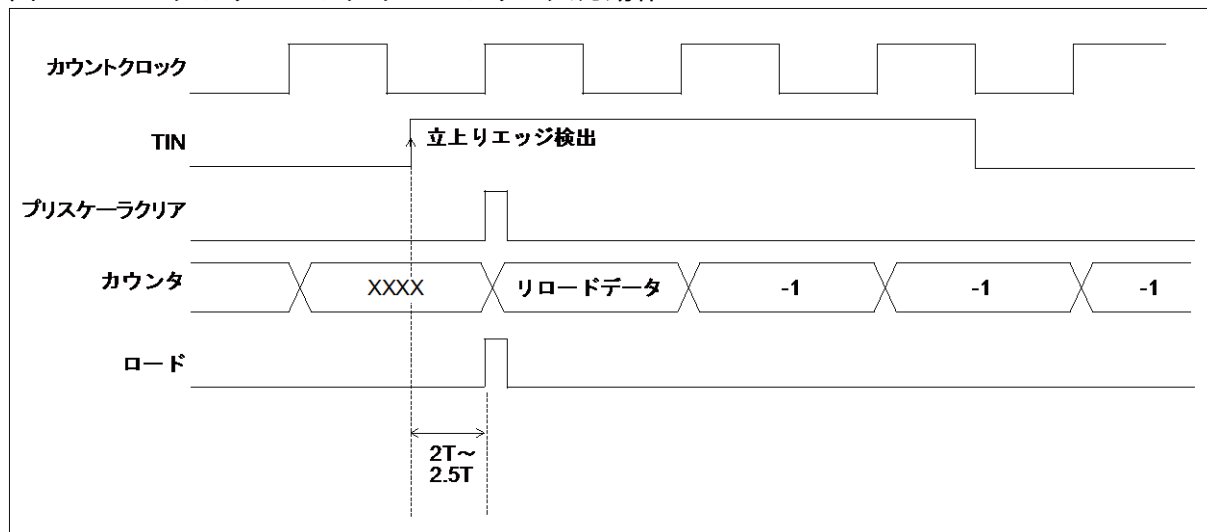
### ■ 16 ビットリロードタイマの入力端子の機能(内部クロックモード)

クロックソースとして内部クロックが選択された場合には、TINn 端子はトリガ入力またはゲート入力として使用できます。トリガ入力として使用された場合には、アクティブエッジによってリロードレジスタの内容がタイマにロードされ、内部プリスケアラがリセットされます。その後カウント動作を開始します。

TIN に必要とされる最小パルス幅は  $2T + 200\text{ns}$  です(T: 周辺クロック(CLKP1)の周期、200ns は入力のノイズフィルタで遮断されない最小のパルス幅です)。

図 2-2 にトリガ入力の動作を示します。

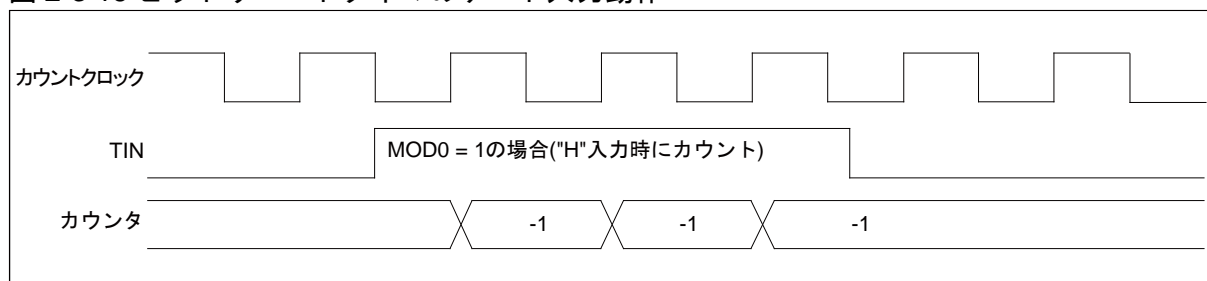
図 2-2 16 ビットリロードタイマのトリガ入力動作



ゲート入力として使用される場合には、制御状態レジスタの **MOD0** ビットで指定されたアクティブレベルが **TINn** 端子に入力されているときにのみカウントが行われます。この場合、カウントクロックが停止しないかぎりカウントし続けます。ゲートモードでは、ゲートレベルにかかわらずソフトウェアトリガを使用できます。**TINn** 端子には  $2T + 200\text{ns}$  以上の幅のパルスを入力してください (**T**: 周辺クロック(**CLKP1**)の周期、 $200\text{ns}$  は入力のノイズフィルタで遮断されない最小のパルス幅です)。

図 2-3 にゲート入力の動作を示します。

図 2-3 16 ビットリロードタイマのゲート入力動作



## ■ 外部イベントカウンタ

外部イベントカウントモードが選択された場合には、**TINn** 端子は外部イベント入力として使用されます。カウンタは **TMCSRn** で設定されたアクティブエッジをカウントします。**TINn** 端子への入力パルス幅は最小  $4T + 200\text{ns}$  です(**T**: 周辺クロック(**CLKP1**)の周期)。

### 3. アンダフロー動作

16 ビットリロードタイマのアンダフローとは、カウンタ値が 0000<sub>H</sub> から FFFF<sub>H</sub> に変化するときを指します。そのためアンダフローは、(リロードレジスタ設定+ 1) カウント後に発生します。

#### ■ 16 ビットリロードタイマのアンダフロー動作

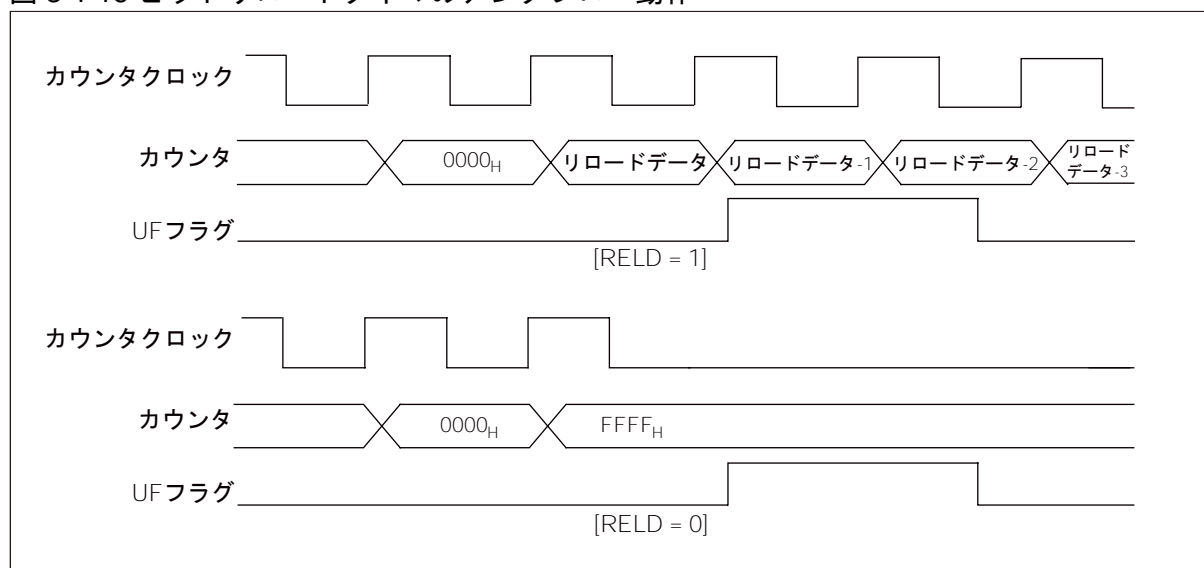
制御状態レジスタの RELD ビットが"1"に設定された状態でアンダフローが発生すると、リロードレジスタの内容がカウンタにロードされ、カウントが継続されます。

制御状態レジスタの RELD ビットが"0"に設定されている場合には、カウンタが FFFF<sub>H</sub> に達するとカウントが停止します。

アンダフローが発生すると、制御状態レジスタの UF ビットがセットされます。このとき INTE ビットが"1"であると、割込み要求が発生します。

図 3-1 に、アンダフロー発生時の動作を示します。

図 3-1 16 ビットリロードタイマのアンダフロー動作



## 4. 出力端子機能

リロードモードでは、TOTn 端子はトグル出力(アンダフローごとに反転)を行います。ワンショットモードでは、カウント中に設定されたレベルを示すパルス出力として TOTn 端子を使用します。

### ■ 16 ビットリロードタイマの出力端子機能

制御状態レジスタの OUTL ビットで出力極性を設定します。

OUTL = 0 の場合にはトグル出力の初期値は"L"であり、ワンショットパルス出力はカウント中に"H"になります。

OUTL = 1 の場合には、出力波形は反転します。

図 4-1 と図 4-2 に出力端子機能を示します。

図 4-1 リロードモードの 16 ビットリロードタイマの出力端子機能

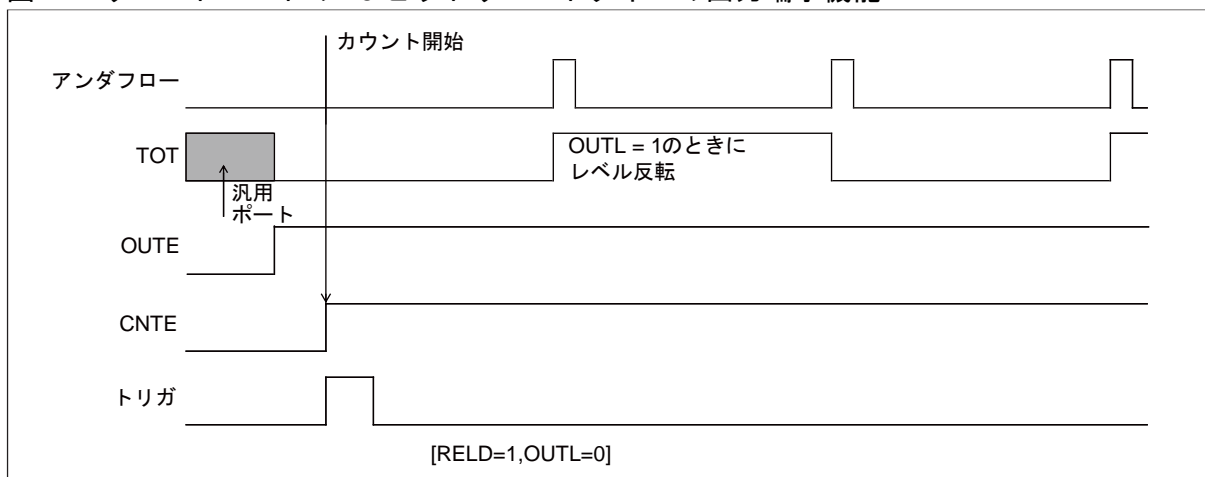
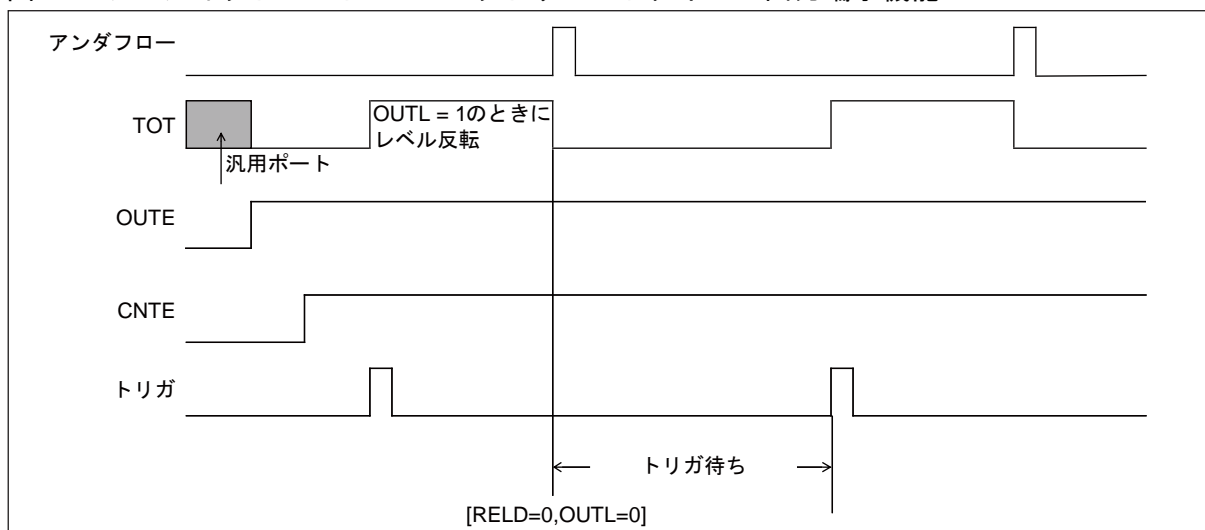


図 4-2 ワンショットモードの 16 ビットリロードタイマの出力端子機能



---

**<注意事項>**

ワンショットモードではトリガによる再起動時、TOT は初期化されません。

---

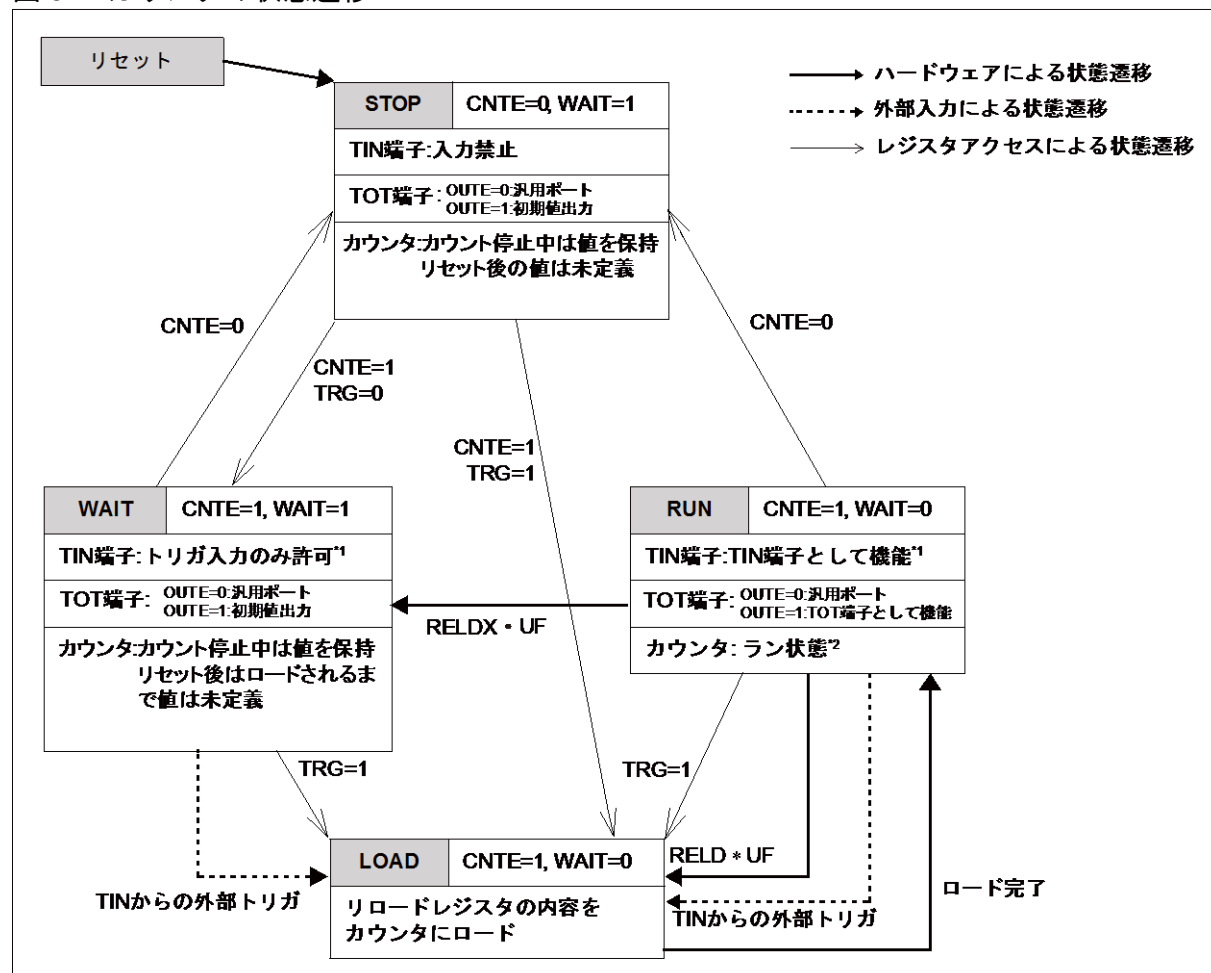
## 5. カウンタの動作状態

カウンタの状態は、制御状態レジスタの CNTE ビットと内部 WAIT 信号で決定されます。動作状態としては、CNTE = 0 & WAIT = 1(ストップ状態), CNTE = 1 & WAIT = 1(トリガ WAIT 状態), CNTE = 1 & WAIT = 0(ラン状態) があります。

### ■ カウンタの動作状態

図 5-1 に、各状態の遷移を示します。

図 5-1 カウンタの状態遷移



\*1: TIN 端子を使用する前に、DDR レジスタの対応するビットを"0"に、PIER レジスタの対応するビットを"1"に設定する必要があります。

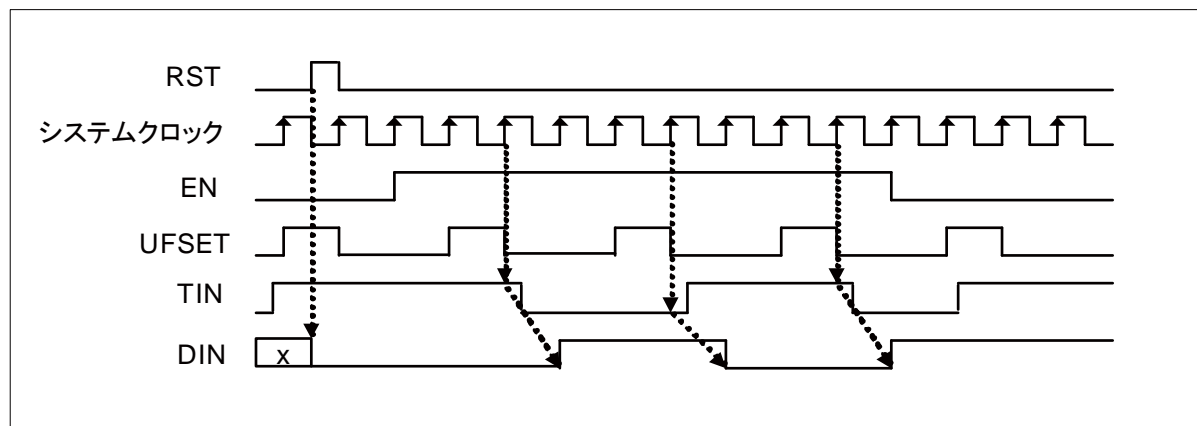
\*2: ゲート入力モードでは、カウントは TIN に影響されます。



## 6. TIN ラッチ機能

アンダフローの発生時に端子 TIN のレベルをラッチできます。

図 6-1 TIN ラッチ機能の動作



## 7. 16 ビットリロードタイマ(イベントカウント機能付き)

16 ビットリロードタイマに使用されるレジスタの構成および機能について説明します。

### ■ 16 ビットリロードタイマのレジスタ一覧

レジスタ略称	レジスタ名	参照先
TMCSR <sub>n</sub>	タイマ制御状態レジスタ	7.1
TMR <sub>n</sub>	16 ビットタイマレジスタ	7.2
TMRLR <sub>n</sub>	16 ビットリロードレジスタ	7.2

#### <注意事項>

- 8 ビットレジスタの TMCSR<sub>Hn</sub> と TMCSR<sub>Ln</sub> は、16 ビットレジスタの TMCSR<sub>n</sub> としてアクセスできます。
- 8 ビットレジスタの TMR<sub>Hn</sub> と TMR<sub>Ln</sub> は、16 ビットレジスタの TMR<sub>n</sub> としてアクセスできます。
- 8 ビットレジスタの TMRLR<sub>Hn</sub> と TMRLR<sub>Ln</sub> は、16 ビットレジスタの TMRLR<sub>n</sub> としてアクセスできます。

## 7.1. タイマ制御状態レジスタ(TMCSRn)

タイマ制御状態レジスタは、16 ビットリロードタイマの動作モードと割込みを制御します。

### ■ タイマ制御状態レジスタ(TMCSRn)のレジスタ構成

TMCSRHn								
bit	15	14	13	12	11	10	9	8
	DIN	EN	-	FSEL	CSL1	CSL0	MOD2	MOD1
属性	R	R/W	-	R/W	R/W	R/W	R/W	R/W
初期値	0	0	X	1	0	0	0	0

TMCSRLn								
bit	7	6	5	4	3	2	1	0
	MOD0	OUTE	OUTL	RELD	INTE	UF	CNTE	TRG
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

### ■ タイマ制御状態レジスタ(TMCSRn)の内容

#### [bit15] DIN: TIN データ入力

アンダフローの発生時に端子 TIN のレベルをラッチできます。  
書込み動作は影響を与えません。

#### [bit14] EN: TIN ラッチ機能許可

TIN ラッチ機能を許可/禁止します。

bit	説明
0	TIN ラッチ機能を禁止
1	TIN ラッチ機能を許可

#### [bit13] -: 未定義

このビットに常に"0"を書き込みます。このビットの読出し値は未定義です。  
このビットへのリードモディファイライト(RMW) 動作は無効です。

#### [bit12] FSEL: カウントクロック分周制御

カウントクロックの分周比を設定します。

FSEL が"0"に設定された場合には、カウントクロック選択ビット(CSL1, CSL0) で指定されたカウントクロックは2分周されます。

FSEL が"1"に設定された場合には、カウントクロック選択ビット(CSL1, CSL0) で指定されたカウントクロックは分周されません(初期値)。

#### [bit11, bit10] CSL1, CSL0: クロック選択 1, 0

入力されるクロック/イベントソースとクロックの分周比を設定します。

表 7-1 に、FSEL と CSL0/CSL1 の設定によって選択されるクロックソースを示します。

表 7-1 CSL0/CSL1 ビットと FSEL ビットの設定によって選択されるクロックソース

bit12	bit11	bit10	説明
1	0	0	CLKP1 / 2 <sup>1</sup> (0.083 μs)
0	0	0	CLKP1 / 2 <sup>2</sup> (0.167 μs)
1	0	1	CLKP1 / 2 <sup>3</sup> (0.333 μs)
0	0	1	CLKP1 / 2 <sup>4</sup> (0.667 μs)
1	1	0	CLKP1 / 2 <sup>5</sup> (1.3 μs)
0	1	0	CLKP1 / 2 <sup>6</sup> (2.6 μs)
1	1	1	外部イベントカウントモード
0	1	1	外部イベントカウントモード / 2

#### [bit9, bit8, bit7] MOD2, MOD1, MOD0: 動作モードおよび TINn 機能

16 ビットリロードタイマの動作モードと入力端子(TINn)の機能を設定します。

MOD2 ビットで入力端子(TINn)の機能を選択します。MOD2 = 0 の場合は TINn はトリガ入力として機能します。この場合、TINn 端子に有効なエッジが入力されるとリロードレジスタの内容がカウンタにロードされ、カウント動作が継続されます。MOD2 = 1 の場合には、タイマ動作はゲートカウンタモードとなり、TINn 端子はゲート入力として機能します。このモードでは、TINn 端子に有効なレベルが入力されている間のみカウント動作が行われます。

表 7-2 と表 7-3 に MOD2/MOD1/MOD0 ビットの設定を示します。

表 7-2 内部クロックモードでの MOD2/MOD1/MOD0 ビットの設定(CSL0/CSL1 = 00<sub>B</sub>, 01<sub>B</sub>, 10<sub>B</sub>)

bit9	bit8	bit7	入力端子の機能	有効なエッジまたはレベル
0	0	0	トリガ禁止	-
0	0	1	トリガ入力	立上りエッジ
0	1	0		立下りエッジ
0	1	1		両エッジ
1	X	0	ゲート入力	"L" レベル
1	X	1		"H" レベル

(注意事項) 表中の X は、任意の値に設定できます。

表 7-3 イベントカウンタモードでの MOD2/MOD1/MOD0 ビットの設定(CSL0/CSL1 = 11<sub>B</sub>)

bit9	bit8	bit7	入力端子の機能	有効なエッジまたはレベル
X	0	0	-	-
	0	1	イベント入力	立上りエッジ
	1	0		立下りエッジ
	1	1		両エッジ

(注意事項) 表中の X は、任意の値に設定できます。

**[bit6] OUTE: 出力許可**

"1"に設定すると、TOT<sub>n</sub> 端子はリロードタイマ出力として使用されます。"0"に設定すると、タイマ出力 TOT<sub>n</sub> は禁止されます。

**[bit5] OUTL: 出力レベル**

TOT<sub>n</sub> 端子への出力レベルを設定します。

**[bit4] RELD: リロード**

リロード動作を有効にします。

RELD を"1"に設定すると、タイマはリロードモードで動作します。このモードでは、アンダフローが発生(カウンタの値が 0000<sub>H</sub> から FFFF<sub>H</sub>に変化)すると、リロードレジスタの内容がカウンタにロードされ、カウント動作を継続します。

RELD を"0"に設定すると、タイマはワンショットモードで動作します。このモードでは、カウンタの値が 0000<sub>H</sub> から FFFF<sub>H</sub>に変化してアンダフローが発生すると、カウント動作は停止します。

表 7-4 OUTE, OUTL, RELD の設定

bit6	bit5	bit4	説明
0	x	x	タイマ出力禁止
1	0	0	カウント動作中に"H"レベルのパルスを出力します。
1	1	0	カウント動作中に"L"レベルのパルスを出力します。
1	0	1	"L"レベル出力から始めてトグル出力を行い、タイマのリロードごとに出力レベルを変化させます。
1	1	1	"H"レベル出力から始めてトグル出力を行い、タイマのリロードごとに出力レベルを変化させます。

**[bit3] INTE: 割込み許可**

タイマ割込み要求許可ビットです。

"1"に設定すると、UF ビットが"1"に変化した際に割込み要求が発生します。

"0"に設定すると、UF ビットが"1"に変化しても割込み要求は発生しません。

**[bit2] UF: アンダフロー**

タイマ割込み要求フラグです。アンダフローが発生(カウンタの値が 0000<sub>H</sub> から FFFF<sub>H</sub>に変化)すると、"1"

に設定されます。"0"の書込みまたは DMA コントローラによってクリアされます。"1"の書込みは動作に影響しません。リードモディファイライト(RMW) 系命令時は"1"が読み出されます。

**[bit1] CNTE: カウント許可**

タイマカウント許可ビットです。CNTE に"1"を書き込むと、タイマはトリガを待機します。"0"を書き込むとカウント動作を停止します。

**[bit0] TRG: トリガ**

ソフトウェアトリガビットです。"1"を書き込むとソフトウェアトリガが発生し、リロードレジスタの内容がカウンタにロードされ、カウントが開始されます。

"0"の書込みは動作に影響を与えません。読出し時は常に"0"が読み出されます。このレジスタを使用したトリガは CNTE = 1 の場合にのみ有効です。

CNTE = 0 の場合には、"1"の書込みは動作に影響を与えません。

ゲート入力モードでこのビットを設定すると、カウント開始前にリロードレジスタの内容がロードされます。

## 7.2. 16 ビットタイマレジスタ(TMRn)/16 ビットリロードレジスタ(TMRLRn)のレジスタ構成

### • TMRn の機能

このレジスタを読み出すと、16 ビットリロードタイマのカウント値が読み出されます。初期値は未定義です。

### • TMRLRn の機能

16 ビットリロードレジスタはリロード値を保持します。初期値は未定義です。

### ■ 16 ビットタイマレジスタ(TMRn)のレジスタ構成

TMRHn								
bit	15	14	13	12	11	10	9	8
属性	R	R	R	R	R	R	R	R
初期値	X	X	X	X	X	X	X	X

TMRLn								
bit	7	6	5	4	3	2	1	0
属性	R	R	R	R	R	R	R	R
初期値	X	X	X	X	X	X	X	X

### ■ 16 ビットリロードレジスタ(TMRLRn)のレジスタ構成

TMRLRHn								
bit	15	14	13	12	11	10	9	8
属性	W	W	W	W	W	W	W	W
初期値	X	X	X	X	X	X	X	X

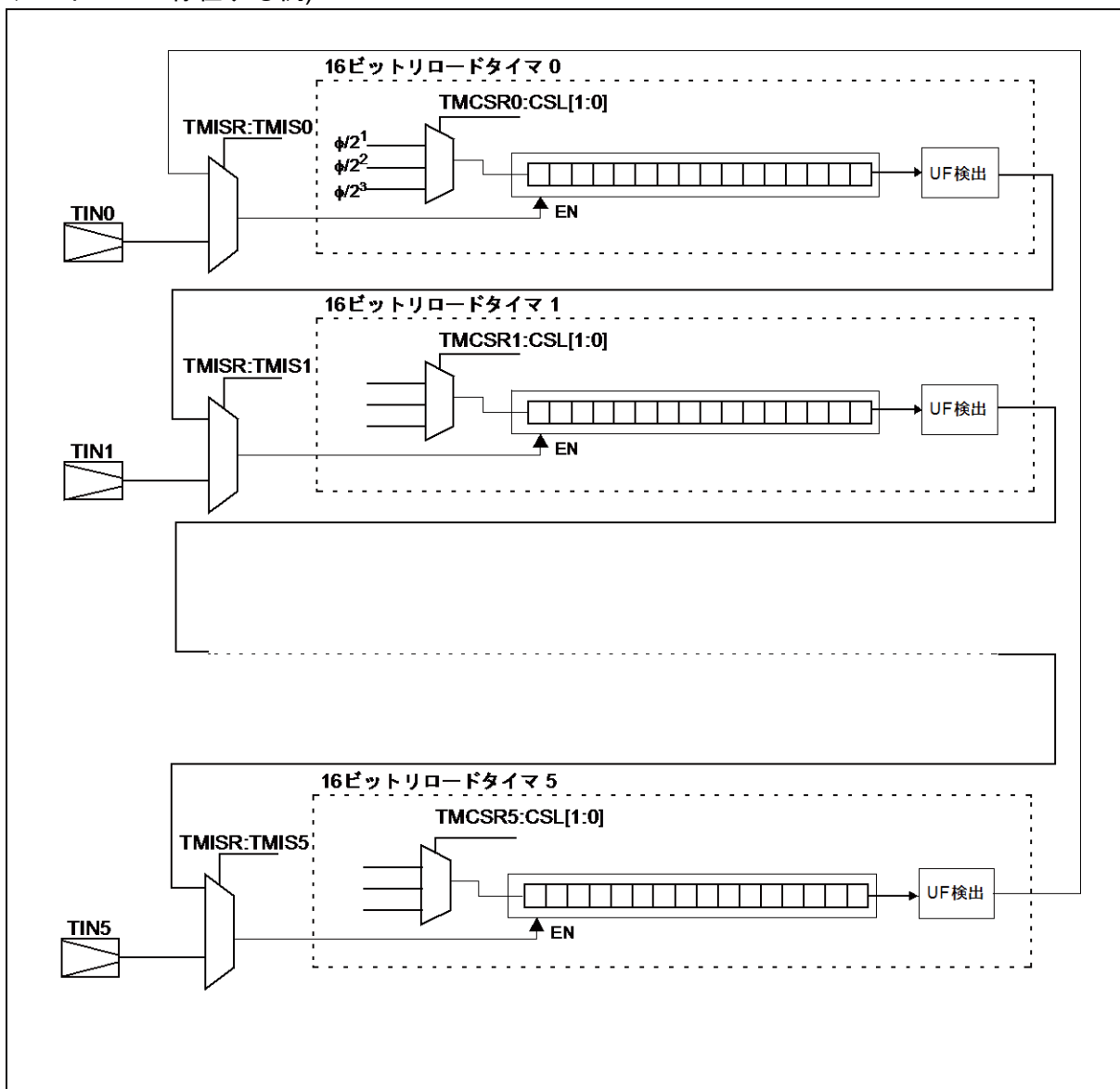
TMRLRLn								
bit	7	6	5	4	3	2	1	0
属性	W	W	W	W	W	W	W	W
初期値	X	X	X	X	X	X	X	X

## 8. カスケード接続

隣接する複数の 16 ビットリロードタイマをカスケード接続すると、 $n \times 16$  ビットリロードタイマを構成できます(例: 3 つの隣接するリロードタイマがデバイス上に存在)。

### ■ カスケード接続の概要

図 8-1 16 ビットリロードタイマのカスケード接続のブロックダイアグラム(3 つのリロードタイマがデバイス上に存在する例)





**■ リロードタイマ入力選択レジスター一覧**

レジスタ略称	レジスタ名	参照先
TMISR	リロードタイマ入力選択レジスタ	8.1

## 8.1. リロードタイマ入力選択レジスタ(TMISR)

### ■ リロードタイマ入力選択レジスタ(TMISR)

TMISR								
bit	7	6	5	4	3	2	1	0
	-	-	TMIS5	TMIS4	TMIS3	TMIS2	TMIS1	TMIS0
属性	-	-	R/W	R/W	R/W	R/W	R/W	R/W
初期値	X	X	0	0	0	0	0	0

[bit7, bit6] -: 未定義

-このビットに常に"0"を書き込みます。

-このビットの読出し値は未定義です。

-このビットへのリードモディファイライト(RMW) 動作は無効です。

[bit5] TMIS5: リロードタイマ 5 入力選択

bit	説明
0	TIN5 をトリガ入力として使用
1	リロードタイマ 4 のアンダフローイベントをトリガ入力として使用

[bit4] TMIS4: リロードタイマ 4 入力選択

bit	説明
0	TIN4 をトリガ入力として使用
1	リロードタイマ 3 のアンダフローイベントをトリガ入力として使用

[bit3] TMIS3: リロードタイマ 3 入力選択

bit	説明
0	TIN3 をトリガ入力として使用
1	リロードタイマ 2 のアンダフローイベントをトリガ入力として使用

[bit2] TMIS2: リロードタイマ 2 入力選択

bit	説明
0	TIN2 をトリガ入力として使用
1	リロードタイマ 1 のアンダフローイベントをトリガ入力として使用

## [bit1] TMIS1: リロードタイマ 1 入力選択

bit	説明
0	TIN1 をトリガ入力として使用
1	リロードタイマ 0 のアンダフローイベントをトリガ入力として使用

## [bit0] TMIS0: リロードタイマ 0 入力選択

bit	説明
0	TIN0 をトリガ入力として使用
1	リロードタイマ 5 のアンダフローイベントをトリガ入力として使用

## ■ 動作説明

カスケード接続された最初のリロードタイマは、カウンタクロックとして内部クロックまたは外部イベントを使用できます。このリロードタイマは、自由に設定できます。  
 連結された、2 番目以降のリロードタイマは、必ず次のように設定してください。

- ・ TMCSRn:MOD[2:0] = "101<sub>B</sub>": ゲートカウントモード"H"レベル
- ・ TMCSRn:CSL[1:0] = "00<sub>B</sub>"および TMCSRn:FSEL = 1: CLKP1 は 2 分周されますが(表 7-1 を参照してください)、CLKP1 の周期と等しい UF 信号を確実にサンプリングできるよう、最初の RLT 以外のすべての RLT は、CLKP1 を 2 分周したクロックが供給されます。
- ・ TMISR:TMISx = "1": 先行の TMISx ビットに対するリロードタイマのアンダフロー信号をカウント許可信号として使用

すべてのリロードタイマは、リロード値をロードしてラン状態に移行するために、カウント開始前にトリガ入力してください(図 5-1 参照してください)。

# Chapter 14: PPG



---

PPG の機能と動作について説明します。

---

1. 概要
2. 動作
3. レジスタ
4. 使用上の注意

---

管理コード : 96F6PPG-J03.0

---

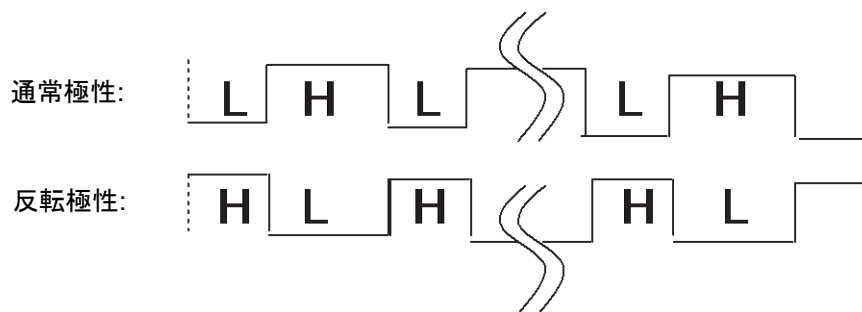
## 1. 概要

プログラマブルパルスジェネレータ (PPG) は、ワンショット (く形波) 出力またはパルス幅変調 (PWM) 出力を得るために使用します。周期とデューティをソフトウェアでプログラム可能であり、PWM 出力信号生成の開始をソフトウェアで延期でき、AD 変換を開始できることにより、PPG は広範なアプリケーションに容易に適合できます。柔軟性を高めるため、PPG は 16 ビット精度の PWM チャンネルまたは 2 つの独立した 8 ビット精度の PWM 出力として構成できます。さらに、PPG はランプモードで動作でき、指定されたスタートデューティ値とエンドデューティ値間の出力信号デューティが変更されます。

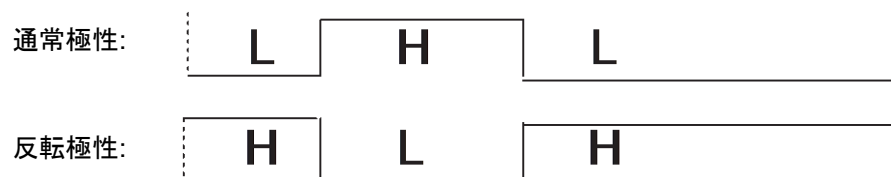
### ■ PPG の特長

出力波形: PPG は次の種類の波形を出力できます。

PWM 波形



ワンショット波形 (く形波)



固定出力:

- ・ 通常極性: "L" 固定出力
- ・ 反転極性: "H" 固定出力

カウントクロック: 次の 8 種類から選択:

- ・ 周辺クロック (CLKP1) または選択されたリロードタイマのアンダフロー信号の 1, 1/4, 1/16, 1/64 (『16 ビットリロードタイマ(イベントカウント機能付き)』の章を参照してください)。

周期: 設定範囲 = デューティ値 ~ 65535 (16 ビットレジスタで指定) または  
デューティ値 ~ 255 (8 ビットレジスタで指定)

- ・ 周期 = カウントクロック × (PCSR レジスタ値 + 1)
- ・ フルレンジの動作モードでは、周期の設定を次のように指定します。

周期 = カウントクロック × PCSR レジスタ値

- ・ (例) カウントクロック = 32MHz (31.25ns), PCSR 値 = 63999 (16 ビット動作モード)
- ・ 周期 = 31.25ns × (63999+1) = 2ms

デューティ: 設定範囲 = 0~周期値 (16 ビットレジスタまたは 8 ビットレジスタで指定)

- ・ デューティ = カウントクロック × (PDUT レジスタ値 + 1)
- ・ フルレンジの動作モードでは、デューティの設定を次のように指定します。デューティ = カウントクロック × PDUT レジスタ値

割込み: 次の 6 種類から選択:

- ・ ソフトウェアトリガおよびトリガ入力
- ・ カウンタのボロー発生 (周期一致)
- ・ デューティ一致発生
- ・ カウンタのボロー発生 (周期一致) またはデューティ一致発生
- ・ PPG 周期内で指定されたタイミングポイント一致
- ・ ランプモード動作時のエンドデューティ一致

起動トリガ:

- ・ ソフトウェアトリガ
- ・ 内部トリガ
- ・ 外部トリガ (TTG 端子)
- ・ 利用可能なすべての PPG を起動できるコモン内部トリガ

追加プリスケアラ入力として自由に構成可能なオンチップリロードタイマのアンダフロー信号を選択できます。

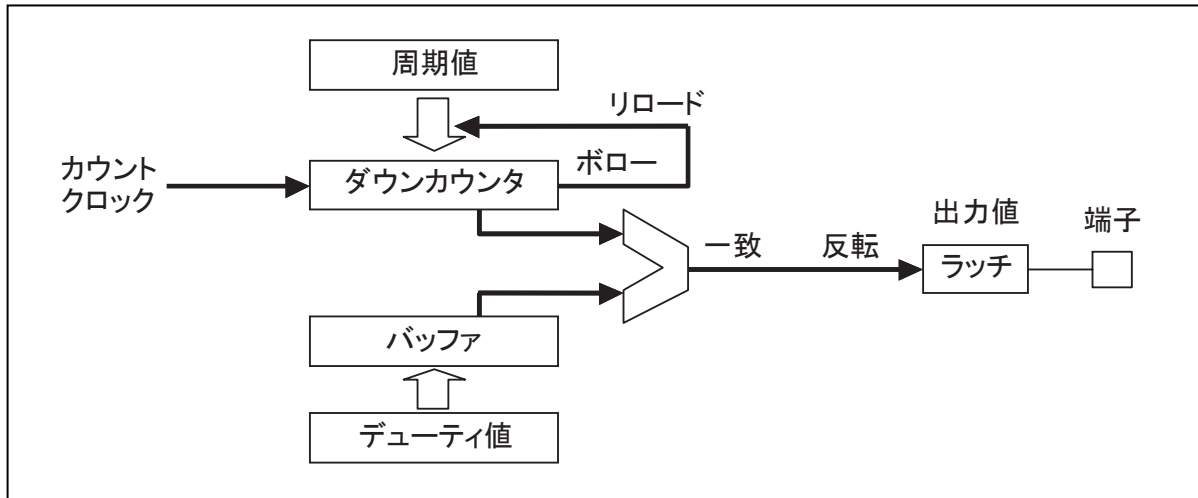
PPG 周期内の特殊なタイミングポイントは、PPG カウンタがタイミングポイント値に達したときに以下のことが可能になるよう構成できます。

- ・ ADC トリガの発生
- ・ 割込み要求

ランプモード動作により、選択されたりロードタイマ周期でランプスロープを制御しながら、スタートデューティの構成値とエンドデューティの構成値の間で PWM 信号デューティをスイープできます。

## ■ PPG の単純化されたブロックダイアグラム

図 1-1 PPG の単純化されたブロックダイアグラム



## ■ PPG の構成

4 つの PPG が共通の GCN レジスタによってグループ化されます。図 1-2 では、以下の表記が使用されています。

- ・ n: PPG チャンネルを示します。
- ・ g: 4 本の PPG からなるグループを示します。
- ・ i: グループ内の PPG のインデックスを示します。

n	g	i
0	0	0
1		1
2		2
3		3
4	1	0
5		1
6		2
7		3
8	2	0
9		1
10		2
11		3
12	3	0
13		1
14		2
15		3

### <注意事項>

PPG のチャンネルはデバイスに依存します。詳細は各デバイスのデータシートを参照してください。



[illegible]

---

**<注意事項>**

図 1-2 はほかの PPG に対しても当てはまります。RLT 信号の構成については、『16 ビットリロードタイマ(イベントカウント機能付き)』の章を参照してください。

RLT は PPG 動作で必要でなければ、通常の RLT として使用できます。

---

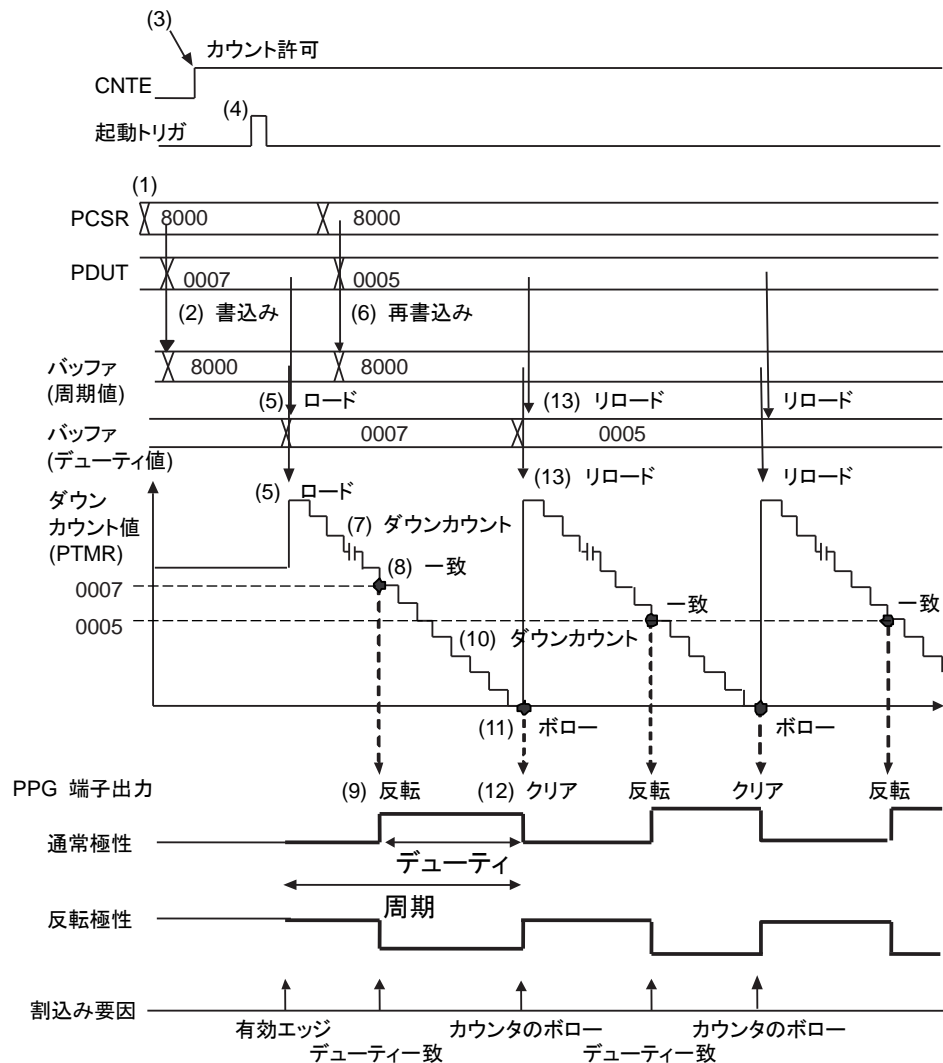
## 2. 動作

プログラマブルパルスジェネレータ (PPG) は、独立または連動して、プログラム可能なパルス出力を行います。以下に各動作モードについて説明します。

動作モード		機能				
		再起動動作	スタート ディレイ	タイミング ポイント キャプチャ	ランプ モード	フルレンジ モード
PWM 動作	16-bit	使用可能	使用可能	使用可能	使用可能	使用可能
	8-bit	使用可能	使用可能	使用可能	使用可能	使用可能
ワンショット 動作	16-bit	使用不可	使用不可	使用可能	使用不可	使用不可
	8-bit	使用不可	使用不可	使用不可	使用不可	使用不可

## ■ PWM 動作

PWM 動作では、PPG 端子から可変デューティパルスが出力されます。



- (1) 周期値の書込み
- (2) デューティ値の書込み, バッファへの周期値の転送
- (3) PPG の動作許可
- (4) 起動トリガ発生
- (5) 周期値とデューティ値のロード
- (6) デューティ値の再書込み, バッファへの周期値の転送
- (7) カウンタのダウンカウント
- (8) ダウンカウント値とデューティ値の一致
- (9) PPG 端子の出力レベルを反転
- (10) カウンタのダウンカウント
- (11) カウンタのポロー発生
- (12) PPG 端子出力レベルのクリア (通常状態に復帰)
- (13) 周期値とデューティ値のリロード

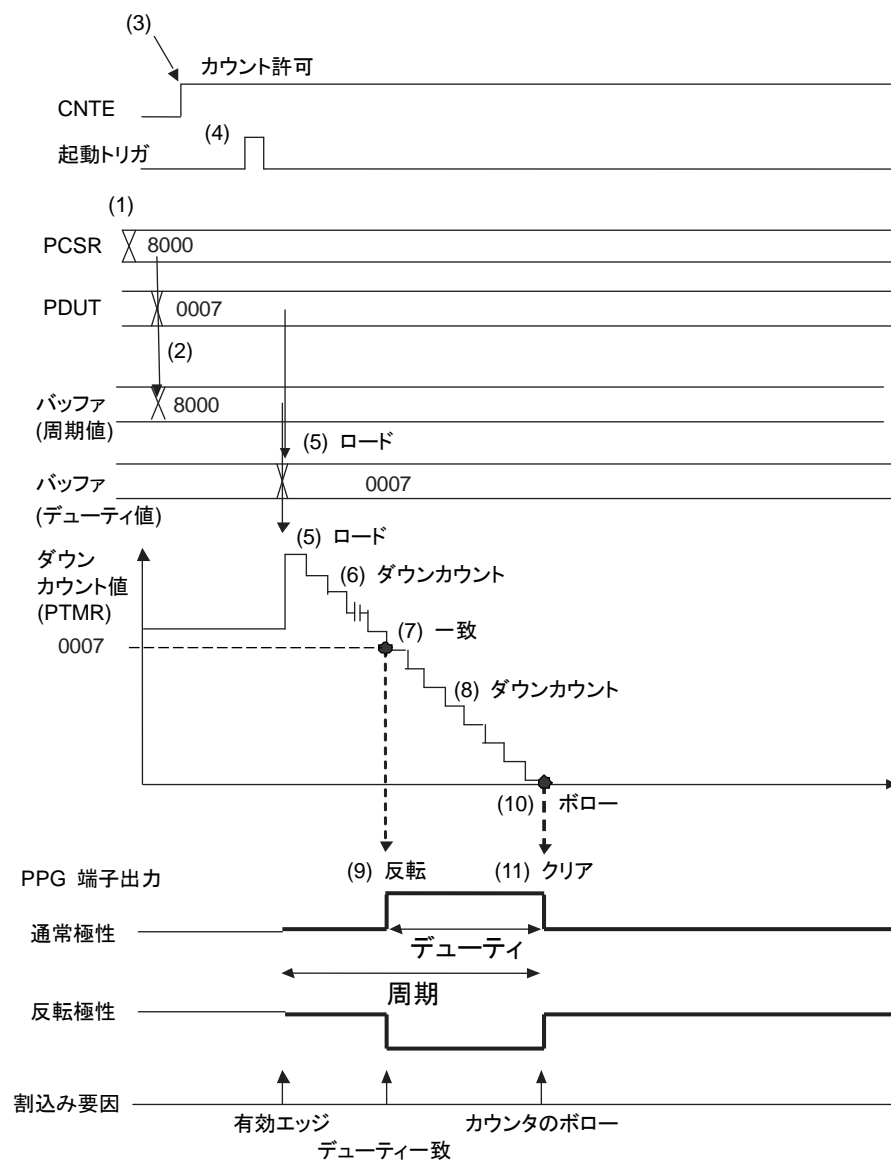
(14) (7) から (13) までを反復

計算式:

- ・ 周期 = {周期値 (PCSR) + 1} × カウントクロック
- ・ デューティ = {デューティ値 (PDUT) + 1} × カウントクロック
- ・ パルス出力までの幅 = {周期値 (PCSR) - デューティ値 (PDUT)} × カウントクロック

## ■ ワンショット動作

ワンショット動作では、PPG 端子からワンショットパルスが出力されます。ワンショット動作を 8 ビットモードで使用したり、スタートディレイ機能とともに使用したりすることはできません。



- (1) 周期値の書込み
- (2) デューティ値の書込み, バッファへの周期値の転送
- (3) PPG の動作許可
- (4) 起動トリガ発生

- (5) 周期値とデューティ値のロード
- (6) カウンタのダウンカウント
- (7) ダウンカウント値とデューティ値の一致
- (8) PPG 端子出力レベルの反転
- (9) カウンタのダウンカウント
- (10) カウンタのボロー発生
- (11) PPG 端子の出力レベルのクリア (通常状態に復帰)
- (12) 動作シーケンス終了

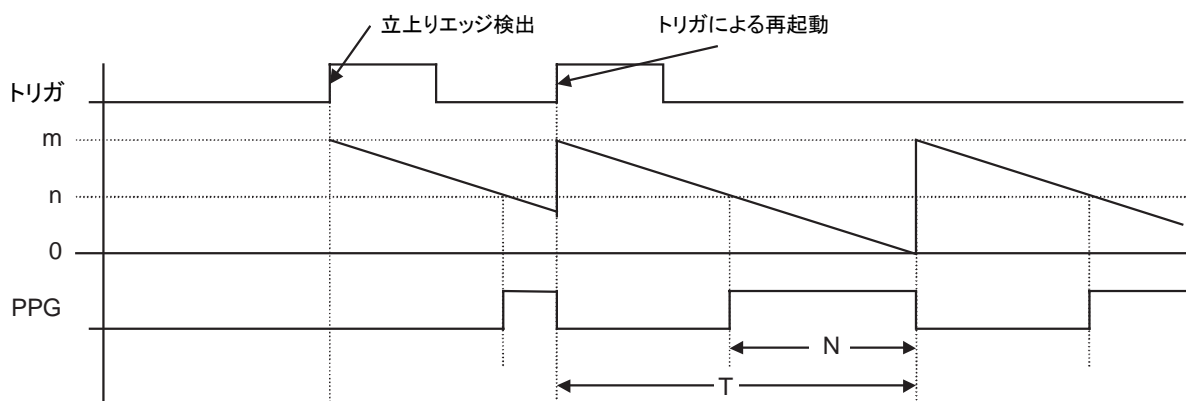
## ■ 再起動動作

再起動時の動作を次に示します。

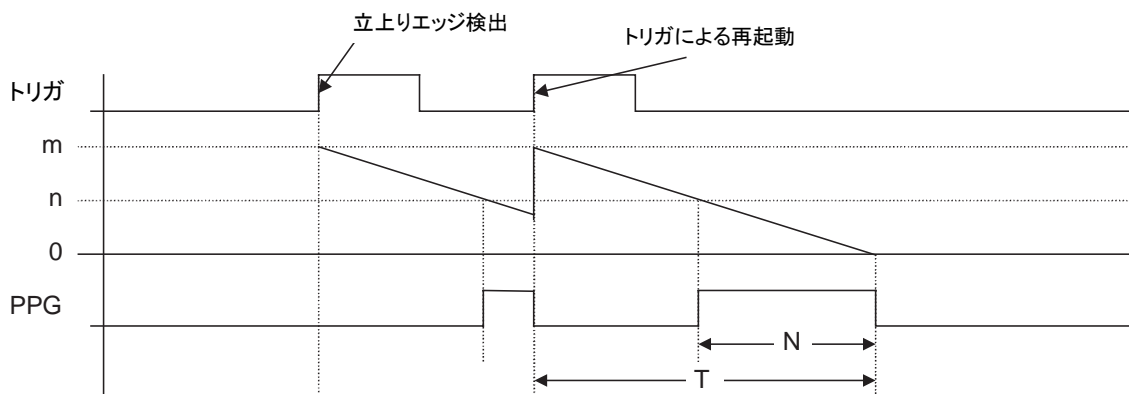
$N, n$  = デューティ

$T, m$  = 周期

### PWM 動作中の再起動



### ワンショット動作中の再起動

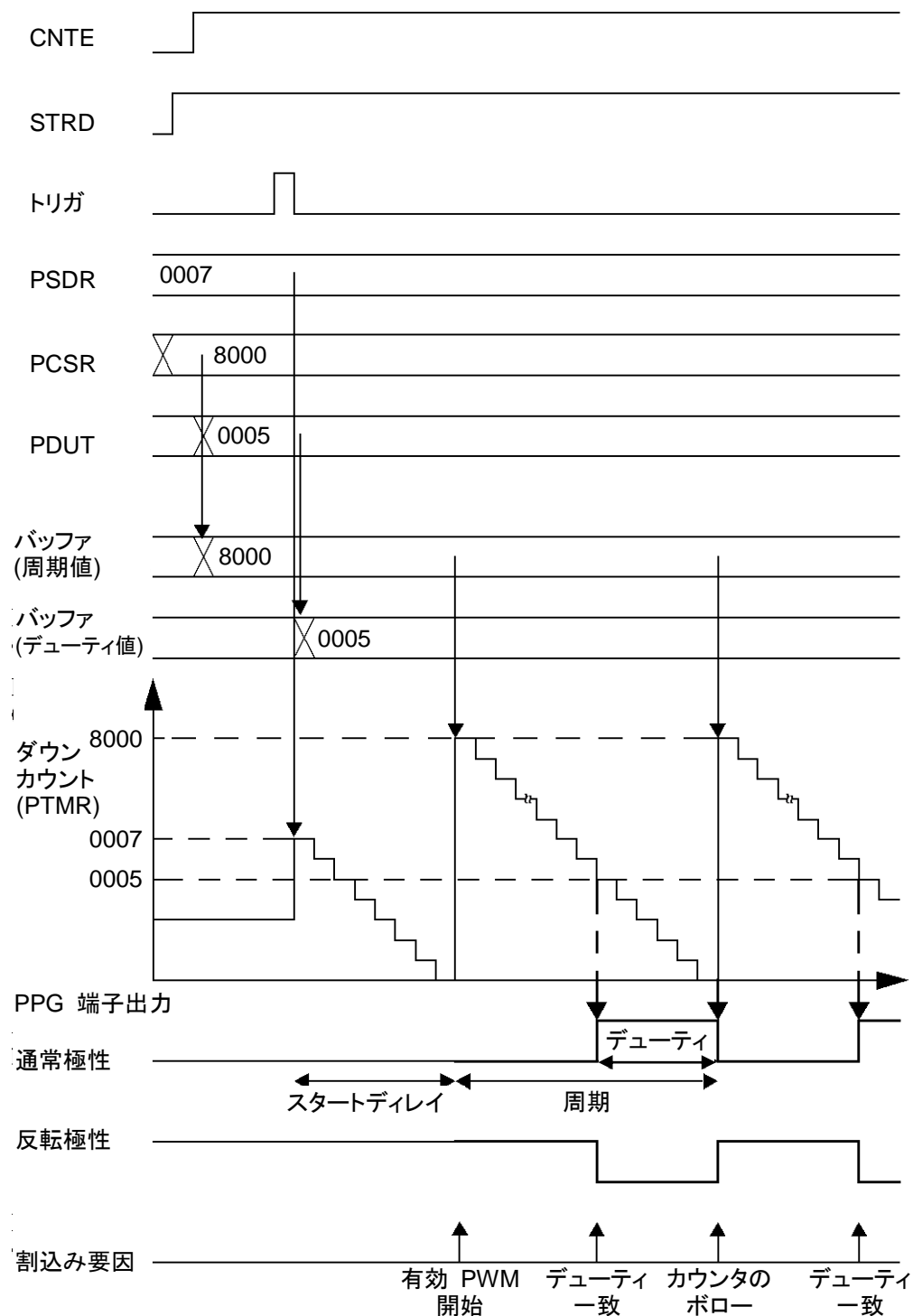


PWM 動作とワンショット動作のいずれでも、再起動がディセーブルな場合には 2 番目以降のトリガは動作に影響しません (ダウンカウンタのシャットダウン後の 2 番目以降のトリガは機能します)。

## ■ スタートディレイモード\*

スタートディレイモードでは、PWM 出力の生成は PSDR PPG カウント周期分延期されます。

\*: スタートディレイモードはオプションのため、すべてのデバイスでアクセス可能というわけではありません。詳細は各デバイスのデータシートの「品種構成」を参照してください。



## ■ タイミングポイントキャプチャ\*

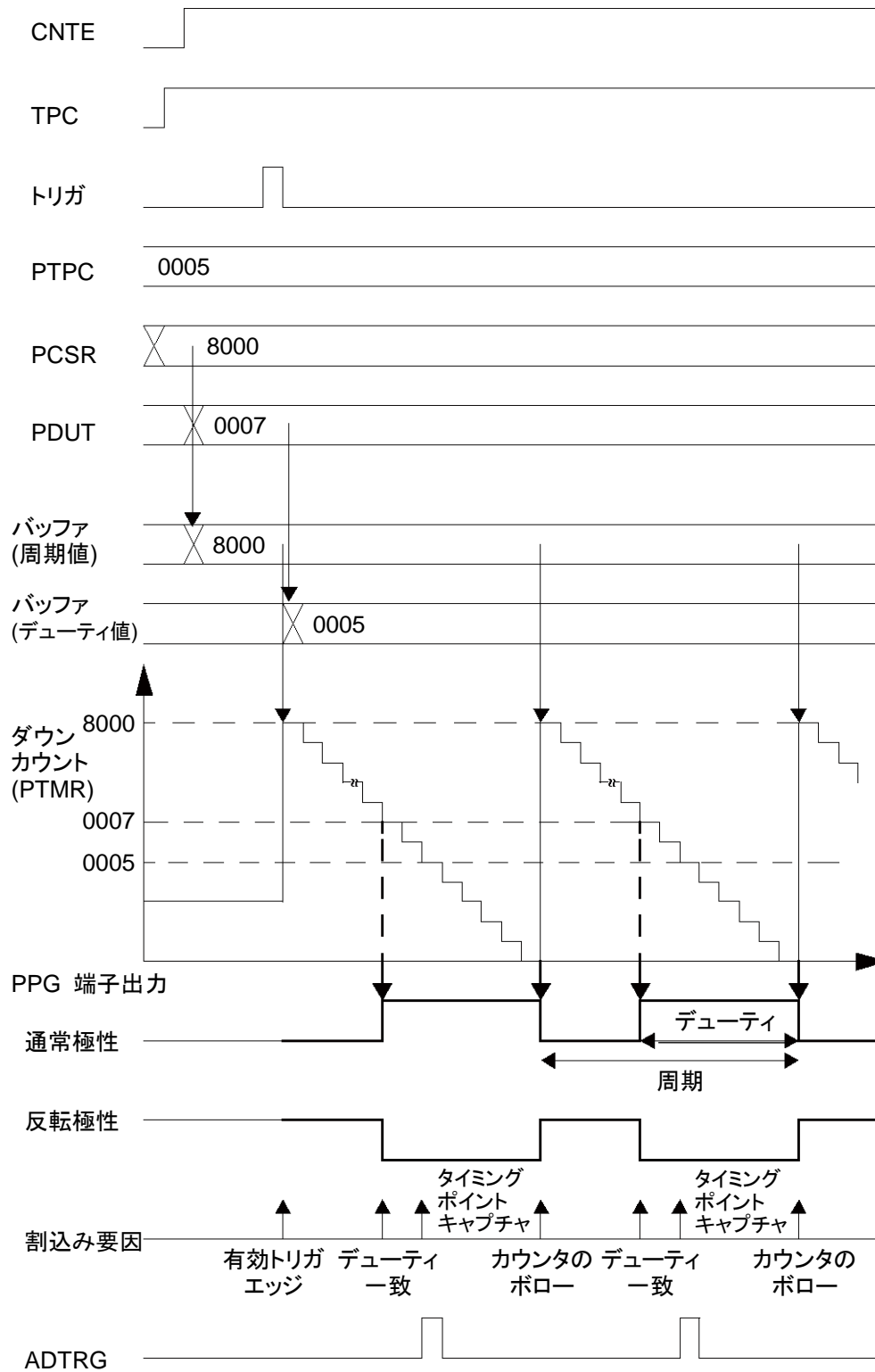
タイミングポイントキャプチャ機能によって、PWM 周期内のタイミングポイントを割込み要求またはADCトリガ信号として使用するように指定できます。

本機能による割込み要求を有効にするためには、{EPCN1n:IRS2, PCNn:IRS[1:0]}=100, PCNn:IREN=1 の設定が必要です。

本機能による ADC トリガ生成を有効にするためには EPCN1Ln:TPCH=1 もしくは EPCN1Ln:TPCL=1 の設定が必要です。

\*: タイミングポイントキャプチャモードはオプションのため、すべてのデバイスでアクセス可能というわけではありません。詳細は各デバイスのデータシートの「品種構成」を参照してください。

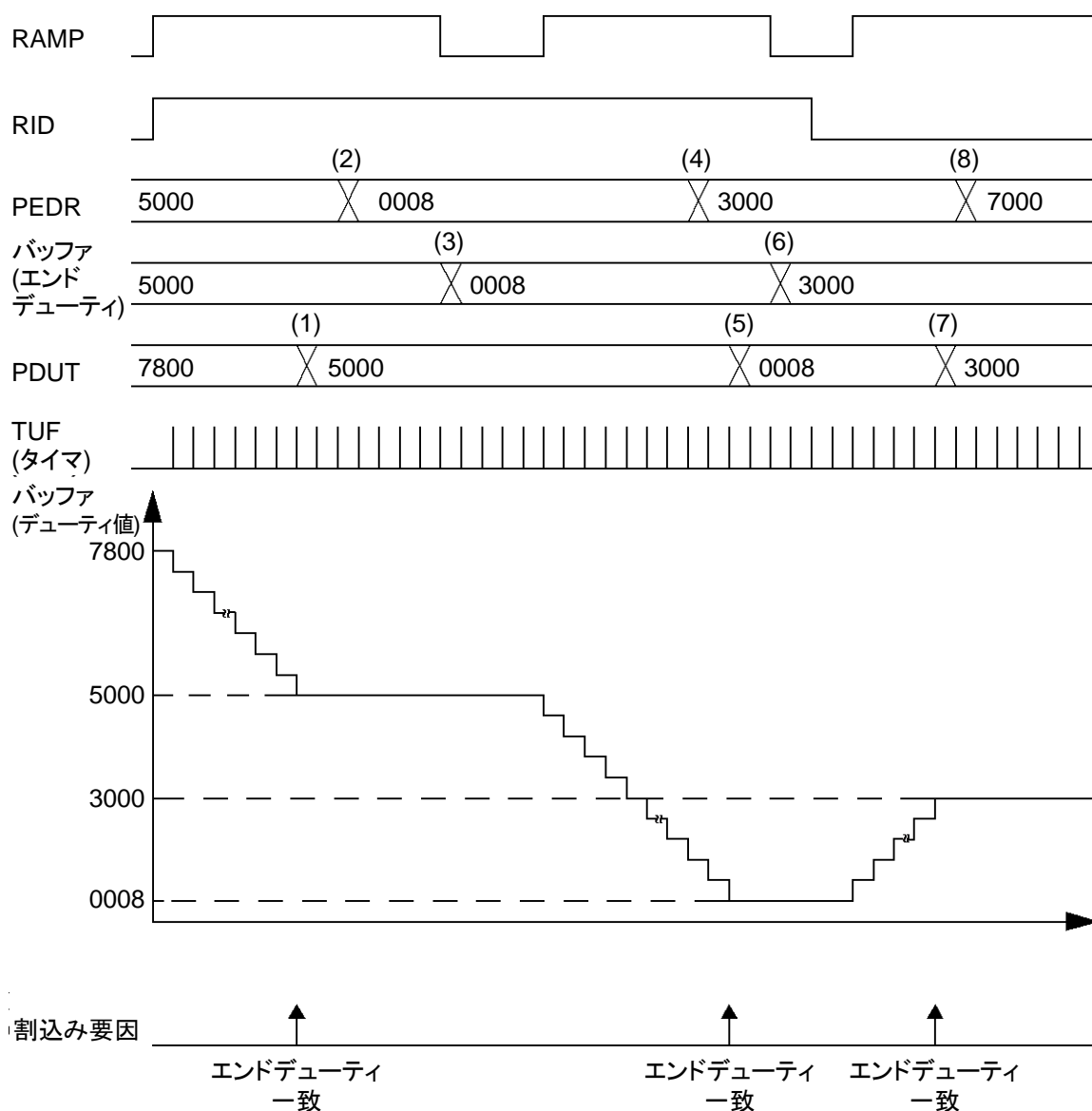




## ■ ランプモード\*

ランプモードでは、選択されたリロードタイマアンダフローパルスが発生するごとに、PWM デューティがインクリメント (EPCN1:RIDH/RIDL="0" の場合) またはデクリメント (EPCN1:RIDH/RIDL="1" の場合) されます。PWM 出力波形は PDUT レジスタで指定されたデューティから始まり、デューティ値はエンドデューティに達するまでインクリメント/デクリメントされます。

\*: ランプモードはオプションのため、すべてのデバイスでアクセス可能というわけではありません。詳細は各デバイスのデータシートの「品種構成」を参照してください。

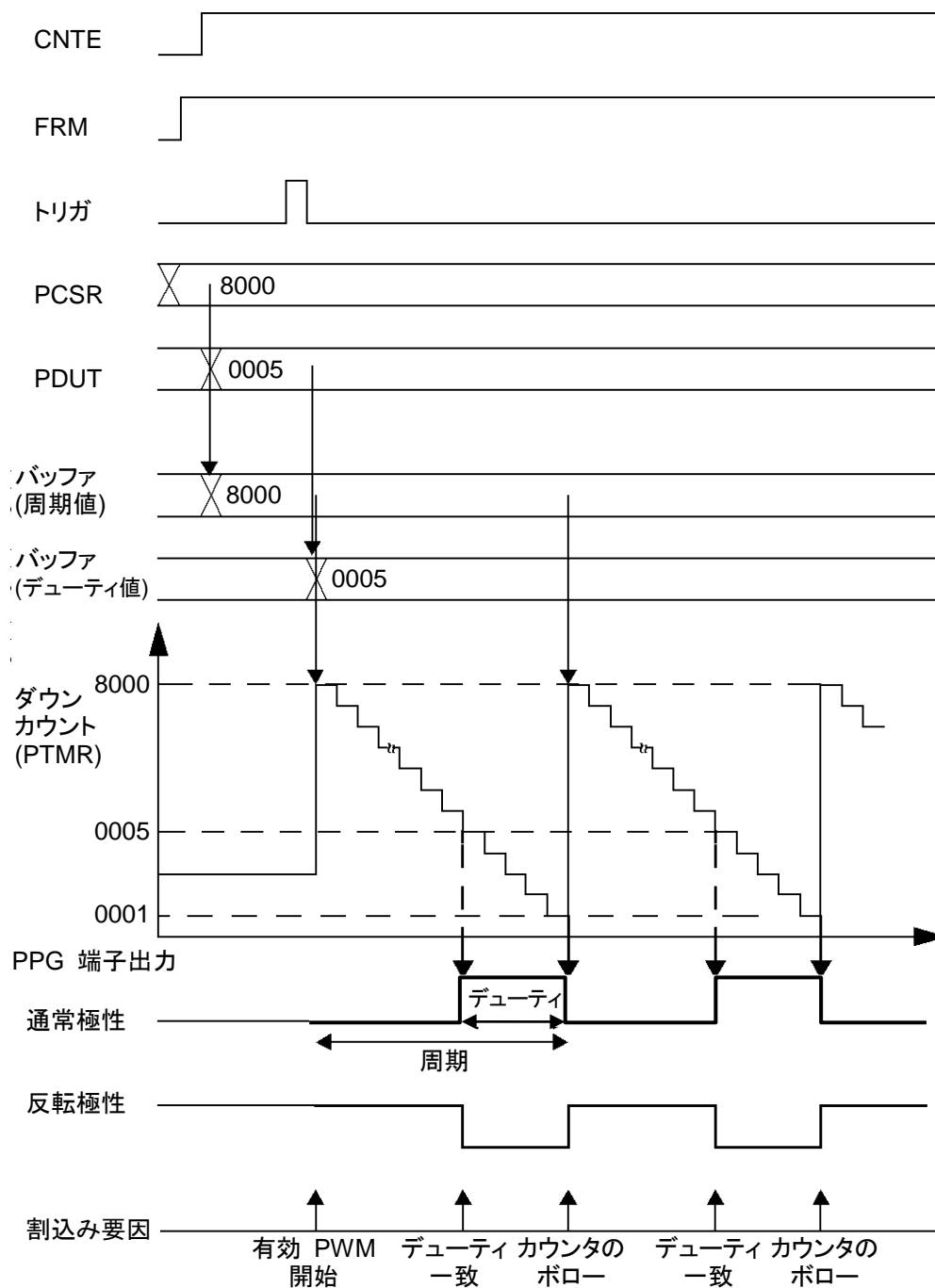


- (1) エンドデューティに達した後、PDUT レジスタはエンドデューティに更新されます。
- (2) 新しい PEDR 値がソフトウェアによって設定されます。
- (3) ランプモードが禁止されているため、PEDR 値は実際のエンドデューティに転送されます。

- (4) 新しい PEDR 値がソフトウェアによって設定されます。
- (5) エンドデューティに達した後、PDUT レジスタはエンドデューティに更新されます。
- (6) ランプモードが禁止されているため、PEDR 値は実際のエンドデューティに転送されます。
- (7) エンドデューティに達した後、PDUT レジスタはエンドデューティに更新されます。
- (8) 新しい PEDR 値がソフトウェアによって設定されますが、ランプモードが禁止された後、アクティブになります (エンドデューティバッファレジスタに転送されます)。

## ■ フルレンジモード

PPG カウンタのボローは PTMR=1 の場合に発生します。その結果、PDUT=0 に設定されている場合、PPG 出力端子は常に "0" のままで、PDUT=PCSR に設定されている場合、PPG 出力は動作中常にハイレベルのままです。



計算式:

- ・ 周期 = 周期値 (PCSR) × カウントクロック
- ・ デューティ = デューティ値 (PDUT) × カウントクロック
- ・ パルス出力までの幅 = {周期値 (PCSR) – デューティ値 (PDUT)} × カウントクロック

### 3. レジスタ

PPG に使用されるレジスタの構成および機能について説明します。

#### ■ PPG のレジスタ一覧

レジスタの略称	レジスタ名	参照先
PCNn	PPG 制御ステータスレジスタ	3.1
EPCN1n	拡張 PPG 制御ステータスレジスタ 1	3.2
EPCN2n	拡張 PPG 制御ステータスレジスタ 2	3.3
GCN1g	汎用制御レジスタ 1	3.4
GCN2g	汎用制御レジスタ 2	3.5
GCN3g	汎用制御レジスタ 3	3.6
GCN4g	汎用制御レジスタ 4	3.7
GCN5g	汎用制御レジスタ 5	3.8
PCSRn	PPG 周期設定レジスタ	3.9
PDUTn	PPG デューティ設定レジスタ	3.10
PTMRn	PPG タイマレジスタ	3.11
PSDRn	PPG スタートディレイレジスタ	3.12
PTPCn	PPG タイミングポイントキャプチャレジスタ	3.13
PEDRn	PPG エンドデューティレジスタ	3.14
GCNR	汎用制御レジスタ	3.15

## 3.1. PPG 制御ステータスレジスタ (PCNn)

### ■ PPG 制御ステータスレジスタ (PCNn)

PPG 制御ステータスレジスタ (PCNn) は PPG の動作制御および状態を表示するレジスタです。

PCNHn								
bit	15	14	13	12	11	10	9	8
	CNTE	STGR	MDSE	RTRG	CKS1	CKS0	PGMS	MOD
属性	R/W	R0/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
動作中の 書換え	○	○	×	×	×	×	×	×

PCNLn								
bit	7	6	5	4	3	2	1	0
	EGS1	EGS0	IREN	IRQF	IRS1	IRS0	OE	OSEL
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
動作中の 書換え	×	×	○	○	×	×	○	×

○: 書換え可能

×: 書換え禁止

[bit15] CNTE: タイマ動作許可

bit	説明
0	停止
1	動作

PPG の動作を許可するビットです。

[bit14] STGR: ソフトウェアトリガ

bit	説明
0	動作は書込みに影響されない (R0/W: 読出し値は常に "0")
1	ソフトウェアトリガ起動

ソフトウェアトリガビットが "1" に設定されると、内部トリガまたは外部トリガ (EN ビット, リロードタイマ出力, TTG 入力) とは独立してソフトウェアトリガが発生し、PPG が起動します。このトリガはエッジ選択ビット EGS1 および EGS0 の設定には影響されません。

**[bit13] MDSE: モード選択**

bit	説明
0	PWM 動作
1	ワンショット動作

モード選択ビットを "0" に設定すると PWM 動作が許可され、連続したパルスが発生します。  
 モード選択ビットを "1" に設定すると、1 回だけパルス出力が行われます。

**[bit12] RTRG: 再起動許可**

bit	説明
0	再起動を禁止
1	再起動を許可

再起動許可ビットを "1" に設定すると、トリガ (ソフトウェア/ 内部/ 外部) により PPG の動作が再起動します (トリガの構成に依存)。

**[bit11, bit10] CKS1, CKS0: カウンタクロック選択**

bit11	bit10	説明
0	0	CKSEL で選択されたクロック
0	1	CKSEL で選択されたクロックを 4 分周したクロック
1	0	CKSEL で選択されたクロックを 16 分周したクロック
1	1	CKSEL で選択されたクロックを 64 分周したクロック

**[bit9] PGMS: PPG 出力マスク選択**

bit	説明
0	出力マスクなし
1	出力マスク (OSEL=0 のとき、出力は "L" レベルに保持)

---

**<注意事項>**

本ビットを "1" から "0" に設定し、PPG 出力マスクを解除する場合には、周期の初めから、デューティ一致となる前までの間に設定を行ってください。

---

PPG の出力マスク選択ビットを "1" に設定すると、PPG 出力をモード、周期、デューティの設定にかかわらず "L" または "H" に固定できます。



出力レベルは出力極性指定ビット (PCN:OSEL) で指定できます。

[bit8] MOD: PPG16 ビット/8 ビット動作モード

bit	説明
0	16 ビットモード
1	8 ビットモード

MOD ビットを "0" に設定すると、PWM 出力信号が 16 ビット精度で使用できます。  
 MOD ビットを "1" に設定すると、PWM 出力信号が 8 ビット精度で使用できます。

[bit7, bit6] EGS1, EGS0: トリガ入力エッジ選択

bit7	bit6	説明
0	0	エッジの選択なし。PCNHn:STGR によるトリガのみ可能
0	1	立上りエッジ
1	0	立下りエッジ
1	1	両エッジ (立上りまたは立下り)

EGS1=0 および EGS0=0 の場合には、PCNn:STGR による PPG のトリガのみが可能です。PPGn に対するトリガ EN[3:0], リロードタイマ, 外部トリガは禁止されます。  
 EGS1 と EGS0 のほかの設定は、トリガ EN[3:0], リロードタイマ, 外部トリガにのみ影響します。PCNn:STGR への "1" の書込みによる対応する PPG のトリガは、PCNn: EGS1 と PCNn:EGS0 の設定には影響されません。

[bit5] IREN: 割込み要求の許可

bit	説明
0	割込み要求を禁止
1	割込み要求を許可

<注意事項>

カウンタのボロー発生(周期一致)あるいはデューティ一致発生による割込み要求を選択する場合、本ビットを"1"に設定する前に周期一致フラグ(EPCN2n:PRDL)あるいはデューティ一致フラグ(EPCN2n:DTL)をクリアしてください。

#### [bit4] IRQF: 割込み要求フラグ

bit	説明	
	読出し	書込み
0	割込み要求なし	以下の全割込み要求フラグをクリアする。 EPCN1:TRIG, EPCN2:TCH, EPCN2:TCL, EPCN2:EDMH, EPCN2:EDML, EPCN2:DTH, EPCN2:DTL, EPCN2:PRDH, EPCN2:PRDL
1	割込み要求あり	"1" の書込みは動作に影響なし

割込み要求フラグ(IRQF)の読出し値は、割込み要因選択ビット{EPCN1n:IRS2, PCNN:IRS[1:0]}で選択されている割込み要因フラグの状態を示します。選択された割込み要因フラグがアサートされている状態で割込み要求フラグ(IRQF)の読出し値は"1"となります。

割込み要求フラグ (IRQF) が "1" になったときと同時に "0" を書き込んだ場合には、ハードウェアによる割込み要求フラグの設定 (IRQF=1) が優先します。

リードモディファイライト(RMW)系命令における読み出し値はビット値にかかわらず "1" です。

#### [bit3, bit2] IRS1, IRS0: 割込み要因選択

EPCN1: IRS2	bit3	bit2	説明
0	0	0	ソフトウェアトリガおよびトリガ入力
0	0	1	カウンタのボロー発生 (16 ビット(MOD="0")または両方の 8 ビット部(MOD="1"))
0	1	0	カウンタとデューティ値の一致 (16ビット(MOD="0")または両方の 8 ビット部(MOD="1"))
0	1	1	カウンタのボロー発生またはカウンタとデューティ値の一致 (16 ビット(MOD="0")または両方の 8 ビット部(MOD="1"))
1	0	0	タイミングポイントキャプチャ (16 ビット(MOD="0")または両方の 8 ビット部(MOD="1"))
1	0	1	エンドデューティ一致 (16 ビット(MOD="0")または両方の 8 ビット部(MOD="1"))

EPCN1 レジスタの IRS2 ビットとともに、IRS1 および IRS0 ビットは割込み要求を発生する動作を選択します。

[bit1] OE: PPG 出力許可

bit	説明
0	出力禁止
1	出力許可

[bit0] OSEL: PPG 出力極性選択

bit	説明
0	通常極性
1	反転極性

PPG 出力マスク選択ビット (PCN:PGMS) が "1" に設定されている場合には、出力極性選択ビット (OSEL) を "0" に設定すると、出力は "L" にクランプされ、出力極性選択ビットを "1" に設定すると出力は "H" にクランプされます。

## 3.2. 拡張 PPG 制御ステータスレジスタ 1 (EPCN1n)

### ■ 拡張 PPG 制御ステータスレジスタ 1 (EPCN1n)

拡張 PPG 制御ステータスレジスタ 1 (EPCN1n) は PPG の動作制御および状態を表示するレジスタです。

EPCN1Hn								
bit	15	14	13	12	11	10	9	8
	-	-	-	TRIG	IRS2	OE2	FRMH	FRML
属性	-	-	-	R/W	R/W	R/W	R/W	R/W
初期値	X	X	X	0	0	0	0	0
動作中の 書換え	-	-	-	○	×	○	×	×

EPCN1Ln								
bit	7	6	5	4	3	2	1	0
	OSEL2	RIDH	RIDL	RAMPH	RAMPL	TPCH	TPCL	STRD
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
動作中の 書換え	×	○	○	○	○	○	○	×

○: 書換え可能

×: 書換え禁止

[bit15～bit13] - : 未定義

常に "0" を書き込んでください。読出し値は不定です。これらのビットへのリードモディファイライト(RMW)動作は無効です。

[bit12] TRIG: PPG 起動/トリガイイベントフラグ

bit	説明	
	読出し	書込み
0	割込み要求なし	フラグをクリア
1	割込み要求あり	"1" の書込みは動作に影響なし

PWM出力生成が開始されると、TRIGフラグが "1" に設定されます。スタートディレイモード EPCN1:STRD = "1" では、指定されたスタートディレイの最後に行われます。ほかのすべての動作モード (EPCN1:STRD = "0") では、PPG トリガイイベントが検出されるとフラグが "1" になります。

TRIGフラグが "1" になったときと同時にフラグに "0" を書き込んだ場合には、ハードウェアによるフラグの設定 (TRIG="1") が優先します。

リードモディファイライト(RMW)系命令における読出し値はビット値にかかわらず "1" です。

## [bit11] IRS2: 追加の割込み選択

bit11	PCN: IRS1	PCN: IRS0	説明
0	0	0	ソフトウェアトリガまたは外部トリガ入力
0	0	1	カウンタのボロー発生 (16 ビット(MOD="0")または両方の 8 ビット部(MOD="1"))
0	1	0	カウンタとデューティ値の一致 (16 ビット(MOD="0")または両方の 8 ビット部(MOD="1"))
0	1	1	カウンタのボロー発生またはカウンタとデューティ値の一致 (16 ビット(MOD="0")または両方の 8 ビット部(MOD="1"))
1	0	0	タイミングポイントキャプチャ (16 ビット(MOD="0")または両方の 8 ビット部(MOD="1"))
1	0	1	エンドデューティ一致 (16 ビット(MOD="0")または両方の 8 ビット部(MOD="1"))

PCN レジスタとともに、IRS1 および IRS0 ビットは、割込み要求を発生する動作を選択します。

## [bit10] OE2: PPGB 出力許可

bit	説明
0	出力禁止
1	出力許可

8 ビットの動作モード (PCN:MOD="1") では、このビットが PPGB 信号 (上位の 8 ビットレジスタ部によって構成された 8 ビット精度の PWM 信号) の出力を許可します。

16 ビットの動作モード (PCN:MOD="0") では、OE2 制御ビットを "1" に設定すると PPGB 出力端子にも PPGA の信号を出力されます。さらに、EPCN1:OSEL2 ビットが "1" に設定されている場合には、PPGA の信号を極性反転して PPGB 出力端子から出力します。

## [bit9] FRMH: フルレンジモード (上位 8 ビット部)

bit	説明
0	PPGB 出力信号の期間は PCSR+1, デューティは PDUT+1 カウントクロック周期
1	PPGB 出力信号の期間は PCSR, デューティは PDUT カウントクロック周期

このビットを "1" に設定すると、PDUT=PCSR の場合 PPGB 出力に "H" が生成され、PDUT=0 の場合常に "L" レベルが生成されます。

[bit8] FRML: フルレンジモード (16 ビットまたは下位 8 ビット部)

bit	説明
0	PPGA 出力信号の期間は PCSR+1, デューティは PDUT+1 カウントクロック周期
1	PPGA 出力信号の期間は PCSR, デューティは PDUT カウントクロック周期

このビットを "1" に設定すると、PDUT=PCSR の場合 PPGA 出力に "H" が生成され、PDUT=0 の場合常に "L" レベルが生成されます。

[bit7] OSEL2: PPGB 出力極性選択 (上位 8 ビット部)

bit	説明
0	PPGB 出力信号は通常極性
1	PPGB 出力信号は反転極性

16 ビット動作モード (PCN:MOD="0") では、OE2 制御ビットが "1" に設定されている場合には、16 ビット PPG 信号も PPGB 出力端子に生成されます。さらに、OSEL2 ビットが "1" に設定されている場合には、極性が反転した 16 ビット PPG 信号が PPGB 出力端子に送信されます。

[bit6] RIDH: ランプモードでのデューティインクリメント/デクリメント (上位 8 ビット部)

bit	説明
0	エンドデューティに達するまで、ランプモードにおいて PPGB 出力の PWM デューティをインクリメント
1	エンドデューティに達するまで、ランプモードにおいて PPGB 出力の PWM デューティをデクリメント

[bit5] RIDL: ランプモードでのデューティインクリメント/デクリメント (16 ビットまたは下位 8 ビット部)

bit	説明
0	エンドデューティに達するまで、ランプモードにおいて PPGA 出力の PWM デューティをインクリメント
1	エンドデューティに達するまで、ランプモードにおいて PPGA 出力の PWM デューティをデクリメント

16 ビット動作モード (PCN:MOD="0") では、RIDL ビットが 16 ビット PWM 信号のデューティインクリメント/デクリメント機能を制御し、8 ビット動作モード (PCN:MOD="1") では、下位 8 ビット PWM 出力専用になります。

## [bit4] RAMPH: ランプモード選択 (上位 8 ビット部)

bit	説明
0	PPGB 出力に対するランプモードを禁止
1	PPGB 出力に対するランプモードを許可

このビットは、PCN:MOD="1" の場合、上位 8 ビット部に対するランプモードの PWM 動作を許可します。このモードでは、外部トリガ信号 (7つの使用可能なリロードタイマアンダフロー信号のいずれかが選択される) が発生するごとに、PWM デューティがインクリメント (EPCN1 レジスタビット RIDH が "0" の場合) またはデクリメント (RIDH が "1" の場合) されます。PWM 出力波形は PDUTH レジスタで指定されたデューティから始まり、デューティ値は PEDRH レジスタで指定されたエンドデューティ値に達するまでインクリメント/デクリメントされます。PWM 出力デューティの実際の更新は、PWM 周期の最後でしか行われません。

## [bit3] RAMPL: ランプモード選択 (16 ビットまたは下位 8 ビット部)

bit	説明
0	PPGA 出力に対するランプモードを禁止
1	PPGA 出力に対するランプモードを許可

このビットは、PCN:MOD="1" の場合、下位 8 ビット部に対するランプモードの PWM 動作を許可します。16 ビット動作時、このビットは 16 ビット PWM のランプモードを制御します。このモードでは、外部トリガ信号 (7つの使用可能なリロードタイマアンダフロー信号のいずれかが選択される) が発生するごとに、PWM デューティがインクリメント (EPCN1 レジスタビット RIDL が "0" の場合) またはデクリメント (RIDL が "1" の場合) されます。PWM 出力波形は PDUT/PDUTL レジスタで指定されたデューティから始まり、デューティ値は PEDR/PEDRL レジスタで指定されたエンドデューティ値に達するまでインクリメント/デクリメントされます。PWM 出力デューティの実際の更新は、PWM 周期の最後でしか行われません。

## [bit2] TPCB: タイミングポイントキャプチャ選択 (上位 8 ビット部)

bit	説明
0	PPGB 出力に対するタイミングポイントキャプチャを禁止
1	PPGB 出力に対するタイミングポイントキャプチャを許可

このビットが "1" に設定されていて、PCN:MOD="1" の場合、PPG カウンタ (上位 8 ビット部) と TPCB の一致により ADC トリガを生成します。本ビットではタイミングポイントキャプチャ機能による割込み生成の許可/禁止設定はできません。タイミングポイントキャプチャ機能による割込み生成を許可するためには {EPCN1n:IRS2, PCNn:IRS[1:0]}=100, PCNn:IREN=1 に設定してください。

## [bit1] TPCL: タイミングポイントキャプチャ選択 (16 ビットまたは下位 8 ビット部)

bit	説明
0	PPGA 出力に対するタイミングポイントキャプチャモードを禁止
1	PPGA 出力に対するタイミングポイントキャプチャモードを許可

このビットが "1" に設定されていて、PCN:MOD="1" の場合、16 ビット PPG カウンタ(もしくは PPG カウ

ンタの下位 8 ビット)が PTPC(もしくは PTPCL)の値と一致した際に ADC トリガを生成します。  
 本ビットではタイミングポイントキャプチャ機能による割込み生成の許可/禁止設定はできません。  
 タイミングポイントキャプチャ機能による割込み生成を許可するためには {EPCN1n:IRS2,  
 PCNn:IRS[1:0]}=100, PCNn:IREN=1 に設定してください。

[bit0] STRD: スタートディレイモード

bit	説明
0	PWM 出力生成のスタートディレイを禁止
1	PWM 出力生成のスタートディレイを許可

STRD ビットが "1" に設定されている場合、PWM 出力生成は PPG カウンタクロックの PSDR + 1 周期分延期されます。フルレンジモードがアクティブになっている場合 (FRMH/FRML="1" の場合)、PPG カウンタクロックの PSDR 周期分開始が延期されます。



### 3.3. 拡張 PPG 制御ステータスレジスタ 2 (EPCN2n)

#### ■ 拡張 PPG 制御ステータスレジスタ 2 (EPCN2n)

拡張 PPG 制御ステータスレジスタ 2 (EPCN2n) は PPG の動作制御および状態を表示するレジスタです。

EPCN2Ln								
bit	7	6	5	4	3	2	1	0
	TCH	TCL	EDMH	EDML	DTH	DTL	PRDH	PRDL
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	X	0	X
動作中の 書換え	○	○	○	○	○	○	○	○

○: 書換え可能

×: 書換え禁止

[bit7] TCH: タイミングポイントキャプチャフラグ (上位 8 ビット部)

bit	説明	
	読出し	書込み
0	割込み要求なし	フラグをクリア
1	割込み要求あり	"1" の書込みは動作に影響なし

PPG カウンタ値 PTMRH が PTPCH レジスタで指定されたタイミングポイントに達すると、TCH フラグが "1" に設定されます。TCH フラグが "1" になったときと同時に TCH フラグに "0" を書き込んだ場合には、ハードウェアによる TCH フラグの設定 (TCH="1") が優先します。16 ビット動作モード (MOD="0") では、TCH フラグは意味を持ちません。

リードモディファイライト(RMW)系命令における読出し値はビット値にかかわらず "1" です。

[bit6] TCL: タイミングポイントキャプチャフラグ (16 ビットまたは下位 8 ビット部)

bit	説明	
	読出し	書込み
0	割込み要求なし	フラグをクリア
1	割込み要求あり	"1" の書込みは動作に影響なし

16 ビット動作モード (PCN:MOD="0") では、16 ビットレジスタ PTMR と PTPC の一致によって TCL フラグが設定されます。PCN:MOD="1" の場合、TCL フラグは PTMRL と PTPCL を比較した結果となります。TCL フラグが "1" になったときと同時に TCL フラグに "0" を書き込んだ場合には、ハードウェアによる TCL フラグの設定 (TCL="1") が優先します。

リードモディファイライト(RMW)系命令における読出し値はビット値にかかわらず "1" です。

[bit5] EDMH: ランプモードでのエンドデューティ一致フラグ (上位 8 ビット部)

bit	説明	
	読出し	書込み
0	割込み要求なし	フラグをクリア
1	割込み要求あり	"1" の書込みは動作に影響なし

ランプ動作モードにおいて現在の PWM デューティが PEDRH レジスタで指定されたデューティ値に達すると、EDMH フラグが "1" に設定されます。EDMH フラグが "1" になったときと同時に EDMH フラグに "0" を書き込んだ場合には、ハードウェアによる EDMH フラグの設定 (EDMH="1") が優先します。制御ビットが EPCN1:RAMPH が "0" の場合または 16 ビット動作モード (MOD="0") では、EDMH フラグは意味を持ちません。

リードモディファイライト(RMW)系命令における読出し値はビット値にかかわらず "1" です。

[bit4] EDML: ランプモードでのエンドデューティ一致フラグ (16 ビットまたは下位 8 ビット部)

bit	説明	
	読出し	書込み
0	割込み要求なし	フラグをクリア
1	割込み要求あり	"1" の書込みは動作に影響なし

16 ビット動作モード (PCN:MOD="0") では、現在のデューティ値と PEDR の一致によって EDML フラグが設定されます。PCN:MOD="1" の場合、EDML フラグは PEDRL で指定されたデューティに達した結果となります。EDML フラグが "1" になったときと同時に EDML フラグに "0" を書き込んだ場合には、ハードウェアによる EDML フラグの設定 (EDML="1") が優先します。制御ビット EPCN1:RAMPL が "0" の場合、EDML フラグは禁止されています。

リードモディファイライト(RMW)系命令における読出し値はビット値にかかわらず "1" です。

[bit3] DTH: デューティ一致フラグ (上位 8 ビット部)

bit	説明	
	読出し	書込み
0	割込み要求なし	フラグをクリア
1	割込み要求あり	"1" の書込みは動作に影響なし

レジスタ PTMRH と PDUTH の一致によって DTH フラグが "1" に設定されます。DTH フラグが "1" になったときと同時に DTH フラグに "0" を書き込んだ場合には、ハードウェアによる DTH フラグの設定 (DTH="1") が優先します。16 ビット動作モード (MOD="0") では、DTH フラグは意味を持ちません。

リードモディファイライト(RMW)系命令における読出し値はビット値にかかわらず "1" です。

## [bit2] DTL: デューティ一致フラグ (16 ビットまたは下位 8 ビット部)

bit	説明	
	読出し	書込み
0	割込み要求なし	フラグをクリア
1	割込み要求あり	"1" の書込みは動作に影響なし

16 ビット動作モード (PCN:MOD="0") では、16 ビットレジスタ PTMR と PDUT の一致によって DTL フラグが設定されます。PCN:MOD="1" の場合、DTL フラグは PTMRL と PDUTL を比較した結果となります。DTL フラグが "1" になったときと同時に DTL フラグに "0" を書き込んだ場合には、ハードウェアによる DTL フラグの設定 (DTL="1") が優先します。

リードモディファイライト(RMW)系命令における読出し値はビット値にかかわらず "1" です。

## &lt;注意事項&gt;

必ず割込み要求の許可ビット(PCNLn:IREN)を"1"に設定する前に、本ビットをクリアしてください。

## [bit1] PRDH: 周期一致フラグ (上位 8 ビット部)

bit	説明	
	読出し	書込み
0	割込み要求なし	フラグをクリア
1	割込み要求あり	"1" の書込みは動作に影響なし

PTMRH カウンタアンダフローが発生した場合、PRDH フラグが "1" に設定されます。PRDH フラグが "1" になったときと同時に PRDH フラグに "0" を書き込んだ場合には、ハードウェアによる PRDH フラグの設定 (PRDH="1") が優先します。16 ビット動作モード (MOD="0") では、PRDH フラグは意味を持ちません。

リードモディファイライト(RMW)系命令における読出し値はビット値にかかわらず "1" です。

## [bit0] PRDL: 周期一致フラグ (16 ビットまたは下位 8 ビット部)

bit	説明	
	読出し	書込み
0	割込み要求なし	フラグをクリア
1	割込み要求あり	"1" の書込みは動作に影響なし

16 ビット動作モード (PCN:MOD="0") では、16 ビット PTMR カウンタアンダフローによって PRDL フラグが設定されます。PCN:MOD="1" の場合、PRDL フラグは PTMRL アンダフローの結果となります。PRDL

フラグが "1" になったときと同時に PRDL フラグに "0" を書き込んだ場合には、ハードウェアによる PRDL フラグの設定 (PRDL="1") が優先します。

リードモディファイライト(RMW)系命令における読出し値はビット値にかかわらず "1" です。

---

**<注意事項>**

必ず割込み要求の許可ビット(PCNLn:IREN)を"1"に設定する前に、本ビットをクリアしてください。

---

### 3.4. 汎用制御レジスタ 1 (GCN1g)

#### ■ 汎用制御レジスタ 1 (GCN1g)

汎用制御レジスタ 1 (GCN1g) は、4 つの PPG からなる PPG グループへのトリガ入力を選択します。

GCN1Hg								
bit	15	14	13	12	11	10	9	8
	TSEL33	TSEL32	TSEL31	TSEL30	TSEL23	TSEL22	TSEL21	TSEL20
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	1	1	0	0	1	0

GCN1Lg								
bit	7	6	5	4	3	2	1	0
	TSEL13	TSEL12	TSEL11	TSEL10	TSEL03	TSEL02	TSEL01	TSEL00
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	1	0	0	0	0

下記の表で、インデックス "i" は PPG グループ内の PPG チャンネル番号を表します (i=0~3)。

TSELi3	TSELi2	TSELi1	TSELi0	起動トリガ選択
0	0	0	0	EN0 ビット (GCN2 レジスタ)
0	0	0	1	EN1 ビット (GCN2 レジスタ)
0	0	1	0	EN2 ビット (GCN2 レジスタ)
0	0	1	1	EN3 ビット (GCN2 レジスタ)
0	1	0	0	16 ビットリロードタイマ 0 出力
0	1	0	1	16 ビットリロードタイマ 1 出力
0	1	1	0	CTG0 ビット (GCNR レジスタ)
0	1	1	1	CTG1 ビット (GCNR レジスタ)
1	0	0	0	外部トリガ ( $g \times 4 + 0$ )
1	0	0	1	外部トリガ ( $g \times 4 + 1$ )
1	0	1	0	外部トリガ ( $g \times 4 + 2$ )
1	0	1	1	外部トリガ ( $g \times 4 + 3$ )
上記以外				設定禁止

選択された PPG0~PPGn は、トリガ入力エッジ選択ビット (PCNn:EGS[1:0]) で指定されたエッジが、指定された起動トリガで検出されると起動します。

## 3.5. 汎用制御レジスタ 2 (GCN2g)

### ■ 汎用制御レジスタ 2 (GCN2g)

汎用制御レジスタ 2 (GCN2g) は、4 つの PPG からなる PPG グループに対する内部トリガをソフトウェアで発生します。

GCN2Hg								
bit	15	14	13	12	11	10	9	8
	-	-	-	-	CKSEL3	CKSEL2	CKSEL1	CKSEL0
属性	-	-	-	-	R/W	R/W	R/W	R/W
初期値	X	X	X	X	0	0	0	0

GCN2Lg								
bit	7	6	5	4	3	2	1	0
	-	-	-	-	EN3	EN2	EN1	EN0
属性	-	-	-	-	R/W	R/W	R/W	R/W
初期値	X	X	X	X	0	0	0	0

[bit15～bit12] -: 未定義

常に "0" を書き込んでください。これらのビットの読出し値は不定です。これらのビットへのリードモディファイライト(RMW)動作は無効です。

[bit11～bit8] CKSEL3～CKSEL0: プリスケアラ入力選択

bit	説明
0	周辺クロック CLKP1 をプリスケアラに入力
1	リロードタイマをプリスケアラに入力

[bit7～bit4] -: 未定義

常に "0" を書き込んでください。これらのビットの読出し値は不定です。これらのビットへのリードモディファイライト(RMW)動作は無効です。

[bit3～bit0] EN3～EN0: EN トリガ入力

bit	説明
0	レベルを "L" に設定
1	レベルを "H" に設定

内部トリガ (EN0～EN3) のレベルを設定します。

PPGn のトリガ指定ビット (GCN1g:TSEL0[3:0], GCN1g:TSEL1[3:0], GCN1g:TSEL2[3:0], GCN1g:TSEL3[3:0]) によっていずれかの EN トリガ入力 (EN0, EN1, EN2, EN3) が選択されている場合には、選択された EN は PPG トリガ入力ビットとなります。

トリガ入力エッジ選択ビット (EGS[1:0]) で選択された状態がトリガ入力ビット (選択された EN0, EN1, EN2, EN3) を使用してソフトウェアで発生された場合には、PPG を起動するための起動トリガとなります。

## 3.6. 汎用制御レジスタ 3 (GCN3g)

### ■ 汎用制御レジスタ 3 (GCN3g)

汎用制御レジスタ 3 (GCN3g) は、4 つの PPG からなる PPG グループに対してランプモードデューティインクリメント/デクリメント動作のトリガ入力を選択します。7 つのリロードタイマアンダフロー信号のいずれかを選択できます。

GCN3Hg								
bit	15	14	13	12	11	10	9	8
	-	RTG32	RTG31	RTG30	-	RTG22	RTG21	RTG20
属性	-	R/W	R/W	R/W	-	R/W	R/W	R/W
初期値	X	0	0	0	X	0	0	0

GCN3Lg								
bit	7	6	5	4	3	2	1	0
	-	RTG12	RTG11	RTG10	-	RTG02	RTG01	RTG00
属性	-	R/W	R/W	R/W	-	R/W	R/W	R/W
初期値	X	0	0	0	X	0	0	0

[bit15, bit11, bit7, bit3] -: 未定義

常に "0" を書き込んでください。読出し値は不定です。これらのビットへのリードモディファイライト(RMW)動作は無効です。

下記の表で、インデックス "i" は PPG グループ内の PPG チャンネル番号を表します (i=0, 1, 2 または 3)。

[bit14~bit12, bit10~bit8, bit6~bit4, bit2~bit0] RTG32~RTG30, RTG22~RTG20, RTG12~RTG10, RTG02~RTG00: ランプモードデューティインクリメント/デクリメントトリガ選択

RTGi2	RTGi1	RTGi0	説明
0	0	0	リロードタイマ 0 アンダフロー
0	0	1	リロードタイマ 1 アンダフロー
0	1	0	リロードタイマ 2 アンダフロー
0	1	1	リロードタイマ 3 アンダフロー
1	0	0	リロードタイマ 4 アンダフロー
1	0	1	リロードタイマ 5 アンダフロー
1	1	0	リロードタイマ 6 アンダフロー
上記以外			リロードタイマ 6 アンダフロー

### 3.7. 汎用制御レジスタ 4 (GCN4g)

#### ■ 汎用制御レジスタ 4 (GCN4g)

汎用制御レジスタ 4 (GCN4g) は、4 つの PPG からなる PPG グループに対して PPG カウントクロックとして使用可能なリロードタイマを選択します。7 つのリロードタイマアンダフロー信号のいずれかを選択できます。選択されたリロードタイマ入力は、ビット GCN2g:CKSELi が "1" に設定されている場合に限り、PPG カウントクロック (プリスケラ入力) になります。

GCN4Hg								
bit	15	14	13	12	11	10	9	8
	-	RCK32	RCK31	RCK30	-	RCK22	RCK21	RCK20
属性	-	R/W	R/W	R/W	-	R/W	R/W	R/W
初期値	X	1	1	0	X	1	1	0

GCN4Lg								
bit	7	6	5	4	3	2	1	0
	-	RCK12	RCK11	RCK10	-	RCK02	RCK01	RCK00
属性	-	R/W	R/W	R/W	-	R/W	R/W	R/W
初期値	X	1	1	0	X	1	1	0

[bit15, bit11, bit7, bit3] -: 未定義

常に "0" を書き込んでください。読出し値は不定です。これらのビットへのリードモディファイライト(RMW)動作は無効です。

下記の表で、インデックス "i" は PPG グループ内の PPG チャンネル番号を表します (i = 0, 1, 2 または 3)。

[bit14~bit12, bit10~bit8, bit6~bit4, bit2~bit0] RCK32~RCK30, RCK22~RCK20, RCK12~RCK10, RCK02~RCK00: PPG カウントクロックとして使用可能なリロードタイマ選択

RCKi2	RCKi1	RCKi0	説明
0	0	0	リロードタイマ 0 アンダフロー
0	0	1	リロードタイマ 1 アンダフロー
0	1	0	リロードタイマ 2 アンダフロー
0	1	1	リロードタイマ 3 アンダフロー
1	0	0	リロードタイマ 4 アンダフロー
1	0	1	リロードタイマ 5 アンダフロー
1	1	0	リロードタイマ 6 アンダフロー
上記以外			リロードタイマ 6 アンダフロー



## 3.8. 汎用制御レジスタ 5 (GCN5g)

### ■ 汎用制御レジスタ 5 (GCN5g)

汎用制御レジスタ 5 (GCN5g) は、PPG カウントクロックとして使用可能なリロードタイマ入力ファイン遅延 (位相シフト) を取り入れています。位相シフトは、4 つの PPG からなるグループ内で PPG モジュールごとに別々に指定できます。この機能を使用する場合、選択されたリロードタイマを最低 13 の周辺クロック周期 (13 CLKP) のリロード周期値に設定してください。

GCN5Lg								
bit	7	6	5	4	3	2	1	0
	RSH31	RSH30	RSH21	RSH20	RSH11	RSH10	RSH01	RSH00
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

下記の表で、インデックス "i" は PPG グループ内の PPG チャンネル番号を表します (i = 0, 1, 2 または 3)。

[bit7, bit6/bit5, bit4/bit3, bit2/bit1, bit0] RSH31, RSH30/RSH21, RSH20/RSH11, RSH10/  
RSH01, RSH00: PPG カウントクロックとして使用可能なリロードタイマ信号のファイン遅延

RSHi1	RSHi0	説明
0	0	遅延なし
0	1	4 CLKP 周期遅延
1	0	8 CLKP 周期遅延
1	1	12 CLKP 周期遅延

#### <注意事項>

PPG およびリロードタイマ動作中に本設定ビットを変更しないでください。

### 3.9. PPG 周期設定レジスタ (PCSRn)

#### ■ PPG 周期設定レジスタ (PCSRn)

PPG 周期設定レジスタ (PCSRn) は PPG の周期を制御します。8 ビット動作モードでは、PCSRH は PPGB 出力の周期を指定し、PCSRL は PPGA 信号の周期を設定します。

PCSRHn								
bit	15	14	13	12	11	10	9	8
	D15	D14	D13	D12	D11	D10	D9	D8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	X	X	X	X	X	X	X	X

PCSRLn								
bit	7	6	5	4	3	2	1	0
	D7	D6	D5	D4	D3	D2	D1	D0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	X	X	X	X	X	X	X	X

PPG 周期設定レジスタはバッファ付きです。バッファからカウンタへの転送は、自動的にカウンタのボロー発生時に行われます。

PPG 周期設定レジスタの書換え後は、必ず PPG デューティ設定レジスタ (PDUT) の設定を行ってください。

PPG 周期設定レジスタが読み込まれると、バッファ値、すなわち実際の周期設定が読み込まれます。

## 3.10. PPG デューティ設定レジスタ (PDUTn)

### ■ PPG デューティ設定レジスタ (PDUTn)

PPG デューティ設定レジスタ (PDUTn) は、PPG 出力波形のデューティを設定するためのレジスタです。8 ビット動作モードでは、PDUTH は PPGB 出力のデューティを指定し、PDUTL は PPGA 信号のデューティを設定します。

PDUTHn								
bit	15	14	13	12	11	10	9	8
	D15	D14	D13	D12	D11	D10	D9	D8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	X	X	X	X	X	X	X	X

PDUTLn								
bit	7	6	5	4	3	2	1	0
	D7	D6	D5	D4	D3	D2	D1	D0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	X	X	X	X	X	X	X	X

PPG デューティ設定レジスタはバッファ付きです。バッファからカウンタへの転送は、自動的にカウンタのボロー発生時に行われます。PPG デューティ設定レジスタが読み込まれると、バッファ値、すなわち実際のデューティ設定が読み込まれます。

PPG デューティ設定レジスタには、PPG 周期設定レジスタ (PCSR) に設定した値よりも小さな値を設定してください。

PPG デューティ設定レジスタに PPG 周期設定レジスタと同じ値を設定後、次のようになります。

- ・ 通常極性 (OSEL=0) の場合には、常に "H" が出力されます。
  - ・ 反転極性 (OSEL=1) の場合には、常に "L" が出力されます。
- (OSEL ビットは PPG 制御レジスタ (PCN) の出力極性指定ビットです。この動作は PWM 動作モードのみ適用されます。)

## 3.11. PPG タイマレジスタ (PTMRn)

### ■ PPG タイマレジスタ (PTMRn)

PPG タイマレジスタ (PTMRn) には PPGn のカウント値が読み出されます。8 ビット動作モードでは、PTMRH は PPGB 出力専用の PPG カウンタを指定し、PTMRL は PPGA 信号専用の PPG カウンタを反映します。

PTMRHn								
bit	15	14	13	12	11	10	9	8
	D15	D14	D13	D12	D11	D10	D9	D8
属性	R	R	R	R	R	R	R	R
初期値	1	1	1	1	1	1	1	1

PTMRLn								
bit	7	6	5	4	3	2	1	0
	D7	D6	D5	D4	D3	D2	D1	D0
属性	R	R	R	R	R	R	R	R
初期値	1	1	1	1	1	1	1	1

16 ビットダウンカウンタのカウント値を読み出すことができます。

## 3.12. PPG スタートディレイレジスタ (PSDRn)

### ■ PPG スタートディレイレジスタ (PSDRn)

PPG スタートディレイレジスタ (PSDRn) は、EPCN1:STRD ビットが "1" に設定されている場合に、PPG カウンタクロックの PSDR+1 周期分、PWM 出力生成の遅延を制御します。フルレンジモードでは、PWM 出力遅延は PSDR PPG カウント周期です。8 ビット動作モードでは、PSDRH は PPGB 出力の遅延を指定し、PSDRL は PPGA 信号の遅延を設定します。

PSDRHn								
bit	15	14	13	12	11	10	9	8
	D15	D14	D13	D12	D11	D10	D9	D8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

PSDRLn								
bit	7	6	5	4	3	2	1	0
	D7	D6	D5	D4	D3	D2	D1	D0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

PSDR 値は PPG モジュール動作が禁止されている間 (PCN:CNTD="0" の場合) に設定してください。フルレンジモードでスタートディレイを使用する場合(EPCN1:STRD="1")は、スタートディレイレジスタには h'0000 以外を設定してください。スタートディレイを使用しない場合は、スタートディレイモードを禁止(EPCN1:STRD="0")に設定してください。

### 3.13. PPG タイミングポイントキャプチャレジスタ (PTPCn)

#### ■ PPG タイミングポイントキャプチャレジスタ (PTPCn)

PPG タイミングポイントキャプチャレジスタ (PTPCn) は、該当する制御ビット EPCN1:TPCH/TPCL が "1" に設定されている場合に、割込み要求または ADC トリガを発生するようキャプチャできる PWM 周期内のタイミングポイントを設定します。8 ビット動作モードでは、PTPCH は PPGB 出力のタイミングポイントを指定し、PTPCL は PPGA 信号のタイミングポイントを設定します。

PTPCHn								
bit	15	14	13	12	11	10	9	8
	D15	D14	D13	D12	D11	D10	D9	D8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

PTPCLn								
bit	7	6	5	4	3	2	1	0
	D7	D6	D5	D4	D3	D2	D1	D0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

## 3.14. PPG エンドデューティレジスタ (PEDRn)

### ■ PPG エンドデューティレジスタ (PEDRn)

PPG エンドデューティレジスタ (PEDRn) は、ランプ動作モードで (EPCN1:RAMPH/RAMPL="1" の場合に) PWM デューティランプのエンドポイントを設定します。8 ビット動作モードでは、PEDRH は PPGB 出力のエンドデューティを指定し、PEDRL は PPGA 信号のエンドデューティを設定します。

PEDRHn								
bit	15	14	13	12	11	10	9	8
	D15	D14	D13	D12	D11	D10	D9	D8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

PEDRLn								
bit	7	6	5	4	3	2	1	0
	D7	D6	D5	D4	D3	D2	D1	D0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

ランプモードでは、PWM デューティはリロードタイマアンダフローパルスが発生するたびにインクリメント (EPCN1:RIDH/RIDL="0" の場合) またはデクリメント (EPCN1:RIDH/RIDL="1" の場合) されます。PWM 出力波形は PDUT レジスタで指定されたデューティから始まり、デューティ値はエンドデューティに達するまでインクリメント/デクリメントされます。

## 3.15. 汎用制御レジスタ (GCNR)

### ■ 汎用制御レジスタ (GCNR)

汎用制御レジスタ (GCNR) は、すべての PPG モジュールの共通レジスタとして使用できます。CTG0 ビットと CTG1 ビットは PPG モジュールコモントリガとして使用できます。

GCNR								
bit	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	CTG1	CTG0
属性	-	-	-	-	-	-	R/W	R/W
初期値	X	X	X	X	X	X	0	0

[bit7～bit2] -: 未定義

常に "0" を書き込んでください。読出し値は不定です。これらのビットへのリードモディファイライト(RMW)動作は無効です。

[bit1, bit0] CTG1/0: コモントリガ入力

bit	説明
0	レベルを "L" に設定
1	レベルを "H" に設定

コモントリガ CTG0 と CTG1 のレベルを設定します。

PPG のトリガ指定ビット (GCN1g:TSEL0[3:0], GCN1g:TSEL1[3:0], GCN1g:TSEL2[3:0], GCN1g:TSEL3[3:0]) によっていずれかの CTG トリガ入力 (CTG0, CTG1) が選択されている場合には、選択された CTG は PPG トリガ入力ビットとなります。

トリガ入力エッジ選択ビット (EGS[1:0]) で選択された状態がコモントリガビット (選択された CTG0, CTG1) を使用してソフトウェアで発生された場合には、PPG を起動するための起動トリガとなります。

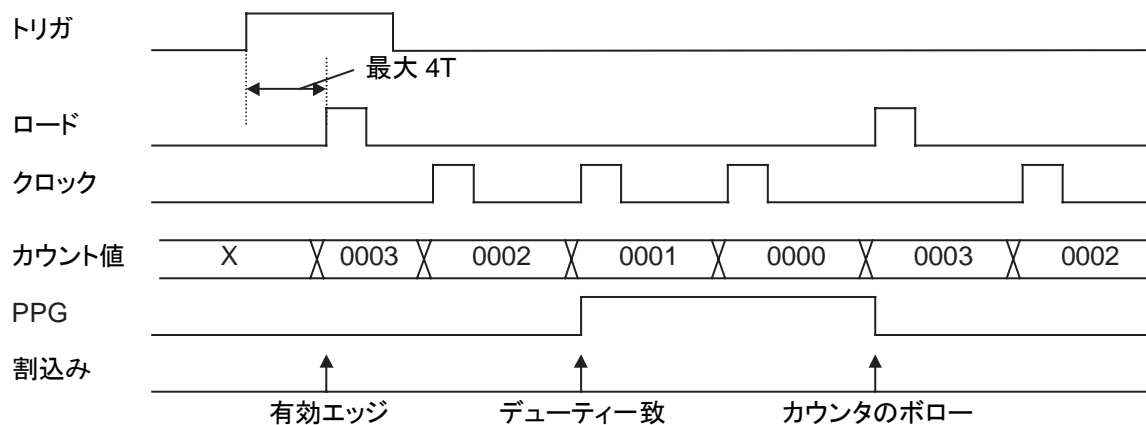


## 4. 使用上の注意

PPG を使用するときの注意事項を説明します。

### ■ 使用上の注意

- ・ 割込み要求フラグ (PCN:IRQF) が "1" になったときと同時に割込み要求フラグを "0" に設定すると、割込み要求フラグへの "1" の設定が、フラグクリア要求より優先されます。
- ・ 最初のロードは起動トリガの後、最大 4T 遅延します。(T: カウントクロック) ダウンカウンタへのロードとカウントが同時に発生した場合には、ロード操作が優先されます。



- ・ デューティ値 (PDUT) は周期値 (PCSR) 以下でなければなりません。PCSR より大きな値を設定した場合には、デューティ値を小さな値に書き換える前に PPG の動作を禁止してください。
- ・ PPG を起動するには、起動よりも前または同時にタイマ動作許可ビット (PCN:CNTE) に "1" を設定する必要があります。
- ・ PPG の動作中には、モード値 (MDSE), 再起動許可 (RTRG), カウントクロック (CKS1, CKS0), トリガ入力エッジ (EGS[1:0]), 割込み要因 (IRS), 内部トリガ (TSEL), 出力極性指定 (OSEL) は変更しないでください。PPG の動作中にこれらの値を変更した場合には、レジスタをリロードする前に PPG の動作を禁止してください。
- ・ GCN2 に値を書き込む場合は、上位 4 ビットの未定義部には "0" を書き込んでください。"1" を書き込んだ場合には、レジスタをリロードする前に PPG の動作を禁止してください。
- ・ 起動トリガ選択ビット (TSEL0[3:0]), (TSEL1[3:0]), (TSEL2[3:0]), (TSEL3[3:0]) に指定範囲外 (1100~1111) の値を設定した場合は、レジスタを正常化するには PPG の動作を禁止した後に指定範囲内の値を書き込んでください。
- ・ PPG の動作中にタイマ動作許可ビット (PCN:CNTE) に "0" を設定して PPGn を禁止した場合には PPG はカウントの状態を維持したまま停止します。出力レベルは CLKP1 の 3 サイクル後、OSEL ビットで指定したレベルに設定されます (PCNLn:OSEL ビットの初期値は "0" です)。その後、タイマ動作許可ビット (PCN:CNTE) を "1" に設定して PPG の動作を許可し、起動トリガが発生すると、周期 (PCSR) とデューティ (PDUT) がそれぞれリロードされ、動作を再開します。
- ・ ワンショット動作は 16 ビットモードでスタートディレイを禁止にした状態でのみ使用可能です。
- ・ ワンショット波形モードで動作させたときに「周期=デューティ」に設定すると、出力される H パルス幅は、 $(\text{周期レジスタの設定値} + 2) \times \text{CLKP1}$  となります。

- ・ タイマ動作許可ビット(PCN:CNTE) に"0"を設定して、PPG を禁止した場合には、PPG 出力が停止するまで、CLKP1 で 3 クロックかかります。
- ・ デューティ一致よりも後に PGMS を"1"から"0"にした場合は、次の周期から設定されたデューティでパルス出力されます。
- ・ 周期値(PCSR)、デューティ値(PDUT)の書込みは、必ず、(1)PCSR、(2)PDUT の順で書き込んでください。周期値(PCSR)、デューティ値(PDUT)の書換え時の注意事項を次に示します。
  - ① 周期値(PCSR)、デューティ値(PDUT)は、デューティ値(PDUT)書込みを契機にバッファに取り込まれ、起動トリガまたはボロー発生時にバッファからカウンタへ転送されます。
  - ② PPG 動作中に、周期値(PCSR)またはデューティ値(PDUT)を書き換えたときの出力波形への反映は、デューティ値(PDUT)書換え後の次の周期からとなります。
  - ③ 周期値(PCSR)のみ書き換えたい場合でも、(1)PCSR、(2)PDUT の順で、デューティ値(PDUT)を同一値として、再設定し直す必要があります。
  - ④ デューティ値(PDUT)は、任意に書き換えることができます。
- ・ PPG 出力マスク中(PCN:PGMS="1")は、以下となります。

デューティ一致による割込み要因により、割込みフラグが"1"にセットされることはありません。  
カウンタのボロー発生による割込み要因により、割込みフラグは"1"にセットされます。  
トリガによる割込み要因により割込みフラグは"1"にセットされます。



# Chapter 15: クアッドカウンタ



---

クアッドカウンタ (Quadrature Position/Revolution Counter) の機能と動作について説明します。

---

1. 概要
2. 構成
3. 動作説明
4. レジスタ

---

管理コード : FX13-J02.5

---

## 1. 概要

クアッドカウンタはポジションエンコーダの位置を測定するために使います。また、設定によりアップダウンカウンタとして使用できます。クアッドカウンタは、16 ビット位置カウンタ、16 ビット回転カウンタ、2 つの 16 ビット比較レジスタ、制御レジスタとその制御回路を搭載しています。

### ■ クアッドカウンタの特徴

- 位置カウンタは次の 3 カウントモードからモード選択可能

- ・ PC\_Mode1: アップダウンカウントモード
- ・ PC\_Mode2: 位相差カウントモード(2 通倍モード& 4 通倍モード対応)
- ・ PC\_Mode3: 方向付きカウントモード

- 回転カウンタは次の 3 カウントモードからモード選択可能

- ・ RC\_Mode1: 回転カウンタは ZIN のアクティブエッジでのみカウントアップ/カウントダウン可能
- ・ RC\_Mode2: 回転カウンタは位置カウンタ出力値でのみカウントアップ/カウントダウン可能
- ・ RC\_Mode3: 回転カウンタは位置カウンタ出力値と ZIN のアクティブエッジの両方でカウントアップ/カウントダウン可能

- 3 つの外部端子 AIN, BIN, ZIN からの入力イベントを検出するエッジを選択可能

- ・ 立下りエッジ検出
- ・ 立上りエッジ検出
- ・ 立上りと立下りの両エッジ検出

- ZIN 端子入力用に 2 つの機能が選択可能

- ・ カウンタクリア機能
- ・ ゲート機能

- 以下の場合の割込み要求を発生可能

- ・ 位置カウンタと位置比較レジスタの値が一致
- ・ 位置カウンタと位置&回転比較レジスタの値が一致、あるいは回転カウンタと位置&回転比較レジスタの値が一致
- ・ 位置カウンタのアンダフロー
- ・ 位置カウンタのオーバフロー(位置カウンタと最大位置レジスタ値が一致)
- ・ ZIN のアクティブエッジによる位置カウンタのリセット
- ・ 位置カウンタのカウント反転
- ・ 位置カウンタと位置比較レジスタが一致、かつ回転カウンタと位置&回転比較レジスタが一致
- ・ 回転カウンタの範囲外検出

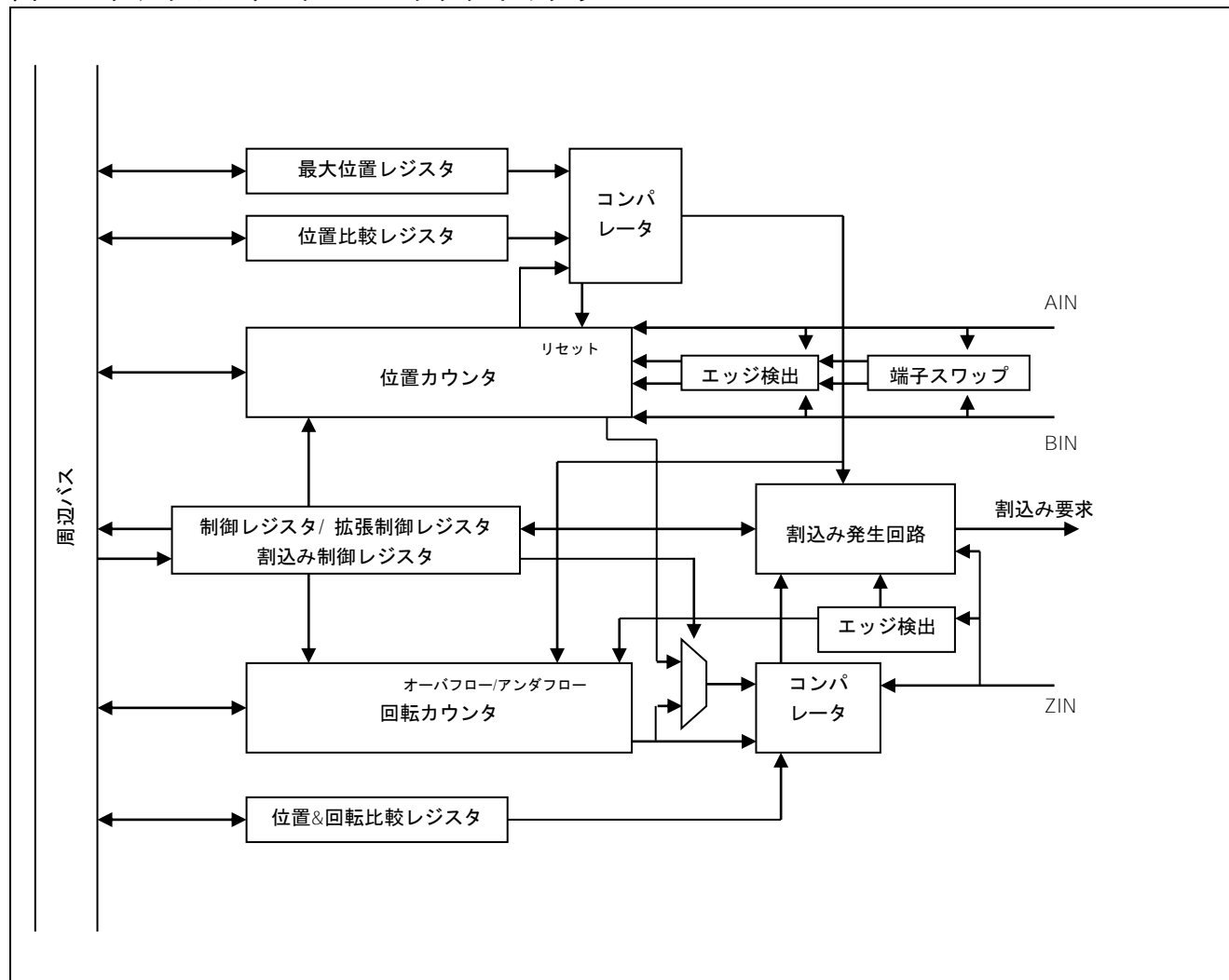
- カウンタ使用時に便利な以下の機能を搭載

- ・ 外部端子 AIN, BIN のスワップ機能
- ・ 位置カウンタのリセットマスク機能
- ・ 位置カウンタの動作時やオーバフロー/アンダフロー発生時のカウント方向確認機能

## 2. 構成

クアッドカウンタの構成を示します。

図 2-1 クアッドカウンタのブロックダイアグラム



### 3. 動作説明

クアッドカウンタの動作について説明します。

#### ■ 位置カウンタの動作

外部端子 AIN, BIN の入力信号による各種イベントをカウント用クロックとしてカウントアップ/カウントダウンします。表 3-1 に示すように、位置カウンタは、制御レジスタの位置カウンタモードビット(QCR:PCM[1:0]) 設定でカウントモードを選択できます。それぞれのカウントモードでカウントする条件が異なります。

位置カウンタは、以下の ZIN 条件でのみカウントアップ/カウントダウンします。

- ZIN の機能がカウントクリア機能(QCR:CGSC="0") の場合
- ZIN の機能がゲート機能(QCR:CGSC="1") で、ZIN の "L" レベル検出(QCR:CGE[1:0]="01") に設定し、ZIN が "L" レベルの場合
- ZIN の機能がゲート機能(QCR:CGSC="1") で、ZIN の "H" レベル検出(QCR:CGE[1:0]="10") に設定し、ZIN が "H" レベルの場合

ZIN の機能をゲート機能(QCR:CGSC="1") にし、ZIN の High または Low レベル以外(QCR:CGE[1:0]="00" or "11") に設定した場合、位置カウンタはカウントアップ/カウントダウンしません。

また、制御レジスタの SWAP ビットで信号 AIN と BIN の構成をスワッピング設定した場合、AIN, BIN 端子を入れ替えて位置カウンタをカウントアップ/カウントダウンします。

例えば、PC\_Mode1(QCR:PCM[1:0]="01") のとき、AES[1:0]="10"(立上りエッジ), BES[1:0]="01"(立下りエッジ) に設定した場合は下記のとおりです。

- QCR:SWAP="0" のとき、AIN の立上りエッジを検出した場合、位置カウンタをカウントアップ、BIN の立下りエッジを検出した場合、位置カウンタをカウントダウンします。
- QCR:SWAP="1" のとき、AIN の立下りエッジで位置カウンタをカウントダウン、BIN の立上りエッジで位置カウンタをカウントアップします。

表 3-1 AIN と BIN の位置カウンタのカウント条件

位置カウントモード(PC_MODE)	AIN カウント条件	BIN カウント条件
カウントディセーブル PC_Mode0:QCR:PCM[1:0]="00"	位置カウンタ ディセーブル	位置カウンタ ディセーブル
アップダウンカウント PC_Mode1: QCR:PCM[1:0]="01"	AIN アクティブエッジ	BIN アクティブエッジ
位相差カウント PC_Mode2:QCR:PCM[1:0]="10"	AIN アクティブエッジ or High/Low レベル	High/Low レベル or BIN アクティブエッジ
カウント方向 PC_Mode3:QCR:PCM[1:0]="11"	High/Low レベル	BIN アクティブエッジ

#### <注意事項>

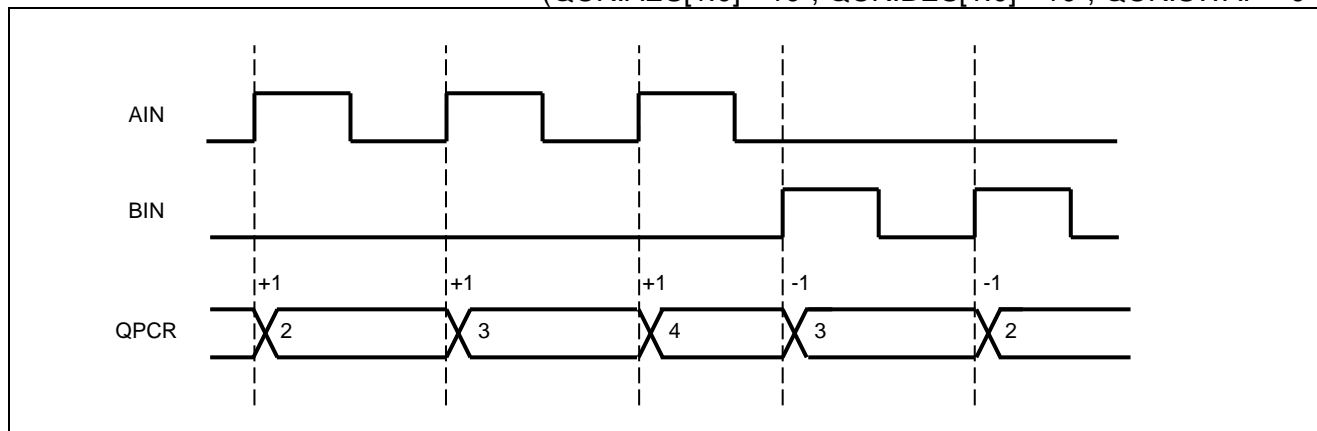
AIN のアクティブエッジと BIN のアクティブエッジとは、AIN 検出エッジ選択ビット(QCR:AES[1:0]="01" or "10" or "11")、あるいは BIN 検出エッジ選択ビット(QCR:BES[1:0]="01" or "10" or "11") でそれぞれ選択した立上り、立下り、両エッジのいずれかのエッジのことを意味します。

### ● PC\_Mode1: アップダウンカウントモード

- 外部端子 AIN, BIN から入力される外部信号をカウント用クロックとして、位置カウンタをカウントアップ/カウントダウンします。
- このモードでは、AIN のアクティブエッジが検出されると位置カウンタをカウントアップします。BIN のアクティブエッジが検出されると位置カウンタをカウントダウンします。

図 3-1 アップダウンカウントモード動作

(QCR:AES[1:0]="10", QCR:BES[1:0]="10", QCR:SWAP="0")



### ● PC\_Mode2: 位相差カウントモード(4 通倍モード/2 通倍モード対応)

- "エンコーダ出力信号"の A 相と B 相の位相差をカウントする際に適しています。A 相, B 相の出力を AIN 端子, BIN 端子にそれぞれ接続することで、A 相の方が B 相より進んでいる場合はカウントアップ、遅れている場合はカウントダウンします。
- このモードでは、AIN 信号のアクティブエッジが検出されたときに BIN のレベルを確認して位置カウンタがカウントします。またその逆によっても位置カウンタがカウントします。
- 制御レジスタ(QCR) の AES ビットと BES ビットの設定をすることで 4 通倍モードや 2 通倍モードでカウントできます。通倍モードによるカウントは、カウント分解能が高くて細かな位置測定が可能です。

表 3-2 通倍モードの AES ビットと BES ビットの設定

通倍モード	AES[1:0]設定	BES[1:0]設定
1 通倍モード	01	00
	10	00
	00	01
	00	10
2 通倍モード	11	00
	00	11
4 通倍モード	11	11



表 3-3 2 通倍位相差カウントモードのカウント方法

(QCR:AES[1:0]="00", QCR:BES[1:0]="11", QCR:SWAP="0")

エッジ検出端子	検出エッジ	レベル確認端子	入力レベル	カウント方向	図 3-2 タイミング
BIN	立上り	AIN	High	Up	(1)
	立上り		Low	Down	(2)
	立下り		High	Down	(3)
	立下り		Low	Up	(4)

図 3-2 2 通倍位相差カウントモード動作

(QCR:AES[1:0]="00", QCR:BES[1:0]="11", QCR:SWAP="0")

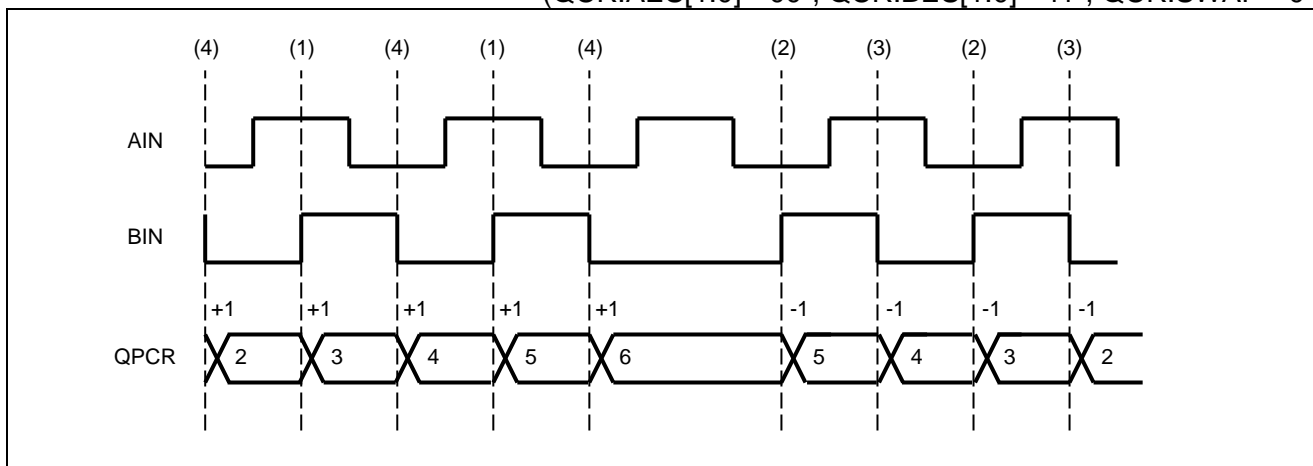


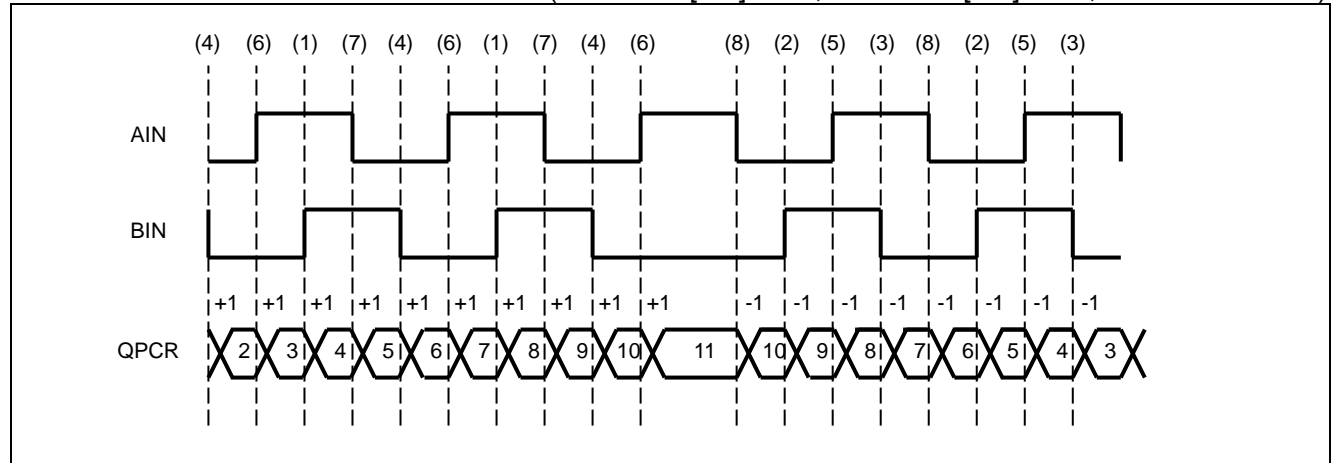
表 3-4 4 通倍位相差カウントモードのカウント方法

(QCR:AES[1:0]="11", QCR:BES[1:0]="11")

エッジ検出端子	検出エッジ	レベル確認端子	入力レベル	カウント方向	図 3-3 タイミング
BIN	立上り	AIN	High	Up	(1)
	立上り		Low	Down	(2)
	立下り		High	Down	(3)
	立下り		Low	Up	(4)
AIN	立上り	BIN	High	Down	(5)
	立上り		Low	Up	(6)
	立下り		High	Up	(7)
	立下り		Low	Down	(8)

図 3-3 4 通倍位相差カウントモード動作

(QCR:AES[1:0]="11", QCR:BES[1:0]="11", QCR:SWAP="0")



### ● PC\_Mode3: 方向付きカウントモード

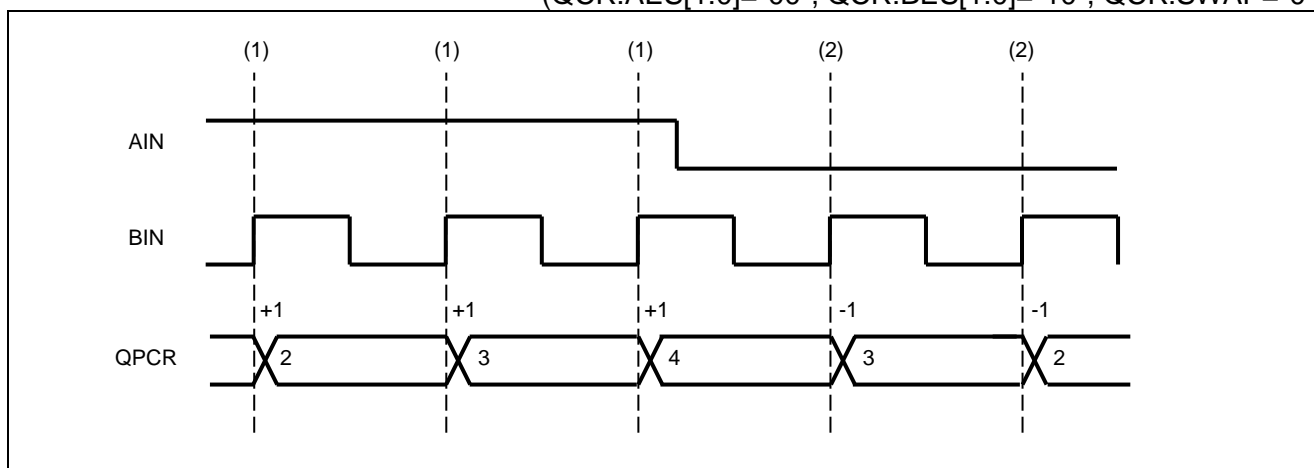
- 外部端子 BIN から入力される信号をカウント用クロックに、外部端子 AIN からの入力レベルをカウント方向制御に用いてカウントアップ/カウントダウンします。
- このモードでは、BIN のアクティブエッジが検出されたときに AIN のレベルを確認して位置カウンタをカウントアップ/カウントダウンします。アクティブエッジは、立上りエッジ、立下りエッジあるいは両エッジに選択できます。

表 3-5 方向付きカウントモードのカウント方法

エッジ検出端子	検出エッジ	レベル確認端子	入力レベル	カウント方向	図 3-4 タイミング
BIN	アクティブエッジ	AIN	High	Up	(1)
	アクティブエッジ		Low	Down	(2)

図 3-4 方向付きカウントモード動作

(QCR:AES[1:0]="00", QCR:BES[1:0]="10", QCR:SWAP="0")



## ■ 回転カウンタの動作

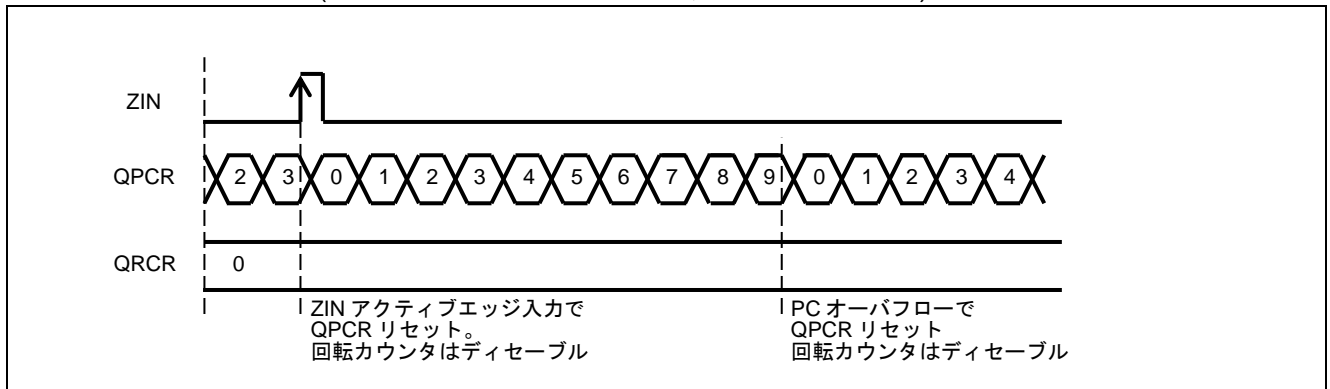
回転カウンタは、カウンタクリア機能を設定した ZIN 端子の入力か、位置カウンタの出力(アンダフロー/オーバフロー) によりカウント動作します。ZIN のアクティブエッジは、立上りエッジ, 立下りエッジあるいは両エッジを選択できます。

回転カウンタのカウント条件は、以下のとおり各モードにより異なります。

### ● RC\_Mode0 (QCR:RCM[1:0]="00")

- 回転カウンタはディセーブルです。
- ZIN をカウンタクリア機能(QCR:CGSC="0") として使用するときの ZIN のアクティブエッジや位置カウンタオーバフローで位置カウンタをリセットします。

図 3-5 RC\_Mode0 動作(最大位置レジスタ QMPR=9, QCR:CGSC="0")



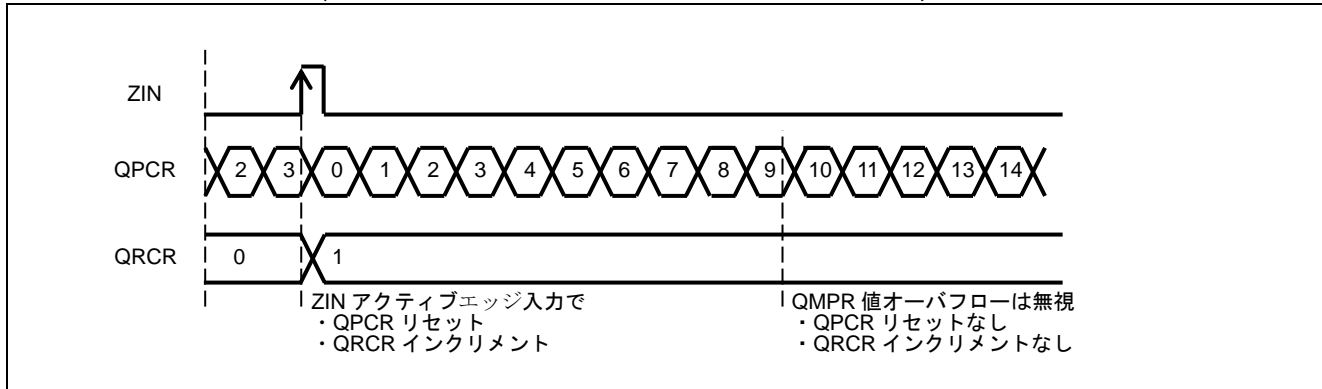
QPCR: クアッドカウンタ位置カウントレジスタ

QRCR: クアッドカウンタ回転カウントレジスタ

### ● RC\_Mode1 (QCR:RCM[1:0]="01")

- 回転カウンタはZIN をカウンタクリア機能(QCR:CGSC="0") として使用するときの ZIN のアクティブエッジでのみ動作します(位置カウンタからの入力は無視されます)。
- 位置カウンタがインクリメント方向(QICR:DIRPC="0") で ZIN のアクティブエッジを検出すれば、回転カウンタはカウントアップします。位置カウンタがデクリメント方向(QICR:DIRPC="1") で ZIN のアクティブエッジを検出すれば、回転カウンタはカウントダウンします。
- ZIN がカウンタクリア機能(QCR:CGSC="0") として使用するときの ZIN のアクティブエッジでのみ位置カウンタをリセットします。
- 位置カウンタのオーバフローを検出しても位置カウンタはリセットされません。位置カウンタのオーバフローを検出した場合、位置カウンタはカウントアップし、オーバフローフラグ(QICR:OFDF) に"1"を設定します。

図 3-6 RC\_Mode1 動作(最大位置レジスタ QMPR=9, QCR:CGSC="0")



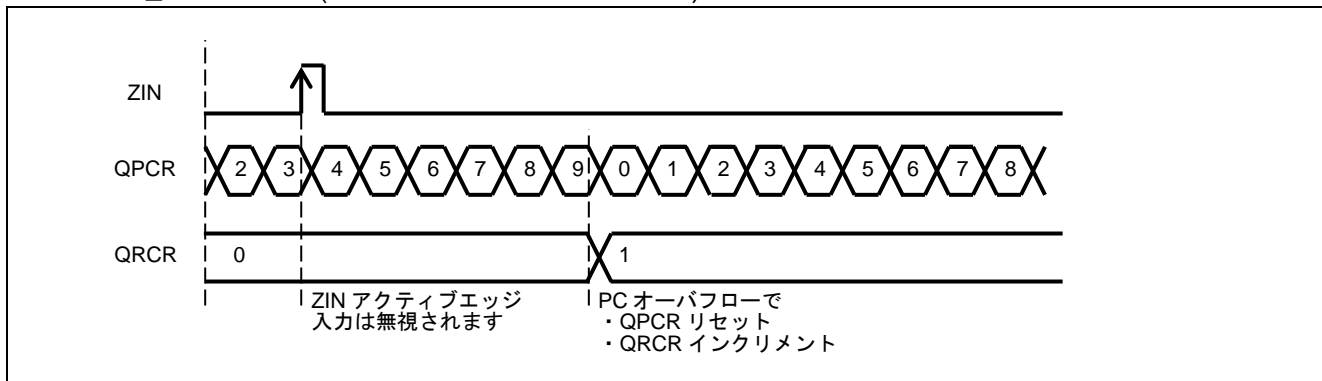
### <注意事項>

- ・ 位置カウンタがインクリメント方向(QICR:DIRPC="0") で ZIN の有効エッジと位置カウンタをカウントダウンする有効エッジが同時に検出された場合、回転カウンタはカウントダウンします。
- ・ 位置カウンタがデクリメント方向(QICR:DIRPC="1") で ZIN の有効エッジと位置カウンタをカウントアップする有効エッジが同時に検出された場合、回転カウンタはカウントアップします。
- ・ ZIN の有効エッジ, AIN の有効エッジ, BIN の有効エッジが同時に検出された場合、回転カウンタは、位置カウンタ最終方向ビット(QICR:DIRPC) にしたがってカウントアップまたはカウントダウンします。

### ● RC\_Mode2 (QCR:RCM[1:0]="10")

- ・ 回転カウンタは、位置カウンタの出力値でのみカウントアップ/カウントダウンします。
- ・ 位置カウンタのオーバーフローの検出でのみ位置カウンタをリセットします(ZIN のイベントは無視されます)。
- ・ 3 つの位置カウンタモード(PC\_Mode1, PC\_Mode2, PC\_Mode3) で、位置カウンタのオーバーフローを検出した場合、回転カウンタをカウントアップします。位置カウンタのアンダフローを検出した場合、回転カウンタをカウントダウンします。

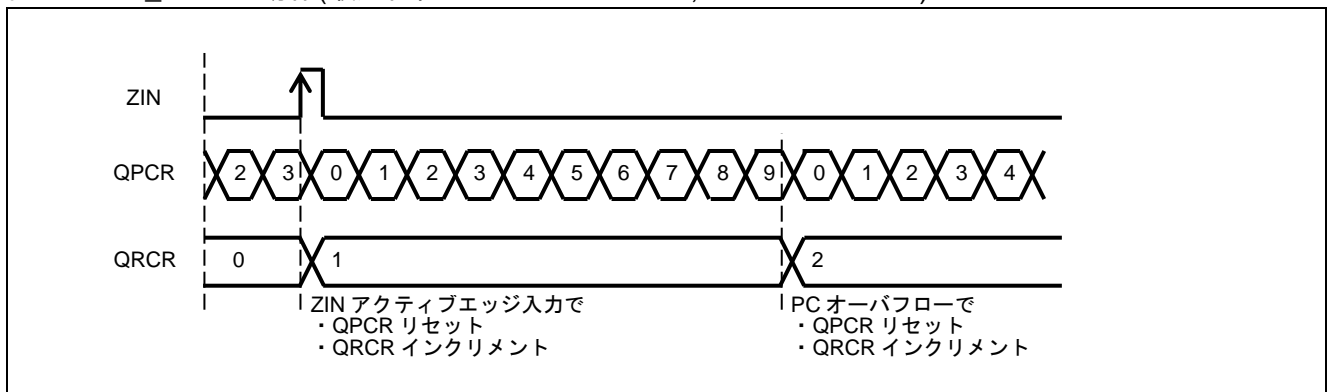
図 3-7 RC\_Mode2 動作(最大位置レジスタ QMPR=9)



### ● RC\_Mode3 (QCR:RCM[1:0]="11")

- このモードでは、回転カウンタは位置カウンタの出力値と、ZIN をカウンタクリア機能(QCR:CGSC="0")として使用するときのZINのアクティブエッジの両方で回転カウンタをカウントアップ/カウントダウンします。
- 位置カウンタがインクリメント方向(QICR:DIRPC="0")でZINのアクティブエッジを検出するか、あるいは位置カウンタのオーバフローを検出したら、回転カウンタをカウントアップします。
- 位置カウンタがデクリメント方向(QICR:DIRPC="1")でZINのアクティブエッジを検出するか、あるいは位置カウンタのアンダフローを検出したら、回転カウンタをカウントダウンします。
- ZINがカウンタクリア機能(QCR:CGSC="0")として使用しているときのZINのアクティブエッジや、位置カウンタのオーバフローの検出で位置カウンタをリセットします。

図 3-8 RC\_Mode3 動作(最大位置レジスタ QMPR=9, QCR:CGSC="0")



### <注意事項>

- 位置カウンタがインクリメント方向(QICR:DIRPC="0")でZINの有効エッジと位置カウンタをカウントダウンする有効エッジが同時に検出された場合、回転カウンタはカウントダウンします。
- 位置カウンタがデクリメント方向(QICR:DIRPC="1")でZINの有効エッジと位置カウンタをカウントアップする有効エッジが同時に検出された場合、回転カウンタはカウントアップします。
- ZINの有効エッジ, AINの有効エッジ, BINの有効エッジが同時に検出された場合、回転カウンタは、位置カウンタ最終方向ビット(QICR:DIRPC)にしたがってカウントアップまたはカウントダウンします。

### ■ 位置の絶対値

RC\_Mode2, 3(位置カウンタ出力で回転カウンタが動作)の場合に、位置の絶対値を下記に示します。

位置カウンタレジスタ(QPCR) + 回転カウンタレジスタ(QRCR) × (最大位置レジスタ(QMPR) + 1)

例: 時間測定例

回転カウンタが"時(hour)"をカウント、位置カウンタが"分(min)"をカウント。

QMPR="59", QPCR="20", QRCR="5"のとき

$$\text{Time} = 20 + 5 \times (59 + 1)$$

$$= 320 \text{ min} \quad \dots \quad \text{位置カウンタ単位(分)での絶対値}$$

## ■ クアッドカウンタの割込み

クアッドカウンタの割込み要求が発生する条件を表に示します。

表 3-6 クアッドカウンタの割込み要求発生条件

割込み要求	割込み要求フラグ	割込み要求許可	割込み要求のクリア
カウント反転 割込み要求	QICR :CDCF="1"	QICR: CDCIE="1"	QICR:CDCF に"0" 書込み
ゼロインデックス 割込み要求	QICR: ZIIF="1"	QICR: OUZIE="1"	QICR:ZIIF に"0" 書込み
オーバフロー 割込み要求	QICR: OFDF="1"		QICR:OFDF に"0" 書込み
アンダフロー 割込み要求	QICR: UFDF="1"		QICR:UFDF に"0" 書込み
PC&RC 一致 割込み要求	QICR: QPRCMF="1"	QICR: QPRCMIE="1"	QICR:QPRCMF に "0"書込み
PC 一致割込み要求	QICR: QPCMF="1"	QICR: QPCMIE="1"	QICR:QPCMF に "0"書込み
PC 一致&RC 一致 割込み要求	QICR: QPCNRCMF="1"	QICR: QPCNRCMIE="1"	QICR:QPCNRCMF に "0"書込み
範囲外割込み要求	QECCR: ORNGF="1"	QICR: ORNGIE="1"	QECCR:QRNGF に "0"書込み

QICR：クアッドカウンタ割込み制御レジスタ

QECCR：クアッドカウンタ拡張制御レジスタ

## ■ カウンタ最大位置レジスタ(QMPR) の割込み動作例

クアッドカウンタ最大位置レジスタ(QMPR) は、位置カウンタのオーバフローの検出や位置カウンタのアンダフローを検出したときの位置カウンタへのリロードデータとして使用されます。

以下のように回転カウンタのモード設定により、位置カウンタとクアッドカウンタ最大位置レジスタ(QMPR) が一致した場合の動作が異なります。

- RC\_Mode0(QCR:RCM[1:0]="00"), RC\_Mode2(QCR:RCM[1:0]="10") または RC\_Mode3(QCR:RCM[1:0]="11") で位置カウンタをカウントアップの場合、オーバフローフラグ(QICR:OFDF) を"1"にし、位置カウンタをリセットします。
- RC\_Mode1(QCR:RCM[1:0]="01") で位置カウンタをカウントアップの場合、オーバフローフラグ(QICR:OFDF) を"1"にしますが、位置カウンタはリセットされずにカウントアップします。

以下に RC\_Mode2(QCR:RCM[1:0]="10") 時のカウンタ最大位置レジスタ(QMPR) を使用した動作例を示します。

カウントアップ時:

位置カウンタで最大値から"0x0000"へオーバフローが発生することで、回転カウンタをカウントアップします。そのときオーバフローフラグ(QICRL:OFDF) が"1"に設定されます。

例: 最大位置レジスタ(QMPR) 設定: 18

位置カウンタ	15	16	17	18	0	1	2
回転カウンタ	1	1	1	1	2	2	2

カウントダウン時:

"0x0000"からのアンダフローを検出して、クアッドカウンタ最大位置カウンタレジスタ(QMPR) の値が位置カウンタにリロードされることで、回転カウンタをカウントダウンします。そのときアンダフローフラグ(QICRL:UFDF) が"1"に設定されます。

例: 最大位置レジスタ(QMPR) 設定: 5

位置カウンタ	4	3	2	1	0	5	4	3	2	1	0	5
回転カウンタ	1	1	1	1	1	0	0	0	0	0	0	0xFFFF

### <注意事項>

位置カウンタのカウント方向は外部入力 AIN, BIN にのみ依存します。



## ■ 位置カウンタリセットマスク機能

位置カウンタリセットマスク機能は、RC\_Mode0(QCR:RCM[1:0]="00") または RC\_Mode3(QCR:RCM[1:0]="11") 時のみ使用可能です。また、この機能は、位置カウンタモード(PC\_Mode1, PC\_Mode2, PC\_Mode3) の設定とは関係なく動作します。

位置カウンタリセットマスク機能は、以下の順で動作します。

1. ZIN のアクティブイベント、位置カウンタのオーバフロー検出、または位置カウンタのアンダフロー検出が発生した場合、マスクカウンタ\*に位置カウンタリセットマスクビット(QCR:PCRM[1:0]) の設定にしたがった値が設定されます。
2. 位置カウンタが同一方向でカウントアップ/カウントダウンが行われるとマスクカウンタ\*をカウントダウンします。  
マスクカウンタ\*が"0x0"になるまで位置カウンタをリセットしません。また回転カウンタをカウントアップ/カウントダウンしません。  
位置カウンタのカウント反転が検出されるとマスクカウンタ\*は"0x0"になります。
3. マスクカウンタ\*が"0x0"になると ZIN のアクティブエッジの検出または位置カウンタのオーバフロー検出で位置カウンタは"0x0000"になります。

\*:位置カウンタのリセットと回転カウンタのカウントアップ/カウントダウンをマスクする回数をカウントします。このカウンタが"0x0"になるまでマスクします。

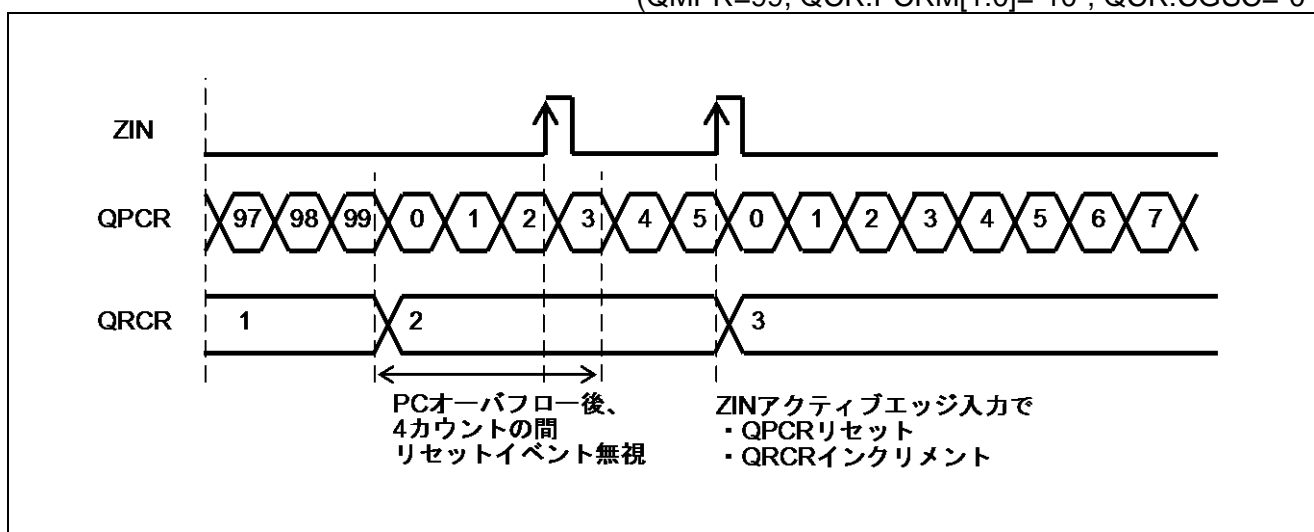
以下に RC\_Mode3(QCR:RCM[1:0]="11") 時の位置カウンタリセットマスク機能を使用した動作例を示します。

例 1:

位置カウンタのオーバフロー発生後に続く位置カウンタ 4 カウントの間(QPCR=0~3)、ZIN のアクティブエッジを無視します。

図 3-9 位置カウンタリセットマスク動作例 1

(QMPR=99, QCR:PCRM[1:0]="10", QCR:CGSC="0")

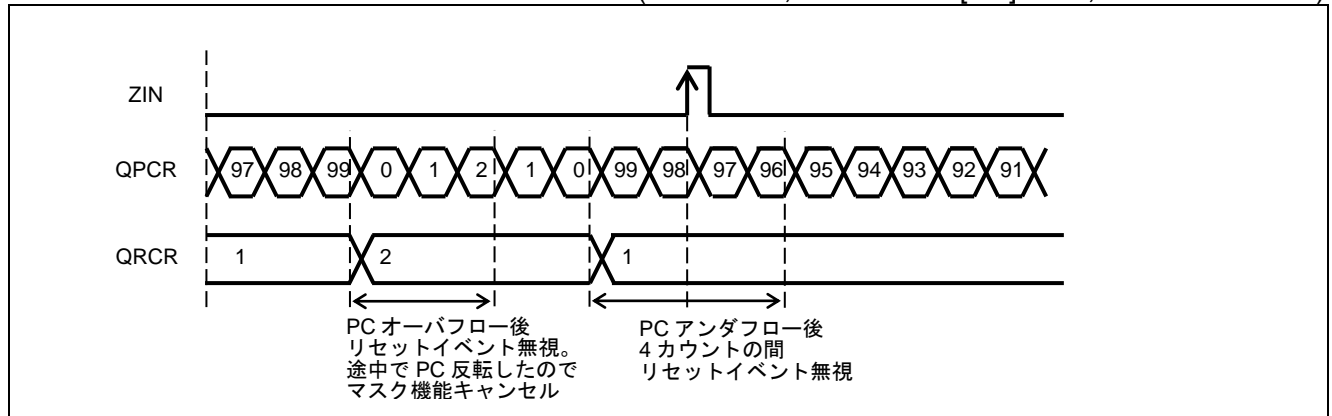


例 2:

位置カウンタの反転後続くアンダフロー発生後、位置カウンタ 4 カウント(QPCR=99~96) の間、ZIN のアクティブエッジを無視します。

図 3-10 位置カウンタリセットマスク動作例 2

(QMPR=99, QCR:PCRM[1:0]="10", QCR:CGSC="0")



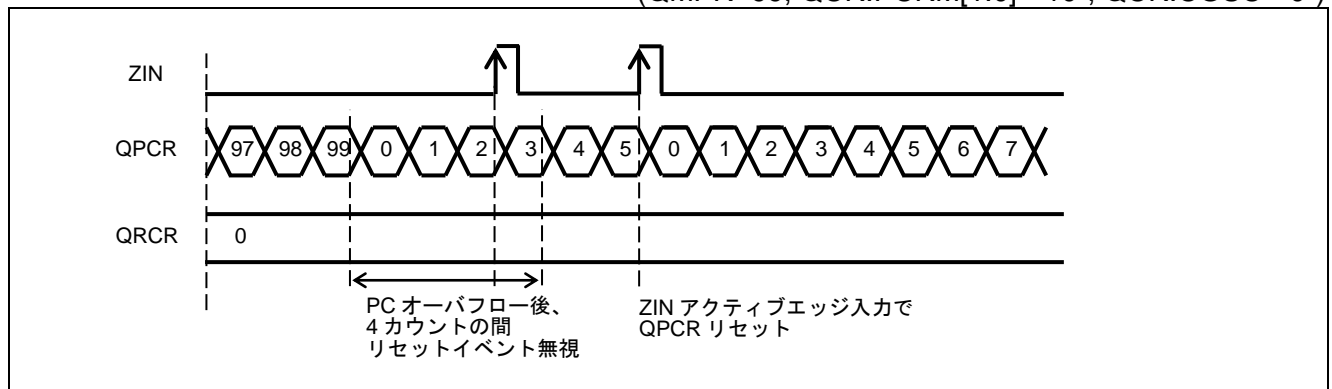
以下に RC\_Mode0(QCR:RCM[1:0]="00") 時の位置カウンタリセットマスク機能を使用した動作例を示します。

例 3:

回転カウンタがディセーブルのとき、位置カウンタのオーバフロー発生後に続く位置カウンタ 4 カウントの間(QPCR=0~3)、ZIN のアクティブエッジを無視します。

図 3-11 位置カウンタリセットマスク動作例 3

(QMPR=99, QCR:PCRM[1:0]="10", QCR:CGSC="0")



### <注意事項>

- 位置カウンタリセットマスク機能が動作中に以下のいずれかの条件でマスク機能は解除され、位置カウンタのリセットが可能になります。
  - 位置カウンタモードビット(QCR:PCM[1:0]) を変更した場合
  - 回転カウンタモードビット(QCR:RCM[1:0]) を変更した場合
  - 位置カウンタの方向が変更された場合
- RC\_Mode 0(QCR:RCM[1:0]="00") または RC\_Mode3(QCR:RCM[1:0]="11") で位置カウンタリセットマ

ク機能が動作中に位置カウンタが反転せずに位置カウンタのオーバフローやアンダフローが発生しても回転カウンタはカウントアップやカウントダウンしませんが、オーバフローが発生した場合、位置カウンタは"0"になります。アンダフローが発生した場合、位置カウンタに **QMPR** がリロードされます。オーバフロー割込み要求フラグビット(**QICR:OFDF**) やアンダフロー割込み要求フラグビット(**QICR:UFDF**) は"1"に設定されます。

---

## 4. レジスタ

クアッドカウンタで使用するレジスタの構成と機能について説明します。

### ■ クアッドカウンタのレジスタ一覧

レジスタ略称	レジスタ名	参照先
QPCR	クアッドカウンタ位置カウントレジスタ	4.1
QRCR	クアッドカウンタ回転カウントレジスタ	4.2
QPCCR	クアッドカウンタ位置カウンタ比較レジスタ	4.3
QPRCR	クアッドカウンタ位置&回転カウンタ比較レジスタ	4.4
QCR	クアッドカウンタ制御レジスタ	4.5
QECR	クアッドカウンタ拡張制御レジスタ	4.6
QICRL	クアッドカウンタ割込み制御レジスタ下位バイト	4.7
QICRH	クアッドカウンタ割込み制御レジスタ上位バイト	4.8
QMPR	クアッドカウンタ最大位置レジスタ	4.9

## 4.1. クアッドカウンタ位置カウントレジスタ(QPCR)

クアッドカウンタ位置カウントレジスタ(QPCR) は、位置カウンタを示しています。

### ■ クアッドカウンタ位置カウントレジスタ(QPCR)

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	QPCR[15:0]															
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

#### [bit15～bit0] QPCR:

このレジスタを読むと現在の位置カウンタ値が読み出されます。位置カウンタがカウント停止中(QCR:PSTP="1")、このレジスタにカウンタ値を書き込みます。

このレジスタは以下のいずれかの条件で"0x0000"に設定されます。

- リセット
- 以下の条件での ZIN のアクティブエッジ検出
  - RC\_Mode1(QCR:RCM[1:0]="01") で ZIN 機能がカウンタクリア機能(QCR:CGSC="0")
  - RC\_Mode0(QCR:RCM[1:0]="00") または RC\_Mode3(QCR:RCM[1:0]="11") で ZIN 機能がカウンタクリア機能(QCR:CGSC="0") で位置カウンタのリセットマスク機能が有効(QCR:PCRM[1:0]="01" or "10" or "11") な場合、位置カウンタのカウント反転が検出されず、マスク設定値分、位置カウンタがインクリメントまたはデクリメントを行われた後
  - RC\_Mode0(QCR:RCM[1:0]="00") または RC\_Mode3(QCR:RCM[1:0]="11") で ZIN 機能がカウンタクリア機能(QCR:CGSC="0") で位置カウンタのリセットマスク機能が無効(QCR:PCRM[1:0]="00")
- 以下の条件での位置カウンタのオーバフロー検出
  - RC\_Mode2(QCR:RCM[1:0]="10")
  - RC\_Mode0(QCR:RCM[1:0]="00") または RC\_Mode3(QCR:RCM[1:0]="11") で ZIN 機能がカウンタクリア機能(QCR:CGSC="0") で位置カウンタのリセットマスク機能が有効(QCR:PCRM[1:0]="01" or "10" or "11") のとき、位置カウンタのカウント反転が検出されず、マスク設定値分、位置カウンタがインクリメントまたはデクリメントを行われた後
  - RC\_Mode0(QCR:RCM[1:0]="00") または RC\_Mode3(QCR:RCM[1:0]="11") で ZIN 機能がカウンタクリア機能(QCR:CGSC="0") で位置カウンタのリセットマスク機能が無効(QCR:PCRM[1:0]="00")
- 位置カウンタが停止中(QCR:PSTP="1") に、この QPCR に"0x0000"を書く場合

以下の条件でクアッドカウンタ最大位置レジスタ (QMPR) 値がこのレジスタに設定されます。

- 位置カウンタのアンダフロー検出

---

**<注意事項>**

- ・ クアッドカウンタ位置カウントレジスタ(QPCR) にバイトアクセス命令でアクセスしないでください。
  - ・ RC\_Mode0(QCR:RCM[1:0]="00"), RC\_Mode1(QCR:RCM[1:0]="01") または RC\_Mode3(QCR:RCM[1:0]="11") で位置カウンタ停止中(QCR:PSTP="1") にクアッドカウンタ位置カウントレジスタ(QPCR) にカウント値を書いた後、カウント機能(QCR:CGSC="0") で ZIN のアクティブエッジが検出されるとクアッドカウンタ位置カウントレジスタ(QPCR) は"0x0000"に設定されてしまいます。クアッドカウンタ位置カウントレジスタ(QPCR) にカウント値を書く場合、ZIN の検出エッジを無効(QCR:CGE[1:0]="00") にした後、クアッドカウンタ位置カウントレジスタ(QPCR) にカウント値を書いてください。
-

## 4.2. クアッドカウンタ回転カウントレジスタ(QRCR)

クアッドカウンタ回転カウントレジスタ(QRCR) は、回転カウンタを示します。

### ■ クアッドカウンタ回転カウントレジスタ(QRCR)

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	QRCR[15:0]															
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

#### [bit15～bit0] QRCR:

このレジスタを読むと現在の回転カウンタ値が読み出されます。回転カウンタがカウント停止中(QCR:RCM[1:0]="00")、このレジスタにカウント値を書き込みます。

このレジスタは以下のいずれかの条件で"0x0000"に設定されます。

- リセット
- 回転カウンタが停止中(QCR.RCM[1:0]="00")、このレジスタに"0x0000"を書く場合

#### <注意事項>

- クアッドカウンタ回転カウントレジスタ(QRCR) にバイトアクセス命令でアクセスしないでください。
- PC\_Mode0(QCR:PCM[1:0]="00") の場合、位置カウンタの方向を検出しませんので位置カウンタ最終方向ビット(QICR:DIRPC) は不定になります。そのため、PC\_Mode0(QCR:PCM[1:0]="00") からほかのモードに移行させた場合、AIN/BIN の有効エッジが検出される前に ZIN の有効エッジが検出されると、以下の動作になります。
  - 位置カウンタは RC\_Mode0(QCR:RCM[1:0]="00"), RC\_Mode1(QCR:RCM[1:0]="01"), RC\_Mode3(QCR:RCM[1:0]="11") の場合、リセットされる
  - 回転カウンタはカウントアップまたはカウントダウンされない

### 4.3. クアッドカウンタ位置カウンタ比較レジスタ(QPCCR)

クアッドカウンタ位置カウンタ比較レジスタ(QPCCR) は、位置カウンタのカウンタ値と比較します。

#### ■ クアッドカウンタ位置カウンタ比較レジスタ(QPCCR)

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	QPCCR[15:0]															
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

[bit15～bit0] QPCCR:

このレジスタ値が位置カウンタと一致する場合、クアッドカウンタ位置カウンタ比較一致フラグ (QICR:QPCMF) が"1"に設定されます。この比較レジスタは位置カウンタとの比較だけに使用できます。

#### <注意事項>

クアッドカウンタ位置カウンタ比較レジスタ(QPCCR) にバイトアクセス命令でアクセスしないでください。



## 4.4. クアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)

クアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR) は、位置カウンタまたは回転カウンタの選択されたカウント値と比較します。

### ■ クアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	QPRCR[15:0]															
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

#### [bit15～bit0] QPRCR:

位置カウンタか回転カウンタかどちらのカウントと比較するかは、クアッドカウンタ制御レジスタ(QCR) の RSEL ビットで選択します。レジスタ値が、位置カウンタか回転カウンタと一致する場合、クアッドカウンタ位置&回転カウンタ比較一致フラグ(QICR:QPRCMF) が"1"に設定されます。

#### <注意事項>

クアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR) にバイトアクセス命令でアクセスしないでください。

## 4.5. クアッドカウンタ制御レジスタ(QCR)

クアッドカウンタ制御レジスタ(QCR) は、位置カウンタと 16 ビットの回転カウンタの動作モードを設定します。また、各カウンタをスタートしたりストップしたりします。

### ■ クアッドカウンタ制御レジスタ下位バイト(QCRL)

bit	7	6	5	4	3	2	1	0
	SWAP	RSEL	CGSC	PSTP	RCM1	RCM0	PCM1	PCM0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

#### [bit7] SWAP: スワップビット

このビットは、位置カウンタへの AIN 入力と BIN 入力の接続を交換します。

ビットが"0"のとき、AIN 端子は位置カウンタの AIN 入力に利用でき、BIN 端子は位置カウンタの BIN 入力に利用できます。ビットが"1"のとき、AIN 端子は位置カウンタの BIN 入力に利用でき、BIN 端子は位置カウンタの AIN 入力に利用できます。

bit	説明
0	スワップなし
1	AIN 入力と BIN 入力をスワップ

#### <注意事項>

スワップビット(SWAP) は、位置カウンタディセーブル(PCM[1:0]="00") のときに変更してください。

#### [bit6] RSEL: レジスタ機能選択ビット

このビットは、クアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR) を位置カウンタと回転カウンタのどちらと比較するかを選択します。

bit	説明
0	クアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR) を位置カウンタと比較
1	クアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR) を回転カウンタと比較

#### <注意事項>

このビットの設定に関係なく、位置カウンタとクアッドカウンタ位置カウンタ比較レジスタ(QPCCR) が一致し、回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR) が一致した場合、PC 一致&RC 一致割込み要求フラグビット(QICR: QPCNRCMF) は"1"に設定されます。

**[bit5] CGSC: カウントクリア・ゲート選択ビット**

このビットは、外部端子 ZIN の機能を選択します。

カウンタクリア機能使用時(QGSC="0")、回転カウンタモードが RC\_Mode0(RCM[1:0]="00"), RC\_Mode1(RCM[1:0]="01"), RC\_Mode3(RCM[1:0]="11") のとき ZIN 端子は位置カウンタをクリアします。QCR レジスタの CGE1 と CGE0 のビットは、ZIN 端子の有効なエッジを選択し、その選択されたエッジを検出することで位置カウンタをクリアします。

ゲート機能使用時(QGSC="1")、ZIN 端子は位置カウンタのカウント動作を制御します。QCR レジスタの CGE1 と CGE0 のビットは、ZIN 端子の有効なレベルで位置カウンタをカウントします。

bit	説明
0	カウンタクリア機能
1	ゲート機能

**[bit4] PSTP: 位置カウンタストップビット**

このビットは、位置カウンタを停止します。

bit	説明
0	カウント動作許可
1	カウント停止

**[bit3, bit2] RCM1, RCM0: 回転カウンタモードビット**

これらのビットは回転カウンタのカウントモードと、位置カウンタのリセットモードを選択します。位置カウンタへの影響については、「**■回転カウンタの動作**」を参照してください。

bit3	bit2	説明
0	0	回転カウンタディセーブル(RC_Mode0)
0	1	回転カウンタはZINのアクティブエッジでのみカウントアップ/カウントダウン(RC_Mode1)
1	0	回転カウンタは、(QMPR と一致する) 位置カウンタのオーバフロー/アンダフローでのみ、それぞれカウントアップ/カウントダウン(RC_Mode2)
1	1	回転カウンタは位置カウンタのオーバフロー/アンダフローと、ZIN のアクティブエッジの両方でカウントアップ/カウントダウン(RC_Mode3)

### [bit1, bit0] PCM1, PCM0: 位置カウンタモードビット

これらのビットは位置カウンタのカウントモードを選択します。

bit1	bit0	説明
0	0	位置カウンタディセーブル(PC_Mode0)。位置カウンタ停止
0	1	アップダウンカウントモード(PC_Mode1) AIN のアクティブエッジでインクリメント、 BIN のアクティブエッジでデクリメント
1	0	位相差カウントモード(PC_Mode2) AIN が BIN より進んでいるならカウントアップ、 BIN が AIN より進んでいるならカウントダウン
1	1	方向付きカウントモード(PC_Mode3) BIN のアクティブエッジと AIN のレベルでカウントアップ/カウントダウン

#### <注意事項>

PC\_Mode0(PCM[1:0]="00") の場合、位置カウンタの方向を検出しませんので位置カウンタ最終方向ビット (QICR:DIRPC) は不定になります。そのため、PC\_Mode0(PCM[1:0]="00") からほかのモードに移行させた場合、AIN/BIN の有効エッジが検出される前に ZIN の有効エッジが検出されると、以下の動作になります。

- ・位置カウンタはRC\_Mode0(RCM[1:0]="00"), RC\_Mode1(RCM[1:0]="01"), RC\_Mode3(RCM[1:0]="11") の場合、リセットされる
- ・回転カウンタはカウントアップまたはカウントダウンされない

## ■ クアッドカウンタ制御レジスタ上位バイト(QCRH)

bit	15	14	13	12	11	10	9	8
	CGE1	CGE0	BES1	BES0	AES1	AES0	PCRM1	PCRM0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

### [bit15, bit14] CGE1, CGE0: 検出エッジ選択ビット

これらのビットは、外部端子 ZIN をカウンタクリア機能で使用する場合(CGSC="0") の検出エッジを選択します。また、ZIN をゲート機能で使用する場合(CGSC="1") の検出レベルを選択します。

bit15	bit14	ZIN がカウンタクリア機能 (CGSC="0")	ZIN がゲート機能 (CGSC="1")
0	0	エッジ検出無効	レベル検出無効
0	1	立下りエッジ検出	"L"レベル検出
1	0	立上りエッジ検出	"H"レベル検出
1	1	立上り/立下りエッジ検出	レベル検出無効

### [bit13, bit12] BES1, BES0: BIN 検出エッジ選択ビット

これらのビットは、外部端子 BIN の検出エッジを選択します。

bit13	bit12	説明
0	0	エッジ検出は無効
0	1	立下りエッジを検出
1	0	立上りエッジを検出
1	1	立上りと立下りエッジを検出

### [bit11, bit10] AES1, AES0: AIN 検出エッジ選択ビット

これらのビットは、外部端子 AIN の検出エッジを選択します。

bit11	bit10	説明
0	0	エッジ検出は無効
0	1	立下りエッジを検出
1	0	立上りエッジを検出
1	1	立上りと立下りエッジを検出

#### [bit9, bit8] PCRM1, PCRM0: 位置カウンタリセットマスクビット

これらのビットは、位置カウンタのオーバフロー、アンダフローまたは ZIN のアクティブエッジ検出後、どれくらいの間(マスク期間)、次に示すイベントを無視するかを設定します。

- ・ 位置カウンタのリセット
- ・ 回転カウンタのインクリメント/デクリメント

このマスク機能は、位置カウンタのカウント方向が変わるとこの機能は解除され、次の位置カウンタのオーバフロー、アンダフローまたは ZIN のアクティブエッジ検出で再度、マスク機能が動作します。

bit9	bit8	説明
0	0	リセットマスクなし
0	1	位置カウンタ 2 カウント分位置カウンタのリセットまたは回転カウンタのカウントアップ/カウントダウンのイベント無視
1	0	位置カウンタ 4 カウント分位置カウンタのリセットまたは回転カウンタのカウントアップ/カウントダウンのイベント無視
1	1	位置カウンタ 8 カウント分位置カウンタのリセットまたは回転カウンタのカウントアップ/カウントダウンのイベント無視

#### <注意事項>

- ・ 位置カウンタリセットマスク機能は、RC\_Mode0(RCM[1:0]="00") と RC\_Mode3(RCM[1:0]="11") の場合のみ有効です。また、この機能は、位置カウンタモード(PC\_Mode1, PC\_Mode2, PC\_Mode3) の設定とは関係なく動作します。
- ・ 位置カウンタリセットマスク機能が動作中に以下のいずれかの条件でマスク機能は解除され、位置カウンタのリセットが可能になります。
  - ・ 位置カウンタモードビット(PCM[1:0]) を変更した場合
  - ・ 回転カウンタモードビット(RCM[1:0]) を変更した場合
  - ・ 位置カウンタの方向が変更された場合

## 4.6. クアッドカウンタ拡張制御レジスタ(QECR)

クアッドカウンタ拡張制御レジスタ(QECR) は、回転カウンタのカウント範囲内を選択したり、回転カウンタがカウント範囲外になったことを示したり、その範囲外になったときに割込みの発生を制御します。

### ■ クアッドカウンタ拡張制御レジスタ(QECR)

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Reserved												ORNGIE	ORNGF	ORNGMD	
属性	-	-	-	-	-	-	-	-	-	-	-	-	-	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

#### [bit15～bit3] Reserved

常にこれらのビットに"0"を書いてください。読出し値は"0"です。

#### [bit2] ORNGIE: 範囲外割込みイネーブルビット

このビットは範囲外割込み要求フラグ(ORNGF) が"1"になったときに CPU へ割込みを通知するかどうかを制御します。このビットが"1"で回転カウンタ値が範囲外になった(ORNGF="1") とき、割込みが発生します。

bit	説明
0	割込み禁止
1	割込み許可

#### [bit1] ORNGF: 範囲外割込み要求フラグビット

このフラグは回転カウンタの範囲外を示します。

回転カウンタの範囲外モードとして正数値を選択する(ORNGMD="0") と、回転カウンタがカウントダウンして"0x0001"から"0x0000"に変化したときにまたはカウントアップして"0xFFFFE"から"0xFFFF"に変化したときにこのフラグは"1"に設定されます。

回転カウンタの範囲外モードとして 8K 値を選択する(ORNGMD="1") と、回転カウンタがカウントダウンして"0x8001"から"0x8000"に変化したときにまたはカウントアップして"0x7FFE"から"0x7FFF"に変化したときにこのフラグは"1"に設定されます。

書き込みでは、フラグは"0"にクリアすることだけができます。"1"を書いても影響しません。

リードモディファイライトアクセスで"1"を読み出します。

bit	説明	
	読出し	書込み
0	範囲外未検出	ビットクリア
1	範囲外検出	影響なし

**[bit0] ORNGMD: 範囲外モード選択ビット**

このビットは、回転カウンタの範囲外モードを定義します。

bit	説明
0	正数値を選択(範囲は"0x0000" ~ "0xFFFF")
1	8K 値を選択(範囲は"0x0000" ~ "0x7FFF")



## 4.7. クアッドカウンタ割込み制御レジスタ下位バイト(QICRL)

クアッドカウンタ割込み制御レジスタ下位バイト(QICRL) は、位置カウンタのオーバフロー/アンダフローの割込み、ゼロインデックス割込み、クアッドカウンタ位置カウンタ比較一致割込み、クアッドカウンタ位置&回転カウンタ比較一致割込みを制御します。

### ■ クアッドカウンタ割込み制御レジスタ下位バイト(QICRL)

bit	7	6	5	4	3	2	1	0
	ZIIF	OFDF	UFDF	OUZIE	QPRCMF	QPRCMIE	QPCMF	QPCMIE
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

#### [bit7] ZIIF: ゼロインデックス割込み要求フラグビット

位置カウンタが"ZIN"入力でリセットされたときに、このフラグは"1"となります。

書き込みでは、フラグは"0"にクリアすることだけができます。"1"を書いても影響しません。

リードモディファイライトアクセスで"1"を読み出します。

bit	説明	
	読出し	書き込み
0	ゼロインデックス未検出	ビットクリア
1	ゼロインデックス検出	影響なし

### <注意事項>

ゼロインデックス割込み要求フラグビット(ZIIF) は、ZIN をゲート機能(QCR:CGSC="1") として使用するかまたは RC\_Mode2(QCR:RCM[1:0]="10") の場合、位置カウンタがリセットされても"1"になりません。

#### [bit6] OFDF: オーバフロー割込み要求フラグビット

このフラグは位置カウンタのオーバフローの発生を示します。位置カウンタをカウントアップするとき、位置カウンタとクアッドカウンタ最大位置レジスタ(QMPR) が一致した場合、このビットは"1"に設定されます。

書き込みでは、フラグは"0"にクリアすることだけができます。"1"を書いても影響しません。

リードモディファイライトアクセスで"1"を読み出します。

bit	説明	
	読出し	書込み
0	オーバフロー未検出	ビットクリア
1	オーバフロー検出	影響なし

#### [bit5] UFDF: アンダフロー割込み要求フラグビット

このフラグは位置カウンタのアンダフローの発生を示します。位置カウンタをカウントダウンするとき、位置カウンタが"0x0000"であった場合、このビットは"1"に設定されます。

書込みでは、フラグは"0"にクリアすることだけができます。"1"を書いても影響しません。

リードモディファイライトアクセスで"1"を読み出します。

bit	説明	
	読出し	書込み
0	アンダフロー未検出	ビットクリア
1	アンダフロー検出	影響なし

#### [bit4] OUZIE: オーバフロー/アンダフロー/ゼロインデックス割込みイネーブルビット

このビットは、オーバフロー割込み要求フラグビット(OFDF)、アンダフロー割込み要求フラグビット(UFDF) またはゼロインデックス割込み要求フラグビット(ZIIF) が"1"になったときに CPU へ割込みを通知するかどうかを制御します。このビットが"1"でオーバフロー検出(OFDF="1"), アンダフロー検出(UFDF="1") またはゼロインデックス検出(ZIIF="1") で、割込みが発生します。

bit	説明
0	割込み禁止
1	割込み許可

#### [bit3] QPRCMF: PC&RC 一致割込み要求フラグビット

このフラグは位置カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR) が一致したかどうかまたは回転カウンタ(QRCR) とクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR) が一致したかどうかを示します。

クアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR) と位置カウンタとの比較を選択した (QCR:RSEL="0") 場合、位置カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR) が一致した場合、このフラグは"1"になります。

クアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR) と回転カウンタとの比較を選択した (QCR:RSEL="1") 場合、回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR) が一致した場合、このフラグは"1"になります。

書込みでは、フラグは"0"にクリアすることだけができます。"1"を書いても影響しません。

リードモディファイライトアクセスで"1"を読み出します。

bit	説明	
	読出し	書込み
0	QPRCR と比較一致未検出	ビットクリア
1	QPRCR と比較一致検出	影響なし

#### <注意事項>

- レジスタ機能選択ビット(QCR:RSEL) が"0"の場合、以下のいずれかの条件で直ちに PC&RC 一致割込み要求フラグビット(QPRCMF) は"1"に設定されます。
  - 位置カウンタディセーブル(QCR:PCM[1:0]="00") にし、位置カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR) が一致した状態で PC\_Mode1(QCR:PCM[1:0]="01"), PC\_Mode2(QCR:PCM[1:0]="10") または PC\_Mode3(QCR:PCM[1:0]="11") に変更した場合
  - PC\_Mode1(QCR:PCM[1:0]="01"), PC\_Mode2(QCR:PCM[1:0]="10") または PC\_Mode3(QCR:PCM[1:0]="11") でクアッドカウンタ位置カウンタレジスタ(QPCR) またはクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR) にデータを書いて位置カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR) が一致した場合
- レジスタ機能選択ビット(QCR:RSEL) が"1"の場合、以下の条件で直ちに PC&RC 一致割込み要求フラグビット(QPRCMF) は"1"に設定されます。
  - RC\_Mode1(QCR:RCM[1:0]="01"), RC\_Mode2(QCR:RCM[1:0]="10") または RC\_Mode3(QCR:RCM[1:0]="11") のとき、クアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR) にデータを書いて回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR) が一致した場合
  - RC\_Mode0(QCR:RCM[1:0]="00") からほかのモードに変更して回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR) が一致した場合
- レジスタ機能選択ビット(QCR:RSEL) を変更した場合、以下の条件で直ちに PC&RC 一致割込み要求フラグビット(QPRCMF) は"1"に設定されます。
  - RC\_Mode0(QCR:RCM[1:0]="00") 以外でレジスタ機能選択ビット(QCR:RSEL) が"0"から"1"に変更されたとき、回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR) が一致した場合
  - PC\_Mode0(QCR:PCM[1:0]="00") 以外でレジスタ機能選択ビット(QCR:RSEL) が"1"から"0"に変更されたとき、位置カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR) が一致した場合

#### [bit2] QPRCMIE: PC&RC 一致割込みイネーブルビット

このビットは、PC&RC 一致割込み要求フラグ(QPRCMF) が"1"になったときに CPU へ割込みを通知するかどうかを制御します。このビットが"1"で位置カウンタまたは回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR) が一致する(QPRCMF="1") と、割込みが発生します。

bit	説明
0	割込み禁止
1	割込み許可

#### [bit1] QPCMF: PC 一致割込み要求フラグビット

このフラグは、位置カウンタとクアッドカウンタ位置カウンタ比較レジスタ(QPCCR) が一致したかどうかを示します。

位置カウンタとクアッドカウンタ位置カウンタ比較レジスタ(QPCCR) が一致した場合、このフラグは"1"に設定されます。

書込みでは、フラグは"0"にクリアすることだけができます。"1"を書いても影響しません。

リードモディファイライトアクセスで"1"を読み出します。

bit	説明	
	読出し	書込み
0	QPCCR と比較一致未検出	ビットクリア
1	QPCCR と比較一致検出	影響なし

#### <注意事項>

以下のいずれかの条件で直ちに PC 一致割込み要求フラグビット(QPCMF) は"1"に設定されます。

- 位置カウンタディセーブル(QCR:PCM[1:0]="00") にし、位置カウンタとクアッドカウンタ位置カウンタ比較レジスタ(QPCCR) が一致した状態で PC\_Mode1(QCR:PCM[1:0]="01"), PC\_Mode2(QCR:PCM[1:0]="10") または PC\_Mode3(QCR:PCM[1:0]="11") に変更した場合
- 位置カウンタストップビット(QCR:PSTP) が"1"で PC\_Mode1(QCR:PCM[1:0]="01"), PC\_Mode2(QCR:PCM[1:0]="10") または PC\_Mode3(QCR:PCM[1:0]="11") のとき、クアッドカウンタ位置カウンタレジスタ(QPCR) に書いて位置カウンタとクアッドカウンタ位置カウンタ比較レジスタ(QPCCR) が一致した場合
- PC\_Mode1(QCR:PCM[1:0]="01"), PC\_Mode2(QCR:PCM[1:0]="10") または PC\_Mode3(QCR:PCM[1:0]="11") のとき、クアッドカウンタ比較レジスタ(QPCCR) に書いて位置カウンタとクアッドカウンタ位置カウンタ比較レジスタ(QPCCR) が一致した場合

#### [bit0] QPCMIE: PC 一致割込みイネーブルビット

このビットは、PC 一致割込み要求フラグ(QPCMF) が"1"になったときに CPU へ割込みを通知するかどうかを制御します。

このビットが"1"で位置カウンタとクアッドカウンタ位置カウンタ比較レジスタ(QPCCR) が一致する(QPCMF="1") と、割込みが発生します。

bit	説明
0	割込み禁止
1	割込み許可

## 4.8. クアッドカウンタ割込み制御レジスタ上位バイト(QICRH)

クアッドカウンタ割込み制御レジスタ上位バイト(QICRH) は、位置カウンタと QPCCR との一致かつ回転カウンタと QPRCR との一致、カウント反転の割込みを制御します。また、最後のアンダフロー/オーバフロー割込み時や最後の位置カウンタ値変化時の位置カウンタの方向を示します。

### ■ クアッドカウンタ割込み制御レジスタ上位バイト(QICRH)

bit	15	14	13	12	11	10	9	8
	Reserved		QPCNRCMF	QPCNRCMIE	DIROU	DIRPC	CDCF	CDCIE
属性	-	-	R/W	R/W	R	R	R/W	R/W
初期値	0	0	0	0	0	0	0	0

#### [bit15, bit14] Reserved

常にこれらのビットに"0"を書いてください。読出し値は"0"です。

#### [bit13] QPCNRCMF: PC 一致&RC 一致割込み要求フラグビット

このフラグは、位置カウンタとクアッドカウンタ位置カウンタ比較レジスタ(QPCCR) が一致し、かつ回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR) が一致したかどうかを示します。

位置カウンタとクアッドカウンタ位置カウンタ比較レジスタ(QPCCR) が一致し(QPCMF="1")、回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR) が一致した場合、このフラグは"1"になります。

書き込みでは、フラグは"0"にクリアすることだけができます。"1"を書いても影響しません。

リードモディファイライトアクセスで"1"を読み出します。

bit	説明	
	読出し	書き込み
0	一致検出なし	ビットクリア
1	一致検出	影響なし

## <注意事項>

以下のいずれかの条件で直ちに PC 一致&RC 一致割込み要求フラグビット(QPCNRCMF) は"1"に設定されます。

- 位置カウンタディセーブル(QCR:PCM[1:0]="00") で回転カウンタが RC\_Mode0(QCR:RCM[1:0]="00") 以外のとき、位置カウンタとクアッドカウンタ位置カウンタ比較レジスタ(QPCCR), 回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR) が一致した状態で PC\_Mode1(QCR:PCM[1:0]="01"), PC\_Mode2(QCR:PCM[1:0]="10") または PC\_Mode3(QCR:PCM[1:0]="11") に変更した場合
- PC\_Mode1(QCR:PCM[1:0]="01"), PC\_Mode2(QCR:PCM[1:0]="10") または PC\_Mode3(QCR:PCM[1:0]="11") で回転カウンタが RC\_Mode0(QCR:RCM[1:0]="00") 以外のとき、回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR) が一致した状態のときに、クアッドカウンタ位置カウンタレジスタ(QPCR) またはクアッドカウンタ位置カウンタ比較レジスタ(QPCCR) にデータを書いて、位置カウンタとクアッドカウンタ位置カウンタ比較レジスタ(QPCCR) が一致した場合
- PC\_Mode1(QCR:PCM[1:0]="01"), PC\_Mode2(QCR:PCM[1:0]="10") または PC\_Mode3(QCR:PCM[1:0]="11") でクアッドカウンタ位置カウンタレジスタ(QPCR) またはクアッドカウンタ位置カウンタ比較レジスタ(QPCCR) が一致した状態のときに、RC\_Mode0(QCR:RCM[1:0]="00") 以外でクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR) にデータを書いて、回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR) が一致した場合
- PC\_Mode1(QCR:PCM[1:0]="01"), PC\_Mode2(QCR:PCM[1:0]="10") または PC\_Mode3(QCR:PCM[1:0]="11") でクアッドカウンタ位置カウンタレジスタ(QPCR) またはクアッドカウンタ位置カウンタ比較レジスタ(QPCCR) が一致した状態のときに、RC\_Mode0(QCR:RCM[1:0]="00") からほかのモードに変更して、回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR) が一致した場合
- レジスタ機能選択ビット(QCR:RSEL) の設定に関係なく、位置カウンタとクアッドカウンタ位置カウンタ比較レジスタ(QPCCR) が一致し、回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR) が一致した場合、このビットは"1"に設定されます。

### [bit12] QPCNRCMIE: PC 一致&RC 一致割込みイネーブルビット

このビットは、PC 一致&RC 一致割込み要求フラグ(QPCNRCMF) が"1"に設定されたときに CPU へ割込みを通知するかどうかを制御します。

このビットが"1"で位置カウンタとクアッドカウンタ位置カウンタ比較レジスタ(QPCCR) が一致し、かつ回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR) が一致する(QPCNRCMF="1") と、割込みが発生します。

bit	説明
0	割込み禁止
1	割込み許可

### [bit11] DIROU: 位置カウンタ最終フロー方向ビット

このビットは、位置カウンタが最後にオーバフロー/アンダフローしたときの位置カウンタの方向を示します。

bit	説明
0	位置カウンタはインクリメントを行った
1	位置カウンタはデクリメントを行った

**[bit10] DIRPC: 位置カウンタ最終方向ビット**

このビットは、位置カウンタが最後に変化したときのカウント方向を示します。

bit	説明
0	位置カウンタはインクリメントを行った
1	位置カウンタはデクリメントを行った

**<注意事項>**

PC\_Mode0(QCR:PCM[1:0]="00") の場合、位置カウンタの方向を検出しませんので位置カウンタ最終方向ビット(QICR:DIRPC) は不定になります。そのため、PC\_Mode0(QCR:PCM[1:0]="00") からほかのモードに移行させた場合、AIN/BIN の有効エッジが検出される前に ZIN の有効エッジが検出されると、以下の動作になります。

- 位置カウンタは RC\_Mode0(QCR:RCM[1:0]="00"), RC\_Mode1(QCR:RCM[1:0]="01"), RC\_Mode3(QCR:RCM[1:0]="11") の場合、リセットされる
- 回転カウンタはカウントアップまたはカウントダウンされない

**[bit9] CDCF: カウント反転割込み要求フラグビット**

このビットは位置カウンタがカウントの方向が反転したかどうかを示します。

位置カウンタがカウント方向を反転した場合、このビットは"1"に設定されます。カウント方向の反転とはカウンタをカウントアップし、次にカウンタをカウントダウンするまたはカウンタをカウントダウンし、次にカウンタをカウントアップすることを指します。

書込みでは、フラグは"0"にクリアすることだけができます。"1"を書いても影響しません。

リードモディファイライトアクセスで"1"を読み出します。

bit	説明	
	読出し	書込み
0	位置カウンタのカウント反転なし	ビットクリア
1	位置カウンタのカウント反転が最低でも 1 回あり	影響なし

**<注意事項>**

PC\_Mode0(QCR:PCM[1:0]="00") の場合、位置カウンタの方向を検出しませんので位置カウンタ最終方向ビット(QICR:DIRPC) は不定になります。そのため、PC\_Mode0(QCR:PCM[1:0]="00") からほかのモードに移行

させた後、AIN/BIN の有効エッジが検出され、位置カウンタの方向が反転してもカウント反転割込み要求フラグビット(QICR:CDCF) は"1"に設定されません。

---

**[bit8] CDCIE: カウント反転割込みイネーブルビット**

このビットはカウント反転割込み要求フラグ(CDCF) が"1"に設定されたときに CPU へ割込みを通知するかどうかを制御します。

このビットが"1"で位置カウンタのカウント方向が反転する(CDCF="1") と、割込みが発生します。

bit	説明
0	割込み禁止
1	割込み許可



## 4.9. クアッドカウンタ最大位置レジスタ(QMPR)

クアッドカウンタ最大位置レジスタ (QMPR) は、位置カウンタの最大値を設定します。

### ■ クアッドカウンタ最大位置レジスタ(QMPR)

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	QMPR[15:0]															
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

#### [bit15～bit0] QMPR:

位置カウンタがカウントアップするとき、クアッドカウンタ最大位置レジスタ(QMPR) の設定値と位置カウンタが一致した場合、位置カウンタのオーバフローを検出します(QICR:OFDF="1")。位置カウンタがカウントダウンするとき、位置カウンタのアンダフローを検出する(QICR:UFDF="1") とクアッドカウンタ最大位置レジスタ(QMPR) の設定値を位置カウンタにリロードします。

#### <注意事項>

クアッドカウンタ最大位置レジスタ(QMPR) にバイトアクセス命令でアクセスしないでください。

# Chapter 16: 外部割込み



---

外部割込みの機能と動作について説明します。

---

1. 概要
2. レジスタ
3. 外部割込み機能の使用上の注意

---

管理コード : 96F3EXTINT-J03.0

---

## 1. 概要

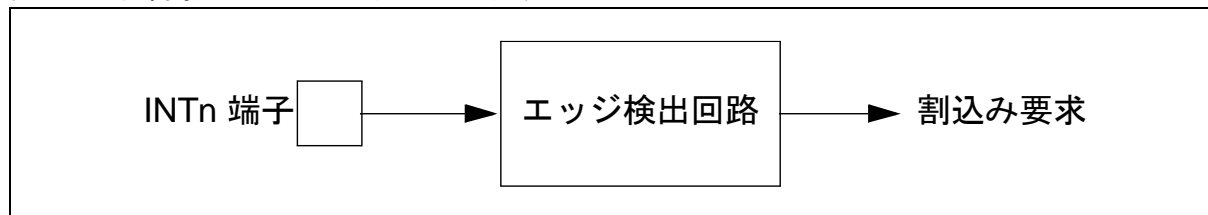
外部割込みモジュールは外部割込み端子に入力された信号を検出し、割込み要求を発生します。

### ■ 外部割込み

外部割込み要求は、"H", "L", 立上りエッジ, 立下りエッジの4つの要求レベルがあります。

### ■ 外部割込みのブロックダイアグラム

図 1-1 外部割込みのブロックダイアグラム



## 2. レジスタ

---

外部割込みで使用するレジスタの構成および機能について説明します。

---

### ■ 外部割込みのレジスタ一覧

レジスタ略称	レジスタ名	参照先
ENIRn	外部割込み要求許可レジスタ	2.1
EIRRn	外部割込み要求レジスタ	2.2
ELVRn	外部割込みレベルレジスタ	2.3

## 2.1. 外部割込み許可レジスタ(ENIRn: 外部割込み要求許可レジスタ)

### ■ 外部割込み要求許可レジスタ(ENIRn)

ENIR0								
bit	7	6	5	4	3	2	1	0
	EN7	EN6	EN5	EN4	EN3	EN2	EN1	EN0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

ENIR1								
bit	7	6	5	4	3	2	1	0
	EN15	EN14	EN13	EN12	EN11	EN10	EN9	EN8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

ENIRn レジスタには、外部割込みモジュールの割込み許可ビットを設定します。ENx を「許可」に設定すると対応する外部割込み端子に対して割込みイベントが検出された際に割込み要求が発生します。これらのビットに"1"を設定すると割込み要求が許可され、"0"を設定すると禁止されます。

#### <注意事項>

- 外部割込みを「許可」に設定した場合は、対応するポートのポート入力許可レジスタ(PIER) も設定してください(『I/O ポート』の章の「2.4. ポート入力許可レジスタ(PIERnn)」参照してください)。
- 不要なビットを"1"に設定することを避けるため品種で使用しない端子に対応するレジスタの設定を変更しないでください。

## 2.2. 外部割込みフラグ(EIRRn: 外部割込み要求レジスタ)

### ■ 外部割込み要求レジスタ(EIRRn)

EIRR0								
bit	15	14	13	12	11	10	9	8
	ER7	ER6	ER5	ER4	ER3	ER2	ER1	ER0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

EIRR1								
bit	15	14	13	12	11	10	9	8
	ER15	ER14	ER13	ER12	ER11	ER10	ER9	ER8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

EIRRn レジスタは外部割込み要求を保持するレジスタです。

外部割込み端子に対して割込みイベントが検出されると、対応する ERx フラグビットに"1" が設定されます。ENx ビットが"1"の場合には割込みコントローラに対して割込み要求が送られます。これらのビットに"1"を書き込んだ場合は動作に影響せず、"0"を書き込んだ場合はフラグがクリアされます。リードモディファイライト(RMW) 系命令では、これらのビットからは常に"1"が読み出されます。

#### <注意事項>

外部割込みフラグをクリアする際には、割込みの原因となったフラグのみをクリアしてください。

## 2.3. 要求レベル設定レジスタ(ELVRn: 外部割込みレベルレジスタ)

### ■ 外部割込みレベルレジスタ(ELVRn)

ELVR0								
bit	15	14	13	12	11	10	9	8
	LB7	LA7	LB6	LA6	LB5	LA5	LB4	LA4
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
bit	7	6	5	4	3	2	1	0
	LB3	LA3	LB2	LA2	LB1	LA1	LB0	LA0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

ELVR1								
bit	15	14	13	12	11	10	9	8
	LB15	LA15	LB14	LA14	LB13	LA13	LB12	LA12
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
bit	7	6	5	4	3	2	1	0
	LB11	LA11	LB10	LA10	LB9	LA9	LB8	LA8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

ELVRn は外部割込み端子に対して要求イベントを定義します。各端子には、表 2-1 に記載のように 2 つのビットが割り当てられます。要求イベントが入力レベルで検出される場合、割込みフラグがソフトウェアでリセットされても、入力が指定されたレベルである間は割込みフラグはセットされたままになります。

表 2-1 外部端子の割込み要求検出要因

LBx	LAx	説明
0	0	"L"レベル端子入力
0	1	"H"レベル端子入力
1	0	立上りエッジ端子入力
1	1	立下りエッジ端子入力

---

**<注意事項>**

- ・ 外部割込みレベルレジスタ(ELVRn) の変更により、外部割込み要求レジスタ(EIRRn) 内の要因ビットがセットされる場合があります。
- ・ 外部割込みレベルレジスタ(ELVRn) の変更後には、外部割込み要求レジスタ(EIRRn) を初期化してください。
- ・ 外部割込みレベルレジスタ(ELVRn) の変更および外部割込み要求レジスタ(EIRRn) の初期化は、以下に示す手順に従ってください。
  1. 外部割込み要求許可レジスタ(ENIRn) の対象となるビットを禁止状態にする。
  2. 外部割込みレベルレジスタ(ELVRn) の対象となるビットを設定する。
  3. 外部割込みレベルレジスタ(ELVRn) を読み出す。
  4. 外部割込み要求レジスタ(EIRRn) の対象となるビットをクリアする。
  5. 外部割込み要求許可レジスタ(ENIRn) の対象となるビットを許可状態にする。  
(ただし、4.と 5.は 16 ビットデータによる同時書込み可)

本モジュール内のレジスタを設定するときには必ず外部割込み要求許可レジスタ(ENIRn) を禁止状態に設定しておかなくてはなりません。

また、外部割込み要求許可レジスタ(ENIRn) を許可状態にする前に必ず外部割込み要求レジスタ(EIRRn) をクリアしておく必要があります。

これは、レジスタ設定時や割込許可状態時に誤って割込要因が起こってしまうことを避けるためです。不要なビットを"1"に設定することを避けるため品種で使用しない端子に対応するレジスタの設定を変更しないでください。

---

---

**<注意事項>**

品種で使用しないピンに対応するレジスタの設定を変更しないでください。

---



### 3. 外部割込み機能の使用上の注意

外部割込み機能を使用する際には、次の点に留意する必要があります。

- DMA を使用するための外部回路の動作条件
- 割込みフラグのクリア
- 外部割込み要求レベル

#### ■ DMA を使用するための外部回路の動作条件

DMA を使用する外部回路は、要求された DMA 転送が実行された後に要求信号をインアクティブにする必要があります。

#### ■ 割込みフラグのクリア

- 割込みフラグは割込み処理ルーチン内でクリアされる必要があります。さもなければ、最初の割込み処理の終了後に再び同じ処理が実行されます。
- イベント入力としてレベル検出が設定されている場合、入力端子にアクティブレベルが保持し続けている割込みフラグをクリアしても再度セットされます。この場合は、外部要因をクリアするかまたは割込み許可ビットをクリアする必要があります。

#### ■ 外部割込み要求レベル

- イベント入力としてエッジ検出が設定されている場合、入力エッジはノイズフィルタによりフィルタされない最小入力パルス幅以上である必要があります。最小入力パルス幅についてはデータシートの「外部入力タイミング」を参照してください。
- イベント入力としてレベル検出が設定されている場合、一度指定されたレベルが入力されると、入力信号がインアクティブレベルに変化した後も割込みフラグはアクティブの状態のままになります(図 3-2 参照してください)。割込み要求をクリアするためには、割込みフラグをクリアする必要があります。

図 3-1 レベル検出での割込み要因レジスタのクリア

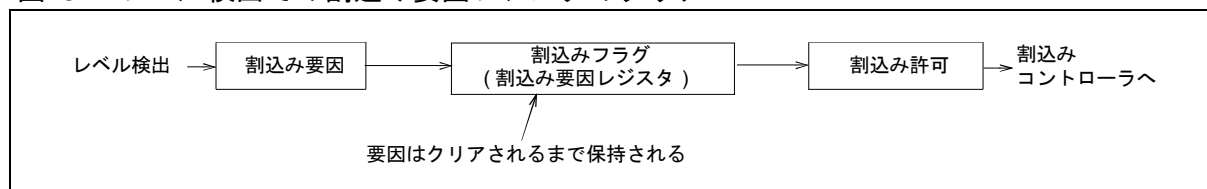
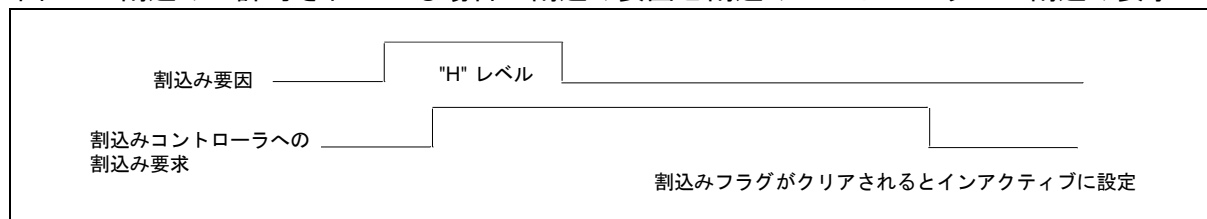


図 3-2 割込みが許可されている場合の割込み要因と割込みコントローラへの割込み要求



# Chapter 17: A/D コンバータ



---

A/D コンバータの機能と動作について説明します。

---

1. 概要
2. A/D コンバータの動作
3. 変換データ保護機能
4. データバッファ機能
5. レンジ比較機能
6. チャネルスキップ機能
7. パルス検出機能
8. A/D コンバータのレジスタ

---

管理コード : FS09-J02.4

---

## 1. 概要

---

A/D コンバータはアナログ入力電圧をデジタル値に変換します。

---

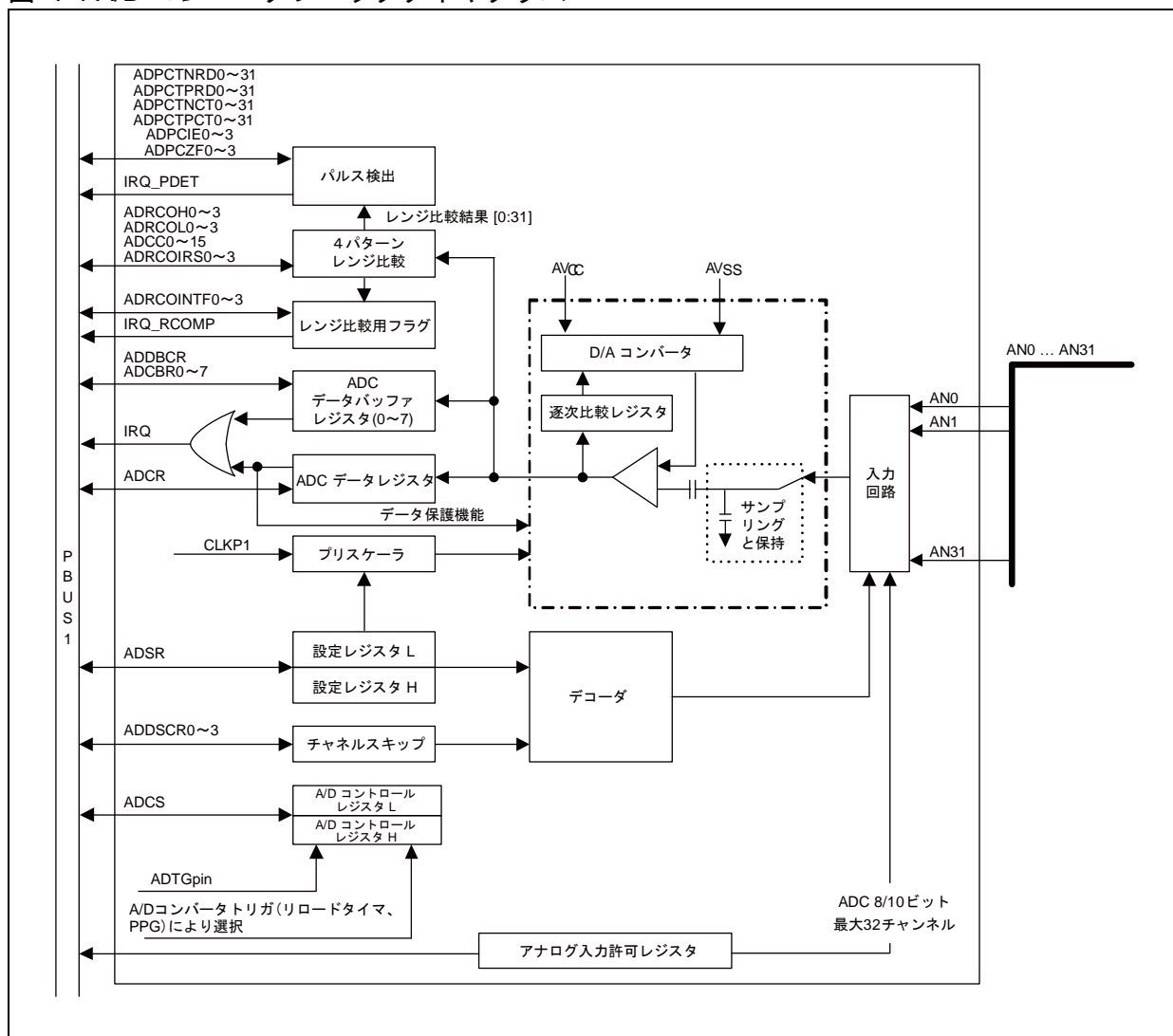
### ■ A/D コンバータの概要

- 変換時間(比較時間+サンプリング時間): データシートの「A/D コンバータ」を参照してください。
  - サンプルホールド回路付き CR 逐次比較変換
  - 分解能: 10 ビットまたは 8 ビット
  - ソフトウェア選択可能なアナログ入力端子(チャンネル)  
シングルチャンネル変換: 1 チャンネルが選択されて変換されます。  
スキャン変換: 各チャンネルが順次変換されます。
  - モード  
シングルモード: 指定されたチャンネルが 1 回変換されます。  
連続モード: 指定されたチャンネルが反復して変換されます。  
停止変換モード: 1 つのチャンネルが変換された後、コンバータは停止して次の起動を待機します  
(変換開始を同期可能)。
  - 割込み要求  
割込みは次の 4 種類があります。
    - INT 割込み: ADCS:INTE="1"の場合に、ADCR レジスタに A/D 変換データが格納されたときに発生する割込み。
    - BLRF 割込み: ADDBCR:BLRIE="1"の場合に、ADDBCR:BLL[2:0]で設定したバッファ段数の ADCBR レジスタに書込みが完了したときに発生する割込み。
    - RCOINT 割込み: ADCC:RCOIE="1"かつ ADCC:RCOE="1"の場合に、該当チャンネル設定が  
ADRCOIRS:RCOIRS="0"のとき、レンジ比較した結果、上限/下限しきい値範囲外に  
A/D 変換結果を検出したときに発生する割込み。または、該当チャンネル設定が  
ADRCOIRS:RCOIRS="1"のとき、レンジ比較した結果、上限/下限しきい値範囲内に  
A/D 変換結果を検出したときに発生する割込み。
    - CTPZF 割込み: ADPCIE:CTPIE="1"の場合に、ポジティブパルスカウンタがダウンカウントしてカウンタ値が"0x01"から"0x00"に変化したときに発生する割込み。
- INT 割込みと BLRF 割込みは、A/D 変換の割込み要求を割込みコントローラに対して発生できます。この割込み要求により DMA を起動し、A/D 変換結果データをメモリに転送可能です。
- 選択可能な起動要因  
A/D コンバータは ADCS:STS[1:0]の設定に基づきソフトウェア、A/D コンバータトリガ(リロードタイマ, PPG), 外部トリガ(立下りエッジ) により起動します。
  - 最大サポートチャンネル  
アナログ入力信号は最大 32 チャンネルサポートすることができます。
  - データバッファ機能  
データバッファの段数は、最大 8 段まで設定することができます。
  - レンジ比較機能  
上限/下限しきい値の設定は最大 4 種類まで設定することが可能です。チャンネルごとに 4 種類の中から選択することができます。

- ・ スキャンスキップ機能  
スキャン変換を行う際に、A/D 変換不要なアナログ入力チャネルをスキップすることができます。
- ・ パルス検出機能  
レンジ比較の結果から、パルスを検出することができます。

## ■ A/D コンバータのブロックダイアグラム

図 1-1 A/D コンバータブロックダイアグラム



### <注意事項>

使用する端子をアナログ入力に設定するには、アナログ入力許可レジスタ(ADER)のビットを"1"に設定してください。使用しない ANn および品種に存在しない ANn には常に"0"を書き込んでください。デバイス上に搭載されている ANn 端子は、データシートの「品種構成」を参照してください。

## 2. A/D コンバータの動作

A/D コンバータは逐次比較変換システムを使用して、シングルモード 1/2, 連続モード, 停止変換モードで動作します。

### ■ シングルモード 1/2

シングルモードでは、ADSR:ANS ビットで設定された開始チャンネルから ADSR:ANE ビットで設定された終了チャンネルまでのアナログ入力順に変換され、終了チャンネルの変換が終了すると A/D 変換は停止します。開始チャンネルと終了チャンネルが同一(ANS=ANE) の場合には、ANS ビットで設定されたチャンネルの変換のみが行われます。

例:

ANS = 00000<sub>B</sub>, ANE = 00011<sub>B</sub>:

起動 → AN0 → AN1 → AN2 → AN3 → 終了

ANS = 00010<sub>B</sub>, ANE = 00010<sub>B</sub>:

起動 → AN2 → 終了

### ■ 連続モード

連続モードでは、A/D 変換は ADCS:BUSY ビットに"0"が書き込まれるまで反復されます(ADCS:BUSY ビットに"0"が書き込まれると、A/D 変換は強制停止されます)。

なお A/D 変換が強制停止されると、A/D 変換は変換途中で停止する場合があります。この場合、変換結果レジスタには前回変換が完了したときのデータが残ります。

例:

ANS = 00000<sub>B</sub>, ANE = 00011<sub>B</sub>:

起動 → AN0 → AN1 → AN2 → AN3 → AN0 → AN1 → AN2 → AN3  
→→→ シーケンスを反復

ANS = 00010<sub>B</sub>, ANE = 00010<sub>B</sub>:

起動 → AN2 → AN2 → AN2 →→→ シーケンスを反復

### ■ 停止変換モード

停止変換モードでは、ADSR:ANS ビットで設定された開始チャンネルから ADSR:ANE ビットで設定された終了チャンネルまでの変換が順次行われますが、1 つのチャンネルの変換が終了するたびに変換が停止します。終了チャンネルの変換が終了すると、A/D 変換を続行するために制御は開始チャンネルに戻ります。開始チャンネルと終了チャンネルが同一(ANS=ANE) の場合には、1 チャンネルの変換のみが行われます。

例:

ANS = 00000<sub>B</sub>, ANE = 00011<sub>B</sub>:

起動 → AN0 → 停止 → 起動 → AN1 → 停止 → 起動 →  
AN2 → 停止 → 起動 → AN3 → 停止 → 起動 →  
AN0 →→→ シーケンスを反復

ANS = 00010<sub>B</sub>, ANE = 00010<sub>B</sub>:

起動 → AN2 → 停止 → 起動 → AN2 → 停止 → 起動 →

AN2 → 停止 → 起動 → → → シーケンスを反復

上記のシーケンスでは、ADCS:STS1 ビットと ADCS:STS0 ビットで設定された A/D 変換起動要因のみが有効です。この設定された A/D 変換起動要因によって、A/D 変換の起動タイミングを同期することができます。

### 3. 変換データ保護機能

A/D コンバータは A/D 変換データ保護機能を有しており、連続変換の際にデータを保護(一時停止)します。変換データレジスタ(ADCR) は 1 つのみ存在するため、A/D 変換が連続して実行される場合には、A/D 変換結果データは A/D 変換が終了するたびに格納され、前のデータは破壊されます。これを抑止するために A/D コンバータは A/D 変換を一時停止する機能を有します。

#### ■ A/D 変換データ保護機能

A/D 変換データ保護機能は、A/D 変換データの取り損ねを防ぎます。

A/D 変換データは、A/D 変換のための 1 つの逐次比較回路と変換されたデータを格納する 1 つのデータレジスタ(ADCR) を有します。アナログ入力チャネルの A/D 変換実行中、A/D コンバータは逐次比較回路で 1 ビットずつ変換データを保持します。そして A/D 変換完了時、A/D 変換結果はデータレジスタ(ADCR) に格納されます。

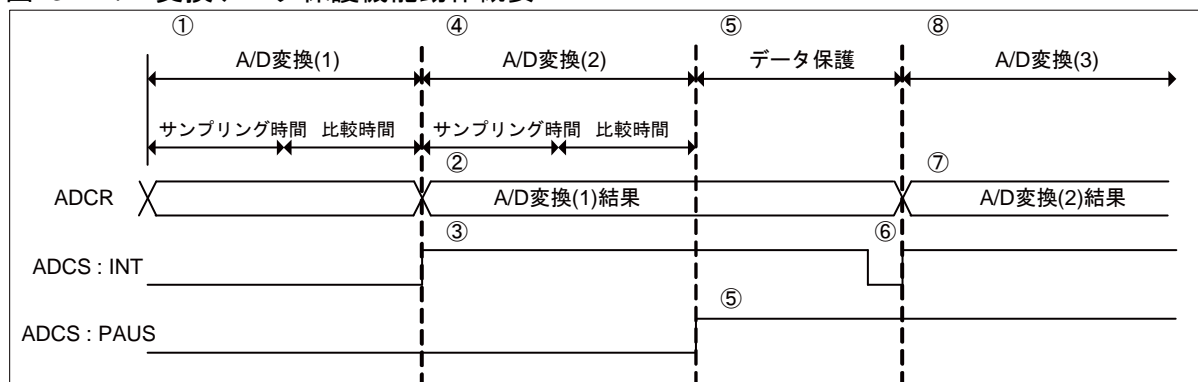
A/D 変換データ保護機能を使用する場合としない場合の動作を以下に示します。

- ・ 割込み要求禁止設定(ADCS:INTE="0") のとき、データ保護機能は機能しません。この状態で A/D 変換が連続実行される場合、A/D コンバータは変換終了のたびに変換結果をデータレジスタ(ADCR) に格納します。これは、常に最新の変換データが格納されていることを意味します。(古い A/D 変換データは破棄されます。)
- ・ 割込み要求許可設定(ADCS:INTE="1") のとき、データ保護機能は機能します。この状態で A/D 変換が連続実行される場合、最初の変換が完了したとき割込み要因が ADCS:INT="1"にセットされます。それから、次の A/D 変換が実行されます。ADCS:INT="1"状態中に A/D 変換が終了すると、A/D コンバータは変換データの上書きを防止するため、逐次比較回路からデータレジスタ(ADCR) に変換結果を転送する直前で一時停止状態になります。このとき、A/D 変換一時停止ビット(ADCS:PAUS) は"1"にセットされます。一時停止状態の間に割込み要因(ADCS:INT) が"0"にクリアされると、逐次比較回路にストアされているデータをデータレジスタ(ADCR) に転送します。(図 3-1 を参照してください)

#### <注意事項>

変換データ保護機能は、データバッファ(ADCBR0~7)には働きません。データバッファ機能を使用する場合は、「4. データバッファ機能」を参照してください。

図 3-1 A/D 変換データ保護機能動作概要



**動作説明**

- ① A/D 変換(1) で A/D 変換が行われます。
- ② 割込み要因状態(ADCS:INT が"1") になり、①の A/D 変換結果が ADCR レジスタの A/D 変換(1) 結果に格納されます。
- ③ ②のとき、割込み要求許可設定が設定(ADCS:INTE が"1") されていると、割込み要求が発生します。
- ④ A/D 変換(2) で A/D 変換が行われます。
- ⑤ ④の A/D 変換が終了したが、ADCS:INT が"1"の状態であるため ADCR レジスタから A/D 変換(1) 結果がまだ読み出されていないと判断しデータ保護(一時停止) されます。また A/D 変換一時停止ビット (ADCS:PAUS) が"1"になります。
- ⑥ ADCR レジスタの A/D 変換(1) を読み出し後に、ADCS:INT を"0"にクリアします。  
(DMA 使用時はデータ転送後クリアされます)
- ⑦ ADCS:INT がクリア後再び"1"にセットされ、ADCR レジスタに A/D 変換(2) 結果が格納されます。
- ⑧ ⑥で ADCS:INT がクリアされたので、A/D 変換(3) が開始されます。

**■ データ保護機能: A/D 変換結果を CPU で読み出す場合**

A/D 変換結果がデータレジスタ(ADCR) に格納されたとき、割込み要因(ADCS:INT) は"1"にセットされます。

次の A/D 変換の終了時、前の A/D 変換の割込み要因状態(ADCS:INT="1") かつ割込み要求許可設定 (ADCS:INTE="1") のとき、A/D 変換動作は、データレジスタ(ADCR) へ新しいデータによる上書きから前の変換データを保護するため一時停止します。

割込み要求許可(ADCS:INTE="1") のため、割込み要求は割込み要因(ADCS:INT) が"1"にセットされたとき発生します。割込み要因(ADCS:INT) が"0"にクリアされたとき、A/D 変換動作の一時停止状態が解除されます。

A/D 変換が連続実行される場合、A/D コンバータは次の A/D 変換動作を開始します。このとき、A/D 変換一時停止ビット(ADCS:PAUS) は自動的に"0"にクリアされません。クリアするために、ADCS:PAUS="0"を書き込みしてください。

**<注意事項>**

- A/D 変換一時停止状態中に割込み要求許可を無効化(ADCS:INTE="0") した場合、A/D コンバータは A/D 変換を再開し、A/D 変換データレジスタの内容はメモリに転送される前に変更される場合があります。
- A/D 変換が 1 つ以上連続実行される場合、割込み要求(ADCS:INT) を"0"にクリアする前にデータレジスタ(ADCR) に格納されたデータを読み出してください。A/D 変換が一時停止状態で、もしデータレジスタ(ADCR) に格納されたデータを読み出す前に割込み要因(ADCS:INT) をクリアした場合、最初に格納された変換データは、次の変換データによって上書きされ破壊されます。

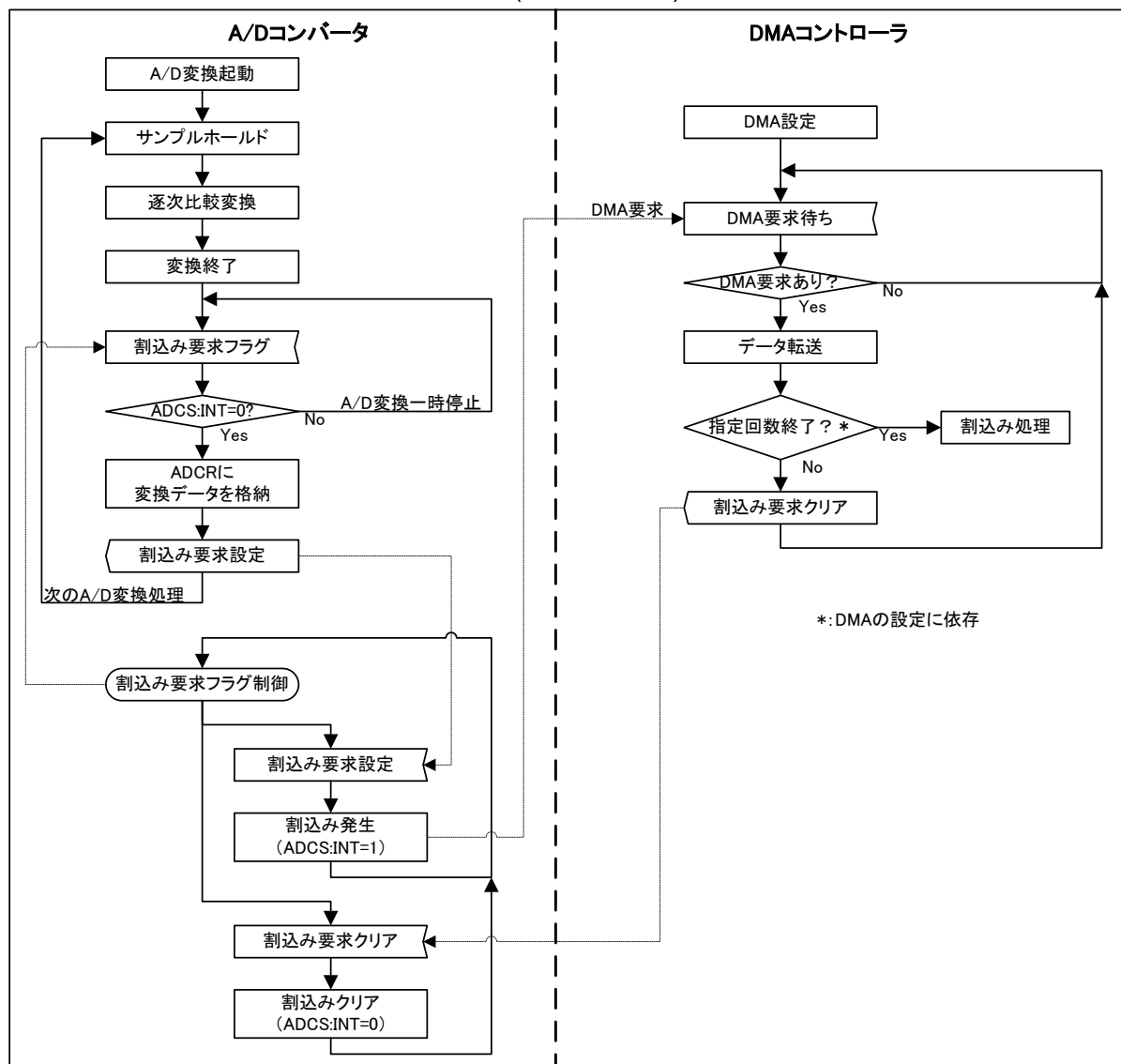


## ■ データ保護機能: A/D 変換結果を DMA により転送する場合

A/D 変換結果が DMA を使用してデータレジスタ(ADCR) から転送される間に次の A/D 変換が終了した場合、A/D 変換動作はデータレジスタ(ADCR) へ新しいデータが書き込まれる直前で、データを保護するために一時停止します。A/D 変換動作が一時停止されると、A/D 変換一時停止ビット(ADCS:PAUS) は"1"にセットされます。DMA により A/D 変換結果の転送が終了したとき、A/D 変換の一時停止状態は解除されます。A/D 変換が連続実行される場合、A/D 変換動作は再開します。このとき、A/D 変換一時停止ビット(ADCS:PAUS) は自動的に"0"にクリアされません。クリアするために、ADCS:PAUS="0"を書き込んでください。

(図 3-2 を参照してください)

図 3-2 変換データ保護機能の処理フロー(DMA 使用時)



---

**<注意事項>**

- DMA により A/D 変換結果を転送する場合、CPU から割込み要因(ADCS:INT) を"0"にクリアしないでください。割込み要因をクリアした場合、転送プロセスでデータレジスタが書き換えられます。
  - DMA により A/D 変換結果を転送する場合、割込み要求許可を無効(ADCS:INTE="0") にしないでください。A/D 変換一時停止の間に割込み要求許可を無効(ADCS:INTE="0") にした場合、A/D 変換は再開しデータレジスタは書き換えられます。
  - DMA により A/D 変換結果を転送する場合、再起動しないでください。A/D 変換一時停止中に A/D 変換を再起動した場合、A/D 変換結果は破壊されます。
  - 割込み要求許可(ADCS:INTE) で制御される割込み通知とデータバッファ割込み要求許可(ADDBCR:BLRIE) で制御される割込み通知は共通です。
  - DMA からの割込み要求クリアにより、データバッファの割込み要因(ADDBCR:BLRF) もクリアされます。
-

## 4. データバッファ機能

データバッファは、A/D 変換結果データをバッファリングする機能です。データバッファ段数は 1~8 段の可変です。データバッファ段数は ADDBCR レジスタの BLL2~0 で設定します。

### ■ データバッファ機能\*

データバッファ(ADCBR0~7) は、連続的な A/D 変換された A/D 変換データを格納します。ただしチャネルスキップ機能を使用している場合、スキップされたアナログ入力チャネルは、A/D 変換が行われなためデータバッファへ格納されず、スキップ設定されていないアナログ入力チャネルがデータバッファに格納されます。

データバッファに書き込む開始条件は、バッファスタートチャネル(ADDBCR:BSC4~0) のコンフィギュレーションによって決定します。データバッファへの書込みは、A/D 変換開始チャネル(ADSR:ANS4~0) と A/D 変換終了チャネル(ADSR:ANE4~0) で設定された A/D 変換範囲のうち、バッファスタートチャネル(ADDBCR:BSC4~0) で設定された値以上になると、A/D 変換結果はデータバッファへ書込みを開始します。使用可能なデータバッファ段数は、データバッファ段数設定(ADDBCR:BLL2~0) により設定します。データバッファ段数設定(ADDBCR:BLL2~0) で設定した段数までデータバッファ書込みが完了すると、バッファフルフラグ(ADDBCR:BLRF) が"1"にセットされます。このとき、データバッファ割込み要求禁止設定(ADDBCR:BLRIE="0") されている場合は、割込みは発生しません。データバッファ割込み要求許可設定(ADDBCR:BLRIE="1") されている場合は、割込みが発生します。割込みをクリアするには、DMA による割込み要因クリアまたはデータバッファの割込み要因クリア(ADDBCR:BLRF="0"書込み) することまたは ADDBCRL に対する書込み処理で割込みはクリアされます。

バッファポインタ値(ADDBCRL:BLC2~0) は、次の A/D 変換結果が格納されるデータバッファのポインタ値の設定もしくは読み出すことが可能です。

ラップアラウンドモード(ADDBCR:WRAP) 設定により、データバッファ(ADCBR0~7) の上書きモードと上書き禁止モードを選択することができます。

### <注意事項>

- データバッファ機能を使用する場合、A/D 変換の再起動を行わないでください。A/D 変換の再起動が行われると、ADDBCR0~7 に格納される変換チャネルとの対応が取れなくなる可能性があります。
- データバッファ機能を使う場合で、DMA を使用する場合は、DMAC のバースト転送モードが必要になります。DMAC のバースト転送モードがサポートされていることを確認してください。
- ADDBCRL の書込み処理(ワードアクセス・バイトアクセス) により、BLRF の割込み要因はクリアされます。これは ADDBCRL 書込み処理により BLC2~0 が更新されバッファフル状態が解除されるためです。

\*: データバッファ機能はオプションのため、すべてのデバイスでアクセス可能というわけではありません。詳細は各デバイスのデータシートの「品種構成」を参照してください。

## ■ データバッファ機能: データバッファ上書きモード(ADDBCR:WRAP="1") の動作

ラップアラウンドモード(ADDBCR:WRAP) を"1"に設定することにより、データバッファ(ADCBR0~7) は上書きモードで動作を行います。

最初の A/D 変換データは、データバッファポインタ値(ADDBCR:LBC2~0) で指定されたデータバッファに格納しバッファリングを開始します。バッファレジスタ段数設定(ADDBCR:BLL2~0) で設定した段数までデータバッファへの書込みが完了すると、データバッファポインタ値(ADDBCR:LBC2~0) は自動で"000<sub>B</sub>"にクリアされます。よって、次の A/D 変換データは、データバッファ 0 (ADCBR0) に対して上書きしバッファリングを継続します。

### <注意事項>

ADDBCR:LBC>ADDBCR:BLL の設定がされた場合、データバッファリングは ADDBCR:LBC で指定されたデータバッファからバッファリングを開始し、データバッファ 7 (ADCBR7) に書込みが完了するとデータバッファ 0 (ADCBR0) に戻ってバッファリングを継続します。さらに、ADDBCR:BLL で設定した段数までデータバッファへの書込みが完了するとまたデータバッファ 0 (ADCBR0) に戻ってバッファリングを継続します。例えば、LBC=6, BLL=2 が設定された場合のバッファリングする順序は、6→7→0→1→2→0→1→2→... となります。

## ■ データバッファ機能: データバッファ上書き禁止モード(ADDBCR:WRAP="0") の動作

ラップアラウンドモード(ADDBCR:WRAP) を"0"に設定することにより、データバッファ(ADCBR0~7) は上書き禁止モードで動作を行います。

最初の A/D 変換データは、データバッファポインタ値(ADDBCR:LBC2~0) で指定されたデータバッファに格納しバッファリングを開始します。バッファレジスタ段数設定(ADDBCR:BLL2~0) で設定した段数までデータバッファへの書込みが完了すると、データバッファ書込みは停止し、データバッファに格納されているデータは上書きされません。また、データバッファポインタ値(ADDBCR:LBC2~0) は自動でクリアされず、ADDBCR:BLL2~0 と同一値で保持します。データバッファの上書き禁止状態の解除は、データバッファレジスタから A/D 変換結果データを読み出した後に、ADDBCR:LBC に対して書込み処理を実施してください。この ADDBCR:LBC 書込み処理により、データバッファの上書き禁止状態は解除されバッファリングを再開します。

### <注意事項>

- データバッファ上書き禁止状態の解除は、ADDBCR:LBC(下位バイト) 書込み処理により、直ちに解除されデータバッファリングが再開されます。このため、A/D 変換中(ADCS:BUSY="1") にデータバッファ上書き禁止状態の解除(ADDBCR:LBC の書込み処理) を実施すると、データバッファ上書き禁止の解除処理した次の A/D 変換データが ADDBCR:LBC2~0 で示されるデータバッファに格納されます。
- ADDBCR:LBC>ADDBCR:BLL の設定がされた場合、データバッファリングは ADDBCR:LBC で指定されたデータバッファからバッファリングを開始し、データバッファ 7 (ADCBR7) に書込みが完了するとデータバッファ 0 (ADCBR0) に戻ってバッファリングを継続します。さらに、ADDBCR:BLL で設定した段数までデータバッファへの書込みが完了するとデータバッファ上書き禁止状態となります。例えば、LBC=6, BLL=2 が設定された場合のバッファリングする順序は、6→7→0→1→2→上書き禁止状態となります。

## ■ 変換データ保護機能とラップアラウンドモードの関係

変換データ保護機能は、A/D 変換データを失うのを避けることを目的としています。割込み要求許可設定 (ADCS:INTE="1") することにより、割込み要因発生状態 (ADCS:INT="1") 中に、次の A/D 変換が終了すると、逐次比較回路からデータレジスタ (ADCR) に変換結果を転送する直前で一時停止状態 (ADCS:PAUS="1") になり、A/D 変換データが上書きにより失うのを防止します。

データバッファ機能は、変換データ保護機能と独立して動作します。データバッファ割込み通知許可 (ADDBCR:BLRIE="1") に設定しても、バッファフル時の割込み通知が可能ですが、変換データ保護機能は動作しません。しかしデータバッファ機能は、ラップアラウンドモード (ADDBCR:WRAP) 設定により、データバッファ (ADCBR0~7) の上書き/上書き禁止モードの選択が可能です。

### <注意事項>

割込み要求許可 (ADCS:INTE) で制御される割込み通知とデータバッファ割込み要求許可 (ADDBCR:BLRIE) で制御される割込み通知は共通です。

## ■ 変換データ保護機能とラップアラウンドモードの関係 (ADCS:INTE="0", ADDBCR:BLRIE="0")

割込み通知は発生しません。

変換データ保護機能は無効です (A/D 変換は一時停止しません)。データレジスタ (ADCR) は、A/D 変換ごとに更新されます。

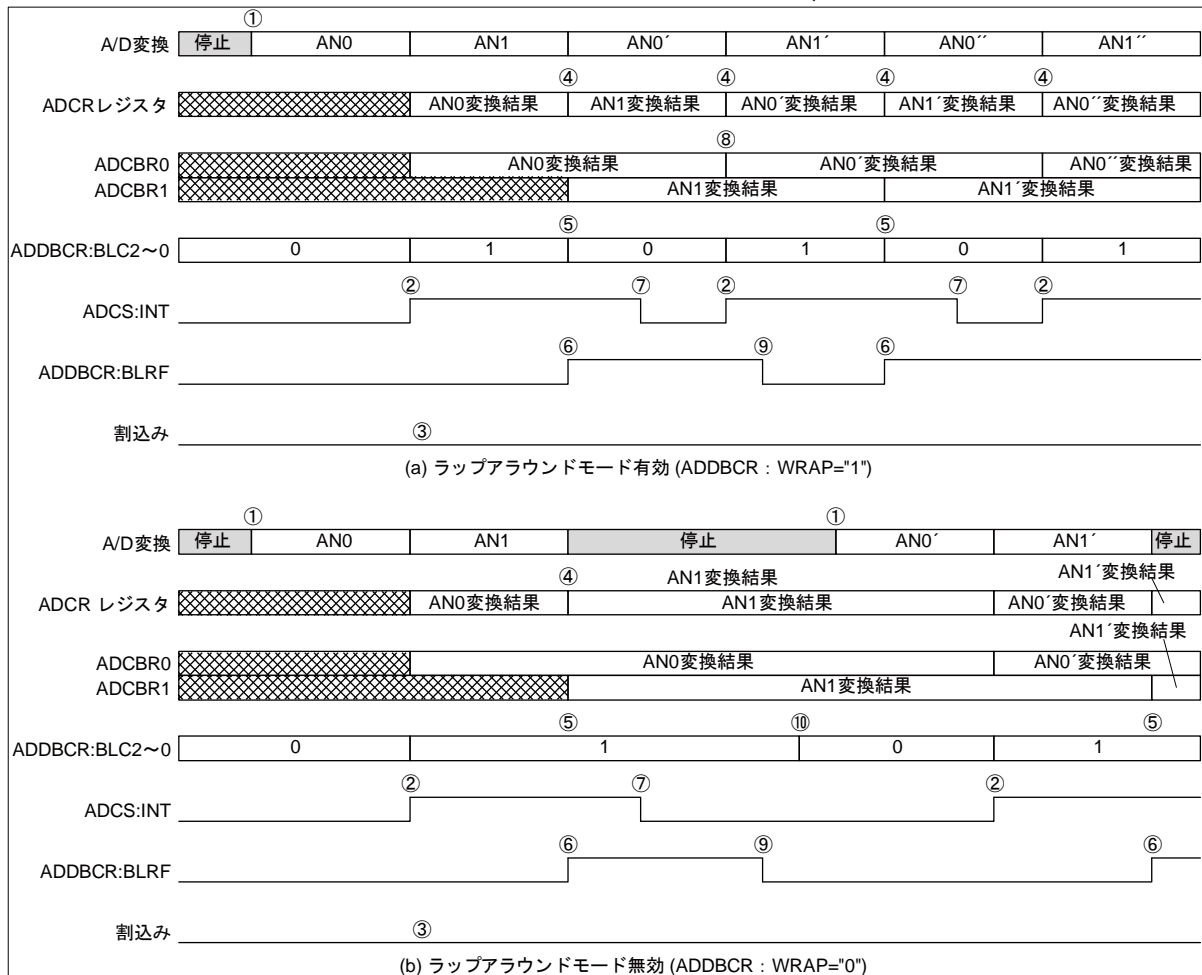
データバッファ機能は、データバッファがバッファフル検出 (ADDBCR:BLRF="1") しても変換データ保護機能が働かないため、ADCS:INTE 設定に依存し A/D 変換は一時停止しません。

- ADDBCR:WRAP="1": バッファポインタ (ADDBCR:L:BLC2~0) は、自動的にラップアラウンドします。バッファレジスタ段数設定 (ADDBCR:L:BLL2~0) で設定した段数までデータバッファ書込みが完了すると、ADDBCR:BLRF は "1" にセットされ、データバッファポインタ値 (ADDBCR:L:BLC2~0) は自動的に ADDBCR:L:BLC2~0 を "000<sub>B</sub>" にクリアします。また、データバッファは古いデータを上書きしながらバッファリングを継続します (保護しません)。
- ADDBCR:WRAP="0": バッファポインタ (ADDBCR:L:BLC2~0) は、自動的にラップアラウンドしません。バッファレジスタ段数設定 (ADDBCR:L:BLL2~0) で設定した段数までデータバッファ書込みが達すると、ADDBCR:BLRF は "1" にセットされ、データバッファ書込みは停止し、データバッファに格納されているデータは上書きされません。また、データバッファポインタ値 (ADDBCR:L:BLC2~0) は自動でクリアされないため、データバッファレジスタから A/D 変換結果データを読み出した後に、ソフトウェアより初期化 (ADDBCR:L:BLC2~0 書込み処理) をしてください。この初期化処理により、データバッファの上書き禁止状態は解除されバッファリングを再開します。ただし、データバッファ上書き禁止状態中は、変換データ保護機能が働かませんので A/D 変換は継続し、完了した A/D 変換データはデータバッファに格納できませんので喪失します。

図 4-1 に ADCS:INTE="0", ADDBCR:BLRIE="0" 設定時の動作例を示します。また本動作例におけるその他の設定内容は以下です。

- ADCS:MD1~0 = (a) "10<sub>B</sub>" (連続モード)  
(b) "01<sub>B</sub>" (シングルモード 2)
- ADSR:ANS4~0 = "00000<sub>B</sub>" (A/D 変換開始チャネル)
- ADSR:ANE4~0 = "00001<sub>B</sub>" (A/D 変換終了チャネル)
- ADDBCR:L:BLL2~0 = "001<sub>B</sub>" (データバッファ使用段数: 2 段)
- ADDBCR:L:BSC4~0 = "000000<sub>B</sub>" (バッファスタートチャネル設定)

図 4-1 変換データ保護機能とラップアラウンドモードの関係 (ADCS:INTE="0", ADDBCR:BLRIE="0")



### 動作概要

- ① A/D 変換が起動により A/D 変換が開始しました。
- ② A/D 変換が完了し ADCR が更新されたため ADCS:INT="1"に設定されます。
- ③ 割込み通知許可が要求禁止(ADCS:INTE="0", ADDBCR:BLRIE="0") のため割込みは発生しません。
- ④ 変換データ保護機能が無効のため、A/D 変換ごとに ADCR は更新されます。
- ⑤ (a) ラップアラウンドモードが有効(ADDBCR:WRAP="1") の場合、バッファポインタ値 (ADDBCR:BLC2~0) は自動的に"000<sub>B</sub>"にクリアされます。  
(b) ラップアラウンドモードが無効(ADDBCR:WRAP="0") の場合、バッファポインタ値 (ADDBCR:BLC2~0) は自動的にクリアされず、ADDBCR:BLL2~0 の設定値で停止します。
- ⑥ バッファフルを検出したため、ADDBCR:BLRF に"1"を設定します。
- ⑦ ADCR の割込み要因クリア(ADCR:INT="0"書込み) により、ADCR:INT="0"になります。
- ⑧ (a) ラップアラウンドモードが有効(ADDBCR:WRAP="1") の場合、ADCBR は上書き可能であるため



A/D 変換データの更新を行います。

- ⑨ ADCBR の割込み要因クリア(ADDBCR:BLRF に"0"書込み) により、ADDBCR:BLRF="0"になります。
- ⑩ (b) ラップアラウンドモードが無効(ADDBCR:WRAP="0") の場合、ADDBCR の上書き禁止を解除するために ADDBCR:L に対し書込み処理を行います。このとき ADDBCR:L:BLC に書き込まれたポインタ値 (図例では"000<sub>B</sub>") から書込みを再開します。

## ■ 変換データ保護機能とラップアラウンドモードの関係 (ADCS:INTE="1", ADDBCR:BLRIE="0")

割込み通知は、データレジスタ(ADCR) の更新のたびに発生します。

変換データ保護機能は有効です。データレジスタ(ADCR) は、A/D 変換ごとに更新され、データレジスタ(ADCR) に格納されている前の A/D 変換データを読み出す前(ADCS:INTE="1"のとき) に次の A/D 変換が終了すると、A/D 変換は一時停止します。

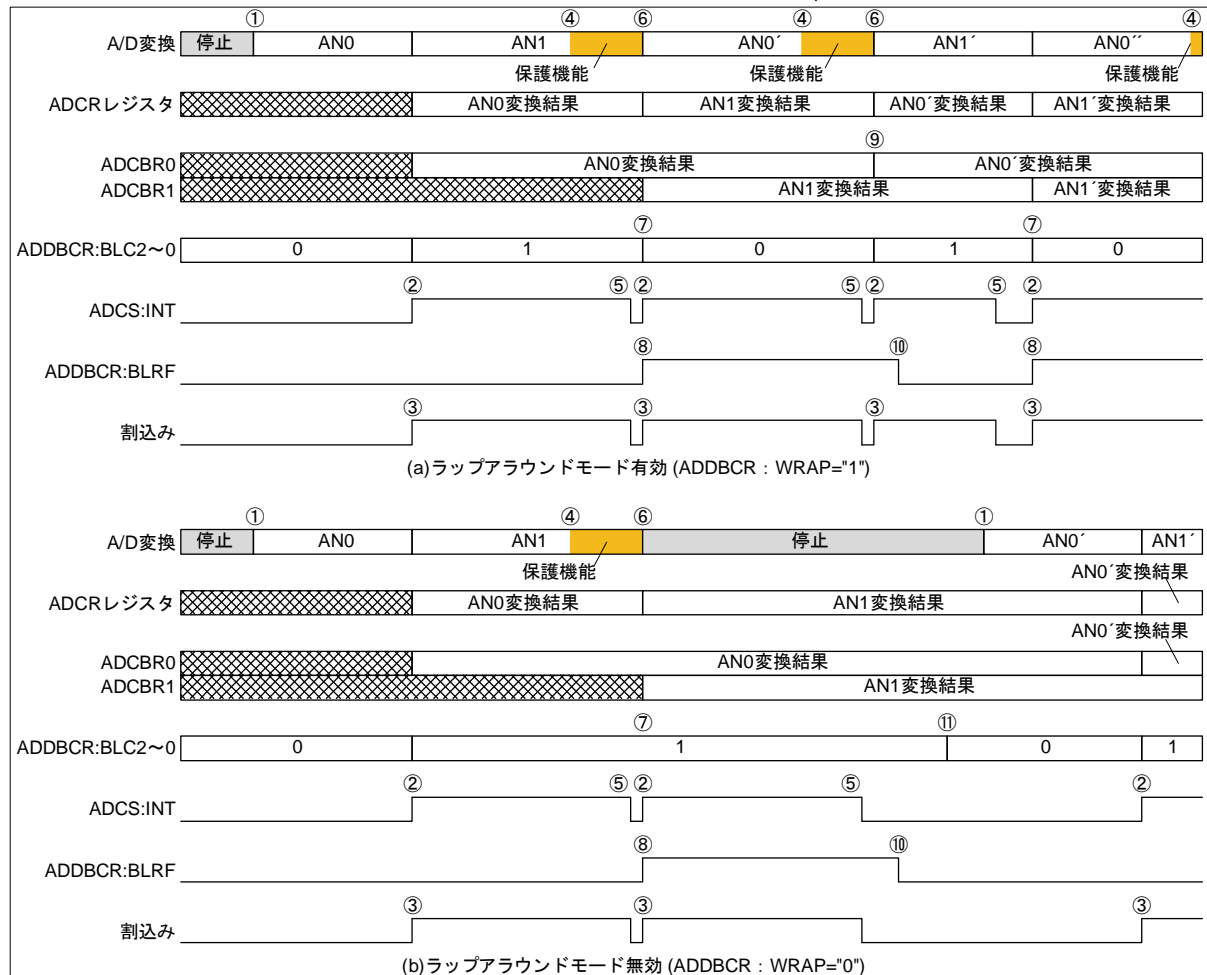
データバッファ機能は、データバッファがバッファフル検出(ADDBCR:BLRF="1") しても変換データ保護機能が働かないため、ADCS:INTE 設定に依存しデータレジスタ(ADCR) 要因でのみ A/D 変換は一時停止します。

- ・ ADDBCR:WRAP="1": バッファポインタ(ADDBCR:L:BLC2~0) は、自動的にラップアラウンドします。バッファレジスタ段数設定(ADDBCR:BLL2~0) で設定した段数までデータバッファ書込みが完了すると、ADDBCR:BLRF は"1"にセットされ、データバッファポインタ値(ADDBCR:L:BLC2~0) は自動的に ADDBCR:L:BLC2~0 を"000<sub>B</sub>"にクリアします。また、データバッファは古いデータを上書きしながらバッファリングを継続します(保護しません)。
- ・ ADDBCR:WRAP="0": バッファポインタ(ADDBCR:L:BLC2~0) は、自動的にラップアラウンドしません。バッファレジスタ段数設定(ADDBCR:BLL2~0) で設定した段数までデータバッファ書込みが完了すると、ADDBCR:BLRF は"1"にセットされ、データバッファ書込みは停止し、データバッファに格納されているデータは上書きされません。また、データバッファポインタ値(ADDBCR:L:BLC2~0) は自動でクリアされないため、データバッファレジスタから A/D 変換結果データを読み出した後に、ソフトウェアより初期化(ADDBCR:L 書込み処理) をしてください。この初期化処理により、データバッファの上書き禁止状態は解除されバッファリングを再開します。ただし、データバッファ上書き禁止状態中は、変換データ保護機能が働きませんので A/D 変換は継続し、完了した A/D 変換データはデータバッファに格納できませんので喪失します。

図 4-2 に ADCS:INTE="1", ADDBCR:BLRIE="0"設定時の動作例を示します。また本動作例におけるその他の設定内容は以下です。

- ・ ADCS:MD1~0 = (a) "10<sub>B</sub>"(連続モード)  
(b) "01<sub>B</sub>"(シングルモード 2)
- ・ ADSR:ANS4~0 = "00000<sub>B</sub>"(A/D 変換開始チャネル)
- ・ ADSR:ANE4~0 = "00001<sub>B</sub>"(A/D 変換終了チャネル)
- ・ ADDBCR:BLL2~0 = "001<sub>B</sub>"(データバッファ使用段数: 2 段)
- ・ ADDBCR:BSC4~0 = "000000<sub>B</sub>"(バッファスタートチャネル設定)

図 4-2 変換データ保護機能とラップアラウンドモードの関係 (ADCS:INTE="1", ADDBCR:BLRIE="0")



### 動作概要

- ① A/D 変換が起動により A/D 変換が開始しました。
- ② A/D 変換が完了し ADCR が更新されたため ADCS:INT="1"に設定されます。
- ③ ADCR の割込み通知許可のみが要求許可(ADCS:INTE="1", ADDBCR:BLRIE="0") のため、ADCS:INT の設定値と同期した割込みを発生します。
- ④ 変換データ保護機能が有効のため、ADCR に変換データを更新する直前で A/D 変換を一時停止します。
- ⑤ ADCR の変換データを読み出した後、ADCR の割込み要因クリア(ADCR:INT に"0"書込みもしくは DMA からの割込み要求クリア) により、ADCR:INT="0"になります。
- ⑥ (a) ADCR:INT が"0"にクリアされたことにより、一時停止していた変換データを ADCR に転送し、次の A/D 変換を開始します。  
(b) ADCR:INT が"0"にクリアされたことにより、一時停止していた変換データを ADCR に転送し、A/D 変換を終了します。
- ⑦ (a) ラップアラウンドモードが有効(ADDBCR:WRAP="1") の場合、バッファポインタ値



(ADDBCRL:BLC2~0) は自動的に"000<sub>B</sub>"にクリアされます。

(b) ラップアラウンドモードが無効(ADDBCRL:WRAP="0") の場合、バッファポインタ値 (ADDBCRL:BLC2~0) は自動的にクリアされず、ADDBCRL:BLL2~0 の設定値で停止します。

- ⑧ バッファフルを検出したため、ADDBCRL:BLRF="1"に設定されます。
- ⑨ (a) ラップアラウンドモードが有効(ADDBCRL:WRAP="1") の場合、ADDCR は上書き可能であるため A/D 変換データの更新を行います。
- ⑩ ADCR の割込み要因クリア(ADDBCRL:BLRF="0"書込み) により、ADDBCRL:BLRF="0"になります。
- ⑪ (b) ラップアラウンドモードが無効(ADDBCRL:WRAP="0") の場合、ADDBCRL の上書き禁止を解除するために ADDBCRL に対し書込み処理を行います。このとき ADDBCRL:BLC に書き込まれたポインタ値 (図例では"000<sub>B</sub>") から書込みを再開します。

## ■ 変換データ保護機能とラップアラウンドモードの関係 (ADCS:INTE="0", ADDBCRL:BLRIE="1")

割込み通知は、データバッファのバッファフル検出(ADDBCRL:BLRF="1") により発生します。

変換データ保護機能は無効です(A/D 変換は一時停止しません)。データレジスタ(ADCR) は、A/D 変換ごとに更新されます。

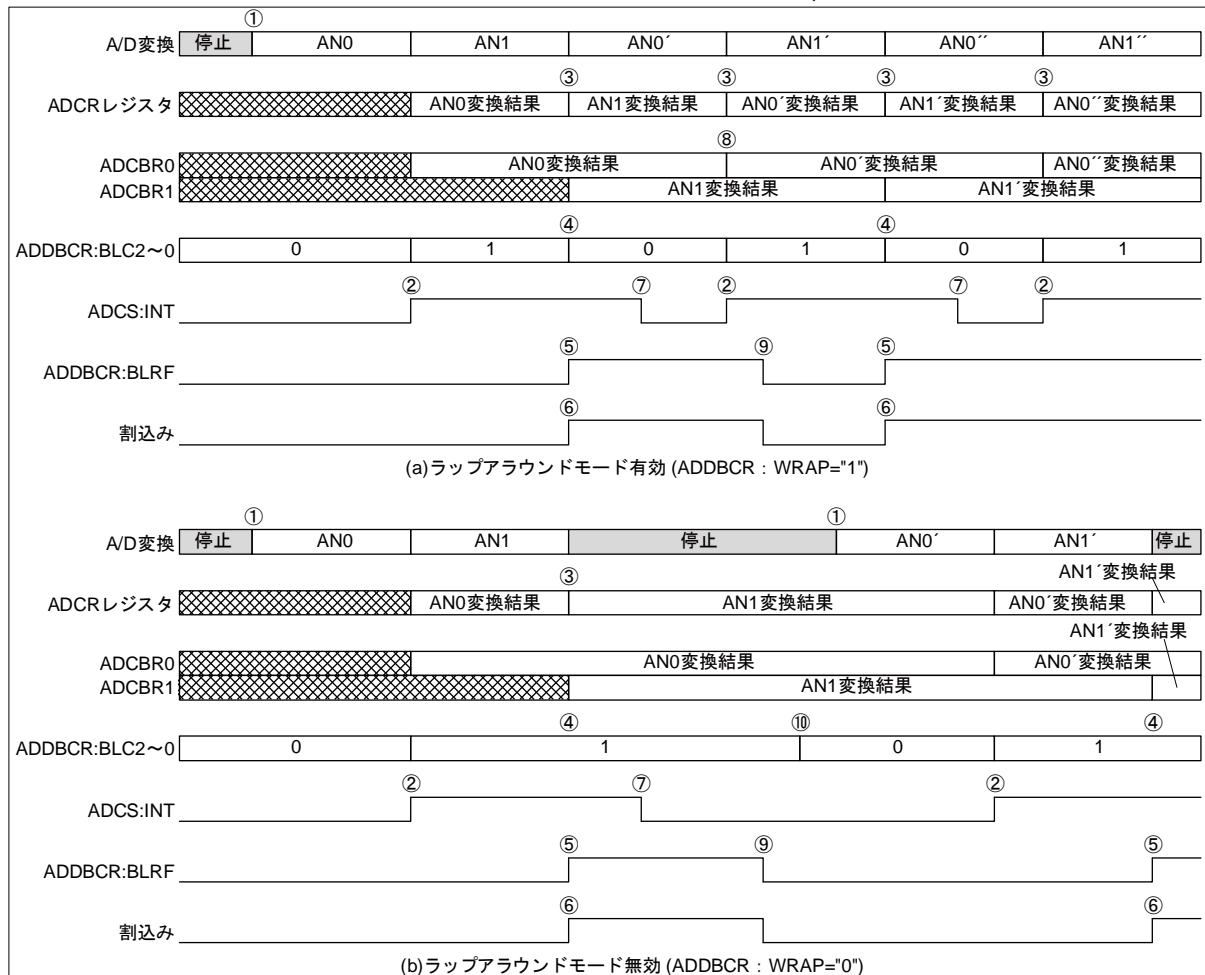
データバッファ機能は、データバッファがバッファフル検出(ADDBCRL:BLRF="1") しても変換データ保護機能が働かないため、ADCS:INTE 設定に依存し A/D 変換は一時停止しません。

- ・ ADDBCRL:WRAP="1": バッファポインタ(ADDBCRL:BLC2~0) は、自動的にラップアラウンドします。バッファレジスタ段数設定(ADDBCRL:BLL2~0) で設定した段数までデータバッファ書込みが完了すると、ADDBCRL:BLRF は"1"にセットされ、データバッファポインタ値(ADDBCRL:BLC2~0) は自動的に ADDBCRL:BLC2~0 を"000<sub>B</sub>"にクリアします。また、データバッファは古いデータを上書きしながらバッファリングを継続します(保護しません)。
- ・ ADDBCRL:WRAP="0": バッファポインタ(ADDBCRL:BLC2~0) は、自動的にラップアラウンドしません。バッファレジスタ段数設定(ADDBCRL:BLL2~0) で設定した段数までデータバッファ書込みが完了すると、ADDBCRL:BLRF は"1"にセットされ、データバッファ書込みは停止し、データバッファに格納されているデータは上書きされません。また、データバッファポインタ値(ADDBCRL:BLC2~0) は自動でクリアされないため、データバッファレジスタから A/D 変換結果データを読み出した後に、ソフトウェアより初期化(ADDBCRL 書込み処理) をしてください。この初期化処理により、データバッファの上書き禁止状態は解除されバッファリングを再開します。ただし、データバッファ上書き禁止状態中は、変換データ保護機能が働きませんので A/D 変換は継続し、完了した A/D 変換データはデータバッファに格納できませんので喪失します。

図 4-3 に ADCS:INTE="0", ADDBCRL:BLRIE="1"設定時の動作例を示します。また本動作例におけるその他の設定内容は以下です。

- ・ ADCS:MD1~0 = (a) "10<sub>B</sub>"(連続モード)  
(b) "01<sub>B</sub>"(シングルモード 2)
- ・ ADSR:ANS4~0 = "00000<sub>B</sub>"(A/D 変換開始チャネル)
- ・ ADSR:ANE4~0 = "00001<sub>B</sub>"(A/D 変換終了チャネル)
- ・ ADDBCRL:BLL2~0 = "001<sub>B</sub>"(データバッファ使用段数: 2 段)
- ・ ADDBCRL:BSC4~0 = "000000<sub>B</sub>"(バッファスタートチャネル設定)

図 4-3 変換データ保護機能とラップアラウンドモードの関係 (ADCS:INTE="0", ADDBCR:BLRIE="1")



### 動作概要

- ① A/D 変換が起動により A/D 変換が開始しました。
- ② A/D 変換が完了し ADCR が更新されたため ADCS:INT="1"に設定されます。
- ③ 変換データ保護機能が無効のため、A/D 変換ごとに ADCR は更新されます。
- ④ (a) ラップアラウンドモードが有効(ADDBCR:WRAP="1") の場合、バッファポインタ値 (ADDBCR:BLC2~0) は自動的に"000<sub>B</sub>"にクリアされます。  
(b) ラップアラウンドモードが無効(ADDBCR:WRAP="0") の場合、バッファポインタ値 (ADDBCR:BLC2~0) は自動的にクリアされず、ADDBCR:BLC2~0 の設定値で停止します。
- ⑤ バッファフルを検出したため、ADDBCR:BLRF="1"に設定されます。
- ⑥ ADCBR の割込み通知許可が要求許可(ADCS:INTE="0", ADDBCR:BLRIE="1") のため、ADDBCR:BLRF の設定値と同期した割込みを発生します。
- ⑦ ADCR の割込み要因クリア(ADCR:INT="0"書込み) により、ADCR:INT="0"になります。

- ⑧ (a) ラップアラウンドモードが有効(ADDBCR:WRAP="1") の場合、ADCBR は上書き可能であるため A/D 変換データの更新を行います。
- ⑨ ADCBR の割込み要因クリア(ADDBCR:BLRF="0"書込み) により、ADDBCR:BLRF="0"になります。
- ⑩ (b) ラップアラウンドモードが無効(ADDBCR:WRAP="0") の場合、ADDBCR の上書き禁止を解除するために ADDBCRL に対し書込み処理を行います。このとき ADDBCRL:BLC に書き込まれたポインタ値 (図例では"000<sub>B</sub>") から書込みを再開します。

## ■ 変換データ保護機能とラップアラウンドモードの関係 (ADCS:INTE="1", ADDBCR:BLRIE="1")

割込み通知は、データバッファのバッファフル検出(ADDBCR:BLRF="1") 時とデータレジスタ(ADCR) の更新ごとの OR 条件で発生します。

変換データ保護機能は有効です。データレジスタ(ADCR) は、A/D 変換ごとに更新され、データレジスタ(ADCR) に格納されている前の A/D 変換データを読み出す前(ADCS:INTE="1"のとき) に次の A/D 変換が終了すると、A/D 変換は一時停止します。

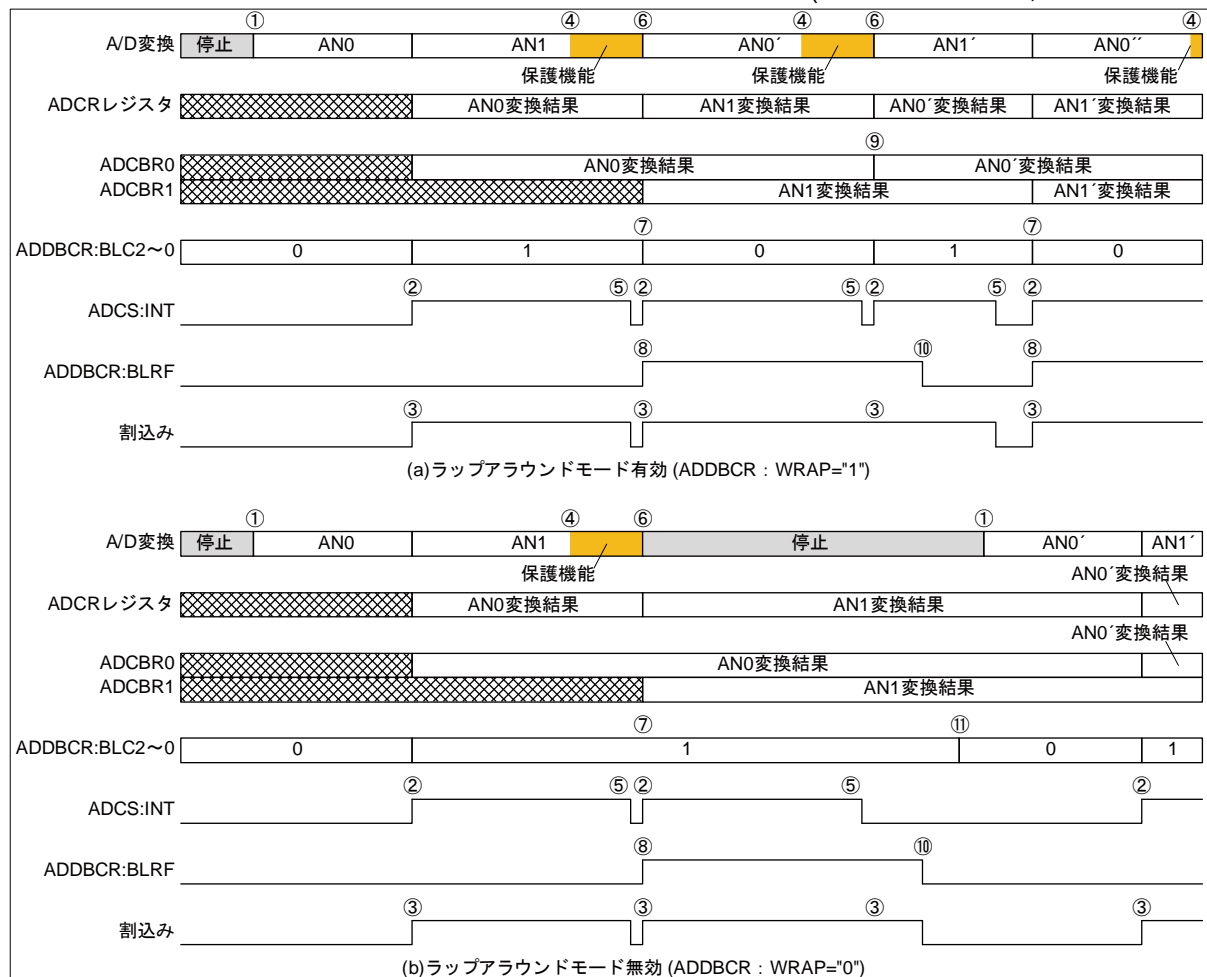
データバッファ機能は、データバッファがバッファフル検出(ADDBCR:BLRF="1") しても変換データ保護機能が働かないため、ADCS:INTE 設定に依存しデータレジスタ(ADCR) 要因でのみ A/D 変換は一時停止します。

- ・ ADDBCR:WRAP="1": バッファポインタ(ADDBCR:BLC2~0) は、自動的にラップアラウンドします。バッファレジスタ段数設定(ADDBCR:BLL2~0) で設定した段数までデータバッファ書込みが完了すると、ADDBCR:BLRF は"1"にセットされ、データバッファポインタ値(ADDBCR:BLC2~0) は自動的に ADDBCRL:BLC2~0 を"000<sub>B</sub>"にクリアします。また、データバッファは古いデータを上書きしながらバッファリングを継続します(保護しません)。
- ・ ADDBCR:WRAP="0": バッファポインタ(ADDBCR:BLC2~0) は、自動的にラップアラウンドしません。バッファレジスタ段数設定(ADDBCR:BLL2~0) で設定した段数までデータバッファ書込みが完了すると、ADDBCR:BLRF は"1"にセットされ、データバッファ書込みは停止し、データバッファに格納されているデータは上書きされません。また、データバッファポインタ値(ADDBCR:BLC2~0) は自動でクリアされないため、データバッファレジスタから A/D 変換結果データを読み出した後に、ソフトウェアより初期化(ADDBCR:BLC2~0 書込み処理) をしてください。この初期化処理により、データバッファの上書き禁止状態は解除されバッファリングを再開します。ただし、データバッファ上書き禁止状態中は、変換データ保護機能が働きませんので A/D 変換は継続し、完了した A/D 変換データはデータバッファに格納できませんので喪失します。

図 4-4 に ADCS:INTE="1", ADDBCR:BLRIE="1"設定時の動作例を示します。また本動作例におけるその他の設定内容は以下です。

- ・ ADCS:MD1~0 = (a) "10<sub>B</sub>"(連続モード)  
(b) "01<sub>B</sub>"(シングルモード 2)
- ・ ADSR:ANS4~0 = "00000<sub>B</sub>"(A/D 変換開始チャネル)
- ・ ADSR:ANE4~0 = "00001<sub>B</sub>"(A/D 変換終了チャネル)
- ・ ADDBCR:BLL2~0 = "001<sub>B</sub>"(データバッファ使用段数: 2 段)
- ・ ADDBCR:BSC4~0 = "000000<sub>B</sub>"(バッファスタートチャネル設定)

図 4-4 変換データ保護機能とラップアラウンドモードの関係 (ADCS:INTE="1", ADDBCR:BLRIE="1")



### 動作概要

- ① A/D 変換が起動により A/D 変換が開始しました。
- ② A/D 変換が完了し ADCR が更新されたため ADCS:INT="1"に設定されます。
- ③ ADCR, ADDPCR とともに割込み通知許可が要求許可(ADCS:INTE="1", ADDPCR:BLRIE="1") のため、ADCS:INT と ADDPCR:BLRF の設定値の OR された割込みを発生します。
- ④ 変換データ保護機能が有効のため、ADCR に変換データを更新する直前で A/D 変換を一時停止します。
- ⑤ ADCR の変換データを読み出した後、ADCR の割込み要因クリア(ADCS:INT="0"書き込みもしくは DMA からの割込み要求クリア) により、ADCS:INT="0"になります。
- ⑥ (a) ADCR:INT が"0"にクリアされたことにより、一時停止していた変換データを ADCR に転送し、次の A/D 変換を開始します。  
(b) ADCR:INT が"0"にクリアされたことにより、一時停止していた変換データを ADCR に転送し、A/D 変換を終了します。
- ⑦ (a) ラップアラウンドモードが有効(ADDPCR:WRAP="1") の場合、バッファポインタ値

(ADDBCRL:BLC2~0) は自動的に"000<sub>B</sub>"にクリアされます。

(b) ラップアラウンドモードが無効(ADDBCRCR:WRAP="0") の場合、バッファポインタ値 (ADDBCRL:BLC2~0) は自動的にクリアされず、ADDBCRCR:BLL2~0 の設定値で停止します。

- ⑧ バッファフルを検出したため、ADDBCRCR:BLRF="1"に設定されます。
- ⑨ (a) ラップアラウンドモードが有効(ADDBCRCR:WRAP="1") の場合、ADDCR は上書き可能であるため A/D 変換データの更新を行います。
- ⑩ ADCR の割込み要因クリア(ADDBCRCR:BLRF="0"書込み) により、ADDBCRCR:BLRF="0"になります。
- ⑪ (b) ラップアラウンドモードが無効(ADDBCRCR:WRAP="0") の場合、ADDBCRCR の上書き禁止を解除するために ADDBCRL に対し書込み処理を行います。このとき ADDBCRL:BLC に書き込まれたポインタ値 (図例では"000<sub>B</sub>") から書込みを再開します。

## 5. レンジ比較機能

レンジ比較機能は、A/D 変換された結果が上限しきい値レジスタおよび下限しきい値レジスタで設定された範囲内もしくは範囲外の比較を行います。しきい値範囲外確認の場合は、上限しきい値超過または下限しきい値未満の表示を行います。アナログ入力チャネル単位でレンジ比較機能の設定が可能です。

### ■ レンジ比較機能\*

上限しきい値レジスタ(ADRCOH0~3) および下限しきい値レジスタ(ADRCOL0~3) はそれぞれ4種類の設定を行うことが可能です。アナログ入力チャネル単位でどの上限しきい値レジスタ/下限しきい値レジスタの組合せを使用するかの設定選択が可能です。上限しきい値レジスタと下限しきい値レジスタのしきい値設定の組合せは以下の4種類です。

- ・ 上限しきい値レジスタ 0(ADRCOH0) と下限しきい値レジスタ 0(ADRCOL0)
- ・ 上限しきい値レジスタ 1(ADRCOH1) と下限しきい値レジスタ 1(ADRCOL1)
- ・ 上限しきい値レジスタ 2(ADRCOH2) と下限しきい値レジスタ 2(ADRCOL2)
- ・ 上限しきい値レジスタ 3(ADRCOH3) と下限しきい値レジスタ 3(ADRCOL3)

アナログ入力チャネル単位で、レンジ比較設定(ADCC:RCOE<sub>n</sub>) およびレンジ比較割込み設定(ADCC:RCOIE<sub>n</sub>)を行うことが可能です。各アナログ入力チャネル単位で設定したしきい値設定の組合せを用いて上限しきい値と下限しきい値の範囲内または範囲外チェックの選択設定(ADRCOIRS:RCOIRS<sub>n</sub>) が可能です。範囲外をチェックする場合、上限しきい値超過または下限しきい値未満の表示はレンジ比較しきい値超過フラグレジスタ(ADRCOOF:RCOOF<sub>n</sub>) で確認することができます。

レンジ比較による割込みを行うには、レンジ比較許可設定(ADCC:RCOE<sub>n</sub> = "1") およびレンジ比較割込み要求許可設定(ADCC:RCOIE<sub>n</sub> = "1") を設定します。上限しきい値および下限しきい値の範囲外をチェックする場合は、レンジ比較インポート選択レジスタ(ADRCOIRS:RCOIRS<sub>n</sub>) に"0"を設定します。アナログ入力チャネルの A/D 変換結果が設定されたしきい値を外れた場合、レンジ比較フラグレジスタ

(ADRCOINTF:RCOINT<sub>n</sub>) のアナログ入力チャネルに対応するフラグがセット(ADRCOINTF:RCOINT<sub>n</sub> = "1") されます。レンジ比較割込み要因(ADRCOINTF:RCOINT<sub>n</sub> を"1"にセットする条件) が発生したときアナログ入力チャネルに対応するレンジ比較超過フラグレジスタ(ADRCOOF:RCOOF<sub>n</sub>) は更新され、上限しきい値超過の場合は"1"に設定され、下限しきい値未満の場合は"0"に設定されます。

上限しきい値および下限しきい値の範囲内をチェックする場合は、レンジ比較インポート選択レジスタ(ADRCOIRS:RCOIRS<sub>n</sub>) に"1"を設定します。アナログ入力チャネルの A/D 変換結果が設定されたしきい値内の場合、レンジ比較フラグレジスタ(ADRCOINTF:RCOINT<sub>n</sub>) のアナログ入力チャネルに対応するフラグがセット(ADRCOINTF:RCOINT<sub>n</sub> = "1") されます。レンジ比較超過フラグレジスタ(ADRCOOF:RCOOF<sub>n</sub>) は、レンジ比較インポート選択レジスタが範囲内(ADRCOIRS:RCOIRS<sub>n</sub> = "1") のとき更新制御を行いません。

(n は 0~31 のアナログ入力チャネル番号を示します)

図 5-1、表 5-1 にレンジ比較の動作例を示します。また、本動作例における設定内容は以下です。

- ・ アナログ入力チャネルはチャネル 0(AN0) を使用します。
- ・ ADCC0 の設定を 1100<sub>B</sub> とする(上限/下限しきい値レジスタ 0 を使用/レンジ比較を行う/レンジ比較割込みは有効)
- ・ ADRCOH0 (Upper Threshold Register0) の設定値は任意です。
- ・ ADRCOL0 (Lower Threshold Register0) の設定値は任意です。

\*: レンジ比較機能はオプションのため、すべてのデバイスでアクセス可能というわけではありません。詳細は各デバイスのデータシートの「品種構成」を参照してください。



図 5-1 レンジ比較動作

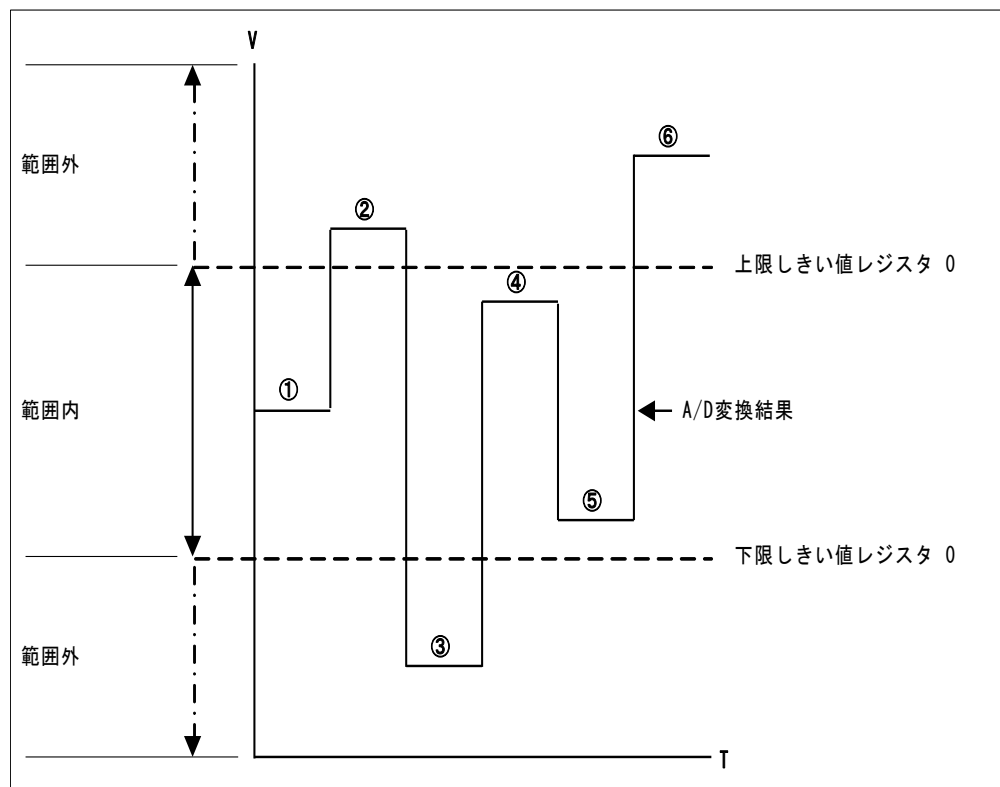


表 5-1 「図 5-1 レンジ比較動作」によるレンジ比較状態表示結果

	レンジ比較インバートレンジ選択レジスタ (ADRCOIRS0:RCOIRS0) の設定											
	0(しきい値の範囲外チェック)						1(しきい値の範囲内チェック)					
「図 5-1 レンジ比較動作」 の状態	①	②	③	④	⑤	⑥	①	②	③	④	⑤	⑥
レンジ比較フラグレジスタ (ADRCOINTF:RCOINT0)の状態	0	1 <sup>*1</sup>	1 <sup>*1</sup>	0	0	1 <sup>*1</sup>	1 <sup>*1</sup>	0	0	1 <sup>*1</sup>	1 <sup>*1</sup>	0
レンジ比較しきい値超過 フラグレジスタ (ADRCOOF0:RCOOF0)の状態	<sup>*2</sup>	1	0	0 <sup>*2</sup>	0 <sup>*2</sup>	1	<sup>*2</sup>	<sup>*2</sup>	<sup>*2</sup>	<sup>*2</sup>	<sup>*2</sup>	<sup>*2</sup>

\*1: レンジ比較フラグレジスタの割込み要因通知(ADRCOINTF:RCOINT0="1") 後、ソフトウェアにより処理した後に割込み要因クリア(ADRCOINTF:RCOINT0="0"書き込み) を実行します。

\*2: Don't care です。ADRCOIRS:RCOIRS<sub>n</sub>="0"かつレンジ比較割込み要因(ADRCOINTF:RCOINT<sub>n</sub>を"1"にセットする条件)が発生する場合のみ ADRCOOF:RCOOF<sub>n</sub>を更新します。

## 6. チャネルスキップ機能

チャネルスキップ機能は、ANS4~0 で設定されたチャネルから ANE4~0 で設定されたチャネルまでを変換する際に、特定チャネルの A/D 変換をスキップ(A/D 変換を行わない) する機能です。

### ■ チャネルスキップ機能\*

チャネルスキップ機能は、スキャン変換でスキャン変換不要なアナログ入力チャネルの A/D 変換をスキップする機能です。

チャネルスキップ機能は、チャネルスキップイネーブル設定(ADCS:CSEN) により、チャネルスキップ使用の有無を選択できます。

チャネルスキップイネーブル設定(ADCS:CSEN) を"0"に設定した場合、チャネルスキップ機能は無効となります。よってスキャン変換は、ADSR レジスタのアナログ開始チャネル設定(ANS4~0) とアナログ終了チャネル設定(ANE4~0) で設定された範囲の連続したアナログ入力チャネルの A/D 変換を行います。

チャネルスキップイネーブル設定(ADCS:CSEN) を"1"に設定した場合、チャネルスキップ機能は有効となります。スキャン変換は、ADSR レジスタのアナログ開始チャネル設定(ANS4~0) とアナログ終了チャネル設定(ANE4~0) で設定された範囲の中で、チャネルスキップ設定(ADDSCR:DCSn="1") されたチャネルはスキップ処理されアナログ入力チャネルの A/D 変換を行います。

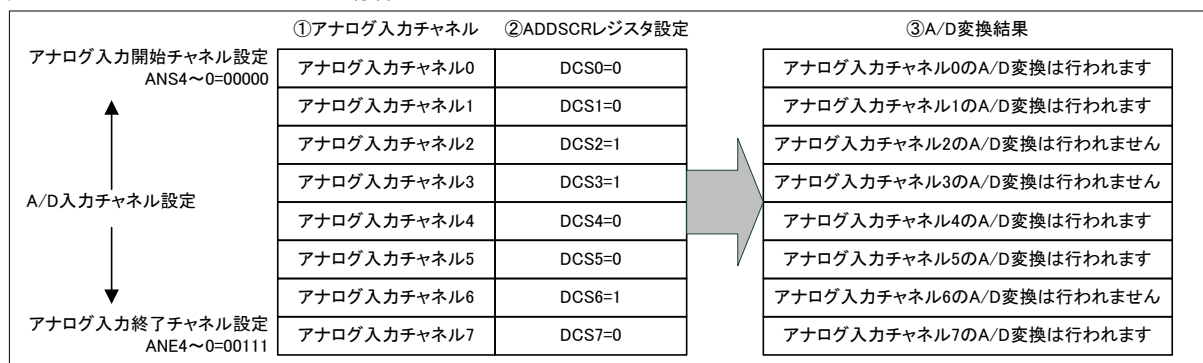
チャネルスキップ機能をセット(ADDSCR:DCSn="1") したチャネルは A/D 変換は行われないので、ADCR レジスタおよび ADCBR レジスタ 0~7 には、A/D 変換結果は格納されません。

図 6-1 にチャネルスキップ機能の動作例を示します。また、本動作例における設定内容は以下です。

- ADSR:ANS4~0 = "00000<sub>B</sub>"(A/D 変換開始チャネル)
- ADSR:ANE4~0 = "00111<sub>B</sub>"(A/D 変換終了チャネル)
- ADDSCR0 = "01001100<sub>B</sub>"

\*: チャネルスキップ機能はオプションのため、すべてのデバイスでアクセス可能というわけではありません。詳細は各デバイスのデータシートの「品種構成」を参照してください。

図 6-1 チャネルスキップ動作



#### 動作概要

- ① A/D 変換はアナログ入力開始チャネルとアナログ入力終了チャネル間をスキャン変換します。
- ② ①で設定された範囲のチャネルスキップレジスタ(ADDSCR:DCSn) を設定します。
- ③ ①と②で設定された結果は A/D 変換結果に示すとおりになります。

(n は 0~31 のアナログ入力チャネル番号を示します)



---

**<注意事項>**

- A/D変換実施中(ADCS:BUSY="1") にチャネルスキップレジスタ(ADDSCR:DCS31~0) の変更は行わないでください。変更が必要な場合は、いったん A/D 変換を停止(ADCS:BUSY="0"書込み) してから変更を行ってください。
  - A/D 変換実施中(ADCS:BUSY="1") にチャネルスキップイネーブル設定を変更しないでください。
  - ADSR:ANS4~0 および ADSR:ANE4~0 は、デバイス上存在するアナログ入力チャネルを設定してください。
  - スキャン変換対象のアナログ入力チャネルの全スキップ設定は行わないでください。
-

## 7. パルス検出機能

レンジ比較の結果からネガティブイベントとポジティブイベントを各々ダウンカウント制御し、ポジティブカウンタのカウント値が"0x01"から"0x00"に変化したときにゼロフラグをセット(パルス検出)します。またネガティブカウンタはノイズ除去に利用可能です。

### ■ ADC パルス検出機能\*

パルス検出機能は、レンジ比較結果を用いて行います。

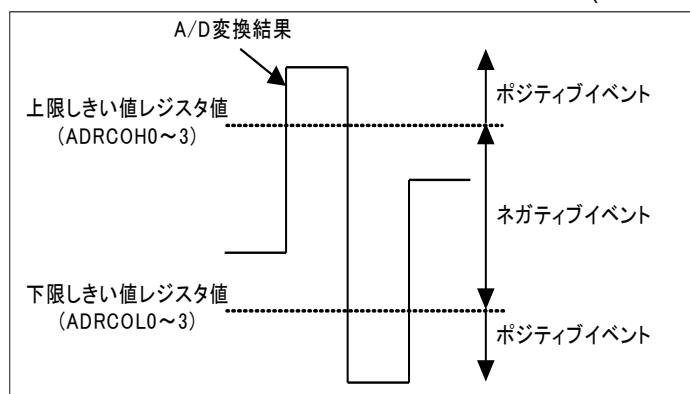
レンジ比較結果は、レンジ比較インバートレンジ選択レジスタ(ADRCOIRS:RCOIRSn) の設定および A/D 変換結果によって、ポジティブイベントあるいはネガティブイベントに区別されます。

(1) レンジ比較インバート選択レジスタの設定が RCOIRSn="0"の場合

- ・ 上限しきい値レジスタ(ADRCOH0~3) および下限しきい値レジスタ(ADRCOL0~3) で設定された範囲外はポジティブイベントです。
- ・ 上限しきい値レジスタ(ADRCOH0~3) および下限しきい値レジスタ(ADRCOL0~3) で設定された範囲内はネガティブイベントです。(ADRCOH0~3 もしくは ADRCOL0~3 と A/D 変換結果が同一値の場合はネガティブイベントです)

図 7-1 にレンジ比較インバート選択レジスタ(ADRCOIRS:RCOIRSn) の設定が"0"の場合のイメージ図を示します。

図 7-1 ポジティブイベント/ネガティブイベント(ADRCOIRS:RCOIRSn="0"の場合)



(2) レンジ比較インバート選択レジスタの設定が RCOIRSn="1"の場合

- ・ 上限しきい値レジスタ(ADRCOH0~3) および下限しきい値レジスタ(ADRCOL0~3) で設定された範囲外はネガティブイベントです。
- ・ 上限しきい値レジスタ(ADRCOH0~3) および下限しきい値レジスタ(ADRCOL0~3) で設定された範囲内はポジティブイベントです。(ADRCOH0~3 もしくは ADRCOL0~3 と A/D 変換結果が同一値の場合はポジティブイベントです。)

\*: パルス検出機能はオプションのため、すべてのデバイスでアクセス可能というわけではありません。詳細は各デバイスのデータシートの「品種構成」を参照してください。

図 7-2 にレンジ比較インバート選択レジスタ(ADRCOIRS:RCOIRS<sub>n</sub>) の設定が"1"の場合のイメージ図を示します。

図 7-2 ポジティブイベント/ネガティブイベント(ADRCOIRS:RCOIRS<sub>n</sub>="1"の場合)

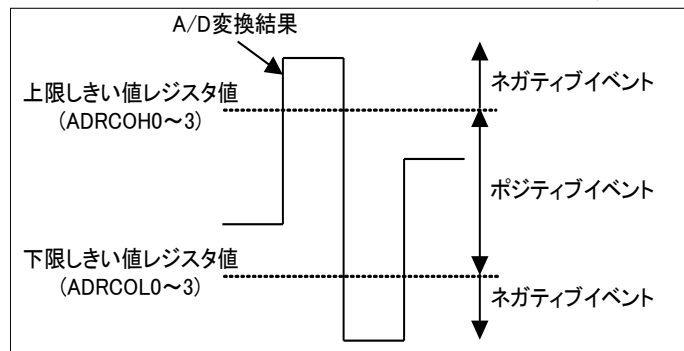


表 7-1 にレンジ比較インバート選択レジスタの設定(ADRCOIRS:RCOIRS<sub>n</sub>) とレンジ比較結果からのネガティブイベントとポジティブイベントの一覧を示します。

表 7-1 ポジティブイベントとネガティブイベント判定一覧

RCOIRS <sub>n</sub> ビットの設定値	レンジ比較結果	イベント
0 (範囲外チェック)	範囲内	ネガティブイベント
	範囲外	ポジティブイベント
1 (範囲内チェック)	範囲外	ネガティブイベント
	範囲内	ポジティブイベント

ポジティブイベントが発生した場合、ポジティブカウンタ(ADPCTPC<sub>n</sub>) はデクリメントされます。同様に、ネガティブイベントが発生した場合、ネガティブカウンタ (ADPCTNCT<sub>n</sub>) はデクリメントされます。

パルス検出機能を起動させるには、パルスカウンタゼロフラグ(ADPCZF:CTPZFn) に"0"を書き込んでください。パルスカウンタゼロフラグ(ADPCZF:CTPZFn) に"0"を書き込むことによりパルスカウンタリロードレジスタ(ADPCTPRD<sub>n</sub> / ADPCTNRD<sub>n</sub>) に設定されたリロード値がパルスカウンタ(ADPCTPCT<sub>n</sub>/ADPCTNCT<sub>n</sub>) にリロードされ、パルス検出が開始されます。ポジティブカウンタがデクリメントされ、カウンタ値が"0x01"から"0x00"に変化すると、パルスカウンタゼロフラグレジスタがセット(ADPCZF:CTPZFn = "1") されます。このとき、パルスカウンタ割込みイネーブルレジスタが割込み要求許可設定(ADPCIE:CTPIEn = "1") されている場合、割込みが発生します。また、パルスカウンタゼロフラグレジスタがセット(ADPCZF:CTPZFn = "1") されているとき、パルスカウンタは以下の状態で停止しカウント動作を行いません。

- ・ ポジティブカウンタ(ADPCTPCT<sub>n</sub>) は、"0x00"値の状態で停止
- ・ ネガティブカウンタ(ADPCTNCT<sub>n</sub>) は、リロード(ADPCTNRD<sub>n</sub>) 値の状態で停止

パルス検出の割込み要因をクリアする場合は、パルスカウンタゼロフラグレジスタをクリア設定(ADPCZF:CTPZFn="0") してください。これにより、パルスカウンタリロードレジスタ(ADPCTPRD<sub>n</sub> / ADPCTNRD<sub>n</sub>) に設定されたリロード値がパルスカウンタ(ADPCTPCT<sub>n</sub>/ADPCTNCT<sub>n</sub>) にリロードされパル

ス検出機能が再起動します。

リロードレジスタ(ADPCTPRD<sub>n</sub>/ADPCTNRD<sub>n</sub>) に設定されているリロード値をポジティブカウンタ(ADPCTPRL<sub>n</sub>) およびネガティブカウンタ(ADPCTNRL<sub>n</sub>) にリロードする条件は以下のとおりです。

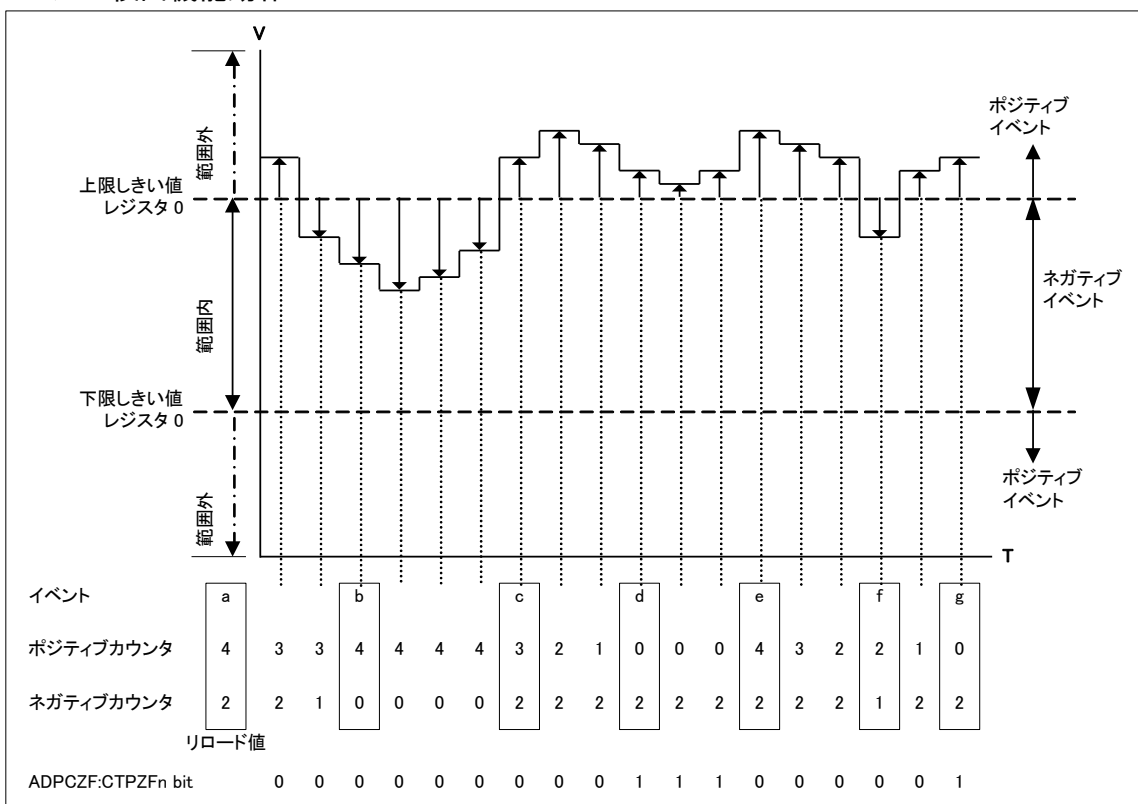
- ポジティブカウンタがリロードされる条件
  1. ネガティブカウンタ(ADPCTNCT<sub>n</sub>) が"0x01"から"0x00"に変化したとき
  2. パルスカウンタゼロフラグ(ADPCZF:CTPZFn) に"0"が書き込まれたとき
- ネガティブカウンタがリロードされる条件
  1. ポジティブイベントが発生したとき
  2. パルスカウンタゼロフラグ(ADPCZF:CTPZFn) に"0"が書き込まれたとき

すべてのアナログ入力チャネル単位に、ポジティブカウンタ(ADPCTPCT<sub>n</sub>)、ネガティブカウンタ(ADPCTNCT<sub>n</sub>)に加えて、リロードレジスタ(ADPCTPRD<sub>n</sub> / ADPCTNRD<sub>n</sub>)、割込みイネーブルレジスタ(ADPCIE:CTPIEn)、ゼロフラグレジスタ(ADPCZF:CTPZFn) を有します。

図 7-3 にパルス検出機能の動作例を示します。また、本動作例における設定内容は以下です。

- ADRCOIRS:RCOIRS<sub>n</sub> = "0<sub>B</sub>" (範囲外チェック)
  - ADCC:RCOS<sub>n1</sub>/RCOS<sub>n0</sub> = "00<sub>B</sub>" (上限/下限しきい値レジスタ 0 を選択)
  - ADPCTNRD<sub>n</sub>:NRL4~0 = "0x02"
  - ADPCTPRD<sub>n</sub>:PRL7~0 = "0x04"
- (n は 0~31 のアナログ入力チャネル番号を示します)

図 7-3 パルス検出機能動作



## 動作概要

- パルスカウンタゼロフラグ(ADPCZF:CTPZFn)に"0"を書き込むことによりパルスカウンタリロードレジスタのリロード値がパルスカウンタにリロードされます。
- ネガティブカウンタのカウント値が"0x00"に到達したので、ポジティブカウンタがリロードされます。
- ポジティブイベントが発生したので、ネガティブカウンタはリロードされ、ポジティブカウンタはデクリメントされます。
- ポジティブカウンタが"0x00"に到達したので、ADPCZF:CTPZFn のフラグが"1"にセットされます。
- ADPCZF: CTPZFn="0"書き込みによりネガティブカウンタ/ポジティブカウンタの両方がリロードされます。
- 連続したポジティブイベントの後に 1 回ネガティブイベントが発生したのでポジティブカウンタは停止し、ネガティブカウンタはデクリメントします。
- ポジティブカウンタのカウント値が"0x00"に到達したので、ADPCZF:CTPZFn のフラグが"1"にセットされます。

(n は 0~31 のアナログ入力チャネル番号を示します)

## 8. A/D コンバータのレジスタ

A/D コンバータ に使用されるレジスタの構成および機能について説明します。

### ■ A/D コンバータのレジスタ一覧

レジスタ略称	レジスタ名	参照先
ADCS	A/D 制御状態レジスタ	8.1
ADCR	A/D データレジスタ	8.2
ADSR	A/D 設定レジスタ	8.3
ADDBCR	A/D データバッファ制御レジスタ	8.4
ADCBR0～7	A/D データバッファレジスタ	8.5
ADRCOH0～3	レンジ比較上限しきい値レジスタ	8.6
ADRCOL0～3	レンジ比較下限しきい値レジスタ	8.7
ADCC0～15	レンジ比較チャネル制御レジスタ	8.8
ADRCOIRS0～3	レンジ比較インバートレンジ選択レジスタ	8.9
ADRCOOF0～3	レンジ比較しきい値超過フラグレジスタ	8.10
ADRCOINTF0～3	レンジ比較フラグレジスタ	8.11
ADDSCR0～3	チャネルスキップレジスタ	8.12
ADPCTNRD0～31/ ADPCTPRD0～31	ADC パルスカウンタリロードレジスタ	8.13
ADPCTNCT0～31/ ADPCTPCT0～31	ADC パルスカウンタレジスタ	8.14
ADPCIE0～3	ADC パルスカウンタ割込みイネーブルレジスタ	8.15
ADPCZF0～3	ADC パルスカウンタゼロフラグレジスタ	8.16
ADER0～3	アナログ入力許可レジスタ	8.17

## 8.1. A/D 制御状態レジスタ (ADCS)

A/D 制御状態レジスタ(ADCS) は、A/D 変換を制御し、状態を示します。

### ■ A/D 制御状態レジスタ(ADCSH)

ADCSH								
bit	15	14	13	12	11	10	9	8
	BUSY	INT	INTE	PAUS	STS1	STS0	STRT	RESV
属性	R/W	R/W	R/W	R/W	R/W	R/W	W	-
初期値	0	0	0	0	0	0	0	0

#### <注意事項>

- A/D 変換中の A/D 変換再起動はシングルモード 1 のみ可能です。
- シングルモード 1 では、ソフトウェア/外部端子トリガ/A/D コンバータトリガ(リロードタイマ, PPG) の起動要因による A/D 変換中の再起動が実施可能です。
- シングルモード 2, 連続モード, 停止変換モードでは A/D 変換中の再起動はできません。

[bit15] BUSY: ビジーフラグおよび停止

bit	説明	
	読出し	書込み
0	A/D 変換停止中	A/D 変換強制停止
1	A/D 変換動作中	動作に影響なし

- A/D コンバータの動作状態を示します。
- A/D 変換の開始時に"1"にセットされ、終了時に"0"にクリアされます。

#### <注意事項>

- リードモディファイライト(RMW) 命令が使用された際には、"1"が読み出されます。
- シングルモードでは、このビットは A/D 変換終了時にクリアされます。
- 連続モードまたは停止変換モードでは、このビットに"0"を書き込むまで A/D 変換は停止しません。
- 強制停止と起動を同時に行わないでください(ソフトウェア使用(BUSY="0", STRT="1"), 外部トリガ, タイマ)。同時に起動された場合は、停止します。

**[bit14] INT: 割込み要因**

bit	説明	
	読出し	書込み
0	ADCR レジスタの割込み要因クリア状態 (有効な A/D 変換データは ADCR レジスタにありません。)	ADCR レジスタの割込み要因クリアを行います。
1	ADCR レジスタの割込み要因状態。ADCR レジスタにデータが書き込まれたことを示します。	動作に影響はしません。

- ADCR レジスタの割込み要求許可(INTE) の設定にかかわらず、ADCR レジスタにデータが書き込まれたとき、INT="1"に設定されます。
- ADCR レジスタの割込み要求許可(INTE="1") された状態で、このビットが"1"にセットされると、割込み要求が発生します。DMA 転送が設定されている場合には、この割込み要求発生により DMA が起動されます。このビットは"0"の書込みまたは DMA からの割込みクリア指示でクリアされます。

**<注意事項>**

- INT="0"のときに"0"の書込みによりこのビットをクリアする場合は、A/D 変換が進行中(BUSY="1") でないことを確認してください。
- リードモディファイライト(RMW) 命令を使用した場合には、"1"が読み出されます。
- 割込み要因のセットとクリアが同時に発生した場合はクリアが優先されます。

**[bit13] INTE: 割込み要求許可**

- 割込み要求を許可および禁止します。

bit	説明
0	ADCR レジスタの割込み要求禁止(データ保護機能無効) ADCR レジスタの割込み要因がセット(INT="1") されても、割込み要求は発生しません。
1	ADCR レジスタの割込み要求許可(データ保護機能有効) ADCR レジスタの割込み要因がセット(INT="1") されると、割込み要求が発生します。

- DMA 転送を使用する場合は、このビットを"1"にセットしてください(DMA 転送は割込み要求によって起動されます)。
- 変換データの保護機能は、「3. 変換データ保護機能」を参照してください。

**<注意事項>**

- 変換データ保護機能を使用している場合は、INTE="0"に設定しないでください。
- データバッファを使用する場合(ADDBCR:BLRIE="1") は、INTE="1"でデータバッファを使用すると、A/D 変換が終了するたびに A/D 変換一時停止が発生する可能性があります。A/D 変換一時停止が発生すると割込み要因クリア(INT="0"書込み) を行わないと A/D 変換が継続されません。なお、データバッファ機能については「4. データバッファ機能」を参照してください。



## [bit12] PAUS: A/D 変換一時停止

bit	説明	
	読出し	書込み
0	A/D 変換は一時停止しない	A/D 変換一時停止ビット(PAUS フラグ)をクリア (一時停止を解除することはできません)
1	A/D 変換は一時停止	A/D 変換一時停止ビット(PAUS フラグ)を設定 (一時停止を制御することはできません)

- A/D 変換が一時停止した際に、本ビットは"1"に設定されます。
- PAUS ビットがセットされると、自動的にクリアされません。クリアするには"0"を書き込んでください。
- 変換データ保護機能は、「3. 変換データ保護機能」を参照してください。
- A/D 変換一時停止後の PAUS ビットのクリア手順を以下に示します。
  - ① ADCR レジスタの割込み要因クリア(INT="0"書込み)を行います。
  - ② A/D 変換一時停止ビットクリア(PAUS="0"書込み)を行います。

## &lt;注意事項&gt;

- ADCR レジスタの割込み要因クリア(INT="0"書込み) と、A/D 変換一時停止表示クリア(PAUS="0"書込み) を同時に行うことはできません。
- DMA 転送中は、A/D 変換一時停止ビットクリア(PAUS="0"書込み) を行えません。PAUS="1"にセット時は、DMA 転送中に A/D 変換一時停止が発生したことを示しています。DMA を使用時に A/D 変換一時停止ビットクリア(PAUS="0"書込み) を行う場合は、DMA 転送が完了後に行ってください。
- 連続変換では、DMA など A/D 変換結果データが転送されない限り ADCR レジスタに格納されている A/D 変換結果データは連続的に更新されて破壊されてしまいます。これを防ぐためには、INTE="1" で変換結果がまだ転送されていない (INT="1") 場合には、次の A/D 変換結果データを ADCR レジスタに格納しないように設計されております。その期間中は A/D 変換を一時停止します。A/D 変換が一時停止した際に PAUS がセットされます。DMA 転送により A/D 変換データの転送が終了するかまたは INT に"0"が設定されると、A/D 変換は再開します。

## [bit11, bit10] STS1, STS0: 起動元選択

bit11	bit10	説明		
		ソフトウェア	外部端子トリガ	ADC トリガ(RLT, PPG)
0	0	有効	無効	無効
0	1	有効	有効	無効
1	0	有効	無効	有効
1	1	有効	有効	有効

- A/D 変換を起動する要因を選択します。

- ・ シングルモード 1 で、複数の起動元が選択されている場合は、最後に起動した要因で A/D 変換が起動されます。
- ・ シングルモード 2, 連続モード, 停止変換モードでは、A/D 変換は先に起動した要因で起動されます。

#### <注意事項>

- ・ 外部端子トリガは立下りエッジで検出されます。
- ・ A/D コンバータトリガでリロードタイマを選択したときはリロードタイマの TOT の立上りで A/D 変換が起動されます。PPG を選択したときは PPG カウンタがタイミングポイント値に到達すると A/D 変換が起動されます。
- ・ A/D 変換中(BUSY="1") に設定を変更した場合には、結果は即座に反映されます。そのため、A/D 変換中(BUSY="1") の設定変更は行わないでください。

#### [bit9] STRT: ソフトウェア A/D 起動

bit	説明	
	読出し	書込み
0	常に"0"をが読み出されます。	動作に影響はありません。
1		A/D 変換開始(ソフトウェア要因) A/D 変換再起動するには、このビットに再度"1"を書き込みます。

#### <注意事項>

- ・ シングルモード 2, 連続モードでは、"1"を書き込む前に BUSY="0"であることを確認してください。
- ・ 停止変換モードでは、一時停止中でも BUSY="1"となります。ソフトウェア起動する場合は、一時停止状態を確認(INT が"1"になった後、"0"にクリアした状態) 後に行ってください。もし、ソフトウェア起動されたときに、一時停止状態からほかの要因(外部端子トリガまたは A/D コンバータトリガ(リロードタイマ, PPG)) により既に起動されていた場合は、再起動扱いとなり A/D 変換中の起動はできません。
- ・ ソフトウェアで、A/D 変換の強制停止と起動を同時に(BUSY="0"書込み, STRT="1"書込み) 行わないでください。

#### [bit8] RESV: 予約ビット

- ・ 常に"0"を書き込んでください。
- ・ このビットを読み出した場合には"0"が返されます。

### ■ A/D 制御状態レジスタ(ADCSL)

ADCSL								
bit	7	6	5	4	3	2	1	0
	MD1	MD0	S10	CSEN	RESV			
属性	R/W	R/W	R/W	R/W	-	-	-	-
初期値	0	0	0	0	0	0	0	0

### ＜注意事項＞

- ・ シングルモード 1 (MD1～0 が "00<sub>B</sub>") においてソフトウェア起動で再起動を行う場合は、割込み要因クリア(ADCS:INT に "0" 書込み) を実施した後、再起動設定(ADCS:STRT に "1" 書込み) を行ってください。再起動設定後すぐに、改めて割込み要因(ADCS:INT)を確認し、割込み要因がある(ADCS:INT="1") 場合は、割込み要因クリア(ADCS:INT に "0" 書込み) を行ってください。

#### [bit7, bit6] MD1, MD0: A/D 変換モード設定

bit7	bit6	説明
0	0	シングルモード 1 (A/D 変換中の再起動可能)
0	1	シングルモード 2 (A/D 変換中の再起動不可)
1	0	連続モード(A/D 変換中の再起動不可)
1	1	停止変換モード(A/D 変換中の再起動不可)

- ・ A/D 変換のモード設定を行います。
- ・ シングルモード  
ANS4～ANS0 で指定されたチャネルから ANE4～ANE0 で指定されたチャネルまでの A/D 変換が連続して実行されます。指定されたチャネルすべての変換が終了すると A/D 変換は停止します。シングルモード中は、BUSY="1" となります。シングルモード終了後は、BUSY="0" となります。
- ・ 連続モード  
ANS4～ANS0 で指定されたチャネルから ANE4～ANE0 で指定されたチャネルまでの A/D 変換が反復して実行されます。連続モード中は、BUSY="1" となります。連続モードを終了するには、BUSY に "0" を書き込んでください。
- ・ 停止変換モード  
ANS4～ANS0 で指定されたチャネルから ANE4～ANE0 で指定されたチャネルまでの A/D 変換が反復実行され、チャネルごとに停止します。  
A/D 変換は、STS1, STS0 によって選択された起動要因によって再開されます。停止変換モード中は BUSY="1" となります。停止変換モードを終了するには、BUSY に "0" を書き込んでください。

### ＜注意事項＞

- ・ 連続モードまたは停止変換モードの A/D 変換は、BUSY によって停止されるまで続きます。A/D 変換を停止するには BUSY に "0" を書き込んでください。
- ・ シングルモード 2, 連続モード, 停止変換モードでは再起動はできません。これはすべての種類の起動(STS1, STS0 ビットで設定された起動要因) に適用されます。
- ・ A/D 変換実行中(BUSY="1") に A/D 変換モード設定を変更しないでください。
- ・ データバッファ機能を使用する場合、A/D 変換の再起動を行わないでください。A/D 変換の再起動が行われると、ADDBCR0～ADDBCR7 と変換チャネルとの対応が取れなくなる可能性があります。なお、データバッファ機能については「4. データバッファ機能」を参照してください。

**[bit5] S10: 分解能設定**

- A/D 変換の分解能を指定します。

bit	説明
0	10 ビット分解能 (変換結果は D9～D0 に格納されます。)
1	8 ビット分解能 (変換結果は D7～D0 に格納されます。)

- S10 の設定による A/D 変換結果格納レジスタ(ADCR/ADCBR0～ADCBR7) の A/D 変換結果データ格納場所について示します。

bit	ADCR レジスタ	ADCBR レジスタ
0	A/D 変換結果データは ADCR: D9～D0 に格納されます。	A/D 変換結果データは ADCBR: D9～D0 に格納されます。
1	A/D 変換結果データは ADCR: D7～D0 に格納されます。	A/D 変換結果データは ADCBR: D7～D0 に格納されます。

**<注意事項>**

A/D 変換実行中(BUSY="1") に分解能設定を変更しないでください。

**[bit4] CSEN: チャネルスキップイネーブル設定**

bit	説明
0	チャネルスキップ機能無効
1	チャネルスキップ機能有効

チャネルスキップ機能のイネーブル設定を指定します。

チャネルスキップ機能の詳細は、「6. チャネルスキップ機能」を参照してください。

**<注意事項>**

- チャネルスキップ機能が搭載されていないデバイスは、常に"0"を書き込んでください。また、読み出した場合は"0"が返されます。
- チャネルスキップ機能の搭載の有無の確認は、データシートの「品種構成」を参照してください。
- A/D 変換実行中(BUSY="1") にチャネルスキップイネーブル設定を変更しないでください。

**[bit3～bit0] RESV: 予約ビット**

- 常に"0"を書き込んでください。
- このビットを読み出した場合には"0"が返されます。

## 8.2. A/D データレジスタ(ADCR)

A/D データレジスタ(ADCR) には A/D 変換結果データのデジタル値が格納されます。このレジスタの値は A/D 変換が終了するたびに更新されます。通常、最後の A/D 変換結果データがレジスタに格納されます。

### ■ A/D データレジスタ(ADCR)

ADCRH							
bit	15	14	13	12	11	10	9 8
	RESV						D9 D8
属性	-	-	-	-	-	-	R R
初期値	0	0	0	0	0	0	0 0

ADCRL							
bit	7	6	5	4	3	2	1 0
	D7	D6	D5	D4	D3	D2	D1 D0
属性	R	R	R	R	R	R	R R
初期値	0	0	0	0	0	0	0 0

[bit15～bit10] RESV: 予約ビット

これらのビットを読み出すと常に"0"が返されます。

[bit9～bit0] D9～D0: A/D 変換データ

bit	説明
A/D 変換結果データが格納されます	
10 ビット変換時は、D9～D0 に A/D 変換データが格納されます	
8 ビット変換時は、D7～D0 に A/D 変換データが格納されます	
8 ビット変換時の D9, D8 は"0"が読み出されます	

- ・ 割込み要求禁止設定(ADCS:INTE="0") の場合は、最後に変換された結果が格納されます。
- ・ 変換データ保護機能を有します。
- ・ 割込み要求許可設定(ADCS:INTE="1") の場合は、割込み要因(ADCS:INT が"1") が発生したときの A/D 変換結果が格納されます。読出し更新制御は、割込み要因(ADCS:INT="1") のとき、割込み要因クリア(ADCS:INT="0"書込み) することにより行います。割込み要因クリア(ADCS:INT="0"書込み) 後に、割込み要因表示(ADCS:INT="1") されると次の変換データが格納されます。
- ・ A/D コンバータの分解能設定(ADCS:S10) によって、A/D 変換結果データの読出し値が異なります。

bit	分解能	説明
0	10 ビット	bit9～bit0に変換されたデータが格納され読出しが可能です。
1	8 ビット	bit7～bit0に変換されたデータが格納され読出しが可能です。 bit9, bit8 は、"0"が読み出されます。

---

**<注意事項>**

- これらビットには書込みを行わないでください。
  - 10 ビット分解能(ADCS:S10="0") の場合、A/D データレジスタ(ADCR) にアクセスする場合は、必ずワードアクセスを行ってください。
  - 変換データの保護機能は、「3. 変換データ保護機能」を参照してください。
  - A/D 変換データ読出しの順番として、A/D 変換結果データ(ADCR) 読出し後に割込み要因クリア(ADCS:INT="0"書込み)を行ってください。割込み要因クリア状態(ADCS:INT="0") のときの A/D 変換結果データ読出し値は、最後の変換結果値となります。
-

## 8.3. A/D 設定レジスタ(ADSR)

A/D 設定レジスタ(ADSR) は、比較時間とサンプリング時間の設定に使用されます。

### ■ A/D 設定レジスタ(ADSR)

ADSRH								
bit	15	14	13	12	11	10	9	8
	ST2	ST1	ST0	CT2	CT1	CT0	ANS4	ANS3
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

ADSRL								
bit	7	6	5	4	3	2	1	0
	ANS2	ANS1	ANS0	ANE4	ANE3	ANE2	ANE1	ANE0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

#### <注意事項>

- ANE4～ANE0 ビットと ANS4～ANS0 ビットに同一チャネルを書き込んだ場合は、1 つのチャネルに対してのみ変換が行われます。(単一チャネル変換)
- 連続モードまたは停止変換モードで、ANE4～ANE0 で設定されたアナログ終了チャネルの変換が終了した場合には、ANS4～ANS0 で設定されたアナログ開始チャネルに制御が戻ります。
- チャネルスキップ機能無効(ADCS:CSEN="0") のとき、ANS>ANE のチャネル設定がされた場合には、A/D 変換はアナログ開始チャネルから開始され、チャネル 31 に到達すると AN0 に戻って続けられ、アナログ終了チャネルで終了します。A/D コンバータのチャネル数が 32 以下の製品では、変換結果が不正になる場合があります。これを抑止するには、ANS に ANE より大きな値を設定しないでください。
- チャネルスキップ機能有効(ADCS:CSEN="1") のとき、ANE4～ANE0 ビットと ANS4～ANS0 ビットは、デバイス上存在しないチャネル番号を設定しないでください。
- デバイス上に搭載されているチャネルは、データシートの「品種構成」を参照してください。
- ANS4～0 と ANE4～0 ビットは、データレジスタ(ADCR) を使用する場合、データバッファレジスタ(ADCBR0～7) を使用する場合ともに有効です。

**[bit15～bit13] ST2～ST0: サンプルング時間**

bit15	bit14	bit13	説明
0	0	0	サンプルング時間= 4 周辺クロック CLKP1 サイクル
0	0	1	サンプルング時間= 6 周辺クロック CLKP1 サイクル
0	1	0	サンプルング時間= 8 周辺クロック CLKP1 サイクル
0	1	1	サンプルング時間= 12 周辺クロック CLKP1 サイクル
1	0	0	サンプルング時間= 24 周辺クロック CLKP1 サイクル
1	0	1	サンプルング時間= 36 周辺クロック CLKP1 サイクル
1	1	0	サンプルング時間= 48 周辺クロック CLKP1 サイクル
1	1	1	サンプルング時間= 128 周辺クロック CLKP1 サイクル

- ・ アナログ入力信号のサンプルング時間の設定を行います。
- ・ サンプルング時間の設定は、データシートの「A/D コンバータ」を参考にしてください。

**<注意事項>**

A/D 変換実行中(BUSY="1") にサンプルング時間の変更は行わないでください。

**[bit12～bit10] CT2～CT0: 比較時間**

bit12	bit11	bit10	説明
0	0	0	比較時間= 22 周辺クロック CLKP1 サイクル
0	0	1	比較時間= 33 周辺クロック CLKP1 サイクル
0	1	0	比較時間= 44 周辺クロック CLKP1 サイクル
0	1	1	比較時間= 66 周辺クロック CLKP1 サイクル
1	0	0	比較時間= 88 周辺クロック CLKP1 サイクル
1	0	1	比較時間= 132 周辺クロック CLKP1 サイクル
1	1	0	比較時間= 176 周辺クロック CLKP1 サイクル
1	1	1	比較時間= 264 周辺クロック CLKP1 サイクル

- ・ 逐次比較変換の比較時間の設定を行います。
- ・ 比較時間の設定は、データシートの「A/D コンバータ」を参考にしてください。



---

**<注意事項>**

A/D 変換実行中(BUSY="1") に比較時間の変更は行わないでください。

---

[bit9～bit5] ANS4～ANS0: アナログ開始チャネル設定

bit9	bit8	bit7	bit6	bit5	説明
0	0	0	0	0	AN0
0	0	0	0	1	AN1
0	0	0	1	0	AN2
⋮					
1	1	1	0	1	AN29
1	1	1	1	0	AN30
1	1	1	1	1	AN31

- これらのビットは A/D 変換を開始するチャネルの設定およびこれらのビットを読み出すことにより現在変換中のアナログ入力チャネルを知ることができます。
  - 読出し時:
    - A/D 変換のための現行アナログ入力チャネルが示されます。変換が停止している場合には、最後に変換されたチャネルが示されます。
    - これらのビットに新たな値が設定された後であっても、A/D 変換開始前には最後に変換されたチャネルが読み出されます。
  - 書込み時:
    - A/D 変換を開始するチャネルを設定します。
- 

**<注意事項>**

- ANS4～ANS0 で表示されるアナログ入力チャネルと、ADCR から読み出される A/D 変換データとの対応はできません。(開始チャネルと終了チャネルが同一(単一チャネル変換) の場合は除きます)
  - このレジスタに書き込む際は、必ずワードアクセスを使用してください。このレジスタに対してバイト書込みまたはリードモディファイライト(RMW) が実行されると、意図しないチャネルから A/D 変換が開始される場合があります。
-

[bit4～bit0] ANE4～ANE0: アナログ終了チャネル設定

bit4	bit3	bit2	bit1	bit0	説明
0	0	0	0	0	AN0
0	0	0	0	1	AN1
0	0	0	1	0	AN2
					⋮
1	1	1	0	1	AN29
1	1	1	1	0	AN30
1	1	1	1	1	AN31

A/D 変換を終了するチャネルを設定します。

## 8.4. A/D データバッファ制御レジスタ(ADDBCR)

A/D データバッファ制御レジスタ(ADDBCR) は、使用するデータバッファレジスタ段数やバッファスタートチャンネルや割込みおよびラップアラウンドモードの設定を行います。また、バッファポインタ値やバッファフル状態を示します。

### ■ A/D データバッファ制御レジスタ(ADDBCRH)

ADDBCRH								
bit	15	14	13	12	11	10	9	8
	WRAP	BLRF	BLRIE	BSC4	BSC3	BSC2	BSC1	BSC0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	1	1	1	1	1

[bit15] WRAP:ラップアラウンド(Wrap around) モード

bit	説明
0	ラップアラウンドモード無効 (データバッファ上書き禁止モード)
1	ラップアラウンドモード有効 (データバッファ上書きモード)

- WRAP ビットは、データバッファのラップアラウンド モードを設定します。
- WRAP="0"に設定した場合、データバッファレジスタ ADCBR0～7 への書込みは、A/D 変換結果データを BLL2～0 で設定した段数まで書込みを行うと停止します。このときの BLC2～0 は、BLL2～0 で設定された値で停止します。データバッファレジスタへの変換結果の書込み(バッファリング) の再開は、ADDBCR1 への書込みで行います。このとき BLC2～0 に書き込まれたポインタよりバッファリングが再開します。
- WRAP="1"に設定した場合、データバッファレジスタ ADCBR0～7 は、A/D 変換結果データを BLL2～0 で設定した段数まで書込みを行うと BLC2～0 は自動で"000<sub>B</sub>"にクリアされ ADCBR0 から上書きします。

#### <注意事項>

- A/D 変換実行中(ADCS:BUSY="1") にラップアラウンドモードを変更しないでください。
- データバッファ機能には、変換データ保護機能は働きません。データバッファ機能を使用する場合は、「4. データバッファ機能」を参照してください。

## [bit14] BLRF: バッファフルフラグ

bit	説明	
	読出し	書込み
0	データバッファレジスタ(ADCBR) の割込み要因クリア状態。 BLL2～BLL0 で設定したデータバッファ段数分までは A/D 変換結果データがデータバッファに格納されていない状態。	データバッファレジスタの割込み要因クリアを行います。
1	データバッファレジスタ(ADCBR) の割込み要因発生状態。 BLL2～BLL0 で設定したデータバッファ段数分の A/D 変換結果データがデータバッファに格納されている状態。	動作に影響はしません。

- ・ バッファフルフラグは BLL2～0 によって設定されたバッファ段数に到達した状態を示します。
- ・ BLL2～0 で設定されたデータバッファレジスタ(例えば、BLL2～0="001<sub>B</sub>"の場合 ADCBR1) に対して、A/D 変換結果データが書き込まれた後に、BLRF は"1"にセットされます。
- ・ データバッファレジスタ(ADCBR:BLRIE) の割込み要求許可(BLRIE) の設定にかかわらず、バッファポインタ(ADDBCR:BLC2-0) が ADDBCR:BLL2～0 で設定したデータバッファ段数分の A/D 変換データがデータバッファに格納されたとき、BLRF="1"にセットされます。
- ・ データバッファレジスタ(ADCBR) のバッファ割込み要求許可設定(BLRIE="1") された状態で、このビットが"1"にセットされると、データバッファの割込み要求を発生します。このビットを"0"にクリアするには、BLRF に"0"書込みまたは DMA からの割込みクリア指示または ADDBCR1L に対する書込み処理でクリアされます。

### <注意事項>

- ・ バッファフルフラグ(BLRF) のセットとクリアが同時に発生した場合はクリアが優先されます。よって WRAP="0"のとき、BLRF="0"書込みによりこのビットを"0"にクリアする場合は、A/D 変換が停止中(BUSY="0") であることまたは A/D 変換が進行中(BUSY="1") かつデータバッファレジスタの割込み要因状態(BLRF="1") であることを確認してください。
- ・ このビットのクリア(BLRF="0"書込み) を実施しても、WRAP="0"の場合のデータバッファレジスタの書込み停止は解除できません。
- ・ BLRF は、ADDBCR1L に対する書込み処理(ワードアクセス・バイトアクセス) においても、割込み要因がクリアされます。これは ADDBCR1L 書込み処理により BLC2～0 が更新されバッファフル状態が解除されるためです。
- ・ リードモディファイライト(RMW) 命令を使用した場合には、"1"が読み出されます。

## [bit13] BLR1E: データバッファ割込み要求許可

bit	説明
0	データバッファの割込み要求禁止 データバッファレジスタ(ADCBR) の割込み要因がセット(BLRF="1") されても、割込み要求は発生しません。
1	データバッファの割込み要求許可 データバッファレジスタ(ADCBR) の割込み要因がセット(BLRF="1") されると、割込み要求が発生します。

データバッファフル時の割込み許可制御を設定します。

---

**<注意事項>**

- データバッファ機能は、変換データ保護機能が働きません。
  - ADCR の割込み通知とデータバッファ割込み通知は共通化されています。データバッファを使用する場合、割込み要求許可設定(ADCS:INTE="1") でデータバッファを使用すると、A/D 変換が終了するたびに A/D 変換一時停止が発生します。A/D 変換一時停止が発生すると割込み要因クリア(ADCS:INT="0" 書込み)を行わないと A/D 変換が継続されません。なお、データバッファ機能については「4. データバッファ機能」を参照してください。
- 

## [bit12～bit8] BSC4～BSC0: バッファスタートチャンネル

bit12	bit11	bit10	bit9	bit8	説明
0	0	0	0	0	バッファ書込みはチャンネル 0 から開始
0	0	0	0	1	バッファ書込みはチャンネル 1 から開始
					⋮
1	1	1	1	1	バッファ書込みはチャンネル 31 から開始

- BSC4～0 は、データバッファにデータを書き込むスタートチャンネルを設定します。
  - BSC4～0 は、データバッファレジスタ(ADCBR0～7) に A/D 変換データを格納する A/D 変換チャンネル内の最も小さいチャンネル番号を設定します。BSC4～0 設定値以上のすべての A/D 変換チャンネルは、データバッファレジスタに格納します。ただし、チャンネルスキップ機能が設定されているチャンネルについては、データバッファへの書込みは行われません。
- 

**<注意事項>**

- デバイス上に搭載されているチャンネルより大きい値を BSC4～0 に設定した場合、A/D 変換結果データはデータバッファに格納されません。
  - デバイス上に搭載されているチャンネルは、データシートの「品種構成」を参照してください。
-

## ■ A/D データバッファ制御レジスタ(ADDBCRL)

ADDBCRL								
bit	7	6	5	4	3	2	1	0
	RESV		BLC2	BLC1	BLC0	BLL2	BLL1	BLL0
属性	-	-	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	1	1	1

### <注意事項>

- WRAP="0"(データバッファ上書き禁止モード) 設定時、データバッファ上書き禁止状態の解除は、ADDBCRL(下位バイト) に対する書き込み処理を行います。このとき BLC2~0 に書き込まれたバッファポインタ値よりバッファリングが再開します。
- WRAP="1"(データバッファは上書きモード) 設定時、BLL2~0 で設定した段数まで変換データの書き込みを行うと、BLC2~0 は自動で"000<sub>B</sub>"にクリアされ ADCBR0 から上書きします。
- ADDBCRL の書き込み処理(ワードアクセス・バイトアクセス) により、BLRF の割込み要因はクリアされます。これは ADDBCRL 書き込み処理により BLC2~0 が更新されバッファフル状態が解除されるためです。
- BLC>BLL の設定がされた場合、データバッファリングは ADDBCR:BLC で指定されたデータバッファから開始し、データバッファ 7 (ADCBR7) に書き込みが完了するとデータバッファ 0 (ADCBR0) に戻ってバッファリングを継続します。さらに、ADDBCRL:BLL で設定した段数までデータバッファへの書き込みを行います。詳細は、「4. データバッファ機能」を参照してください。

#### [bit7, bit6] RESV: 予約ビット

- 常に"0"を書き込んでください。
- このビットを読み出した場合には"0"が返されます。

#### [bit5~bit3] BLC2~BLC0: バッファポインタ値

bit5	bit4	bit3	説明
0	0	0	バッファポインタ値は 0
0	0	1	バッファポインタ値は 1
0	1	0	バッファポインタ値は 2
0	1	1	バッファポインタ値は 3
1	0	0	バッファポインタ値は 4
1	0	1	バッファポインタ値は 5
1	1	0	バッファポインタ値は 6
1	1	1	バッファポインタ値は 7

- このビットはデータバッファレジスタの次に書き込むポインタ値を示します。

- ・ 読出し時はデータバッファレジスタのポインタ値が読み出されます。
- ・ 書込み時はデータバッファレジスタのポインタ値を変更します。

### <注意事項>

BLC2～0 に対する書込み処理は、データバッファ状態にかかわらず常に可能です。バッファリング中に (WRAP="1" の場合、もしくは WRAP="0" の場合で A/D 変換中 (ADCS:BUSY="1") かつデータバッファレジスタの割込み要因状態 (BLRF="1") 以外のとき)、BLC2～0 の書込みにより A/D 変換チャネルとデータバッファとの対応ができない恐れがあります。

#### [bit2～bit0] BLL2～BLL0: データバッファ段数設定

bit2	bit1	bit0	説明
0	0	0	データバッファレジスタ ADCBR0 が使用可能
0	0	1	データバッファレジスタ ADCBR0～1 が使用可能
0	1	0	データバッファレジスタ ADCBR0～2 が使用可能
0	1	1	データバッファレジスタ ADCBR0～3 が使用可能
1	0	0	データバッファレジスタ ADCBR0～4 が使用可能
1	0	1	データバッファレジスタ ADCBR0～5 が使用可能
1	1	0	データバッファレジスタ ADCBR0～6 が使用可能
1	1	1	データバッファレジスタ ADCBR0～7 が使用可能

- ・ データバッファ段数設定 (BLL2～0) はデータバッファレジスタを使用する段数を設定します。
- ・ データバッファへの書込みは、データバッファレジスタ 0 から書込みを開始し、BLL2～0 で設定されたバッファ段数まで A/D 変換結果データを書き込みます。

## 8.5. A/D データバッファレジスタ(ADCBR0~7)

A/D データバッファレジスタ(ADCBR) は、A/D 変換結果データのデジタル値が格納されます。データバッファ段数は可変(1~8 段) です。

### ■ A/D データバッファレジスタ(ADCBR0~7)

ADCBRH0~7							
bit	15	14	13	12	11	10	9 8
	RESV						D9 D8
属性	-	-	-	-	-	-	R R
初期値	0	0	0	0	0	0	0 0

ADCBRL0~7							
bit	7	6	5	4	3	2	1 0
	D7	D6	D5	D4	D3	D2	D1 D0
属性	R	R	R	R	R	R	R R
初期値	0	0	0	0	0	0	0 0

[bit15~bit10] RESV: 予約ビット

このビットを読み出した場合には"0"が返されます。

[bit9~bit0] D9~D0: A/D 変換データ

bit	説明
A/D 変換結果データが格納されます	
10 ビット変換時は、D9~D0 に A/D 変換結果データが格納されます	
8 ビット変換時は、D7~D0 に A/D 変換結果データが格納されます	
8 ビット変換時の D9, D8 は"0"が読み出されます	

- A/D 変換結果データが格納されます。
- A/D コンバータの分解能設定(ADCS:S10) によって、A/D 変換結果データ表示が異なります。

bit	分解能	説明
0	10 ビット	bit9~bit0 に変換されたデータが格納され読み出しが可能です。
1	8 ビット	bit7~bit0 に変換されたデータが格納され読み出しが可能です。 bit9, bit8 は、"0"が返されます。

- ADDBCR:BSC4~0 で設定されたチャネルから A/D 変換結果データを格納致します。
- ADDBCR:BLL2~0 でデータバッファ段数の設定が可能です。  
使用可能なバッファ段数は 1~8 段です(デフォルトの段数は 8 段です)。



- ・ スキャン変換された変換結果は、連続するデータバッファレジスタに格納されます。

---

**<注意事項>**

- ・ これらビットには書込みを行わないでください。
  - ・ 10ビット表示(ADCS:S10="0") の場合、データバッファレジスタ(ADCBR0~7) にアクセスする場合は、必ずワードアクセスを行ってください。
  - ・ チャネルスキップ機能を使用している場合、ディセーブル設定されたチャネルの A/D 変換は行われないので、データバッファレジスタに格納されず、スキップ制御されないチャネルの A/D 変換データがデータバッファレジスタに格納されます。
-

## 8.6. レンジ比較上限しきい値レジスタ(ADRCOH0~3)

上限しきい値レジスタは、A/D 変換結果データと比較される上限しきい値を設定します。上限しきい値レジスタは 4 種類設定することが可能です。

### ■ レンジ比較上限しきい値レジスタ(ADRCOH0~3)

ADRCOH0~3							
bit	15	14	13	12	11	10	9 8
	RESV						C9 C8
属性	-	-	-	-	-	-	R/W R/W
初期値	0	0	0	0	0	0	0 0

ADRCOHL0~3							
bit	7	6	5	4	3	2	1 0
	C7	C6	C5	C4	C3	C2	C1 C0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W R/W
初期値	0	0	0	0	0	0	0 0

[bit15~bit10] RESV: 予約ビット

- 常に"0"を書き込んでください。
- このビットを読み出した場合には"0"が返されます。

[bit9~bit0] C9~C0: 上限しきい値レジスタ

bit	説明
	上限しきい値レジスタ値を設定します 10 ビット比較時は、C9~C0 に上限しきい値を設定してください 8 ビット比較時は、C7~C0 に上限しきい値を設定してください 8 ビット比較時の C9, C8 は"0"を設定してください

- A/D 変換結果データの上限しきい値を設定します。
- 上限しきい値は 4 種類の設定が可能です。
- A/D コンバータの分解能設定(ADCS:S10) によって、A/D 変換結果データ表示が異なります。A/D コンバータの分解能設定(ADCS:S10) に従って上限しきい値レジスタの設定を行ってください。

bit	分解能	説明
0	10 ビット	C9~C0 に上限しきい値を設定してください
1	8 ビット	C7~C0 に上限しきい値を設定してください C9~C8 には"0"を設定してください

---

**<注意事項>**

A/D 変換実行中(ADCS:BUSY="1") に上限しきい値レジスタ値を変更しないでください。

---

## 8.7. レンジ比較下限しきい値レジスタ(ADRCOL0~3)

下限しきい値レジスタは、A/D 変換結果データと比較される下限しきい値を設定します。下限しきい値レジスタは 4 種類設定することが可能です。

### ■ レンジ比較下限しきい値レジスタ (ADRCOL0~3)

ADRCOLH0~3							
bit	15	14	13	12	11	10	9 8
	RESV						C9 C8
属性	-	-	-	-	-	-	R/W R/W
初期値	0	0	0	0	0	0	0 0

ADRCOLL0~3							
bit	7	6	5	4	3	2	1 0
	C7	C6	C5	C4	C3	C2	C1 C0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W R/W
初期値	0	0	0	0	0	0	0 0

[bit15~bit10] RESV: 予約ビット

- 常に"0"を書き込んでください。
- このビットを読み出した場合には"0"が返されます。

[bit9~bit0] C9~C0: 下限しきい値レジスタ

bit	説明
	下限しきい値レジスタ値を設定します 10 ビット比較時は、C9~C0 に下限しきい値を設定してください 8 ビット比較時は、C7~C0 に下限しきい値を設定してください 8 ビット比較時の C9, C8 は"0"を設定してください

- A/D 変換結果データの下限しきい値を設定します。
- 下限しきい値は 4 種類の設定が可能です。
- A/D コンバータの分解能設定(ADCS:S10) によって、A/D 変換結果データ表示が異なります。A/D コンバータの分解能設定(ADCS:S10) に従って下限しきい値レジスタの設定を行ってください。

bit	分解能	説明
0	10 ビット	C9~C0 に下限しきい値を設定してください
1	8 ビット	C7~C0 に下限しきい値を設定してください C9~C8 には"0"を設定してください

---

**<注意事項>**

A/D 変換実行中(ADCS:BUSY="1") に下限しきい値レジスタ値を変更しないでください。

---

## 8.8. レンジ比較チャネル制御レジスタ (ADCC0~15)

レンジ比較チャネル制御レジスタは、レンジ比較を行うしきい値レジスタ選択、レンジ比較許可設定および割込み要求許可設定をアナログ入力チャネル単位で制御します。1 バイトで 2 チャネルの設定を行います。

### ■ レンジ比較チャネル制御レジスタ (ADCC0~15)

ADCCj		15	14	13	12	11	10	9	8
bit		RCOIE (2j+1)	RCOE (2j+1)	RCOS (2j+1)1	RCOS (2j+1)0	RCOIE (2j)	RCOE (2j)	RCOS (2j)1	RCOS (2j)0
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		0	0	0	0	0	0	0	0

j=1, 3, 5, 7, 9, 11, 13, 15

ADCCk		7	6	5	4	3	2	1	0
bit		RCOIE (2k+1)	RCOE (2k+1)	RCOS (2k+1)1	RCOS (2k+1)0	RCOIE (2k)	RCOE (2k)	RCOS (2k)1	RCOS (2k)0
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		0	0	0	0	0	0	0	0

k=0, 2, 4, 6, 8, 10, 12, 14

### <注意事項>

- n はデバイス上に存在するアナログ入力チャネル番号(0~31) です。

[bit15/bit11/bit7/bit3] RCOIE<sub>n</sub>: レンジ比較割込み要求許可設定

bit	説明
0	対応するアナログ入力チャネルのレンジ比較割込みは無効 レンジ比較割込み要因がセット(ADRCOINTF:RCOINT <sub>n</sub> "1") されても、 割込み要求は発生しません。
1	対応するアナログ入力チャネルのレンジ比較割込みは有効 レンジ比較割込み要因がセット(ADRCOINTF:RCOINT <sub>n</sub> "1") されると、 割込み要求が発生します。

- レンジ比較割込み要求許可設定(RCOIE<sub>n</sub>) はレンジ比較フラグレジスタ(ADRCOINTF0~3) で割込み要因がある(ADRCOINTF:RCOINT<sub>n</sub>"1") 場合の割込み要求許可設定を行います。

- 各ビットはアナログ入力チャネルに対応します。

ビット	アナログ入力 チャネル	ビット	アナログ入力 チャネル
ADCC0: bit3 (RCOIE0)	AN0	ADCC8: bit3 (RCOIE16)	AN16
ADCC0: bit7 (RCOIE1)	AN1	ADCC8: bit7 (RCOIE17)	AN17
ADCC1: bit11 (RCOIE2)	AN2	ADCC9: bit11 (RCOIE18)	AN18
ADCC1: bit15 (RCOIE3)	AN3	ADCC9: bit15 (RCOIE19)	AN19
ADCC2: bit3 (RCOIE4)	AN4	ADCC10: bit3 (RCOIE20)	AN20
ADCC2: bit7 (RCOIE5)	AN5	ADCC10: bit7 (RCOIE21)	AN21
ADCC3: bit11 (RCOIE6)	AN6	ADCC11: bit11 (RCOIE22)	AN22
ADCC3: bit15 (RCOIE7)	AN7	ADCC11: bit15 (RCOIE23)	AN23
ADCC4: bit3 (RCOIE8)	AN8	ADCC12: bit3 (RCOIE24)	AN24
ADCC4: bit7 (RCOIE9)	AN9	ADCC12: bit7 (RCOIE25)	AN25
ADCC5: bit11 (RCOIE10)	AN10	ADCC13: bit11 (RCOIE26)	AN26
ADCC5: bit15 (RCOIE11)	AN11	ADCC13: bit15 (RCOIE27)	AN27
ADCC6: bit3 (RCOIE12)	AN12	ADCC14: bit3 (RCOIE28)	AN28
ADCC6: bit7 (RCOIE13)	AN13	ADCC14: bit7 (RCOIE29)	AN29
ADCC7: bit11 (RCOIE14)	AN14	ADCC15: bit11 (RCOIE30)	AN30
ADCC7: bit15 (RCOIE15)	AN15	ADCC15: bit15 (RCOIE31)	AN31

### <注意事項>

デバイス上搭載されていないアナログ入力チャネルへ書き込む場合は、"0"を書き込んでください。

### [bit14/bit10/bit6/bit2] RCOEn: レンジ比較許可設定

bit	説明
0	対応するアナログ入力チャネルのレンジ比較を行わない
1	対応するアナログ入力チャネルのレンジ比較を行う

- レンジ比較許可設定(RCOEn) は、対応するアナログ入力チャネルの上限しきい値レジスタ(ADRCOH0~3)と下限しきい値レジスタ(ADRCOL0~3) によるレンジ比較許可設定を行います。

- 各ビットはアナログ入力チャネルに対応します。

ビット	アナログ入力 チャネル	ビット	アナログ入力 チャネル
ADCC0: bit2 (RCOE0)	AN0	ADCC8: bit2 (RCOE16)	AN16
ADCC0: bit6 (RCOE1)	AN1	ADCC8: bit6 (RCOE17)	AN17
ADCC1: bit10 (RCOE2)	AN2	ADCC9: bit10 (RCOE18)	AN18
ADCC1: bit14 (RCOE3)	AN3	ADCC9: bit14 (RCOE19)	AN19
ADCC2: bit2 (RCOE4)	AN4	ADCC10: bit2 (RCOE20)	AN20
ADCC2: bit6 (RCOE5)	AN5	ADCC10: bit6 (RCOE21)	AN21
ADCC3: bit10 (RCOE6)	AN6	ADCC11: bit10 (RCOE22)	AN22
ADCC3: bit14 (RCOE7)	AN7	ADCC11: bit14 (RCOE23)	AN23
ADCC4: bit2 (RCOE8)	AN8	ADCC12: bit2 (RCOE24)	AN24
ADCC4: bit6 (RCOE9)	AN9	ADCC12: bit6 (RCOE25)	AN25
ADCC5: bit10 (RCOE10)	AN10	ADCC13: bit10 (RCOE26)	AN26
ADCC5: bit14 (RCOE11)	AN11	ADCC13: bit14 (RCOE27)	AN27
ADCC6: bit2 (RCOE12)	AN12	ADCC14: bit2 (RCOE28)	AN28
ADCC6: bit6 (RCOE13)	AN13	ADCC14: bit6 (RCOE29)	AN29
ADCC7: bit10 (RCOE14)	AN14	ADCC15: bit10 (RCOE30)	AN30
ADCC7: bit14 (RCOE15)	AN15	ADCC15: bit14 (RCOE31)	AN31

### <注意事項>

デバイス上搭載されていないアナログ入力チャネルへ書き込む場合は、"0"を書き込んでください。

[bit13, bit12/bit9, bit8/bit5, bit4/bit1, bit0] RCOSn1~n0: しきい値レジスタ選択

bit13/9/5/1	bit12/8/4/0	説明
0	0	上限しきい値レジスタ 0 / 下限しきい値レジスタ 0 を選択
0	1	上限しきい値レジスタ 1 / 下限しきい値レジスタ 1 を選択
1	0	上限しきい値レジスタ 2 / 下限しきい値レジスタ 2 を選択
1	1	上限しきい値レジスタ 3 / 下限しきい値レジスタ 3 を選択



- しきい値レジスタ選択(RCOSn1~n0) は、対応するアナログ入力チャネルの上限しきい値レジスタ (ADRCOH0~3) と下限しきい値レジスタ(ADRCOL0~3) で設定したしきい値の組合せを選択します。
- 各ビットはアナログ入力チャネルに対応します。

ビット	アナログ入力 チャネル	ビット	アナログ入力 チャネル
ADCC0: bit1, bit0 (RCOS01, RCOS00)	AN0	ADCC8: bit1, bit0 (RCOS161, RCOS160)	AN16
ADCC0: bit5, bit4 (RCOS11, RCOS10)	AN1	ADCC8: bit5, bit4 (RCOS171, RCOS170)	AN17
ADCC1: bit9, bit8 (RCOS21, RCOS20)	AN2	ADCC9: bit9, bit8 (RCOS181, RCOS180)	AN18
ADCC1: bit13, bit12 (RCOS31, RCOS30)	AN3	ADCC9: bit13, bit12 (RCOS191, RCOS190)	AN19
ADCC2: bit1, bit0 (RCOS41, RCOS40)	AN4	ADCC10: bit1, bit0 (RCOS201, RCOS200)	AN20
ADCC2: bit5, bit4 (RCOS51, RCOS50)	AN5	ADCC10: bit5, bit4 (RCOS211, RCOS210)	AN21
ADCC3: bit9, bit8 (RCOS61, RCOS60)	AN6	ADCC11: bit9, bit8 (RCOS221, RCOS220)	AN22
ADCC3: bit13, bit12 (RCOS71, RCOS70)	AN7	ADCC11: bit13, bit12 (RCOS231, RCOS230)	AN23
ADCC4: bit1, bit0 (RCOS81, RCOS80)	AN8	ADCC12: bit1, bit0 (RCOS241, RCOS240)	AN24
ADCC4: bit5, bit4 (RCOS91, RCOS90)	AN9	ADCC12: bit5, bit4 (RCOS251, RCOS250)	AN25
ADCC5: bit9, bit8 (RCOS101, RCOS100)	AN10	ADCC13: bit9, bit8 (RCOS261, RCOS260)	AN26
ADCC5: bit13, bit12 (RCOS111, RCOS110)	AN11	ADCC13: bit13, bit12 (RCOS271, RCOS270)	AN27
ADCC6: bit1, bit0 (RCOS121, RCOS120)	AN12	ADCC14: bit1, bit0 (RCOS281, RCOS280)	AN28
ADCC6: bit5, bit4 (RCOS131, RCOS130)	AN13	ADCC14: bit5, bit4 (RCOS291, RCOS290)	AN29
ADCC7: bit9, bit8 (RCOS141, RCOS140)	AN14	ADCC15: bit9, bit8 (RCOS301, RCOS300)	AN30

ビット	アナログ入力 チャンネル	ビット	アナログ入力 チャンネル
ADCC7: bit13, bit12 (RCOS151, RCOS150)	AN15	ADCC15: bit13, bit12 (RCOS311, RCOS310)	AN31

---

**<注意事項>**

A/D 変換実行中(ADCS:BUSY="1") にしきい値レジスタ選択の変更は行わないでください。

---

## 8.9. レンジ比較インバートレンジ選択レジスタ (ADRCOIRS0~3)

レンジ比較インバートレンジ選択レジスタは、レンジ比較条件を上限しきい値と下限しきい値の範囲内または範囲外を設定します。

### ■ レンジ比較インバートレンジ選択レジスタ (ADRCOIRS0~3)

<b>ADRCOIRS3</b>								
bit	15	14	13	12	11	10	9	8
	RCOIRS 31	RCOIRS 30	RCOIRS 29	RCOIRS 28	RCOIRS 27	RCOIRS 26	RCOIRS 25	RCOIRS 24
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

<b>ADRCOIRS2</b>								
bit	7	6	5	4	3	2	1	0
	RCOIRS 23	RCOIRS 22	RCOIRS 21	RCOIRS 20	RCOIRS 19	RCOIRS 18	RCOIRS 17	RCOIRS 16
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

<b>ADRCOIRS1</b>								
bit	15	14	13	12	11	10	9	8
	RCOIRS 15	RCOIRS 14	RCOIRS 13	RCOIRS 12	RCOIRS 11	RCOIRS 10	RCOIRS 9	RCOIRS 8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

<b>ADRCOIRS0</b>								
bit	7	6	5	4	3	2	1	0
	RCOIRS 7	RCOIRS 6	RCOIRS 5	RCOIRS 4	RCOIRS 3	RCOIRS 2	RCOIRS 1	RCOIRS 0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

#### <注意事項>

- 各ビットデバイス上に存在するアナログ入力チャネルに対応します。
- A/D 変換実行(ADCS:BUSY="1") 中に範囲内・範囲外確認設定を変更しないでください。

[bit15～bit0] RCOIRS<sub>n</sub>: 範囲内・範囲外確認設定

bit	説明
0	A/D 変換結果が、上限/下限しきい値レジスタ値の外側にあることを検出する。
1	A/D 変換結果が、上限/下限しきい値レジスタ値の内側にあることを検出する。

- 範囲内・範囲外確認設定(RCOIRS<sub>n</sub>) は、A/D 変換結果データが上限しきい値レジスタ(ADRCOH0～3)と下限しきい値レジスタ(ADRCOL0～3) で設定したしきい値に対して、範囲内または範囲外の確認するかの設定を行います。
- 各ビットはアナログ入力チャネルに対応します。

ビット	アナログ入力 チャネル
ADRCOIRS0:bit7 ～ bit0 (RCOIRS7 ～ RCOIRS0)	AN7 ～ AN0
ADRCOIRS1:bit15 ～ bit8 (RCOIRS15 ～ RCOIRS8)	AN15 ～ AN8
ADRCOIRS2:bit7 ～ bit0 (RCOIRS23 ～ RCOIRS16)	AN23 ～ AN16
ADRCOIRS3:bit15 ～ bit8 (RCOIRS31 ～ RCOIRS24)	AN31 ～ AN24

- 上限しきい値レジスタ(ADRCOH0～3)/下限しきい値レジスタ(ADRCOL0～3) のどの組合せのしきい値を用いるかは、レンジ比較チャネル制御レジスタ(ADCC:RCOS<sub>n</sub>1/RCOS<sub>n</sub>0) で設定されたものになります。

bit	説明
0	<ul style="list-style-type: none"> <li>対応するアナログ入力チャネルの A/D 変換結果は、上限/下限しきい値の範囲外にあることを確認します。</li> <li>確認した結果、上限/下限しきい値の範囲外でレンジ比較割込み要求許可設定(ADCC:RCOIE<sub>n</sub>="1") の場合は割込みが生成されます。</li> <li>範囲外は、A/D 変換結果データが上限しきい値より上でありまたは下限しきい値より下であることを示します。 範囲外 = A/D 変換結果 &gt; 上限しきい値レジスタ または 範囲外 = A/D 変換結果 &lt; 下限しきい値レジスタ</li> <li>上限しきい値レジスタのしきい値を上回るか、下限しきい値レジスタのしきい値を下回るかの確認は、レンジ比較しきい値超過フラグレジスタの対応するフラグ(ADRCOOF:RCOOF<sub>n</sub>) で確認することができます。 このフラグ(ADRCOOF:RCOOF<sub>n</sub>) を読み出した結果、 -"0"の場合は下限しきい値レジスタのしきい値より下にあることを示します。 -"1"の場合は上限しきい値レジスタのしきい値より上にあることを示します。</li> </ul>

bit	説明
1	<ul style="list-style-type: none"><li>・ 対応するアナログ入力チャネルの A/D 変換結果は、上限/下限しきい値の範囲内にあることを確認します。</li><li>・ 比較確認した結果、上限/下限しきい値の範囲内でレンジ比較割込み要求許可設定が許可(ADCC:RCOIE<sub>n</sub>="1") の場合は割込みが生成されます。</li><li>・ 範囲内は、A/D 変換結果データが上限しきい値以下の値であり、なおかつ下限しきい値以上の値であることを示します。 範囲内 = 変換結果 ≤ 上限しきい値レジスタ かつ 範囲内 = 変換結果 ≥ 下限しきい値レジスタ</li></ul>

## 8.10. レンジ比較しきい値超過フラグレジスタ (ADRCOOF0~3)

レンジ比較しきい値超過フラグレジスタ (ADRCOOF0~3) は、レンジ比較した結果、上限しきい値レジスタの設定値より大きいまたは下限しきい値レジスタの設定値より小さいかを示します。

### ■ レンジ比較しきい値超過フラグレジスタ (ADRCOOF0~3)

ADRCOOF3								
bit	15	14	13	12	11	10	9	8
	RCOOF	RCOOF	RCOOF	RCOOF	RCOOF	RCOOF	RCOOF	RCOOF
	31	30	29	28	27	26	25	24
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

ADRCOOF2								
bit	7	6	5	4	3	2	1	0
	RCOOF	RCOOF	RCOOF	RCOOF	RCOOF	RCOOF	RCOOF	RCOOF
	23	22	21	20	19	18	17	16
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

ADRCOOF1								
bit	15	14	13	12	11	10	9	8
	RCOOF	RCOOF	RCOOF	RCOOF	RCOOF	RCOOF	RCOOF	RCOOF
	15	14	13	12	11	10	9	8
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

ADRCOOF0								
bit	7	6	5	4	3	2	1	0
	RCOOF	RCOOF	RCOOF	RCOOF	RCOOF	RCOOF	RCOOF	RCOOF
	7	6	5	4	3	2	1	0
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

### <注意事項>

各ビットデバイス上に存在するアナログ入力チャネルに対応します。

#### [bit15~bit0] RCOOFn: レンジ比較しきい値超過フラグ

- レンジ比較しきい値超過フラグは、レンジ比較した結果が上限しきい値レジスタ (ADRCOH0~3) で設定された値より大きいことまたは下限しきい値レジスタ (ADRCOL0~3) で設定された値より小さいことを表示します。

bit	説明
0	対応するアナログ入力チャネルの A/D 変換結果データは、下限しきい値レジスタで設定された値より小さい (A/D 変換結果 < 下限しきい値レジスタ)
1	対応するアナログ入力チャネルの A/D 変換結果データは、上限しきい値レジスタで設定された値より大きい (A/D 変換結果 > 上限しきい値レジスタ)

- 各ビットはアナログ入力チャネルに対応します。

ビット	アナログ入力チャネル
ADRCOOF0:bit7 ~ bit0 (RCOOF7 ~ RCOOF0)	AN7 ~ AN0
ADRCOOF1:bit15 ~ bit8 (RCOOF15 ~ RCOOF8)	AN15 ~ AN8
ADRCOOF2:bit7 ~ bit0 (RCOOF23 ~ RCOOF16)	AN23 ~ AN16
ADRCOOF3:bit15 ~ bit8 (RCOOF31 ~ RCOOF24)	AN31 ~ AN24

- 上限しきい値レジスタ (ADRCOH0~3) / 下限しきい値レジスタ (ADRCOL0~3) のどの組合せのしきい値を用いるかはレンジ比較チャネル制御レジスタのしきい値レジスタ選択 (ADCC0~15:RCOSn1/RCOSn0) で設定されたものになります。

### <注意事項>

レンジ比較インバート選択レジスタの (ADRCOIRS:RCOIRSn) の設定によってレンジ比較しきい値超過フラグの動作が異なります。下記の表は、レンジ比較割込み要因 (ADRCOINTF:RCOINTn を "1" にセットする条件) が発生したときの動作です。レンジ比較範囲外設定 (ADRCOIRS:RCOIRSn="0") の場合、レンジしきい値超過フラグは更新され、レンジ比較範囲内設定 (ADRCOIRS:RCOIRSn="1") の場合、レンジしきい値超過フラグは意味を持ちません。

レンジ比較 しきい値超過 フラグレジスタ (ADRCOOF)	レンジ比較インバート選択レジスタ (ADRCOIRS)	
	RCOIRSn=0(範囲外)	RCOIRSn=1(範囲内)
RCOOFn=0	対応するチャネルの A/D 変換結果は、 下限しきい値よりも小さい	RCOIRSn=1 の場合、RCOOFn は意味 を持ちません。
RCOOFn=1	対応するチャネルの A/D 変換結果は、 上限しきい値よりも大きい	

- n はデバイス上に存在するアナログ入力チャネル番号 (0~31) です。

## 8.11. レンジ比較フラグレジスタ (ADRCOINTF0~3)

レンジ比較フラグレジスタは対応するチャネルの割込み要因を表示します。

### ■ レンジ比較フラグレジスタ (ADRCOINTF0~3)

ADRCOINTF3								
bit	15	14	13	12	11	10	9	8
	RCOINT	RCOINT	RCOINT	RCOINT	RCOINT	RCOINT	RCOINT	RCOINT
	31	30	29	28	27	26	25	24
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

ADRCOINTF2								
bit	7	6	5	4	3	2	1	0
	RCOINT	RCOINT	RCOINT	RCOINT	RCOINT	RCOINT	RCOINT	RCOINT
	23	22	21	20	19	18	17	16
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

ADRCOINTF1								
bit	15	14	13	12	11	10	9	8
	RCOINT	RCOINT	RCOINT	RCOINT	RCOINT	RCOINT	RCOINT	RCOINT
	15	14	13	12	11	10	9	8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

ADRCOINTF0								
bit	7	6	5	4	3	2	1	0
	RCOINT	RCOINT	RCOINT	RCOINT	RCOINT	RCOINT	RCOINT	RCOINT
	7	6	5	4	3	2	1	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

#### <注意事項>

各ビットデバイス上に存在するアナログ入力チャネルに対応します。



## [bit15～bit0] RCOINTn: レンジ比較割込み要因

bit	説明	
	読出し	書込み
0	レンジ比較による割込み要因クリア状態	レンジ比較による割込み要因クリアを行います
1	レンジ比較による割込み要因状態	動作に影響はしません。

- ・ レンジ比較による割込み要因発生状態表示およびレンジ比較による割込み要因クリアを行います。
- ・ 各ビットはアナログ入力チャネルに対応します。

ビット	アナログ入力 チャネル
ADRCOINTF0:bit7 ～ bit0 (RCOINT7 ～ RCOINT0)	AN7 ～ AN0
ADRCOINTF1:bit15 ～ bit8 (RCOINT15 ～ RCOINT8)	AN15 ～ AN8
ADRCOINTF2:bit7 ～ bit0 (RCOINT23 ～ RCOINT16)	AN23 ～ AN16
ADRCOINTF3:bit15 ～ bit8 (RCOINT31 ～ RCOINT24)	AN31 ～ AN24

- ・ レンジ比較割込み要求許可(ADCC:RCOIE<sub>n</sub>) の設定にかかわらず、レンジ比較による割込み要因が発生したとき、RCOINT<sub>n</sub>="1"にセットされます。
- ・ レンジ比較割込み要求許可設定が有効(ADCC:RCOIE<sub>n</sub>="1") の状態で、レンジ比較割込み要因がセット(RCOINT<sub>n</sub>="1") されると、割込み要求が発生します。割込みクリアは、RCOINT<sub>n</sub>に"0"書き込むと"0"にクリアされます。

---

**<注意事項>**

- ・ リードモディファイライト(RMW) 命令を使用した場合には、"1"が読み出されます。
  - ・ レンジ比較割込み要因のセットとクリアが同時に発生した場合は、セット動作が優先されます。
-

## 8.12. チャネルスキップレジスタ (ADDSCR0~3)

A/D スキャン変換中にスキップするチャネルの設定を行います。

### ■ チャネルスキップレジスタ (ADDSCR0~3)

ADDSCR3								
bit	15	14	13	12	11	10	9	8
	DCS	DCS	DCS	DCS	DCS	DCS	DCS	DCS
	31	30	29	28	27	26	25	24
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

ADDSCR2								
bit	7	6	5	4	3	2	1	0
	DCS	DCS	DCS	DCS	DCS	DCS	DCS	DCS
	23	22	21	20	19	18	17	16
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

ADDSCR1								
bit	15	14	13	12	11	10	9	8
	DCS	DCS	DCS	DCS	DCS	DCS	DCS	DCS
	15	14	13	12	11	10	9	8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

ADDSCR0								
bit	7	6	5	4	3	2	1	0
	DCS	DCS	DCS	DCS	DCS	DCS	DCS	DCS
	7	6	5	4	3	2	1	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

#### <注意事項>

各ビットデバイス上に存在するアナログ入力チャネルに対応します。

## [bit15～bit0] DCSn: チャネルスキップ

bit	説明
0	A/D 変換中に対応するアナログ入力チャネルはスキップされません
1	A/D 変換中に対応するアナログ入力チャネルはスキップされます

- A/D 変換中に対応するアナログ入力チャネルのスキップ制御の設定を行います。
- 各ビットはアナログ入力チャネルに対応します。

ビット	アナログ入力 チャネル
ADDSCR0:bit7 ～ bit0 (DCS7 ～ DCS0)	AN7 ～ AN0
ADDSCR1:bit15 ～ bit8 (DCS15 ～ DCS8)	AN15 ～ AN8
ADDSCR2:bit7 ～ bit0 (DCS23 ～ DCS16)	AN23 ～ AN16
ADDSCR3:bit15 ～ bit8 (DCS31 ～ DCS24)	AN31 ～ AN24

- アナログ開始チャネル設定(ADSR:ANS4～0) とアナログ終了チャネル設定(ADSR:ANE4～0) で設定された A/D 変換範囲において、A/D 変換をスキップすることができます。

---

**<注意事項>**

- アナログ開始チャネル設定(ADSR:ANS4～0) とアナログ終了チャネル設定(ADSR:ANE4～0) で設定された A/D 変換範囲を全スキップしないでください。
  - A/D 変換実行中(ADCS:BUSY="1") にチャネルスキップ設定を変更しないでください。
  - 搭載されていないアナログ入力チャネルへの書込みを行う場合は"1"を書き込んでください。
-

## 8.13. ADC パルスカウンタリロードレジスタ(ADPCTNRD0～31/ADPCTPRD0～31)

ADC パルスカウンタリロードレジスタは、ADCパルスカウンタのポジティブカウントおよびネガティブカウントにリロードするためのリロード値を保持します。

### ■ ADC パルスネガティブカウンタリロードレジスタ (ADPCTNRD0～31)

ADPCTNRD0～31								
bit	15	14	13	12	11	10	9	8
	RESV			NRL4	NRL3	NRL2	NRL1	NRL0
属性	-	-	-	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit15～bit13] RESV: 予約ビット

- 常に"0"を書き込んでください。
- このビットを読み出した場合には"0"が読み出されます。

[bit12～bit8] NRL4～NRL0: ネガティブカウンタリロード値

bit	説明
ネガティブカウンタのリロード値を保持します	

詳細な動作は「7. パルス検出機能」を参照してください。

### <注意事項>

ネガティブカウンタリロード値 ADPCTNRDn:NRL4～0 の値が"0x00"であるとき、ネガティブカウンタ動作は無効になります。

## ■ ADC パルスポジティブカウンタリロードレジスタ (ADPCTPRD0~31)

ADPCTPRD0~31								
bit	7	6	5	4	3	2	1	0
	PRL7	PRL6	PRL5	PRL4	PRL3	PRL2	PRL1	PRL0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7~bit0] PRL7~PRL0: ポジティブカウンタリロード値

bit	説明
ポジティブカウンタのリロード値を保持します	

詳細な動作は「7. パルス検出機能」を参照してください。

### <注意事項>

ポジティブカウンタリロード値 ADPCTPRDn:PRL7~0 の値が"0x00"であるとき、パルス検出動作は無効になります。

## 8.14. ADC パルスカウンタレジスタ (ADPCTNCT0～31/ADPCTPCT0～31)

パルスカウンタは、ポジティブカウンタおよびネガティブカウンタの現在値を表示します。パルスカウンタの ADPCTNCT0～31 はネガティブカウンタでありネガティブイベントをカウントします。また ADPCTPCT0～31 は、ポジティブカウンタでありポジティブイベントをカウントします。すべてのアナログ入力チャネルに対応するポジティブカウンタ/ネガティブカウンタがあります。

### ■ ADC パルスネガティブカウンタ (ADPCTNCT0～31)

ADPCTNCT0～31								
bit	15	14	13	12	11	10	9	8
	RESV			NCR4	NCR3	NCR2	NCR1	NCR0
属性	-	-	-	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

[bit15～bit13] RESV: 予約ビット

このビットを読み出した場合には"0"が返されます。

[bit12～bit8] NCR4～NCR0: ネガティブカウンタ

bit	説明
現在のネガティブカウンタ値を表示します	

- このネガティブカウンタはダウンカウンタです。
- ネガティブカウンタのリロード条件は以下になります。
  - ポジティブイベントが発生したとき
  - パルスカウンタゼロフラグ(ADPCFZ:CTPZFn) に"0"が書き込まれたとき

(n はデバイス上に存在するアナログ入力チャネル番号(0～31) です)

### <注意事項>

- ネガティブカウンタ ADPCTNCTn:NCR4～0 の値が"0x00"であるとき、カウンタは停止し、対応するアナログ入力変換チャネルのためのネガティブイベントのフィルタリングは無効になります。
- 対応するアナログ入力チャネルのパルスカウンタゼロフラグ(ADPCFZ:CTPZFn) が"1"にセットされている場合、ネガティブカウンタ(ADPCTNCTn) は停止します。

## ■ ADC パルスポジティブカウンタ (ADPCTPCT0~31)

ADPCTPCT0~31								
bit	7	6	5	4	3	2	1	0
	PCR7	PCR6	PCR5	PCR4	PCR3	PCR2	PCR1	PCR0
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

[bit7~bit0] PCR7~PCR0: ポジティブカウンタ

bit	説明
	現在のポジティブカウンタ値を表示します

- このポジティブカウンタはダウンカウンタです。
- ポジティブカウンタのリロード条件は以下になります。
  - ネガティブカウンタ(ADPCTNRTn:NCR4~0) 値が"0x01"から"0x00"に変化したとき
  - パルスカウンタゼロフラグ(ADPCFZ:CTPZFn) に"0"が書き込まれたとき

### <注意事項>

- ポジティブカウンタ ADPCTPCTn:PCR7~0 の値が"0x00"であるとき、カウンタは停止し、対応するアナログ入力チャネルのためのパルス検出機能は無効になります。
- 対応するアナログ入力チャネルのパルスカウンタゼロフラグ(ADPCFZ:CTPZFn) が"1"にセットされている場合、ポジティブカウンタ(ADPCTPCTn) は停止します。
- パルス検出機能を起動させるには、パルスカウンタゼロフラグ(ADPCFZ3~0:CTPZFn) に"0"を書き込んでください。パルスカウンタゼロフラグ(ADPCFZ3~0:CTPZFn) に"0"を書き込むことにより、パルスカウンタリロードレジスタ(ADPCTNRDn/ADPCTPRDn) に設定されていたリロード値がパルスカウンタ(ADPCTNCTn/ADPCTPCTn) にリロードされます。

## 8.15. ADC パルスカウンタ割込みイネーブルレジスタ (ADPCIE0~3)

ADC パルスカウンタ割込みイネーブルレジスタは、割込み要因に対する割込み許可設定または禁止設定を行います。

### ■ ADC パルスカウンタ割込みイネーブルレジスタ (ADPCIE0~3)

ADPCIE3								
bit	15	14	13	12	11	10	9	8
	CTPIE 31	CTPIE 30	CTPIE 29	CTPIE 28	CTPIE 27	CTPIE 26	CTPIE 25	CTPIE 24
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

ADPCIE2								
bit	7	6	5	4	3	2	1	0
	CTPIE 23	CTPIE 22	CTPIE 21	CTPIE 20	CTPIE 19	CTPIE 18	CTPIE 17	CTPIE 16
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

ADPCIE1								
bit	15	14	13	12	11	10	9	8
	CTPIE 15	CTPIE 14	CTPIE 13	CTPIE 12	CTPIE 11	CTPIE 10	CTPIE 9	CTPIE 8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

ADPCIE0								
bit	7	6	5	4	3	2	1	0
	CTPIE 7	CTPIE 6	CTPIE 5	CTPIE 4	CTPIE 3	CTPIE 2	CTPIE 1	CTPIE 0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

#### <注意事項>

各ビットデバイス上に存在するアナログ入力チャネルに対応します。



## [bit15～bit0] CTPIEn: パルスカウンタ割込みイネーブル

bit	説明
0	パルス検出による割込み要求禁止 パルス検出の割込み要因がセット(ADPCZF:CTPZFn="1") されても、割込み要求は発生しません。
1	パルス検出による割込み要求許可 パルス検出の割込み要因がセット(ADPCZF:CTPZFn="1") されると、割込み要求が発生します。

- これらのビットはゼロフラグレジスタ(ADPCZF:CTPZFn) が"1"にセットされた場合の割込み要求許可設定を行います。
- 各ビットはアナログ入力チャネルに対応します。

ビット	アナログ入力チャネル
ADPCIE0:bit7 ～ bit0 (CTPIE7 ～ CTPIE0)	AN7 ～ AN0
ADPCIE1:bit15 ～ bit8 (CTPIE15 ～ CTPIE8)	AN15 ～ AN8
ADPCIE2:bit7 ～ bit0 (CTPIE23 ～ CTPIE16)	AN23 ～ AN16
ADPCIE3:bit15 ～ bit8 (CTPIE31 ～ CTPIE24)	AN31 ～ AN24

## &lt;注意事項&gt;

搭載されていないアナログ入力チャネルへの書込みを行う場合は"0"を書き込んでください。

## 8.16. ADC パルスカウンタゼロフラグレジスタ(ADPCZF0~3)

ADC パルスカウンタゼロフラグレジスタは、ポジティブカウンタ(ADPCTPCT0~31) が0になると、ゼロフラグがセットされます。それぞれのビットはアナログ入力チャネルに対応します。

### ■ ADC パルスカウンタゼロフラグレジスタ (ADPCZF0~3)

ADPCZF3								
bit	15	14	13	12	11	10	9	8
	CTPZF 31	CTPZF 30	CTPZF 29	CTPZF 28	CTPZF 27	CTPZF 26	CTPZF 25	CTPZF 24
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

ADPCZF2								
bit	7	6	5	4	3	2	1	0
	CTPZF 23	CTPZF 22	CTPZF 21	CTPZF 20	CTPZF 19	CTPZF 18	CTPZF 17	CTPZF 16
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

ADPCZF1								
bit	15	14	13	12	11	10	9	8
	CTPZF 15	CTPZF 14	CTPZF 13	CTPZF 12	CTPZF 11	CTPZF 10	CTPZF 9	CTPZF 8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

ADPCZF0								
bit	7	6	5	4	3	2	1	0
	CTPZF 7	CTPZF 6	CTPZF 5	CTPZF 4	CTPZF 3	CTPZF 2	CTPZF 1	CTPZF 0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

#### <注意事項>

各ビットデバイス上に存在するアナログ入力チャネルに対応します。

## [bit15～bit0] CTPZFn: パルスカウンタゼロフラグ

bit	説明	
	読出し	書込み
0	パルス検出による割込み要因クリア状態 (ゼロフラグレジスタには割込み要因はありません)	パルス検出による割込み要因クリアを行います
1	パルス検出による割込み要因状態 (アナログ入力チャネルに対応するポジティブカウンタ値が"0"に到達したことを表示します)	動作に影響はしません

- ・ パルスカウンタゼロフラグはポジティブカウンタ(ADPCTPCTn:PCR7～0) がデクリメントしてカウンタ値が"0x01"から"0x00"になるとセット(CTPZFn="1") されます。
- ・ パルス検出による割込み要求許可(ADPCIE:CTPIEn) の設定にかかわらず、パルス検出の割込み要因が発生したとき、CTPZFn="1"にセットされます。
- ・ パルス検出による割込み要求許可設定(ADPCIE:CTPIEn="1") された状態で、CTPZFn が"1"セットされると、割込み要求が発生します。
- ・ このビットは"0"書込みでクリアされ、パルスカウンタリロードレジスタ(ADPCTNRDn/ADPCTPRDn) に設定されていたリロード値がパルスカウンタ(ADPCTNCTn/ADPCTPCTn) にリロードされます。
- ・ 各ビットはアナログ入力チャネルに対応します。

ビット	アナログ入力チャネル
ADPCZF0:bit7 ～ bit0 (CTPZF7 ～ CTPZF0)	AN7 ～ AN0
ADPCZF1:bit15 ～ bit8 (CTPZF15 ～ CTPZF8)	AN15 ～ AN8
ADPCZF2:bit7 ～ bit0 (CTPZF23 ～ CTPZF16)	AN23 ～ AN16
ADPCZF3:bit15 ～ bit8 (CTPZF31 ～ CTPZF24)	AN31 ～ AN24

## &lt;注意事項&gt;

- ・ リードモディファイライト(RMW) 命令を使用した場合には、"1"が読み出されます
- ・ パルスカウンタゼロフラグのセットとクリアが同時に発生した場合は、クリア動作が優先されます。

## 8.17. アナログ入力許可レジスタ(ADER0~3)

このレジスタは A/D コンバータのアナログ入力を許可します。

### ■ アナログ入力許可レジスタ(ADER0~3)

ADER3								
bit	15	14	13	12	11	10	9	8
	ADE 31	ADE 30	ADE 29	ADE 28	ADE 27	ADE 26	ADE 25	ADE24
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

ADER2								
bit	7	6	5	4	3	2	1	0
	ADE 23	ADE 22	ADE 21	ADE 20	ADE 19	ADE 18	ADE 17	ADE16
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

ADER1								
bit	15	14	13	12	11	10	9	8
	ADE 15	ADE 14	ADE 13	ADE 12	ADE 11	ADE 10	ADE 9	ADE8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

ADER0								
bit	7	6	5	4	3	2	1	0
	ADE 7	ADE 6	ADE 5	ADE 4	ADE 3	ADE 2	ADE 1	ADE0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

#### <注意事項>

- 各ビットデバイス上に存在するアナログ入力チャネルに対応します。
- アナログ入力の信号経路は、ADER(アナログ入力許可レジスタ) の値の影響を受けません。そのため、ADER = "0"の状態では AD 変換を行った場合、AD 用のサンプルホールド回路に蓄えられた電荷が端子に見える場合があります。

#### [bit7~bit0] ADERn: アナログ入力許可ビット

外部端子を A/D コンバータ用のアナログ入力として使用する場合は、対応するビットを "1" に設定する必要があります。

bit7～bit0	モード選択
0	ポート入出力モード
1	アナログ入力モード

# Chapter 18: A/D コンバータトリガ



---

ADC トリガの機能と動作について説明します。

---

1. 概要
2. 動作
3. レジスタ

---

管理コード : 96F6ADCTG-J02.0

---

## 1. 概要

ADC トリガは、使用可能な RLT, PPG からの入力に応じて ADC モジュールをトリガします。

### ■ ADC トリガの概要

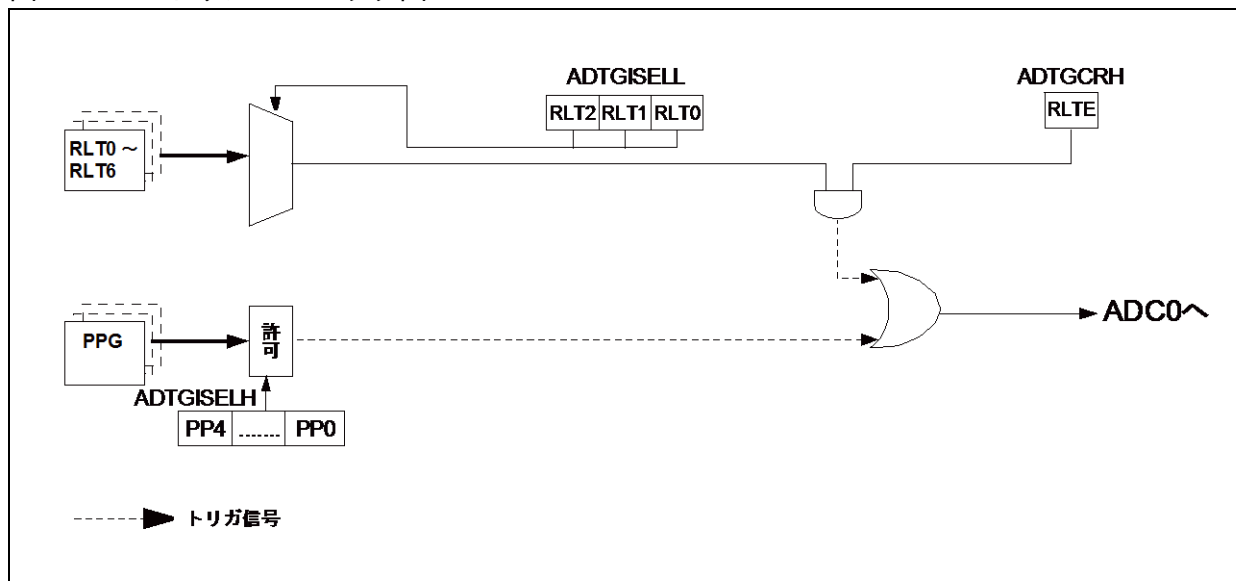
使用可能な RLT 出力および PPG のタイミングポイントイベントのいずれかを選択できます。  
 以下のイベントをトリガとして選択できます。

- ・ PPG からのタイミングポイントイベント
- ・ RLT タイマ出力の変更によるトリガ

ADC モジュールをトリガするための専用のトリガモジュールが用意されています。

### ■ ADC トリガのブロックダイアグラム

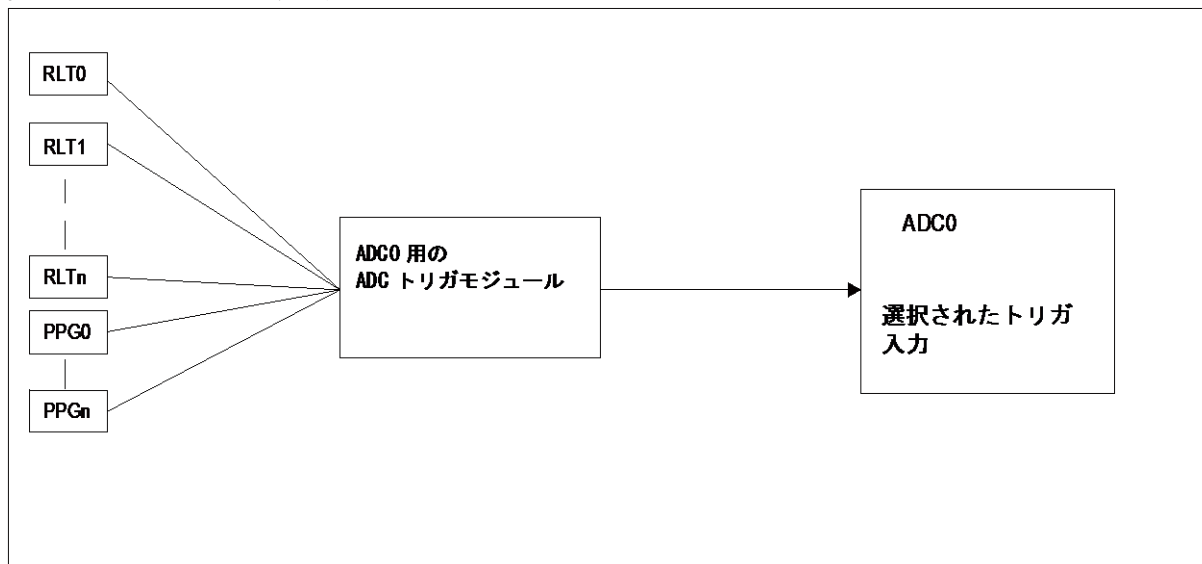
図 1-1 ADC トリガのブロック図



## ■ RLT および PPG と ADC0 との接続

図 1-2 に示すように、ADC0 モジュールをトリガするために専用のトリガが用意されています。RLT および PPG は ADC0 用の ADC トリガへ入力されます。

図 1-2 ADC0 へのトリガ入力





## 2. 動作

---

ADC 起動はリロードタイマまたは PPG タイミングポイントイベントで実行できます。

---

### ■ ADC トリガを起動

ADC トリガモジュールは ADC モジュールを起動するために使用されます。  
以下のイベントをトリガとして選択できます。

- ・ リロードタイマ
- ・ PPG タイミングポイント

### 3. レジスタ

---

ADC トリガに使用されるレジスタの構成および機能について説明します。

---

#### ■ ADC トリガのレジスタ一覧

レジスタ略称	レジスタ名	参照先
ADTGCR <sub>n</sub>	ADC トリガ制御レジスタ	3.1
ADTGISEL <sub>n</sub>	ADC トリガ入力選択	3.2

### 3.1. ADC トリガ制御レジスタ(ADTGCRn)

ADC トリガ制御レジスタは、トリガ出力を許可/禁止するために使用できます。

#### ■ ADC トリガ制御レジスタ上位(ADTGCRHn)

ADTGCRHn								
bit	15	14	13	12	11	10	9	8
	-	-	-	-	-	-	-	RLTE
属性	-	-	-	-	-	-	-	R/W
初期値	X	X	X	X	X	X	X	1

##### [bit15～bit9] -: 未定義

これらのビットに常に"0"を書き込みます。

これらのビットの読出し値は未定義です。

これらのビットへのリードモディファイライト(RMW) 動作は無効です。

##### [bit8]RLTE

bit	説明
0	RLT によるトリガを禁止
1	RLT によるトリガを許可

このビットはリロードタイマによる ADC トリガを許可します。

#### ■ ADC トリガ制御レジスタ下位(ADTGCRLn)

##### [bit7～bit0] -: 未定義

これらのビットに常に"0"を書き込みます。

これらのビットの読出し値は未定義です。

これらのビットへのリードモディファイライト(RMW) 動作は無効です。

## 3.2. ADC トリガ入力選択(ADTGISELn)

ADC トリガ入力選択レジスタはリロードタイマ, PPG からトリガソース入力を選択するために使用されます。

### ■ ADC トリガ入力選択上位(ADTGISELHn)

ADTGISELHn								
bit	15	14	13	12	11	10	9	8
	-	-	-	PP4	PP3	PP2	PP1	PP0
属性	-	-	-	R/W	R/W	R/W	R/W	R/W
初期値	X	X	X	0	0	0	0	0

#### [bit15～bit13] -: 未定義

これらのビットに常に"0"を書き込みます。

これらのビットの読出し値は未定義です。

これらのビットへのリードモディファイライト(RMW) 動作は無効です。

#### [bit12～bit8]PP4～PP0

bit12	bit11	bit10	bit9	bit8	説明
0	0	0	0	0	PPG トリガ禁止
0	0	0	0	1	PPG グループ 0 トリガ許可
0	0	0	1	0	PPG グループ 1 トリガ許可
0	0	1	0	0	PPG グループ 2 トリガ許可
0	1	0	0	0	PPG グループ 3 トリガ許可
1	0	0	0	0	PPG グループ 4 トリガ許可

これらのビットは、ADC トリガを生成できる PPG グループを選択します。ビットの初期値は"0"で、デフォルトで PPG モジュールが ADC トリガとして禁止されていることを意味します。

複数の PPG グループを ADC のトリガソースとして選択できます。次のトリガが発生する前に ADC 変換が終了している必要があります。トリガ発生時に ADC 変換がまだ終了していない場合、このトリガは無視されます。(A/D コンバータのシングルモード 1 を除く)

## ■ ADC トリガ入力選択下位(ADTGISELLn)

ADTGISELLn								
bit	7	6	5	4	3	2	1	0
	-	-	-	-	-	RLT2	RLT1	RLT0
属性	-	-	-	-	-	R/W	R/W	R/W
初期値	X	X	X	X	X	0	0	1

### [bit7～bit3] -: 未定義

これらのビットに常に"0"を書き込みます。

これらのビットの読出し値は未定義です。

これらのビットへのリードモディファイライト(RMW) 動作は無効です。

### [bit2～bit0]RLT2～RLT0

これらのビットは、利用可能な RLT から入力を選択します。

bit2	bit1	bit0	説明
0	0	0	RLT0 選択
0	0	1	RLT1 選択
0	1	0	RLT2 選択
0	1	1	RLT3 選択
1	0	0	RLT4 選択
1	0	1	RLT5 選択
1	1	0	RLT6 選択
1	1	1	RLT トリガ禁止

# Chapter 19: USART



---

LIN-USART の機能と動作について説明します。

---

1. 概要
2. 構成
3. 端子
4. 動作
5. 割込み
6. ボーレート
7. レジスタ
8. 使用上の注意

---

管理コード : 96F6USART-J03.0

---

## 1. 概要

LIN (Local Interconnect Network) 機能付き USART は、外部デバイスと同期通信または非同期通信を行うための汎用シリアルデータ通信インタフェースです。USART は双方向通信機能（ノーマルモード）、マスタ/スレーブ通信機能（マスタ/スレーブシステムでのマルチプロセッサモード）に加えて LIN バスに対応するための特別な機能（マスタデバイスまたはスレーブデバイスとして動作）もサポートしています。

### ■ USART の機能

USART は、ほかの CPU および周辺デバイスとの間でシリアルデータを送受信するための汎用シリアルデータ通信インタフェースです。USART の機能を表 1-1 に示します。

表 1-1 USART の機能

項目	機能
データバッファ	全二重方式
シリアル入力	5 回オーバーサンプリング（非同期モード）
転送モード	<ul style="list-style-type: none"> <li>・ クロック同期（調歩同期、またはスタート/ ストップビットオプション）</li> <li>・ クロック非同期（スタート/ ストップビットを使用）</li> </ul>
ボーレート	<ul style="list-style-type: none"> <li>・ 16 ビットリロードカウンタ搭載の専用ボーレートジェネレータが搭載されている</li> <li>・ 外部クロックの入力ができ、リロードカウンタでの分周が可能</li> <li>・ 自動ボーレート調整メカニズムが利用可能（LIN モード）</li> </ul>
データ長	<ul style="list-style-type: none"> <li>・ 7 ビット（同期モードと LIN モード以外）</li> <li>・ 8 ビット</li> </ul>
信号方式	<ul style="list-style-type: none"> <li>・ 通常データモード</li> <li>・ 反転データモード</li> </ul>
スタートビットタイミング	非同期モード（ノーマルモード）時は、スタートビットの立下りエッジに同期、反転モード時は立上りエッジに同期
受信エラー検出	<ul style="list-style-type: none"> <li>・ フレーミングエラー</li> <li>・ オーバランエラー</li> <li>・ パリティエラー（モード 1 とモード 3 では未サポート）</li> <li>・ チェックサムエラー（LIN モード）</li> <li>・ Sync field タイムアウトエラー（LIN モード）</li> <li>・ フレーム ID 受信時のパリティエラー（LIN モード）</li> </ul>
16 バイト FIFO	<ul style="list-style-type: none"> <li>・ 送受信用独立 16 バイト FIFO</li> <li>・ FIFO は割込み用送受信トリガレベルによってアクティブにすることが可能</li> </ul>

項目	機能
割込み要求	<ul style="list-style-type: none"> <li>受信割込み (受信データレジスタフル/FIFO レベル到達, 受信エラー検出, LIN Sync break 検出, LIN 自動ヘッダ受信完了)</li> <li>送信割込み (送信データレジスタエンブティ/FIFO レベル到達, LIN 自動ヘッダ送信完了, 最終ビットシフトアウト)</li> <li>ICU (LIN Sync field 検出)からの割込み要求</li> <li>DMA 機能のための送受信</li> <li>チェックサムエラー</li> </ul>
マスタ/スレーブ通信機能 (マルチプロセッサモード)	<ul style="list-style-type: none"> <li>1 対 n 通信 (1 つのマスタ対 n 個のスレーブ) (マスタおよびスレーブシステムの両方をサポート)</li> </ul>
同期モード	マスタ USART またはスレーブ USART として機能
送受信端子	直接アクセス可能
LIN バスオプション	<ul style="list-style-type: none"> <li>マスタデバイス動作</li> <li>スレーブデバイス動作</li> <li>LIN Sync break 生成</li> <li>LIN Sync break 検出(LIN Sync field 受信が既に始まっている間の検出を含め)</li> <li>ICU は LIN Sync field 内で検出されたスタート/ストップエッジのビット時間を測定するために使用できます。LIN USART の Sync field 信号への ICU の割当てについては、『概要』の章の「4. LIN-USART のインプットキャプチャユニットのソースの選択」を参照してください。</li> <li>ICU を使用し、ボーレートカウンタを更新する代わりに LIN Sync field 内で検出されたスタート/ストップエッジのビット時間を測定するための自動ボーレート検出/調整機能</li> <li>LIN フレームの完全なヘッダ送受信終了時の割込み</li> <li>チェックサム生成およびチェックサム照合 (チェックサム生成は LIN マスタでのみ可能)</li> <li>物理的なバスエラーの検出</li> <li>内部ループバック機能</li> <li>1~16 バイトで設定可能な送受信 FIFO</li> </ul>
同期シリアルクロック	同期通信時に、スタートビットとストップビットを使って通信するため、SCK の常時出力が可能です。
クロック遅延オプション	1/2 シリアルクロック位相単位の遅延クロック用特殊同期クロックモード (シリアルペリフェラルインタフェース (SPI) に有用)



---

**<注意事項>**

- ・ LIN-ヘッダ自動送受信機能はオプションのため、すべてのデバイスでアクセス可能というわけではありません。  
詳細は各デバイスのデータシートの「品種構成」を参照してください。  
以下の機能も含みます。
  - ・ 自動ヘッダ送受信完了
  - ・ チェックサム生成およびチェックサム照合  
(チェックサム生成は LIN マスタでのみ可能)
  - ・ フレーム ID 送受信
  - ・ 16 バイト RX/TX FIFO 機能はオプションのため、すべてのデバイスでアクセス可能というわけではありません。  
詳細は各デバイスのデータシートの「品種構成」を参照してください。
-

## ■ USART の動作モード

USART は 4 つの異なる動作モードで動作します。動作モードはシリアルモードレジスタ (SMRn) の MD0, MD1 ビットにより決定されます。モード 0 と モード 2 は双方向シリアル通信, モード 1 はマスタ/スレーブ通信, モード 3 は LIN マスタ/スレーブ通信に使用されます。

表 1-2 USART の動作モード

動作モード	データ長		同期方式	ストップビット長	データビット方向 *1
	パリティなし	パリティあり			
0	ノーマルモード	7 または 8 ビット	非同期	1 または 2 ビット	L/M
1	マルチプロセッサモード	7 ビットまたは 8 ビット + 1 *2	非同期	1 または 2 ビット	L/M
2	ノーマルモード	8 ビット	同期	0, 1 または 2 ビット	L/M
3	LIN モード	8 ビット	非同期	1 ビット	L

\*1: データビット転送フォーマットが LSB ファーストか MSB ファーストかを示します。

\*2: "+1" は、パリティの代わりに、マルチプロセッサモードで通信制御に使用されるアドレス/データ選択ビットを示します。

### <注意事項>

モード 1 は、マスタとスレーブ動作の両方でサポートしています。

モード 3 では、通信フォーマットが 8 ビットデータ, パリティなし, ストップビット 1, LSB ファーストに固定されます。

モードが変更された場合には、USART はすべての送受信を切断した後、待機状態となります。

動作モード変更後、USART(SMRn:UPCL を"1"に設定)をリセットしてください。

USART の動作モードは、シリアルモードレジスタ (SMRn) の MD1 ビットと MD0 ビットにより、次のように決定されます。

表 1-3 モードビット設定

MD1	MD0	モード	種類
0	0	0	非同期 (ノーマルモード)
0	1	1	非同期 (マルチプロセッサモード)
1	0	2	同期 (ノーマルモード)
1	1	3	非同期 (LIN モード)

## 2. 構成

---

USART の構成するブロックについて説明します。

---

### ■ USART のブロックダイアグラム

USART は以下のブロックで構成されます。

- ・ リロードカウンタ
- ・ 受信制御回路
- ・ 受信シフトレジスタ
- ・ 受信データレジスタ (RDRn)
- ・ 送信制御回路
- ・ 送信シフトレジスタ
- ・ 送信データレジスタ (TDRn)
- ・ エラー検出回路
- ・ オーバサンプリングユニット
- ・ 割込み生成回路
- ・ LIN sync break/Sync Field 検出
- ・ バスアイドル検出回路
- ・ チェックサム生成/照合回路
- ・ 自動ボーレート検出/調整回路
- ・ FIFO 制御回路
- ・ シリアルモードレジスタ (SMRn)
- ・ シリアル制御レジスタ (SCRn)
- ・ シリアルステータスレジスタ (SSRn)
- ・ ボーレート生成/ リロードレジスタ (BGRn)
- ・ 拡張通信制御レジスタ (ECCRn)
- ・ 拡張ステータス制御レジスタ (ESCRn)
- ・ 拡張シリアル割込みレジスタ (ESIRn)
- ・ 拡張割込み許可レジスタ (EIERn)
- ・ 送信 FIFO 制御レジスタ (TFCRn)
- ・ 受信 FIFO 制御レジスタ (RFCRn)
- ・ 送信 FIFO ステータスレジスタ (TFSRn)
- ・ 受信 FIFO ステータスレジスタ (RFSRn)
- ・ 拡張機能許可レジスタ (EFERL/Hn)
- ・ 拡張ステータスレジスタ (ESRn)
- ・ チェックサムステータス制御レジスタ (CSCRn)
- ・ フレーム ID レジスタ (FIDRn)
- ・ Sync Field タイムアウトレジスタ (SFTRn)

---

#### <注意事項>

サフィックス "n" は USART 番号を表します。

---



## ● リロードカウンタ

リロードカウンタは専用ボーレートジェネレータとして機能します。クロックの送受信に、外部入力クロックまたは内部クロックを選択できます。リロードカウンタには、リロード値用の 16 ビットレジスタが内蔵されています。

BGRn レジスタを使用して、送信リロードカウンタの現在のカウンタ値を読み出すことができます。

自動ボーレート検出/調整機能が有効になっている場合、自動ボーレート検出回路からの値によって BGRn レジスタがロードされます。

## ● 受信制御回路

受信制御回路は、受信ビットカウンタ、スタートビット検出回路、受信パリティカウンタから構成されます。受信ビットカウンタは受信データビットをカウントします。指定されたデータ長のデータ受信が完了すると、受信ビットカウンタは受信データレジスタフルフラグをセットします。スタートビット検出回路はシリアル入力信号からスタートビットを検出し、リロードカウンタへ信号を送信して、スタートビットの立下りエッジに信号を同期します。受信パリティカウンタは受信データのパリティを計算します。

## ● 受信シフトレジスタ

受信シフトレジスタは、ビット単位でデータをシフトしながら SINn 端子から受信データ入力を取り込みます。受信が完了すると、受信シフトレジスタは受信データを RDRn レジスタに転送します。

## ● 受信データレジスタ (RDRn)

受信データを格納します。シリアル入力データは、変換後、このレジスタに格納されます。

## ● 送信制御回路

送信制御回路は、送信ビットカウンタ、送信開始回路、送信パリティカウンタから構成されます。送信ビットカウンタは送信データビットをカウントします。指定されたデータ長のデータフレーム送信が完了すると、送信ビットカウンタは送信データレジスタエンプティフラグをセットします。データが TDRn に書き込まれると、送信開始回路は送信を開始します。送信パリティカウンタは、パリティありの場合、送信するデータのパリティビットを生成します。

## ● 送信シフトレジスタ

送信シフトレジスタは TDRn レジスタに書き込まれたデータをロードし、ビット単位でデータをシフトしながら、SOTn 端子に出力します。

## ● 送信データレジスタ (TDRn)

送信データレジスタには送信データをセットします。このレジスタに書き込まれたデータはシリアルデータに変換され、SOTn 端子に出力されます。

## ● エラー検出回路

エラー検出回路は、受信エラーの有無を確認します。エラーが検出された場合は、該当するエラーフラグがセットされます。

## ● オーバサンプリングユニット

オーバサンプリングユニットは、非同期モード時に SINn 端子からの受信データを 5 回オーバサンプルします。同期モードでは停止します。

## ● 割込み生成回路

割込み生成回路は、すべての受信または送信割込みを管理します。該当するイネーブルフラグが設定されている場合は、割込みが発生すると、直ちに割込みが発生します。

### ● LIN sync break/Sync Field 検出回路

LIN break/Sync field 検出回路は、LIN マスタノードがメッセージヘッダを送信すると、LIN break を検出します。LIN break が検出されると、LBD フラグビットがセットされます。インプットキャプチャユニットまたは自動ボーレート検出/調整回路により、sync field の 1 番目と 5 番目の立下りエッジが検出され、マスタノードが送信した実際のシリアルクロック時間が測定されます。

### ● LIN sync break 生成回路

LIN break 生成回路は、設定された長さの LIN break を生成します。

### ● バスアイドル検出回路

バスアイドル検出回路は、送信も受信も実行されていない状態を検出します。送受信が実行されていない場合、この回路によって TBI, RBI フラグビットがセットされます。

### ● チェックサム生成/照合回路

チェックサム生成/照合回路はモード 3 (LIN モード) の場合に限り、データバイト送信時にチェックサムバイトを生成します(マスタでのみ可能)。同様に、データバイト受信時に計算されたチェックサムと受信されたデータバイトを照合します。

### ● 自動ボーレート検出/調整回路

自動ボーレート検出/調整回路は Sync field のビット時間を計算することによって BGRn レジスタへの書き込みを行い、LIN マスタに同期させます。

### ● 送受信 FIFO

送受信 FIFO は 16 バイト単位です。送受信時にデータを格納するために使用されます。

### ● LIN-USART シリアルモードレジスタ (SMRn)

以下に機能を示します。

- ・ LIN-USART 動作モード選択
- ・ クロック入力ソースの選択
- ・ 外部クロックが「1 対 1」接続かまたはリロードカウンタ接続であるか選択
- ・ 専用リロードタイマのリセット
- ・ LIN-USART のリセット (レジスタの設定を保持)
- ・ シリアルデータ端子への出力許可/禁止設定
- ・ クロック端子への出力許可/禁止設定

### ● シリアル制御レジスタ (SCRn)

以下に機能を示します。

- ・ パリティビットの有無の設定
- ・ パリティビットの選択
- ・ ストップビット長の設定
- ・ データ長の設定
- ・ モード 1 でのフレームデータ形式の選択
- ・ エラーフラグのクリア
- ・ 送信の許可/禁止
- ・ 受信の許可/禁止

### ● シリアルステータスレジスタ (SSRn)

以下に機能を示します。

- ・ 送受信動作とエラーの状態表示
- ・ LSB ファースト/MSB ファーストの設定
- ・ 受信割込みの許可/禁止
- ・ 送信割込みの許可/禁止

### ● 拡張ステータス制御レジスタ (ESCRn)

以下に機能を示します。

- ・ LIN sync break 割込みの許可/禁止
- ・ LIN sync break 検出
- ・ LIN sync break 長の LSB ビットの設定
- ・ SINn 端子および SOTn 端子の直接アクセス
- ・ 連続クロック出力設定
- ・ サンプリングクロックエッジの設定

### ● 拡張通信制御レジスタ (ECCRn)

以下に機能を示します。

- ・ バスアイドル状態を示す
- ・ 同期クロックの設定
- ・ LIN sync break 生成の設定

### ● 拡張シリアル割込みレジスタ (ESIRn)

以下に機能を示します。

- ・ DMA との連携を可能にするための割込み処理の変更

### ● 拡張割込み許可レジスタ (EIERn)

以下に機能を示します。

- ・ 各種割込みソースの割込み許可を設定

### ● 送信 FIFO 制御レジスタ (TFCRn)

以下に機能を示します。

- ・ 送信 FIFO の許可
- ・ 送信時割込み用トリガレベルの設定

### ● 受信 FIFO 制御レジスタ (RFCRn)

以下に機能を示します。

- ・ 受信 FIFO の許可
- ・ 受信時割込み用トリガレベルの設定

### ● 送信 FIFO ステータスレジスタ (TFSRn)

以下に機能を示します。

- ・ 送信 FIFO で有効なデータバイト数を示す。

### ● 受信 FIFO ステータスレジスタ (RFSRn)

以下に機能を示します。

- ・ 受信 FIFO で有効なデータバイト数を示す。

### ● 拡張機能許可レジスタ (EFERn)

この 16 ビットレジスタは以下の機能を実行します。

- ・ LIN モードでヘッダ送受信終了時に割込みを許可
- ・ LIN モードで自動ボーレート検出/調整機能を許可
- ・ LIN モードで動作時に LIN break のエッジセンシティブ検出を許可
- ・ CRE でエラーがクリアされる際に受信ステートマシンのリセットを禁止
- ・ フレーミングエラー発生後、SINn のローレベルまたは立下りエッジをスタート信号として検出されるように設定可能
- ・ バスエラー検出を許可
- ・ 内部ループバック試験を許可
- ・ LIN モードで動作時にフレーム ID レジスタを許可
- ・ LIN モードで動作時に LIN break 長の MSB を設定
- ・ sync field 機能で LIN break 検出を許可

### ● チェックサムステータス制御レジスタ (CSCRn)

LIN モードで以下の機能を実行します。

- ・ 送信側でチェックサム生成(マスタでのみ可能)、受信側でチェックサム照合を許可
- ・ LIN 仕様 2.1 に従い、標準チェックサムと拡張チェックサムのいずれかを選択
- ・ 受信時にチェックサムのステータスを示す
- ・ LIN フレーム内のデータバイト数を設定
- ・ Checksum 受信エラー割込みの割込み許可を設定

### ● 拡張ステータスレジスタ (ESRn)

以下に機能を示します。

- ・ バスエラー検出のステータスを示す
- ・ LIN モードでフレーム ID の受信ステータスを示す
- ・ LIN モードで sync field 検出のステータスを示す

### ● フレーム ID データレジスタ (FIDRn)

以下に機能を示します。

- ・ USART が LIN モードとして動作しているとき、フレーム ID の値を格納

### ● Sync Field タイムアウトレジスタ (SFTRn)

LIN モードで以下の機能を実行します。

- ・ sync field 検出のための 16 ビットタイムアウト値を含む



### 3. 端子

USART の端子について説明し、端子のブロックダイアグラムを示します。

#### ■ USART の端子

USART の端子は汎用ポートと共用されています。表 3-1 に端子の機能, 入出力, USART を使用するために必要な設定を示します。

表 3-1 USART の端子

端子名	端子の機能	端子の入出力	プルアップ	スタンバイ制御	端子を使用するために必要な設定
Pxx_i/SINn	ポート I/O またはシリアルデータ 入力	使用可能な入出力の選択については、『I/O ポート』の章の表 3-1 を参照してください。	プログラマブルプルアップ抵抗 (プルアップ抵抗をオンにする方法については、『I/O ポート』の章の「2.6. プルアップ制御レジスタ (PUCRnn)」を参照してください)	あり	対応する汎用ポートを「入力」に設定します。 DDRxx:Di = 0 PIERxx:IEi = 1
Pyy_j/SOTn	ポート I/O またはシリアルデータ 出力				出力許可モードを設定。 (SMRn: SOE = 1)
Pzz_k/SCKn	ポート I/O またはシリアルクロック 入出力				クロックを入力する場合は、対応する汎用ポートを「入力」に設定。 DDRzz:Dk = 0 PIERzz:IEk = 1  クロックを出力する場合は、出力許可モードに設定。 SMRn:SCKE = 1

## 4. 動作

USART は、モード 0 では通常の双方向シリアル通信用に動作し、モード 2 とモード 3 ではマスタまたはスレーブとして双方向通信を行い、モード 1 ではマルチプロセッサ通信でのマスタまたはスレーブとして動作します。

### ■ USART の動作

#### ● 動作モード

USART には、モード 0～3 の 4 つの動作モードがあります。表 4-1 に示すように、動作モードは通信方式に従って選択できます。

表 4-1 USART の動作モード

動作モード		データ長		同期方式	ストップビット長	データビット方向 <sup>*1</sup>
		パリティなし	パリティあり			
0	ノーマルモード	7 または 8 ビット		非同期	1 または 2 ビット	L/M
1	マルチプロセッサモード	7 ビットまたは 8 ビット + 1 <sup>*2</sup>	--	非同期	1 または 2 ビット	L/M
2	ノーマルモード	8 ビット		同期	0, 1 または 2 ビット	L/M
3	LIN モード	8 ビット	--	非同期	1 ビット	L

\*1: データビット転送フォーマットが LSB ファーストか MSB ファーストかを示します。

\*2: "+1" はパリティではなく、マルチプロセッサモードでのアドレス/ データ選択ビットを意味します。

#### <注意事項>

モード 1 は、マスタ/スレーブ接続システムでの USART のマスタとスレーブのいずれの動作にも対応します。モード 3 では、USART の機能は 8N1, LSB ファーストに固定されます。モードが変更された場合には、USART はすべての送受信を中断し待機状態となります。

### ■ CPU 間接続方式

外部クロック 1 対 1 接続 (ノーマルモード) とマスタ/スレーブ接続 (マルチプロセッサモード) を選択できます。どちらの接続方式でも、データ長、パリティの有無、同期方式はすべての CPU で同一である必要があります。動作モードは以下のように選択します。

- ・ 1 対 1 接続方式では、両 CPU は動作モード 0 または 2 を使用する必要があります。非同期転送モードではモード 0、同期転送モードではモード 2 を選択してください。なお同期モード 2 では、片方の CPU をマスタに、他方をスレーブに構成する必要があります。
- ・ マスタ/スレーブ接続方式では動作モード 1 を選択し、マスタまたはスレーブとして使用します。

### ■ 同期方式

非同期動作では、USART の受信クロックは受信したスタートビットの立下りエッジに自動的に同期されます。

同期モードでは、同期はマスタデバイスのクロック信号またはマスタとして動作する USART 自身によってなされます。

## ■ 信号方式

USART はデータをノーマルフォーマットまたは反転フォーマットで扱えます。

## ■ 動作許可ビット

USART は送信と受信を、送信用 (SCRn: TXE) と受信用 (SCRn: RXE) の動作許可ビットで制御します。

- ・ 受信動作を停止させるには、データがすべて受信されるのを待ち受信データレジスタ(RDRn)を読み出してください。その後受信動作を停止(SCRn:RXE = 0)してください。
- ・ 送信動作を停止させるには、データがすべて送信されており送信データレジスタ(TDRn) 内のデータが空であること(SSRn:TDRE = 1)を確認してください。その後送信動作を停止(SCRn:TXE = 0)してください。

## 4.1. 非同期モード (動作モード 0, 1) での動作

USART を動作モード 0 (ノーマルモード) または動作モード 1 (マルチプロセッサモード) で使用する場合は、非同期転送モードが選択されます。

### ■ 非同期モードの動作

#### ● 転送データフォーマット

一般に非同期モードでの各データ転送はスタートビット ("L" レベル) で始まり、少なくとも 1 ビットのストップビット ("H" レベル) で終了します。ビットストリームの方向 (LSB ファーストまたは MSB ファースト) はシリアルステータスレジスタ (SSRn) の BDS ビットで設定します。パリティビット (使用する場合は常に、最後のデータビットと (最初の) ストップビットの間に置かれます。

動作モード 0 では、データフレームの長さは 7 または 8 ビット、パリティありまたはなし、ストップビットは 1 または 2 ビットです。

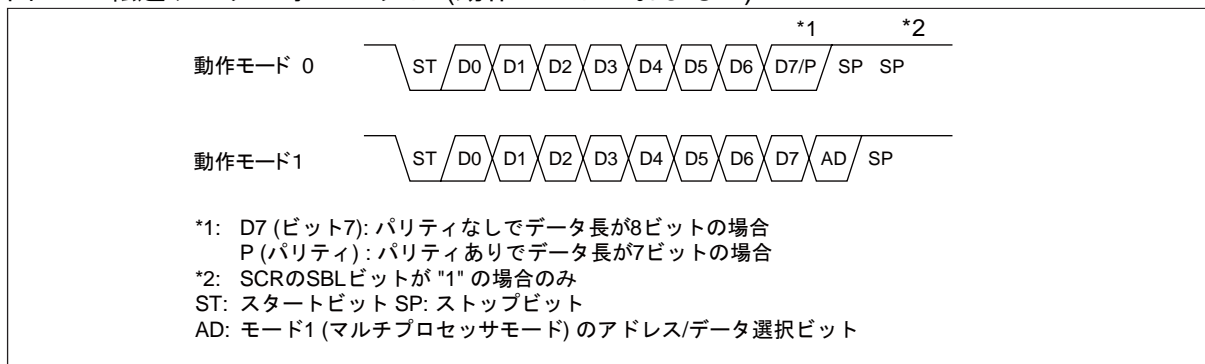
動作モード 1 では、データフレームの長さは 7 または 8 ビットで、パリティビットの代わりにアドレス/データ選択ビットが付随します。ストップビットは 1 または 2 ビットを選択できます。

転送フレームのビット長の計算式は以下のようになります。

$$\text{長さ} = 1 + d + p + s$$

(d = データビット数 [7 または 8], p = パリティ [0 または 1], s = ストップビット数 [1 または 2])

図 4-1 転送データフォーマット (動作モード 0 および 1)



### <注意事項>

シリアルステータスレジスタ (SSRn) の BDS ビットが "1" にセットされていると (MSB ファースト)、ビットストリームは D7, D6, ..., D1, D0, (P) という順序になります。

受信ストップビット 2 ビットが選択されている場合には、両方のストップビットが検出されます。ただし、受信データレジスタフル (RDRF) フラグは最初のストップビットで "1" になります。バスアイドルフラグ (ECCRn:RBI) は、スタートビットが検出されない場合には 2 つ目のストップビットの後で "1" になります (2 つ目のストップビットはマークレベルですが、「バスアクティビティ」に属します)。

## ● 送信動作

シリアルステータスレジスタ (SSRn) の送信データレジスタエンプティ (TDRE) フラグビットが "1" の場合には、送信データを送信データレジスタ (TDRn) に書き込むことができます。データを書き込むと、TDRE フラグは "0" になります。シリアル制御レジスタ (SCRn) の TXE ビット ("1") で送信動作が許可されると、データは送信シフトレジスタに書き込まれ、次のシリアルクロックサイクルで、スタートビットから送信が開始されます。それにより、TDRE フラグが "1" になると、新たなデータを TDRn に書き込むことができます。

送信割込みが許可されている場合 (TIE = 1) には、TDRE フラグによって割込みが生成されます。なお、TDRE フラグの初期値は "1" であるため、TIE が "1" にセットされると即座に割込みが発生します。

キャラクタ長が 7 ビットに設定されている場合 (CL=0) には、BDS ビットの方向設定 (LSB ファーストまたは MSB ファースト) にかかわらず、TDRn の使用されないビットは常に MSB です。

## ● 受信動作

受信動作は、SCRn の受信許可 (RXE) フラグビットで許可されている場合に実行されます。スタートビットが検出されると、SCRn に設定されたフォーマットに従ってデータフレームが受信されます。エラー発生時には、対応するエラーフラグがセットされます (PE, ORE, FRE)。データフレームの受信後に、データはシリアルシフトレジスタから受信データレジスタ (RDRn) に転送され、SSRn レジスタと ESIRn レジスタの受信データレジスタフル (RDRF) フラグビットがセットされます。

受信割込みが許可されていて (RIE = 1)、ESIRn:AICD = 0 の場合には、SSRn:RDRF によって割込みが生成されます。

受信割込みが許可されていて (RIE = 1)、ESIRn:AICD = 1 の場合には、ESIRn:RDRF によって割込みが生成されます。

その後データは CPU によって読み出される必要があります。そうすることにより、SSRn:RDRF フラグがクリアされます。

ESIRn:AICD = 0 の場合には、これによって割込みもクリアされます。

ESIRn:AICD = 1 の場合には、割込みは ESIRn:RDRF への "0" の書き込みでクリアしてください。

キャラクタ長が 7 ビットに設定されている場合 (CL=0) には、BDS ビットの方向設定 (LSB ファーストまたは MSB ファースト) にかかわらず、RDRn の使用されないビットは常に MSB です。

---

### <注意事項>

RDRF フラグビットがセットされており、エラーが発生していない場合にのみ、受信データレジスタ (RDRn) のデータが有効です。

---

## ● 使用されるクロック

内部クロックまたは外部クロックを使用します。使用するボーレートに従ってボーレートジェネレータを選択します (SMRn:EXT = 0 または 1, SMRn:OTO = 0)。

## ● ストップビット, エラー検出, パリティ:

ストップビット長は、SCRn レジスタの SBL ビットにより、1 または 2 を設定できます。ストップビットに 2 ビットが設定されている場合の受信では、最初のストップビットに加えて 2 つ目のストップビットもチェックされます。RBI (バスアイドル) フラグは 2 つ目のストップビットの後でセットされます。ただし、RDRF フラグは最初のストップビットを受信したときにセットされます。モード 0 では、パリティエラー、オーバランエラー、フレーミングエラーがチェックされます。モード 1 では、パリティチェックは行われず、オーバランエラーとフレーミングエラーがチェックされます。モード 0 では SCRn レジスタの PEN ビットでパリティビットの有無を指定し、P ビットで偶数パリティまたは奇数パリティを指定します。

## 4.2. 同期モード(動作モード 2)での動作

USART の動作モード 2 (ノーマルモード) では、クロック同期転送方式が使用されます。

### ■ 同期モード(動作モード 2)での動作

#### ● 転送データフォーマット

同期モードでは、拡張通信制御レジスタ (ECCRN) の SSM ビットが "0" の場合には、スタートビットとストップビットなしで 8 ビットデータが転送されます。同期動作モードでのデータ転送フォーマットを下图に示します。

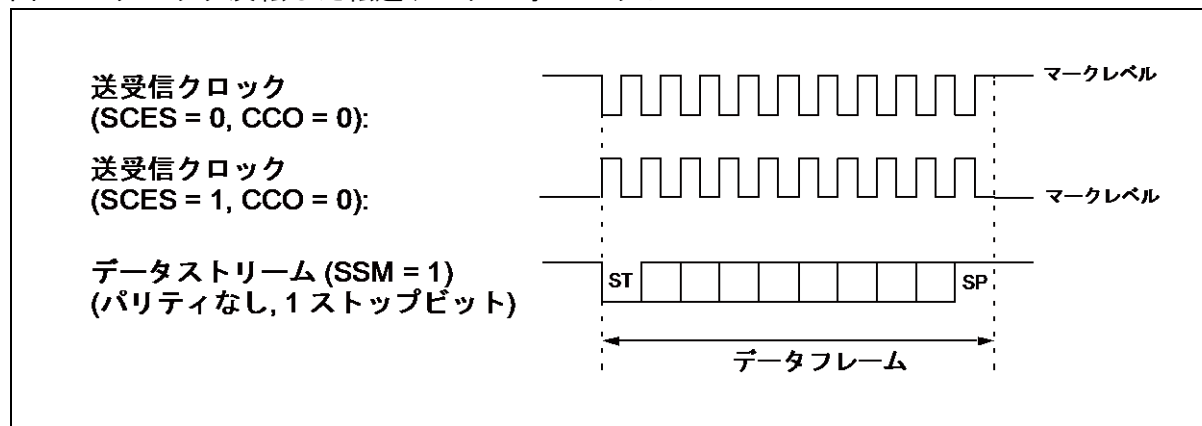
図 4-2 転送データフォーマット (動作モード 2)



#### ● モード 2 でのクロック反転とスタート/ ストップビット

拡張ステータス制御レジスタ (ESCRn) の SCES ビットをセットすると、シリアルクロックが反転します。そのため、スレーブモードの USART は、受信したシリアルクロックの立下りエッジでデータビットをサンプリングします。なお、SCES をセットすると、マスタモードのクロック信号のマークレベルは "0" になります。拡張通信制御レジスタ (ECCRN) の SSM ビットをセットすると、非同期モードのように、データフォーマットにスタートビットとストップビットが付加されます。

図 4-3 クロック反転した転送データフォーマット

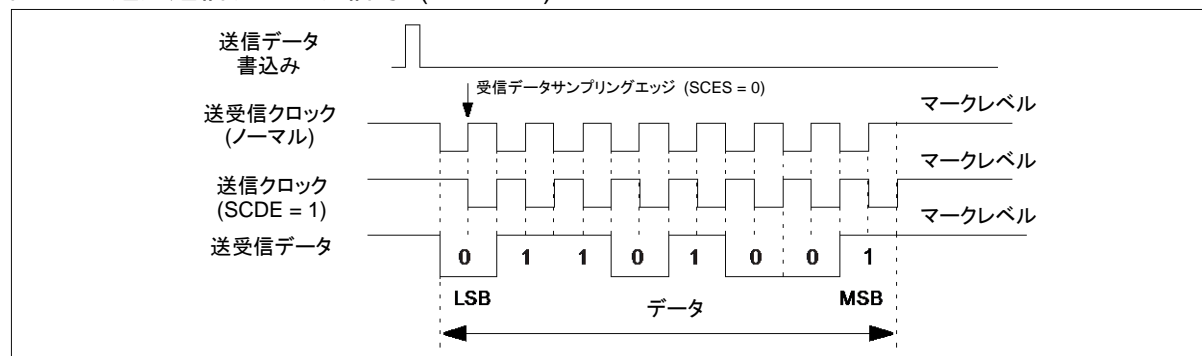


### ● クロック供給

動作モード2では、クロック信号のクロックサイクル数は、スタートビット、パリティビット、ストップビットを含むデータのビット数と同一である必要があります。ECCRN レジスタの MS ビットが "0" (マスタモード) で SMRN レジスタの SCKE ビットが "1" (クロック出力許可) の場合には、安定したクロックサイクルが自動的に生成されます。ECCRN レジスタの MS ビットが "1" (スレーブモード) の場合には、マスタデバイスで適切なクロックサイクルが生成されるようにしてください。通信が行われていないときには、クロック信号はマークレベルの "1" に維持される必要があります。

ECCRN レジスタの SCDE ビットを "1" に設定すると、図 4-4 に示すようにクロック出力信号はシリアルクロックの半サイクル分遅延します。この動作は、シリアルクロック信号の立下りエッジでデータサンプリングを行う通信デバイスのために用意されています。

図 4-4 遅延送信クロック信号 (SCDE=1)



ESCRN レジスタの SCES ビットを "1" に設定すると、シリアルクロック信号は反転します。受信データはシリアルクロックの立下りエッジでサンプリングされます。

ECCRN レジスタの MS ビットが "0" (マスタモード) で SMRN レジスタの SCKE ビットが "1" (クロック出力許可) の場合には、出力クロック信号も反転されます。

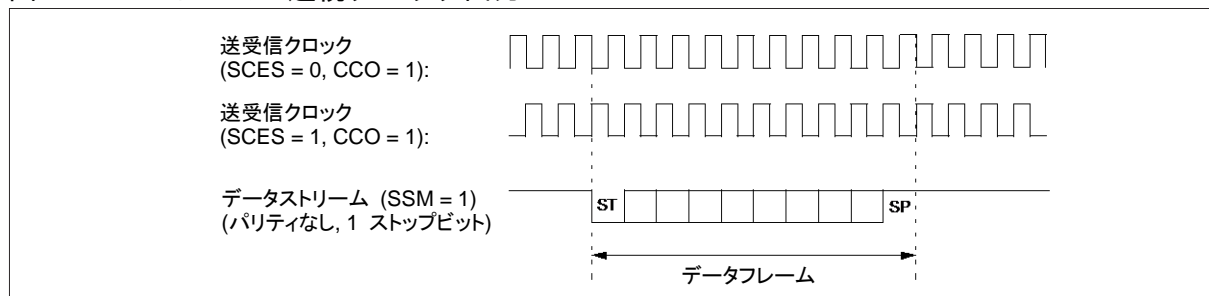
通信が行われていないときには、クロック信号はマークレベルの "0" に維持される必要があります。

ESCRN レジスタの CCO ビットを "1" に設定すると、シリアルクロックはデータ通信が行われていないときにも出力されます。そのため、図 4-5 に示すようにスタート/ストップビットを使用してください。

表 4-2 ECCRn:SCDE と ESCRn:SCES に応じたシリアルデータ入力サンプリング

サンプリング 番号	ECCRn: SCDE	ESCRn: SCES	シリアルデータサンプリ ングエッジ	シリアルデータ送信エッ ジ
1	0	0	立上りエッジ	立下りエッジ
2	0	1	立下りエッジ	立上りエッジ
3	1	0	立下りエッジ	立上りエッジ
4	1	1	立上りエッジ	立下りエッジ

図 4-5 モード 2 での連続クロック出力



### <注意事項>

動作モード2のスレーブモード(ECCR:MS=1)で使用する場合は、シリアルクロック遅延許可ビット(ECCR:SCDE)は"0"にしてください。

### ● エラー検出:

スタート/ ストップビットが選択されない場合 (ECCRn: SSM = 0) には、オーバランエラーのみが検出されます。パリティ許可がされている場合 (SCRn: PEN = 1)、パリティエラーも検出可能です。

### ● 通信:

同期モードを初期化するには、以下の設定を行う必要があります。

#### ボーレートジェネレータレジスタ (BGRn):

専用ボーレトリロードカウンタへのリロード値の設定。

#### シリアルモード制御レジスタ (SMRn):

MD1, MD0: "10<sub>B</sub>" (モード 2)

SCKE : "1" (専用ボーレトリロードカウンタ使用)  
"0" (外部クロック入力使用)

SOE : "1" (送受信)  
"0" (受信のみ)

#### シリアル制御レジスタ (SCRn):

RXE, TXE: 両フラグを "0" に設定



A/D : アドレス/ データ選択なし - 無効  
CL : 自動的に 8 ビットデータに固定 - 無効  
CRE : 受信エラーフラグをクリアするために "1"

— SSM=0 の場合 (初期値):

PEN, P, SBL: 無効

— SSM=1 の場合:

PEN : パリティビットを付加/ 検出する場合は "1", 使用しない場合は "0"  
P : 偶数パリティの場合は "0", 奇数パリティの場合は "1"  
SBL : 2 ストップビットの場合は "1", 1 ストップビットの場合は "0"

シリアルステータスレジスタ (SSRn):

BDS : LSB ファーストの場合は "0", MSB ファーストの場合は "1"  
RIE : 割込みを使用する場合は "1", 受信割込みを禁止する場合は "0"  
TIE : 割込みを使用する場合は "1", 送信割込みを禁止する場合は "0"

拡張通信制御レジスタ (ECCRn):

SSM : スタート/ ストップビットを使用しない場合 (通常) は "0", 付加する場合 (特別) は "1"  
MS : マスタモード (USART がシリアルクロックを生成) では "0", スレーブモード (USART はマスタデバイスからシリアルクロックを受信) では "1"

シリアル制御レジスタ (SCRn):

RXE, TXE: 通信を開始するには片方または両方の制御ビットを "1" に設定します。

### 4.3. LIN モードでの USART の機能

---

LIN モードでの USART は、CPU に対する内部負荷を軽減するための各種追加機能に対応しています。

---

#### ■ LIN モードでの USART の機能

- 自動ヘッダ送信
- 自動ヘッダ検出
- 自動ボーレート検出/ 調整
- メッセージ長に関する LIN-Checksum 処理
- バスエラー検出
- 内部ループバック機能
- 深度を設定可能な 16 バイトの送信/受信 FIFO
- 可変 LIN break 長生成
- Sync field 内の LIN break 検出

### ● LIN マスタのヘッダ送信完了割込み

この機能はビットの設定 (EFERn:ENTXHR を "1" に、EIERn:TXHDIE を "1" に設定) により許可され、ECCRN:LBR に "1" を書き込むことによって開始されます。LIN はヘッダの送信完了時に CPU への割込みを生成します。送信を許可し、LIN break 要求をアサートし、フレーム ID データレジスタ (EFERn:FIDE = 1 によって許可されている場合)、TDRn、または送信 FIFO (許可されている場合) にフレーム ID を書き込むと、以下の動作をします。

1. 拡張機能許可レジスタ (EFERn:LBL2) と拡張ステータス制御レジスタ (ESCRn:LBL1 および ESCRn:LBL0 ビット) に指定された長さの LIN break 生成。
2. Sync field 値 0x55 の送信。
3. 設定によりフレーム ID レジスタ、送信 FIFO、または TDRn に書き込まれたフレーム ID の送信。
4. フレーム ID 送信終了時 (ストップビット送信中) に送信割込み (ESRn:TXHRI = 1) 生成。

### ● LIN スレーブのヘッダ受信完了割込み

この機能はビットの設定 (EFERn:ENRXHR を "1" に、EIERn:RXHDIE を "1" に設定) により許可されます。LIN スレーブはヘッダの受信完了時に受信割込みをアサートします。自動ボーレート機能と受信割込み生成を許可すると、以下の動作をします。

1. LIN break の検出。
2. 自動ボーレート検出/ 調整回路を使用した Sync field の受信と LIN ネットワークへの適合。
3. 設定により FIDRn、受信 FIFO、または RDRn へのフレーム ID の受信。
4. フレーム ID の受信終了時に受信割込み (ESRn:RXHRI = 1) が生成されます。受信エラーがあった場合、対応するステータスフラグに示されます。

ここでは、受信された sync field の 1 ビット時間を計算するために、ICU の代わりに自動ボーレート検出/ 調整ブロックが使用されます。EFERn:ENRXHR と EIERn:RXHDIE を許可することにより、ヘッダ受信中は以下の割込みが不要になります。

1. LIN break 検出割込み。
2. sync field の 1 ビット時間を計算するための 2 つの ICU 割込み。

### ● 自動ボーレート調整

この機能は EFERn:ABRE = 1 に設定することによって許可されます。自動ボーレート検出/ 調整回路では、ICU を使用せずに Sync field の最初の立下りエッジから 5 番目の立下りエッジまでの経過時間が計算されます。計算された値は sync field のビット時間を決定するために 8 で除算されます。剰余が除算値 8 の 0.5 倍以上である場合、sync field のビット時間はその値をインクリメントすることによって丸められます。ボーレートカウンタの 16 ビットリロード値は受信クロックと送信クロックを生成するためにリロードカウンタにロードされます。

---

#### <注意事項>

この機能が許可されている場合、ICU 割込みは BGRn 値の計算には必要ありませんが、追加として使用することができます。

---

## ● メッセージ長に関する LIN-Checksum 処理

### LIN-Checksum 生成(マスタでのみ可能)

この機能は CSCRn:CRCGEN ビットを "1" に設定することによって許可されます。LIN-Checksum 生成 (LIN-USART がデータを送信) の場合、LIN フレーム内のデータバイト数がチェックサムステータス制御レジスタ (CSCRn:DL[2:0]) にデータ長として書き込まれます。この機能を許可することによって、チェックサムバイトがデータバイトの後に生成され、送信されます。LIN 仕様 2.1 に対応した標準タイプと拡張タイプ両方のチェックサムがサポートされています。標準チェックサムの場合、チェックサムの値を計算するためにデータバイトだけが考慮されます。拡張チェックサムの場合、チェックサムの値を計算するためにデータバイトとフレーム ID の両方が考慮されます。

標準チェックサムと拡張チェックサムの選択はチェックサムステータス制御レジスタのプログラマブルビット CRCTYPE を使用して行われます。チェックサムには、すべてのデータバイト (標準チェックサム) またはすべてのデータバイト保護 ID (拡張チェックサム) の桁を繰り上げた反転 8 ビットサムが含まれます。

## ● LIN-Checksum 照合

この機能は CSRCn:CRCCHECK ビットを "1" に設定することによって許可されます。LIN-Checksum 照合の場合、LIN フレーム内のデータバイト数はチェックサムステータス制御レジスタ (CSCRn:DL[2:0]) にデータ長として書き込まれます。この機能を許可することによって、データバイトの受信終了時に受信されたチェックサムバイト (CSCRn:DL[2:0] によって設定される) は内部で計算されたチェックサムが足され、0xFF に等しいかどうかチェックされます。計算された合計が 0xFF に等しくない場合、CSCRn:CRCCERR フラグがセットされます。この結果、CSCRn:CRCCERRIE が "1" に設定されると受信割込みが生成されます。

LIN-Checksum の生成と照合は LIN 仕様 2.1 に従って行われます。

---

### <注意事項>

- ・ マスタがスレーブにデータを送信するとき、この照合はセルフチェックのために使用することができません。
  - ・ 対応するフレーム ID 受信時にパリティエラーが発生した場合 (ESRn:PEFRD="1")、チェックサム照合は行われません。チェックサム照合を許可するには、フレームデータを受信する前に ESRn:PEFRD をクリアしてください。
- 

## ● バスエラーの検出

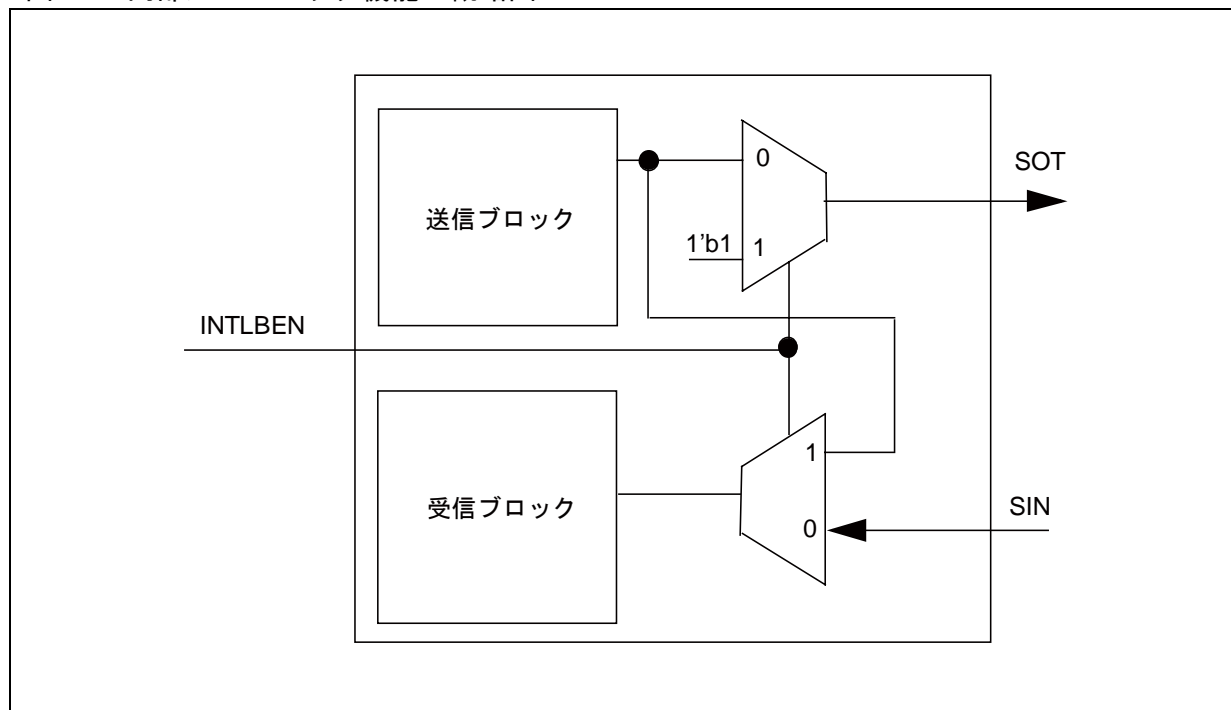
この機能は EFERHn:DBE ビットを "1" に設定することによって許可されます。LIN ノードがそれ自体の送信をリードバックすることができるよう (LIN はシングルワイヤネットワークであるため)、バスエラーの検出は送信を許可することによって行われます。短絡接地または Vcc などの物理的なバスエラーは送信データと受信データの値を比較することによって検出することができます。送信データと受信データの値に差異がある場合、ESRn:BUSERR フラグがセットされます。この結果、EIERn:BUSERRIE が "1" に設定されると受信割込みが生成されます。

## ● 内部ループバック機能

この機能は EFERHn:INTLBEN ビットを "1" に設定することによって許可されます。

この機能を許可することによって、ソフトウェアが比較のために同一データを送受信できるよう、トランスミッタの出力がレシーバの入力に内部でフィードバックされます。これにより、LIN ハードウェアを試験するための時間とデバッグ作業が軽減されます。

図 4-6 内部ループバック機能の概略図



### ● 送受信用 FIFO ブロック

この機能は TFCRn:TXFE ビット, RFCRn:RXFE ビットを "1" に設定することによって許可されます。データバイトを格納するために、データ長を設定可能な 16 バイトの送信 FIFO と受信 FIFO が用意されています。1～16 の範囲で TFCRn:TXFLC[4:0]/RFCRn:RXFLC[4:0] ビットに必要な値を書き込むことによって送信 / 受信 FIFO 割込みのトリガレベルが設定されます。送信 / 受信 FIFO の有効データバイト数は、レジスタビット TFSRn:TXFVD[4:0]/RFSRn:RXFVD[4:0] に示されます。

### ● 可変長 LIN break 生成

13～20 ビットの可変長 LIN break を生成することができます。この場合、必要な値に EFERHn.LBL2 ビットと ESCRn:LBL[1:0] ビットを設定する必要があります。

## 4.4. LIN 機能 (動作モード 3) の動作

USART は LIN マスタまたは LIN スレーブとして動作します。LIN 機能では特別なモードが使用されます。USART をモード 3 に設定すると、データフォーマットは 8N1, LSB ファーストに設定されます。

### ■ 非同期 LIN モード (動作モード 3) での動作

#### ● LIN マスタとしての動作

LIN マスタモードでは、マスタがサブバス全体のボーレートを決定し、スレーブデバイスはマスタに同期する必要があります。初期化後のマスタの動作によってボーレートは固定されます。自動ヘッダ送信が禁止されている場合 (EFERLn:ENTXHR = "0"), 以下の処置が行われます。

拡張通信制御レジスタ (ECCRn) の LBR ビットへの "1" の書込みにより、13~20 ビット時間の間 "L" レベルが SOT 端子に出力されます。これは LIN メッセージの開始を示す LIN sync break です。これによりシリアルステータスレジスタ (SSRn) の TDRE フラグが "0" になり、break 後に "1" にリセットされ、CPU に対して送信割込みが生成されます (SSRn の TIE が "1" の場合)。

送信される Sync break の長さは EFERn の LBL2 ビットと ESCRn の LBL1/LBL0 ビットで以下のように決定されます。

表 4-3 LIN break 長

LBL2	LBL1	LBL0	break 長
0	0	0	13 ビット時間
0	0	1	14 ビット時間
0	1	0	15 ビット時間
0	1	1	16 ビット時間
1	0	0	17 ビット時間
1	0	1	18 ビット時間
1	1	0	19 ビット時間
1	1	1	20 ビット時間

LIN break 後にはバイトデータ 0x55 の Sync field が送信されます。送信割込みを抑止するため、0x55 は LBR ビットに "1" を書いた直後に TDRE フラグが "0" の状態で TDRn に書き込むことができます。内部送信シフトレジスタは LIN break の終了を待機し、その後 TDRn 内のデータを送出します。この場合、LIN break の後、sync field のスタートビット送出前に割込みは生成されません。

自動ヘッダ送信が許可されている場合 (EFERLn:ENTXHR = 1) には、以下の処置が行われます。

ECCRn:LBR が "1" に設定されると、指定された長さの LIN break が送信されます。LIN break の送信終了後、USART によって Sync field 値 (0x55) が内部で送信シフトレジスタに書き込まれます。sync field 送信後、USART はフレーム ID データレジスタ (EFERHn:FIDE = 1 の場合)、送信 FIFO (TFCRn:TXFE = 1 の場合) または TDRn のフレーム ID を送信します。フレーム ID 受信時にパリティエラーが発生した場合、ESRn:PEFRD フラグがセットされます。この結果、EIERN:PEFRDIE が "1" に設定されると、受信割込みが生成されます。ヘッダ送信割込みは下記のタイミングでアサートされます。

- ・ フレーム ID のストップビット中(EIERn:TXHDIE = 1 の場合)
- ・ フレーム ID がシフトレジスタに転送された後(TIE = 1, LBSOIE = 0 の場合)
- ・ フレーム ID がシフトアウトされた後(TIE = 0, LBSOIE = 1 の場合ストップビット時間の最後)

## ● LIN スレーブとしての動作

LIN スレーブモードでは、USART はマスタのボーレートに同期する必要があります。受信が禁止されている (RXE = 0) が、LIN break 割込みが許可されている (LBIE = 1) 場合には、USART は LIN マスタからの LIN sync break を検出すると受信割込みを生成し、ESCRn の LBD フラグに示します。このビットに "0" を書き込むと受信割込み要求がクリアされます。LIN スレーブは sync field からボーレートを計算する必要がある場合があります。この場合、sync field の最初の立下りエッジから 5 番目の立下りエッジまでの時間がインプットキャプチャモジュールによって測定されます。このため、インプットキャプチャモジュールは内部的に LIN-USART に接続されています。この内部信号は最初の立下りエッジで "0" から "1" に変化し、5 番目の立下りエッジで "1" から "0" に変化します。そのためインプットキャプチャモジュールは、立上りエッジと立下りエッジの両方を検出するように設定する必要があります。また、LIN-USART からの信号を選択する必要もあります。インプットキャプチャモジュールで測定される時間は、ボーレートクロックサイクルの 8 倍です。

そのため、ボーレート設定値は次の値となります。

タイマオーバフローなし : BGRn 値 =  $((b - a) / 8) - 1$

タイマオーバフローあり : BGRn 値 =  $((\max + b - a + 1) / 8) - 1^*$

\*: この式はオーバフローが 1 回のときに有効です。

max : オーバフロー発生時のタイマの最大値

a : 最初の割込み後の ICU カウンタレジスタの値

b : 2 回目の割込み後の ICU カウンタレジスタの値

このほかの USART と ICU の関係については、『16 ビット入出力タイマ』の章の「3. 16 ビットフリーランタイマ」を参照してください。

EFERLn:ENRXHR を "1" に設定することによって自動ヘッダ検出が許可されると、LIN break, Sync field およびフレーム ID が USART によって自動的に検出されます。EIERn:RXHDIE だけが許可された場合、フレーム ID 受信後に 1 つの受信割込みだけが設定されます。

EFERLn:ABRE = 0 の場合、ボーレートがマスタボーレートに自動的に適合されることはありません。この場合、ボーレート検出は上述のように ICU によって行うことができます。

EFERLn:ABRE = 1 の場合、LIN break 検出後にボーレートが自動ボーレート検出/調整回路によって自動的に調整されます。

sync field の検出は EFERLn:ABRE に依存しません。

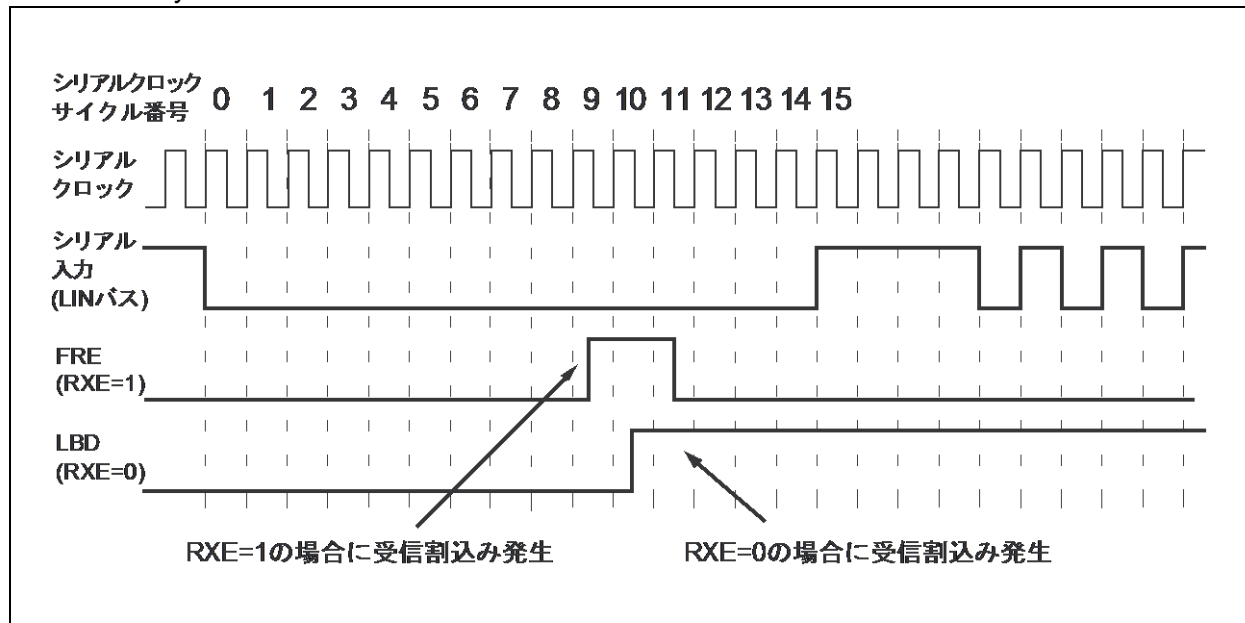
sync field タイムアウトレジスタ (SFTRn) に書き込まれたタイムアウト値に sync field が検出されなかった場合、ESRn:SYNFE フラグがセットされます。この結果、EIERn:SYNFEIE が "1" に設定されると、受信割込みが生成されます。また、タイムアウト値に sync field が検出された場合、計算された sync field のビット時間が LIN マスタとの同期のためにリロードカウンタにロードされます。

sync field タイムアウトの検出は EFERLn:ABRE に依存しません。

## ● LIN sync break 検出割込みとフラグ

スレーブモードで LIN sync break が検出されると、ESCRn の LIN break 検出 (LBD) フラグが "1" にセットされます。この場合、LIN break 割込み許可 (LBIE) ビットがセットされていると割込みが発生します。

図 4-7 LIN sync break 検出とフラグのセットタイミング



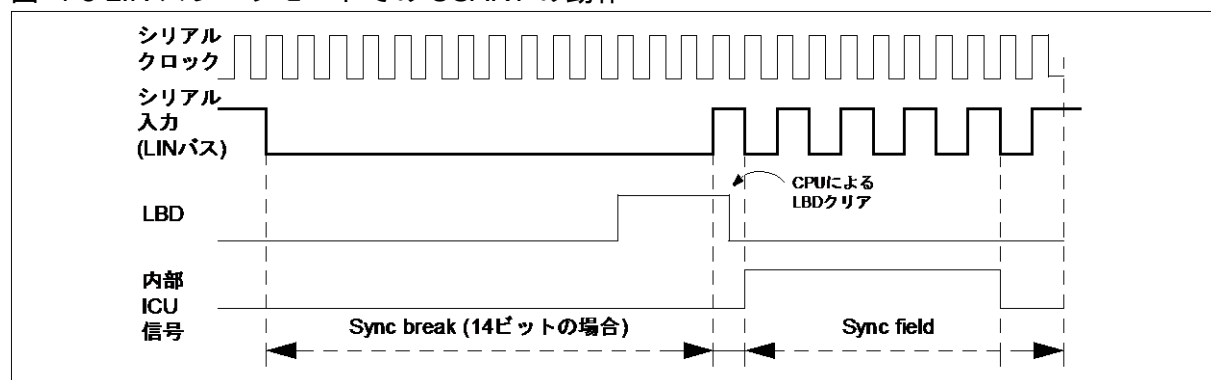
上図には LIN sync break 検出とフラグのセットタイミングが示されています。

なお、受信が許可されていて (RXE = 1)、受信割込みも許可されている (RIE = 1) 場合には、SSRn の受信データフレーミングエラーフラグ(FRE) ビットが、LIN break 割込みよりも 1 ビット時間 ("8N1") 早く受信割込みを生成するため、LIN break を使用する場合は (自動ヘッダ受信を使用しない場合は)、FRE フラグがセットされないようにするために RXE をオフにすることを推奨します。LIN sync break の検出は RXE が禁止されている場合でも行うことができます。

LBD は動作モード 3 でのみサポートされます。

図 4-8 に、標準的な LIN メッセージフレームの開始と USART の動作を示します。

図 4-8 LIN スレーブモードでの USART の動作





## ● LIN バスタイミング

図 4-9 LIN バスタイミングと USART 信号 (自動ヘッダ検出なし)

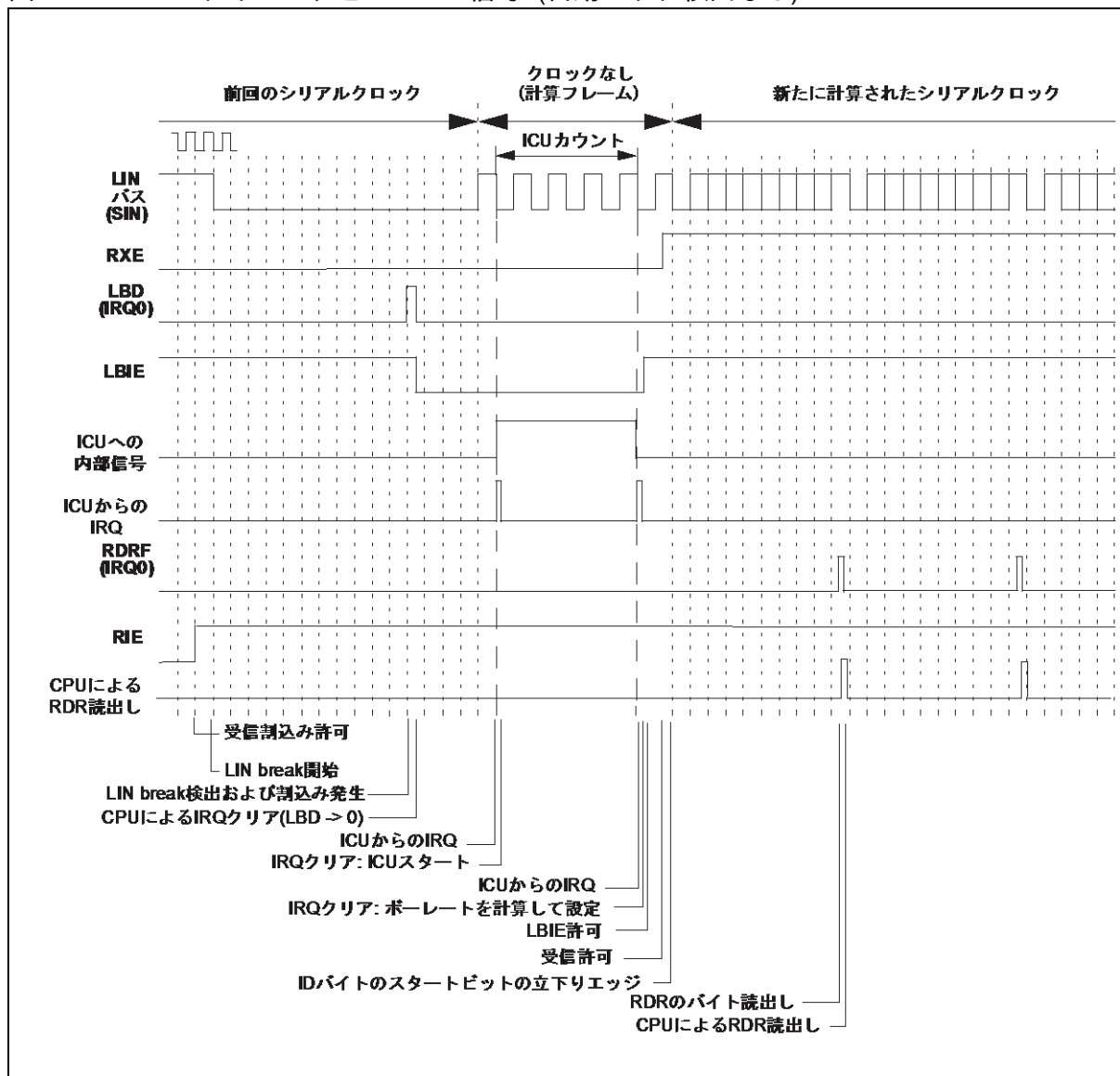
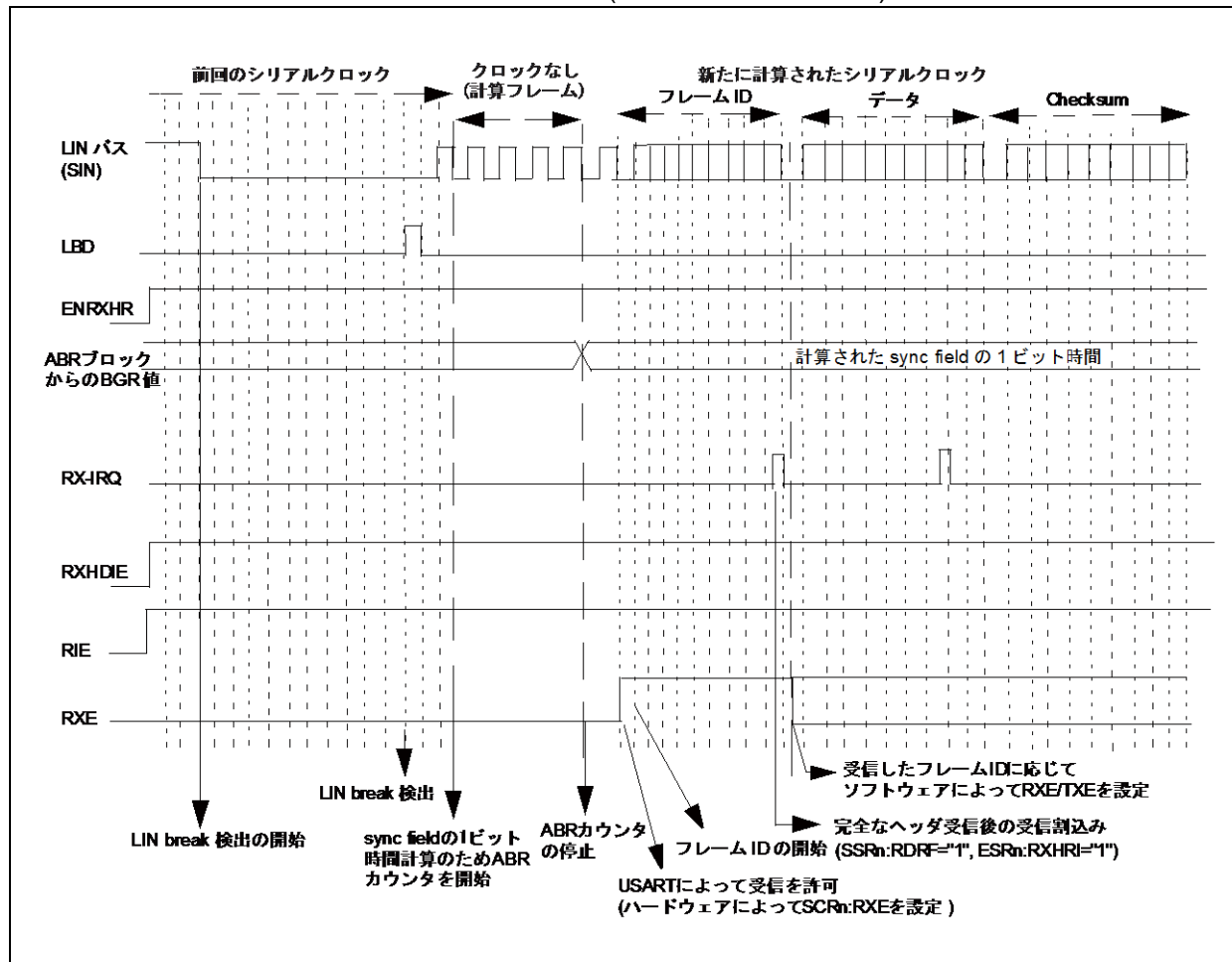


図 4-10 LIN バスタイミングと USART 信号 (自動ヘッダ検出あり)



## 4.5. シリアル端子の直接アクセス

---

送信端子 (SOTn) と受信端子 (SINn) には直接アクセスできます。

---

### ■ USART 直接端子アクセス

USART では、シリアル入力端子と出力端子にソフトウェアで直接アクセスできます。ソフトウェアでは **ESCRn** の **SIOP** ビットを読み出すことで、入力シリアルデータを常時監視できます。**ESCRn** のシリアル出力端子直接アクセス許可 (**SOPE**) ビットをセットすると、ソフトウェアで強制的に **SOTn** 端子のレベルを変更できます。なお、このアクセスは送信が行われていない(送信シフトレジスタが空か **TXE=0**) 場合にのみ可能です。

**LIN** モードでは、この機能を使用して **USART** 自身の送信を読み取り、シングルワイヤ **LIN** バスにおいて物理的障害が発生した場合のエラー処理に使用できます。

---

#### <注意事項>

- ・ **ESCRn:SIOP** には以前に書き込まれた値が保持されているため、予期しないレベルの出力を抑止するために、出力端子アクセスを許可する前に **ESCRn:SIOP** に目的の値を書き込んでください。
  - ・ 通常の読出し命令で **ESCRn:SIOP** ビットを読み出すと **SINn** 端子の状態が読み出されますが、リードモディファイライト(**RMW**) 命令では **SOTn** 端子の状態が読み出されます。
-

## 4.6. 双方向通信機能 (ノーマルモード)

---

動作モード 0 または 2 では、通常の双方向シリアル通信ができます。非同期通信ではモード 0、同期通信ではモード 2 を選択してください。

---

### ■ 双方向通信機能

USART をノーマルモード (動作モード 0 または 2) で動作させるために必要な設定を図 4-11 に示します。

図 4-11 USART 動作モード 0 または 2 の設定

bit15 bit14 bit13 bit12 bit11 bit10 bit9 bit8 bit7 bit6 bit5 bit4 bit3 bit2 bit1 bit0	
SCRn,SMRn	PEN P SBL CL AD CRE RXE TXE MD1 MD0 OTO EXT REST UPCL SCKE SOE
モード0→	○ ○ ○ ○ X ○ ○ ○ 0 0 0 ○ ○ ○ 0 ○
モード2→	○ ○ ○ + X ○ ○ ○ 1 0 ○ ○ ○ ○ □ ○
bit15 bit14 bit13 bit12 bit11 bit10 bit9 bit8 bit7 bit6 bit5 bit4 bit3 bit2 bit1 bit0	
SSRn,TDRn/RDRn	PE ORE FRE RDRF TDRE BDS RIE TIE 変換データ設定(書き込み時) 変換データ保持(読出し時)
モード0→	○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○
モード2→	○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○
bit15 bit14 bit13 bit12 bit11 bit10 bit9 bit8 bit7 bit6 bit5 bit4 bit3 bit2 bit1 bit0	
ESCRn,ECCRn	LBIE LBD LBL1 LBL0 SOPE SIOP CCO SCES INV LBR MS SCDE SSM BIE RBI TBI
モード0→	X X X X ○ ○ 0 0 ○ 0 X X X ○ ○ ○
モード2→	X X X X ○ ○ □ ○ ○ X ○ ○ ○ □ □ □
bit15 bit14 bit13 bit12 bit11 bit10 bit9 bit8 bit7 bit6 bit5 bit4 bit3 bit2 bit1 bit0	
TFCRn,RFCRn	TXFE TXFCL TXFCL [4] TXFCL [3] TXFCL [2] TXFCL [1] TXFCL [0] RXFE RXFCL RXFCL [4] RXFCL [3] RXFCL [2] RXFCL [1] RXFCL [0]
モード0→	○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○
モード2→	○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○
bit15 bit14 bit13 bit12 bit11 bit10 bit9 bit8 bit7 bit6 bit5 bit4 bit3 bit2 bit1 bit0	
TFSRn,RFSRn	TXFVD [4] TXFVD [3] TXFVD [2] TXFVD [1] TXFVD [0] RXFVD [4] RXFVD [3] RXFVD [2] RXFVD [1] RXFVD [0]
モード0→	○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○
モード2→	○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○

○ : 使用ビット

x : 未使用ビット

0 : "0"を設定

1 : "1"を設定

□ : MS=0(マスタモード)の場合に使用

+ : 自動的に適切に設定されるビット

n=0~9

デバイスによります。

(対応するデバイスのデータシートの「品種構成」を参照してください。)

図 4-12 USART 動作モード 0 または 2 の設定 (続き)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
EFERLn	LBDSF	OSDE	DTSTART	RSTRFM	LBEDGE	ABRE	ENRXHR	ENTXHR
モード0 →	X	0	⊙	⊙	X	X	X	X
モード2 →	X	X	0	⊙	X	X	X	X

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
EFERHn			INTLBEN	BRGR	FIDPE	DBE	FIDE	LBL2
モード0 →			⊙	X	X	X	X	X
モード2 →			⊙	X	X	X	X	X

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
EIERn	TXFIE	RXFIE	SYNFEIE	RXHDIE	TXHDIE	PEFRDIE	BUSERRIE	LBSOIE
モード0 →	⊙	⊙	X	X	X	X	X	⊙
モード2 →	⊙	⊙	X	X	X	X	X	⊙

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
ESRn			TXHRI	RXHRI	LBSOF	BUSERR	PEFRD	SYNFE
モード0 →			X	X	⊙	X	X	X
モード2 →			X	X	⊙	X	X	X

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CSCRn	CRCERRIE	CRCERR	CRCTYPE	CRCHECK	CRCGEN	DL2	DL1	DL0
モード0 →	X	X	X	X	X	X	X	X
モード2 →	X	X	X	X	X	X	X	X

⊙ : 使用ビット

x : 未使用ビット

0 : "0"を設定

1 : "1"を設定

□ : MS=0(マスタモード)の場合に使用

+ : 自動的に適切に設定されるビット

n=0~9

デバイスによります。

(対応するデバイスのデータシートの「品種構成」を参照してください。)

## ● CPU 間接続

図 4-13 に示すように、USART モード 2 で 2 つの CPU を相互接続します。

図 4-13 USART モード 2 双方向通信での接続例

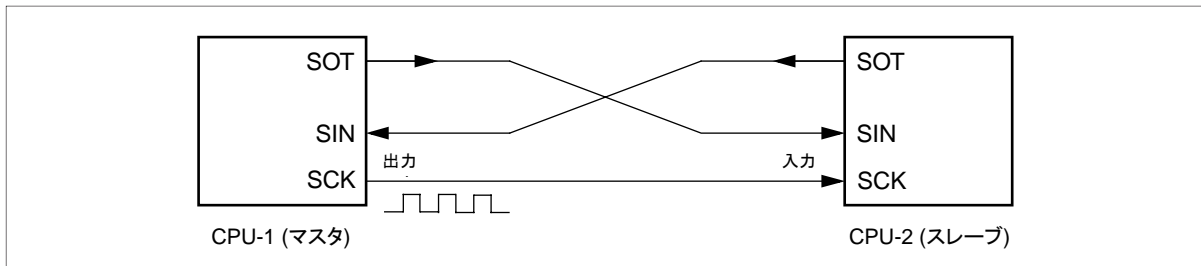


図 4-14 マスタ/スレーブ通信のフローチャート例

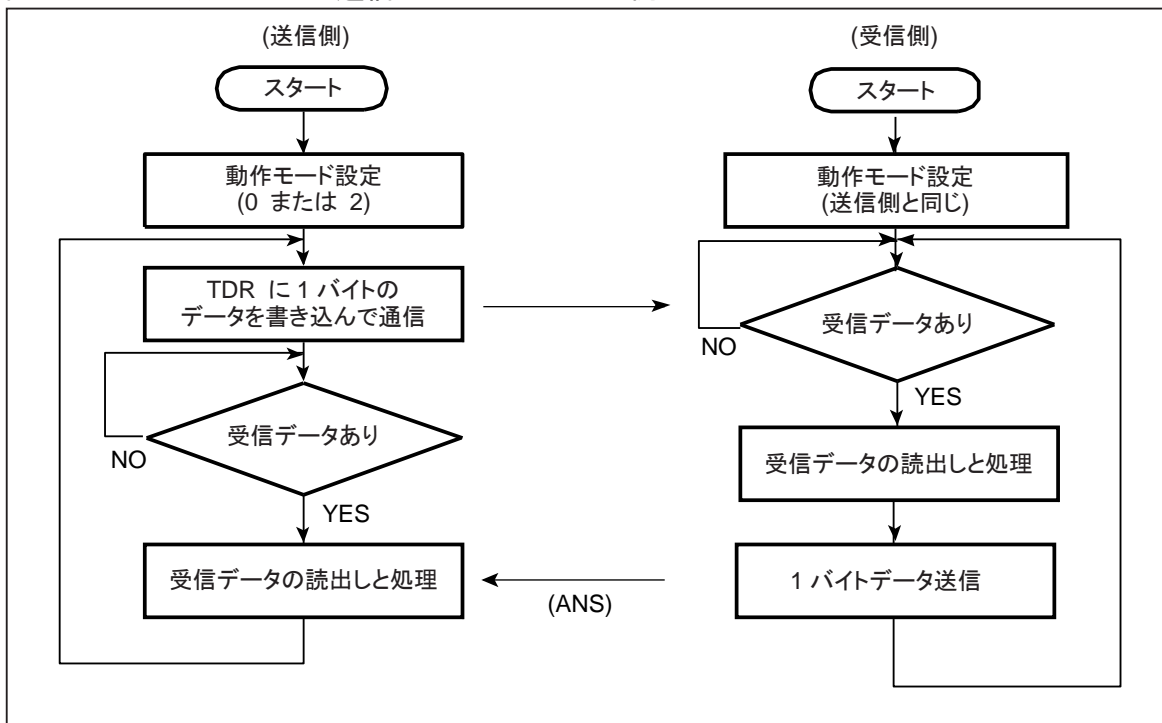






図 4-16 USART 動作モード 1 の設定 (続き)

EFERLn	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	LBDSF	OSDE	DTSTART	RSTRFM	LBEDGE	ABRE	ENRXHR	ENTXHR
モード1 →	X	0	⊙	⊙	X	X	X	X

EFERHn	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
			INTLBEN	BRGR	FIDPE	DBE	FIDE	LBL2
モード1 →			⊙	X	X	X	X	X

EIERn	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TXFIE	RXFIE	SYNFEIE	RXHDIE	TXHDIE	PEFRDIE	BUSERRIE	LBSOIE
モード1 →	⊙	⊙	X	X	X	X	X	⊙

ESRn	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
			TXHRI	RXHRI	LBSOF	BUSERR	PEFRD	SYNFE
モード1 →			X	X	⊙	X	X	X

CSCRn	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	CRCERRIE	CRCERR	CRCTYPE	CRCHECK	CRCGEN	DL2	DL1	DL0
モード1 →	X	X	X	X	X	X	X	X

⊙ : 使用ビット

x : 未使用ビット

0 : "0"を設定

1 : "1"を設定

☐ : MS = 0 (マスタモード)の場合に使用

+ : 自動的に適切に設定されるビット

n = 0~9

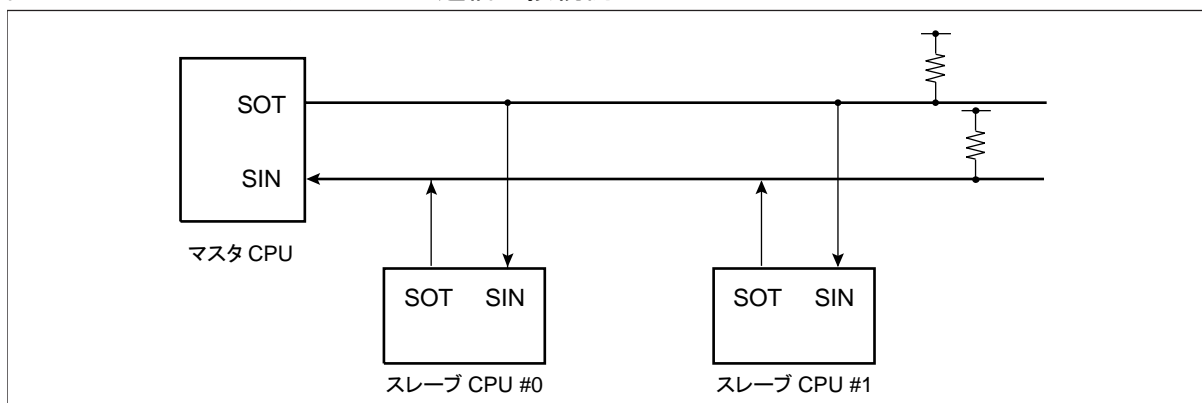
デバイスによります。

(対応するデバイスのデータシートの「品種構成」を参照してください。)

## ● CPU 間接続

図 4-17 に示すように、通信システムは 2 本の通信ラインで接続された 1 つのマスタ CPU と複数のスレーブ CPU からなります。USART はマスタ CPU またはスレーブ CPU として使用できます。

図 4-17 USART マスタ/スレーブ通信の接続例



## ● 機能選択

表 4-4 に示すように、マスタ/スレーブ通信のための動作モードとデータ転送モードを選択します。

表 4-4 マスタ/スレーブ通信機能の選択

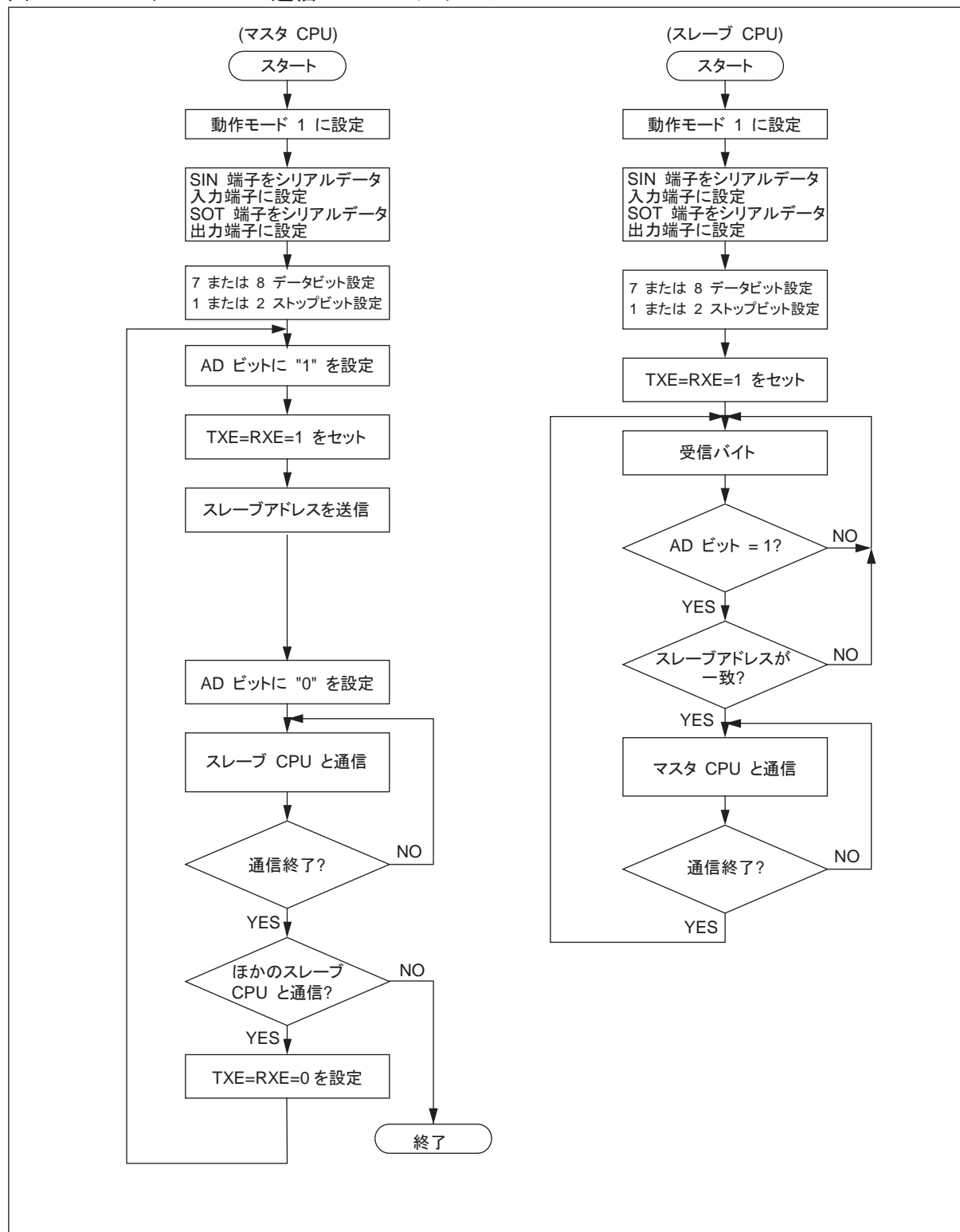
	動作モード		データ	パリティ	同期方式	ストップビット	ビット方向
	マスタ CPU	スレーブ CPU					
アドレス送受信	モード 1 (AD ビット送受信)	モード 1 (AD ビット送受信)	AD="1"+7 ビット または 8 ビットアドレス	なし	非同期	1 ビット または 2 ビット	LSB ファースト または MSB ファースト
データ送受信			AD="0"+7 ビット または 8 ビットデータ				

### 通信手順

マスタ CPU がアドレスデータを送信すると、通信が開始されます。アドレスデータの AD ビットは 1 にセットされており、宛先スレーブ CPU が選択されます。各スレーブ CPU はプログラムでアドレスデータをチェックします。アドレスデータがスレーブ CPU に割り当てられているアドレスを示している場合には、そのスレーブ CPU はマスタ CPU と通信します。

図 4-18 に、マスタ/スレーブ通信のフローチャートを示します (マルチプロセッサモード)。

図 4-18 マスタ/スレーブ通信のフローチャート



## 4.8. LIN 通信機能

---

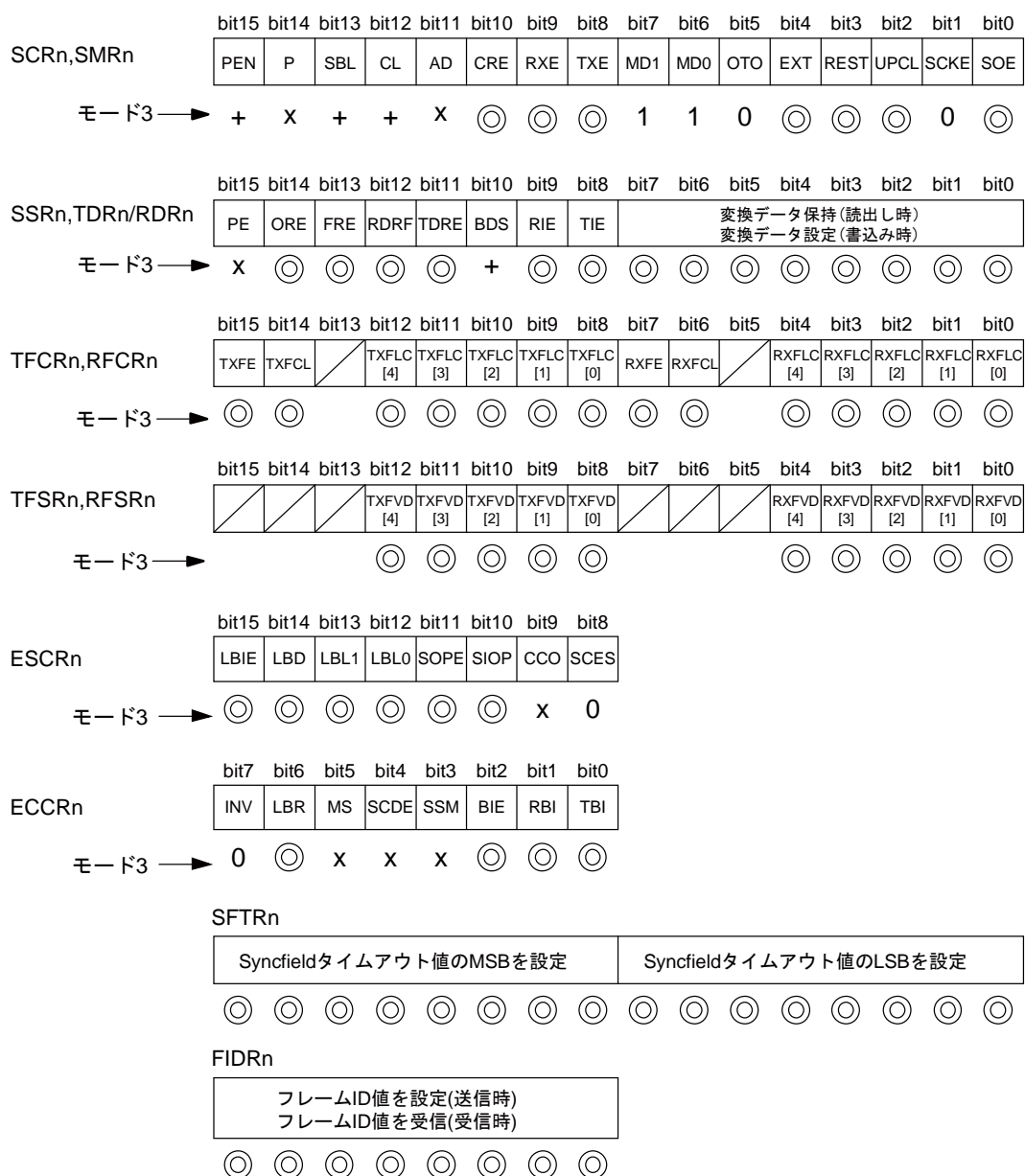
USART は LIN デバイスとの通信では LIN マスタシステムまたは LIN スレーブシステムとして使用できます。

---

### ■ LIN マスタ/スレーブ通信機能

USART を LIN 通信モード (動作モード 3) で動作させるために必要な設定を下図に示します。

図 4-19 USART 動作モード 3 (LIN) の設定



○ : 使用ビット  
 x : 未使用ビット

0 : "0"を設定

1 : "1"を設定

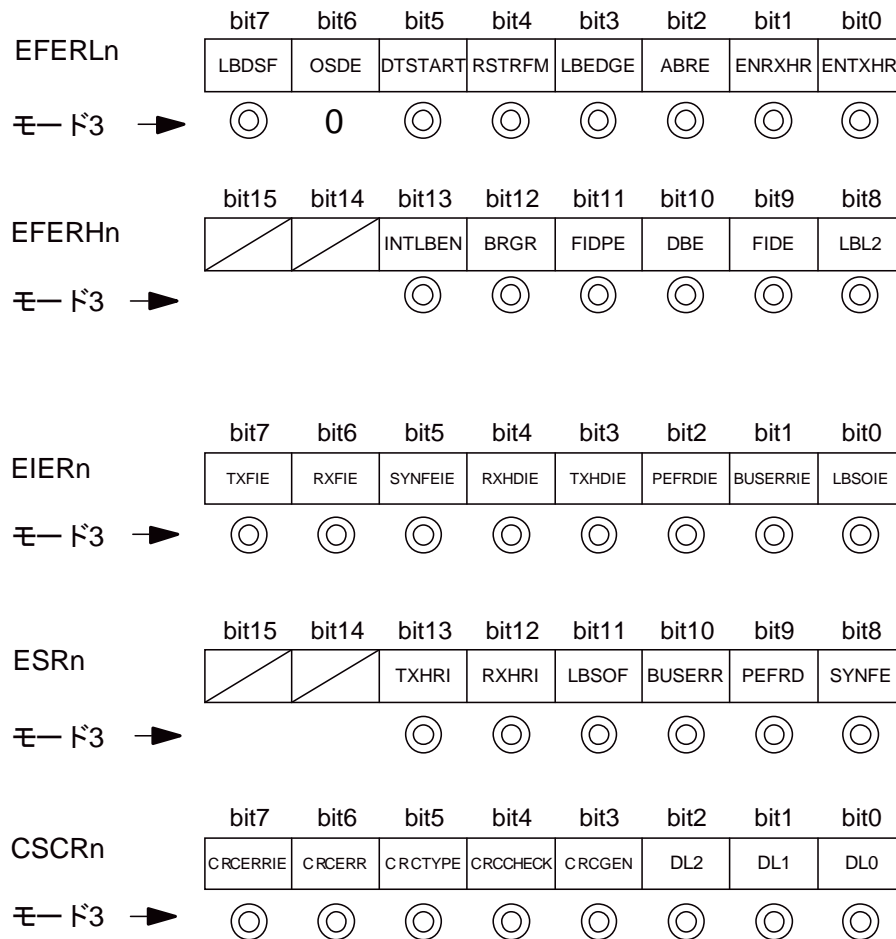
+: 自動的に適切に設定されるビット

n=0~9

デバイスによります。

(対応するデバイスのデータシートの「品種構成」を参照してください。)

図 4-20 USART 動作モード 3 の設定 (続き)



○ : 使用ビット

x : 未使用ビット

0 : "0"を設定

1 : "1"を設定

□ : MS = 0 (マスタモード)の場合に使用

+ : 自動的に適切に設定されるビット

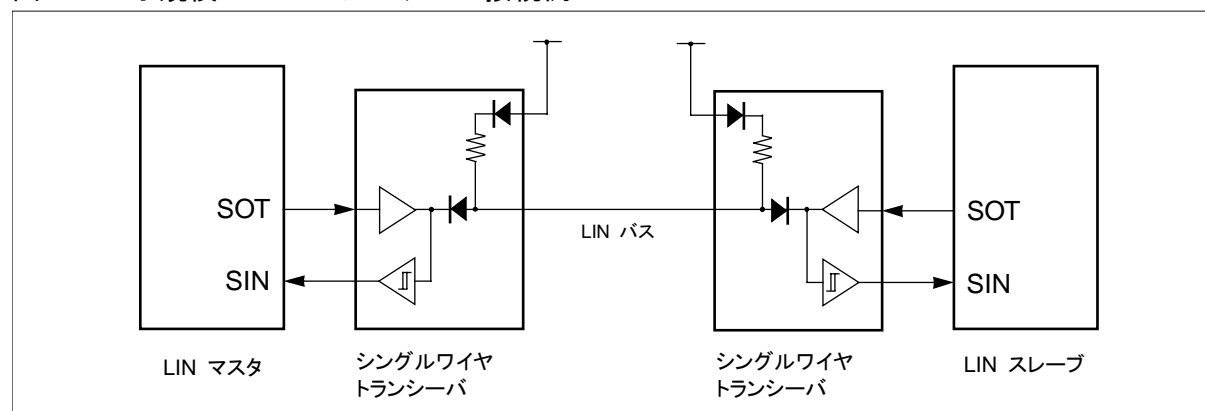
n = 0~9

デバイスによります。  
(対応するデバイスのデータシートの  
「品種構成」を参照してください。)

## ● LIN デバイス接続

1つのLIN マスタデバイスと1つのLIN スレーブデバイスからなる通信システムを下図に示します。USART はLIN マスタまたはLIN スレーブとして動作できます。

図 4-21 小規模 LIN バスシステムの接続例

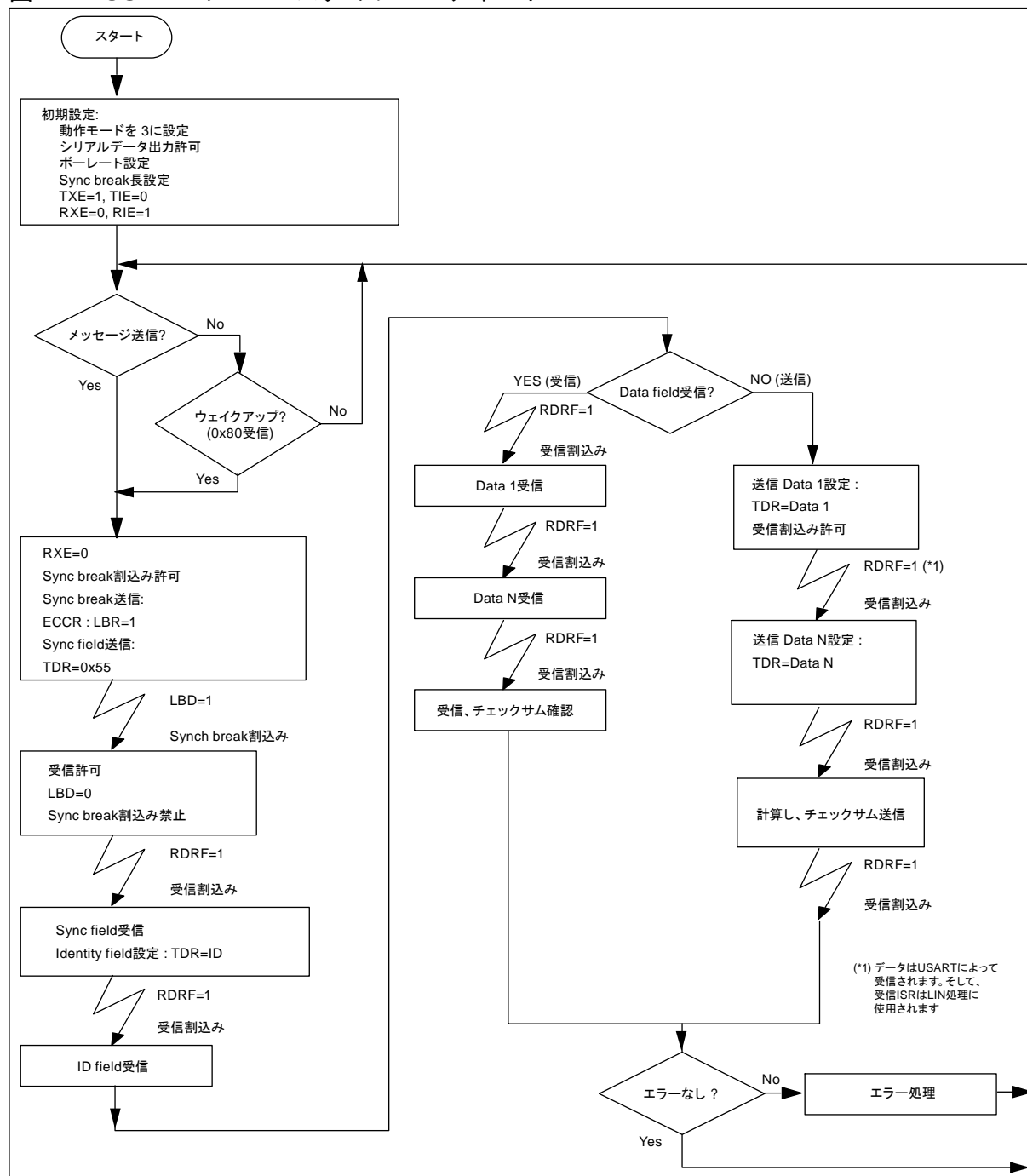


## 4.9. LIN 通信での USART (動作モード 3) のフローチャート例

LIN 通信での USART のためのフローチャート例を示します。

### ■ マスタデバイス動作

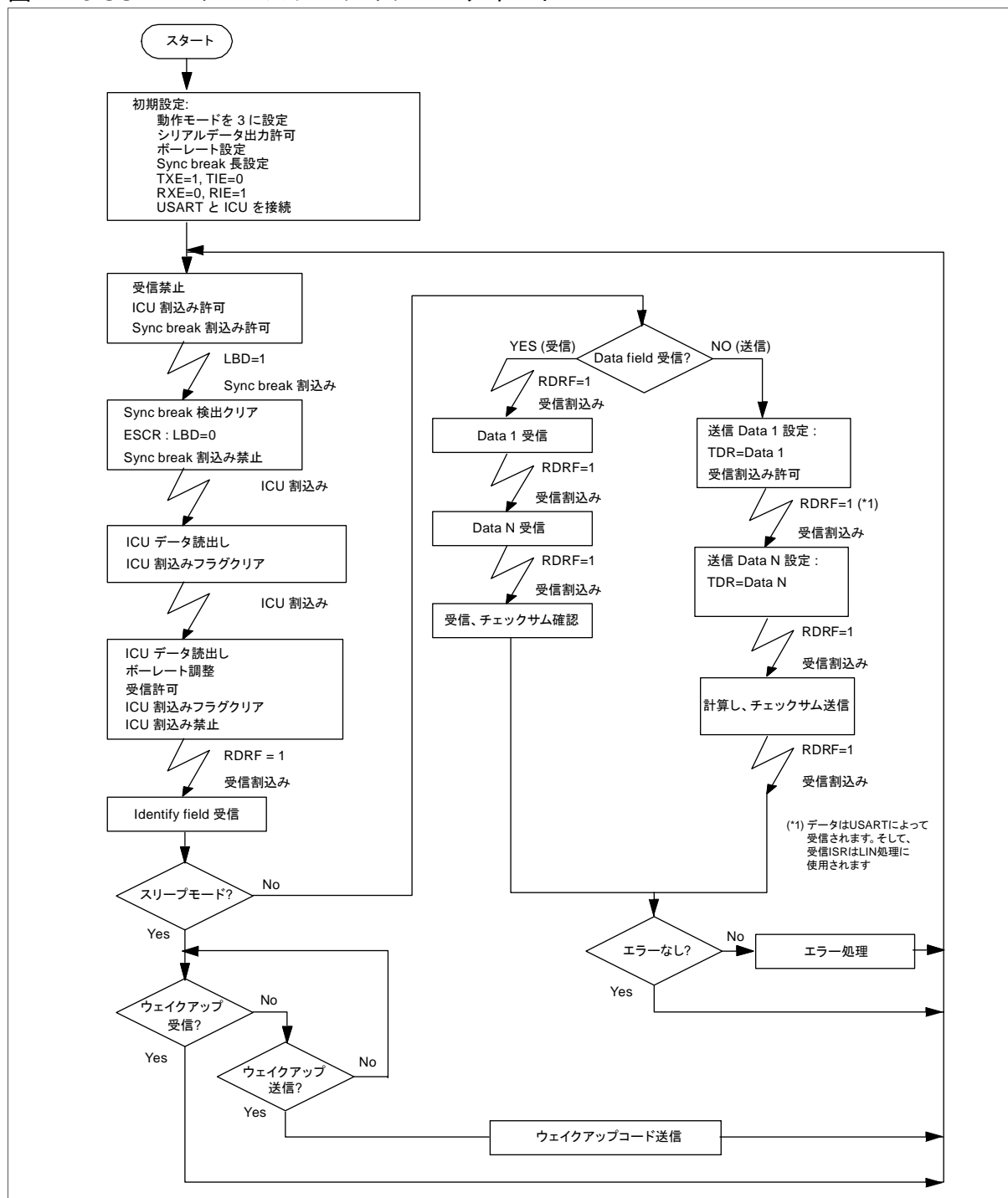
図 4-22 USART の LIN マスタのフローチャート





## ■ スレーブデバイス動作

図 4-23 USART の LIN スレーブのフローチャート



## ■ マスタデバイス動作 (追加機能使用時)

図 4-24 USART のマスタデバイスのフローチャート (すべての追加機能使用時)

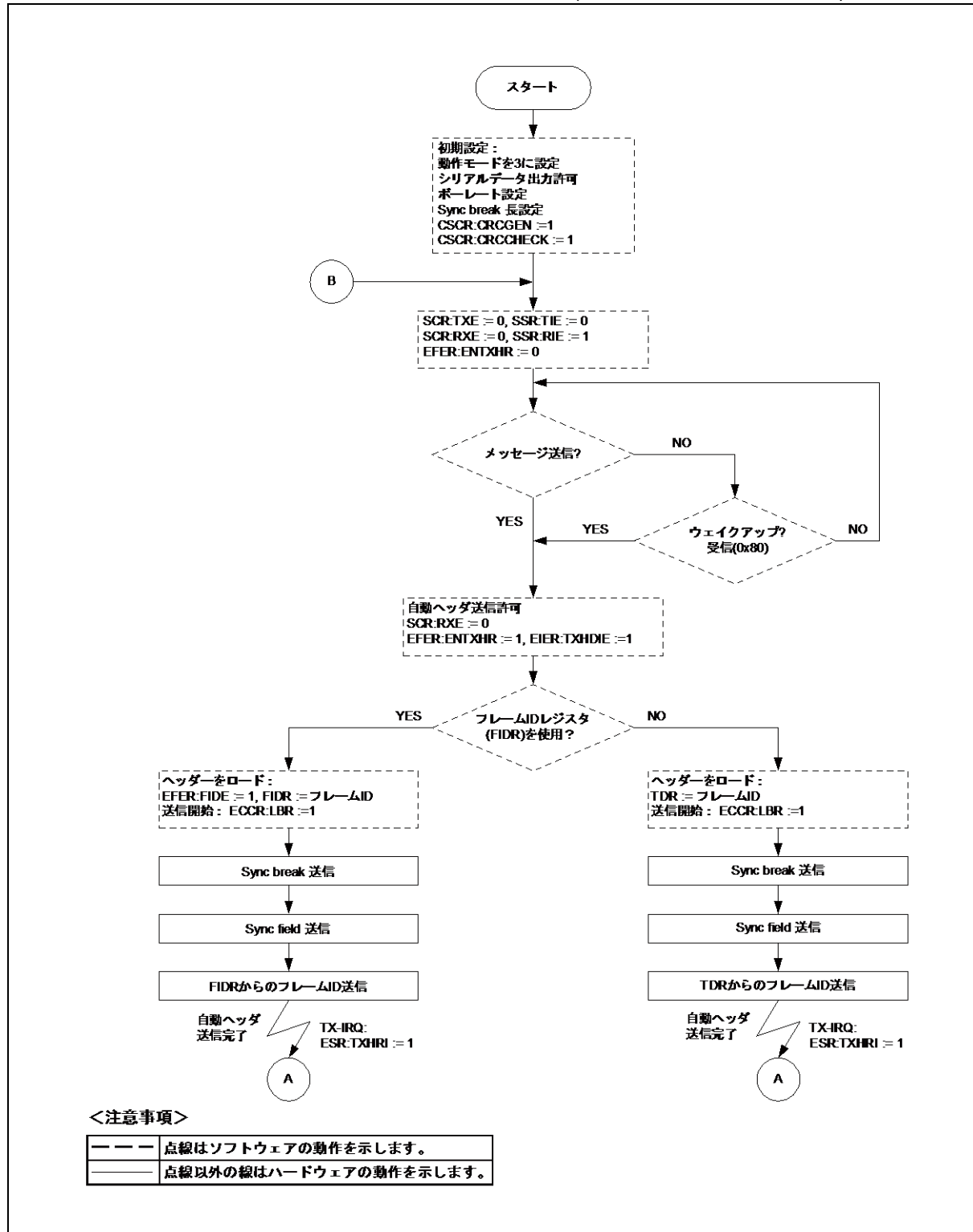


図 4-25 USART のマスタデバイス (追加機能使用時) (続き)

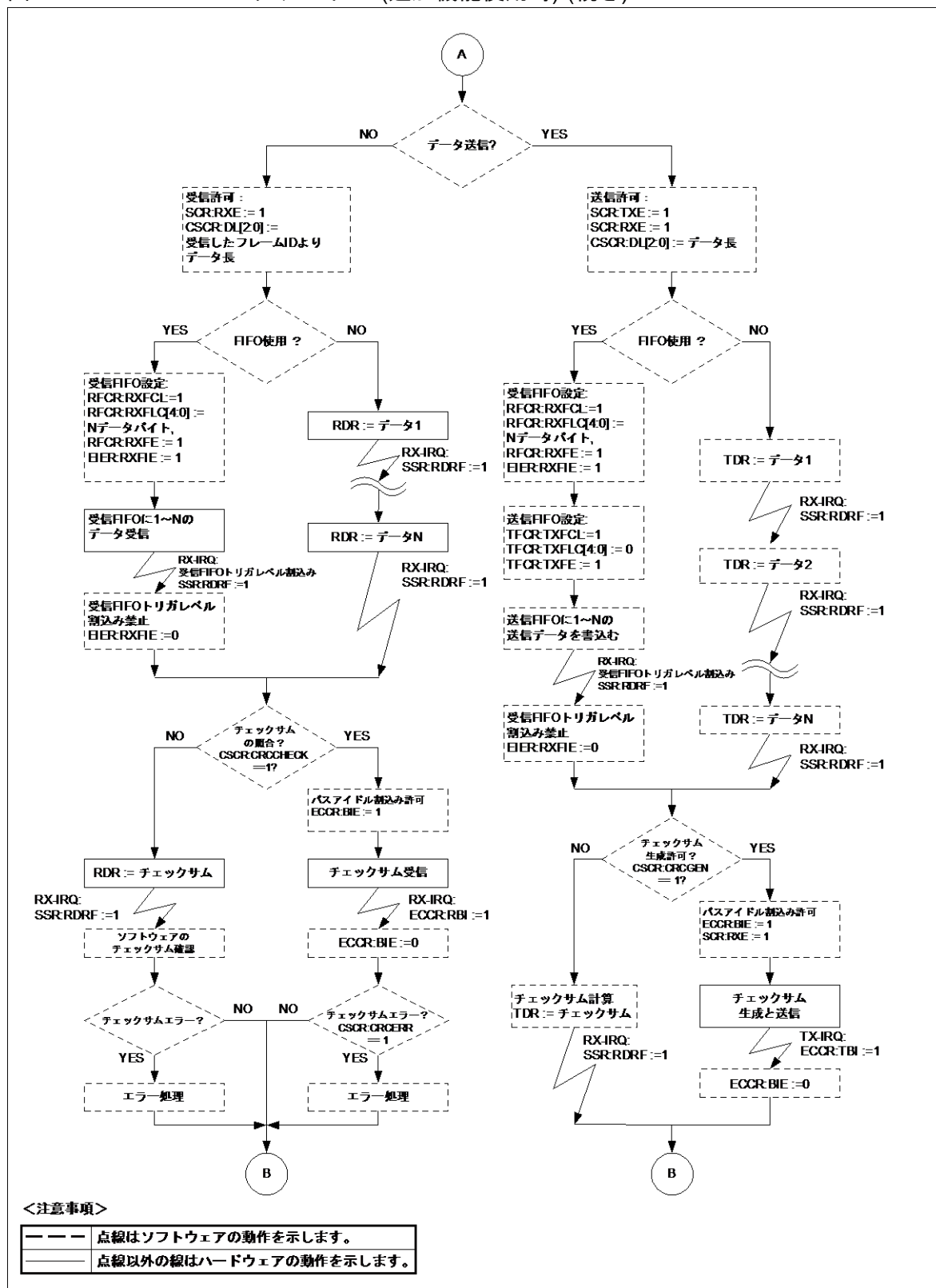


図 4-26 USART のスレーブデバイス (すべての追加機能使用時)

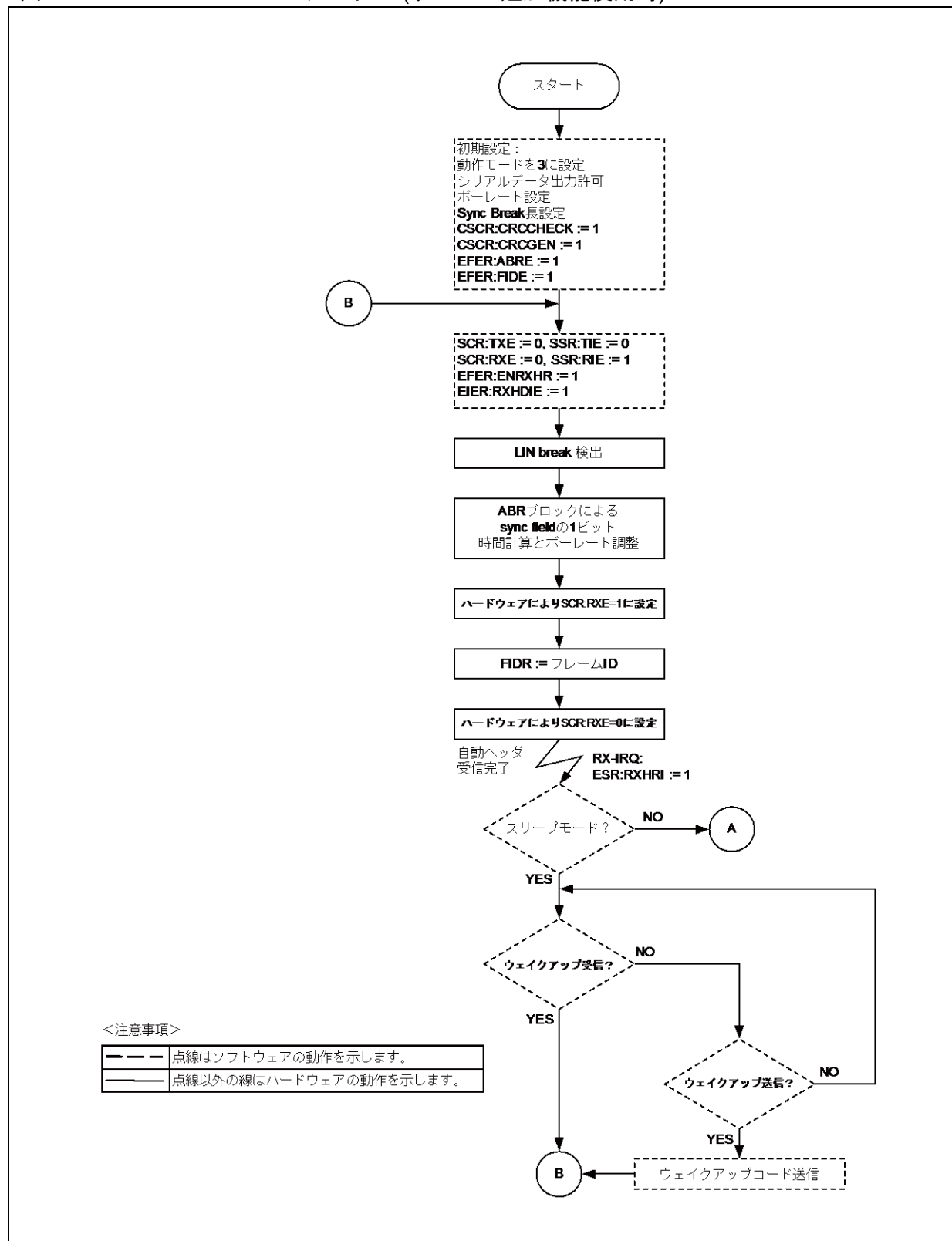
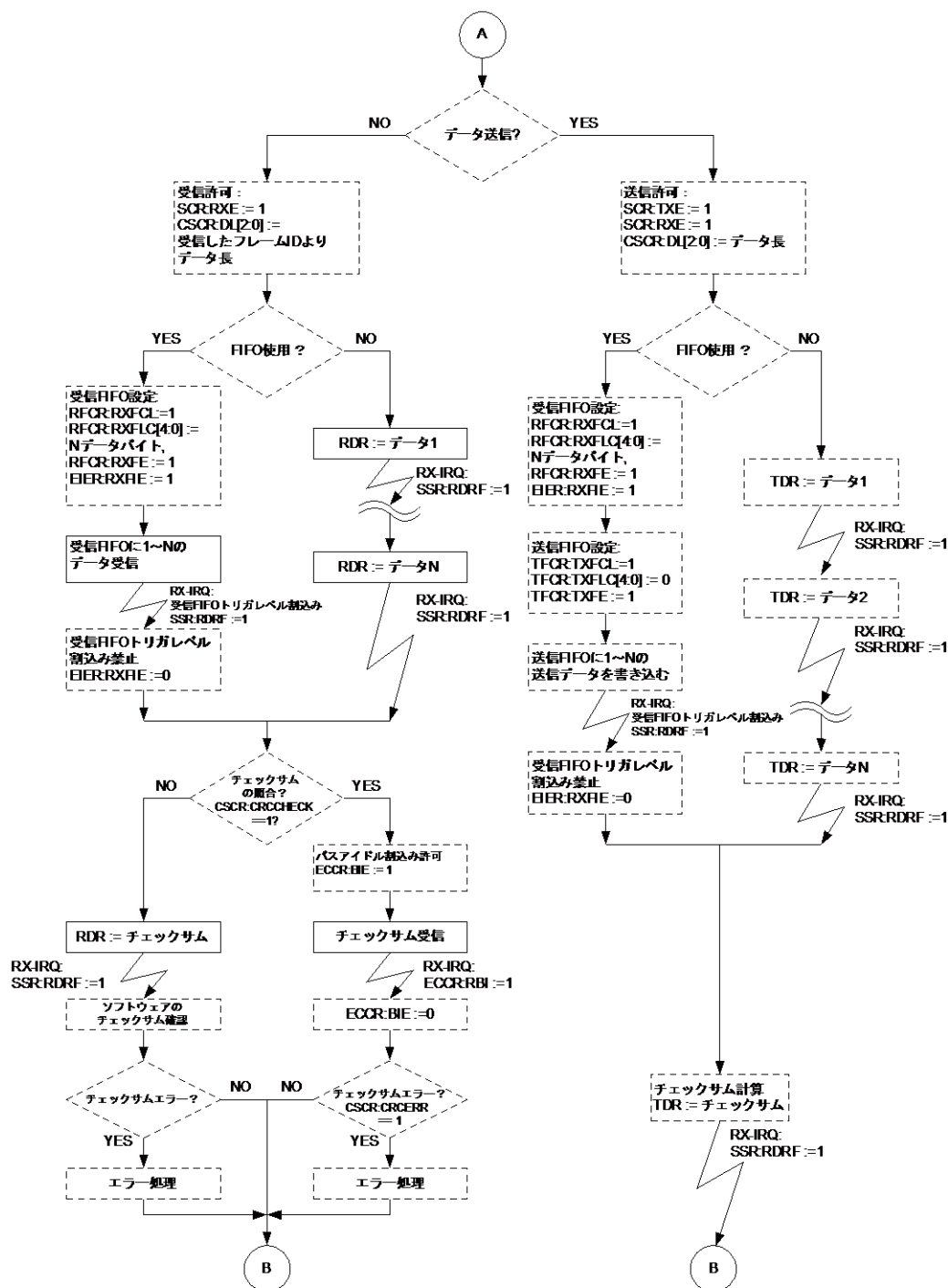


図 4-27 USART のスレーブデバイス (すべての追加機能使用時) (続き)



&lt;注意事項&gt;

---	点線はソフトウェアの動作を示します。
—	点線以外の線はハードウェアの動作を示します。

## 5. 割込み

USART は受信割込みと送信割込みを使用します。割込み要求は次のいずれの要因でも生成できます。

- 受信データレジスタ (RDRn) への受信データの転送または受信エラーの発生。
- 送信データレジスタ (TDRn) から送信シフトレジスタへの送信データの転送および送信開始、または送信データの最終ビットのシフトアウト。
- LIN break の検出
- フレーム ID 受信時のパリティエラー発生。
- LIN フレームのデータ部受信中の Checksum エラー発生。
- LIN Sync field 検出時の Sync field タイムアウトエラー発生。
- 送受信の割込みに対しては DMA を使用可能です。エラー条件によって DMA が停止します。

### ■ LIN-USART 割込み

表 5-1 LIN-USART の割込み制御ビットおよび割込み要因

受信/送信/ ICU	割込み要 求フラグ ビット	フラグ レジスタ	動作モード				割込み要因	割込み要因 許可ビット	割込み要求の クリア方法
			0	1	2	3			
受信	RDRF	SSRn	○	○	○	○	RDRn への受信データの書込み, FIFO レベル到達	SSRn:RIE (受信 FIFO 未使用時) EIERn:RXFIE (受信 FIFO 使用時)	受信データの読出し
	ORE	SSRn	○	○	○	○	オーバランエラー	SSRn:RIE	受信エラー クリアビット (SCRn:CRE) への "1" の書込み
	FRE	SSRn	○	○	*1	○	フレーミングエラー		
	PE	SSRn	○	×	*1	×	モード 0, 2 でのデータビットのパリティエラー		
	LBD	ESCRn	×	×	×	○	LIN sync break 検出	ESCRn:LBI E	ESCRn:LBD への "0" の書込み
	CRCERR	CSCRn	×	×	×	○	チェックサム照合で エラー検出	CSCRn:CRC ERRIE	ステータスフラグ CSCRn:CRCERR への "0" 書込みによってク リア
	SYNFE	ESRn	×	×	×	○	タイムアウトエラー により Sync field 検 出なし	EIERn:SYN FEIE	ステータスフラグ ESRn:SYNFE への "0" 書込みによってクリア
	BUSERR	ESRn	×	×	×	○	バスエラー発生	EIERn:BUS ERRIE	ステータスフラグ ESRn:BUSERR への "0" 書込みによってク リア

受信/送信/ ICU	割込み要 求フラグ ビット	フラグ レジスタ	動作モード				割込み要因	割込み要因 許可ビット	割込み要求の クリア方法
			0	1	2	3			
受信	PEFRD	ESRn	×	×	×	○	フレーム ID 受信時 のパリティエラー	EIERn:PEFR DIE	ステータスフラグ ESRn:PEFRD への "0" 書き込みによってクリア
	RXHRI	ESRn	×	×	×	○	LIN フレームヘッダ の自動受信完了	EIERn:RXH DIE	ステータスフラグ ESRn:RXHRI への "0" 書き込みによってクリア
	RBI, TBI *2	ECCRn ESIRn	○	○	○	○	送受信動作なし	ECCRn:BIE	ESIRn:RBI への "0" の書 込み, TDRn へのデータ の書き込み
送信	TDRE	SSRn	○	○	○	○	TDRn エンプティ /FIFO レベル到達	SSRn:TIE (送信 FIFO 未使用時) EIERn:TXFI E (送信 FIFO 使用 時)	TDRn へのデータの書 込み
	LBSOF	ESRn	○	○	○	○	同期モードでのデー タの最終ビットまたは 最終ストップビッ ト送信と非同期モー ドでの最終ストップ ビット送信	EIERn: LBSOIE	TDRn/送信 FIFO への 次のデータバイト書込 みまたは ESRn:LBSOF への "0" 書き込みによっ てクリア
	TXHRI	ESRn	×	×	×	○	LIN フレームヘッダ の自動送信完了	EIERn:TXH DIE	ステータスフラグ ESRn:TXHRI への "0" 書き込みによってクリア
インプット キャプチャ	ICPy*3	ICSy*3	×	×	×	○	LIN sync field の最初 の立下り	ICSy:ICEy *3	一時的な ICPy の禁止
						○	LIN sync field の 5 回 目の立下り		ICPy の禁止

○: 使用可能

×: 使用不可

\*1: ECCRn/SSM = 1 の場合のみ使用可能

\*2: 受信動作が開始されるとすぐに割込みがクリアされるため、ESIR:AICD = 0 でのバスアイドル割込みを使用しないでください。

\*3: インプットキャプチャユニット数 (y) については、『概要』の章の「4. LIN-USART のインプットキャプチャユニットのソースの選択」を参照してください。

### <注意事項>

USART 内の RBI, TBI を除くすべてのフラグは USARTn SMR:UPCL によっても "0" にクリア可能です (SSRn:TDRE のみ "1" にセットされます)。

## ● 受信割込み

受信モードで以下のイベントのいずれかが発生すると、シリアルステータスレジスタ (SSRn)、拡張シリアル割込みレジスタ (ESIRn)および拡張ステータスレジスタ (ESRn) の対応するフラグビットが "1" に設定されます。

- ・ データ受信完了。すなわち受信データがシリアル入力シフトレジスタから受信データレジスタ (RDRn) に転送され、データの読出しが可能になった場合: SSRn:RDRF, ESIRn:RDRF
- ・ オーバランエラー。すなわち SSRn:RDRF = 1 で RDR が CPU によって読み出されておらず、次のシリアルデータを受信した場合: SSRn:ORE
- ・ フレーミングエラー。すなわちストップビットが予期される時点で"0"を受信した場合: SSRn:FRE
- ・ パリティエラー。すなわち不正なパリティビットが検出された場合: SSRn:PE
- ・ LIN フレーム受信時の Checksum エラー: CSCRn:CRCERR
- ・ LIN フレーム ID 受信時のパリティエラー: ESRn:PEFRD
- ・ 完全なヘッダ受信: ESRn:RXHRI
- ・ LIN Sync field 受信時のタイムアウトエラー: ESRn:SYNFE
- ・ 物理的バスエラー検出時のバスエラー: ESRn:BUSERR (LIN モード)

ESIR:AICD = 0 の場合には、SSRn:RDRF, SSRn:ORE, SSRn:FRE, SSRn:PE のいずれかが "1" になり、受信割込みが許可されていると (SSRn:RIE = 1)、受信割込み要求が生成されます。

ESIR:AICD = 1 の場合には、ESIRn:RDRF, SSRn:ORE, SSRn:FRE, SSRn:PE のいずれかが "1" になり、受信割込みが許可されていると (SSRn:RIE = 1)、受信割込み要求が生成されます。

同様に、ESIRn:AICD = 0 または ESIRn:AICD = 1 の場合には、以下のフラグビットおよび対応する割込み許可ビットのいずれかが "1" になると、受信割込みが生成されます。

- ・ ESRn:PEFRD および EIERn:PEFRDIE
- ・ ESRn:SYNFE および EIERn:SYNFEIE
- ・ ESRn:BUSERR および EIERn:BUSERRIE
- ・ CSCRn:CRCERR および CSCRn:CRCERRIE
- ・ ESRn:RXHRI および EIERn:RXHDIE
- ・ これらのフラグビットに対応する割込みをクリアするには、ステータスフラグに "0" を書き込みます。

受信データレジスタ (RDRn) が読み出されると、SSRn:RDRF フラグは自動的に "0" にクリアされます。

なお、SSRn:RDRF をクリアするには、受信データレジスタ (RDRn) を読み出すか、SMRn:UPCL に "1" を書き込みます。同ビットは USART の動作モードを変更(SMRn:MD1, MD0 ビット)することでもクリアされます。

シリアル制御レジスタ (SCRn) の受信エラークリア (CRE) フラグビットに "1" を書き込むと、エラーフラグ (SSRn:FRE, SSRn:PE, SSRn:ORE) は "0" にクリアされます。RDRn には、RDRF フラグが "1" でエラービットがセットされていない場合にのみ有効なデータが含まれます。

エラーフラグ CSCRn:CRCERR をクリアするには、このフラグに "0" を書き込みます。

なお、CRE フラグはライトオンリであり、"1" を書き込むと周辺クロック 1 (CLKP1) サイクルの間、内部的に "1" に保持されます。

## ● 送信割込み

以下のいずれかのイベントが発生すると、送信割込みが生成されます。

送信データが送信データレジスタ (TDRn) から送信シフトレジスタに転送されて送信が開始されると、シリアルステータスレジスタ (SSR) の送信データレジスタエンプティフラグビット (TDRE) が "1" にセットされます。この場合、SSR の送信割込み許可 (TIE) ビットが "1" にセットされていると、割込み要求が



生成されます。

なお、TDRE の初期値 (ハードウェアリセット後またはソフトウェアリセット後) は "1" です。  
そのため、TIE フラグを "1" にセットすると即座に割込みが生成されます。

SSRn:TDRE フラグは送信データレジスタ(TDRn)へのデータの書込みによってのみクリアされます。  
SSRn:TDRE フラグは下記により初期化 ("1"にセット)されます

- SMRn:UPCL に "1" を書き込む
  - USART の動作モードを変更(SMRn:MD1, MD0 ビット)する
- ・ 同期モードでの最終データビットまたは最終ストップビット、非同期モードでの最終ストップビットがシフトアウトされた場合、割込み許可 EIERn:LBSOIE が "1" に設定されると、割込み要求が生成されます。

---

#### <注意事項>

SSRn:TIE と EIERn:LBSOIE を同時に使用しないでください。同じ送信バイトに対して割込み要求が 2 件発生します。

---

---

#### <注意事項>

AICD = 0 の場合には、USART は DMA と併用できません。USART のデータ転送に DMA を使用する場合は、AICD = 1 に設定してください。

---

### ● LIN sync break 割込み

この段落は、USART がモード 3 で動作していて、自動ヘッダ送受信が禁止されている (EFERLn:ENTXHR = 0 および EFERHn:ENRXHR = 0) 場合にのみ関係します。

バス (シリアル入力) が 10.5 ビット時間以上 "0" (ドミナント) になると、拡張ステータス制御レジスタ (ESCRn) の LIN break 検出 (LBD) フラグビットが "1" にセットされます。なお、この場合には 9.5 ビット時間が経過したところで受信エラーフラグが "1" にセットされるため、LIN sync break 検出のみを望む場合には RXE フラグを "0" にセットしておく必要があります。

割込みおよび ESCRn:LBD フラグは LBD フラグへの "0" の書込みでクリアされます。これは LIN sync field に対するインプットキャプチャ割込みの前に実行する必要があります。

### ● LIN sync field エッジ検出割込み

この段落は、USART がモード 3 で LIN スレーブとして動作している場合 (自動ボーレート検出/調整機能が禁止されている場合 (EFERn:ABRE = 0)) にのみ関係します。LIN break 検出の後、受信バスの次の立下りエッジが USART によって示されます。同時に、LIN-USART に関連付けられた ICU に接続された内部信号が "1" にセットされます (ICU および USART の割り当てについては、『概要』の章の「4. LIN-USART のインプットキャプチャユニットのソースの選択」を参照してください)。

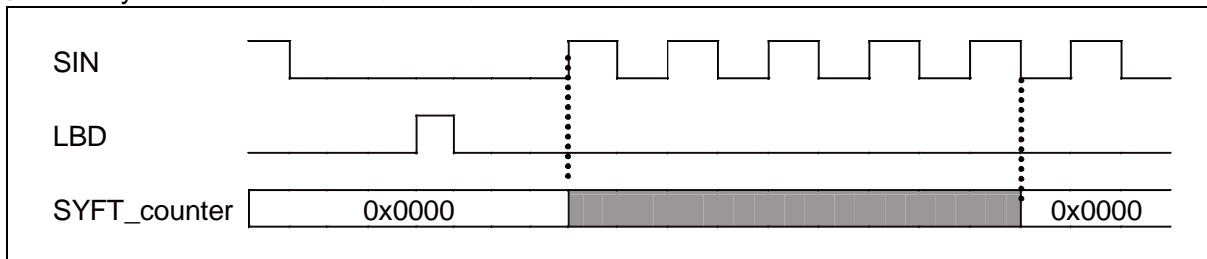
この信号は LIN sync field の 5 番目の立下りエッジの後に "0" にリセットされます。どちらの場合も、「両エッジ検出」と ICU 割込みが許可されている場合には、関連付けられた ICU が割込みを生成します。ICU カウンタ値の相違はシリアルクロックの 8 倍です。これを 8 で割ると専用リロードカウンタのためのボーレートを算出できます。この値から 1 を引いた値をボーレートジェネレータレジスタ (BGRn) に書き込み

ます。リロードカウンタはスタートビットの立下りエッジが検出されると自動的にリセットされるため、リロードカウンタを再スタートする必要はありません。

### ● Sync field タイムアウト割込み

この段落は、USART がモード 3 で動作していて、ESRn:SYNFE = 1 の場合にのみ関係します。LIN break 検出後、sync field タイムアウトカウンタは SIN (シリアルデータ入力) の最初の立上りエッジでカウントを開始します。

図 5-1 Sync Field タイムアウトカウンタのカウント



sync field タイムアウトカウンタは以下の 2 つの条件でカウントを停止します。

1. sync field の 5 番目の立下りエッジが検出されたとき。
2. sync field タイムアウトカウンタが 16 ビット sync field タイムアウトレジスタ (SFTRn) に書き込まれたタイムアウト値に等しくなったとき。この場合、ESRn:SYNFE が設定されます。この結果、EIERn:SYNFEIE が設定されると割込みが生成されます。内部カウンタはカウントに周辺クロック (CLKP1) を使用します。

ESRn:SYNFE が設定されている場合、ボーレートリロードレジスタが自動ボーレート検出回路からの値で更新されることはありません。したがって、新しい LIN フレームが受信される前に必ず ESRn:SYNFE をクリアしてください。

16 ビット sync field タイムアウトレジスタ (SFTRn) に書き込まれる値の計算式は以下のとおりです。

Sync field タイムアウトレジスタ値 (SFTRn) = Sync Field タイムアウト時間 / CLKP1 時間

Sync field タイムアウト時間 = ブレークデリミタ(1 ビット時間) + sync field(8 ビット時間)  
+ スタートビット(1 ビット時間) + ストップビット(1 ビット時間)  
= 11 ビット時間

ボーレート を 19200, リソースクロック周波数を 16 MHz とした場合、以下のようになります。

BGR 値 = (16000000/19200) - 1 = 832

Sync field のビット時間はリソースクロックの 832 クロック周期です。

したがって、Sync field タイムアウト時間 = 832 × (11) = 9152 となります。

実際の値から 14% の偏差を考慮 = (14/100 × 9152) + 9152 = 10433

BGR レジスタに書き込まれたボーレート値から 14% の偏差を考慮します。

表 5-2 周波数ごとの Sync field タイムアウト時間の計算例

CLKP 周波数 [MHz]	ボーレート値= 19200	ボーレート値= 9600
16	10433	20892
20	13054	26108
24	15662	31337
32	20892	41783
48	31337	62687
56	36567	-

Sync field タイムアウトエラーは、DMA を停止することができます。Sync field タイムアウトを DMA の停止条件とするには、Sync field タイムアウト割込みを有効にします(EIERn:SYNFEIE を"1"に設定)。

### ● フレーム ID 受信時パリティエラー割込み

この段落は、USART がモード 3 で動作していて、EIERn:PEFRDIE = 1 の場合にのみ関係します。フレーム ID 受信時にパリティエラーが発生すると、ESRn:PEFRD フラグがセットされます。ステータスフラグ PEFRD が "1" になり、割込み許可 PEFRDIE が設定されると、受信割込みが生成されます。この割込みをクリアするには、ステータスフラグ (PEFRD) に "0" を書き込みます。

フレーム ID のパリティエラーは、DMA を停止することができます。フレーム ID のパリティエラーを DMA の停止条件とするには、フレーム ID のパリティエラー割込みを有効にします(EIERn:PEFRDIE を"1"に設定)。

### ● Checksum エラー割込み

この段落は、USART がモード 3 で動作していて、CSCRn:CRCERRIE = 1 の場合にのみ関係します。Checksum バイトが受信された後、計算済みの内部サムは受信済みのチェックサムが足され、0xFF に等しいかどうかチェックされます。計算済みのサムが 0xFF に等しくない場合、CSCRn:CRCERR フラグがセットされ、受信割込みがアサートされます (割込み許可 CSCRn:CRCERRIE が "1" に設定されている場合)。この割込みをクリアするには、フラグ CRCERR に "0" を書き込みます。

チェックサムエラーは、DMA を停止することができます。チェックサムエラーを DMA の停止条件にするには、チェックサムエラー割込みを有効にします(CSCRn:CRCERRIE を"1"に設定)。

### ● バスエラー割込み

この機能は EFERHn:DBE ビットを"1"に設定することによって許可されます。LIN ノードがそれ自体の送信をリードバックすることができるよう(LIN はシングルワイヤネットワークであるため)、バスエラーの検出は送信を許可することによって行われます。短絡接地または Vcc などの物理的なバスエラーは送信データと受信データの値を比較することによって検出することができます。送信データと受信データの値に差異がある場合、ESRn:BUSERR フラグがセットされます。この結果、EIERn:BUSERRIE が"1"に設定されると受信割込みが生成されます。

バスエラーは、DMA を停止することができます。バスエラーを DMA の停止条件とするには、バスエラー割込みを有効にします(EIERn:BUSERRIE を"1"に設定)。

### ● バスアイドル割込み

SINn 端子で受信動作が行われていない場合には、ECCRn:RBI ビットと ESIRn:RBI ビットが "1" にセットされます。ECCRn:RBI は受信が開始されると即座にクリアされるのに対して、ESIRn:RBI は "0" を書き込むことで明示的にクリアする必要があります。

SOTn 端子で送信動作が行われていない場合には、ECCRn:TBI が "1" にセットされます。送信が開始さ

れると、ECCRN:TBI はクリアされます。

ESIRn:AICD=0 で ECCRN:BIE=1 の場合には、ECCRN:RBI と ECCRN:TBI の両方が "1" になると割込みが生成されます。ECCRN:RBI または ECCRN:TBI のいずれかがクリアされると、割込みはクリアされます。割込み処理ソフトウェアが割込みをクリアできるようになる前に ECCRN:RBI がクリアされる場合があるため、AICD =0 でバスアイドル割込みを使用しないでください。

ESIRn:AICD =1 で ECCRN:BIE =1 の場合には、ESIRn:RBI と ECCRN:TBI の両方が "1" になると割込みが生成されます。ESIRn:RBI または ECCRN:TBI のいずれかがクリアされると、割込みはクリアされます。ESIRn:RBI と ECCRN:TBI の両方が割込みサービスルーチンによって確認されるため、バスアイドル割込みは ESIRn:AICD = 1 で使用してください。

## ■ USART DMA 機能

USART は、受信または送信のために DMA と連携できます。DMA の詳細については、『DMA』の章を参照してください。

以下のいずれかのエラー条件により DMA 停止します。

PE, ORE, FRE, BUSERR, PEFRD, CRCERR, SYNFE.

---

### <注意事項>

USART と DMA を連携させる場合は、ESIRn:AICD =1 に設定してください。

また受信中にエラーが発生すると、対応する DMA チャンネルの DMACS レジスタの SE ビットが設定されている場合、実行中の DMA 転送が停止されます。

---

## 5.1. 受信割込みの生成とフラグのセットタイミング

受信割込みの要因としては、受信完了 (SSRn:RDRF), 自動ヘッダ検出 (ESRn:RXHRI) および受信エラーの発生 (SSRn:PE, ORE, FRE, ESRn:PEFRD, SYNFE, CSCRn:CRCERR)があります。

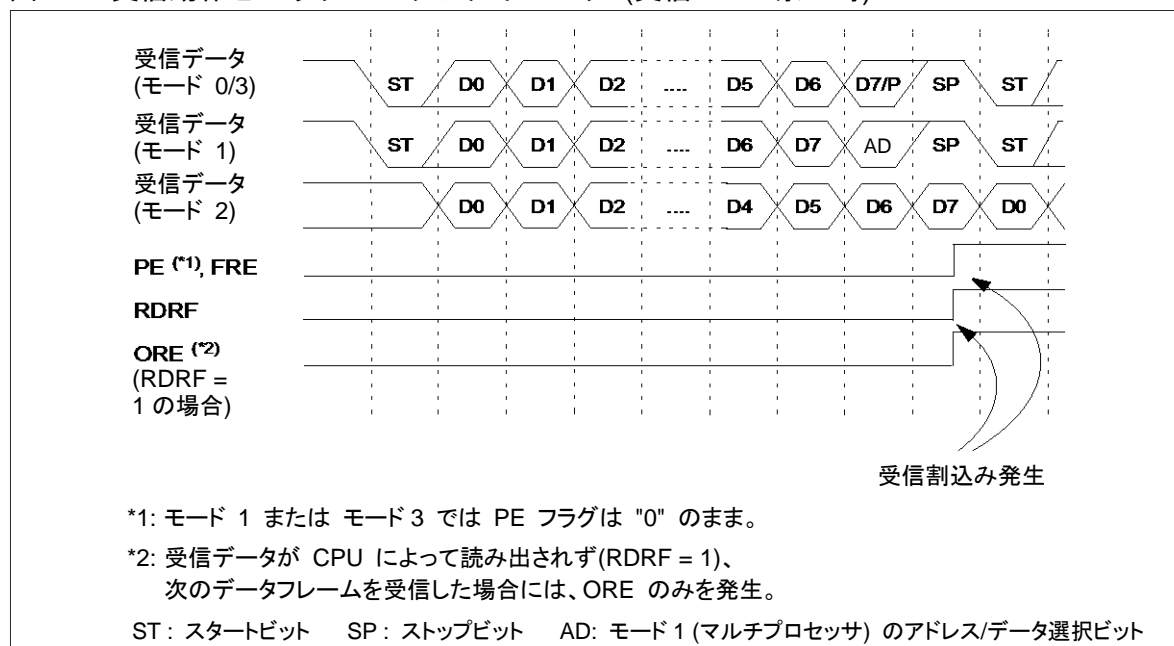
### ■ 受信割込みの生成とフラグのセットタイミング

データの受信が完了し (ESIRn:AICD = 0 の場合には SSRn:RDRF=1, ESIRn:AICD = 1 の場合には ESIRn:RDRF = 1)、シリアルステータスレジスタ (SSRn) の受信割込み許可 (RIE) フラグビットが "1" に設定されている場合には、一般に受信割込みが生成されます。この割込みは、モード 0, 1, 2 (SSM = 1 の場合), 3 では最初のストップビットが検出されたとき、モード 2 (SSM = 0 の場合) では最後のデータビットが読み取られたときに生成されます。

#### <注意事項>

受信エラーが発生した場合には、いずれのモードでも受信データレジスタ (RDRn) には不正なデータが含まれます。

図 5-2 受信動作とフラグのセットタイミング (受信 FIFO 禁止時)



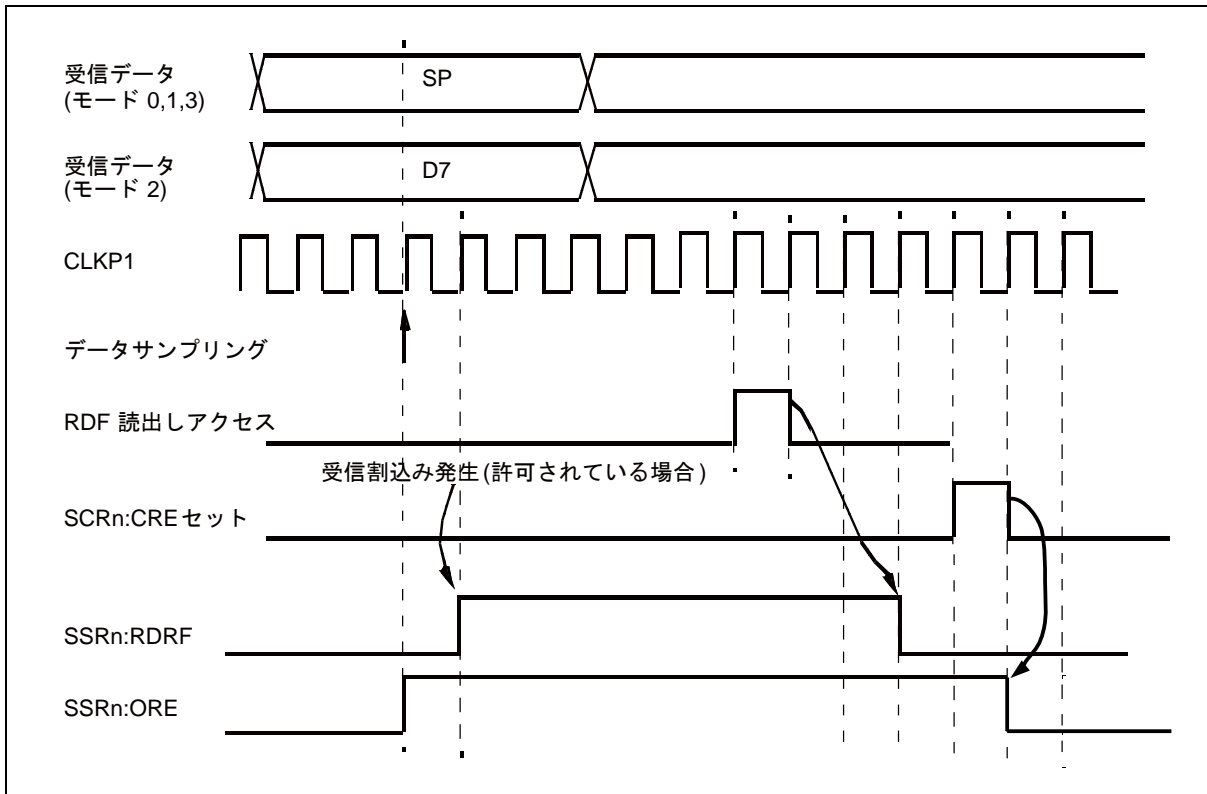
#### <注意事項>

受信 FIFO が許可されている (RFCRn:RXFE が "1" に設定されている) 場合、FIFO が受信 FIFO 制御レジスタ (RFCRn:RXFLC) に書き込まれたトリガレベルに達すると、SSRn:RDRF フラグがアサートされます。

### <注意事項>

図 5-2 の例には、モード0とモード3におけるすべての受信オプションを表しているわけではありません。  
 "7p1" と "8N1" (p は "E" [偶数] または "O" [奇数]) の例のみ示されています。

図 5-3 受信動作とフラグセットタイミング



### <注意事項>

SSRn:RDRF フラグビットと ESIR:RDRF フラグビットはデータを受信した CLKP1 の 1 サイクル後に "1" にセットされます。

RDRn レジスタを読み出した場合、SSRn:RDRF フラグビットは CPU が RDRn レジスタにリードアクセスした CLKP1 の 2 サイクル後に "0" にクリアされます。RDRn レジスタをリードした直後に割込み処理ルーチンからメインルーチンに戻ろうとした場合、 $f_{CLKP1}$  が  $f_{CLKB}/2$  より遅いとメインルーチンに復帰した時点で SSRn:RDRF フラグビットがクリアされていないため再び割込み処理ルーチンに分岐してしまう恐れがあります。これを防ぐためには下記いずれかの方法を使用してください。

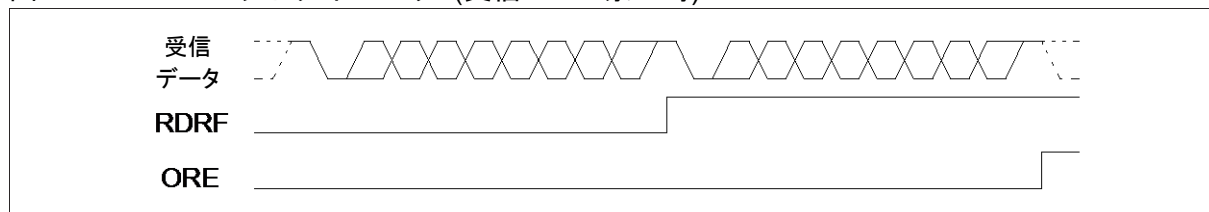
- ・ RDRn レジスタを読み出した後、割込みルーチンから復帰する前に、周辺バス 1 に接続されている周辺機能のレジスタに読出しアクセスを 1 回行う。
- ・ RDRn レジスタを読み出した後、割込みルーチンから復帰する前に、 $2 \times f_{CLKB} / f_{CLKP1}$  [CPU クロックサイクル] 以上の時間\*が経過していることが確実なプログラムとする

\*: 例として  $f_{CLKB} = 16\text{MHz}$ ,  $f_{CLKP1} = 4\text{MHz}$  の場合は RDRn レジスタを読み出した後、割込みルーチンから復帰する前に  $2 \times 16\text{MHz} / 4\text{MHz} = 8$  [CPU クロックサイクル(CLKB)] 以上が経過している必要があります。

### ＜注意事項＞

ESIRn:RDRF のセットタイミングは SSRn:RDRF と同様です。

図 5-4 ORE のセットタイミング (受信 FIFO 禁止時)



### ＜注意事項＞

受信 FIFO が許可されている (RFCRn:RXFE が "1" に設定されている) 場合、受信 FIFO がオーバーフローすると (すなわち、受信 FIFO がフル(16 バイトすべてが埋まる)になり、別のデータバイトが受信されると)、SSRn:ORE フラグがセットされます。

図 5-5 CRCERR のタイミング

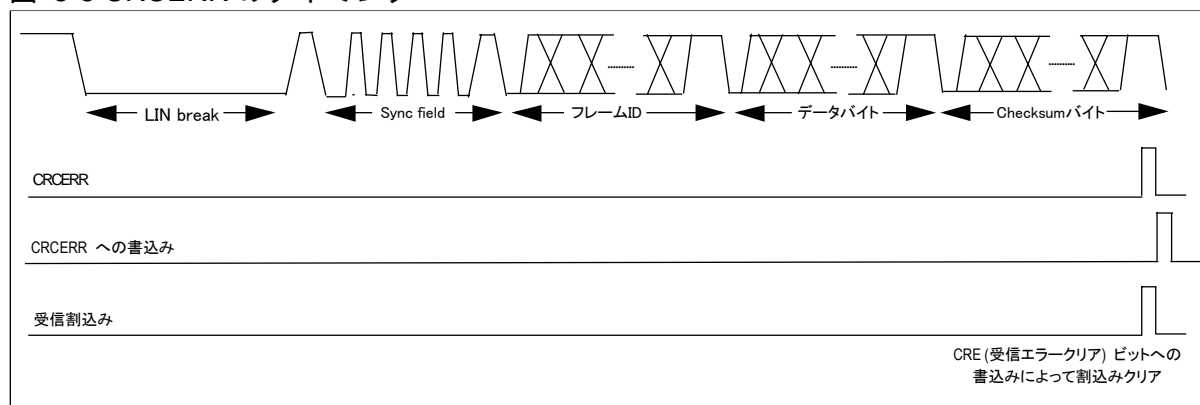


図 5-6 PEFRD のタイミング

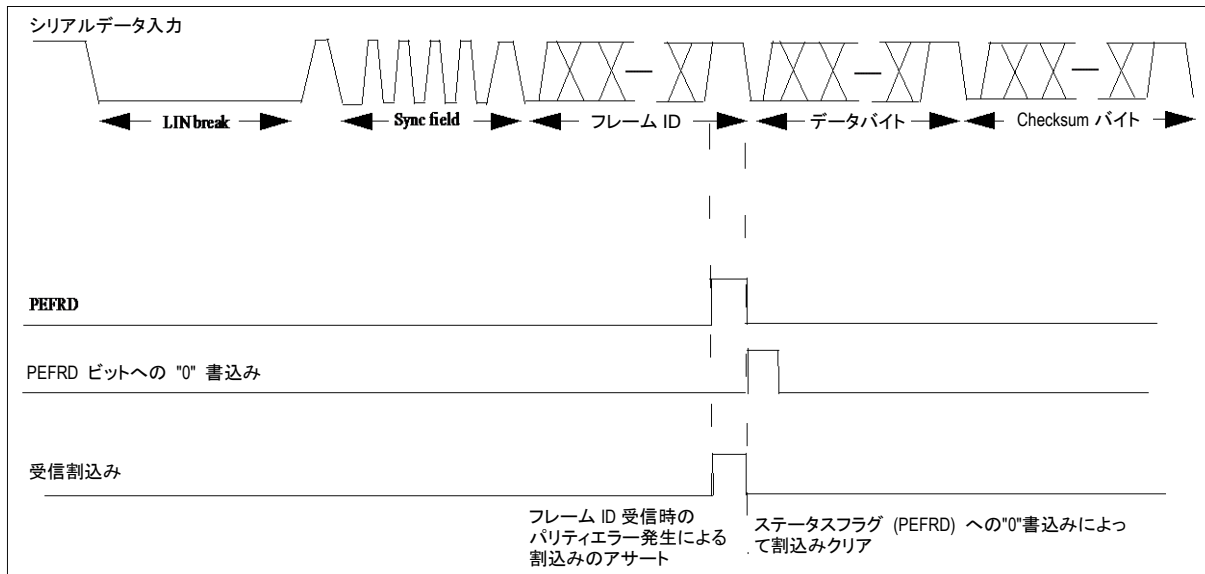
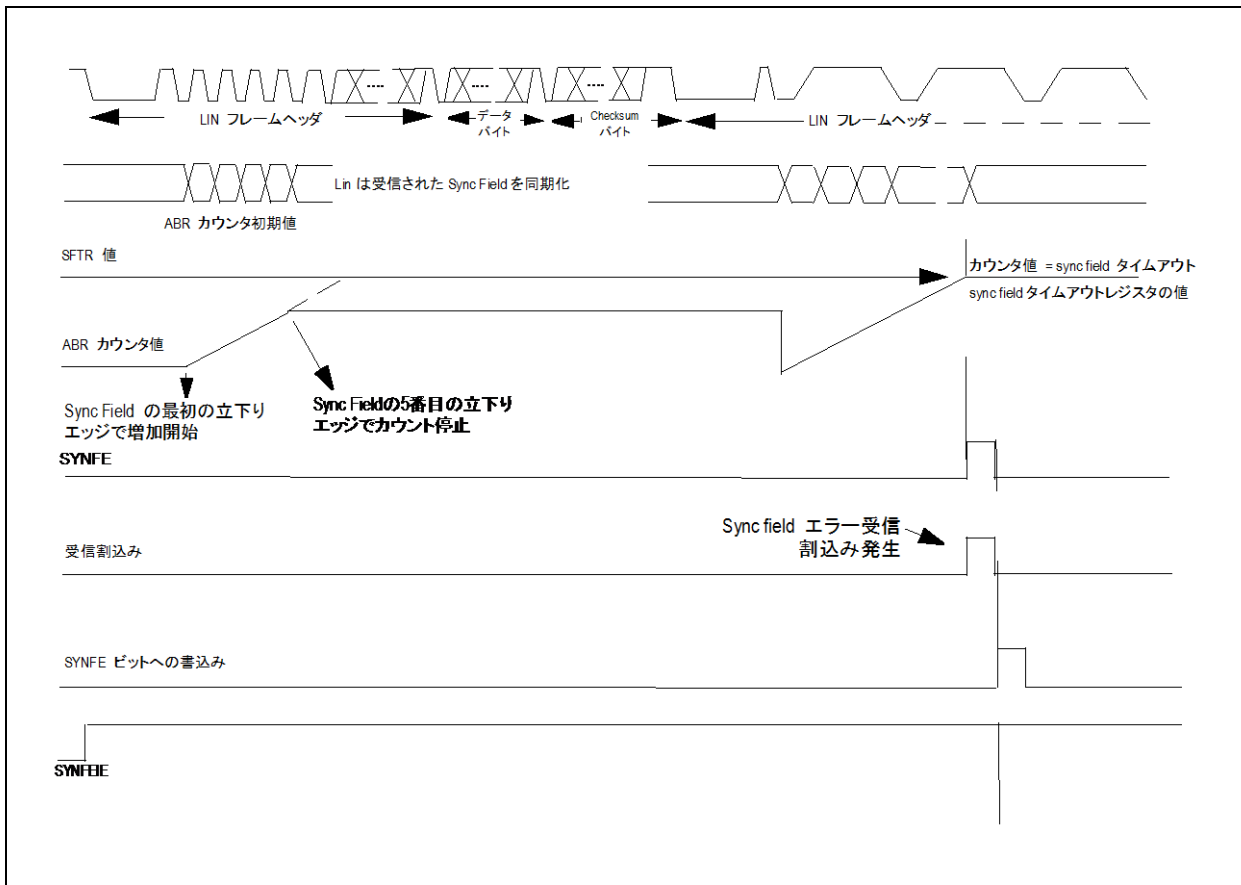


図 5-7 SYNFE のタイミング





## 5.2. 送信割込みの生成とフラグのセットタイミング

送信割込みは、送信データが送信データレジスタ (TDRn) から送信シフトレジスタに転送されたとき、あるいは最終ビットがシフトアウトされたときに生成されます。

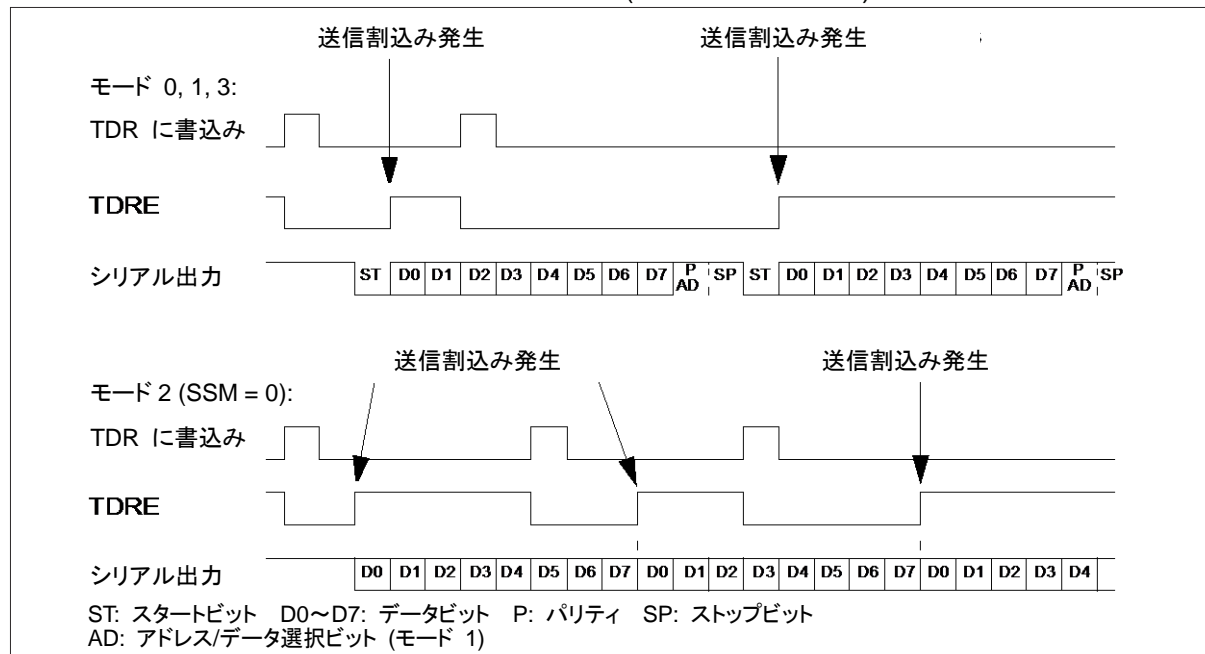
### ■ TIE を使用した送信割込みの生成とフラグのセットタイミング

送信割込みは、送信する次のデータを送信データレジスタ (TDRn) に書き込む準備ができたとき、すなわち TDRn が空であり、シリアルステータスレジスタ (SSRn) の送信割込み許可 (TIE) ビットが "1" に設定されることで送信割込みが許可されている場合に生成されます。

SSRn の送信データレジスタエンプティ (TDRE) フラグビットは TDRn が空であることを示します。TDRn にデータを書き込むと TDRE ビットがクリアされます。

USART の 4 つのモードでの送信動作とフラグのセットタイミングを下図に示します。

図 5-8 送信動作とフラグのセットタイミング (送信 FIFO 禁止時)



#### <注意事項>

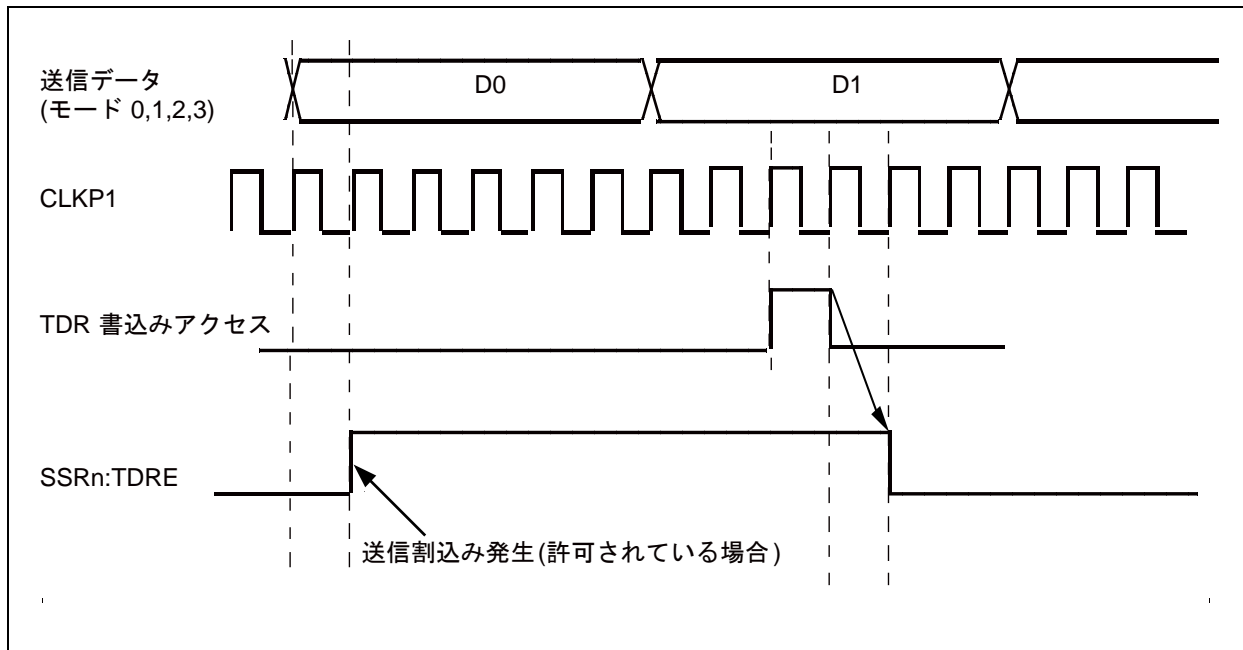
送信 FIFO が許可されている場合、FIFO が送信 FIFO 制御レジスタ (TFCRn:TXFLC) に書き込まれたトリガレベルに達すると、SSRn:TDRE フラグがアサートされます。

#### <注意事項>

図 5-8 の例には、モード 0 におけるすべての送信オプションを表しているわけではありません。"8p1" (p は "E" [偶数] または "O" [奇数]) についてのみ示されています。

モード 3 と SSM = 0 でのモード 2 ではパリティは使用できません。

図 5-9 送信動作とフラグセットタイミング



#### <注意事項>

TDRn レジスタに書き込みアクセスした場合、SSRn:TDRE フラグビットは CPU が TDRn レジスタに書き込みアクセスした CLKP1 の 1 サイクル後に "0" にクリアされます。TDRn レジスタに書き込んだ直後に割込み処理ルーチンからメインルーチンに戻ろうとした場合、 $f_{CLKP1}$  が  $f_{CLKB}/4$  より遅いとメインルーチンに復帰した時点で SSRn:TDRE フラグビットがクリアされていないため再び割込み処理ルーチンに分岐してしまう恐れがあります。これを防ぐためには下記いずれかの方法を使用してください。

- ・ TDRn レジスタへ書き込んだ後、割込みルーチンから復帰する前に、周辺バス 1 に接続されている周辺機能のレジスタに読出しアクセスを 1 回行う。
- ・ TDRn レジスタへ書き込んだ後、割込みルーチンから復帰する前に、 $f_{CLKB}/f_{CLKP1}$  [CPU クロックサイクル] 以上の時間\*が経過していることが確実なプログラムとする

\*: 例として  $f_{CLKB} = 16\text{MHz}$ ,  $f_{CLKP1} = 4\text{MHz}$  の場合は TDRn レジスタへ書き込んだ後、割込みルーチンから復帰する前に  $16\text{MHz}/4\text{MHz} = 4$  [CPU クロックサイクル(CLKB)] 以上が経過している必要があります。

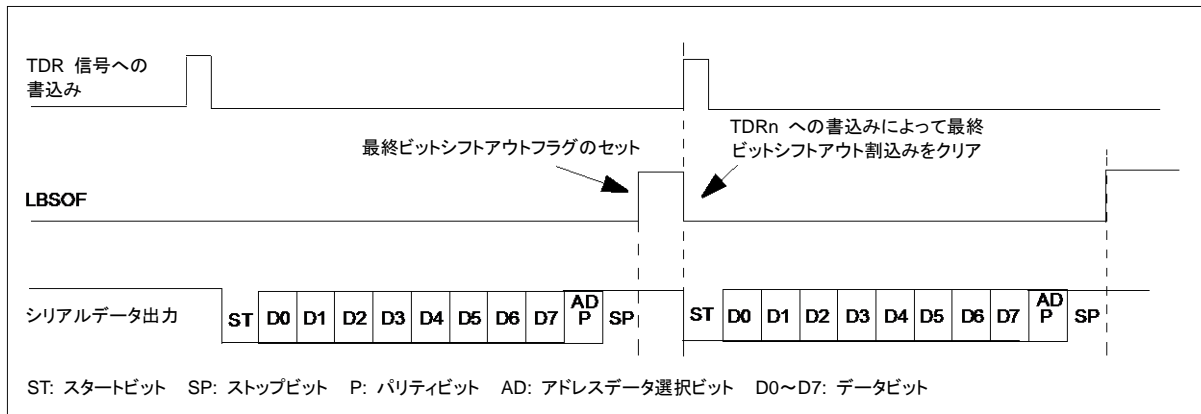
#### <注意事項>

ESIRn:TDRE のセットタイミングは SSRn:TDRE と同様です。

## ■ LBSOIE を使用した送信割込み要求の生成タイミング

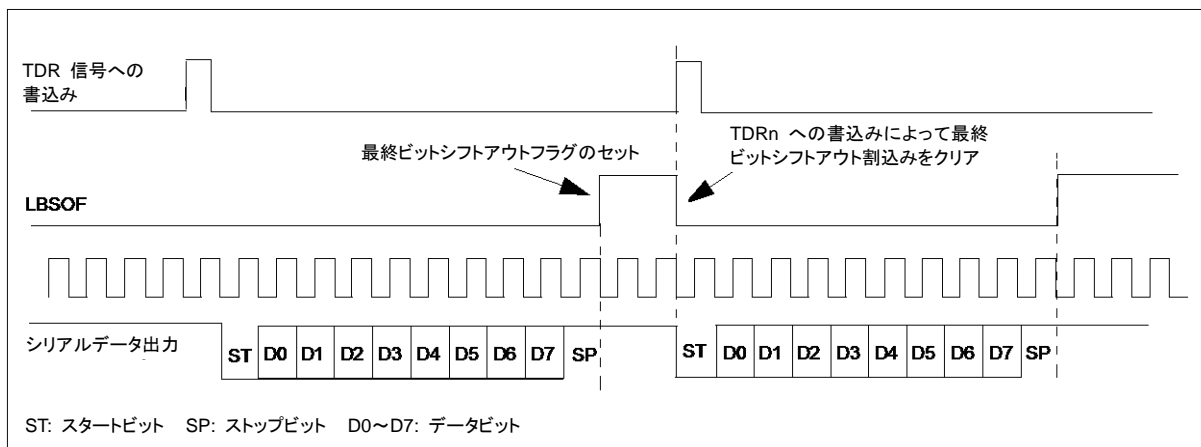
最終ビットシフトアウト割込みが許可されている場合 (EIERn:LBSOIE=1) に ESRn:LBSOF フラグが "1" にセットされると、送信割込み要求が生成されます。以下の図に 1 ストップビットによる非同期モードのタイミングを示します。ストップビットのビット時間の最後に ESRn:LBSOF がセットされます。

図 5-10 非同期モードでの LBSOF の送信動作とフラグのセットタイミング



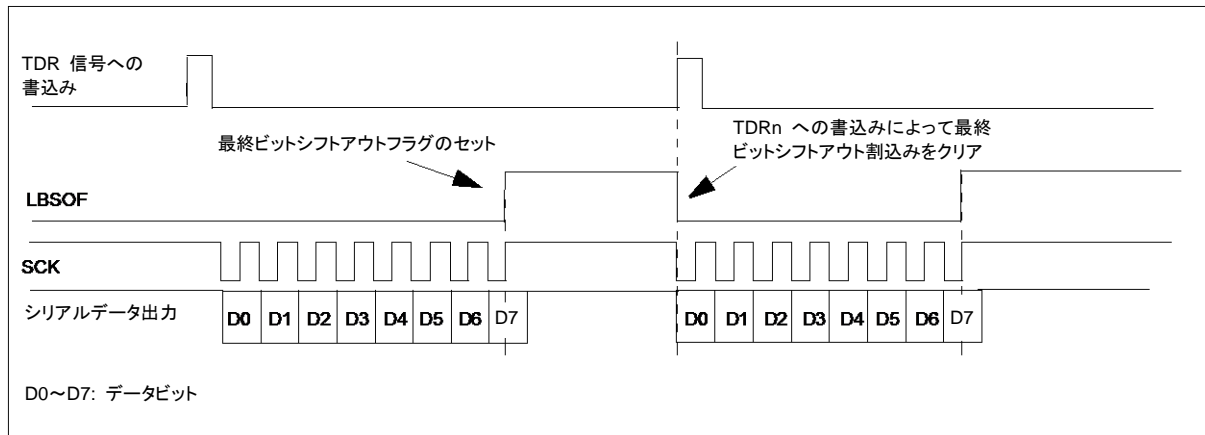
連続クロックが許可されている場合 (ESCRn:CCO="1") の同期マスターモードと同期スレーブモードでのフラグのセットタイミングを以下の図に示します。ストップビットのビット時間の最後に ESRn:LBSOF がセットされます。

図 5-11 連続クロックが許可されている場合の同期マスターモードと同期スレーブモードでの LBSOF のセットタイミング



連続クロックが禁止されている場合 (ESCRn:CCO="0") の同期スレーブモードでのフラグのセットタイミングを以下の図に示します。最終転送ビットのビット時間の半が経過後に ESRn:LBSOF がセットされます。

図 5-12 連続クロックが禁止されている場合の同期スレーブモードでの LBSOF のセットタイミング



## 6. ボーレート

USART のシリアルクロックソースとしては、以下のいずれかを選択できます。

- 専用ボーレートジェネレータ (リロードカウンタ)
- 外部クロック (SCKn 端子へのクロック入力)
- ボーレートジェネレータ (リロードカウンタ) に接続された外部クロック

### ■ USART のボーレート選択

ボーレート選択回路を図 6-1 に示します。以下の 3 つのタイプのボーレートの内の 1 つを選択できます。

#### ● 専用ボーレートジェネレータ (リロードカウンタ) によるボーレート

USART には送信と受信のシリアルクロック用に、2 つの独立した内部リロードカウンタがあります。ボーレートは、ボーレートジェネレータレジスタ (BGRn) に設定された 16 ビットのリロード値で指定されます。リロードカウンタは、ボーレートジェネレータレジスタに設定された値で周辺クロック (CLKP1) を分周します。

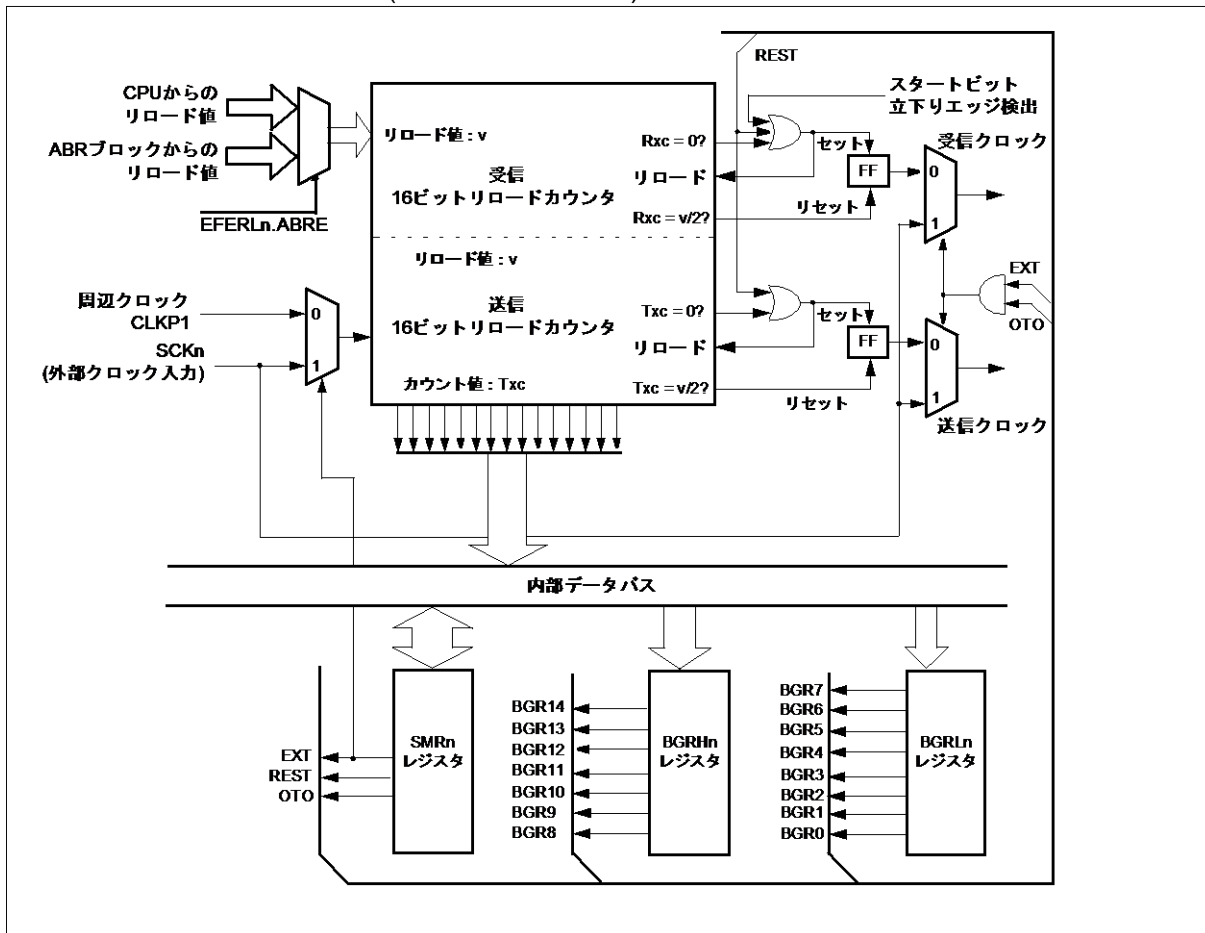
#### ● 外部クロック (1 対 1 モード) によるボーレート

USART クロックパルス入力端子 (SCK) から入力されたクロックが使用されます (同期モード)。CLKP1 を 4 分周したクロック未満の周波数で、分周可能な任意のボーレートのクロックを外部から入力できます。

#### ● 専用ボーレートジェネレータと外部クロックによるボーレート

外部クロックソースは内部でリロードカウンタに接続することもできます。このモードでは、外部クロックが内部周辺クロック (CLKP1) の代わりに使用されます。これは、分周することのできる特別な周波数の水晶発振器を使用するために設計されています。

図 6-1 ボーレート選択回路 (リロードカウンタ)



## 6.1. ボーレートの設定

---

ボーレートの設定方法とシリアルクロック周波数の計算結果を示します。

---

### ■ ボーレートの計算

2つの16ビットリロードカウンタは、ボーレートジェネレータレジスタ (BGRn) で設定します。目的のボーレートを設定するには、次の計算式を使用します。

リロード値:

$$v = [\phi / b] - 1,$$

ここで、 $\phi$  は周辺クロック (CLKP1),  $b$  はボーレート,  $[\ ]$  はガウス括弧 (数学的丸め関数)

### ● 計算例

周辺クロック (CLKP1) が 16 MHz で目的のボーレートが 19200 bps の場合は、リロード値  $v$  は次のように計算します。

$$v = [16 \times 10^6 / 19200] - 1 = 832$$

正確なボーレートは次のように再計算できます。 $b_{\text{exact}} = \phi / (v + 1)$  に数値を当てはめた結果は:  
 $16 \times 10^6 / 833 = 19207.6831$

---

### <注意事項>

リロード値を "0" に設定するとリロードカウンタは停止します。このため、最小分周比は "2" です。非同期通信では内部的に5回オーバーサンプリングが行われるため、リロード値は "4" 以上である必要があります。

---

## ■ 各種周辺クロック (CLKP1) 周波数に対する分周比とボーレート

各種周辺クロック (CLKP1) 周波数に対する分周比とボーレートに対する推奨設定を以下に示します。

表 6-1 各種周辺クロック (CLKP1) 周波数に対するボーレートとリロード値

ボー レート	16 MHz		24 MHz		32 MHz		48 MHz		56 MHz	
	値	偏差	値	偏差	値	偏差	値	偏差	値	偏差
4M	-	-	5	0	7	0	11	0	13	0
2M	7	0	11	0	15	0	23	0	27	0
1M	15	0	23	0	31	0	47	0	55	0
500000	31	0	47	0	63	0	95	0	111	0
460800	-	-	51	-0.16	68	-0.6	103	-0.16	120	-0.43
250000	63	0	95	0	127	0	191	0	223	0
230400	-	-	103	-0.16	137	-0.6	207	-0.16	242	-0.02
153600	103	-0.16	155	-0.16	207	-0.16	311	-0.16	363	-0.16
125000	127	0	191	0	255	0	383	0	447	0
115200	138	0.08	207	-0.16	276	-0.2	415	-0.16	485	-0.02
76800	207	-0.16	311	-0.16	-	-	624	0	728	-0.02
57600	277	0.08	416	0.08	554	-0.1	832	-0.04	971	-0.02
38400	416	0.08	624	0	832	-0.04	1249	0	1457	-0.02
28800	554	-0.01	832	-0.03	1110	-0.01	1665	-0.04	1943	-0.02
19200	832	-0.03	1249	0	1665	-0.04	2499	0	2915	-0.02
10417	1535	<0.01	2303	<0.01	3070	-0.02	4606	-0.01	5374	-0.015
9600	1666	0.02	2499	0	3332	-0.01	4999	0	5832	-0.005
7200	2221	<0.01	3332	<0.01	4443	-0.01	6665	-0.01	7776	-0.01
4800	3332	<0.01	4999	0	6665	-0.01	9999	0	11665	-0.005
2400	6666	<0.01	9999	0	13332	-0.002	19999	0	23332	-0.001
1200	13332	<0.01	19999	0	26665	-0.002	39999	0	46665	-0.001
600	26666	<0.01	-	-	53332	-0.0006	-	-	-	-
300	-	-	-	-	-	-	-	-	-	-

### <注意事項>

- 1) 偏差は % 単位です。
- 2) 最大同期ボーレート: 周辺クロック (CLKP1) 周波数 / 5
- 3) 内部周辺クロック周波数(CLKP1)の最大値は、各デバイスのデータシートを参考してください。



## ■ 外部クロックの使用

SMRn レジスタの EXT ビットをセットすると、SCKn 端子に接続された外部クロックが選択されます。外部クロックは、周辺クロック (CLKP1) と同様にボーレートリロードカウンタに入力されます。

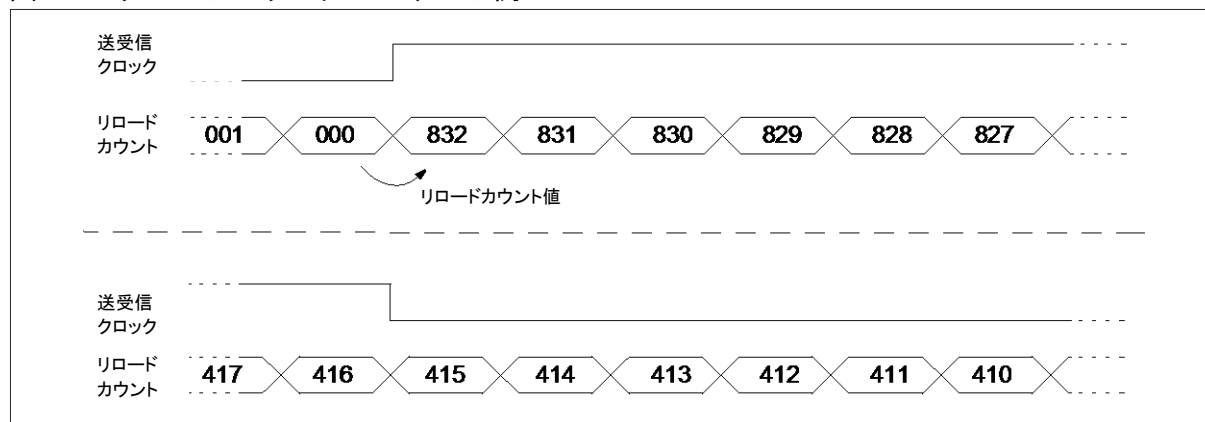
1 対 1 外部クロック入力モード (SMRn:OTO) を選択した場合には、SCKn 信号は USART のシリアルクロック入力に直接接続されます。これは USART が同期モード 2 でスレーブデバイスとして動作する場合に必要とされます。

なお、いずれのケースでも最終的に USART モジュール内で使用されるクロック信号は、周辺クロック (CLKP1) に同期されます。このため、分周不能なクロックレートを入力すると位相が不安定な信号を生じる結果となります。

## ■ カウント例

リロード値は 832 であるとしします。図 6-2 に、両リロードカウンタの動作を示します。

図 6-2 リロードカウンタのカウント例



### <注意事項>

シリアルクロック信号の立下りエッジは、常に  $\{(v + 1) / 2\}$  後に発生します。  
 ここで  $v$  はリロード値です。

## 6.2. リロードカウンタの再スタート

リロードカウンタは以下の場合に再スタートされます。

送信リロードカウンタおよび受信リロードカウンタ:

- MCU 全体のリセット
- USART のプログラマブルクリア (SMRn:UPCL ビット)
- ユーザプログラマブル再スタート (SMRn:REST ビット)

受信リロードカウンタ:

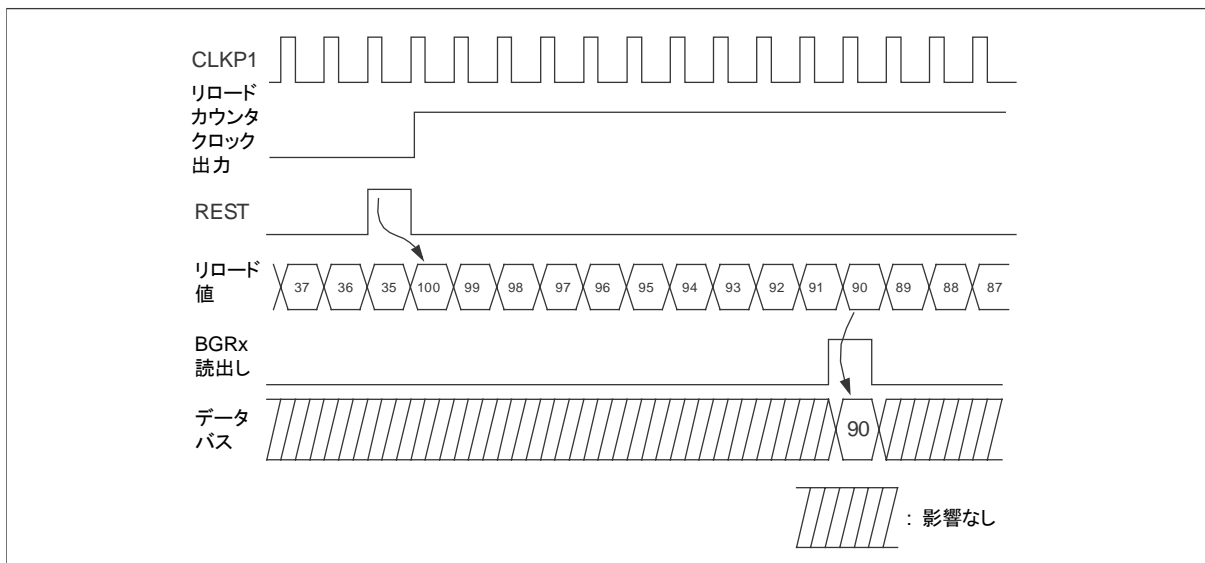
- 非同期モードでのスタートビットの立下リエッジの検出

### ■ プログラマブル再スタート

シリアルモードレジスタ (SMRn) の REST ビットをユーザがセットすると、両リロードカウンタは次のクロックサイクルで再スタートされます。この機能は、送信リロードカウンタを小さなタイマとして使用することを意図しています。

この機能の使用法を下图に示します (リロード値は 100 であると仮定)。

図 6-3 リロードカウンタの再スタート例



この例では、REST 後の周辺クロック (CLKP1) サイクル数 (cyc) は次の値になります。

$$\text{cyc} = v - c + 1 = 100 - 90 + 1 = 11,$$

ここで  $v$  はリロード値であり、 $c$  はリロードカウンタ値です。

### <注意事項>

SMRn:UPCL のセットによって USART をリセットした場合もリロードカウンタは再スタートされます。

- ・ 自動再スタート

非同期モードの USART では、スタートビットの立下りエッジが検出されると受信リロードカウンタが再スタートされます。これはシリアル入力シフトレジスタを受信シリアルデータストリームに同期することを意図しています。

### ● リロードカウンタのクリア

ボーレートリロードカウンタレジスタ (**BGR<sub>n</sub>**) とボーレートリロードカウンタは、MCU 全体のリセットで "0" にクリアされ、カウンタは停止します。リロードカウンタは、**SMR<sub>n</sub>** レジスタの **UPCL** ビットへの "1" の書込みで "0" にクリアされます。リロードレジスタに格納されている値は変わりませんが、カウンタは即座にリロード値からカウントを開始します。

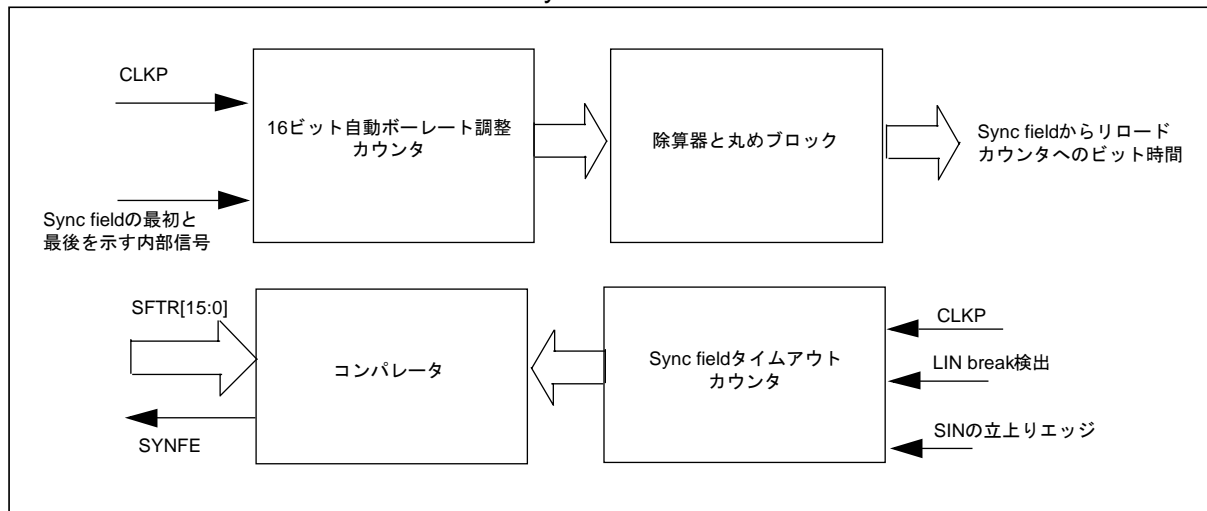
## 6.3. 自動ボーレート検出/ 調整

自動ボーレート検出/ 調整は、sync field を使用してビット時間を計算し、計算された値は送受信クロック生成のためにリロードカウンタにロードされます。

sync field タイムアウト値検出はシステムの設定値によりタイムアウトエラーフラグをセットさせることができます。

### ■ 自動ボーレート検出/ 調整

図 6-4 自動ボーレート検出/調整および sync field タイムアウト値検出



自動ボーレート検出/ 調整回路は、sync field の最初の立下りエッジから 5 番目の立下りエッジまでの経過時間を計算する 16 ビットカウンタで構成されます。計算された値は sync field のビット時間を得るために 8 で除算されます。剰余が除算値 8 の 0.5 倍以上である場合、sync field のビット時間はこの値をインクリメントすることによって丸められます。ボーレートカウンタの 16 ビットリロード値は受信クロックと送信クロックを生成するためにリロードカウンタにロードされます。

16 ビット自動ボーレート調整カウンタは sync field の間オーバーフローしないでください。したがって、リロード値が 8192 より小さい場合は自動ボーレート検出/調整は使用できます。

最小ボーレートの計算式は以下のようになります。

$$\text{ボーレート} = (8 \times f_{\text{CLKP}}) / (2^{16})$$

最小ボーレートより同じか大きい場合は自動ボーレート検出/調整は使用できます。

自動ボーレート検出/ 調整回路には 16 ビットの sync field タイムアウトカウンタで構成されることもあります。このカウンタは LIN break が検出された後、SIN の立上りエッジでカウントを開始します。EIERn:SYNFEIE が "1" に設定されている場合に、sync field タイムアウトカウンタの 16 ビット値が sync field の 5 番目の立下りエッジ以前に SFTRn (Sync field タイムアウトレジスタ) に書き込まれた値に達すると、ESRn:SYNFE がセットされ、受信割込みがアサートされます。

## 7. レジスタ

USART に使用されるレジスタの構成および機能について説明します。

### ■ USART のレジスタ一覧

レジスタ略称	レジスタ名	参照先
SCRn	シリアル制御レジスタ	7.1
SMRn	シリアルモードレジスタ	7.2
SSRn	シリアルステータスレジスタ	7.3
RDRn/TDRn	送受信データレジスタ	7.4
ESCRn	拡張ステータス制御レジスタ	7.5
ECCRn	拡張通信制御レジスタ	7.6
BGRn	ボーレート生成/リロードカウンタレジスタ	7.7
ESIRn	拡張シリアル割込みレジスタ	7.8
TFCRn	送信 FIFO 制御レジスタ	7.9
RFCRn	受信 FIFO 制御レジスタ	7.10
TFSRn	送信 FIFO ステータスレジスタ	7.11
RFSRn	受信 FIFO ステータスレジスタ	7.12
SFTRn	Sync Field タイムアウトレジスタ	7.13
CSCRn	チェックサムステータス制御レジスタ	7.14
FIDRn	フレーム ID データレジスタ	7.15
EFERLn	拡張機能許可レジスタ	7.16
EFERHn	拡張機能許可レジスタ	7.17
EIERn	拡張割込み許可レジスタ	7.18
ESRn	拡張ステータスレジスタ	7.19

## 7.1. シリアル制御レジスタ (SCRn)

シリアル制御レジスタ (SCRn) は、パリティビットの設定、ストップビット長やデータ長の選択、モード 1 でのフレームデータ形式の選択、受信エラーフラグのクリア、送受信動作の許可または禁止の設定を行います。

### ■ シリアル制御レジスタ (SCRn)

SCRn								
bit	15	14	13	12	11	10	9	8
	PEN	P	SBL	CL	AD	CRE	RXE	TXE
属性	R/W	R/W	R/W	R/W	R/W	W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

n = 0~9 デバイスによります。(対応するデバイスのデータシートの「品種構成」を参照してください)

[bit15] PEN: パリティ許可ビット

bit	説明
0	パリティなし
1	パリティあり

送信時のパリティビットの付加と受信時のパリティビットの検出を行うかどうかを設定します。パリティビットはモード 0, およびモード 2 で ECCRn の SSM をセットした場合にのみ付加されます。モード 1 (マルチプロセッサ) およびモード 3 (LIN モード) では、このビットは "0" (パリティなし) に固定されます。

[bit14] P: パリティ選択ビット

bit	説明
0	偶数パリティ
1	奇数パリティ

パリティが使用可能であり、パリティビットありに設定した場合に、奇数パリティ (1) か偶数パリティ (0) のいずれかに設定します。

[bit13] SBL: ストップビット長選択ビット

bit	説明
0	1 ストップビット
1	2 ストップビット

非同期データフレームまたは ECCRn の SSM がセットされている場合の同期フレームのストップビット長を選択します。本ビットは、モード 3 (LIN) では、"0" (1 ストップビット) に固定されます。

[bit12] CL: データ長選択ビット

bit	説明
0	7 ビット
1	8 ビット

送受信データの長さを設定します。本ビットは、モード 2 およびモード 3 では "1" (8 ビット) に固定されます。

[bit11] AD: アドレス/データ選択ビット

bit	説明
0	データフレーム
1	アドレスフレーム

マルチプロセッサモード (モード 1) でのデータ形式を指定します。送信側は本ビットに書き込み、受信側は本ビットを読み出します。"1" に設定した場合は、アドレスフレームに設定され、"0" に設定した場合は、データフレームに設定されます。

### <注意事項>

本ビットを使用するにあたっては、「8. 使用上の注意」を参照してください。

[bit10] CRE: 受信エラーフラグクリアビット

bit	説明	
	読出し時	書込み時
0	常に "0" を読出し	影響なし
1		全受信エラーフラグクリア (PE, FRE, ORE)

シリアルステータスレジスタ (SSRn) の FRE, ORE, PE フラグおよび(CSCRn)の CRCERR フラグをクリアします。また、EFER:RSTRFM に従って進行中の受信動作をリセットすることができます (デフォルトではリセットされます)。

### <注意事項>

SCRn:CRE=1 に書き込みアクセスした場合、エラーフラグ SSRn:PE, SSRn:ORE, SSRn:FRE は CPU が SCRn レジスタに書き込みアクセスした CLKP1 の 1 サイクル後に"0"にクリアされます。SCRn レジスタに書き込んだ直後に割込み処理ルーチンからメインルーチンに戻ろうとした場合、fCLKP1 が fCLKB/4 より遅いとメインルーチンに復帰した時点でエラーフラグ SSRn:PE, SSRn:ORE, SSRn:FRE がクリアされていないため再び割込み処理ルーチンに分岐してしまう恐れがあります。これを防ぐためには下記いずれかの方法を使用ください。

- ・ SCRn レジスタへ書き込んだ後、割込みルーチンから復帰する前に、周辺バス 1 に接続されている周辺機能のレジスタに読み出しアクセスを 1 回行う。
- ・ SCRn レジスタへ書き込んだ後、割込みルーチンから復帰する前に、fCLKB /fCLKP1 [CPU クロックサイクル] 以上の時間\*が経過していることが確実なプログラムとする。

\*: 例として fCLKB = 16MHz, fCLKP1 = 4MHz の場合は SCRn レジスタへ書き込んだ後、割込みルーチンから復帰する前に 16MHz/4MHz = 4 [CPU クロックサイクル(CLKB)] 以上が経過している必要があります。

#### [bit9] RXE: 受信許可ビット

bit	説明
0	受信禁止
1	受信許可

LIN-USART の受信動作を許可または禁止します。  
モード 3 での LIN sync break 検出は影響されません。

### <注意事項>

- ・ 受信中に受信動作を禁止 (RXE = 0) した場合には、直ちに受信動作が停止します。この場合、データは保証されません。
- ・ EFERHn.INTLBEN = 1 に設定されると、SCRn:RXE も自動的に 1 がセットされます。
- ・ EFERLn.ENRXHR(自動ヘッダ受信) = 1 に設定され、フレーム ID を受信すると(LIN-USART が LIN モードでフレーム ID を受信中の場合)、SCRn:RXE は 1 に設定されます(フレーム ID 受信期間中は RXE は 1 のままです。)
- ・ 動作モード 2 で ECCR:MS = 0 で、受信中に送信動作を禁止(TXE = 0)にする場合は、受信動作(RXE = 0)も禁止してください。

#### [bit8] TXE: 送信許可ビット

bit	説明
0	送信禁止
1	送信許可

LIN-USART の送信動作を許可または禁止します。



---

**<注意事項>**

送信中に送信動作を禁止 (TXE=0) した場合には、直ちに送信動作が停止します。この場合、データは保証されません。

---

## 7.2. シリアルモードレジスタ (SMRn)

シリアルモードレジスタ (SMRn) は、動作モードの選択、ボーレートクロックの選択、シリアルデータとクロックの端子への出力許可または禁止の設定を行います。

### ■ シリアルモードレジスタ (SMRn)

SMRn								
bit	7	6	5	4	3	2	1	0
	MD1	MD0	OTO	EXT	REST	UPCL	SCKE	SOE
属性	R/W	R/W	R/W	R/W	W	W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

n = 0~9 デバイスによります。(対応するデバイスのデータシートの「品種構成」を参照してください)

[bit7, bit6] MD1 および MD0:動作モード選択ビット

bit7	bit6	説明
0	0	モード 0: 非同期ノーマル
0	1	モード 1: 非同期マルチプロセッサ
1	0	モード 2: 同期
1	1	モード 3: 非同期 LIN

USART の動作モードを設定します。

#### <注意事項>

MD1, MD0 ビットを変更すると、進行中の送受信は中断されます。また SSRn:TDRE フラグ, SSRn:RDRF フラグ, ESIRn:TDRE フラグは初期化されます。MD1 および MD0 を変更した際には SMRn:UPCL によって USART をリセットしてください。

[bit5] OTO: 1 対 1 外部クロック選択ビット

bit	説明
0	外部クロック (SCK) とボーレートジェネレータ (リロードカウンタ) 使用
1	外部クロックを直接使用

外部クロックを LIN-USART のシリアルクロックとして直接使用します。本機能は動作モード 2 (同期) スレーブモード動作で使用します。

## [bit4] EXT: 外部クロック選択ビット

bit	説明
0	内部ボーレートジェネレータ (リロードカウンタ) を使用
1	外部シリアルクロックソースを使用

リロードカウンタの内部または外部クロックソースを選択します。

## [bit3] REST: 送信リロードカウンタ再スタートビット

bit	説明	
	読出し時	書込み時
0	常に "0" を読み出す	影響なし
1		リロードカウンタを再スタート

"1" を書き込んだ場合には、リロードカウンタを再スタートします。"0" を書き込んだ場合は、影響はありません。常に"0"が読み出されます。

## [bit2] UPCL: USART プログラムブルクリアビット (ソフトウェアリセット)

bit	説明	
	読出し時	書込み時
0	常に "0" を読み出す	影響なし
1		LIN-USART をリセット

"1" を書き込んだ場合には、LIN-USART を即時リセットします。ただし、レジスタの設定は維持されます。その際、送受信は中断されます。

また、送信/受信 FIFO ブロック、チェックサム生成/照合ロジック、ヘッダ検出ステートマシン、および sync field 検出タイムアウトカウンタもリセットします。

RBI, TBI を除くすべての送受信割込み要因 (表 5-1 を参照) は解除され、受信データレジスタ (RDRn) の内容は 00<sub>H</sub> になります。"0" を書き込んだ場合は、動作に影響はありません。

常に "0" が読み出されます。送受信とその割込み許可ビットを禁止に設定した後、LIN-USART のリセットを行ってください。

### <注意事項>

SMRn:UPCL=1に書き込みアクセスした場合、すべての送受信割込み要因(TDRE, RDRF, LBD, PE, ORE, FRE) フラグは CPU が SMRn レジスタに書き込みアクセスした CLKP1 の 1 サイクル後に解除されます。SMRn レジスタに書き込んだ直後に割込み処理ルーチンからメインルーチンに戻ろうとした場合、 $f_{CLKP1}$  が  $f_{CLKB}/4$  より遅いとメインルーチンに復帰した時点ですべての送受信割込み要因(TDRE, RDRF, LBD, PE, ORE, FRE) フラグが解除されていないため再び割込み処理ルーチンに分岐してしまう恐れがあります。これを防ぐためには下記いずれかの方法を使用してください。

- ・ SMRn レジスタへ書き込んだ後、割込みルーチンから復帰する前に、周辺バス 1 に接続されている周辺機能のレジスタに読み出しアクセスを 1 回行う。
- ・ SMRn レジスタへ書き込んだ後、割込みルーチンから復帰する前に、 $f_{CLKB} / f_{CLKP1}$  [CPU クロックサイクル] 以上の時間\*が経過していることが確実なプログラムとする。

\*: 例として  $f_{CLKB} = 16\text{MHz}$ ,  $f_{CLKP1} = 4\text{MHz}$  の場合は SMRn レジスタへ書き込んだ後、割込みルーチンから復帰する前に  $16\text{MHz}/4\text{MHz} = 4$  [CPU クロックサイクル(CLKB)] 以上が経過している必要があります。

### [bit1] SCKE: シリアルクロック出力許可ビット

bit	説明
0	LIN-USARTシリアルクロック出力端子禁止またはLIN-USARTクロック入力端子
1	LIN-USART シリアルクロック出力端子許可

シリアルクロックの入出力を制御するビットです。

"0" の場合は、SCKn 端子は汎用 I/O ポート、またはシリアルクロック入力端子として機能します。"1" に設定し、ほかの周辺機能がこの端子を出力として使用しない場合は、シリアルクロック出力端子として機能し、動作モード 2 (同期) の場合にクロックを出力します。

### <注意事項>

SCKn 端子をシリアルクロック入力 (SCKE=0) として使用する場合、汎用入出力ポートの対応する DDR ビットを入力ポートに、また PIER ビットを 1(ポート入力許可)に設定してください。さらに、外部クロック選択ビットを選択 (EXT=1) にしてください。

### <参考>

SCKn 端子がシリアルクロック出力 (SCKE=1) に設定され、ほかの周辺機能がこの端子を出力に使用しない場合は、汎用入出力ポートの状態にかかわらず、シリアルクロック出力端子として機能します。

[bit0] SOE: シリアルデータ出力許可ビット

bit	説明
0	LIN-USART シリアルデータ出力端子の禁止
1	LIN-USART シリアルデータ出力端子の許可

シリアルデータの出力を許可または禁止します。

"0" に設定すると、SOT<sub>n</sub> 端子は汎用 I/O 端子として機能します。"1" に設定し、ほかの周辺機能がこの端子を出力として使用しない場合は、SOT<sub>n</sub> 端子はシリアルデータ出力端子として機能します。

---

#### <参考>

シリアルデータ出力 (SOE=1) で、ほかの周辺機能がこの端子を出力として使用しない場合、汎用入出力ポートの状態にかかわらず、端子はシリアルデータ出力端子 (SOT<sub>n</sub>) として機能します。

---

## 7.3. シリアルステータスレジスタ (SSRn)

シリアルステータスレジスタ (SSRn) は、送受信の状態を示します。また、送受信割込みの許可または禁止の設定を行います。

### ■ シリアルステータスレジスタ (SSRn)

SSRn								
bit	15	14	13	12	11	10	9	8
	PE	ORE	FRE	RDRF	TDRE	BDS	RIE	TIE
属性	R	R	R	R	R	R/W	R/W	R/W
初期値	0	0	0	0	1	0	0	0

n = 0～9 デバイスによります。(対応するデバイスのデータシートの「品種構成」を参照してください)

#### [bit15] PE: パリティエラーフラグビット

bit	説明
0	パリティエラーなし
1	受信中にパリティエラー発生

- ・ PEN=1 で受信時にパリティエラーが発生すると "1" にセットされます。
- ・ シリアル制御レジスタ (SCRn) の CRE ビットに "1" を書き込むとクリアされます。
- ・ PE ビットと RIE ビットが "1" に設定された場合、受信割込み要求を出力します。
- ・ このフラグがセットされている場合は、受信データレジスタ (RDRn) 内のデータは無効です。
- ・ クリアするには CRE、もしくは UPCL ビットに 1 を書いてください。受信 FIFO が許可されている場合 (RFCRn:RXFE = 1)、FIFO に入ってくるデータによってエラーフラグがクリアされることはありません。

#### [bit14] ORE: オーバランエラーフラグビット

bit	説明
0	オーバランエラーなし
1	受信中にオーバランエラー発生

- ・ 受信中にオーバランエラーが発生すると "1" にセットされます。
- ・ シリアル制御レジスタ (SCRn) の CRE ビットに "1" を書き込むとクリアされます。
- ・ ORE ビットと RIE ビットが "1" に設定された場合、受信割込み要求を出力します。
- ・ このフラグがセットされている場合は、受信データレジスタ (RDRn) 内のデータは無効です。
- ・ 受信 FIFO が許可されている場合 (RFCRn:RXFE = 1)、受信 FIFO がフル(16 バイトすべてが埋まる)になり別のデータバイトが受信されると、ORE ビットがセットされます。

## [bit13] FRE: フレーミングエラーフラグビット

bit	説明
0	フレーミングエラーなし
1	受信中にフレーミングエラー発生

- ・ 受信中にフレーミングエラーが発生すると "1" にセットされます。
- ・ シリアル制御レジスタ (SCRn) の CRE ビットに "1" を書き込むとクリアされます。
- ・ FRE ビットと RIE ビットが "1" に設定された場合、受信割込み要求を出力します。
- ・ このフラグがセットされている場合は、受信データレジスタ (RDRn) 内のデータは無効です。
- ・ 受信 FIFO が許可されている場合 (RFCRn:RXFE = 1)、FRE ビットはソフトウェアによってクリアされるまで "1" のままです。

## [bit12] RDRF: 受信データフルフラグビット

bit	説明
0	受信データレジスタが空
1	受信データレジスタ (RDR) にデータが存在する。

- ・ 受信データレジスタ (RDRn) の状態を示します。
- ・ 受信データが RDRn にロードされた CLKP1 の 1 サイクル後に "1" にセットされます。
- ・ 下記の条件でクリアされます。
  - ・ 受信データレジスタ (RDRn) を読み出した CLKP1 の 2 サイクル後
  - ・ SMRn:UPCL ビットに "1" を書き込んだ場合
  - ・ USART の動作モードが SMRn:MD[1:0] ビットによって変更された場合
- ・ RDRF ビットと RIE ビットが "1" に設定された場合、受信割込み要求を出力します。
- ・ 受信 FIFO が許可されている場合 (RFCRn:RXFE = 1)、受信 FIFO 内のデータ数が受信 FIFO 制御レジスタ (RFCRn:RXFLC[4:0]) に書き込まれたトリガレベルに達すると、RDRF ビットが "1" に設定されます。

## ＜注意事項＞

ESIRn:RDRF は本ビットと同様の動作をしますが、受信データレジスタ (RDRn) の読出しではクリアされません。

## [bit11] TDRE: 送信データエンプティフラグビット

bit	説明
0	送信データレジスタ (TDR) にデータが存在する。
1	送信データレジスタが空

- ・ 送信データレジスタ (TDRn) の状態を示します。
- ・ TDRn に送信データを書き込むと CLKP1 の 1 サイクル後に "0" になります。
- ・ また下記いずれかの条件で "1" になります。
  - ・ データシフトレジスタにロードされて送信が開始された CLKP1 の 1 サイクル後。

- ・ SMRn:UPCL ビットに"1"を書き込んだ場合
- ・ USART の動作モードが SMRn:MD[1:0] ビットによって変更された場合
- ・ TDRE ビットと、TIE ビットが "1" の場合に送信割込み要求を出力します。
- ・ TDRE ビットが "1" の場合にECCRnレジスタのLBR ビットが "1" に設定されると、本ビットは一度 "0" に変わります。LIN sync break 生成終了後に、TDRE ビットは "1" に戻ります。
- ・ 送信 FIFO が許可されている場合 (TFCRn:TXFE = 1)、送信 FIFO 内のデータ数が送信 FIFO 制御レジスタ (TFCRn:TXFLC[4:0]) に書き込まれたトリガレベルに達すると、TDRE フラグがアサートされます。

### <注意事項>

- ・ 本ビットの初期値は "1" (TDRn 空) です。
- ・ ESIRn:TDREは本ビットと同様の動作をしますが、TDRn への送信データの書き込みではクリアされません。

#### [bit10] BDS: 転送方向選択ビット

bit	説明
0	LSB ファースト送受信
1	MSB ファースト送受信

転送シリアルデータを最下位ビットから転送するか (LSB ファースト, BDS=0) または最上位ビットから転送するか (MSB ファースト, BDS=1) を選択します。

### <注意事項>

- ・ シリアルデータレジスタの読出しまたは書き込みの際にシリアルデータの上位側と下位側が入れ換えられます。そのため、データが受信データレジスタ (RDRn) に書き込まれた後に本ビットを書き換えるとデータは無効になります。
- ・ 本ビットはモード 3 (LIN) では "0" に固定されます。

#### [bit9] RIE: 受信割込み要求許可ビット

bit	説明
0	受信割込み禁止
1	受信割込み許可

受信割込みを許可または禁止します。RDRF, PE, ORE, FRE ビットのいずれかがセットされたときに本ビットが "1" であると、受信割込みが割込みコントローラに通知されます。

受信 FIFO が許可 (EFERn:RXFE = 1)されている場合、受信 FIFO トリガレベルでの割込みを許可するには EIERn:RXFIE を"1"にセットしなければなりません。この場合でも受信エラー時に受信割込みを許可するために RIE をセットしてください。



## [bit8] TIE: 送信割込み要求許可ビット

bit	説明
0	送信割込み禁止
1	送信割込み許可

- ・ 送信割込みを許可または禁止します。
- ・ 送信 FIFO が禁止されている場合、このビットと TDRE ビットが "1" にセットされると、送信割込み要求が発生します。
- ・ 送信 FIFO が許可されている場合 (EFERn:TXFE = 1)、送信 FIFO トリガレベルでの割込みを許可するには EIERn:TXFIE を "1" にセットしなければなりません。
- ・ この割込みは、最終ビットシフトアウト割込み (EIERn:LBSOIE) の代わりとして使用することができます。これらの割込みを同時に許可する場合、1 つだけを許可してください。

## 7.4. 受信データレジスタ/送信データレジスタ (RDRn/TDRn)

受信データレジスタ (RDRn) は受信データを保持します。送信データレジスタ (TDRn) は送信データを保持します。RDRn レジスタと TDRn レジスタは同一アドレスに配置されています。

### ■ 受信データレジスタ/送信データレジスタ (RDRn/TDRn)

RDRn								
bit	7	6	5	4	3	2	1	0
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

TDRn								
bit	7	6	5	4	3	2	1	0
属性	W	W	W	W	W	W	W	W
初期値	1	1	1	1	1	1	1	1

n = 0~9 デバイスによります。(対応するデバイスのデータシートの「品種構成」を参照してください)

[bit7~bit0]

bit	説明
読出し時	受信データレジスタから読み出す
書込み時	送信データレジスタに書き込む

### ● 受信:

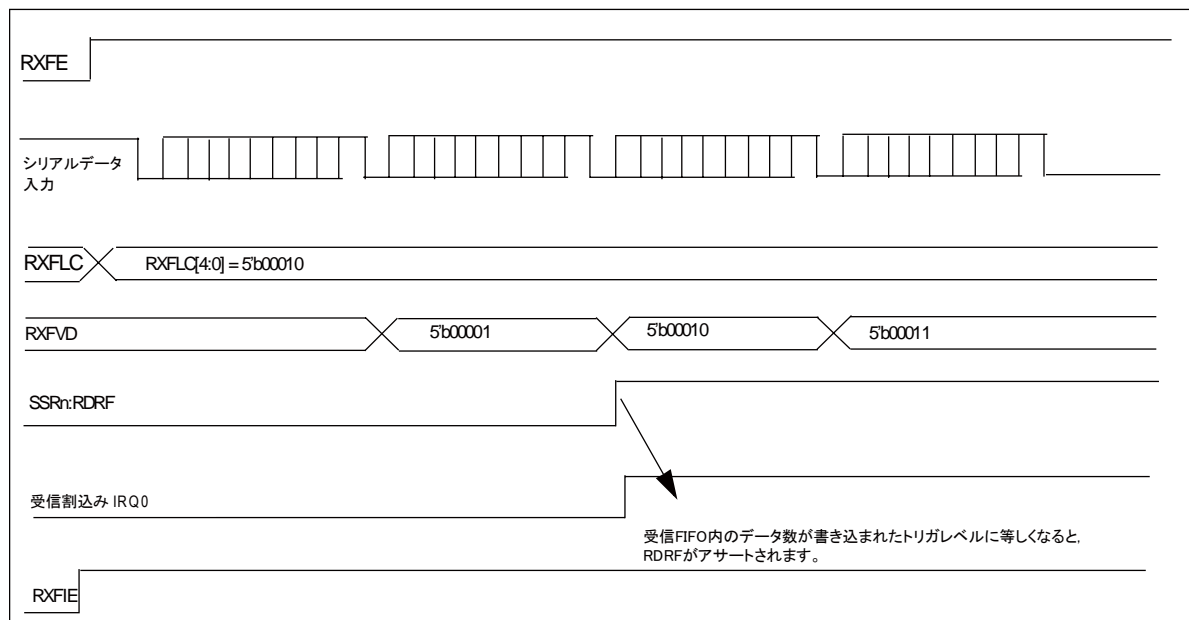
RDRn は受信データを保持するレジスタです。SINn 端子に送られてきたシリアルデータ信号は、シフトレジスタで変換されて受信データレジスタに格納されます。データ長が7ビットの場合には、最上位ビット (D7) は、"0" になります。受信が完了するとデータは本レジスタに格納され、受信データフルフラグビット (SSRn:RDRF) が "1" にセットされます。この時点で受信割込み要求が許可されていると、受信割込みが発生します。

RDRn はステータスレジスタ (SSRn) の RDRF ビットが "1" のときに読み出してください。RDRn を読み出すと、RDRF ビットは自動的に "0" にクリアされます。また、受信割込みが許可されており、エラーが発生していない場合にも受信割込みはクリアされます。受信エラーが発生した場合 (SSRn の PE, ORE, FRE のいずれかが "1") には、RDRn 内のデータは無効になります。

受信 FIFO が許可されている場合 (RFCRn:RXFE = 1)、RDRn は次回読み出される受信 FIFO の値を含みます。FIFO 内のデータ数が RFCRn:RXFLC[4:0] に書き込まれたトリガレベル以上になると、SSRn:RDRF がセットされます。

RDRn と受信 FIFO の内容はリセット時および SMRn:UPCL=1 のときに 00000000<sub>B</sub> にリセットされます。

図 7-1 FIFO による USART の受信



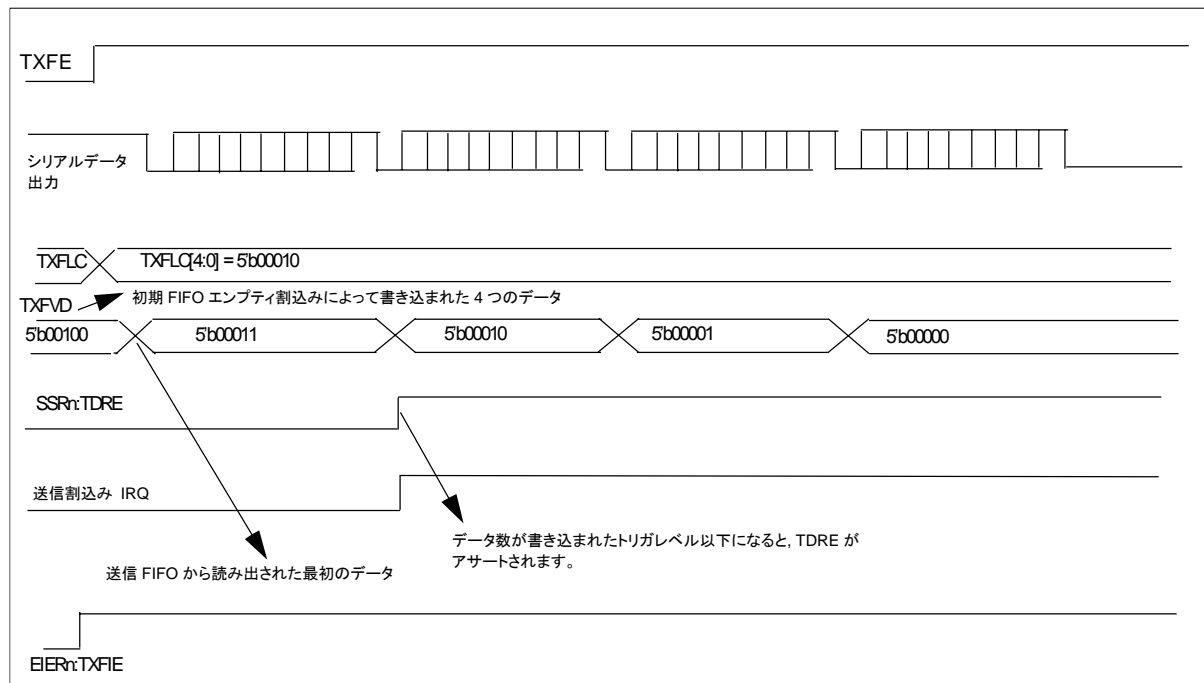
### ● 送信:

送信データを本レジスタに書き込むと、送信データエンプティフラグビット (**SSRn:TDRE**) は "0" にクリアされます。送信シフトレジスタへの転送が完了すると、**SSRn:TDRE** ビットは "1" にセットされます。**TDRE** ビットが "1" の場合には、次の送信データを書き込むことができます。送信割込み要求が許可されている場合には、送信割込みが生成されます。次の送信データは送信割込みが発生したときまたは **TDRE** ビットが "1" のときに書き込んでください。

送信 FIFO が許可されている場合 (**TFCRn:TXFE** = 1)、送信 FIFO 内のデータ数が **TFCRn:TXFLC[4:0]** に書き込まれたトリガレベル以下になると、**SSRn:TDRE** がセットされます。送信 FIFO 使用時に送信割込みを許可するには **EIERn:TXFIE** をセットしてください。

**TDRn** と送信 FIFO の内容はリセット時および **SMRn:UPCL**=1 のときに  $11111111_B$  にリセットされます。

図 7-2 FIFO による USART の送信



### <注意事項>

- 送信データレジスタ (TDRn) は書き込み専用のレジスタで、受信データレジスタ (RDRn) は読み込み専用のレジスタです。これら 2 つのレジスタは同一アドレスに配置されているため、書き込み値と読み出し値が異なります。したがって、INC/DEC 命令などのリードモディファイライト(RMW) 系の動作をする命令は使用禁止です。
- 送信 FIFO 禁止時:  
USART が LIN break 送信時に TDRn にデータを書き込む場合、既に存在しているデータに上書きされます。
- 送信 FIFO 許可時:  
USART が LIN break 送信時にフル(16 バイトすべてが埋まる)になった送信 FIFO にデータを書き込む場合、送信 FIFO の最後のデータが上書きされます。

## 7.5. 拡張ステータス制御レジスタ (ESCRn)

拡張ステータス制御レジスタ (ESCRn) は、LIN sync break 割込み許可/禁止, LINsync break 長選択, LIN sync break 検出, SINn, SOTn 端子への直接アクセス, LIN-USART 同期クロックモードでの連続クロック出力, サンプリングクロックエッジの設定を行います。

### ■ 拡張ステータス制御レジスタ (ESCRn)

ESCRn								
bit	15	14	13	12	11	10	9	8
	LBIE	LBD	LBL1	LBL0	SOPE	SIOP	CCO	SCES
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	1	0	0

n = 0～9 デバイスによります。(対応するデバイスのデータシートの「品種構成」を参照してください)

[bit15] LBIE: LIN sync break 検出割込み許可ビット

bit	説明
0	LIN sync break 検出割込み禁止
1	LIN sync break 検出割込み許可

- ・ LIN sync break 割込みを許可/禁止します。
- ・ LIN sync break 割込みは受信割込みに接続されています。モード3でLBDビットがセットされたときにこのビットが "1" であると、受信割込みが割込みコントローラに通知されます。動作モード1,2では、本ビットは "0" に固定されます。このビットはモード0では無視されます。

[bit14] LBD: LIN sync break 検出フラグ

bit	説明	
	読出し時	書込み時
0	LIN sync break 検出なし	LIN sync break 検出フラグをクリア
1	LIN sync break 検出あり	影響なし

- ・ 動作モード3でLIN sync break が検出されると "1" になります。"0" を書き込むと、本ビットおよび対応する割込みがクリアされます。
- ・ 本ビットを使用する前に、フレーミングエラーの発生を防ぐためSCRnのRXEビットに "0" を書き込むことを推奨します。
- ・ リードモディファイライト(RMW) 系命令を実行すると、常に "1" が読み出されますが、LIN sync break の検出によるものではありませんので注意してください。

#### [bit13, bit12] LBL1/0: LIN sync break 長選択ビット

- これらのビットは、LIN sync break の生成時間を何ビット分にするかを設定します。受信 LIN sync break 長は、常に 10.5 ビットです。
- 送信中、LIN break 長はこれら 2 つのビットと EFER:LBL2 ビットを使用して 13～20 ビット分に変更することができます。LIN break 長の各種構成を以下の表に示します。

LBL2	LBL1	LBL0	説明
0	0	0	13 ビット分
0	0	1	14 ビット分
0	1	0	15 ビット分
0	1	1	16 ビット分
1	0	0	17 ビット分
1	0	1	18 ビット分
1	1	0	19 ビット分
1	1	1	20 ビット分

#### [bit11] SOPE: シリアル出力端子直接アクセス許可\*

bit	説明
0	シリアル出力端子の直接アクセスを禁止
1	シリアル出力端子の直接アクセスを許可

SMRn:SOE = 1 の場合に本ビットを"1"に設定すると SOTn 端子に直接書き込むことができます。\*

#### [bit10] SIOP: シリアル入出力端子直接アクセス\*

bit	説明	
	読出し時	書込み時 (SOPE = 1 の場合)
0	SIN 端子の状態を読出し	SOT 端子を "0" に固定
1		SOT 端子を "1" に固定

- 通常の読出し命令では SINn 端子の実際の値を返します。  
SOPE = 1 の場合に書き込むと、設定したビット値が SOTn 端子に出力されます。  
リードモディファイライト(RMW) 命令では、リードサイクルには SOTn 値が返されます。\*

\*: 表 7-1 を参照してください。

表 7-1 SOPE と SIOP の相互作用説明

SOPE	SIOP	SIOP への書込み	SIOP からの読出し
0	R/W	SOTn への影響なし (ただし、書込み値は保持)	SINn の現在の値を返す
1	R/W	SOTn に "0" または "1" を書込み	SINn の現在の値を返す
1	RMW	SOTn の現在の値を読み出して、それを書き戻す	

## [bit9] CCO: 連続クロック出力許可ビット

bit	説明
0	連続クロック出力禁止
1	連続クロック出力許可

USART がマスタモード2 (同期) で動作しており、SCKn 端子がクロック出力として構成されている場合に、SCKn 端子への連続シリアルクロック出力を許可します。

マスタモード2 受信の際、このビットを"1"にしないと受信をイネーブル("SCR[RXE]"=1)してもシリアルクロックが出力されません。

このビットを"1"にすると、受信がイネーブル("SCR[RXE]")されているかどうかにかかわらずシリアルクロックが出力されます。

マスタモード2 送信の際、このビットが"0"のときでも、送信可能であれば送信データとともにシリアルクロックが必要な数だけ出力されます。

## &lt;注意事項&gt;

CCO ビットが "1" の場合には、ECCRn:SSM ビットを "1" に設定してください。

## [bit8] SCES: シリアルクロックエッジ選択ビット

bit	説明
0	クロックの立上りエッジでサンプリング (ノーマル)
1	クロックの立下りエッジでサンプリング (反転クロック) ECCRn:SCDE が "0" に設定されている場合

- 動作モード2 (同期通信) でのシリアルクロック信号を反転します。
- 受信データはECCRn:SCDE=0 の場合、内部クロックの立下りエッジでサンプリングされます。ECCRn:MS ビットが "0" (マスタモード) であり、SMRn:SCKE ビットが "1" (クロック出力許可) の場合には、出力クロック信号も反転されます。
- SCES ビットはモード2 でのみ使用できます。ほかのモードで値は無視され、ほかのモードでの読出し値は常に"0"です。

## &lt;注意事項&gt;

本ビットに"1"を設定している場合、ソフトウェアリセットを禁止します。

また、送受信が禁止設定になっているときのみ本ビットを変更してください。

---



## 7.6. 拡張通信制御レジスタ (ECCRn)

拡張通信制御レジスタでは、バスアイドル割込みの設定、同期クロックの設定、および LIN break の生成を行います。

### ■ 拡張通信制御レジスタ (ECCRn)

ECCRn								
bit	7	6	5	4	3	2	1	0
	INV	LBR	MS	SCDE	SSM	BIE	RBI	TBI
属性	R/W	W	R/W	R/W	R/W	R/W	R	R
初期値	0	0	0	0	0	0	X	X

n = 0～9 デバイスによります。(対応するデバイスのデータシートの「品種構成」を参照してください)

[bit7] INV: シリアルデータ反転

bit	説明
0	シリアルデータ反転なし
1	シリアルデータ反転

- ・ SINn 端子と SOTn 端子でシリアルデータを反転します。SCKn は影響されません (ESCRn: SCES 参照)。
- ・ リードモディファイライト(RMW) 系命令は本ビットに影響しません。

[bit6] LBR: LIN sync break 生成ビット

bit	説明	
	読出し時	書込み時
0	常に "0" を読み出す	影響なし
1		LIN sync break 生成

本ビットに 1 を書き込む、モード 3 とモード 0 の ESCRn:LBL[1:0]と EFERn:LBL2 で選択された長さの LIN sync break を生成します。読出し値は常に"0"です。

[bit5] MS: マスタ/スレーブモード選択ビット

bit	説明
0	マスタモード (シリアルクロックを生成)
1	スレーブモード (外部シリアルクロックを受信)

- ・ 同期モード 2 でのマスタ/スレーブモードを選択します。
- ・ マスタモードを選択した場合には、USART は同期クロックを自身で生成します。
- ・ スレーブモードを選択した場合には、USART は外部シリアルクロックを受信します。
- ・ 動作モード 0, 1, 3 では、本ビットは "0" に固定されます。

### <注意事項>

スレーブモードを選択した場合には、クロックソースを外部に設定し、「1 対 1」(SMRn:SCKE = 0, EXT = 1, OTO = 1) に設定する必要があります。

#### [bit4] SCDE: シリアルクロック遅延許可ビット

bit	説明
0	クロック遅延禁止
1	クロック遅延許可

このビットをセットすると、USART がマスタモード 2 で動作する場合に、図 4-4 に示すように遅延したクロックが出力されます。値はほかのモードでは無視されます。読出し値は、ほかのモードでは常に"0"です。

#### [bit3] SSM: スタート/ストップビットモード許可

bit	説明
0	スタート/ストップビットなし (同期モード 2)
1	スタート/ストップビットあり (同期モード 2)

動作モード 2 の同期データフォーマットにスタートビットとストップビットを付加します。値はほかのモードでは無視されます。読出し値は、ほかのモードでは常に"0"です。

#### [bit2] BIE: バスアイドル割込み許可

bit	説明
0	バスアイドル割込み禁止
1	バスアイドル割込み許可

- ・ バスアイドル検出による割込みを許可します。
- ・ バスアイドルを通知するために、送受信が進行中でない場合 (RBI = 1, TBI = 1) には、受信割込みが許可されます。
- ・ モード 2 で MS = 1 の場合には本ビットを使用しないでください。

### <注意事項>

バスアイドル割込み機能を使用する場合は、バスがアイドル状態でなくなったときに割込みが自動的にクリアされるのを抑止するために、ESIR:AICD = 1 に設定してください。

**[bit1] RBI: 受信バスアイドルフラグビット\***

bit	説明
0	受信中
1	受信動作なし

\*: モード 2 で MS = 1 の場合は未使用

- ・ SIN<sub>n</sub> 端子が受信動作をしていないときに "1" になります。
- ・ SIN<sub>n</sub> 端子で受信動作が進行中には "0" になります。
- ・ モード 2 で ECCR<sub>n</sub>:MS = 1 の場合には本ビットを使用しないでください。

**[bit0] TBI: 送信バスアイドルフラグビット\***

bit	説明
0	送信中
1	送信動作なし

\*: モード 2 で MS = 1 の場合は未使用

- ・ SOT<sub>n</sub> 端子が送信動作をしていないときに "1" になります。
- ・ モード 2 で ECCR<sub>n</sub>:MS = 1 の場合には本ビットを使用しないでください。

## 7.7. ボーレート/リロードカウンタレジスタ (BGRn)

ボーレート/リロードカウンタレジスタにはシリアルクロックの分周比を設定します。送信リロードカウンタの現在のカウンタ値またはリロード値を読み出すことができます。

### ■ ボーレート/リロードカウンタレジスタ (BGRn)

BGRn								
bit	15	14	13	12	11	10	9	8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

n = 0～9 デバイスによります。(対応するデバイスのデータシートの「品種構成」を参照してください)

[bit15～bit8]

bit	説明
読み出し時	送信リロードカウンタの bit15～bit8 を読み出す
書き込み時	リロードカウンタの bit15～bit8 に書き込む

[bit7～bit0]

bit	説明
読み出し時	送信リロードカウンタの bit7～bit0 を読み出す
書き込み時	bit7～bit0 のリロードカウンタに書き込む

### ■ ボーレート/リロードカウンタレジスタ

ボーレート/リロードカウンタレジスタはシリアルクロックの分周比を決定します。  
 自動ボーレート検出が許可されている場合、BGR に書き込まれた値はボーレートがモジュールに検出されると上書きされます。  
 両レジスタはバイトアクセスまたはワードアクセスで読み書きできます。  
 読み出し動作は EFERHn:BRGR によって異なります。

## 7.8. 拡張シリアル割込みレジスタ (ESIRn)

拡張シリアル割込みレジスタは USART の割込み処理を変更し、割込み処理の改善および DMA による USART のデータ転送を可能にする制御ビットを含みます。

### ■ 拡張シリアル割込みレジスタ (ESIRn)

ESIRn								
bit	7	6	5	4	3	2	1	0
	-	-	-	-	TDRE	RDRF	RBI	AICD
属性	-	-	-	-	R/W	R/W	R/W	R/W
初期値	X	X	X	X	1	0	X	0

n = 0～9 デバイスによります。(対応するデバイスのデータシートの「品種構成」を参照してください)

#### [bit7～bit4] -: 未定義

読出し値は不定です。

常に "0" を書き込んでください。

このビットへのリードモディファイライト(RMW) 動作は無効です。

#### [bit3] TDRE: 送信データレジスタエンプティ (スティッキイ動作)

bit	説明
0	送信データレジスタにデータが存在します。
1	送信データレジスタがにデータが存在しません。

- ・ SSRn:TDRE と同一の機能ですが、データが送信データレジスタ (TDRn) に書き込まれてもクリアされません。
- ・ 送信データレジスタ (TDRn) の状態を示します。
- ・ データが送信シフトレジスタにロードされ、送信が開始されると CLKPI の 1 サイクル後に "1" にセットされます。
- ・ 本ビットを"0"にクリアするには、データを送信データレジスタ (TDRn)に書き込んでから本ビットに"0"を書き込む必要があります。
- ・ AICD =0 で SSRn:TIE =1 の場合には、送信割込みを発生するために SSRn:TDRE が使用されます。
- ・ AICD =1 で SSRn:TIE =1 の場合には、送信割込みを発生するために ESIRn:TDRE が使用されます。
- ・ リードモディファイライト(RMW) 命令では常に"1"が読み出されます。

### <注意事項>

本ビットの初期値は "1" (TDRn は空) です。

**[bit2] RDRF: 受信データレジスタフル (スティッキイ動作)**

bit	説明
0	受信データレジスタが空
1	受信データレジスタがフル

- ・ SSRn:RDRF と同一の機能ですが、データを受信データレジスタ (RDRn) から読み出してもクリアされません。
- ・ 受信データレジスタ (RDRn) の状態を示します。
- ・ 受信データが RDRn にロードされると CLKPI の 1 サイクル後に "1" にセットされます。
- ・ 本ビットを "0" にクリアするには、データを受信データレジスタ (RDRn) から読み出してから本ビットに "0" を書き込む必要があります。
- ・ AICD = 0 で SSRn:RIE = 1 の場合には、受信割込みを発生するために SSRn:RDRF が使用されます。
- ・ AICD = 1 で SSRn:RIE = 1 の場合には、受信割込みを発生するために ESIRn:RDRF が使用されます。
- ・ リードモディファイライト(RMW) 命令では常に "1" が読み出されます。

**[bit1] RBI: 受信バスアイドル (スティッキイ動作)**

bit	説明
0	受信中または受信終了
1	前回のクリア以降受信動作なし

- ・ ECCRn:RBI と同一機能ですが、受信バスがアイドル状態でなくなってもクリアされません。
- ・ 受信動作が進行中でない場合に "1" にセットされます。
- ・ 本ビットは "0" の書込みでクリアする必要があります。
- ・ AICD = 0 で ECCRn:BIE = 1 の場合には、受信割込みを発生するために ECCRn:RBI が使用されます。
- ・ AICD = 1 で ECCRn:BIE = 1 の場合には、受信割込みを発生するために ESIRn:RBI が使用されます。
- ・ リードモディファイライト(RMW) 命令では常に "1" が読み出されます。

---

**<注意事項>**

バスアイドル状態で割込みを発生させるには、AICD = 1 に設定してください。AICD = 0 の場合には、ECCRn:RBI が割込みの発生に使用されます。バスがアイドル状態でなくなるとすぐに ECCRn:RBI は "0" になり、割込み処理ルーチンが応答する前であっても、割込みが取り除かれる場合があります。

---

**[bit0] AICD: 自動割込みクリア禁止**

bit	説明
0	自動割込みクリア許可 (DMA 使用不可)
1	自動割込みクリア禁止 (DMA 使用可能)

- ・ "0" に設定すると、SSRn:TDRE, SSRn:RDRF, ESRn:PEFRD, CSCRn:CRCERR, ESRn:BUSERR, ESRn:SYNFE, ESRn:RXHRI, ECCRn:RBI が割込みの発生に使用されます。このモードでは、USART は DMA と併用できません。
- ・ "1" に設定すると、ESIRn:TDRE, ESIRn:RDRF, ESRn:PEFRD CSCRn:CRCERR, ESRn:BUSERR, ESRn:SYNFE, ESRn:RXHRI, ESIRn:RBI が割込みの発生に使用されます。このモードでは、USART は DMA と併用できます。

---

**<注意事項>**

AICD =0 の場合には、USART は DMA と併用できません。USART のデータ転送に DMA を使用する場合は、AICD =1 に設定してください。

---

## 7.9. 送信 FIFO 制御レジスタ (TFCRn)

送信 FIFO 制御レジスタは送信 FIFO の割込みレベル設定, 送信 FIFO の許可, FIFO ポインタのリセットを行います。

### ■ 送信 FIFO 制御レジスタ (TFCRn)

TFCRn								
bit	15	14	13	12	11	10	9	8
	TXFE	TXFCL	-	TXFLC4	TXFLC3	TXFLC2	TXFLC1	TXFLC0
属性	R/W	W	-	R/W	R/W	R/W	R/W	R/W
初期値	0	0	X	0	0	0	0	0

n = 0~9 デバイスによります。(対応するデバイスのデータシートの「品種構成」を参照してください)

[bit15] TXFE: 送信 FIFO 許可ビット

bit	説明
0	送信 FIFO 禁止
1	送信 FIFO 許可

[bit14] TXFCL: 送信 FIFO クリアビット

bit	説明	
	読出し時	書込み時
0	常に "0" を読み出す	影響なし
1		FIFO ポインタを 5'b00000 にリセット

### <注意事項>

- 送信 FIFO ポインタはモードが変更された場合にもクリアされます。
- 送信 FIFO ポインタは SMRn:UPCL レジスタビットが "1" に設定された場合にもクリアされます。

[bit13] -: 未定義

読出し値は不定。常に "0" を書き込んでください。  
このビットへのリードモディファイライト(RMW) 動作は無効です。



**[bit12~bit8] TXFLC[4:0]: 送信 FIFO 割込みレベル設定**

- ・ 送信 FIFO 割込みレベルを設定します。
- ・ 送信 FIFO 内のデータ数がこれらのビットによって書き込まれたトリガレベル以下になると、送信割込みがアサートされます。
- ・ これらのビットを読み出すと、書込み値が返されます。

bit12	bit11	bit10	bit9	bit8	説明
0	0	0	0	0	送信 FIFO が空の場合、送信割込み発生
0	0	0	0	1	データ数 ≤ 1 データバイトの場合、送信割込み発生
0	0	0	1	0	データ数 ≤ 2 データバイトの場合、送信割込み発生
0	0	0	1	1	データ数 ≤ 3 データバイトの場合、送信割込み発生
0	0	1	0	0	データ数 ≤ 4 データバイトの場合、送信割込み発生
0	0	1	0	1	データ数 ≤ 5 データバイトの場合、送信割込み発生
0	0	1	1	0	データ数 ≤ 6 データバイトの場合、送信割込み発生
0	0	1	1	1	データ数 ≤ 7 データバイトの場合、送信割込み発生
0	1	0	0	0	データ数 ≤ 8 データバイトの場合、送信割込み発生
0	1	0	0	1	データ数 ≤ 9 データバイトの場合、送信割込み発生
0	1	0	1	0	データ数 ≤ 10 データバイトの場合、送信割込み発生
0	1	0	1	1	データ数 ≤ 11 データバイトの場合、送信割込み発生
0	1	1	0	0	データ数 ≤ 12 データバイトの場合、送信割込み発生
0	1	1	0	1	データ数 ≤ 13 データバイトの場合、送信割込み発生
0	1	1	1	0	データ数 ≤ 14 データバイトの場合、送信割込み発生
0	1	1	1	1	データ数 ≤ 15 データバイトの場合、送信割込み発生
1	0	0	0	0	データ数 ≤ 16 データバイトの場合、送信割込み発生

---

**<注意事項>**

FIFO サイズが 16 バイトであるため、TXFLC[4:0]は、10001B～11111B のビット設定は禁止です。

---

## 7.10. 受信 FIFO 制御レジスタ (RFCRn)

受信 FIFO 制御レジスタは受信 FIFO の割込みレベル設定, 受信 FIFO の許可, FIFO ポインタのリセットを行います。

### ■ 受信 FIFO 制御レジスタ (RFCRn)

RFCRn								
bit	7	6	5	4	3	2	1	0
	RXFE	RXFCL	-	RXFLC4	RXFLC3	RXFLC2	RXFLC1	RXFLC0
属性	R/W	W	-	R/W	R/W	R/W	R/W	R/W
初期値	0	0	X	0	0	0	0	0

n = 0～9 デバイスによります。(対応するデバイスのデータシートの「品種構成」を参照してください)

[bit7] RXFE: 受信 FIFO 許可ビット

bit	説明
0	受信 FIFO 禁止
1	受信 FIFO 許可

[bit6] RXFCL: 受信 FIFO クリアビット

bit	説明	
	読出し時	書込み時
0	常に "0" を読み出す	影響なし
1		FIFO ポインタを 5'b00000 にリセット

#### <注意事項>

- ・ 受信 FIFO ポインタはモードが変更された場合にもクリアされます。
- ・ 受信 FIFO ポインタは SMRn:UPCL レジスタビットが "1" に設定された場合にもクリアされます。

[bit5] -: 未定義

読出し値は不定。常に "0" を書き込んでください。

このビットへのリードモディファイライト(RMW) 動作は無効です。

#### [bit4~bit0] RXFLC[4:0]: 受信 FIFO レベル設定

- ・ 受信 FIFO 割込みレベルを設定します。
- ・ 受信 FIFO 内のデータ数がこれらのビットによって書き込まれたトリガレベル以上になると、受信割込みがアサートされます。
- ・ 受信 FIFO 許可時(RXFE = 1)に 00000<sub>B</sub>に設定しないでください。

bit4	bit3	bit2	bit1	bit0	説明
0	0	0	0	0	設定禁止
0	0	0	0	1	データ数≥1 データバイトの場合、 受信割込み発生
0	0	0	1	0	データ数≥2 データバイトの場合、 受信割込み発生
0	0	0	1	1	データ数≥3 データバイトの場合、 受信割込み発生
0	0	1	0	0	データ数≥4 データバイトの場合、 受信割込み発生
0	0	1	0	1	データ数≥5 データバイトの場合、 受信割込み発生
0	0	1	1	0	データ数≥6 データバイトの場合、 受信割込み発生
0	0	1	1	1	データ数≥7 データバイトの場合、 受信割込み発生
0	1	0	0	0	データ数≥8 データバイトの場合、 受信割込み発生
0	1	0	0	1	データ数≥9 データバイトの場合、 受信割込み発生
0	1	0	1	0	データ数≥10 データバイトの場合、 受信割込み発生
0	1	0	1	1	データ数≥11 データバイトの場合、 受信割込み発生
0	1	1	0	0	データ数≥12 データバイトの場合、 受信割込み発生
0	1	1	0	1	データ数≥13 データバイトの場合、 受信割込み発生
0	1	1	1	0	データ数≥14 データバイトの場合、 受信割込み発生
0	1	1	1	1	データ数≥15 データバイトの場合、 受信割込み発生
1	0	0	0	0	データ数≥16 データバイトの場合、 受信割込み発生

---

**<注意事項>**

FIFO サイズが 16 バイトであるため、RXFLC[4:0]は、10001<sub>B</sub>～11111<sub>B</sub> のビット設定は禁止です。

---

## 7.11. 送信 FIFO ステータスレジスタ (TFSRn)

送信 FIFO ステータスレジスタは、送信 FIFO で利用可能な有効データバイト数を示します。

### ■ 送信 FIFO ステータスレジスタ (TFSRn)

TFSRn								
bit	15	14	13	12	11	10	9	8
	-	-	-	TXFVD4	TXFVD3	TXFVD2	TXFVD1	TXFVD0
属性	-	-	-	R	R	R	R	R
初期値	X	X	X	0	0	0	0	0

n = 0～9 デバイスによります。(対応するデバイスのデータシートの「品種構成」を参照してください)

#### [bit15～bit13] -: 未定義

読出し値は不定です。常に "0" を書き込んでください。

これらのビットへのリードモディファイライト(RMW) 動作は無効です。

#### [bit12～bit8] TXFVD[4:0]: 送信 FIFO 有効データ

送信 FIFO 内の有効データ数を示します。

bit12	bit11	bit10	bit9	bit8	説明
0	0	0	0	0	有効データ数が空
0	0	0	0	1	有効データ数 = 1
0	0	0	1	0	有効データ数 = 2
0	0	0	1	1	有効データ数 = 3
0	0	1	0	0	有効データ数 = 4
0	0	1	0	1	有効データ数 = 5
0	0	1	1	0	有効データ数 = 6
0	0	1	1	1	有効データ数 = 7
0	1	0	0	0	有効データ数 = 8
0	1	0	0	1	有効データ数 = 9
0	1	0	1	0	有効データ数 = 10
0	1	0	1	1	有効データ数 = 11
0	1	1	0	0	有効データ数 = 12
0	1	1	0	1	有効データ数 = 13

bit12	bit11	bit10	bit9	bit8	説明
0	1	1	1	0	有効データ数 = 14
0	1	1	1	1	有効データ数 = 15
1	0	0	0	0	有効データ数 = 16

## 7.12. 受信 FIFO ステータスレジスタ (RFSRn)

受信 FIFO ステータスレジスタは、受信 FIFO で利用可能な有効データ数を示します。

### ■ 受信 FIFO ステータスレジスタ (RFSRn)

RFSRn								
bit	7	6	5	4	3	2	1	0
	-	-	-	RXFVD4	RXFVD3	RXFVD2	RXFVD1	RXFVD0
属性	-	-	-	R	R	R	R	R
初期値	X	X	X	0	0	0	0	0

n = 0～9 デバイスによります。(対応するデバイスのデータシートの「品種構成」を参照してください)

[bit7～bit5] -: 未定義

読出し値は不定です。常に "0" を書き込んでください。

これらのビットへのリードモディファイライト(RMW) 動作は無効です。

[bit4～bit0] RXFVD[4:0]: 受信 FIFO 有効データ

・ 受信 FIFO 内の有効データ数を示します。

bit4	bit3	bit2	bit1	bit0	説明
0	0	0	0	0	有効データ数が空
0	0	0	0	1	有効データ数 = 1
0	0	0	1	0	有効データ数 = 2
0	0	0	1	1	有効データ数 = 3
0	0	1	0	0	有効データ数 = 4
0	0	1	0	1	有効データ数 = 5
0	0	1	1	0	有効データ数 = 6
0	0	1	1	1	有効データ数 = 7
0	1	0	0	0	有効データ数 = 8
0	1	0	0	1	有効データ数 = 9
0	1	0	1	0	有効データ数 = 10
0	1	0	1	1	有効データ数 = 11
0	1	1	0	0	有効データ数 = 12
0	1	1	0	1	有効データ数 = 13



bit4	bit3	bit2	bit1	bit0	説明
0	1	1	1	0	有効データ数 = 14
0	1	1	1	1	有効データ数 = 15
1	0	0	0	0	有効データ数 = 16

## 7.13. Sync Field タイムアウトレジスタ (SFTRn)

Sync Field タイムアウトレジスタは、sync field 検出のタイムアウト値を設定します。

### ■ Sync field タイムアウトレジスタ (SFTRn)

SFTRn								
bit	15	14	13	12	11	10	9	8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

n = 0～9 デバイスによります。(対応するデバイスのデータシートの「品種構成」を参照してください)

[bit15～bit8]

bit	説明
読出し時	タイムアウト値の bit15～8 を SFTRn に読み出す
書き込み時	タイムアウト値の bit15～8 を SFTRn に書き込む

[bit7～bit0]

bit	説明
読出し時	タイムアウト値の bit7～0 を SFTRn に読み出す
書き込み時	タイムアウト値の bit7～0 を SFTRn に書き込む

### ● Sync field タイムアウトレジスタ

SFTRn には sync field 検出のタイムアウト値が 16 ビット含まれています。LIN break の後 SINn の立上りエッジで、Sync field タイムアウトカウンタがインクリメントを開始します。Sync field タイムアウトカウンタ値が SFTRn に書き込まれた値未満になり、Sync field の 5 番目の立下りエッジが検出されると、ESRn:SYNFE (タイムアウトエラーフラグ) はアサートされません。Sync field の 5 番目の立下りエッジが検出される前に Sync field タイムアウトカウンタ値が Sync field タイムアウト値に達した場合、ESRn:SYNFE (タイムアウトエラーフラグ) がセットされます。この結果、EIERn:SYNFEIE が "1" に設定された場合、受信割込みが発生します。

このレジスタを 0x0000 に設定すると、sync field タイムアウト値検出が禁止されます (デフォルト)。

## 7.14. チェックサムステータス制御レジスタ (CSCRn)

チェックサムステータス制御レジスタは、送信時と受信時のチェックサム生成/照合を許可するための制御ビットと LIN フレームデータ長の制御ビットから構成されます。また、チェックサムエラーの状態を示すステータスビットも含まれます。

### ■ チェックサムステータス制御レジスタ (CSCRn)

CSCRn								
bit	7	6	5	4	3	2	1	0
	CRCERRIE	CRCERR	CRCTYPE	CRCHECK	CRCGEN	DL2	DL1	DL0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

n = 0～9 デバイスによります。(対応するデバイスのデータシートの「品種構成」を参照してください)

#### [bit7] CRCERRIE: チェックサムエラー割込み許可

bit	説明
0	チェックサムエラー割込み禁止
1	チェックサムエラー割込み許可

- ・ 本ビットはチェックサムエラーが発生すると、チェックサムエラー割込み許可ビットとして機能します。
- ・ 本ビットを "0" に設定し、チェックサムエラーが発生すると (CSCRn:CRCERR = 1)、受信割込みが生成されません。
- ・ 本ビットを "1" に設定し、チェックサムエラーが発生すると (CSCRn:CRCERR = 1)、受信割込みが生成されます。

#### [bit6] CRCERR: チェックサムエラーフラグ

bit	説明	
	読出し時	書込み時
0	チェックサムエラー検出なし	チェックサムエラーフラグをクリア
1	チェックサムエラー検出	影響なし

- ・ チェックサムエラーは本フラグによって示されます。
- ・ CRCERR フラグがアサートされている場合、CSCRn:CRCERRIE が "1" になると受信割込みが生成されます。
- ・ CRCERR フラグによる割込みをクリアするには、本レジスタビット (CSCRn:CRCERR) に "0" を書き込むか、あるいは SCRn:CRE に "1" を書き込みます。
- ・ フレーム ID 受信時にパリティエラーが発生した場合 (ESRn:PEFRD="1")、チェックサム照合は行われません。チェックサム照合を許可するには、フレームデータを受信する前に ESRn:PEFRD をクリアしてください。
- ・ リードモディファイライト(RMW) 命令では常に"1"が読み出されます。

#### [bit5] CRCTYPE: チェックサムのタイプ

bit	説明
0	標準チェックサム
1	拡張チェックサム

- ・ 本ビットは、チェックサムのタイプを設定します。
- ・ 本ビットが "0" に設定されている場合、標準チェックサム計算がデータバイトに対してだけ行われます。
- ・ 本ビットが "1" に設定されている場合、拡張チェックサム計算がデータバイトとフレーム ID に対して行われます。EFERn:FIDE (フレーム ID 許可) は、フレーム ID レジスタまたは RDRn/TDRn それぞれの受信/送信 FIFO のいずれが使用されるのかを決定します。
- ・ チェックサム計算は LIN 仕様 2.1 に従って行われます。

#### [bit4] CRCHECK: チェックサム照合

bit	説明
0	受信時、チェックサムの照合禁止
1	受信時、チェックサムの照合許可

#### [bit3] CRCGEN: チェックサム生成

bit	説明
0	送信時、チェックサムの生成禁止
1	送信時、チェックサムの生成許可

チェックサム生成は LIN マスタでのみ可能です。

#### [bit2~bit0] DL[2:0]: LIN フレームのデータ長

bit2	bit1	bit0	説明
0	0	0	1 バイト
0	0	1	2 バイト
0	1	0	3 バイト
0	1	1	4 バイト
1	0	0	5 バイト
1	0	1	6 バイト
1	1	0	7 バイト
1	1	1	8 バイト

チェックサム計算を行うために本レジスタに現在のフレームのデータ長を書き込む必要があります。データ長は1～8の範囲で書き込むことができます。

#### <注意事項>

LIN プロトコルでのデータ長は1, 2, 4 または 8 バイトです。そのため、3, 5, 6 または 7 バイトの設定は禁止です。

### ● チェックサムステータス制御レジスタ

チェックサム計算は LIN モードでしか行われません。チェックサムには、すべてのデータバイトまたはすべてのデータバイトと 保護 ID (フレーム ID) の桁を繰り上げた反転 8 ビット合計が含まれます。データバイトだけに対するチェックサム計算を標準チェックサムと呼び、データバイトと保護 ID (フレーム ID) 両方に対するチェックサム計算を拡張チェックサムと呼びます。チェックサム生成とチェックサム照合は LIN 仕様 2.1 に従って行われます。

### ● チェックサム許可

CRCGEN	CRCCHECK	説明
0	0	チェックサム生成/チェックサム照合なし
0	1	受信データに対するチェックサム照合
1	0	チェックサムバイト送信のためのチェックサム生成
1	1	生成されたチェックサムが送信され、データに対するチェックサム照合が返される

#### <注意事項>

- ・ CRCGEN および CRCCHECK ビットはモード 3 ({MD1, MD0} = "11")のときのみ、設定可能です。
- ・ チェックサム生成は LIN マスタでのみ可能です。

## 7.15. フレーム ID データレジスタ (FIDRn)

フレーム ID データレジスタは、LIN モードでフレーム ID の値を格納します。

### ■ フレーム ID データレジスタ (FIDRn)

FIDRn								
bit	7	6	5	4	3	2	1	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

n = 0～9 デバイスによります。(対応するデバイスのデータシートの「品種構成」を参照してください)

[bit7～bit0] フレーム ID データレジスタビット

#### ● フレーム ID データレジスタ:

FIDRn レジスタには、許可された自動ヘッダ送信または受信に応じて、ヘッダ送信または受信に使用されるフレーム ID が含まれます。

LIN-USART が LIN マスタとして使用され、フレーム ID レジスタが EFERn:FIDE によって許可されている場合には、フレーム ID が本レジスタから送信されます。フレーム ID レジスタに書き込む値は、フレーム ID のパリティビットを含む 8 ビット値にする必要があります。

LIN-USART が LIN スレーブとして使用され、フレーム ID レジスタが EFERn:FIDE によって許可されている場合には、フレーム ID がパリティビットを含めて本レジスタに格納されます。

フレーム ID レジスタが FIFO とともに許可されている場合には、Sync field データを FIFO 内でセットする必要があります。この場合、Sync field 値が送信 FIFO から送信され、フレーム ID データがフレーム ID レジスタから送信されます。フレーム ID 送信の最初から最後まで、送信 FIFO の読出しは禁止されます。

## 7.16. 拡張機能許可レジスタ (EFERLn)

拡張機能許可レジスタは、ヘッダ送受信の終了時割込み、自動ボーレート検出/調整機能、LIN break のエッジセンシティブ検出を許可します。また、CRE 設定時の受信ステートマシンリセットを禁止し、FRE 発生後の SINn のローレベルがスタートビットとして検出されることを禁止します。

### ■ 拡張機能許可レジスタ (EFERLn)

EFERLn								
bit	7	6	5	4	3	2	1	0
	LBDSF	OSDE	DTSTART	RSTRFM	LBEDGE	ABRE	ENRXHR	ENTXHR
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

n = 0～9 デバイスによります。(対応するデバイスのデータシートの「品種構成」を参照してください)

#### [bit7] LBDSF: LIN Break 検出特別機能

bit	説明
0	sync field 機能の LIN break 検出を禁止
1	sync field 機能の LIN break 検出を許可

#### [bit6] OSDE: オーバサンプリング禁止

bit	説明
0	シリアルデータ入力の 5 回オーバサンプリングを許可
1	シリアルデータ入力の 5 回オーバサンプリングを禁止

### <注意事項>

非同期モードでは必ずオーバサンプリングを許可(OSDE=0)してください。

#### [bit5] DTSTART: スタートビット検出

bit	説明
0	FRE 発生後の SIN のローレベルをスタートビットとして検出
1	FRE 発生後の SIN の次回立下りエッジをスタートビットとして検出

本ビットは、フレーミングエラー (SSRn:FRE) 発生後の SINn のローレベル (立下りエッジなし) がスタートビットとして検出されるよう設定できます。

#### [bit4] RSTRFM: 受信ステートマシンリセット

bit	説明
0	受信ステートマシンのリセットを許可
1	受信ステートマシンのリセットを禁止

本ビットは、SCRn:CRE が "1" に設定されている場合に受信ステートマシンをリセットするか否かを設定します。

#### [bit3] LBEDGE: LIN break のエッジセンシティブ検出

bit	説明
0	LIN break 検出がレベルセンシティブ
1	LIN break 検出が立下りエッジセンシティブ

- ・ 本ビットは、LIN break 信号の立下りエッジセンシティブ検出を設定します。
- ・ 本ビットが "0" に設定されている場合、LIN モードの USART が SIN のローレベルを LIN break の開始として検出します。
- ・ 本ビットが "1" に設定されている場合、LIN モードの USART が SIN の立下りエッジを LIN break の開始として検出します。

#### [bit2] ABRE: 自動ボーレート検出/調整許可

bit	説明
0	自動ボーレート検出/調整を禁止
1	自動ボーレート検出/調整を許可

#### [bit1] ENRXHR: 自動ヘッダ検出許可

bit	説明
0	自動ヘッダ受信を禁止
1	自動ヘッダ受信を許可

- ・ 本ビットは、LIN フレームヘッダ受信終了時の単独割込み機能許可ビットとなります。
- ・ 本ビットが "0" に設定されている場合、ヘッダ受信の全ステップをソフトウェアによって処理する必要があります (LIN break 検出, LIN sync field 検出など)。
- ・ 本ビットが "1" に設定されている場合、ヘッダ受信は フレーム ID が受信されるまで USART によって処理されます。完全なヘッダが受信され、EIERn:RXHDIE が "1" に設定された後、受信割込みが生成されます。

#### [bit0] ENTXHR: 自動ヘッダ送信許可

bit	説明
0	自動ヘッダ送信を禁止
1	自動ヘッダ送信を許可



- ・ 本ビットは、LIN フレームヘッダ送信終了時の割込み機能許可ビットとなります。
- ・ 本ビットが "0" に設定されている場合、ヘッダ送信の全ステップをソフトウェアによって処理する必要があります (LIN break 生成, LIN sync field 送信など)。
- ・ 本ビットが "1" に設定されている場合、ヘッダ送信は フレーム ID が送信されるまで USART によって処理されます。この処理は ECCRn:LBR を "1" に設定することによって開始されます。フレーム ID が送信され、EIERn:TXHDIE が "1" に設定された後、送信割込みが生成されます。

## 7.17. 拡張機能許可レジスタ (EFERHn)

拡張機能許可レジスタは、内部ループバック試験、フレーム ID レジスタ、バスエラー検出を許可します。また、LIN break 長の MSB ビットも設定します。

### ■ 拡張機能許可レジスタ (EFERHn)

EFERHn								
bit	15	14	13	12	11	10	9	8
	-	-	INTLBEN	BRGR	FIDPE	DBE	FIDE	LBL2
属性	-	-	R/W	R/W	R/W	R/W	R/W	R/W
初期値	X	X	0	0	0	0	0	0

n = 0～9 デバイスによります。(対応するデバイスのデータシートの「品種構成」を参照してください)

#### [bit15, bit14] -: 未定義

- ・ 必ず "0" を設定してください。
- ・ 読出し値は不定です。
- ・ このビットへのリードモディファイライト(RMW) 動作は無効です。

#### [bit13] INTLBEN: 内部ループバック許可

bit	説明
0	内部ループバックを禁止
1	内部ループバックを許可

内部ループバック試験が許可されている場合、ソフトウェアが送信値と受信値を比較できるよう、送信出力が受信入力に内部でフィードバックされます。

#### [bit12] BRGR: ボーレート読出し許可ビット

bit	説明
0	リロードカウンタ値を読出し
1	CPU または ABR ブロックによって書き込まれたリロード値を読出し

- ・ ボーレートジェネレータレジスタが読出されます。
- ・ 本ビットが "0" に設定されている場合、ボーレートジェネレータレジスタを読み出すと、リロードカウンタの現在の値が返されます。
- ・ 本ビットが "1" に設定されている場合、ボーレートジェネレータレジスタを読み出すと、CPU または自動ボーレート生成/調整回路によって書き込まれたリロード値が返されます。

## [bit11] FIDPE: フレーム ID パリティ計算許可ビット

bit	説明
0	LIN モードでフレーム ID のパリティチェックを禁止
1	LIN モードでフレーム ID のパリティチェックを許可

本ビットは、フレーム ID 受信時のパリティビットのチェックを許可します。この設定は、LIN-USART が LIN スレーブとして構成されている場合に限り有効です。LIN 仕様 2.1 で指定された計算に従ってパリティがチェックされます。

## [bit10] DBE: バスエラー検出許可

bit	説明
0	バスエラー検出禁止
1	バスエラー検出許可

---

**<注意事項>**

- ・ バスがアイドル状態であるときのみ、バスエラー検出の許可/禁止を設定してください。
  - ・ 内部ループバックモード(EFERHn:INTLBEN = "1") 時、SOT 端子は常に"1"であるので、バスエラー検出ビットが許可(EFERHn:DBE = "1")された場合は、連続的にバスエラーが発生します。
- 

## [bit9] FIDE: フレーム ID レジスタ許可

bit	説明
0	フレーム ID が TDRn/RDRn または FIFO から送信/受信される
1	フレーム ID がフレーム ID レジスタから送信/受信される

- ・ 本ビットは、LIN モード動作時にフレーム ID レジスタ許可ビットになります。
- ・ 本ビットが "0" に設定されている場合、LIN フレームヘッダのフレーム ID が TDRn または送信 FIFO から送信されるか、あるいは RDRn または受信 FIFO に受信されます。
- ・ 本ビットが "1" に設定されている場合、LIN フレームヘッダのフレーム ID がフレーム ID レジスタから送信されるか、あるいはフレーム ID レジスタに受信されます。

[bit8] LBL2: LIN break 長の MSB ビット

bit	説明
0	LBL[1:0]と合わせて LIN break 長を 13～16 に設定
1	LBL[1:0]と合わせて LIN break 長を 17～20 に設定

- ・ 本ビットは、LIN モード動作時に LIN break 長の MSB ビットとなります。
- ・ LIN break 長の設定を以下の表に示します。

LBL2	ESCRn:LBL1	ESCRn: LBL0	LIN break 長
0	0	0	13 ビット分
0	0	1	14 ビット分
0	1	0	15 ビット分
0	1	1	16 ビット分
1	0	0	17 ビット分
1	0	1	18 ビット分
1	1	0	19 ビット分
1	1	1	20 ビット分

## 7.18. 拡張割込み許可レジスタ (EIERn)

拡張割込み許可レジスタは、各種割込みソースの割込み許可を設定します。

### ■ 拡張割込み許可レジスタ (EIERn)

EIERn								
bit	7	6	5	4	3	2	1	0
	TXFIE	RXFIE	SYNFEIE	RXHDIE	TXHDIE	PEFRDIE	BUSERRIE	LBSOIE
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

n = 0～9 デバイスによります。(対応するデバイスのデータシートの「品種構成」を参照してください)

[bit7] TXFIE: 送信 FIFO 割込み許可

bit	説明
0	送信 FIFO トリガレベル割込みを禁止
1	送信 FIFO トリガレベル割込みを許可

[bit6] RXFIE: 受信 FIFO 割込み許可

bit	説明
0	受信 FIFO トリガレベル割込みを禁止
1	受信 FIFO トリガレベル割込みを許可

[bit5] SYNFEIE: Sync field エラー割込み許可

bit	説明
0	Sync field タイムアウトエラー割込み禁止
1	Sync field タイムアウトエラー割込み許可

本ビットの使用は LIN モードの場合に限られます。

[bit4] RXHDIE: 受信ヘッダ割込み許可

bit	説明
0	受信ヘッダ割込み禁止
1	受信ヘッダ割込み許可

- ・ 本ビットが "0" に設定されている場合、ヘッダ受信の割込み生成が禁止されます。
- ・ 本ビットが "1" に設定されている場合、ヘッダ受信の割込み生成が許可されます。  
この割込みを使用するには、EFERn:ENRXHR を "1" に設定する必要があります。
- ・ 本ビットの使用は LIN モードの場合に限られます。

**[bit3] TXHDIE: 送信ヘッダ割込み許可**

bit	説明
0	送信ヘッダ割込み禁止
1	送信ヘッダ割込み許可

- ・ 本ビットが "0" に設定されている場合、ヘッダ送信の割込み生成が禁止されます。
- ・ 本ビットが "1" に設定されている場合、ヘッダ送信の割込み生成が許可されます。  
この割込みを使用するには、EFERn:ENTXHR を "1" に設定する必要があります。
- ・ 本ビットの使用は LIN モードの場合に限られます。

**[bit2] PEFRDIE: フレーム ID 受信時のパリティエラー割込み許可**

bit	説明
0	フレーム ID 受信時のパリティエラー割込みを禁止
1	フレーム ID 受信時のパリティエラー割込みを許可

- ・ 本ビットが "0" に設定されている場合、フレーム ID 受信時のパリティエラーに対応した受信割込みが禁止されます。
- ・ 本ビットが "1" に設定されている場合、フレーム ID 受信時のパリティエラーに対応した受信割込みが許可されます。
- ・ 本ビットの使用は LIN モードの場合に限られます。

**[bit1] BUSERRIE: バスエラー割込み許可**

bit	説明
0	バスエラー割込み禁止
1	バスエラー割込み許可

- ・ 本ビットが "0" に設定されている場合、バスエラーに対応した受信割込みが禁止されます。
- ・ 本ビットが "1" に設定されている場合、バスエラーに対応した受信割込みが許可されます。
- ・ 本ビットの使用は LIN モード時に SOTn と SINn が K-Line アダプタまたは LIN トランシーバに接続されており、送信が許可 (SCRn:TXE = "1")されている場合でのみ使用可能です。

## [bit0] LBSOIE: 最終ビットシフトアウト割込み許可

bit	説明
0	最終ビットシフトアウト割込み禁止
1	最終ビットシフトアウト割込み許可

- ・ 本ビットが "0" に設定されている場合、最終ビットシフトアウトに対応した送信割込みが禁止されます。
- ・ 本ビットが "1" に設定されている場合、バイトフィールド内の最終ビットシフトアウトに対応した送信割込みが許可されます。この割込みは、送信割込み (SSRn:TIE) の代わりに使用することができます。これらの割込みを同時に許可する場合、1 つだけ許可してください。

## 7.19. 拡張ステータスレジスタ (ESRn)

拡張ステータスレジスタは、sync field 検出、フレーム ID 受信、バスエラー検出の状態を示します。

### ■ 拡張ステータスレジスタ (ESRn)

ESRn								
bit	15	14	13	12	11	10	9	8
	-	-	TXHRI	RXHRI	LBSOF	BUSERR	PEFRD	SYNFE
属性	-	-	R/W	R/W	R/W	R/W	R/W	R/W
初期値	X	X	0	0	0	0	0	0

n = 0~9 デバイスによります。(対応するデバイスのデータシートの「品種構成」を参照してください)

[bit15, bit14] -: 未定義

読出し値は不定。常に "0" を書き込んでください。

このビットへのリードモディファイライト(RMW) 動作は無効です。

[bit13] TXHRI: ヘッダ送信割込みフラグ

bit	説明
0	ヘッダ送信未完了
1	ヘッダ送信完了

- ・ TXHRI の設定は、フレーム ID のストップビット送信と同時に行われます。
- ・ リードモディファイライト(RMW) 系命令では常に "1" が返されます。

[bit12] RXHRI: ヘッダ受信割込みフラグ

bit	説明
0	ヘッダ受信未完了
1	ヘッダ受信完了

リードモディファイライト(RMW) 系命令では常に "1" が返されます。



## [bit11] LBSOF: 最終ビットシフトアウトフラグ

bit	説明	
	読出し時	書込み時
0	最終ビットシフトアウトなし	LBSOF をクリア
1	最終ビットシフトアウトあり	影響なし

- 本ビットは、送信データバイトの最終ビットがシフトアウトされたことを示します。  
同期モード (モード2) で USART がマスタである場合 (ECCRN:MS="0") あるいは連続クロックモードがスレーブモードで許可されている場合 (ECCRN:MS="1" および ESCRN:CCO="1")、データバイトの最終データビットまたは最終ストップビットがシフトアウトされると、本ビットが設定されます。  
同期モード (モード2) で連続クロックモードがスレーブモードで禁止されている場合 (ECCRN:MS="1" および ESCRN:CCO="0")、最終データビットまたは最終ストップビットの中央で本フラグがセットされます。
- 非同期モードの場合、最終ストップビットがシフトアウトされると本ビットが設定されます。
- 本ビットをクリアするには、本ビットに "0" を書き込むか、TDRn/送信 FIFO に値を書き込みます。
- リードモディファイライト(RMW) 系命令では常に "1" が返されます。

## [bit10] BUSERR: バスエラーフラグ

bit	説明
0	物理的バスエラー検出なし
1	物理的バスエラー検出あり

- バスエラー発生により本ビットが "1" に設定されると、受信割込みがアサートされます。この割込みをクリアするには、本ビットに "0" を書き込みます。
- 本ビットの使用は LIN モード時に SOTn と SINn が K-Line アダプタまたは LIN トランシーバに接続されており、送信が許可 (SCRn:TXE = "1")されている場合でのみ使用可能です。
- リードモディファイライト(RMW) 系命令では常に "1" が返されます。

## [bit9] PEFRD: フレーム ID 受信時のパリティエラー

bit	説明
0	フレーム ID 受信時エラーなし
1	フレーム ID 受信時パリティエラーあり

- 本ビットが "0" の場合、フレーム ID 受信時にパリティエラーが発生しなかったことを示します。
- 本ビットが "1" の場合、フレーム ID 受信時にパリティエラーが発生したことを示します。
- フレーム ID にパリティエラーが発生したことにより本フラグが "1" になると、受信割込みがアサートされます。この割込みをクリアするには、本ビットに "0" を書き込みます。
- リードモディファイライト(RMW) 系命令では常に "1" が返されます。

## [bit8] SYNFE: Sync field エラー

bit	説明
0	Sync field を正常に検出
1	Sync field 検出時タイムアウトエラー発生

- ・ 本ビットが "0" の場合、Sync field 検出時にタイムアウトエラーが発生しなかったことを示します。
- ・ 本ビットが "1" の場合、Sync field 検出時にタイムアウトエラーが発生したことを示します。
- ・ Sync field タイムアウトエラー発生により本ビットが "1" に設定されると、受信割込みがアサートされます。この割込みをクリアするには、本ビットに "0" を書き込みます。
- ・ リードモディファイライト(RMW) 系命令では常に "1" が返されます。

---

**<注意事項>**

自動ボーレート検出が使用され、ESRn:SYNFE が設定されると、ボーレトリロードレジスタは更新されません。

---

## 8. 使用上の注意

USART を使用する場合の注意点を示します。

### ■ USART の使用上の注意

#### ● 動作の許可

USART の制御レジスタ (SCRn) には動作許可ビットの TXE (送信) と RXE (受信) があります。送信動作と受信動作はデフォルト値 (初期値) では禁止されているため、通信開始前に許可する必要があります。これらのビットを禁止することで動作を停止することもできます。

モード 3 での自動 LIN ヘッダの送信と受信は TXE と RXE に依存しません。

#### ● LIN モードでの自動ヘッダ検出

自動ヘッダ検出機能によるフレーム ID 受信時、SCR レジスタの読出しによって RXE ビットが "1" で返され、SCR[1] には "0" の値が書き込まれます。

#### ● 通信モード設定

通信モードはシステムが動作していないときに設定してください。送受信中にモードを変更すると送受信は停止し、データを喪失する可能性があります。

#### ● 送信割込みの許可タイミング

送信データエンプティフラグビット (SSRn:TDRE) のデフォルト (初期値) は "1" (送信データが空で、送信データ書き込み可能状態) です。送信割込み要求が許可されると (SSRn:TIE=1)、即座に送信割込み要求が生成されます。即座の割込みを回避するには、送信データを書き込んだ後に TIE フラグを "1" に設定してください。

#### ● LIN 動作モード 3 の使用

LIN 機能はモード 3 で使用可能、モード 3 では USART のデータフォーマットは自動的に LIN フォーマット (8N1, LSB ファースト) になります。なお、送信する LIN sync break の長さは可変ですが、受信は 10.5 ビット長に固定です。

#### ● 動作設定の変更

データフォーマットへのスタートビットまたはストップビットの追加や削除を行った場合など設定が反映されない可能性があるため、動作設定を変更した後は USART をリセット (SMRn:UPCL に "1" を書き込む) してください。

USART の設定またはモードを変更する場合、または USART をリセットする場合は、通信を禁止 (RXE =0, TXE =0) した状態で行ってください。

#### ● 連続クロックが禁止されている場合 (ESCRn:CCO = 0) の同期スレーブモードの使用

連続クロックが禁止されている場合の同期スレーブモードでは、送信データレジスタ (TDRn) への書き込みは送信動作にクロックを使用する前に行ってください。

TDR にデータを書き込むための所要時間は、シリアルクロック時間の半分 + 1 CLKP 時間より大きくしてください (TDR レジスタにデータを書き込むために 1 CLKP 時間が必要と想定)。

#### ● 送信/ 受信 FIFO の使用

送信/ 受信 FIFO は、許可または禁止する前に TFCRn:TXFCL/RFCRn:RXFCL を使用してクリアしてください。

### ● LIN モードでフレーム ID レジスタが禁止された場合 (EFERHn:FIDE = 0) の自動ヘッダ送信機能の使用

フレーム ID レジスタが禁止された場合 (EFERHn:FIDE = 0) の自動ヘッダ送信では、以下の順序で書き込みを行うことを推奨します。

1. EFERLn:ENTXHR = 1
2. ECCRn:LBR = 1
3. TDRn = フレーム ID 値

ECCRn:LBR = 1 に設定する前に TDR にフレーム ID を書き込んだ場合、TDR からのデータがノーマルデータとして処理されるため、LIN break と sync field より先に送信されます。これは、自動ヘッダ送信が禁止されている場合に利用されるフローに似ています。

### ● 最終シフトアウト割込みの使用

すべてのモードにおいて、バスブリッジでステータスフラグ ESRn:LBSOF の同期が行われた場合、割込み待ち時間が発生し、ISR (割込みサービ斯拉ーチン) 呼出しが行われた場合にも割込み待ち時間が発生します。

---

#### <注意事項>

シリアルモードレジスタ (SMRn) の設定と同時に、USART をリセットするために UPCL ビットをセットしないでください。この場合、正しい動作設定は保証されません。SMRn のビットを設定した後に、再度 UPCL ビットを加えた値をセットしてください。

---

### ● LIN スレーブ設定

スレーブ動作のための最初の LIN sync break を受信する前にボーレートを設定してください。さもなければ、LIN sync break の長さが LIN 仕様の最小要件 (マスタは 13 ビット時間、スレーブは 11 ビット時間) を満たすかどうかを正しく確認できません。

### ● バスアイドル機能

バスアイドル機能は、モード 2 の同期スレーブモードでは使用できません。

### ● AD ビット (シリアル制御レジスタ (SCRn): アドレス/ データ形式選択ビット)

シリアル制御レジスタの SCRn:AD ビット (マルチプロセッサモード 1 用のアドレス/ データビット) を使用する際には特別な注意が必要です。このビットは、書き込むと送信用の AD ビット設定となり、読み出すと最後に受信した AD ビットを返すため、制御ビットとフラグビットの両方です。内部的には送信値と受信値は異なるレジスタに格納されますが、リードモディファイライト(RMW) 命令では送信値が読み出され、モディファイの後に送信値に書き戻されます。このため、リードモディファイライト(RMW) 命令で同一レジスタ内のほかのビットがアクセスされた場合には、AD ビットに不正な値が書き込まれる場合があります。

### ● 受信エラーのクリア

受信エラーをクリアすると、EFERn:RSTRFM = 0 の場合に受信ステートマシンがリセットされます。そのため、進行中の受信を擾乱しないためには、次のスタートビットまたはスタート条件成立前にすべての受信エラーを確認する必要があります。EFERn:RSTRFM = "1" の場合、受信ステートマシンはSCRn:CREによってリセットされません。

## ● LIN sync field の待ち状態

モード3 (LIN 動作) では、入力信号が 10.5 ビット時間以上 "0" を維持すると、ESCRn レジスタの LBD ビットが "1" にセットされます。すると、USART は次にくる LIN sync field の受信を待機します。USART が LIN sync break 以外の理由で待ち状態になった場合には、ソフトウェアリセット (SMRn:UPCL=1) で初期化する必要があります。

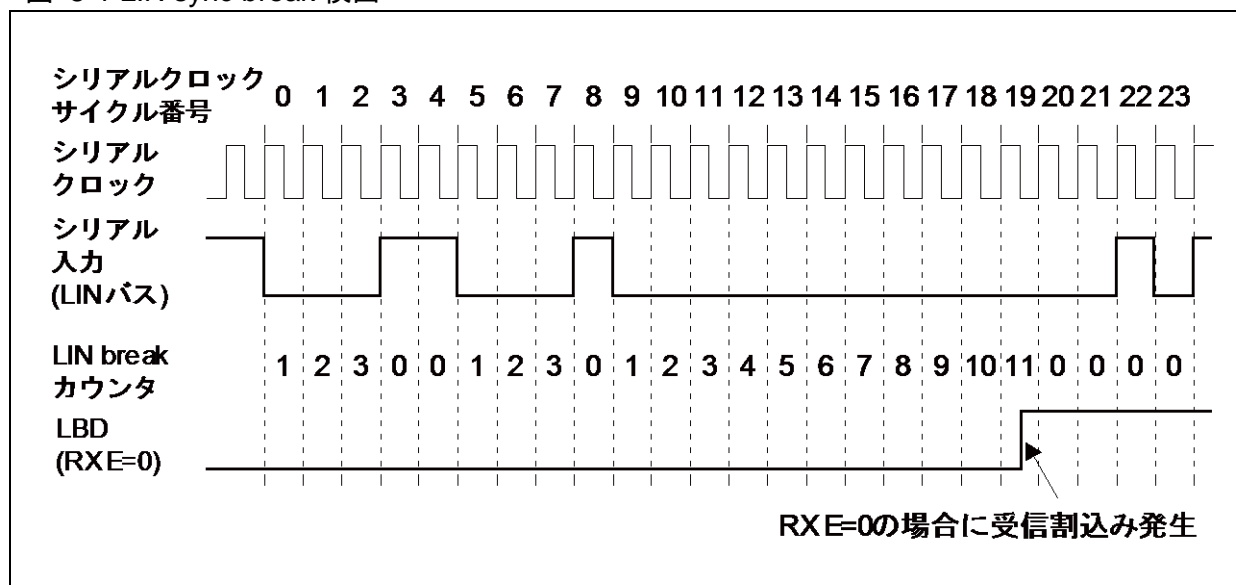
モード3では、LIN break 検出は常にバックグラウンドで動作し、EFERn:LBEDGE に応じてレベルセンシティブまたはエッジセンシティブになります。バスエラーの場合には注意してください (バスの優先順位は高い)。LIN break 検出フラグ (LBD) は、LIN break 検出割込みが許可されているかどうかにかかわらず、LBEDGE = 0 の場合、10.5 ビット時間の "0" の後には "1" になるかまたは "1" のままです。LIN break 検出割込みを使用する場合は、受信割込みハンドラ内で必ずこのフラグを確認してクリアしてください。

EFERn:LBEDGE が "0" の場合 (LIN break 開始のレベルセンシティブ検出)、LIN break 検出は有効な LIN sync field が検出されるまで、SIN のハイレベルごとに再スタートされます。

EFERn:LBEDGE が "1" の場合 (LIN break 開始のエッジセンシティブ検出)、LIN break 検出は有効な LIN sync field が検出されるまで、SIN の立下りエッジごとに再スタートされます。

LIN break 検出カウンタの動作を以下の図に示します。以下のシナリオでは動作が同じであるため、以下の図では EFERn:LBEDGE の各種設定を区別していません。

図 8-1 LIN sync break 検出

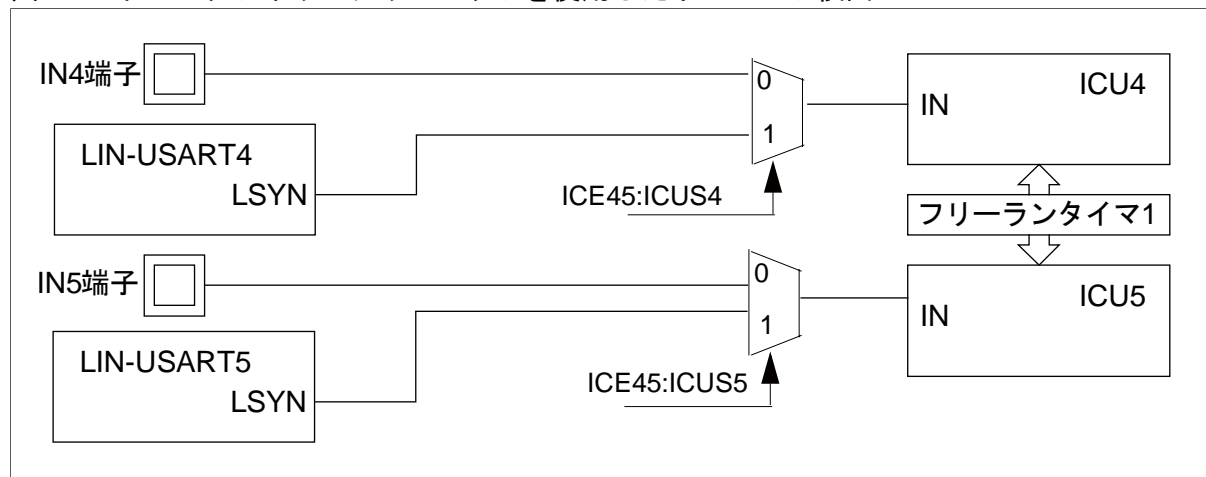


### ● インพุットキャプチャユニット (ICU) を使用したボーレート検出

USART は ICU に接続可能な信号 LSYN を提供しますが、これはボーレートを引き出すために LSYN のパルス幅を測定できるようにするためです。LSYN 信号の ICU への接続は、インพุットキャプチャエッジレジスタ ICE (2n)(2n+1) によって制御されます。ICU および USART の割り当てについては、『概要』の章の「4. LIN-USART のインพุットキャプチャユニットのソースの選択」を参照してください。これは EFERn:ABRE 設定に依存しません。

代替手段として、自動ボーレート検出/ 調整機能を使用することもできます。

図 8-2 インพุットキャプチャユニットを使用したボーレート検出



ICE (2n)(2n+1) レジスタの ICUS<sub>x</sub> ビットがクリアされ、周辺機能入力 が許可されると、ICU はその対応する入力端子 IN に接続されます。ICUS<sub>x</sub> ビットが "1" に設定されると、対応する LIN-USART が ICU に接続されます。

ユーザは、「異なる複数の ICU が 1 つのフリーランタイマ (プリスケアラ) を共有する」ということに考慮する必要があります。

## ● 受信エラーの影響と CRE ビット

EFERLn:RSTRFM = "0" の場合、以下の処置が行われます。

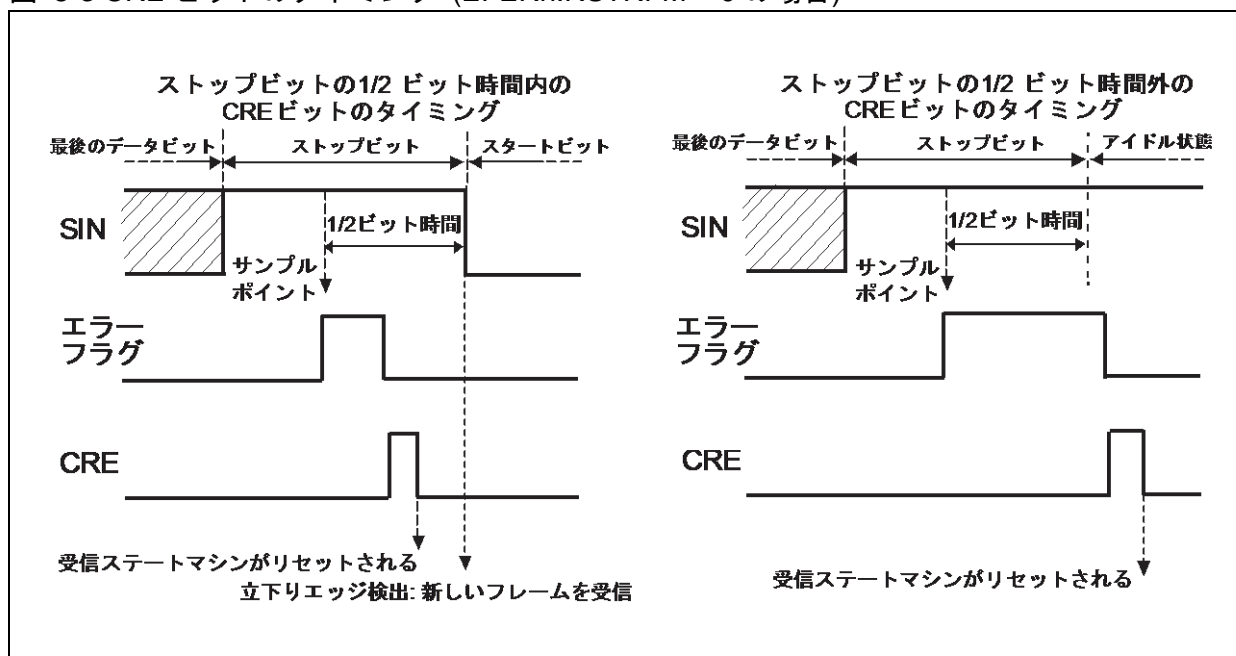
CRE は受信ステートマシンをリセットし、EFERLn:DTSTART=0 の場合は SINn のローレベル、EFERLn:DTSTART=1 の場合は SINn の立下りエッジで新しいバイトの受信を開始します。したがって、データストリームの非同期化を防止するため、エラーを受信した直後(半ビット時間内) に CRE ビットを設定してください(図 8-3 左図を参照してください)。

それ以後は受信のタイミングによってスタートビットの検出位置が変わるためエラー受信後にアプリケーションの依存時間を待ってから、SINn がアイドル状態のときに CRE ビットを設定するか UPCL ビットを実行してください(図 8-3 右図を参照してください)。

EFERLn:RSTRFM = "1" の場合、以下の処置が行われます。

CRE が設定され、レジスタビット EFERLn:RSTRFM が "1" に設定された場合、受信ステートマシンはリセットされません。

図 8-3 CRE ビットのタイミング (EFERn:RSTRFM = 0 の場合)



## ● スタートビット検出

EFERLn:DTSTART = "0" の場合、以下の処置が行われます。

フレーミングエラーが発生 (ストップビット: SINn = "0") した直後に、次のスタートビット (SINn = "0") が続く場合、事前に立下りエッジがなかったとしても、このスタートビットは認識されます。これは、リセッティングなストップビットが期待されている場合に、次のフレーミングエラーを生成することで、USART がデータストリームに同期化し続け、バスの優先順位が常に高いエラーを判断するために使用します(図 8-4 を参照してください)。この動作を希望しない場合は、フレーミングエラー後に受信を一時的に禁止してください(RXE = 1->0->1)。ただし、モード 2 で ECCRn:SSM=1 の場合は、RXE=0->1 になるとローレベルをスタートビットと判断し、データ受信を開始します(図 8-5 上図を参照してください)。それ以外は、SINn がハイレベルになった後、次のローレベルをスタートビットと判断します(図 8-5 下図を参照してください)。

EFERLn:DTSTART = "1" の場合、以下の処置が行われます。

FRE 発生後の SIN 入力の次回立下りエッジが有効なスタートビットとみなされます。

図 8-4 受信を常に許可した場合の USART ドミナントバス動作  
(EFERLn:DTSTART = 0 の場合)

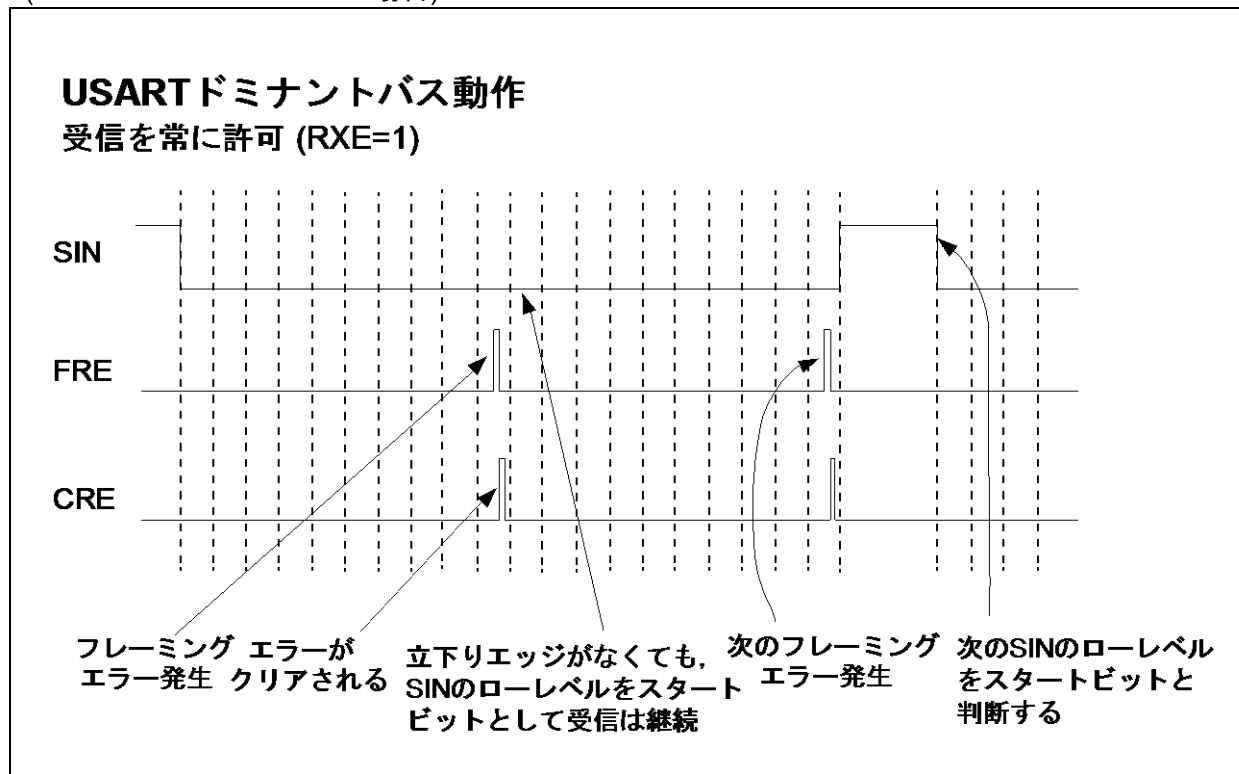
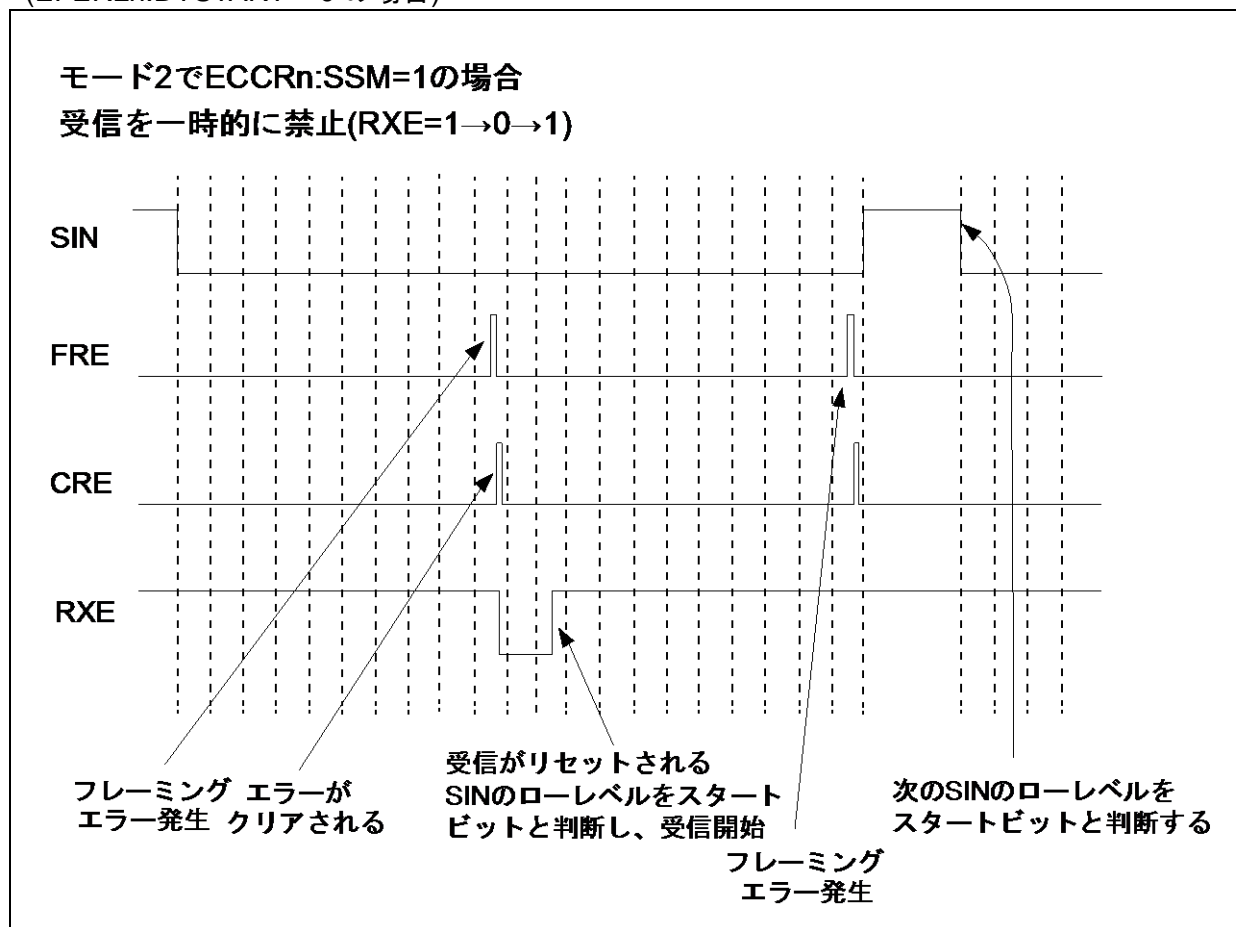
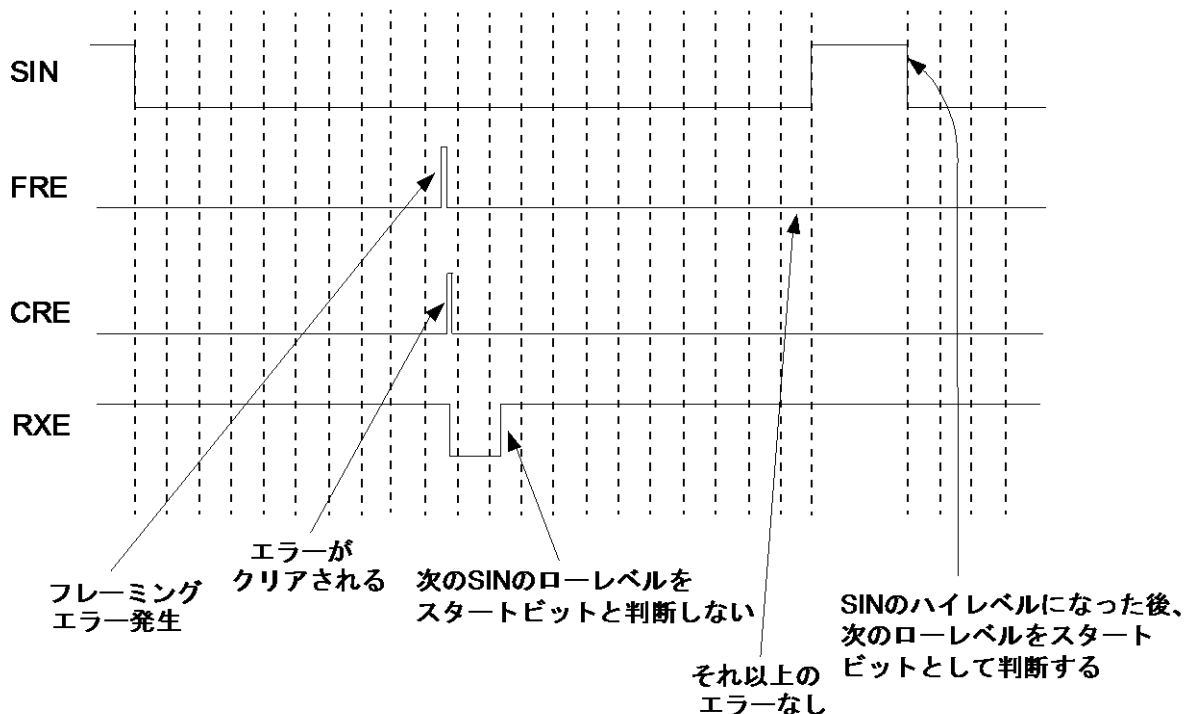




図 8-5 受信を一時的に禁止した場合の USART ドミナントバス動作  
 (EFERLn:DTSTART = 0 の場合)



モード2でECCRN:SSM=1以外の場合  
受信を一時的に禁止 (RXE=1→0→1)



### ● SCK のグリッチ防止

モード2(同期) マスタにて、ソフトウェアリセット(SMR:UPCLに"1"を書込み)したとき、マークレベルを"0"に設定している場合は、SCK にパルスが乗る可能性があるため、以下のように設定してください。

SCKpin を汎用ポートにて"0"が出力するように設定してください  
PDR レジスタに"0"を書込み、DDR レジスタに"1"を書き込んでください。

SCKE で SCK 出力を停止してから、ソフトウェアリセットをアサートしてください  
その後、再度 SCKE に"1"を書込み、SCK の出力を許可してください。

### ● エラー検出時の送信禁止設定タイミング

LIN-Standard ではエラーが検出された次のバイトの送受信は停止するように求めています。  
エラーが検出されて Error Flag がセットされ、IRQ が発行された場合(IRQ 許可設定の場合)、次の DataByte の送信が開始される前に送信をディセーブルにするなどの処理が必要です。  
前 DataByte 送信中に既に次の DataByte が TDR に書き込まれている場合、Error Flag セット/IRQ 発生を受けてから送信禁止設定(SCR:TXE=0)をするのが間に合わない次の DataByte の Start bit が送信されてしまい LIN-Standard 規格を満たせなくなりますので注意してください。  
なお、送信完了は ESR:LBSOF ビットにて判断してください。

### ● 自動ヘッダ送信機能使用時の受信禁止と許可タイミング

LIN-Master が自動ヘッダ送信機能を使用する場合、フレーミングエラーの発生を防ぐために受信禁止(SCR:RXE=0)に設定することが推奨されていますが、LIN-Slave からのデータを受信するには、Frame-ID 送信後、LIN-Slave がデータを送信開始する前に受信をイネーブルに設定する必要があります。LIN-Master の受信イネーブル設定が遅れた場合、LIN-Slave からのデータは受信できず失われますので注意してください。

なお、ヘッダ送信完了は、TXHRI(ヘッダ送信割込みフラグ)にて判断してください。または送信データを受信するとセットされる受信データフルフラグビット(SSR:RDRF)でも確認可能です。

### ● チェックサム生成機能使用時のチェックサム送信完了タイミング

LIN-USART にはチェックサムの送信完了を知らせるフラグが存在しません。

チェックサム送信完了タイミングを確認する手段として、チェックサムの STOP ビット送信後に最終ビットシフトアウトフラグ(ESR:LBSOF)がセットされることを利用できます。

### ● チェックサム生成機能使用時のチェックサム受信完了タイミング

LIN-USART には受信したチェックサムが正しい場合にチェックサムの受信完了を知らせるフラグが存在しません。チェックサム受信完了タイミングを確認する 1 つの手段としては以下のフローが考えられます。

- (1) データ受信開始後、ヘッダ受信完了を確認してクロックタイマ割込み(メインクロックタイマなど)を許可しておく。
- (2) クロックタイマの長さは 1 バイト長以上に設定し、データの受信完了(RDRF IRQ) ごとにクリアする。
- (3) 最終データ受信後のチェックサム受信時は受信割込みが発生しないので、チェックサム受信後タイマがオーバフローし、割込みによってチェックサム受信が確認できる。

クロックタイマの長さが長すぎる場合、オーバフロー発生前に次の送受信が始まってしまう恐れがありますので、使用環境に合わせて適切に設定してください。

### ● 拡張機能許可レジスタ(EFERLn)の OSDE ビットの設定

非同期モードでは必ずオーバサンプリングを許可(OSDE=0)してください。

# Chapter 20: 400 kHz I<sup>2</sup>C インタフェース



---

高速 I<sup>2</sup>C インタフェースの機能と動作について説明します。

---

1. 概要
2. 動作
3. プログラミングフローチャート
4. レジスタ

---

管理コード : 96F3I2C-J03.0

---

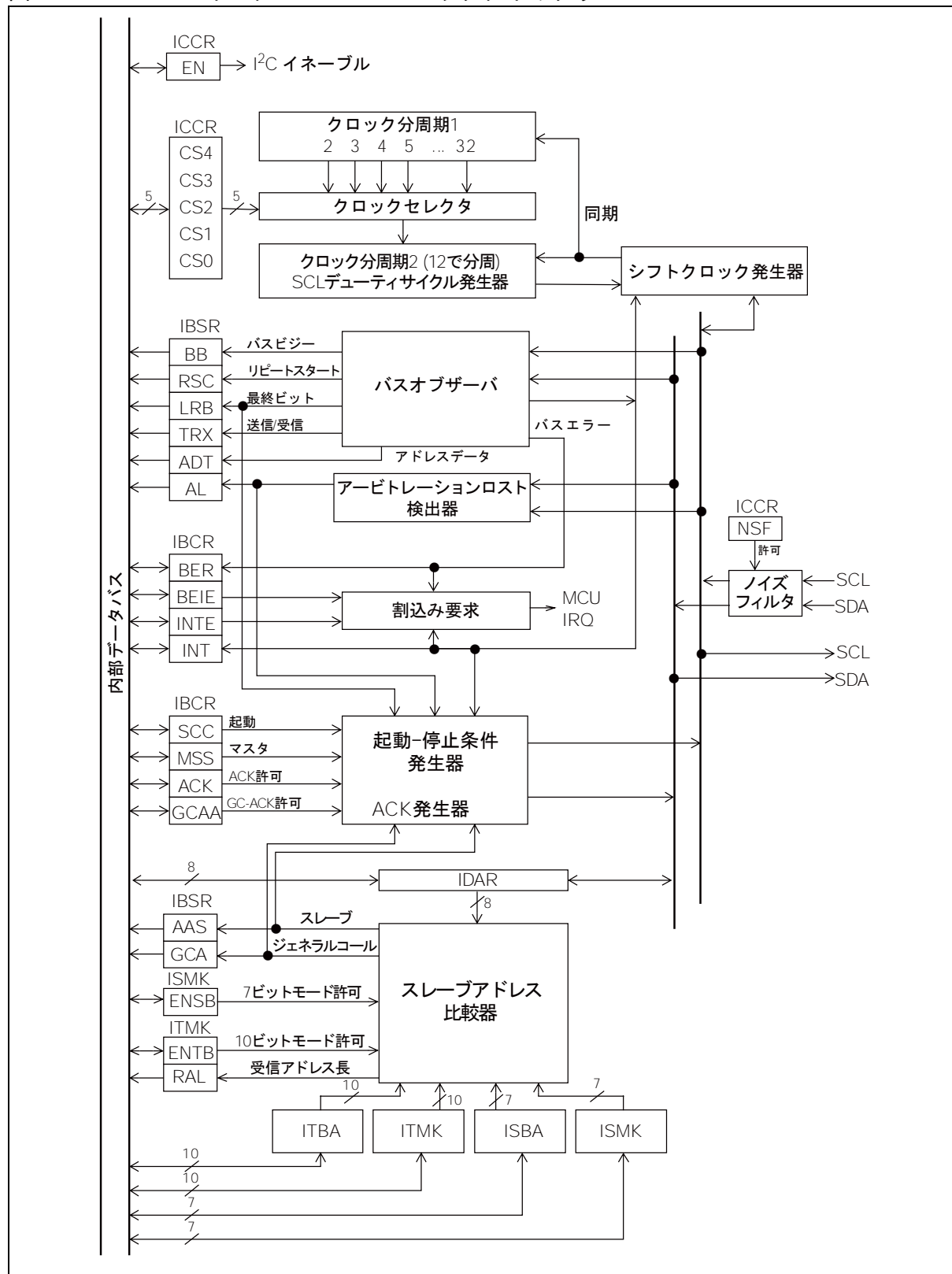
## 1. 概要

この I<sup>2</sup>C インタフェースは Inter IC バスに対応したシリアル I/O ポートで、I<sup>2</sup>C 上のマスタ/スレーブデバイスとして動作します。

### ■ 特長

- ・マスタ/スレーブ送受信機能
- ・アービトレーション機能
- ・クロック同期機能
- ・ゼネラルコールアドレッシングをサポート
- ・伝送方向検出機能
- ・リピートスタート条件の発生と検出機能
- ・バスエラー検出機能
- ・7 ビットアドレッシング(マスタおよびスレーブ)
- ・10 ビットアドレッシング(マスタおよびスレーブ)
- ・7 ビットおよび 10 ビットスレーブアドレスのインタフェースが可能
- ・スレーブアドレス受信時のアクノリッジを禁止できる(マスタのみの動作)
- ・複数のスレーブアドレスをインタフェースするためのアドレスマスキング(7 ビットおよび 10 ビットモード)
- ・最大 400 K ビットの転送速度
- ・SDA および SCL 用の内蔵型ノイズフィルタとして使用可能
- ・周辺クロック(CLKP1)が 6 MHz 以上のときは、プリスケアラの設定に関係なく 400 K ビットでのデータ受信が可能
- ・送信およびバスエラー発生時の MCU 割込み発生可能
- ・ビットレベルとバイトレベルでのスレーブによる減速をサポート

この I<sup>2</sup>C インタフェースは、周辺クロック CLKP1 が 6 MHz 以上のときは、プリスケアラの設定に関係なく 400 K ビットでのデータ転送速度で受信可能なため、ビットレベルでの SCL クロック引伸ばしに対応しません。ただし、割込み中(IBCR レジスタの INT=1) は SCL が "L" になるので、バイトレベルでのクロック引延しが行われます。

図 1-1 400kHz I<sup>2</sup>C インタフェースのブロックダイアグラム


## 2. 動作

I<sup>2</sup>C バスは、シリアルデータライン(SDA)とシリアルクロックライン(SCL)の 2 本の双方向バスラインを使用して通信を実行します。I<sup>2</sup>C インタフェースには、この 2 本のラインに対応した 2 本のオープンドレイン I/O 端子 (SDA/SCL)があり、ワイヤードロジックで使用できます。

### ■ スタート条件

バスが空いている(IBSR: BB=0, IBCR: MSS=0) ときに MSS ビットに"1"を書き込むと、I<sup>2</sup>C がマスタモードになりスタート条件が生成されます。

バスのアイドル時(MSS=0 および BB=0)に MSS ビットに"1"を書き込むと、スタート条件が生成され、IDAR レジスタの内容(アドレスデータ)が送信されます。

バスマスタモードで割込み状態(MSS=1 および IBCR: INT=1)のとき、SCC ビットに"1"を書き込むことでリピートスタート条件を生成できます。

バスが使用されている(IBSR: BB=1, IBSR: TRX=0, IBCR: MSS=0 および IBCR: INT=0) ときに MSS ビットに"1"を書き込むと、I<sup>2</sup>C インタフェースはバスが空くのを待ってから送信を開始します。

送信中に I<sup>2</sup>C インタフェースがライトアクセス(データ受信)のスレーブとしてアドレッシングされた場合は、転送が終了してバスが空いたときに再び送信が開始されます。このときインタフェースがスレーブとしてデータを送信していた場合は、バスが空いても送信は再開されません。次の割込み時に、インタフェースがスレーブとしてアドレッシングされた(BCR: MSS=0 および IBSR: AAS=1)かどうか、データバイトが正しく送信されたか(BCR: MSS=1)、データバイトの送信に失敗したか(IBSR: AL=1)をチェックすることが重要です。

IBCR の MSS=1 または IBSR の TRX=BB=1 のとき、MSS ビットに"1"を書き込んでも無効です。

IBCR の MSS=0 または INT=0 のとき、SCC ビットに"1"を書き込んでも無効です。

### <注意事項>

スタート条件検出後のアドレスデータの転送中または bit2~bit9 (アクノリッジビット)の転送中に、再度スタート条件を検出した場合、バスエラーを検出(BCR: BER=1)し、受信を中断するため、次のデータ受信ができません。この場合、以下の設定後にマスタからスタート条件の再送処理が必要です。

- バスエラービットのクリア(BCR: BER=0)
- 割込み許可ビットのセット(BCR: INTE=1)
- I<sup>2</sup>C 動作許可ビットのセット(ICCR: EN=1)

### ■ ストップ条件

マスタモード(BCR: MSS=1 および INT=1)で MSS ビットに"0"を書き込むとストップ条件が生成され、デバイスはスレーブモードに移行します。BCR の MSS=0 または INT=0 のとき、MSS ビットに"0"を書き込んでも無効です。

MSS ビットをクリアするとインタフェースはストップ条件の生成を試行しますが、ストップ条件が生成される前に何らかの外部条件によって SCL ラインの信号が"1"から"0"に遷移した場合はストップ条件の生成に失敗することがあります。その場合は AL ビットが"1"にセットされ、次のバイトの処理完了後に割込みが発生します。

## ■ スレーブアドレスの検出

スレーブモードでは、スタート条件が生成されると **BB** が"1"にセットされ、マスタデバイスから送信されたデータが受信されて **IDAR** に格納されます。

**ISMK** レジスタの **ENSB** ビットが"1"にセットされている場合は、8 ビット分を受信すると、**ISMK** に格納されているビットマスクを使用して **IDAR** レジスタの内容が **ISBA** レジスタの内容と比較されます。一致した場合は **AAS** ビットが"1"にセットされ、マスタに対してアクノリッジ信号が送信されます。次に、受信したデータの **bit0** が反転されて(**IDAR** レジスタのビット 0)**TRX** ビットに格納されます。

**ITMK** レジスタの **ENTB** ビットが"1"で 10 ビットアドレスヘッダ(11110, **TA1**, **TA0**, ライトアクセス)が検出された場合は、**I<sup>2</sup>C** インタフェースからマスタに対してアクノリッジ信号が送信され、最後のデータビットが反転されて **TRX** レジスタに格納されます。割込みは生成されません。その後、次の転送バイトと **ITBA** レジスタの下位バイトとの比較が行われます(**ITMK** に格納されているビットマスクを使用)。一致した場合は、マスタに対してアクノリッジ信号が送信され、**AAS** ビットがセットされて、割込みが生成されます。**I<sup>2</sup>C** インタフェースがスレーブとしてアドレッシングされリピータースタート条件が検出された場合は、10 ビットアドレスヘッダ(11110, **TA1**, **TA0**, リードアクセス)の受信後に **AAS** ビットがセットされ、割込みが生成されます。

7ビットアドレスと10ビットアドレスおよびビットマスクには個別のレジスタが存在するため、**ISMK**: **ENSB** ビットおよび **ITMK**: **ENTB** ビットをセットして、両方のアドレスに関するアクノリッジを **I<sup>2</sup>C** インタフェースから返せます。受信したスレーブアドレスの長さ(7 ビットまたは 10 ビット)は、**ITMK** レジスタの **RAL** ビットを読み出すことで決定できます(このビットは、**AAS** ビットがセットされている場合にのみ有効です)。また、**I<sup>2</sup>C** インタフェースをマスタとしてのみ使用する場合は、この両方のビットを"0"にセットしてスレーブアドレスを受信しないようにすることもできます。

対応するマスクレジスタ(**ITMK** または **ISMK**)を使用して、すべてのアドレスビットをマスクできます。

## ■ スレーブアドレスのマスキング

マスクレジスタ(**ITMK** または **ISMK**)で"1"にセットしたビットだけがアドレス比較に使用され、ほかはすべて無視されます。**IBSR** レジスタの **AAS** ビットが"1"の場合は、受信したスレーブアドレスを **ITBA** レジスタ(10 ビットアドレスが受信され **RAL**=1 の場合) または **ISBA** レジスタ(7 ビットアドレスが受信され **RAL**=0 の場合)から読み出せます。

ビットマスクをクリアすると、**I<sup>2</sup>C** インタフェースは常にスレーブとしてアドレッシングされるため、**I<sup>2</sup>C** インタフェースをバスモニタとして使用できます。ただし、実際のバスモニタとは異なり、ほかにバスを監視しているスレーブが存在しない場合でも、スレーブアドレスを受信するとアクノリッジが返されるため注意が必要です。



## ■ スレーブへのアドレッシング

マスタモードでは、スタート条件が生成されると、BB ビットと TRX ビットが"1"にセットされ、IDAR レジスタの内容が MSB ファースト形式で送信されます。アドレスデータの送信後にスレーブデバイスからアクノリッジ信号を受信すると、送信データの bit0 (送信後の IDAR レジスタの bit0) が反転されて TRX ビットに格納されます。IBSR レジスタの LRB ビットを使用してスレーブからのアクノリッジをチェックできます。この手順はリピートスタート条件にも適用できます。

10 ビットスレーブにライトアクセスするには2バイトの送信が必要です。最初のバイトは"1 1 1 1 0 A9 A8 0"のビットシーケンスで構成された 10 ビットアドレスヘッダで、これに続く 2 番目のバイトには 10 ビットスレーブアドレスの下位 8 ビット(A7~A0)を格納します。

上記のバイトシーケンスを送信してリピートスタート条件を生成し(BCR: SCC ビット)、リードアクセスの 10 ビットアドレスヘッダ(1 1 1 1 0 A9 A8 1)を送信することにより、10 ビットスレーブをリードアクセスできます。

アドレスデータバイトのまとめ

7 ビットスレーブ、ライトアクセススタート条件—A6 A5 A4 A3 A2 A1 A0 0

7 ビットスレーブ、リードアクセススタート条件—A6 A5 A4 A3 A2 A1 A0 1

10 ビットスレーブ、ライトアクセススタート条件—1 1 1 1 0 A9 A8 0 - A7 A6 A5 A4 A3 A2 A1 A0

10 ビットスレーブ、リードアクセススタート条件—1 1 1 1 0 A9 A8 1 - A7 A6 A5 A4 A3 A2 A1 A0, リピートスタート—1 1 1 1 0 A9 A8 1

## ■ アービトレーション

マスタモードでの送信時に同時にほかのマスタがデータを送信している場合は、アービトレーションが実行されます。あるデバイスがデータ値"1"を送信したとき SDA ラインのデータが"L"レベルの値の場合は、そのデバイスはアービトレーションをロストしたと見なされ、AL ビットが"1"にセットされます。また、データバイトの最初のビットでスタート条件が検出されたにもかかわらずインタフェースがスタート条件を生成しなかったか、何らかの理由でスタート条件またはストップ条件の生成に失敗した場合にも AL ビットが"1"にセットされます。

アービトレーションロストが検出されると、MSS ビットおよび TRX ビットの両方がクリアされ、デバイスは自身のスレーブアドレスが送信された場合にアクノリッジを返すことができるように直ちにスレーブモードに移行します。

## ■ アクノリッジ

アクノリッジビットはレシーバからトランスミッタに送信されます。IBCR レジスタの ACK ビットを使用して、データバイトの受信時にアクノリッジを送信するかどうかを選択できます。

スレーブモードでデータを送信したとき (ほかのマスタからのリードアクセス)、マスタからアクノリッジが返されなかった場合は TRX ビットが"0"にセットされ、デバイスは受信モードに移行します。これにより、スレーブが SCL ラインを開放すると直ちにマスタはストップ条件を生成できます。

マスタモードでは、IBSR レジスタの LRB ビットを読み出すことによりスレーブからのアクノリッジをチェックできます。

### 3. プログラミングフローチャート

400 kHz I<sup>2</sup>C インタフェースのプログラミングフローチャートを下記に示します。

#### ■ プログラミングフローチャート

図 3-1 スレーブアドレッシングとデータ送信の例

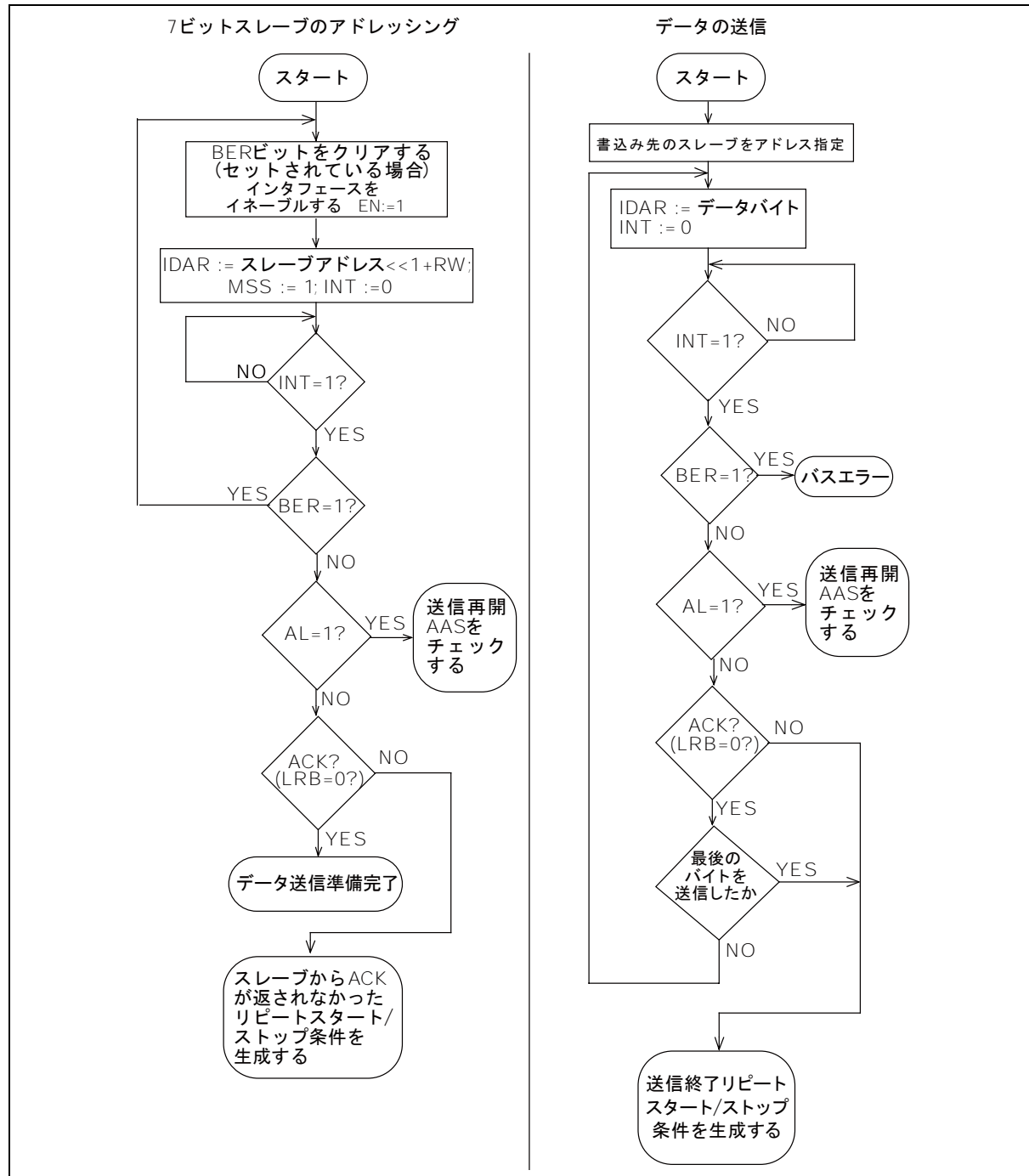
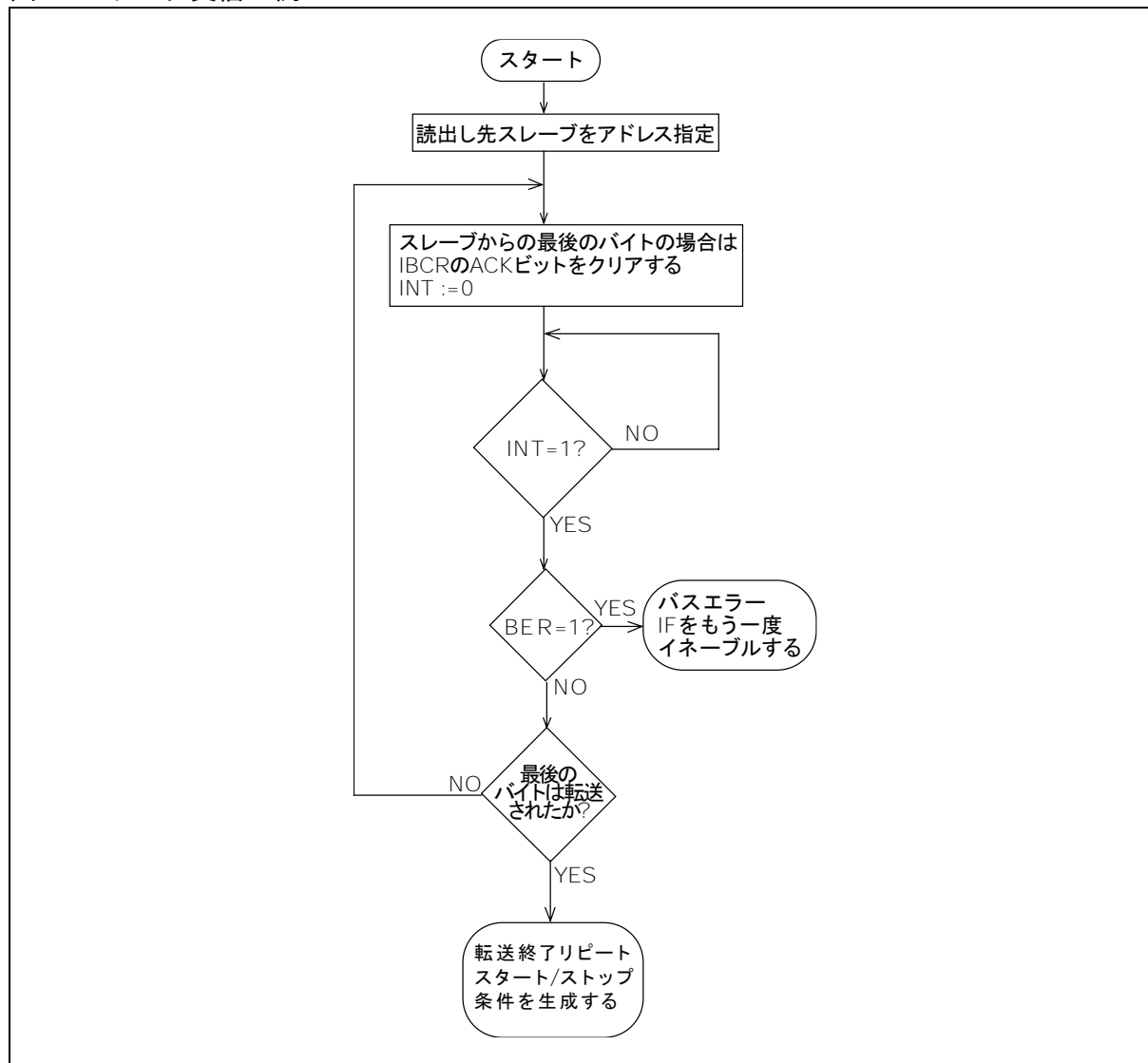


図 3-2 データ受信の例



## 4. レジスタ

I<sup>2</sup>C インタフェースの各レジスタについて詳細に説明します。

### ■ I<sup>2</sup>C インタフェースのレジスタ一覧

レジスタ略称	レジスタ名	参照先
IBSR <sub>n</sub>	バスステータスレジスタ	4.1
IBCR <sub>n</sub>	バスコントロールレジスタ	4.2
ITBA <sub>n</sub>	10 ビットスレーブアドレスレジスタ	4.3
ITMK <sub>n</sub>	10 ビットスレーブアドレスマスクレジスタ	4.4
ISBA <sub>n</sub>	7 ビットスレーブアドレスレジスタ	4.5
ISMK <sub>n</sub>	7 ビットスレーブアドレスマスクレジスタ	4.6
IDAR <sub>n</sub>	データレジスタ	4.7
ICCR <sub>n</sub>	クロックコントロールレジスタ	4.8

## 4.1. バスステータスレジスタ (IBSRn)

バスステータスレジスタ (IBSRn) には次の機能があります。

- バスビジーの検出
- リピートスタート条件の検出
- アービトレーションロストの検出
- アクノリッジの検出
- データ転送方向の検出
- スレーブとしてのアドレッシングの検出
- ゼネラルコールアドレスの検出
- アドレスデータの検出

### ■ バスステータスレジスタ (IBSRn)

このレジスタはリードオンリで、すべてのビットはハードウェアによって制御されます。インタフェースを禁止すると (ICCRn の EN = 0)、すべてのビットがクリアされます。

IBSRn									
bit		7	6	5	4	3	2	1	0
		BB	RSC	AL	LRB	TRX	AAS	GCA	ADT
属性		R	R	R	R	R	R	R	R
初期値		0	0	0	0	0	0	0	0

#### [bit7] BB: バスビジービット

I<sup>2</sup>C バスの状態を示します。

bit	説明
0	ストップ条件を検出 (バスアイドル)
1	スタート条件を検出 (バス使用中)

スタート条件が検出されると、このビットが "1" に設定されます。ストップ条件が検出されるとリセットされます。

#### [bit6] RSC: リピートスタート条件ビット

リピートスタート条件が検出されたかどうかを示します。

bit	説明
0	リピートスタート条件を検出せず
1	バス使用中、リピートスタート条件を検出

このビットは、アドレスデータの転送後 (ADT=0) またはストップ条件が検出されるとクリアされます。

#### [bit5] AL: アービトレーションロストビット

アービトレーションロストを示します。

bit	説明
0	アービトレーションロストを検出せず
1	マスタ送信中アービトレーションロストを検出

このビットは、IBCR レジスタの INT ビットに"0"を書き込むか、MSS ビットに"1"を書き込むとクリアされます。

次の場合にはアービトレーションロストが発生します。

- ・送信データが SCL 端子の立上りエッジで読み出した SDA ラインのデータと一致しない場合
- ・データバイトの最初のビットで、別のマスタによるリピータースタート条件が発生した場合
- ・SCL 端子ラインの外部条件によって信号遷移が"1"から"0"になったため、インタフェースが起動条件または停止条件を発生できなかった場合

#### [bit4] LRB: 最後の受信ビット

受信側からのアクノリッジを示すために使用されます。

bit	説明
0	受信を確認した
1	受信を確認していない

ハードウェアが bit9 (アクノリッジビット) を受信すると、このビットは変更され、スタート条件またはストップ条件によりクリアされます。

#### [bit3] TRX: 送信データビット

このビットはデータ送信動作を示します。

bit	説明
0	データの送信中ではない
1	データを送信中である

次の場合に"1"にセットされます。

- ・マスタモードでスタート条件が発生した場合
- ・最初のバイト転送の終了およびスレーブモードで読出しアクセスまたはマスタモードでデータ送信の場合

次の場合に"0"にセットされます。

- ・バスがアイドル状態になった(BB=0)。
- ・アービトレーションロストが発生した。
- ・マスタ割込み中(MSS=1 および INT=1) に SCC ビットに"1"が書き込まれた。
- ・マスタ割込み中(MSS=1 および INT=1) に MSS ビットがクリアされた。
- ・インタフェースがスレーブモードで、最後に転送されたバイトが確認されなかった。
- ・インタフェースがスレーブモードでデータを受信中。
- ・インタフェースがマスタモードでスレーブからのデータを読み出し中。

#### [bit2] AAS:スレーブとしてアドレッシング検出

スレーブアドレッシングが検出されたことを示します。

bit	説明
0	スレーブとしてアドレッシングされず
1	スレーブとしてアドレッシングされた

このビットは、(リピート) スタート/ストップ条件が検出されるとクリアされます。また、インタフェースが 7 ビットスレーブアドレスと 10 ビットスレーブアドレスの両方またはいずれかを検出するとセットされます。

#### [bit1] GCA: ゼネラルコールアドレスビット

ゼネラルコールアドレス(0x00)が検出されたことを示します。

bit	説明
0	ゼネラルコールアドレスをスレーブとして受信せず
1	ゼネラルコールアドレスをスレーブとして受信

このビットは、(リピート) スタート/ストップ条件が検出されるとクリアされます。

#### [bit0] ADT: アドレスデータ転送ビット

アドレスデータの転送が検出されたことを示します。

bit	説明
0	受信データはアドレスデータではない (またはバスが使用中でない)
1	受信データはアドレスデータ

このビットは、スタート条件が検出されると"1"にセットされます。また、ライトアクセスの 10 ビットスレーブアドレスヘッダが検出された場合は第 2 バイトの後にクリアされます。それ以外の場合は第 1 バイトの後にクリアされます。

「第 1/ 第 2 バイトの後」が意味するものは、以下のとおりです。

- マスタ割込み中(BCR の MSS=1 および INT=1)に MSS ビットに"0"が書き込まれた。
- マスタ割込み中(BCR の MSS=1 および INT=1)に SCC ビットに"1"が書き込まれた。
- INT ビットがクリアされた。
- インタフェースがマスタまたはスレーブとして現在の転送にかかわっていない場合は、すべてのバイト転送が開始されます。



## 4.2. バスコントロールレジスタ(IBCRn)

バスコントロールレジスタ(IBCRn)には次の機能があります。

- 割込み許可フラグ
- 割込み発生フラグ
- バスエラー検出フラグ
- リピートスタート条件の生成
- マスタ/スレーブモードの選択
- ゼネラルコールアクノリッジ発生許可
- データバイトアクノリッジ発生許可

### ■ バスコントロールレジスタ(IBCRn)

このレジスタへの書込みアクセスは、INT=1 または転送が開始される場合にのみ発生します。ACK ビットまたは GCAA ビットを変更するとバスエラーが発生することがあるので、ユーザによるレジスタへの転送中の書込みは禁止されます。

インタフェースが許可されない場合(ICCR の EN=0) は、BER ビットと BEIE ビットを除き、このレジスタのすべてのビットがクリアされます。

IBCRn								
bit	15	14	13	12	11	10	9	8
	BER	BEIE	SCC	MSS	ACK	GCAA	INTE	INT
属性	R/W	R/W	W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

#### [bit15] BER: バスエラービット

バスエラー割込みフラグです。ハードウェアによってセットされユーザがクリアします。

リードモディファイライト(RMW) 系命令アクセスでは常に"1"が読み出されます。

bit	説明	
	読出し	書込み
0	エラーは検出されなかった	バスエラー割込みをクリア
1	下記のいずれかのエラー状態が検出された	影響なし

このビットを設定すると、ICCR レジスタの EN ビットがクリアされます。I<sup>2</sup>C インタフェースが一時停止状態となってデータ転送が中断され、IBSR レジスタと IBCR レジスタの BER と BEIE を除くすべてのビットがクリアされます。インタフェースを再度許可する前に、BER ビットをクリアする必要があります。

- このビットは、以下の場合に"1" に設定されます。
  - アドレスデータの転送中または bit2 ~ bit9 (アクノリッジビット) の転送中に、スタート条件またはストップ条件が誤った位置で検出された
  - 10 ビットの書込みアクセス以前に、読出しアクセスを伴う 10 ビットアドレスヘッダを受信した

- ・ 転送中にインタフェースが許可された場合は、誤ったバスエラー報告を防ぐために、最初の停止条件を受信した後で、上記条件の最初の 2 つを検出することが許可されます。

#### [bit14] BEIE: バスエラー割込み許可ビット

バスエラー割込みを許可します。

bit	説明
0	バスエラー割込み禁止
1	バスエラー割込み許可

本ビットを"1"にセットした場合は、BER ビットが"1"にセットされると MCU による割込み発生が許可されます。

#### [bit13] SCC: スタート条件継続ビット

リピートスタート条件の生成に使用されます。このビットは書込み専用で、常に"0" が読み出されます。

bit	説明
0	書込み—影響なし
1	書込み—マスタ転送中にリピートスタート条件発生

マスタモード(MSS=1, INT=1) での割込み中にこのビットに"1" が書き込まれるとリピートスタート条件が生成され、INT ビットは自動的にクリアされます。

#### [bit12] MSS: マスタ/スレーブ選択

マスタ/スレーブモードを選択するビットです。セットできるのはユーザだけですが、ユーザとハードウェアの両方からクリアできます。

bit	説明
0	スレーブモードを選択
1	マスタモードを選択。スタート条件を生成して IDAR レジスタ内のアドレスデータバイトを送信する。 マスタの送信中にアービトレーションロストイベントが発生するとクリアされます。

マスタ割込み中(MSS=1 および INT=1)に本ビットに"0"を書き込むと、INT ビットが自動的にクリアされてストップ条件が生成され、データ転送は終了します。MSS ビットを直ちにリセットし、IBSR レジスタの BB ビットをポーリングすることによりストップ条件が生成されたかどうかをチェックできます。  
バスのアイドル時(MSS=0 および BB=0)に本ビットに"1"を書き込むと、スタート条件が生成され、IDAR レジスタの内容(アドレスデータ)が送信されます。  
バスが使用されている(IBSR: BB=1 および TRX=0, IBCR: MSS=0) ときに MSS ビットに"1"を書き込むと、

インタフェースはバスが開放されるまで待機して、送信を開始します。

送信中にインタフェースがライトアクセス(データ受信)のスレーブとしてアドレッシングされた場合は、転送が終了してバスが再度開放されてから送信が開始されます。このときインタフェースがスレーブとしてデータを送信していた場合は(IBSR: AAS=1 および TRX=1)、再度開放されてもデータ送信を開始しません。次の割込み時に、インタフェースがスレーブとしてアドレッシングされたかどうか(IBSR: AAS=1)、データバイトが正しく送信されたか(IBCR: MSS=1)、データバイトの送信に失敗したか(IBSR: AL=1)をチェックすることが重要です。

#### [bit11] ACK: アクノリッジビット

データバイト受信時のアクノリッジの生成を許可します。

bit	説明
0	データバイト受信にアクノリッジせず
1	データバイト受信にアクノリッジする

本ビットはスレーブモードでのアドレスバイトの受信時には無効です。インタフェースは 7 または 10 ビットのスレーブアドレスを検出すると、対応する許可ビット(ITMK: ENTB または ISMK: ENSB)がセットされていればアクノリッジを返します。

本ビットへのライトアクセスは、割込み時(INT=1) またはバスアイドル時(IBSR: BB=0)にのみ発生します。本ビットへのライトアクセスは、インタフェースが許可されていて(ICCR レジスタの EN=1)、さらにバスエラーでない場合(IBCR レジスタの BER=0) にのみ可能です。

#### [bit10] GCAA: ゼネラルコールアドレスアクノリッジビット

ゼネラルコールアドレスを受信したときにアクノリッジの生成を行います。

bit	説明
0	ゼネラルコールアドレスバイト受信にアクノリッジせず
1	ゼネラルコールアドレスバイト受信にアクノリッジする

本ビットへのライトアクセスは、割込み時(INT=1)、バスアイドル時(IBSR: BB=0) に発生します。このビットへの書込みアクセスは、インタフェースが許可されていて(ICCR レジスタの EN=1)、さらにバスエラーでない場合(IBCR レジスタの BER=0) にのみ可能です。

#### [bit9] INTE: 割込み許可ビット

MCU での割込み生成を許可します。

bit	説明
0	割込み禁止
1	割込み許可

本ビットを"1"にセットすると、(ハードウェアによって)INT ビットが"1"にセットされたときに MCU による割込みが生成されます。

#### [bit8] INT: 割込みフラグビット

転送終了割込み要求フラグです。ハードウェアによってセットされ、ユーザがクリアできます。リードモディファイライト(RMW) 系命令アクセスでは常に"1"が読み出されます。

リードアクセスの場合:

bit	説明
0	転送未終了, 現在の転送に関係がない, バスがアイドル状態のいずれか。
1	次の4条件下で、アクノリッジビットも含め1 バイトのデータ送受信後に"1" になります。 デバイスがバスマスタです。 デバイスがスレーブとしてアドレッシングされた。 ゼネラルコールアドレスを受信した。 アービトレーションロストが発生した。 デバイスがスレーブとしてアドレッシングされた場合は、アクノリッジビットを含むアドレスデータ受信終了時(7 ビットアドレスを受信した場合は最初のバイトの後、10 ビットアドレスを受信した場合は2 番目のバイトの後)にセットされます。

ライトアクセスの場合:

bit	説明
0	転送終了割込み要求フラグをクリアする。
1	影響なし

本ビットが"1"の間、SCL ラインは"L"レベルに保持されます。本ビットに"0"を書き込むと SCL ラインが解放され、次のバイトの転送が実行されるかリピートスタート/ストップ条件が生成されます。また、SCC ビットに"1"を書き込むか MSS ビットをクリアすると本ビットはクリアされます。

### ■ SCC, MSS, INT ビットの競合

SCC, MSS および INT ビットに同時に書き込みを行うと、次のバイトの転送、リピートスタート条件の生成およびストップ条件の生成が競合します。このときの優先順位を下記に示します。

- ・ 次のバイトの転送とストップ条件の生成—INT ビットに"0"を MSS ビットに"0"を書き込んだ場合は、MSS ビットが優先されストップ条件が生成されます。
- ・ 次のバイト転送とスタート条件の生成 :INT ビットに"0" が書き込まれ、SCC ビットに"1"が書き込まれると、SCC ビットが優先します。再起動条件が発生し、IDAR レジスタの内容が送信されます。
- ・ リピートスタート条件の生成とストップ条件の生成—SCC ビットに"1"を MSS ビットに"0"を書き込んだ場合は、MSS ビットのクリアが優先されます。ストップ条件が生成され、インタフェースはスレーブモードになります。

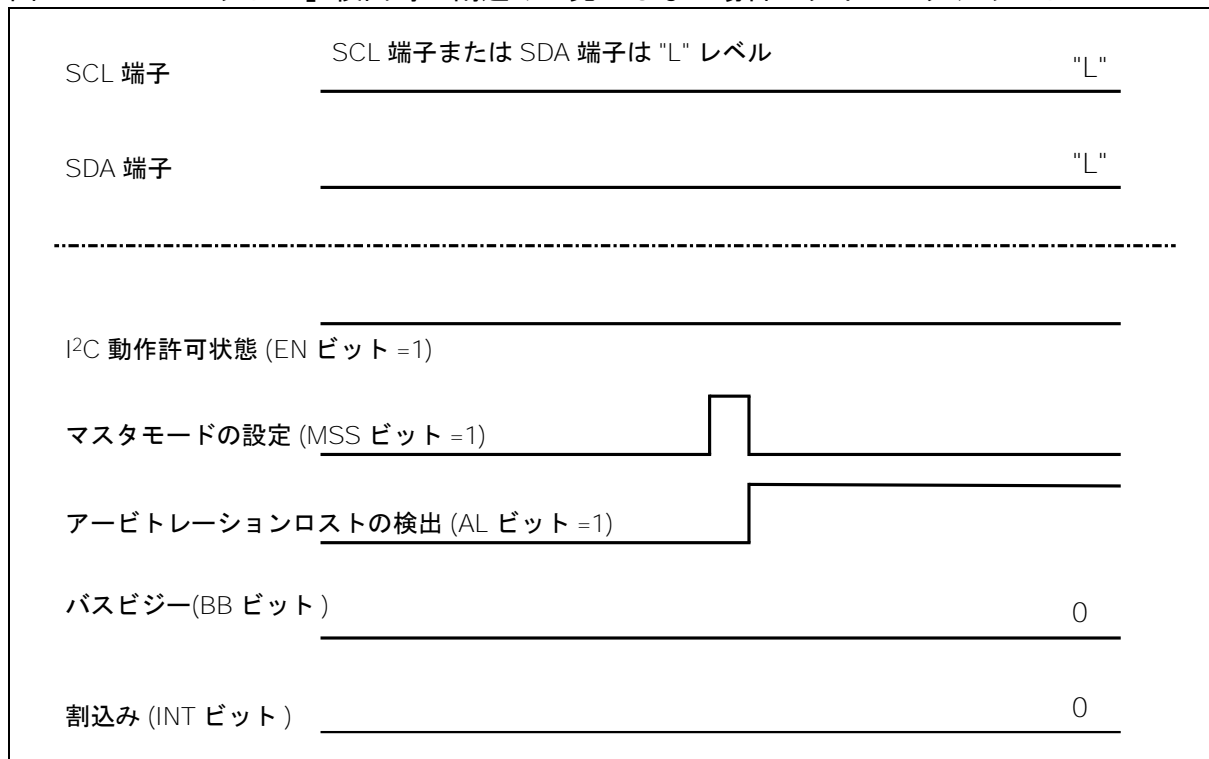
図 4-1 と図 4-2 に示したタイミングで、スタートコンディションを 発生させる命令を実行(MSS ビット

に"1"を設定) すると、アービトレーションロスト検出(AL ビット= 1)による割込み(INT ビット= 1) が発生しません。

### ● 事例 1—SCL および SDA 信号が"L"を保持している場合

BB ビットが"0"の(スタート条件が検出されていない) とき、MSS ビットを"1"にセットすると直ちに AL ビットがセットされます。ただし、このときは AL ビットによる INT ビットのセットは行われません。

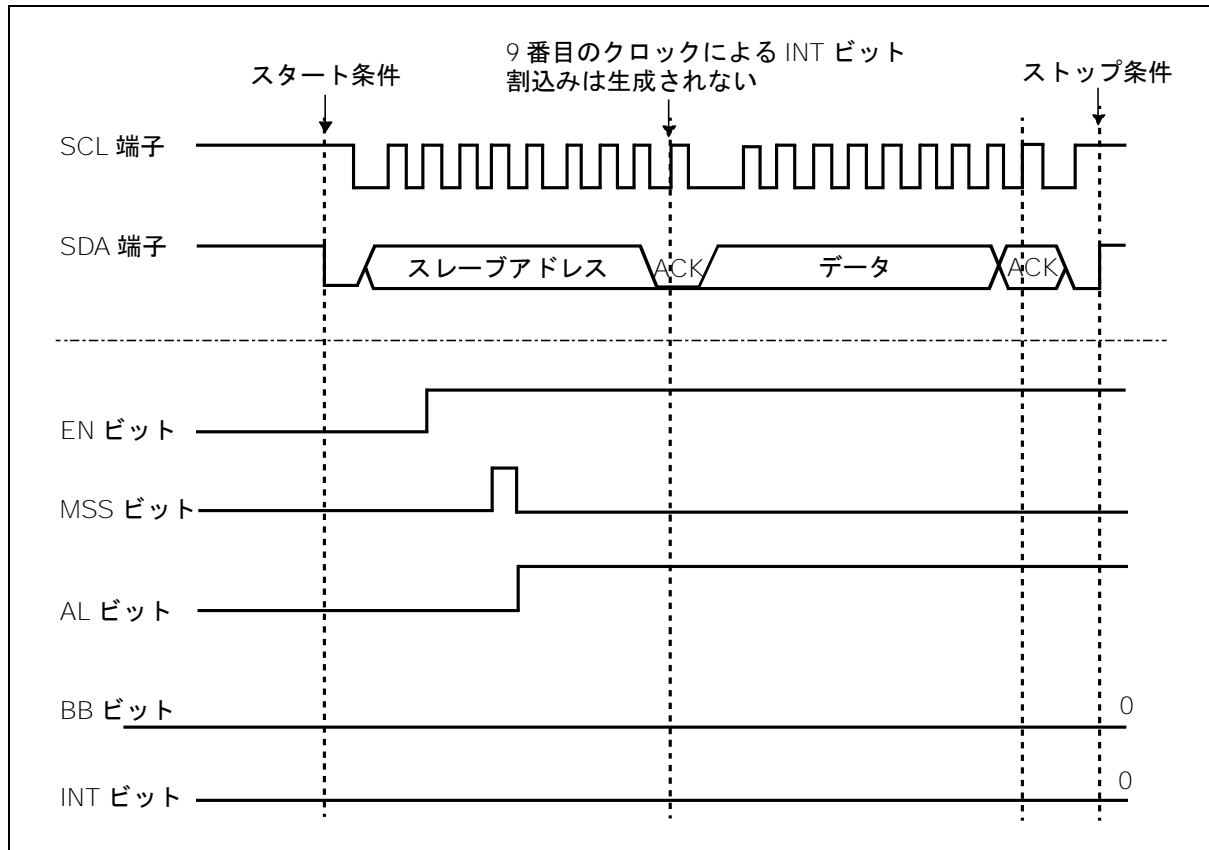
図 4-1 「AL ビット=1」検出時に割込みが発生しない場合のタイミングチャート



### ● 事例 2—ほかのバスマスタとの通信中に I<sup>2</sup>C インタフェースを許可したとき

現在実行中の通信によりバスが占有されているときに、EN ビットを"0"から"1"にセットしてインタフェースを I<sup>2</sup>C バスに参加させます。この場合は、BB ビットが"0"のままですから(スタート条件が検出されない)、MSS ビットを"1"にセットすると AL ビットは"1"を示します。ただし、このときは AL ビットによる INT ビットのセットは行われません。

図 4-2 「AL ビット=1」検出時に割り込みが発生しない場合のタイミングチャート

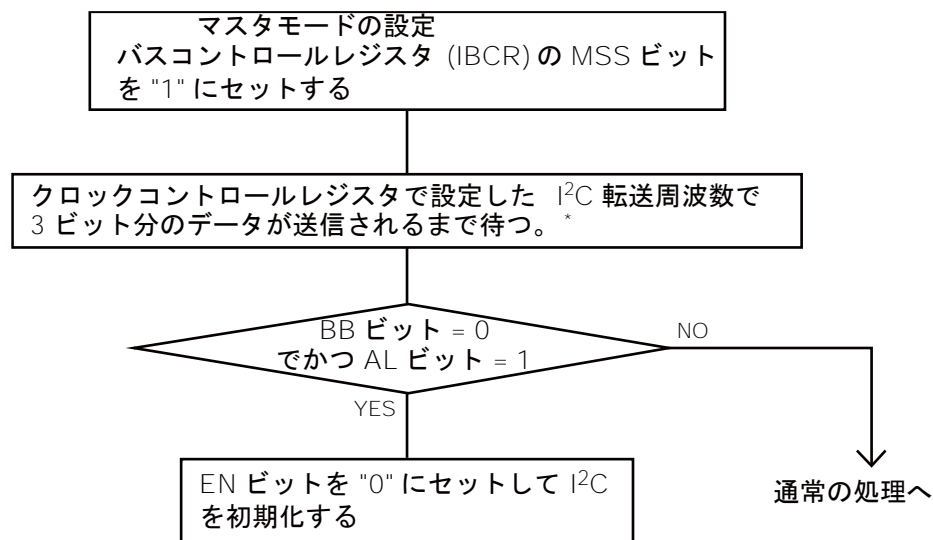


上記の現象が発生した場合、次の手順にしたがってプログラムによる処理を実行します。

1. スタート条件を生成する命令を実行する(MSS ビットを"1"にセットする)。
2. タイマ機能などを使用して、ICCR レジスタで設定した I<sup>2</sup>C 転送周波数で 3 ビット分データが送信されるのを待つ。<sup>\*</sup>  
 例: 100 kHz の I<sup>2</sup>C 転送周波数での 3 ビット分のデータ送信に要する時間 =  

$$(1 / (100 \times 10^3)) \times 3 = 30$$
3. IBSR レジスタの AL ビットと BB ビットをチェックし、AL ビットおよび BB ビットがそれぞれ"1"および"0"の場合は ICCR レジスタの EN ビットを"0"にして I<sup>2</sup>C を初期化する。AL ビットと BB ビットの値がこれと異なる場合は、通常の処理を実行する。

サンプルフローを下記に示します。

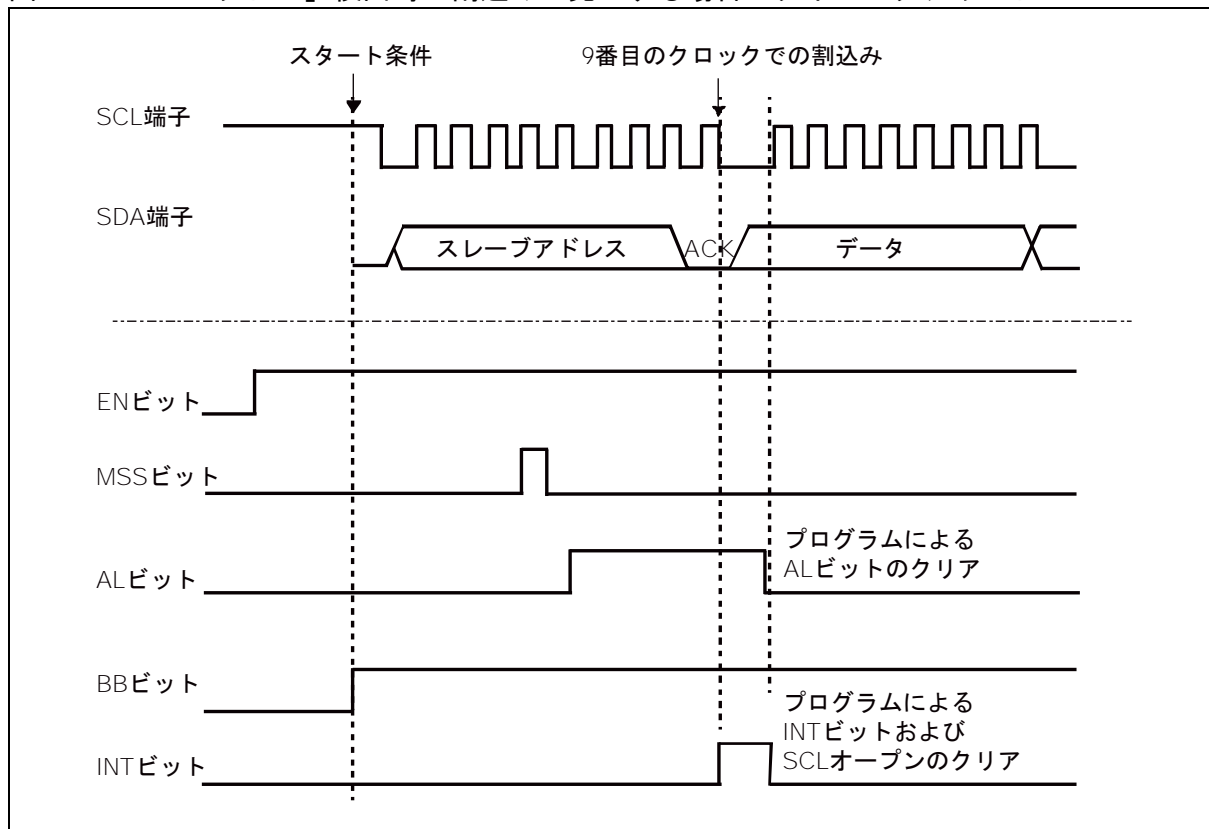


\*: アービトレーションロストが検出された場合、MSS ビットを"1"にセットして、I<sup>2</sup>C 転送周波数での 3 ビットデータ送信時間後には AL ビット=1 となります。

#### ● 「AL ビット=1」の検出による割込み発生(INT ビット=1)の例

スタート条件を生成する命令を実行した(MSS ビット=1にセット) ときに「バスビジー」が検出され(BB ビット=1)、アービトレーションロストが発生したときに場合、「AL ビット=1」が検出されると直ちに INT ビット割込みが発生します。

図 4-3 「AL ビット=1」 検出時に割込みが発生する場合のタイミングチャート





### 4.3. 10 ビットスレーブアドレスレジスタ (ITBA<sub>n</sub>)

10 ビットスレーブアドレスレジスタ (ITBA<sub>n</sub>) は、10 ビットのスレーブアドレスの指定に使用します。

#### ■ 10 ビットスレーブアドレスレジスタ (ITBA<sub>n</sub>)

本レジスタへのライトアクセスは、インタフェースを禁止にした (ICCR: EN=0) 場合にのみ可能です。

ITBAHn								
bit	15	14	13	12	11	10	9	8
	-	-	-	-	-	-	TA9	TA8
属性	-	-	-	-	-	-	R/W	R/W
初期値	0	0	0	0	0	0	0	0

ITBALn								
bit	7	6	5	4	3	2	1	0
	TA7	TA6	TA5	TA4	TA3	TA2	TA1	TA0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit15～bit10] -: 未定義

これらのビットは常に"0"を返します。

[bit9～bit0] TA9～TA0: 10 ビットスレーブアドレス

スレーブモードでアドレスデータを受信すると、10 ビットアドレスを使用するように設定している場合は (ITMK: ENTB=1)、ITBA レジスタとの比較が行われます。ライトアクセスの 10 ビットアドレスヘッダ\*1を受信した後でアクノリッジがマスタに送信されます。次に、2 番目に受信したバイトが ITBAL レジスタと比較されます。一致した場合は、アクノリッジ信号がマスタデバイスに送信され、AAS ビットがセットされます。

また、リピータースタート条件が検出された後では、リードアクセスの 10 ビットヘッダ\*2受信時にもインタフェースはアクノリッジします。

そのときスレーブアドレスのすべてのビットは ITMK レジスタを使用してマスクできます。10 ビットスレーブアドレスを受信後、その値は ITBA レジスタに書き戻され、IBSR レジスタの AAS ビットが"1"の間のみ有効です。

\*1: 10 ビットヘッダ(ライトアクセス)は「11110, TA9, TA8, 0」のビットシーケンスで構成されます。

\*2: 10 ビットヘッダ(リードアクセス)は「11110, TA9, TA8, 1」のビットシーケンスで構成されます。

## 4.4. 10 ビットスレーブアドレスマスクレジスタ(ITMKn)

10 ビットスレーブアドレスマスクレジスタ(ITMKn)には、10 ビットのスレーブアドレスマスクと 10 ビットスレーブアドレス許可ビットが格納されています。

### ■ 10 ビットスレーブアドレスマスクレジスタ(ITMKn)

ITMKHn								
bit	15	14	13	12	11	10	9	8
	ENTB	RAL	-	-	-	-	TM9	TM8
属性	R/W	R	-	-	-	-	R/W	R/W
初期値	0	0	1	1	1	1	1	1

ITMKLn								
bit	7	6	5	4	3	2	1	0
	TM7	TM6	TM5	TM4	TM3	TM2	TM1	TM0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

#### [bit15] ENTB: 10 ビットスレーブアドレス許可ビット

10 ビットスレーブアドレス(および受信時のアクノリッジ)を許可します。本ビットへのライトアクセスは、I<sup>2</sup>C インタフェースを禁止にした(ICCR: EN=0) 場合にのみ可能です。

bit	説明
0	10 ビットアドレス禁止
1	10 ビットアドレス許可

#### [bit14] RAL: 受信スレーブアドレス長ビット

7 ビットスレーブと 10 ビットスレーブのどちらでアドレッシングされたかを示します。リードオンリです。

bit	説明
0	7 ビットスレーブとしてアドレッシングされた。
1	10 ビットスレーブとしてアドレッシングされた。

両方のスレーブアドレスを許可している(ENTB=1 および ENSB=1) 場合は、本ビットを使用して、インタフェースが 7 ビットスレーブとしてアドレッシングされたのか 10 ビットスレーブとしてアドレッシングされたのかを判別できます。IBSR レジスタの AAS ビットが"1"の場合にのみ有効です。I<sup>2</sup>C インタフェースを禁止する(ICCR: EN=0)とリセットされます。

**[bit13～bit10] -: 未定義**

読出しでは常に"1"が返されます。

**[bit9～bit0] TM9～TM0: 10 ビットスレーブアドレスマスクビット**

本レジスタは、インタフェースの 10 ビットスレーブアドレスのマスクに使用します。本ビットへのライトアクセスは、I<sup>2</sup>C インタフェースを禁止にした (ICCR: EN=0) 場合にのみ可能です。

bit	説明
0	本ビットをスレーブアドレスの比較に使用しない。
1	本ビットをスレーブアドレスの比較に使用する。

I<sup>2</sup>C インタフェースから複数の 10 ビットスレーブアドレスに関するアクノリッジを返すのに使用できます。本レジスタの"1"にセットしたビットだけが 10 ビットスレーブアドレスの比較に使用されます。受信したスレーブアドレスが ITBA レジスタに書き戻され、IBSR レジスタの AAS ビットが"1"のときに ITBA レジスタを読み出すことによってスレーブアドレスを決定します。

---

**<注意事項>**

I<sup>2</sup>C インタフェースを許可にした後でアドレスマスクを変更した場合は、スレーブアドレスが前回受信したスレーブアドレスで上書きされている可能性があるため、スレーブアドレスをセットし直す必要があります。

---

## 4.5. 7 ビットスレーブアドレスレジスタ (ISBAn)

7 ビットスレーブアドレスレジスタ (ISBAn) には 7 ビットスレーブアドレスが格納されています。

### ■ 7 ビットスレーブアドレスレジスタ (ISBAn)

本レジスタへのライトアクセスは、I<sup>2</sup>C インタフェースを禁止にした (ICCR: EN=0) 場合にのみ可能です。

ISBAn	7	6	5	4	3	2	1	0
bit	-	SA6	SA5	SA4	SA3	SA2	SA1	SA0
属性	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7] -: 未定義

読出しでは常に "0" が返されます。

[bit6~bit0] SA6~SA0: 7 ビットスレーブアドレス

スレーブモードでアドレスデータを受信すると、7 ビットアドレスを使用するように設定している場合は (ITMK: ENSB=1)、受信したアドレスデータと ISBA レジスタとの比較が行われます。アドレスデータが一致した場合は、アクノリッジ信号がマスタデバイスに送信され、AAS ビットがセットされます。

スレーブアドレスのすべてのビットを ISMK レジスタを使用してマスクできます。受信した 7 ビットスレーブアドレスは ISBA レジスタに書き戻され、IBSR レジスタの AAS ビットが "1" の間のみ有効です。

10 ビットヘッダまたはゼネラルコールを受信した場合は、このレジスタの内容と受信データの比較は行われません。

## 4.6. 7 ビットスレーブアドレスマスクレジスタ (ISMKn)

7 ビットスレーブアドレスマスクレジスタ (ISMKn) には、7 ビットのスレーブアドレスマスクと 7 ビットスレーブアドレス許可ビットが格納されています。

### ■ 7 ビットスレーブアドレスマスクレジスタ (ISMKn)

本レジスタには 7 ビットスレーブアドレスマスクと 7 ビットモード許可ビットが格納されています。本レジスタへのライトアクセスは、I<sup>2</sup>C インタフェースを禁止にした (ICCR: EN=0) 場合にのみ可能です。

ISMKn		15	14	13	12	11	10	9	8
bit		ENSB	SM6	SM5	SM4	SM3	SM2	SM1	SM0
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		0	1	1	1	1	1	1	1

#### [bit15] ENSB: 7 ビットスレーブアドレス許可ビット

7 ビットスレーブアドレス(および受信時のアクリッジ)を許可します。

bit	説明
0	7 ビットスレーブアドレス禁止
1	7 ビットスレーブアドレス許可

#### [bit14~bit8] SM6~SM0: 7 ビットスレーブアドレスマスクビット

本レジスタは、インタフェースの 7 ビットスレーブアドレスのマスクに使用します。

bit	説明
0	本ビットをスレーブアドレスの比較に使用しない。
1	本ビットをスレーブアドレスの比較に使用する。

I<sup>2</sup>C インタフェースから複数の 7 ビットスレーブアドレスに関するアクリッジを返すのに使用できます。本レジスタの "1" にセットしたビットだけが 7 ビットスレーブアドレスの比較に使用されます。受信したスレーブアドレスが ISBA レジスタに書き戻され、IBSR レジスタの AAS ビットが "1" のときに ISBA レジスタを読み出すことによってスレーブアドレスを決定できます。

### <注意事項>

I<sup>2</sup>C インタフェースを許可にした後でアドレスマスクを変更した場合は、スレーブアドレスが前回受信したスレーブアドレスで上書きされている可能性があるため、スレーブアドレスをセットし直す必要があります。

## 4.7. データレジスタ(IDARn)

400 kHz I<sup>2</sup>C インタフェースのデータレジスタ(IDARn)はCPUによるデータの送受信に使用されます。

### ■ データレジスタ(IDARn)

IDARn								
bit	7	6	5	4	3	2	1	0
	D7	D6	D5	D4	D3	D2	D1	D0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

#### [bit7～bit0] D7～D0: データビット

データレジスタはシリアルデータ転送に使用され、MSB ファースト形式でデータを転送します。本レジスタはライト側はダブルバッファのため、バスが使用中であっても(BB=1)、シリアル転送用のレジスタにライトデータをロードできます。IBCR レジスタの INT ビットがクリアされるかバスがアイドル状態になると(IBSR: BB=0)、データバイトは内部転送レジスタにロードされます。リードアクセスの場合は内部レジスタが直接読み出されるため、本レジスタの受信データ値は IBCR: INT=1 の場合にのみ有効です。

## 4.8. クロックコントロールレジスタ (ICCRn)

クロックコントロールレジスタ (ICCRn)には次の機能があります。

- テストモードの許可
- I/O パッドノイズフィルタの許可
- I<sup>2</sup>C インタフェースの動作の許可
- シリアルクロック周波数の設定

### ■ クロックコントロールレジスタ (ICCRn)

ICCRn								
bit	15	14	13	12	11	10	9	8
	-	NSF	EN	CS4	CS3	CS2	CS1	CS0
属性	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	1	1	1	1	1

[bit15] -: 未定義

読出しでは常に"0"が返されます。

[bit14] NSF: I/O パッドノイズフィルタ許可ビット

SDA および SCL I/O パッドに内蔵されているノイズフィルタを有効にします。

ノイズフィルタは、周辺クロック CLKP1 において、パルス幅が最大で 1~1.5 サイクルのスパイクを除去します。最大値は、I<sup>2</sup>C の信号(SDA, SCL)と周辺クロック CLKP1 の位相関係に依存します。

インタフェースが 100 K ビット以上のデータ転送速度で送信または受信している場合は"1"にセットする必要があります。

bit	説明
0	I/O パッドノイズフィルタ禁止
1	I/O パッドノイズフィルタ許可

[bit13] EN: 許可ビット

I<sup>2</sup>C インタフェースを許可するビットです。セットできるのはユーザだけですが、クリアについては、ユーザおよびハードウェアからも行われます。

bit	説明
0	禁止
1	許可

本ビットを"0"にセットすると、IBSR レジスタおよび IBCR レジスタのすべてのビットがクリアされ(BER および BEIE ビットを除く)、モジュールが禁止されて I<sup>2</sup>C ラインはオープンのままになります。バスエラーが発生した場合は(IBC: BER=1)、ハードウェアによってクリアされます。

### <注意事項>

I<sup>2</sup>C インタフェースを禁止すると直ちに送受信が停止し、I<sup>2</sup>C バスの状態が不安定になるおそれがあります。

#### [bit12~bit8] CS4~CS0: クロックプリスケアラビット

シリアルビットレートを選択に使用します。I<sup>2</sup>C インタフェースが禁止状態 (EN=0)か、同じライトアクセスで EN ビットがクリアされた場合にのみ変更できます。

n	bit12	bit11	bit10	bit9	bit8	
1	0	0	0	0	1	ビットレート: $\phi / 28(+1)$
2	0	0	0	1	0	ビットレート: $\phi / 40(+1)$
3	0	0	0	1	1	ビットレート: $\phi / 52(+1)$
4	0	0	1	0	0	ビットレート: $\phi / 64(+1)$
...						
31	1	1	1	1	1	ビットレート: $\phi / 388(+1)$

(+1) はノイズフィルタが許可されているときには除数に 1 を加算することを意味します。

### ■ クロックプリスケアラの設定

CS0~CS4 の計算式は次のように定義されます。

$$\text{ビットレート} = \frac{\phi}{n \times 12 + 16} \quad n > 0 \quad \phi: \text{周辺クロック (CLKP1), ノイズフィルタ禁止}$$

$$\text{ビットレート} = \frac{\phi}{n \times 12 + 17} \quad n > 0 \quad \phi: \text{周辺クロック (CLKP1), ノイズフィルタ許可}$$

表 4-1 プリスケアラの設定

n	CS4	CS3	CS2	CS1	CS0
1	0	0	0	0	1
2	0	0	0	1	0
3	0	0	0	1	1
...					
31	1	1	1	1	1

(注意事項) SDA/SCL タイミングに反するため n=0 のプリスケアラ設定は使用しないでください。



## ■ 一般的な周辺クロック CLKP1 周波数

表 4-2 に最も一般的な周辺クロック (CLKP1) の周波数とプリスケアラの設定および送信ビットレートを示します。

表 4-2 一般的な周辺クロック CLKP1 周波数

CLKP1 周波数 [MHz]	100 K ビット (ノイズフィルタ禁止)		400 K ビット (ノイズフィルタ許可)	
	n	ビットレート [K ビット]	n	ビットレート [K ビット]
24	19	98	4	369
20	16	96	3	377
16	12	100	2	390
$40/3 = 13.3$	10	98	2	325
12	9	96	2	292
$64/6 = 10.6$	8	94	1	367
10	7	100	1	344
8	6	90	1	275

# Chapter 21: CAN コントローラ



---

CAN コントローラの機能と動作を説明します。

---

1. 概要
2. 機能の説明
3. CAN アプリケーション
4. 各レジスタの説明
5. CAN デバイス関連のレジスタ
6. CAN プロトコル関連のレジスタ
7. メッセージインタフェースレジスタセット
8. メッセージメモリ内のメッセージオブジェクト
9. メッセージハンドラのレジスタ

---

## <注意事項>

CAN なし品は CAN レジスタへのアクセスは禁止です。

---

---

管理コード : 96F3CAN-J03.0

---

## 1. 概要

CAN は CAN プロトコル Ver 2.0 part A および Ver 2.0 part B に準拠して通信を実行します。プログラムによって最大 1Mbps のビットレートが設定できます。物理層への接続には別途トランシーバハードウェアが必要です。

### ■ 特長

CAN には次の特長があります。

- CAN プロトコル Ver 2.0 part A および Ver 2.0 part B に準拠
- 最大 1Mbps のビットレート
- 32 (最大 128) のメッセージオブジェクト
- 各メッセージオブジェクト個別の ID マスク
- プログラミング可能な FIFO モード(メッセージオブジェクトの連結)
- マスク可能な割込み
- タイムトリガ CAN アプリケーション用自動再送信無効モード
- 自己診断動作用のプログラミング可能なループバックモード

### <注意事項>

本章で使用するレジスタ名のサフィックス"n"は CAN コントローラ番号を示します。

### ■ 略語

本章で使用する用語および略語を下記に示します。

表 1-1 本章で使用する用語および略語

用語	意味
CAN	コントローラエリアネットワーク
BSP	ビットストリームプロセッサ
BTL	ビットタイミングロジック
CRC	巡回冗長検査
DLC	データ長コード
EML	エラー制御ロジック
FSM	(有限) ステートマシン
TTCAN	タイムトリガ型 CAN

## 2. 機能の説明

CAN モジュールの動作モードの概要とその使用方法を説明します。

### ■ ソフトウェアによる初期化

ソフトウェアでの初期化要因を以下に示します。

- ・ ハードウェアリセット
- ・ CAN 制御レジスタの INIT ビットの設定
- ・ バスオフ状態への遷移

ハードウェアリセットではメッセージオブジェクト(MSGVAL, NEWDAT, INTPND, TXRQST ビットを除く) は初期化されません。それ以外はすべて初期化されます。

そのため、ハードウェアリセット後、以下のいずれかの方法でメッセージオブジェクトを初期化してください。

1. インタフェースレジスタ経由ですべてのメッセージオブジェクトを初期化する。
2. 使用するメッセージオブジェクトのみインタフェースレジスタ経由で初期化する。使用しないメッセージオブジェクトは MSGVAL を "0" のままにし、初期化を行わない。

また、ビットタイミングレジスタを設定する場合には、CAN 制御レジスタの INIT ビットを "0" にクリアする前に設定してください。

CAN 制御レジスタの INIT ビットは、以下の条件で "1" に設定されます。

- ・ CPU からの "1" 書込み
- ・ ハードウェアリセット
- ・ バスオフ

INIT ビットが "1" に設定されると、CAN バスの全メッセージ送受信は停止され、CAN バス出力の CAN\_TX 端子はレセツプ出力となります。(CAN\_TX テストモードは除く)

INIT ビットに "1" をセットすると、エラーカウンタは変化しませんし、レジスタも変更されません。CAN 制御レジスタの INIT ビットと CCE ビットが "1" に設定されると、ボーレート制御用のビットタイミングレジスタと BRP 拡張レジスタへの設定が可能となります。

INIT ビットを "0" にリセットすることによりソフトウェア初期化を終了します。

INIT ビットが "0" にリセットされてから、連続した 11 ビットのレセツプの発生(=バスアイドル)を待つことにより、CAN バス上のデータ転送と同期化した後、メッセージの転送が行われます。通常動作中にメッセージオブジェクトのマスク, ID, XTD, EOB, RMTEN を変更する場合、MSGVAL を無効に設定してから変更してください。

### ■ CAN メッセージの転送

CAN の初期化が完了し INIT を "0" にリセットすると、CAN コアと CAN バスの同期が行われ、メッセージの転送が開始されます。

受信したメッセージからメッセージハンドラの受容フィルタフィルタリングが渡された場合は、受信したメッセージは対応するメッセージオブジェクトに格納されます。アービトレーションビット, DLC および 8 データバイトを含むメッセージ全体がメッセージオブジェクトに格納されます。ID マスクを使用している場合は、アービトレーションビットは「無効(don't care)」とマスクされ、メッセージオブジェクト内で上書きできます。

CPU はいいつでもインタフェースレジスタを通じて各メッセージを読み出したりは書込みができ、同時アクセス時のデータの一貫性はメッセージハンドラによって保証されます。

送信するメッセージは CPU によって更新します。送信メッセージに対する永久メッセージオブジェクト(設

定時にアービトレーションビットと制御ビットをセット) が存在する場合はデータバイトだけが更新され、TXRQST ビットと NEWDAT ビットがセットされて送信が開始されます。同一のメッセージオブジェクトに複数の送信メッセージを割り当てた場合は(メッセージオブジェクトの数が不足した場合)、そのメッセージを送信する前にメッセージオブジェクト全体を構成する必要があります。

同時に複数のメッセージオブジェクトの送信が要求された場合は、内部的な優先順位に基づいて順次送信されます。要求された送信が保留されているときでも、随時にメッセージの更新または無効設定を行うことができます。メッセージの更新があった場合は、保留中の送信が開始される前に前のデータは破棄されます。メッセージオブジェクトの構成によっては、ID の一致したリモートフレームの受信により自律的にメッセージの送信が要求されることがあります。

## ■ 自動再送信無効モード

CAN の仕様(「ISO11898, 6.3.3 Recovery Management (回復制御)」を参照してください) に基づき、CAN にはアービトレーションロストしたり送信時のエラーによって散逸したフレームを自動的に再送信したりする機能が備えられています。送信が正しく完了されない限り、ユーザに対しフレーム送信サービスが確立されることはありません。デフォルトでは、この自動再送信機能が有効に設定されています。タイムトリガ CAN (TTCAN, 「ISO11898-1」を参照してください) 環境で CAN を使用する場合は、この機能を無効に設定できます。自動再送信無効モードを使用するには、CAN 制御レジスタ CTRLRn の DAR ビットを"1"にセットします。この動作モードを使用すると、次の場合にメッセージバッファの制御レジスタの TXRQST ビットと NEWDAT ビットの働きが通常とは異なることに注意してプログラミングする必要があります。

各メッセージバッファの送信開始ビット TXRQST をリセットしても NEWDAT ビットはセットしたままになります。

送信正常完了時に NEWDAT ビットがリセットされます。

送信に失敗した場合(アービトレーション喪失あるいはエラー)、NEWDAT ビットはセットされたままになります。送信を再開するには、CPU が TXRQST を"1"に設定し直す必要があります。

ホスト側が複数メッセージの同時送信を要求した場合、そのうちの2つのメッセージだけが送信されます。要求されたほかのすべての送信メッセージに対しては、TXRQST ビットがリセットされますが、送信は開始されず、NEWDAT と INTPND はそのままの状態です。送信される2つのメッセージに関しては、TXRQST ビットと NEWDAT ビットがリセットされ、TXIE によって許可されている場合、INTPND がセットされます。

## ■ テストモード

CAN 制御レジスタの TEST ビットを"1"にセットするとテストモードに移行します。テストモードでは、テストレジスタ TESTRn の TX1, TX0, LBACK, SILENT, BASIC の各ビットが書込み可能になります。RX ビットは CAN\_RX 端子の状態を監視しているため読取り専用です。TEST ビットを"0"にリセットすると、テストレジスタのすべての機能が無効になります。

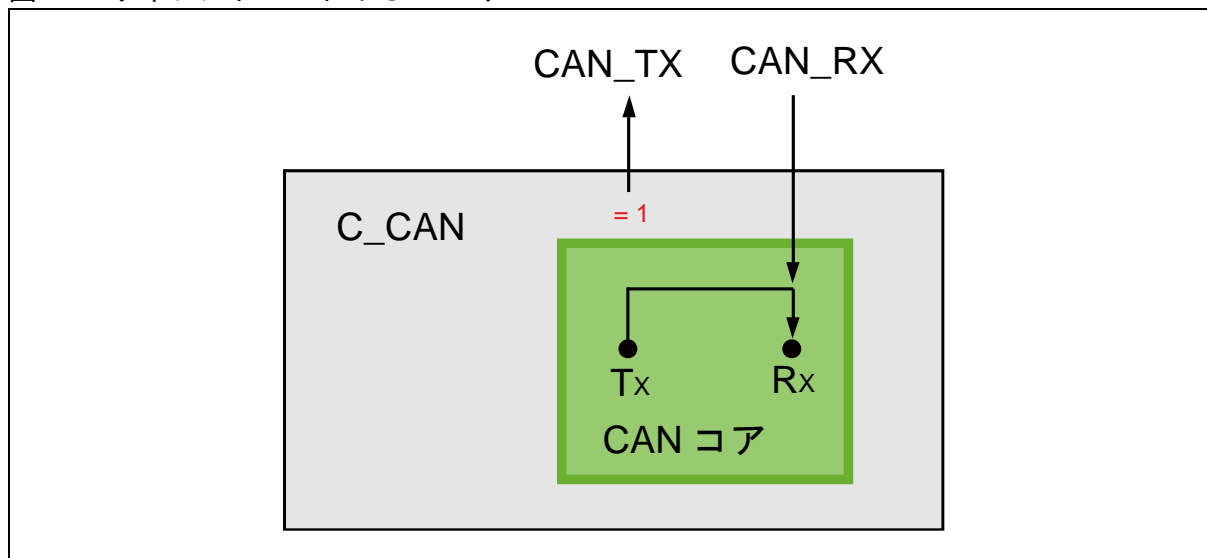
## ■ サイレントモード

テストレジスタ (TESTRn) の SILENT ビットを"1"にセットすると、CAN コアをサイレントモードにすることができます。

サイレントモードでは、データフレームとリモートフレームを受信可能であるが、CAN バス上にはレセプションのみ出力し、メッセージおよび ACK の送信を行いません。ドミナントビット(ACK ビット、オーバロードフラグ、アクティブエラーフラグ) の送信が必要な場合は、内部的に経路が変更されて CAN コアでこのドミナントビットの監視が行われ、CAN バスはレセプション状態を保持できます。サイレントモードを使用してドミナントビット(ACK ビット、エラーフレーム)を送信することにより、CAN バスに影響を与えずに CAN バス上のトラフィックの分析を行うことができます。図 2-1 にサイレントモードでの CAN\_TX 信号および CAN\_RX 信号と CAN コアの接続を示します。

ISO 11898-1 では、このサイレントモードはバス監視モードとよばれます。

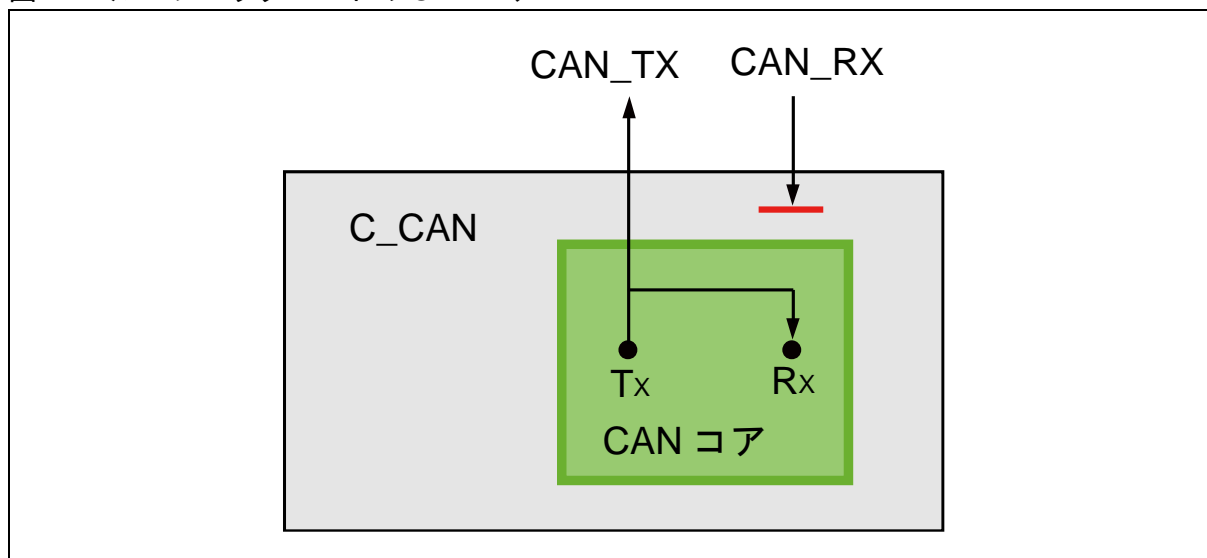
図 2-1 サイレントモードの CAN コア



## ■ ループバックモード

テストレジスタ TESTRn の LBACK ビットを"1"にセットすることにより CAN コアをループバックモードにすることができます。ループバックモードでは、CAN コアは自身が送信したメッセージを受信したメッセージと見なして、受信バッファに格納します(アクセプタンスフィルタを通過した場合)。図 2-2 にループバックモードでの CAN\_TX 信号および CAN\_RX 信号と CAN コアの接続を示します。

図 2-2 ループバックモードの CAN コア



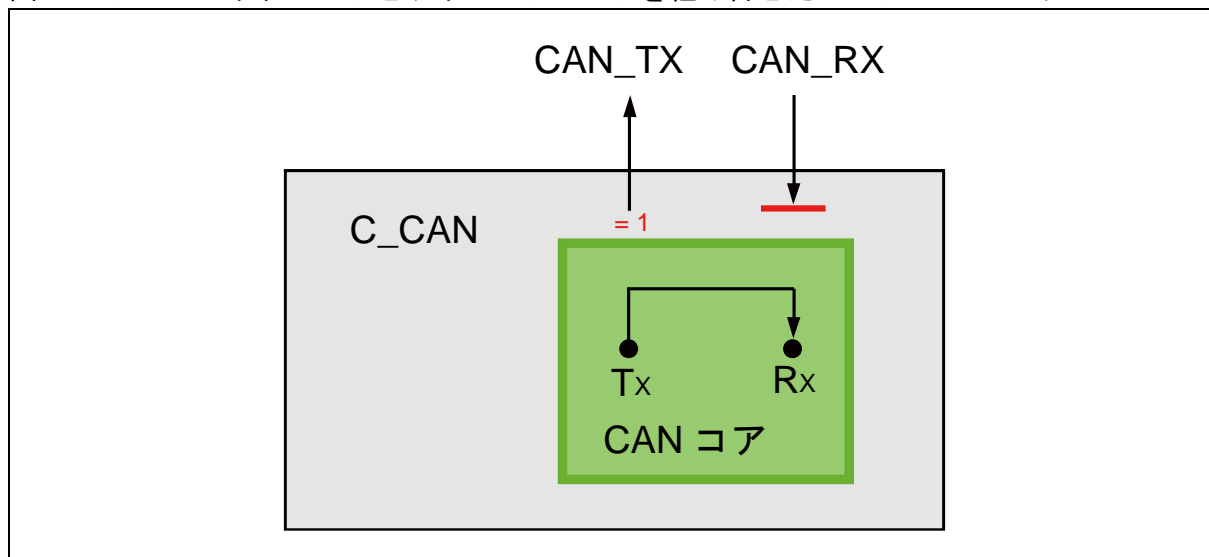
このモードは自己診断機能用です。ループバックモードでは、外部シミュレーションに依存しないよう、CAN コアはアクノリッジエラー(データ/リモートフレームのアクノリッジスロット内にサンプリングされているレセシブビット)を無視します。このモードでは、CAN コアはTX出力からRX入力への内部フィー

ドバックを実行します。CAN\_RX 入力端子の実際値は CAN コアで無視されます。送信したメッセージを CAN\_TX 端子で監視できます。

## ■ ループバックモードとサイレントモードとの組合せ

LBACK ビットと SILENT ビットを同時に"1"にすることにより、ループバックモードとサイレントモードを組み合わせて使用することもできます。このモードを使用して「ホットセルフテスト」を実行する、つまり CAN\_TX 端子と CAN\_RX 端子に接続されている CAN システムの実行に影響を与えずに CAN のテストを行うことができます。このモードでは、CAN\_RX 端子は CAN コアから切り離され、CAN\_TX 端子はレセプシブに保持されます。図 2-3 に、ループバックモードとサイレントモードを組み合わせた場合の CAN\_TX 信号および CAN\_RX 信号と CAN コアの接続を示します。

図 2-3 ループバックモードとサイレントモードを組み合わせたモードの CAN コア



## ■ ベーシックモード

テストレジスタ TESTRn の BASIC ビットを"1"にセットすると、CAN コアをベーシックモードにすることができます。このモードでは、メッセージ RAM を使用せずに CAN モジュールが実行されます。

IF1 レジスタは送信バッファとして使用されます。IF1 レジスタの内容の送信をリクエストするには、IF1 コマンドリクエストレジスタ IF1CREQn の BUSY ビットに"1"を書き込みます。BUSY ビットを"1"にセットすると IF1 レジスタはロックされます。BUSY ビットは送信が保留中であることを示します。

CAN バスがアイドル状態になると、直ちに IF1 レジスタの内容が CAN コアのシフトレジスタにロードされて送信が開始されます。送信が完了すると BUSY ビットはリセットされ、ロックされていた IF1 レジスタが解放されます。

保留中の送信は、IF1 レジスタがロックされている間に IF1 コマンドリクエストレジスタ IF1CREQn の BUSY ビットをリセットすることにより、いつでも打ち切ることができます。CPU によって BUSY ビットをリセットした場合は、アービトラジョンロストまたはエラー発生時の再送信は実行されません。

IF2 レジスタは受信バッファとして使用されます。メッセージを受信すると、アクセプタンスフィルタを使用せずにシフトレジスタの内容が IF2 レジスタに格納されます。

また、メッセージ転送中のシフトレジスタの実際の内容を監視することもできます。IF2 コマンドリクエストレジスタ IF1CREQn の BUSY ビットに"1"を書き込んでメッセージオブジェクト読取りを実行するたびに、シフトレジスタの内容が IF2 レジスタに格納されます。

ベーシックモードでは、制御ビットとステータスビットに関するすべてのメッセージオブジェクトの評価

と、IFx コマンドマスクレジスタ IF1CMSKn の制御ビットの評価は行われません。コマンドリクエストレジスタのメッセージ番号は評価されません。IF2 メッセージ制御レジスタ IF2MCTRn の NEWDAT ビットおよび MSGLST ビットはその機能を保持し、DLC3～DLC0 は受信した DLC を示し、ほかの制御ビットの読出しには"0"が返されます。

## ■ CAN\_TX 端子のソフトウェア制御

CAN 送信端子 CAN\_TX は 4 種類の出力機能に使用できます。デフォルトの機能であるシリアルデータ出力のほかに、CAN コアでのビットタイミングを監視するために CAN サンプルポイント信号を出力したり、一定のドミナント値またはレセシブ値を出力できます。後の 2 つの機能と読取り可能な CAN\_RX 端子を組み合わせ使用し、CAN バスの物理層をチェックできます。

テストレジスタ TESTRn の TX1 ビットおよび TX0 の設定により CAN\_TX 端子の出力モードを選択します(「6. CAN プロトコル関連のレジスタ」を参照してください)。

CAN\_TX 端子の 3 つのテスト機能は CAN プロトコルのすべての機能と干渉します。CAN メッセージの転送時またはテストモード、ループバックモード、サイレントモード、ベーシックモードのいずれかを選択した場合は、CAN\_TX をデフォルトの機能にしておく必要があります。



### 3. CAN アプリケーション

アプリケーションでの CAN モジュールの使用方法を説明します。

#### ■ メッセージオブジェクトの制御

メッセージ RAM のメッセージオブジェクト設定 (MSGVAL, NEWDAT, INTPND, TXRQST ビットを除く) は、ハードウェアリセットによって初期化されません。そのため、ハードウェアリセット後、以下のいずれかの方法でメッセージオブジェクトを初期化してください。

1. インタフェースレジスタ経由ですべてのメッセージオブジェクトを初期化する。
2. 使用するメッセージオブジェクトのみインタフェースレジスタ経由で初期化する。使用しないメッセージオブジェクトは MSGVAL を "0" のままにし、初期化を行わない。

また、CAN ビットタイミングレジスタの設定は CAN 制御レジスタの INIT ビットが "1" のとき行ってください。

メッセージオブジェクトの設定は、メッセージインタフェースレジスタ (IFx マスクレジスタ, IFx アービトレーションレジスタ, IFx メッセージ制御レジスタ, IFx データレジスタ) に設定した後、IFx コマンドリクエストレジスタへのメッセージ番号を書き込んでください。この書き込みによって、そのインタフェースレジスタのデータが指定されたメッセージオブジェクトへ転送されます。

CAN 制御レジスタの INIT ビットが "0" にクリアされると CAN コントローラは動作を開始します。アクセプタンスフィルタを通過した受信メッセージは、メッセージ RAM へ格納されます。送信要求が保留されているメッセージは、メッセージ RAM から CAN コントローラのシフトレジスタへ転送された後、CAN バスへの送信が行われます。

メッセージインタフェースレジスタ経由で、CPU は受信メッセージの読出しと送信メッセージの更新を行います。また CPU への割込みは、CAN 制御レジスタおよび IFx メッセージ制御レジスタ (メッセージオブジェクト) の設定に従って実行されます。

#### ■ メッセージハンドラステートマシン

メッセージハンドラは、CAN コアの RX/TX シフトレジスタ、メッセージ RAM、IFx レジスタの相互間のデータ転送を制御します。

メッセージハンドラ FSM は、下記の機能を制御します。

- ・ IFx レジスタからメッセージ RAM へのデータの転送
- ・ メッセージ RAM から IFx レジスタへのデータの転送
- ・ シフトレジスタからメッセージ RAM へのデータの転送
- ・ メッセージ RAM からシフトレジスタへのデータの転送
- ・ シフトレジスタからアクセプタンスフィルタリングユニットへのデータの転送
- ・ メッセージオブジェクトのマッチングのためのメッセージ RAM のスキャン
- ・ TXRQST フラグの処理
- ・ 割込みの処理

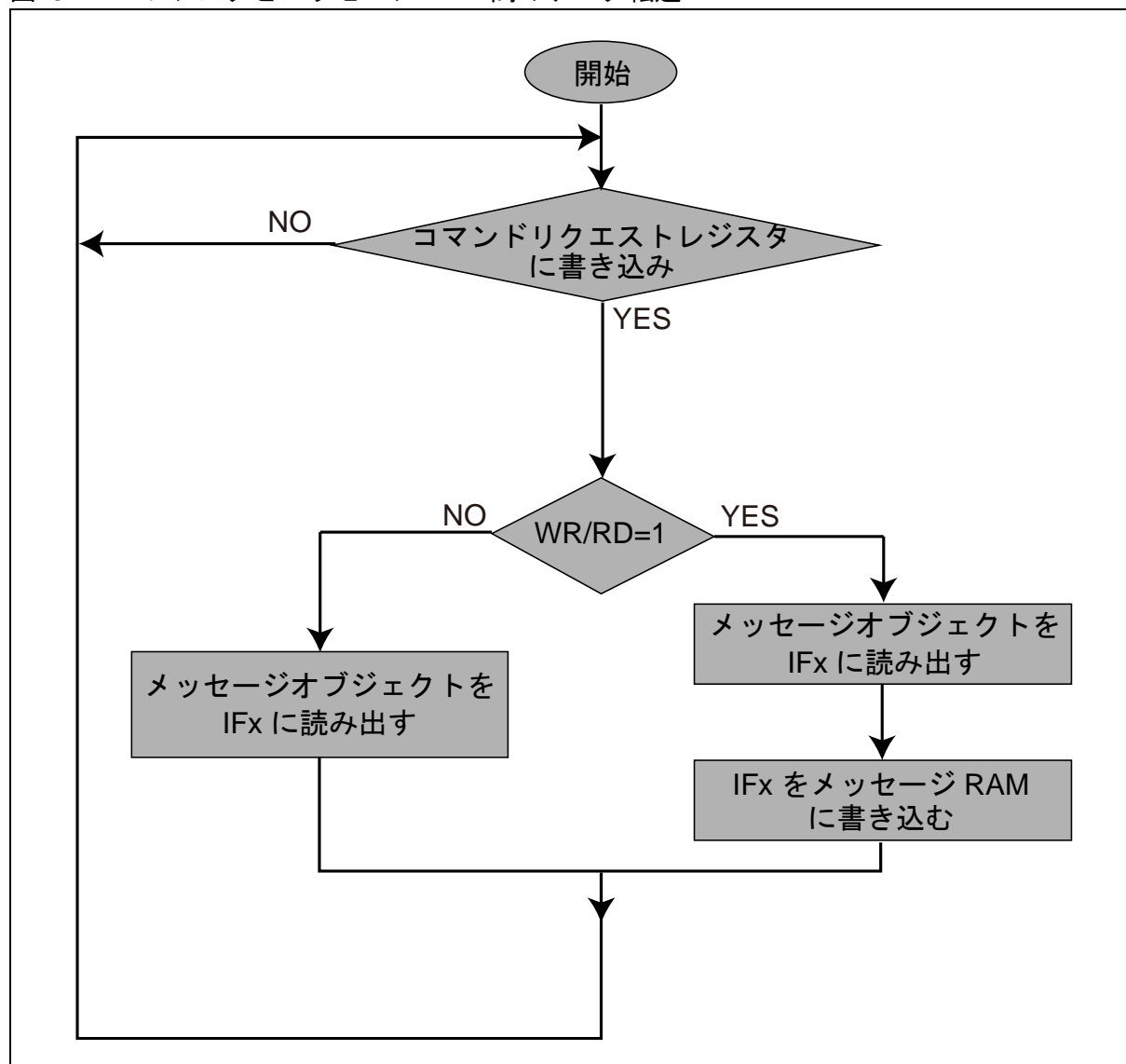
#### ■ メッセージ RAM とのデータの転送

CPU は IFx レジスタとメッセージ RAM 間のデータ転送を開始すると、メッセージハンドラは内部的なビジー信号をセットし、次の連続アクセスを遅延させます。転送が完了すると、このビジー信号がリセットされ、次のアクセスが実行されます。

各コマンドマスクレジスタは、メッセージオブジェクト全体を転送するのか、その一部を転送するのかを指定します。メッセージ RAM の構造上の制約により 1 つのメッセージオブジェクトの単一のビット/バイトだけを書き込むことはできないため、メッセージ RAM には常に 1 つのメッセージオブジェクト全体を書

き込む必要があります。そのため、IFx レジスタからメッセージ RAM へのデータ転送にはリードモディファイライト(RMW) サイクルが必要です。まずメッセージオブジェクトの変更を加えない部分をメッセージ RAM から読み出してから、次にメッセージバッファレジスタの完全な内容をメッセージオブジェクトに転送します。

図 3-1 IFx レジスタとメッセージ RAM 間のデータ転送



メッセージオブジェクトの一部書込みの後で、コマンドマスクレジスタ内の選択されていないメッセージバッファレジスタには、選択したメッセージオブジェクトの実際の内容がセットされます。メッセージオブジェクトの一部読出しの後では、コマンドマスクレジスタ内の選択されていないメッセージバッファレジスタには変更はありません。

## ■ メッセージの送信

CAN コアセルのシフトレジスタのローディングの準備が完了し IFx レジスタとメッセージ RAM 間のデータ転送がない場合、メッセージ有効レジスタの MSGVAL ビットと送信リクエストレジスタの TXRQST ビット

トの評価が行われます。優先度が最も高い保留中の送信リクエストのメッセージオブジェクトがメッセージハンドラによってシフトレジスタにロードされ、送信が開始されます。メッセージオブジェクトの NEWDAT ビットはリセットされます。

送信に成功した後、送信開始以降に新しいデータがメッセージオブジェクトに書き込まれていない場合は (NEWDAT = 0)、TXRQST ビットがリセットされます。TXIE がセットされているときは、送信に成功した後で INTPND がセットされます。CAN がアービトレーションをロストしたか送信時にエラーが発生した場合、そのメッセージは CAN バスが空くのを待って直ちに再送信されます。送信リクエストが保留されているメッセージは、優先度の高いものから順次送信されます。

## ■ 受信したメッセージのアクセプタンスフィルタリング

受信メッセージのアービトレーションおよび制御フィールド (ID + IDE + RTR + DLC) が CAN コアの RX/TX シフトレジスタに完全にシフトされると、メッセージハンドラ FSM はメッセージ RAM のスキャンを開始して一致する有効なメッセージオブジェクトを検索します。

メッセージ RAM をスキャンして一致するメッセージオブジェクトを検索するために、アクセプタンスフィルタリングユニットが、アービトレーションビットを使用して CAN コアのシフトレジスタからロードされます。次に、メッセージオブジェクト 1 のアービトレーションとマスクフィールド (MSGVAL, UMASK, NEWDAT, EOB) がアクセプタンスフィルタリングユニットにロードされ、シフトレジスタのアービトレーションフィールドと比較されます。この操作は一致するメッセージオブジェクトが見つかるかメッセージ RAM の終わりに達するまで反復されます。

一致するメッセージオブジェクトが存在した場合は、メッセージハンドラ FSM はスキャンを停止し、受信したフレームの種類 (データフレームまたはリモートフレーム) に基づいて処理を続行します。

## ■ データフレームの受信

メッセージハンドラ FSM は、CAN コアのシフトレジスタからのメッセージを、メッセージ RAM 内の対応するメッセージオブジェクトに格納します。データバイトだけでなく、アービトレーションビットやデータ長コードもすべて対応するメッセージオブジェクト内に格納されます。これは、アービトレーションマスクレジスタを使用している場合でも ID で連結されているデータバイトを保持するための実装です。

新しいデータ (まだ CPU からは見えない) を受信したことを示すために NEWDAT ビットがセットされます。CPU は、メッセージオブジェクトを読み出したときに NEWDAT をリセットする必要があります。受信時に NEWDAT ビットが既にセットされていた場合は、前のデータ (CPU からは見えていない) が失われたことを示すために MSGLST がセットされます。RXIE ビットがセットされていた場合は INTPND ビットがセットされ、割り込みレジスタはこのメッセージオブジェクトを指します。

リクエストしたデータフレームを受信すると、メッセージオブジェクトの TXRQST がリセットされリモートフレームの送信を防止します。

## ■ リモートフレームの受信

リモートフレームを受信したときは、一致するメッセージオブジェクトの 3 種類の構成を考慮する必要があります。

1) DIR = "1" (方向=送信), RMTEN = "1", UMASK = "1" または "0"

一致したリモートフレームの受信を行い、このメッセージオブジェクトの TXRQST ビットのみ "1" に設定し、リモートフレームに対するデータフレームの自動返信 (送信) を行います (TXRQST ビット以外のメッセージオブジェクトは変更されません)。

2) DIR = "1" (方向=送信), RMTEN = "0", UMASK = "0"

一致するリモートフレームを受信しても、そのメッセージオブジェクトの TXRQST ビットは変化せず、

このリモートフレームは無視されます。

3) DIR = "1" (方向=送信), RMTEN = "0", UMASK = "1"

一致するリモートフレームを受信すると、そのメッセージオブジェクトの TXRQST ビットがリセットされます。シフトレジスタからのアービトレーションおよび制御フィールド(ID + IDE + RTR + DLC) がメッセージ RAM 内のメッセージオブジェクトに格納され、このメッセージオブジェクトの NEWDAT ビットがセットされます。メッセージオブジェクトのデータフィールドには変更はなく、このリモートフレームは受信したデータフレームと同じように処理されます。

## ■ 受信/送信の優先度

メッセージオブジェクトの受信/送信の優先度はメッセージ番号によって決まります。メッセージオブジェクト 1 には最上位の優先度が与えられ、メッセージオブジェクト 32 (最大の実装メッセージオブジェクト番号) には最下位の優先度が与えられます。複数の送信リクエストが保留中のときは、対応するメッセージオブジェクトの優先順位に従ってサービスが行われます。

## ■ 送信オブジェクトの構成

表 3-1 に送信オブジェクトを初期化する方法を示します。

表 3-1 送信オブジェクトの初期化

MSGVAL	ARB	DATA	MASK	EOB	DIR	NEWDAT	MSGLST	RXIE	TXIE	INTPND	RMTEN	TXRQST
1	appl.	appl.	appl.	1	1	0	0	0	appl.	0	appl.	0

アービトレーションレジスタ(ID28～ID0 および XTD ビット) はアプリケーションによって設定します。このレジスタで送信メッセージの ID と種類を定義します。11 ビット ID(標準フレーム) を使用する場合は ID28～ID18 を使用し、ID17～ID0 は無視します。

TXIE ビットをセットした場合は、メッセージオブジェクトの送信に成功すると INTPND ビットがセットされます。

RMTEN ビットをセットした場合は、受信したリモートフレームの一致により TXRQST ビットがセットされ、リモートフレームへの応答はデータフレームによって自発的に行われます。

データレジスタ(DLC3～DLC0, Data0～Data7) はアプリケーションによって設定し、データが有効になる前に TXRQST および RMTEN をセットすることはできません。

マスクレジスタ(MSK28～MSK0, UMASK, MXTD, MDIR の各ビット) を使用して(UMASK = 1)、類似した ID を持つリモートフレームのグループの TXRQST ビットをセットすることができます。詳細については「3. CAN アプリケーション」の「■ メッセージの送信」を参照してください。操作には注意が必要です。DIR ビットをマスクしないように注意する必要があります。

## ■ 送信オブジェクトの更新

CPU は、IFx インタフェースレジスタを通じて、送信オブジェクトのデータバイトをいつでも更新できますが、更新前に MSGVAL も TXRQST もリセットされません。

### <注意事項>

優先度の最も低いメッセージバッファが送信に使用される場合、TXRQST を "0" に設定すると、TXRQST を "1" に再設定したときに送信が遅延することがあります。「9.2. 送信リクエストレジタ(TREQR1n, TREQR2n)」の<注意事項>を参照してください。

データバイトの一部のみを更新する場合でも、対応する IFx データ A レジスタまたは IFx データ B レジスタの 4 バイトすべてを有効にしてから、そのレジスタの内容をメッセージオブジェクトに転送する必要があります。CPU が IFx データレジスタに 4 バイトすべてを書き込むか、CPU が新しいデータバイトを書き込む前に、メッセージオブジェクトを IFx データレジスタに転送する必要があります。

データバイト(8 バイト) のみを更新する場合は、まず 0x0087 をコマンドマスクレジスタに書き込み、次にメッセージオブジェクトの番号をコマンドリクエストレジスタに書き込み、データバイトの更新と TXRQST のセットを同時に実行します。

データの更新時に、既に実行中の送信の終わりに TXRQST がリセットされるのを防ぐために、TXRQST とともに NEWDAT をセットする必要があります。詳細については「3. CAN アプリケーション」の「■メッセージの送信」を参照してください。TXRQST とともに NEWDAT をセットすると、新たに送信が開始されると直ちに NEWDAT はリセットされます。

---

#### <注意事項>

- データを更新する場合は、IFx データレジスタ A もしくは IFx データレジスタ B の 4 バイト単位で行ってください。
  - TXRQST ビットが"1"のときに ID28~0, DLC3~0, XTD, Data7~0 のメッセージオブジェクトを変更すると変更前後のメッセージオブジェクトが混在して送出されたり、変更後のメッセージオブジェクトが送出されない可能性があるので TXRQST ビットが"0"のときにそれらを変更してください。
-

## ■ 受信オブジェクトの構成

表 3-2 に受信オブジェクトを初期化する方法を示します。

表 3-2 受信オブジェクトの初期化

MSGVAL	ARB	DATA	MASK	EOB	DIR	NEWDAT	MSGLST	RXIE	TXIE	INTPND	RMTEN	TXRQST
1	appl.	appl.	appl.	1	0	0	0	appl.	0	0	0	0

アービトレーションレジスタ(ID28～ID0 および XTD ビット) はアプリケーションによって設定します。このレジスタで受信したメッセージの ID と種類を定義します。11 ビット ID(標準フレーム) を使用する場合は ID28～ID18 を使用し、ID17～ID0 は無視することができます。11 ビット ID のデータフレームを受信したときは ID17～ID0 は"0"にセットされます。

RXIE ビットをセットした場合は、受信したデータフレームがメッセージオブジェクトに格納されると、INTPND ビットがセットされます。

データ長コード(DLC3～DLC0) はアプリケーションによって設定します。メッセージハンドラによるデータフレームのメッセージオブジェクトへの格納では、受信したデータ長コードと 8 データバイトが格納されます。データ長コードが 8 未満の場合は、メッセージオブジェクトの残りのバイトは不定値で上書きされます。

マスクレジスタ(MSK28～MSK0, UMASK, MXTD, MDIR の各ビット) を使用して(UMASK=1)、類似した ID を持つデータフレームのグループを受け入れることができます。詳細については「3. CAN アプリケーション」の「■データフレームの受信」を参照してください。通常のアプリケーションでは DIR ビットをマスクしないように注意します。

## ■ 受信したメッセージの処理

CPU は IFx インタフェースレジスタを通じて受信したメッセージをいつでも読み出すことができ、データの一貫性はメッセージハンドラステートマシンによって保証されます。

通常は、CPU によってまずコマンドマスクレジスタに 007F<sub>H</sub> を書き込み、次にメッセージオブジェクトの番号をコマンドリクエストレジスタに書き込みます。この組合せにより受信したメッセージの全体がメッセージ RAM からメッセージバッファレジスタに転送されます。このとき、IFx コマンドマスクレジスタの設定により、メッセージオブジェクトの NEWDAT ビットと INTPND ビットを"0"にクリアすることが可能です。

受信メッセージの処理は、受容フィルタにより一致した場合、メッセージを受信します。メッセージオブジェクトで受容フィルタのマスクを使用している場合は、マスク設定されたデータが受容フィルタから除外され、メッセージを受信するか判断します。

NEWDAT の実際の値は、前回このメッセージオブジェクトを読み出してから新たにメッセージを受信したかどうかを示します。MSGLST ビットは、受信したデータがメッセージオブジェクトから読み出されない状態で、次の受信データを受信したために前のデータを失ってしまったことを示します。MSGLST は自動的にリセットされません。

CPU は、リモートフレームを使用して、ほかの CAN ノードに受信オブジェクト用の新しいデータを送信するようにリクエストすることができます。受信オブジェクトの TXRQST ビットをセットすると、受信オブジェクトの ID を持つリモートフレームが送信されます。このリモートフレームは、ほかのノードによる一致するデータフレームの送信開始のトリガになります。リモートフレームを送信できるようになる前に一致するデータフレームを受信した場合は、TXRQST ビットが自動的にリセットされます。



## ■ FIFO バッファの構成

FIFO バッファに属している受信オブジェクトの構成は、EOB ビットを除き、(単一の) 受信オブジェクトと同じです。詳細については「3. CAN アプリケーション」の「■受信オブジェクトの構成」を参照してください。

複数のメッセージオブジェクトを連結して FIFO バッファに格納するには、それらのメッセージオブジェクトの ID およびマスク(使用する場合) が適合する値にプログラミングされている必要があります。メッセージオブジェクトの明示的な優先度により、最も小さな番号のメッセージオブジェクトが FIFO バッファの最初のメッセージオブジェクトになります。FIFO バッファのすべてのメッセージオブジェクトの EOB ビットは、最後のものを除き、"0"にプログラムする必要があります。FIFO バッファの最後のメッセージオブジェクトの EOB ビットを"1"にセットし、ブロックの最後として設定します。

---

### <注意事項>

- ・ FIFO バッファで使用するメッセージオブジェクトの ID とマスク設定は、必ず同じ設定にしてください。
  - ・ FIFO バッファを使用しない場合は、必ず EOB ビットに"1"を設定してください。
- 

## ■ FIFO バッファによるメッセージ受信

受信メッセージが、FIFO バッファの ID と一致した場合は、最小メッセージ番号の FIFO バッファの受信メッセージオブジェクトへ格納されます。

FIFO バッファの受信メッセージオブジェクトへメッセージが格納されると、この受信メッセージオブジェクトの NEWDAT ビットが"1"に設定されます。EOB ビットが"0"の受信メッセージオブジェクトへ NEWDAT ビットをセットすると、最後の受信メッセージオブジェクト(EOB ビット="1")に到達するまで、受信メッセージオブジェクトが保護されます。この間、CAN コントローラによる FIFO バッファ書き込みは行われません。下記両者を満たす場合、次に受信されたメッセージが最終メッセージオブジェクトへ書き込まれるため、メッセージは上書きされます。

- ・ 最終 FIFO バッファまで有効なデータが格納された
- ・ 受信メッセージオブジェクトの NEWDAT ビットに"0"書き込み(書き込み保護の解除) が行われない

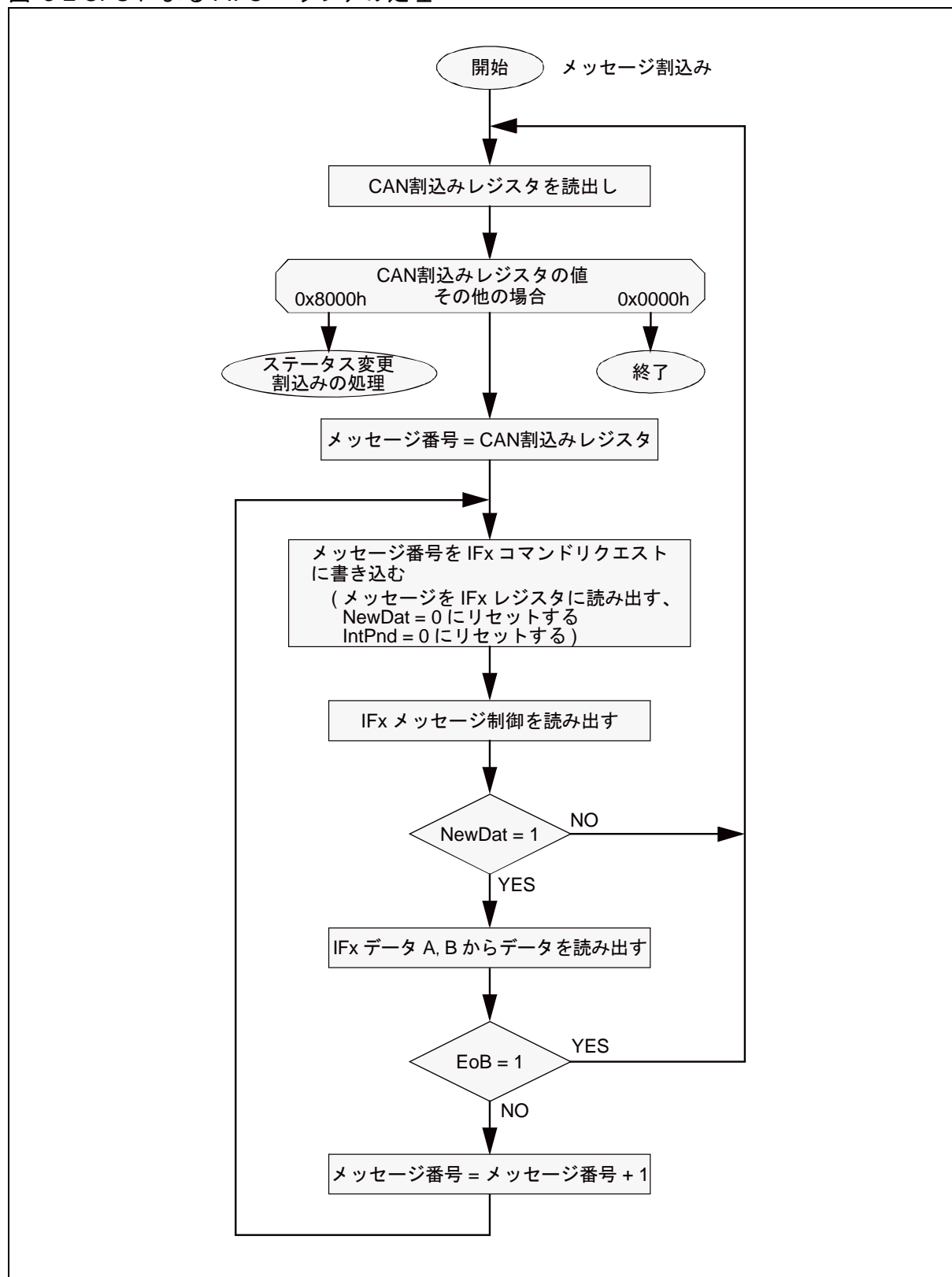
最終 FIFO バッファまで有効なデータが格納された状態で受信メッセージオブジェクトの NEWDAT ビットに"0"書き込み(書き込み保護の解除) が行われないと次に受信されたメッセージが最終メッセージオブジェクトへ書き込まれ、メッセージは上書きされてしまいます。

## ■ FIFO バッファからの読出し

CPUがメッセージオブジェクトの番号を IFx コマンドリクエストレジスタに書き込むことによってメッセージオブジェクトの内容を IFx メッセージバッファレジスタに転送するとき、対応するコマンドマスクレジスタで NEWDAT ビットと INTPND ビットを"0"にリセットするようにプログラミングする必要があります (TXREQ="1"および CIP="1")。メッセージ制御レジスタ内の上記のビットの値は、常にこれらのビットをリセットする前の状態を反映します。

FIFO バッファが確実に正しく機能するように、CPUは、最も小さなメッセージ番号を持つメッセージオブジェクトを FIFO オブジェクトの先頭から読み出す必要があります。図 3-2 に FIFO バッファに連結して格納されているメッセージオブジェクトのセットを CPU で処理する方法を示します。

図 3-2 CPU による FIFO バッファの処理





## ■ 割込みの処理

保留中の割込みが複数存在する場合、CAN 割込みレジスタは、発生順序とは無関係に最も優先度の高い保留中の割込みを指しています。割込みは CPU によってクリアされるまで保留状態を維持します。

優先度が最も高い割込みはステータス割込みです。メッセージ割込みの中では、メッセージ番号が大きいものほどメッセージオブジェクトの割込み優先順位が下がります。

メッセージ割込みをクリアするにはメッセージオブジェクトの INTPND ビットをクリアします。ステータスレジスタにリードアクセスすると、ステータス割込みがクリアされます。

CAN 割込み保留レジスタの INTPND ビットは、割込みの有無を示します。保留中の割込みがないときは、INTPND ビットは"0"を示します。CAN 制御レジスタの IE ビットおよび IFx メッセージ制御レジスタの TXIE ビット、RXIE ビットに"1"をセットしている状態で INTPND ビットが"1"になると、CPU への割込み信号がアクティブになります。割込み信号は、CAN 割込み保留レジスタが"0"にクリアされる(割込み要因リセット)か、CAN 制御レジスタの IE ビットが"0"にリセットされるまでアクティブ状態を保持します。

0x8000 の値は、CAN コアがステータスレジスタ(エラー割込みまたはステータス割込み)を更新(必ずしも変更ではない)したために割込みが保留されていることを示します。この割込みは最上位の優先度を持っています。CPU はステータスビット RXOK, TXOK, および LEC を更新(リセット)することができますが、割込みの生成およびリセットを CPU によるステータスレジスタへのライトアクセスによって行うことはできません。

CAN 割込みレジスタの 0x8000, 0x0000 以外は、メッセージ割込みが保留中であることを示し、優先度の高い保留中のメッセージ割込みを示します。

CPU は、ステータスレジスタの変化により割込みを生成するかどうか(CAN 制御レジスタのビット EIE および SIE) および割込みレジスタが"0"でないときに割込みラインをアクティブにするかどうか(CAN 制御レジスタのビット IE) を制御します。IE がリセットされているときでも割込みレジスタは更新されます。

CPU は 2 つの場合にメッセージ割込みの割込み要因に従います。まず割込みレジスタ内の INTID に従うことができ、次に割込み保留レジスタをポーリングすることができます(詳細については「9. メッセージハンドラのレジスタ」を参照してください)。

割込みの割込み要因であるメッセージを読み出す割込みサービスルーチンはメッセージを読み出して、同時にメッセージオブジェクトの INTPND をリセットできます(コマンドマスクレジスタ IFxCMSK<sub>n</sub> の CIP ビット)。INTPND がクリアされると、割込みレジスタは割込みが保留されている次のメッセージオブジェクトを指します。

---

### <注意事項>

- ステータス割込み(INTID=0x8000) は、CAN ステータスレジスタの読出しアクセスにより割込みクリアされます。
  - CAN ステータスレジスタの書込みアクセスによるステータス割込み(INTID=0x8000) は発生しません。
-

## ■ ビットタイムおよびビットレート

CAN は、下は 1 kbps 未満から上は最大 1,000 kbps までの範囲のビットレートに対応しています。CAN ネットワークの各メンバは専用のクロックジェネレータ(通常は水晶発振器)を持っています。ビットタイム(ビットレートの逆数)のタイミングパラメータを各 CAN ノードごとに設定して、CAN ノードの発振周期( $f_{osc}$ )が異なる場合でも共通のビットレートを生成できます。

これらの発振器の周波数は絶対的に安定したものではなく、温度や電圧の変化およびコンポーネントの劣化などによってわずかに変動します。変動幅が所定の発振器の許容誤差(df)内に収まっていれば CAN ノードは、ビットストリームへの再同期を行うことによってビットレートの変動を補正できます。

CAN の仕様ではビットタイムは 4 つのセグメントに分れています(図 3-3 を参照してください)。同期セグメント、伝播時間セグメント、位相バッファセグメント 1、位相バッファセグメント 2 の 4 つのセグメントのそれぞれは、プログラム可能な所定の基本単位時間数で構成されています(表 3-3 を参照してください)。基本単位時間の長さ( $t_q$ )は、ビットタイムの基本単位ですが、CAN コントローラのシステムクロック  $f_{sys}$  とボーレートプリスケアラ(BRP)によって  $t_q = BRP / f_{sys}$  と定義されます。CAN のシステムクロック  $f_{sys}$  は CAN\_CLK 入力 of 周波数です。

同期セグメント Sync\_Seg はビットタイムの CAN バスレベルのエッジが発生する部分で、Sync\_Seg の外側で発生するエッジと Sync\_Seg 間の距離をそのエッジの位相誤差とよびます。伝播時間セグメント Prop\_Seg は、CAN ネットワーク内の物理的な遅延時間を補正するためのものです。位相バッファセグメント Phase\_Seg1 と Phase\_Seg2 はサンプルポイントを挟んでいます。(再)同期ジャンプ幅(SJW)は、エッジの位相誤差を補正するために、位相バッファセグメントで定義される限界内でサンプルポイントを再同期によって移動する距離を示します。

図 3-3 ビットタイミング

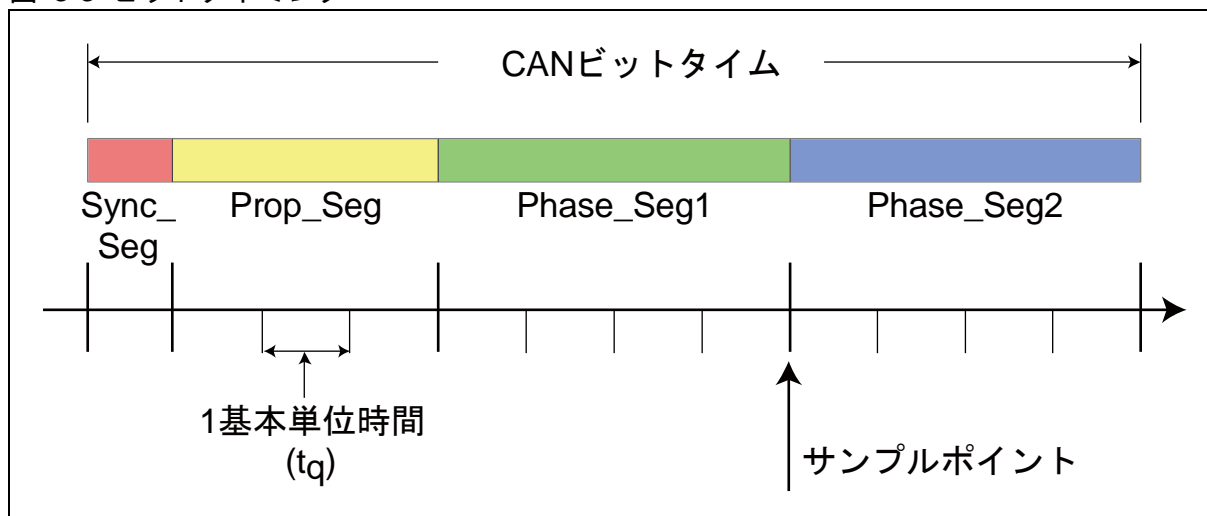


表 3-3 CAN ビットタイムのパラメータ

パラメータ	範囲	説明
BRP	[1~32]	基本単位時間 tq の長さを定義します。
Sync_Seg	1 tq	固定長でシステムクロックに同期します。
Prop_Seg	[1~8] tq	物理的な遅延時間を補正します。
Phase_Seg1	[1~8] tq	同期によって一時的に延長されることがあります。
Phase_Seg2	[1~8] tq	同期によって一時的に短縮されることがあります。
SJW	[1~4] tq	どちらの位相バッファセグメントよりも長くなることはできません。

#### <注意事項>

この表は、CAN プロトコルに必要な最小のプログラム可能な範囲を示したものです。  
 本章の前半部で説明されている BTRn レジスタフィールドについては、以下に設定を示します。

$\text{Prop\_Seg} + \text{Phase\_Seg1} = \text{TSEG1 値} + 1$

$\text{Phase\_Seg2} = \text{TSEG2 値} + 1$

## 4. 各レジスタの説明

CAN レジスタの一覧を示し、それぞれのレジスタを詳細に説明します。

### ■ プログラムモデル

CAN モジュールは 256 バイト(64 ワード) のアドレス空間を割り当てます。CAN の各レジスタには CPU からのバイトアクセスおよびワードアクセスが可能です。

CPU によるメッセージ RAM へのアクセスの制御には 2 組のインタフェースレジスタ (IF1 および IF2) が使用されます。インタフェースレジスタは RAM からまたは RAM に転送されるデータのバッファとして使用され、メッセージの受信/送信と CPU アクセスの競合を防止しています。

デバイス上に複数の CAN モジュールが存在する場合は、各モジュールは 256 バイトの固定オフセットでアドレス空間上の連続領域に配置されます。デバイス上の各 CAN モジュールのアドレスについては I/O マップを参照してください。

表 4-1 CAN レジスタ一覧

オフセット	バイト レジスタ名	ワード レジスタ名	説明	初期値
CANn のベースアドレス 0x0	CTRLRLn	CTRLRn	CAN n - 制御レジスタ	000X0001
CANn のベースアドレス 0x1	CTRLRHn		CAN n - 制御レジスタ(予約)	XXXXXXXX
CANn のベースアドレス 0x2	STATRLn	STATRn	CAN n - ステータスレジスタ	00000000
CANn のベースアドレス 0x3	STATRHn		CAN n - ステータスレジスタ (予約)	XXXXXXXX
CANn のベースアドレス 0x4	ERRCNTLn	ERRCNTn	CAN n - エラーカウンタ(送信)	00000000
CANn のベースアドレス 0x5	ERRCNTHn		CAN n - エラーカウンタ(受信)	00000000
CANn のベースアドレス 0x6	BTRLn	BTRn	CAN n - ビットタイミング レジスタ	00000001
CANn のベースアドレス 0x7	BTRHn		CAN n - ビットタイミング レジスタ	X0100011
CANn のベースアドレス 0x8	INTRLn	INTRn	CAN n - 割込みレジスタ	00000000
CANn のベースアドレス 0x9	INTRHn		CAN n - 割込みレジスタ	00000000
CANn のベースアドレス 0xA	TESTRLn	TESTRn	CAN n - テストレジスタ	X00000XX
CANn のベースアドレス 0xB	TESTRHn		CAN n - テストレジスタ(予約)	XXXXXXXX
CANn のベースアドレス 0xC	BRPERLn	BRPERn	CAN n - BRP 拡張レジスタ	XXXX0000
CANn のベースアドレス 0xD	BRPERHn		CAN n - BRP 拡張レジスタ(予約)	XXXXXXXX

オフセット	バイト レジスタ名	ワード レジスタ名	説明	初期値
IF1 レジスタ				
CAN <sub>n</sub> のベースアドレス 0x10	IF1CREQL <sub>n</sub>	IF1CREQ <sub>n</sub>	CAN <sub>n</sub> - IF1 コマンドリクエスト レジスタ	00000001
CAN <sub>n</sub> のベースアドレス 0x11	IF1CREQH <sub>n</sub>		CAN <sub>n</sub> - IF1 コマンドリクエスト レジスタ	0XXXXXXXX
CAN <sub>n</sub> のベースアドレス 0x12	IF1CMSKL <sub>n</sub>	IF1CMSK <sub>n</sub>	CAN <sub>n</sub> - IF1 コマンドマスク レジスタ	00000000
CAN <sub>n</sub> のベースアドレス 0x13	IF1CMSKH <sub>n</sub>		CAN <sub>n</sub> - IF1 コマンドマスク レジスタ(予約)	XXXXXXXXX
CAN <sub>n</sub> のベースアドレス 0x14	IF1MSK1L <sub>n</sub>	IF1MSK1 <sub>n</sub>	CAN <sub>n</sub> - IF1 マスクレジスタ	11111111
CAN <sub>n</sub> のベースアドレス 0x15	IF1MSK1H <sub>n</sub>		CAN <sub>n</sub> - IF1 マスクレジスタ	11111111
CAN <sub>n</sub> のベースアドレス 0x16	IF1MSK2L <sub>n</sub>	IF1MSK2 <sub>n</sub>	CAN <sub>n</sub> - IF1 マスクレジスタ	11111111
CAN <sub>n</sub> のベースアドレス 0x17	IF1MSK2H <sub>n</sub>		CAN <sub>n</sub> - IF1 マスクレジスタ	11X11111
CAN <sub>n</sub> のベースアドレス 0x18	IF1ARB1L <sub>n</sub>	IF1ARB1 <sub>n</sub>	CAN <sub>n</sub> - IF1 アービトレーションレジスタ	00000000
CAN <sub>n</sub> のベースアドレス 0x19	IF1ARB1H <sub>n</sub>		CAN <sub>n</sub> - IF1 アービトレーションレジスタ	00000000
CAN <sub>n</sub> のベースアドレス 0x1A	IF1ARB2L <sub>n</sub>	IF1ARB2 <sub>n</sub>	CAN <sub>n</sub> - IF1 アービトレーションレジスタ	00000000
CAN <sub>n</sub> のベースアドレス 0x1B	IF1ARB2H <sub>n</sub>		CAN <sub>n</sub> - IF1 アービトレーションレジスタ	00000000
CAN <sub>n</sub> のベースアドレス 0x1C	IF1MCTRL <sub>n</sub>	IF1MCTR <sub>n</sub>	CAN <sub>n</sub> - IF1 メッセージ 制御レジスタ	0XXX0000
CAN <sub>n</sub> のベースアドレス 0x1D	IF1MCTRH <sub>n</sub>		CAN <sub>n</sub> - IF1 メッセージ 制御レジスタ	00000000
CAN <sub>n</sub> のベースアドレス 0x1E	IF1DTA1L <sub>n</sub>	IF1DTA1 <sub>n</sub>	CAN <sub>n</sub> - IF1 データ A1	00000000
CAN <sub>n</sub> のベースアドレス 0x1F	IF1DTA1H <sub>n</sub>		CAN <sub>n</sub> - IF1 データ A1	00000000
CAN <sub>n</sub> のベースアドレス 0x20	IF1DTA2L <sub>n</sub>	IF1DTA2 <sub>n</sub>	CAN <sub>n</sub> - IF1 データ A2	00000000
CAN <sub>n</sub> のベースアドレス 0x21	IF1DTA2H <sub>n</sub>		CAN <sub>n</sub> - IF1 データ A2	00000000

オフセット	バイト レジスタ名	ワード レジスタ名	説明	初期値
CANn のベースアドレス 0x22	IF1DTB1Ln	IF1DTB1n	CAN n - IF1 データ B1	00000000
CANn のベースアドレス 0x23	IF1DTB1Hn		CAN n - IF1 データ B1	00000000
CANn のベースアドレス 0x24	IF1DTB2Ln	IF1DTB2n	CAN n - IF1 データ B2	00000000
CANn のベースアドレス 0x25	IF1DTB2Hn		CAN n - IF1 データ B2	00000000
IF2 レジスタ				
CANn のベースアドレス 0x40	IF2CREQLn	IF2CREQn	CAN n - IF2 コマンド リクエストレジスタ	00000001
CANn のベースアドレス 0x41	IF2CREQHn		CAN n - IF2 コマンド リクエストレジスタ	0XXXXXXXX
CANn のベースアドレス 0x42	IF2CMSKLn	IF2CMSKn	CAN n - IF2 コマンド マスクレジスタ	00000000
CANn のベースアドレス 0x43	IF2CMSKHn		CAN n - IF2 コマンド マスクレジスタ(予約)	XXXXXXXXX
CANn のベースアドレス 0x44	IF2MSK1Ln	IF2MSK1n	CAN n - IF2 マスクレジスタ	11111111
CANn のベースアドレス 0x45	IF2MSK1Hn		CAN n - IF2 マスクレジスタ	11111111
CANn のベースアドレス 0x46	IF2MSK2Ln	IF2MSK2n	CAN n - IF2 マスクレジスタ	11111111
CANn のベースアドレス 0x47	IF2MSK2Hn		CAN n - IF2 マスクレジスタ	11X11111
CANn のベースアドレス 0x48	IF2ARB1Ln	IF2ARB1n	CAN n - IF2 アービトレーションレジスタ	00000000
CANn のベースアドレス 0x49	IF2ARB1Hn		CAN n - IF2 アービトレーションレジスタ	00000000
CANn のベースアドレス 0x4A	IF2ARB2Ln	IF2ARB2n	CAN n - IF2 アービトレーションレジスタ	00000000
CANn のベースアドレス 0x4B	IF2ARB2Hn		CAN n - IF2 アービトレーション レジスタ	00000000
CANn のベースアドレス 0x4C	IF2MCTRLn	IF2MCTRn	CAN n - IF2 メッセージ 制御レジスタ	0XXX0000
CANn のベースアドレス 0x4D	IF2MCTRHn		CAN n - IF2 メッセージ 制御レジスタ	00000000

オフセット	バイトレジスタ名	ワードレジスタ名	説明	初期値
CANn のベースアドレス 0x4E	IF2DTA1Ln	IF2DTA1n	CAN n - IF2 データ A1	00000000
CANn のベースアドレス 0x4F	IF2DTA1Hn		CAN n - IF2 データ A1	00000000
CANn のベースアドレス 0x50	IF2DTA2Ln	IF2DTA2n	CAN n - IF2 データ A2	00000000
CANn のベースアドレス 0x51	IF2DTA2Hn		CAN n - IF2 データ A2	00000000
CANn のベースアドレス 0x52	IF2DTB1Ln	IF2DTB1n	CAN n - IF2 データ B1	00000000
CANn のベースアドレス 0x53	IF2DTB1Hn		CAN n - IF2 データ B1	00000000
CANn のベースアドレス 0x54	IF2DTB2Ln	IF2DTB2n	CAN n - IF2 データ B2	00000000
CANn のベースアドレス 0x55	IF2DTB2Hn		CAN n - IF2 データ B2	00000000
-				
CANn のベースアドレス 0x80	TREQR1Ln	TREQR1n	CAN n - 送信リクエストレジスタ	00000000
CANn のベースアドレス 0x81	TREQR1Hn		CAN n - 送信リクエストレジスタ	00000000
CANn のベースアドレス 0x82	TREQR2Ln	TREQR2n	CAN n - 送信リクエストレジスタ	00000000
CANn のベースアドレス 0x83	TREQR2Hn		CAN n - 送信リクエストレジスタ	00000000
CANn のベースアドレス 0x90	NEWDT1Ln	NEWDT1n	CAN n - 新規データレジスタ	00000000
CANn のベースアドレス 0x91	NEWDT1Hn		CAN n - 新規データレジスタ	00000000
CANn のベースアドレス 0x92	NEWDT2Ln	NEWDT2n	CAN n - 新規データレジスタ	00000000
CANn のベースアドレス 0x93	NEWDT2Hn		CAN n - 新規データレジスタ	00000000
CANn のベースアドレス 0xA0	INTPND1Ln	INTPND1n	CAN n - 割込み保留レジスタ	00000000
CANn のベースアドレス 0xA1	INTPND1Hn		CAN n - 割込み保留レジスタ	00000000
CANn のベースアドレス 0xA2	INTPND2Ln	INTPND2n	CAN n - 割込み保留レジスタ	00000000
CANn のベースアドレス 0xA3	INTPND2Hn		CAN n - 割込み保留レジスタ	00000000
CANn のベースアドレス 0xB0	MSGVAL1Ln	MSGVAL1n	CAN n - メッセージ有効レジスタ	00000000
CANn のベースアドレス 0xB1	MSGVAL1Hn		CAN n - メッセージ有効レジスタ	00000000
CANn のベースアドレス 0xB2	MSGVAL2Ln	MSGVAL2n	CAN n - メッセージ有効レジスタ	00000000
CANn のベースアドレス 0xB3	MSGVAL2Hn		CAN n - メッセージ有効レジスタ	00000000
CANn のベースアドレス 0xCE	COERn	-	CAN n - 出力許可レジスタ	XXXXXXXX0

## ■ ハードウェアリセットの説明

ハードウェアリセット後の CAN のレジスタには表 4-1 の初期値が保持されます。

また、バスオフ状態もリセットされ CAN\_TX の出力はレセッシブ(HIGH) にセットされます。CAN 制御レジスタ CTRLRLn の値は 0x0001 (INIT=1) であり、ソフトウェアによる初期化が可能です。CPU が INIT を "0" にリセットするまで CAN は CAN バスに影響を与えません。

ハードウェアリセットはメッセージ RAM に格納されているデータには影響を与えません。電源投入後のメッセージ RAM の内容は不定です。



## 5. CAN デバイス関連のレジスタ

CAN バスコントローラのホストを行うデバイスに関連したレジスタです。

### ■ CAN デバイス関連のレジスタ一覧

レジスタ略称	レジスタ名	参照先
COERn	CAN 出力許可レジスタ	5.1

## 5.1. CAN 出力許可レジスタ(COERn)

CAN 出力許可レジスタ(COERn) は、デバイスの端子を CAN バスコントローラの TX0～TX2 端子として使用するかどうかの選択に使用します。

### ■ CAN 出力許可レジスタ(COERn)

COERn								
bit	7	6	5	4	3	2	1	0
	RESV	RESV	RESV	RESV	RESV	RESV	RESV	OE
属性	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0	R/W
初期値	X	X	X	X	X	X	X	0

R/W0: リード可能。常に"0"を書き込んでください。

#### [bit7～bit1] RESV: 予約ビット

常に"0"を書き込みます。リード値は不定です。

リードモディファイライト(RMW) 系命令は無効です。

#### [bit0] OE: 出力許可

bit	説明
0	CAN TX を禁止する。端子を汎用ポートまたはほかの周辺機能用として使用できる。
1	CAN TX を許可する。

## 6. CAN プロトコル関連のレジスタ

CAN コアの CAN プロトコルコントローラ関連のレジスタです。動作モードおよび CAN ビットタイミングの設定とステータス情報の取得に使用します。

### ■ CAN プロトコル関連のレジスタ一覧

レジスタ略称	レジスタ名	参照先
CTRLRn	CAN 制御レジスタ	6.1
STATRn	ステータスレジスタ	6.2
ERRCNTn	エラーカウンタ	6.3
BTRn	ビットタイミングレジスタ	6.4
TESTRn	テストレジスタ	6.5
BRPERn	BRP 拡張レジスタ	6.6

## 6.1. CAN 制御レジスタ(CTRLRn)

CAN 制御レジスタ(CTRLRn) は、CAN コントローラの基本的な動作モードの制御に使用します。

### ■ CAN 制御レジスタ(CTRLRn)

CTRLRHn								
bit	15	14	13	12	11	10	9	8
	RESV	RESV	RESV	RESV	RESV	RESV	RESV	RESV
属性	R	R	R	R	R	R	R	R
初期値	X	X	X	X	X	X	X	X

CTRLRLn								
bit	7	6	5	4	3	2	1	0
	TEST	CCE	DAR	RESV	EIE	SIE	IE	INIT
属性	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W
初期値	0	0	0	X	0	0	0	1

#### [bit15～bit8] RESV: 予約ビット

常に"0"を書き込みます。リード値は不定です。  
リードモディファイライト(RMW) 系命令は無効です。

#### [bit7] TEST: テストモード許可

bit	説明
0	通常動作
1	テストモード

### <注意事項>

TEST ビットに"1"を設定する場合、INIT ビットが"1"のときに設定してください。

#### [bit6] CCE: 設定変更許可

bit	説明
0	CAN ビットタイミングレジスタおよび CAN BRP 拡張レジスタへの書き込みを禁止します。
1	CAN ビットタイミングレジスタおよび CAN BRP 拡張レジスタへの書き込みを許可します。INIT ビットが"1"のときに有効です。

**[bit5] DAR: 自動再送信無効**

bit	説明
0	問題発生メッセージの自動再送信を許可する。
1	自動再送信を禁止する。

CAN コントローラは調停負けあるいは転送中のエラー検出によりフレームの自動再送を行います。自動再送する場合は、DAR ビットに"0"を設定します。CAN を Time Triggered CAN 環境で動作させるためには、DAR ビットに"1"を設定する必要があります。

**<注意事項>**

- DAR ビットに"1"を設定したモードでは、メッセージオブジェクトの TXRQST ビットと NEWDAT ビットの動作が異なります。
- フレーム送信を開始したとき、メッセージオブジェクトの TXRQST が"0"にリセットされますが、NEWDAT ビットはセットされたままです。
- フレーム送信が正常終了すると NEWDAT は"0"にリセットされます。  
送信が調停負けもしくはエラー検出すると、NEWDAT はセットされたままです。  
送信を再開するためには、CPU により TXRQST に"1"を設定してください。
- フレーム送出中(TXRQST="1") に CAN 制御レジスタ(CTRLR) の DAR ビットを"0"から"1"に変更すると送出中のフレームがもう一度送出されますので DAR ビットを変更する場合、INIT ビットが"1"のときに変更してください。
- DAR ビットに"1"を設定して、複数のメッセージバッファによる送信を行った場合、以下の動作になります。
  - フレーム送信開始前または送信中にほかのメッセージバッファの TXRQST に"1"が設定された場合(複数のメッセージバッファの TXRQST に"1"が設定された場合)、フレーム送信の開始時、設定されたすべての TXRQST が"0"にリセットされ、その中で優先順位の高いメッセージバッファのデータが送信されます。
  - フレーム送信が正常終了すると送信されたメッセージバッファの NEWDAT が"0"にリセットされ、そのときメッセージバッファの TXIE が"1"であれば、メッセージオブジェクトの INTPND は"1"に設定されます。
  - ほかのメッセージバッファはフレーム送信開始時、TXRQST が"0"にリセットされたためにフレーム送信は行われません。  
NEWDAT または INTPND によって送信されたメッセージバッファを確認後、送信したいメッセージバッファに対し、再度 TXRQST と NEWDAT に"1"を設定してください。

**[bit4] RESV: 予約ビット**

常に"0"を書き込みます。リード値は不定です。  
リードモディファイライト(RMW) 系命令は無効です。

**[bit3] EIE: エラー割込み許可**

bit	説明
0	禁止—エラーステータス割込みを生成しない。
1	許可—ステータスレジスタの BOFF ビットまたは EWARN ビットが変化すると割込みを生成する。

[bit2] SIE: ステータス変化割込み許可

bit	説明
0	禁止—ステータス変化割込みを生成しない。
1	許可—CAN ステータスレジスタ (STATR) の TXOK, RXOK または LEC ビットの変化により、CAN 割込みレジスタ (INTR) へのステータス割込みコードの設定を許可します。CPU からの書き込みによって発生した TXOK, RXOK, LEC ビットの変化は CAN 割込みレジスタ (INTR) には設定されません。

[bit1] IE: モジュール割込み許可

bit	説明
0	禁止—モジュール割込みを常に禁止する。
1	許可—割込みを生成する。保留されていたすべての割込みが処理されるまでリクエストが残る。

[bit0] INIT: 初期化

bit	説明
0	通常動作
1	初期化を開始する。

---

**<注意事項>**

- ・バスオフリカバリシーケンス(CAN仕様 Rev. 2.0 を参照してください) は、INIT ビットの設定/解除によって短縮はできません。デバイスがバスオフになると、CAN コントローラ自身が INIT ビットを"1"に設定し、すべてのバス動作を停止します。バスオフ状態から INIT ビットを"0"にクリアすると、バスアイドルが連続的に 129 回(11 ビットのレセッシブを 1 回とする) 発生するまでバス動作を停止状態にします。バスオフリカバリシーケンス実行後、エラーカウンタをリセットします。
  - ・バスオフリカバリシーケンス中に INIT ビットに"1"を設定し、再度 INIT ビットに"0"を設定した場合、バスオフリカバリシーケンスを最初から実施します(11 ビットのレセッシブを 1 回として 129 回再度実施)。
  - ・CAN ビットタイミングレジスタへの書込みは INIT および CCE ビットに"1"を設定してください。
  - ・送受信途中で INIT ビットに"1"を設定した場合、即送受信を中止します。
  - ・送信中、INIT ビットに"1"を設定する場合、送信完了後に INIT ビットに"1"を設定してください。もし、送信中、INIT ビットに"1"を設定した場合、INIT ビットに"0"を設定してから 2 ビット時間経過後に送信の設定(TXRQST="1") を行ってください。
  - ・低消費電力モードへ遷移する前および供給クロックを変更する前に INIT ビットに"1"を書き込んで CAN コントローラを初期化状態しなければなりません。
  - ・次のレジスタにより、CAN インタフェースに供給するクロックの分周比を変更する場合は、INIT ビットに"1"を設定し、CAN コントローラを停止した状態で行ってください。
  - ・CAN ビットタイミングレジスタ(BTR)
  - ・CAN BRP 拡張レジスタ(BRPER)
  - ・INIT のリセット後の待ち時間中に、11 のレセッシブビットの連続シーケンスが検出されるたびにステータスレジスタに Bit0Error コードが書き込まれます。これによって、CPU は、CAN バスがドミナントレベルにスタックしていたり、ずっと妨害され続けていないかどうかをチェックすることが可能になり、バスオフ回復シーケンスの進行状況を監視できます。
-

## 6.2. ステータスレジスタ(STATRn)

CAN コントローラのステータスを表すレジスタです。

### ■ ステータスレジスタ(STATRn)

STATRHn								
bit	15	14	13	12	11	10	9	8
	RESV	RESV	RESV	RESV	RESV	RESV	RESV	RESV
属性	R	R	R	R	R	R	R	R
初期値	X	X	X	X	X	X	X	X

STATRLn								
bit	7	6	5	4	3	2	1	0
	BOFF	EWARN	EPASS	RXOK	TXOK	LEC		
属性	R	R	R	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

#### [bit15～bit8] RESV: 予約ビット

常に"0"を書き込みます。リード値は不定です。  
リードモディファイライト(RMW) 系命令は無効です。

#### [bit7] BOFF: バスオフステータス

bit	説明
0	CAN モジュールはバスオフ状態ではない。
1	CAN モジュールはバスオフ状態になっている。

#### [bit6] EWARN: 警告ステータス

bit	説明
0	両方のエラーカウンタはエラー警告限界の 96 未満。
1	EML内の少なくとも一方のエラーカウンタがエラー警告限界の96に達した。

#### [bit5] EPASS: エラーパッシブ

bit	説明
0	送信と受信カウンタが共に 128 未満(エラーアクティブ状態)であることを示します。
1	受信カウンタの RP ビットが"1"または送信カウンタが 128 以上 255 以下(エラーパッシブ状態)であることを示します。



**[bit4] RXOK: メッセージの正常受信**

bit	説明
0	このビットが前回 CPU によってリセットされてから正常に受信したメッセージは存在しない。このビットが CAN コアによってリセットされることはない。
1	このビットが前回 CPU によって(0 に) リセットされてから 1 つのメッセージが正常に受信されている(アクセプタンスの結果には無関係)。

**[bit3] TXOK: メッセージの正常送信**

bit	説明
0	このビットが前回 CPU によってリセットされてから正常に送信されたメッセージは存在しない。このビットが CAN コアによってリセットされることはない。
1	このビットが前回 CPU によってリセットされてから 1 つのメッセージが正常に送信されている(エラーが発生せず少なくとも 1 つのほかのノードからアクノリッジが返されている)。

---

**<注意事項>**

RXOK および TXOK ビットは、"0"書込みでのみクリアされます。

---

[bit2～bit0] LEC: 最後のエラーコード(CAN バスで発生した最後のエラーのタイプ)

bit	説明	
0	エラーなし	
1	スタッフ エラー	受信したメッセージ内に同じビットが 5 つより多く連続して発生 (これは禁止されたパターンです)。
2	フォーム エラー	受信したフレームの固定フォーマットの部分が不正。
3	AckError	この CAN コアが送信したメッセージに対してほかのノードからアクノリッジが返されない。
4	Bit1Error	メッセージ(アービトレーションフィールドを除く) の送信中にデバイスがレセッシブレベル(ビットの論理値"1") を送信しようとしたが、検出されたバス値がドミナントだったことを示します。
5	Bit0Error	メッセージ(またはアクノリッジビット, アクティブエラーフラグ, オーバロードフラグ) の送信中にデバイスがドミナントレベル(データまたは ID ビットの論理値"0") を送信しようとしたが、検出されたバス値がレセッシブだったことを示します。バスオフ回復中に、11 のレセッシブビットの連続シーケンスが検出されるたびにこの状態がセットされる。これによって CPU はバスオフ回復シーケンスの進行状況を監視できる(バスが、ドミナントレベルにスタックしていたりずっと妨害され続けていたりしていないことを示します)。
6	CRCError	メッセージ受信時の CRC チェックサムが不正です。 受信した CRC の値が、受信データから計算した CRC の値と異なる。
7	未使用	LEC の値が 7 のときは、この値を CPU が LEC に書き込んでから検出された CAN バスイベントが存在しない。

LEC フィールドには CAN バスで最後に発生したエラーのタイプを示すコードが保持されます。メッセージの転送(送信または受信) でエラーが発生しなかった場合は、このフィールドは"0"にリセットされます。LEC が更新されているかどうかの確認のために、CPU によって未使用コード 7 を書いておくことがあります。

---

**<注意事項>**

- EIE ビットが"1"のときに BOFF および EWARN ビットが変化した場合、もしくは SIE ビットが"1"のときに RXOK, TXOK および LEC ビットが変化した場合、ステータス割込みコード(0x8000) は、CAN 割込みレジスタに設定されます。
  - RXOK, TXOK ビットは CPU の書込みによって更新されるため、CAN コントローラによってセットされた RXOK, TXOK ビットが消えてしまいます。もし RXOK, TXOK ビットを使用する場合には、RXOK または TXOK ビットが"1"に設定されてから(45 × BT) 時間以内にクリアしてください。BT は 1 ビットタイムを示します。
  - SIE ビットが"1"のとき、LEC ビットの変化による割込みが発生した場合には CAN ステータスレジスタに書き込まないでください。
  - EPASS ビットの変化あるいは RXOK, TXOK および LEC ビットへの CPU 書込み動作では発生しません。
  - BOFF ビットが"1"になった場合、EPASS ビット, EWARN ビットは"1"の状態になっています。  
また、EPASS ビットが"1"になった場合、EWARN ビットは"1"の状態になっています。
  - 本レジスタを読み出すことにより、CAN 割込みレジスタのステータス割込み(0x8000) はクリアされます。
-

## 6.3. エラーカウンタ(ERRCNTn)

エラーカウンタレジスタ(ERRCNTn) には受信エラーカウンタ(REC), 送信エラーカウンタ(TEC) および受信エラーパッシブ(RP) が示されます。

### ■ エラーカウンタ(ERRCNTn)

ERRCNTnHn								
bit	15	14	13	12	11	10	9	8
	RP	REC6 ~ REC0						
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

ERRCNTLn								
bit	7	6	5	4	3	2	1	0
	TEC7 ~ TEC0							
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

[bit15] RP: 受信エラーパッシブ

bit	説明
0	受信エラーカウンタがエラーパッシブレベル未満であることを示します。
1	受信エラーカウンタが CAN 仕様で定義されているエラーパッシブレベルに達したことを示します。

[bit14~bit8] REC6~REC0: 受信エラーカウンタ

受信エラーカウンタ値。受信エラーカウンタ値の範囲は 0~127 です。

受信エラーカウンタが 128 以上になる場合、RP ビットに"1"を設定し、受信エラーカウンタは更新されません。

例)

RP=0, REC[6: 0]=127, 受信エラーで+8 される場合、その結果は、RP=1, REC[6: 0]=127

RP=0, REC[6: 0]=126, 受信エラーで+8 される場合、その結果は、RP=1, REC[6: 0]=126

RP=0, REC[6: 0]=119, 受信エラーで+8 される場合、その結果は、RP=0, REC[6: 0]=127

RP=1, REC[6: 0]=126, 正常受信された場合、その結果は、RP=0, REC[6: 0]=125

[bit7~bit0] TEC7~TEC0: 送信エラーカウンタ

送信エラーカウンタ値。送信エラーカウンタ値の範囲は 0~255 です。

送信エラーカウンタが 256 以上になる場合、CAN 制御レジスタの INIT ビットに"1"を設定し、送信エラーカウンタは更新されません。

例)

INIT=0, TEC[7: 0]=255, 送信エラーで+8 される場合、その結果は、INIT=1, TEC[7: 0]=255  
INIT=0, TEC[7: 0]=254, 送信エラーで+8 される場合、その結果は、INIT=1, TEC[7: 0]=254  
INIT=0, TEC[7: 0]=247, 送信エラーで+8 される場合、その結果は、INIT=0, TEC[7: 0]=255

## 6.4. ビットタイミングレジスタ(BTRn)

ビットタイミングレジスタ(BTRn) は CAN バスコントローラビットタイミングの制御を設定します。

### ■ ビットタイミングレジスタ(BTRn)

BTRHn								
bit	15	14	13	12	11	10	9	8
	RESV	TSEG2			TSEG1			
属性	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	X	0	1	0	0	0	1	1

BTRLn								
bit	7	6	5	4	3	2	1	0
	SJW		BRP					
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	1

#### [bit15] RESV: 予約ビット

常に"0"を書き込みます。リード値は不定です。  
リードモディファイライト(RMW) 系命令は無効です。

#### [bit14～bit12] TSEG2: サンプルポイントの後のタイムセグメント

bit	説明
0 <sub>H</sub> ～7 <sub>H</sub>	TSEG2 の有効設定値は 0～7 です。この値に"1"を加えた値(TSEG2+1) がタイムセグメントに設定されます。

#### [bit11～bit8] TSEG1: サンプルポイントの前のタイムセグメント

bit	説明
01 <sub>H</sub> ～0F <sub>H</sub>	TSEG1 の有効設定値は 1～15 です。この値に"1"を加えた値(TSEG1+1) がタイムセグメントに設定されます。

#### [bit7, bit6] SJW: 再同期化ジャンプ幅設定ビット

bit	説明
0 <sub>H</sub> ～3 <sub>H</sub>	有効な設定値は 0～3 です。この値に"1"を加えた値(SJW+1) が再同期ジャンプ幅に設定されます。

## [bit5～bit0] BRP: ボーレートプリスケアラ設定ビット

bit	説明
00 <sub>H</sub> ～3F <sub>H</sub>	基本単位時間を生成するための周辺クロック CLKP2 の周波数の分周比。 ビットタイムはこの基本単位時間の倍数で構成されます。ボーレートプリスケアラ設定ビットの有効設定値は0～63です。この値に"1"を加えた値(BRP+1)がボーレートプリスケアラに設定されます。

**<注意事項>**

周辺クロック CLKP2 の周波数が 8 MHz のとき、2301<sub>H</sub>のリセット値に対応する CAN のビットレートは 500 kbps です。CAN 制御レジスタ(CTRLR) の CCE ビットと INIT ビットが"1"に設定されているときに、CAN ビットタイミングレジスタ(BTR) および CAN BRP 拡張レジスタ(BRPER) を設定してください。

## 6.5. テストレジスタ(TESTRn)

テストレジスタ(TESTRn) を使用して CAN バスシステムをテストすることができます。

### ■ テストレジスタ(TESTRn)

TESTRHn								
bit	15	14	13	12	11	10	9	8
	RESV	RESV	RESV	RESV	RESV	RESV	RESV	RESV
属性	R	R	R	R	R	R	R	R
初期値	X	X	X	X	X	X	X	X

TESTRLn								
bit	7	6	5	4	3	2	1	0
	RX	TX1	TX0	LBACK	SILENT	BASIC	RESV	RESV
属性	R	R/W	R/W	R/W	R/W	R/W	R	R
初期値	X	0	0	0	0	0	X	X

[bit15～bit8] RESV: 予約ビット

常に"0"を書き込みます。リード値は不定です。  
リードモディファイライト(RMW) 系命令は無効です。

[bit7] RX : CAN\_RX 端子の監視

bit	説明
0	CAN バスはドミナント(CAN_RX = 0) であることを示します。
1	CAN バスはレセッシブ(CAN_RX = 1) であることを示します。

[bit6, bit5] TX1, TX0: CAN\_TX 端子の制御

bit6, bit5	説明
00	リセット値。CAN_TX を CAN コアで制御します。
01	サンプルポイントを CAN_TX 端子で監視可能にします。
10	CAN_TX 端子でドミナント("0") 値を駆動します。
11	CAN_TX 端子でレセッシブ("1") 値を駆動します。

[bit4] LBACK: ループバックモード



bit	説明
0	ループバックモードを禁止します。
1	ループバックモードを許可します。

**[bit3] SILENT: サイレントモード**

bit	説明
0	通常動作(サイレントモードを禁止します)
1	モジュールをサイレントモードにします。

**[bit2] BASIC: ベーシックモード**

bit	説明
0	ベーシックモードを禁止します。
1	IF1 レジスタを TX バッファとして、IF2 レジスタを RX バッファとして使用します。

**[bit1, bit0] RESV: 予約ビット**

常に"0"を書き込みます。リード値は不定です。  
リードモディファイライト(RMW) 系命令は無効です。

---

**<注意事項>**

- CAN 制御レジスタ(CTRLR) の TEST ビットを"1"にセットした後、レジスタへ書き込んでください。テストモードが有効となるのは、CAN 制御レジスタ(CTRLR) の TEST ビットが"1"のときです。途中で CAN 制御レジスタ(CTRLR) の TEST ビットを"0"にするとテストモードから通常モードになります。
  - TX ビットを"00"以外に設定した場合、メッセージを送信できません。
-

## 6.6. BRP 拡張レジスタ(BRPERn)

BRP 拡張レジスタ(BRPERn) にはボーレートジェネレータプリスケアラ用の拡張設定ビットが格納されています。

### ■ BRP 拡張レジスタ(BRPERn)

BRPERHn								
bit	15	14	13	12	11	10	9	8
	RESV	RESV	RESV	RESV	RESV	RESV	RESV	RESV
属性	R	R	R	R	R	R	R	R
初期値	X	X	X	X	X	X	X	X

BRPERLn								
bit	7	6	5	4	3	2	1	0
	RESV	RESV	RESV	RESV	BRPE			
属性	R	R	R	R	R/W	R/W	R/W	R/W
初期値	X	X	X	X	0	0	0	0

[bit15～bit4] RESV: 予約ビット

常に"0"を書き込みます。リード値は不定です。  
リードモディファイライト(RMW) 系命令は無効です。

[bit3～bit0] BRPE: ボーレートプリスケアラ拡張

bit	説明
00 <sub>H</sub> ～0F <sub>H</sub>	CAN ビットタイミングレジスタ(BTR) の BRP ビットと BRPE ビットの組合せによりボーレートプリスケアラの値を最大 1023 に拡張できます。BRPE ビットと BRP ビットの組合せに 1 を加えた値[{BRPE(MSB:4 ビット), BRP(LSB:6 ビット)}+1]が CAN コントローラのプリスケアラに設定されます。

## 7. メッセージインタフェースレジスタセット

メッセージRAMへのCPUアクセスとCANバスコントローラからのアクセスの競合を避けるために、CPUからメッセージRAMへのアクセスを制御するために2組のメッセージインタフェースレジスタが用意されています。

### ■ メッセージインタフェースレジスタセットの概要

CPUからのメッセージRAMへのアクセスの制御に使用する2セットのインタフェースレジスタが用意されています。インタフェースレジスタは、メッセージRAMへのCPUのアクセスとCANメッセージの送受信の競合を、転送するデータをバッファリングすることで防止します。メッセージRAMとIFxメッセージバッファレジスタ間で、完全なメッセージオブジェクト(「8. メッセージメモリ内のメッセージオブジェクト」を参照してください) またはメッセージオブジェクトの一部を1度に転送することができます。2つのインタフェースレジスタセットの機能は同じです(BASICテストモードを除く)。レジスタの1セットをメッセージRAMへのデータ伝送に、ほかのレジスタセットをメッセージRAMからのデータ伝送に使用することができ、両方のプロセスに対して相互に割り込みを行うことができます。表 7-1に2つのインタフェースレジスタセットの概要を示します。

インタフェースレジスタの各セットは、専用のコマンドレジスタによって制御されるメッセージバッファレジスタで構成されています。コマンドマスクレジスタは、データ転送の方向とメッセージオブジェクトのどの部分を転送するのかを指定します。コマンドリクエストレジスタは、メッセージRAM内のメッセージオブジェクトをターゲットまたは転送のソースとして選択し、コマンドマスクレジスタで指定したアクションを開始するために使用します。

表 7-1 IF1 および IF2 メッセージインタフェースレジスタセット

アドレス	IF1 レジスタセット	アドレス	IF2 レジスタセット
CAN ベース + 10 <sub>H</sub>	IF1 コマンドリクエスト (IF1CREQn)	CAN ベース + 40 <sub>H</sub>	IF2 コマンドリクエスト (IF2CREQn)
CAN ベース + 12 <sub>H</sub>	IF1 コマンドマスク (IF1CMSKn)	CAN ベース + 42 <sub>H</sub>	IF2 コマンドマスク (IF2CMSKn)
CAN ベース + 14 <sub>H</sub>	IF1 マスク 1 (IF1MSK1n)	CAN ベース + 44 <sub>H</sub>	IF2 マスク 1 (IF2MSK1n)
CAN ベース + 16 <sub>H</sub>	IF1 マスク 2 (IF1MSK2n)	CAN ベース + 46 <sub>H</sub>	IF2 マスク 2 (IF2MSK2n)
CAN ベース + 18 <sub>H</sub>	IF1 アービトレーション 1 (IF1ARB1n)	CAN ベース + 48 <sub>H</sub>	IF2 アービトレーション 1 (IF2ARB1n)
CAN ベース + 1A <sub>H</sub>	IF1 アービトレーション 2 (IF1ARB2n)	CAN ベース + 4A <sub>H</sub>	IF2 アービトレーション 2 (IF2ARB2n)
CAN ベース + 1C <sub>H</sub>	IF1 メッセージ制御 (IF1MCTRn)	CAN ベース + 4C <sub>H</sub>	IF2 メッセージ制御 (IF2MCTRn)
CAN ベース + 1E <sub>H</sub>	IF1 データ A1 (IF1DTA1n)	CAN ベース + 4E <sub>H</sub>	IF2 データ A1 (IF2DTA1n)
CAN ベース + 20 <sub>H</sub>	IF1 データ A2 (IF1DTA2n)	CAN ベース + 50 <sub>H</sub>	IF2 データ A2 (IF2DTA2n)

アドレス	IF1 レジスタセット	アドレス	IF2 レジスタセット
CAN ベース + 22 <sub>H</sub>	IF1 データ B1 (IF1DTB1n)	CAN ベース + 52 <sub>H</sub>	IF2 データ B1 (IF2DTB1n)
CAN ベース + 24 <sub>H</sub>	IF1 データ B2 (IF1DTB2n)	CAN ベース + 54 <sub>H</sub>	IF2 データ B2 (IF2DTB2n)

## ■ メッセージインタフェースレジスタ一覧

レジスタ略称	レジスタ名	参照先
IFxCREQn	IFx コマンドリクエストレジスタ	7.1
IFxCMSKn	IFx コマンドマスクレジスタ	7.2
IFxMSK1n, IFxMSK2n	IFx マスクレジスタ	7.3
IFxARB1n, IFxARB2n	IFx アービトレーションレジスタ	7.4
IFxMCTRn	IFx メッセージ制御レジスタ	7.5
IFxDTA1n, IFxDTA2n, IFxDTB1n, IFxDTB2n	IFx データ A およびデータ B レジスタ	7.6

## 7.1. IFx コマンドリクエストレジスタ(IFxCREQn)

IFx コマンドリクエストレジスタは、メッセージ RAM のメッセージ番号の選択とメッセージ RAM とメッセージバッファレジスタ間の転送を行います。また、テストのベーシックモードでは、IF1 を送信制御用に IF2 を受信制御用として使用します。

### ■ IFx コマンドリクエストレジスタ(IFxCREQn)

IFx コマンドリクエストレジスタへメッセージ番号を書き込むとすぐにメッセージ RAM とメッセージバッファレジスタ(マスク、アービトラージョン、メッセージ制御、データレジスタ) とのメッセージ転送が開始されます。この書き込み動作で、BUSY ビットが"1"に設定され、BUSY ビットが"1"の間転送処理中であることを示します。その転送が終了すると、BUSY ビットが"0"にリセットされます。

BUSY ビットが"1"のときに、CPU からメッセージインタフェースレジスタへアクセスが発生すると、BUSY ビットが"0"になるまで(コマンドリクエストレジスタ書き込み後、Clock で 3~6 サイクル期間)、CPU はウェイトします。

テストのベーシックモードでは、BUSY ビットの使用方法が異なります。IF1 コマンドリクエストレジスタは、送信メッセージとして使用され、BUSY ビットに"1"をセットすることによりメッセージ送信開始を指示します。メッセージ転送が正常終了すると、BUSY ビットは"0"にリセットされます。また、BUSY ビットを"0"にリセットすることにより、いつでもメッセージ転送を中断させることが可能です。

IF2 コマンドリクエストレジスタは、受信メッセージとして使用され、BUSY ビットを"1"に設定することにより、受信したメッセージを IF2 メッセージインタフェースレジスタに格納します。

IFxCREQHn

bit	15	14	13	12	11	10	9	8
	BUSY	RESV	RESV	RESV	RESV	RESV	RESV	RESV
属性	R/(W)	R	R	R	R	R	R	R
初期値	0	X	X	X	X	X	X	X

IFxCREQLn

bit	7	6	5	4	3	2	1	0
	MSGN							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	1

#### [bit15] BUSY: ビジーフラグビット

- ・テストベーシックモード以外

bit	説明
0	メッセージインタフェースレジスタとメッセージRAM間でデータ転送処理を行っていないことを示します。
1	メッセージインタフェースレジスタとメッセージRAM間でデータ転送処理中であることを示します。

- テストベーシックモード
  - IF1 コマンドリクエストレジスタ

bit	説明
0	メッセージ送信を禁止します。
1	メッセージ送信を許可します。

- IF2 コマンドリクエストレジスタ

bit	説明
0	メッセージ受信を禁止します。
1	メッセージ受信を許可します。

#### [bit14～bit8] RESV: 予約ビット

常に"0"を書き込みます。リード値は不定です。  
 リードモディファイライト(RMW) 系命令は無効です。

[bit5～bit0] MSGN: メッセージ番号(32 メッセージバッファ CAN の場合、デバイスのメッセージバッファ数についてはデータシートの「品種構成」を参照してください)。

bit	説明
00 <sub>H</sub>	設定禁止(設定した場合は 20 <sub>H</sub> として処理されます)
01 <sub>H</sub> ～20 <sub>H</sub>	有効なメッセージ番号。メッセージRAM内のメッセージオブジェクトをデータ転送用に選択。
21 <sub>H</sub> ～3F <sub>H</sub>	設定禁止(設定した場合は 01 <sub>H</sub> ～1F <sub>H</sub> として処理されます)

[bit6～bit0] MSGN: メッセージ番号(64 メッセージバッファ CAN の場合、デバイスのメッセージバッファ数についてはデータシートの「品種構成」を参照してください)。

bit	説明
00 <sub>H</sub>	設定禁止(設定した場合は 40 <sub>H</sub> として処理されます)
01 <sub>H</sub> ～40 <sub>H</sub>	有効なメッセージ番号。メッセージRAM内のメッセージオブジェクトをデータ転送用に選択。
41 <sub>H</sub> ～7F <sub>H</sub>	設定禁止(設定した場合は 01 <sub>H</sub> ～3F <sub>H</sub> として処理されます)

[bit7～bit0] MSGN: メッセージ番号(128 メッセージバッファ CAN の場合、デバイスのメッセージバッファ数についてはデータシートの「品種構成」を参照してください)。

bit	説明
00 <sub>H</sub>	設定禁止(設定した場合は 80 <sub>H</sub> として処理されます)
01 <sub>H</sub> ～80 <sub>H</sub>	有効なメッセージ番号。メッセージRAM内のメッセージオブジェクトをデータ転送用に選択。
81 <sub>H</sub> ～FF <sub>H</sub>	設定禁止(設定した場合は 01 <sub>H</sub> ～7F <sub>H</sub> として処理されます)

#### <注意事項>

- BUSY ビットは、リード/ライトが可能です。テストのベーシックモード時以外は、このビットに何を書いても動作に影響しません(ベーシックモードについては、「2. 機能の説明」の「■ベーシックモード」を参照してください)。メッセージRAMを使用するとき(BASIC=0)、リード/ライトアクセスはハードウェアインタフェースによって制御され、このフラグへのリードアクセスには常に 0 が返されます。
- 設定禁止のメッセージ番号をコマンドリクエストレジスタに書き込んだ場合、メッセージ番号は有効な値に変換され、そのメッセージオブジェクトが転送されます。

## 7.2. IFx コマンドマスクレジスタ(IFxCMSKn)

IFx コマンドマスクレジスタ(IFxCMSKn) の制御ビットは、転送方向を指定し、どの IFx メッセージバッファレジスタをデータ転送のソースまたはターゲットとして使用するかを選択します。

### ■ IFx コマンドマスクレジスタ(IFxCMSKn)

IFxCMSKHn								
bit	15	14	13	12	11	10	9	8
	RESV	RESV	RESV	RESV	RESV	RESV	RESV	RESV
属性	R	R	R	R	R	R	R	R
初期値	X	X	X	X	X	X	X	X

IFxCMSKLn								
Bit	7	6	5	4	3	2	1	0
	WRRD	MASK	ARB	CONTROL	CIP	TXREQ	DATAA	DATAB
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit15～bit8] RESV: 予約ビット

常に"0"を書き込みます。リード値は不定です。  
リードモディファイライト(RMW) 系命令は無効です。

[bit7] WRRD: ライト/リード

bit	説明
0	メッセージ RAM からデータを読み出すことを示します。メッセージ RAM からの読出しはIFx コマンドリクエストレジスタへの書き込みによって実行されます。メッセージ RAM からデータを読み出すデータは、MASK, ARB, CONTROL, CIP, TXREQ, DATAA, DATAB ビットの設定に依存します。
1	メッセージ RAM へデータを書き込むことを示します。メッセージ RAM への書き込みはIFx コマンドリクエストレジスタへの書き込みによって実行されます。メッセージ RAM への書き込みデータは、MASK, ARB, CONTROL, CIP, TXREQ, DATAA, DATAB ビットの設定に依存します。

IFx コマンドマスクレジスタの bit6～0 は、転送方向(WRRD ビット) の設定により違った意味になります。

### <注意事項>

リセット後、メッセージ RAM のデータは不定です。メッセージ RAM のデータが不定状態でメッセージ RAM のデータを読み出すことは禁止です。



## ■ 方向=ライト

### [bit6] MASK: マスクビットのアクセス

bit	説明
0	ID マスク + MDIR + MXTD をメッセージオブジェクトに転送しません。
1	ID マスク + MDIR + MXTD をメッセージオブジェクトに転送します。

### [bit5] ARB: アービトレーションビットのアクセス

bit	説明
0	ID + DIR + XTD + MSGVAL をメッセージオブジェクトに転送しません。
1	ID + DIR + XTD + MSGVAL をメッセージオブジェクトに転送します。

### [bit4] CONTROL: 制御ビットのアクセス

bit	説明
0	制御データ(IFx メッセージ制御レジスタ IFxMCTRn) をメッセージオブジェクトに転送しません。
1	制御データ(IFx メッセージ制御レジスタ IFxMCTRn) をメッセージオブジェクトに転送します。

### [bit3] CIP: 割込みクリアビット

本ビットに"0"または"1"を設定しても CAN コントローラへの動作に影響を与えません。

### [bit2] TXREQ: 送信リクエストビットのアクセス

bit	説明
0	TXRQST ビットを更新しません。
1	TXRQST ビットをセットします。

### [bit1] DATAA: データバイト 0～3 のアクセス

bit	説明
0	データバイト 0～3 をメッセージオブジェクトに転送しません。
1	データバイト 0～3 をメッセージオブジェクトに転送します。

### [bit0] DATAB: データバイト 4～7 のアクセス

bit	説明
0	データバイト 4~7 をメッセージオブジェクトに転送しません。
1	データバイト 4~7 をメッセージオブジェクトに転送します。

### <注意事項>

- IFx コマンドマスクレジスタの TXREQ ビットが "1" に設定されると、IFx メッセージ制御レジスタの TXRQST ビットの設定は無効です。
- テストのベーシックモードでは本レジスタは無効です。

## ■ 方向=リード

[bit6] MASK: マスクビットのアクセス

bit	説明
0	ID マスク + MDIR + MXTD を IFx マスクレジスタ 1, 2 に転送しません。
1	ID マスク + MDIR + MXTD を IFx マスクレジスタ 1, 2 に転送します。

[bit5] ARB: アービトレーションビットのアクセス

bit	説明
0	ID + DIR + XTD + MSGVAL を IFx アービトレーション 1, 2 に転送しません。
1	ID + DIR + XTD + MSGVAL を IFx アービトレーション 1, 2 に転送します。

[bit4] CONTROL: 制御ビットのアクセス

bit	説明
0	制御データ (IFx メッセージ制御レジスタ IFxMCTRn) を IFx メッセージバッファレジスタに転送しません。
1	制御データ (IFx メッセージ制御レジスタ IFxMCTRn) を IFx メッセージバッファレジスタに転送します。

[bit3] CIP: 割り込み保留ビットをクリアします。

bit	説明
0	INTPND ビットを更新しません。
1	メッセージオブジェクト内の INTPND ビットをクリアします。

## [bit2] TXREQ: 新規データビットのアクセス

bit	説明
0	NEWDAT ビットを更新しません。
1	メッセージオブジェクト内の NEWDAT ビットをクリアします。

## [bit1] DATAA: データバイト 0～3 のアクセス

bit	説明
0	データバイト 0～3 を IFx データ A レジスタ A1, A2 に転送しません。
1	データバイト 0～3 を IFx データ A レジスタ A1, A2 に転送します。

## [bit0] DATAB: データバイト 4～7 のアクセス

bit	説明
0	データバイト 4～7 を IFx データ B レジスタ B1, B2 に転送しません。
1	データバイト 4～7 を IFx データ B レジスタ B1, B2 に転送します。

---

**<注意事項>**

- ・メッセージオブジェクトへの読出しアクセスにより、INTPND および NEWDAT ビットは"0"にリセットすることが可能です。ただし、IFx メッセージ制御レジスタの INTPND および NEWDAT ビットには、読出しアクセスによりリセットされる前の INTPND, NEWDAT ビットが格納されます。
  - ・テストのベーシックモードでは無効です。
-

## 7.3. IFx マスクレジスタ (IFxMSK1n, IFxMSK2n)

メッセージバッファレジスタの各ビットはメッセージ RAM 内のメッセージオブジェクトのミラーです。IFx マスクレジスタ (IFxMSK1n, IFxMSK2n) の各ビットは、メッセージアービトラージョンレジスタ (IFxARB1n, IFxARB2n) のどの部分を評価するかを指定します。

### ■ IFx マスクレジスタ (IFxMSK1n, IFxMSK2n)

IFxMSK1Hn								
bit	15	14	13	12	11	10	9	8
	MSK15 ~ MSK8							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

IFxMSK1Ln								
bit	7	6	5	4	3	2	1	0
	MSK7 ~ MSK0							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

IFxMSK2Hn								
bit	15	14	13	12	11	10	9	8
	MXTD	MDIR	RESV	MSK28 ~ MSK24				
属性	R/W	R/W	-	R/W	R/W	R/W	R/W	R/W
初期値	1	1	X	1	1	1	1	1

#### [bit13] RESV: 予約ビット

- ・ 本ビットに常に"1"を書き込みます。
- ・ 本ビットの読出し値は未定義です。
- ・ 本ビットへのリードモディファイライト(RMW) 動作は無効です。

IFxMSK2Ln								
bit	7	6	5	4	3	2	1	0
	MSK23 ~ MSK16							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

## 7.4. IFx アービトレーションレジスタ (IFxARB1n, IFxARB2n)

メッセージバッファレジスタの各ビットはメッセージ RAM 内のメッセージオブジェクトのミラーです。送信の場合、メッセージアービトレーションレジスタ (IFxARB1n, IFxARB2n) の各ビットはメッセージの ID を指定します。受信の場合、メッセージアービトレーションレジスタ (IFxARB1n, IFxARB2n) の各ビットはアクセプタンスフィルタを指定します。

### ■ IFx アービトレーションレジスタ (IFxARB1n, IFxARB2n)

<b>IFxARB1Hn</b>								
bit	15	14	13	12	11	10	9	8
	ID15 ~ ID8							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

<b>IFxARB1Ln</b>								
bit	7	6	5	4	3	2	1	0
	ID7 ~ ID0							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

<b>IFxARB2Hn</b>								
bit	15	14	13	12	11	10	9	8
	MSGVAL	XTD	DIR	ID28 ~ ID24				
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

<b>IFxARB2Ln</b>								
bit	7	6	5	4	3	2	1	0
	ID23 ~ ID16							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

#### <注意事項>

送信途中でメッセージオブジェクトの MSGVAL ビットを "0" にクリアした場合、送信が完了した時点で CAN ステータスレジスタの TXOK ビットは "1" になります。ただし、メッセージオブジェクトおよび CAN 送信リクエストレジスタの TXRQST ビットは "0" にクリアされません。このため、メッセージインタフェースレジスタによって TXRQST ビットを "0" にクリアしてください。

## 7.5. IFx メッセージ制御レジスタ(IFxMCTRn)

メッセージバッファレジスタの各ビットはメッセージ RAM 内のメッセージオブジェクトのミラーです。メッセージ制御レジスタ(IFxMCTRn) のビットにはステータス情報と制御ビットが格納されます。

### ■ IFx メッセージ制御レジスタ(IFxMCTRn)

IFxMCTRn								
bit	15	14	13	12	11	10	9	8
	NEWDAT	MSGLST	INTPND	UMASK	TXIE	RXIE	RMTEN	TXRQST
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

IFxMCTRLn								
bit	7	6	5	4	3	2	1	0
	EOB	-	-	-	DLC3 ~ DLC0			
属性	R/W	-	-	-	R/W	R/W	R/W	R/W
初期値	0	X	X	X	0	0	0	0

[bit6～bit4] -: 未定義

これらビットに常に"0"を書き込みます。

これらビットの読出し値は未定義です。

これらビットへのリードモディファイライト(RMW) 動作は無効です。

### <注意事項>

TXRQST, NEWDAT および INTPND ビットは、IFx コマンドマスクレジスタの WRRD ビットの設定によって以下のような動作になります。

- ・ 転送方向が書込みの場合(IFx コマンドマスクレジスタ : WRRD="1")
  - ・ IFx コマンドマスクレジスタの TXREQ が"0"に設定されている場合のみ、本レジスタの TXRQST ビットが有効です。
- ・ 転送方向が読出しの場合(IFx コマンドマスクレジスタ : WRRD="0")
  - ・ IFx コマンドマスクレジスタの CIP ビットを"1", IFx コマンドリクエストレジスタへの書込みによりメッセージオブジェクトおよび CAN 割込み保留レジスタの INTPND ビットをリセットした場合、本レジスタにはリセットされる前の INTPND ビットが格納されます。
  - ・ IFx コマンドマスクレジスタの TXREQ ビットを"1", IFx コマンドリクエストレジスタへの書込みによりメッセージオブジェクトおよび CAN データ更新レジスタの NEWDAT ビットをリセットした場合、本レジスタにはリセットする前の NEWDAT ビットが格納されます。

## 7.6. IFx データ A およびデータ B レジスタ (IFxDTA1n, IFxDTA2n, IFxDTB1n, IFxDTB2n)

CAN メッセージのデータバイトは IFx メッセージバッファレジスタに格納されます。

### ■ IFx データ A およびデータ B レジスタ (IFxDTA1n, IFxDTA2n, IFxDTB1n, IFxDTB2n)

CAN のデータフレーム内では、Data(0) が送受信される最初のバイトで Data(7) が最後のバイトです。CAN のシリアルビットストリームでは、各バイトの MSB が最初に送信されます。

CAN メッセージのデータバイトは、下記の順序で IFx メッセージバッファレジスタに格納されます。

表 7-2 メッセージバッファの構成

レジスタ	アドレス	アドレス + 0 の内容	アドレス + 1 の内容
IFxDTA1n	x = 1: CANn ベース + 1E <sub>H</sub> x = 2: CANn ベース + 4E <sub>H</sub>	Data(0)	Data(1)
IFxDTA2n	x = 1: CANn ベース + 20 <sub>H</sub> x = 2: CANn ベース + 50 <sub>H</sub>	Data(2)	Data(3)
IFxDTB1n	x = 1: CANn ベース + 22 <sub>H</sub> x = 2: CANn ベース + 52 <sub>H</sub>	Data(4)	Data(5)
IFxDTB2n	x = 1: CANn ベース + 24 <sub>H</sub> x = 2: CANn ベース + 54 <sub>H</sub>	Data(6)	Data(7)

#### <注意事項>

- 受信メッセージデータが 8 バイトより少ない場合は、データレジスタの残りのバイトには不定データが書き込まれます。
- メッセージオブジェクトへの転送は、DATAA もしくは DATAB の 4 バイト単位で行われますので、4 バイトのうちある一部のデータだけを更新することはできません。

## 8. メッセージメモリ内のメッセージオブジェクト

メッセージ RAM 内には 32 のメッセージオブジェクト(実装によっては最大 128) が存在します。CPU によるメッセージ RAM のアクセスと CAN メッセージの送受信の競合を避けるために、CPU はメッセージオブジェクトに直接アクセスすることはできず、CPU からのアクセスは IFx インタフェースレジスタを通じて処理されます。

### ■ メッセージメモリ内のオブジェクトの構造

図 8-1 にメッセージオブジェクトの 2 種類の構造の概要を示します。

図 8-1 メッセージメモリ内のオブジェクトの構造

メッセージオブジェクト												
UMASK	MSK28～MSK0	MXTD	MDIR	EOB	NEWDAT		MSGLST	RXIE	TXIE	INTPND	RMTEN	TXRQST
MSGVAL	ID28～ID0	XTD	DIR	DLC3～DLC0	Data0	Data1	Data2	Data3	Data4	Data5	Data6	Data7

MSGVAL: メッセージ有効

bit	説明
0	メッセージオブジェクトは無効です。メッセージの送受信は行いません。
1	メッセージオブジェクトは有効です。メッセージの送受信が可能です。

### <注意事項>

- CAN 制御レジスタの INIT ビットを"0"にリセットする前に未使用のメッセージオブジェクトの MSGVAL ビットを"0"にリセットしてください。
- ID28～0, XTD, DIR, DLC3～0 を変更する前には、メッセージオブジェクトの MSGVAL ビットを必ず"0"にリセットしてください。
- 送信中に MSGVAL ビットを"0"にすると送信が完了した時点で CAN ステータスレジスタの TXOK ビットは"1"になります。ただし、メッセージオブジェクトおよび CAN 送信リクエストレジスタの TXRQST ビットは"0"にクリアされません。このため、メッセージインタフェースレジスタによって TXRQST ビットを"0"にクリアしてください。

UMASK: アクセプタンスマスク使用

bit	説明
0	マスクを無視します。
1	アクセプタンスフィルタリング用にマスク(MSK28～MSK0, MXTD および MDIR) を使用します。



### ＜注意事項＞

- CAN 制御レジスタの INIT ビットが"1"のとき、あるいは MSGVAL ビットが"0"のときに UMASK ビットを変更してください。
- DIR ビットが"1"かつ RMTEN ビットが"0"のとき、UMASK の設定により動作が異なります。
- UMASK が"1"の場合は、アクセプタンスフィルタを通過しリモートフレームを受信したとき、TXRQST ビットを"0"にリセットします。そのとき、受信した ID, IDE, RTR, DLC はメッセージオブジェクトに格納し、NEWDAT ビットは"1"に設定され、データは変更しません(データフレームのように取り扱います)。
- UMASK が"0"の場合は、リモートフレーム受信に対し、TXRQST ビットはそのまま保持し、リモートフレームを無視します。

### ID28～ID0: メッセージ ID

bit	説明
ID28～ID0	29 ビット ID (拡張フレーム)
ID28～ID18	11 ビット ID (標準フレーム)

### MSK28～MSK0: 識別マスク

bit	説明
0	対応する ID ビットをマスクします。
1	対応する ID ビットをアクセプタンスフィルタリングに使用します。

### XTD: 拡張 ID

bit	説明
0	このメッセージオブジェクトに 11 ビット(標準) ID を使用します。
1	このメッセージオブジェクトに 29 ビット(拡張) ID を使用します。

### MXTD: マスク拡張 ID

bit	説明
0	メッセージオブジェクトの XTD に設定した値と、受信したフレームの IDE の値の比較を行いません。受信したフレームの IDE ビットにしたがって標準フレームの ID として比較するか、拡張フレームの ID として比較するか決定します。
1	メッセージオブジェクトの XTD に設定した値と、受信したフレームの IDE の値の比較を行います。

### <注意事項>

メッセージオブジェクトに 11 ビット(標準) ID を使用する場合は、受信データフレームの ID は ID28～ID18 ビットに書き込まれます。アクセプタンスフィルタリングには、この 11 ビットとマスクビット MSK28～MSK18 のみが使用されます。

#### DIR: メッセージの方向

bit	説明
0	受信方向を示します。 TXRQST が"1"に設定されると、リモートフレームの送信を行い、TXRQST が"0"のときは、アクセプタンスフィルタを通過したデータフレームを受信します。
1	送信方向を示します。 TXRQST が"1"に設定されると、データフレームを送信します。TXRQST が"0"で RMTEN が"1"に設定されている場合、アクセプタンスフィルタを通過したリモートフレームの受信によって、CAN コントローラ自身が TXRQST を"1"に設定します。

#### MDIR: メッセージ方向マスク

bit	説明
0	メッセージ方向ビット(DIR) はアクセプタンスフィルタリングに影響を与えません。
1	メッセージ方向ビット(DIR) をアクセプタンスフィルタリングに使用します。

アービトレーションレジスタ ID28～ID0, XTD, および DIR は送信メッセージの ID とタイプの指定および(マスクレジスタ MSK28～MSK0, MXTD, および MDIR とともに) 受信メッセージのアクセプタンスフィルタリングに使用されます。受信したメッセージは、ID および方向=受信(データフレーム) または方向=送信(リモートフレーム) が一致する有効なメッセージオブジェクト内に格納されます。拡張フレームは XTD=1 のメッセージオブジェクトのみに、標準フレームは XTD=0 のメッセージオブジェクトのみに格納することができます。受信したメッセージ(データフレームまたはリモートフレーム) が複数の有効なメッセージオブジェクトに一致した場合は、メッセージ番号の最も小さなメッセージオブジェクトに格納されます。詳細については「3. CAN アプリケーション」の「■受信したメッセージのアクセプタンスフィルタリング」を参照してください。

### <注意事項>

MDIR ビットには常に"1" を設定してください。

## EOB: バッファの終わり

bit	説明
0	メッセージオブジェクトは FIFO バッファに属しているが、その FIFO バッファの最後のメッセージオブジェクトではないことを示します。
1	単一のメッセージオブジェクトまたは FIFO バッファの最後のメッセージオブジェクトを示します。

## &lt;注意事項&gt;

本ビットは、複数(最大 32) のメッセージオブジェクトを連結して FIFO バッファを構成するために使用します。単一のメッセージオブジェクト(FIFO バッファに属していない) の場合は、本ビットを常に"1"にセットする必要があります。メッセージオブジェクトの連結の詳細については「3. CAN アプリケーション」の「■FIFO バッファの構成」を参照してください。

## NEWDAT: 新規データ

bit	説明
0	前回このフラグが CPU によってクリアされてから、メッセージハンドラによってこのメッセージオブジェクトのデータ部分に書き込まれた新しいデータは存在しないことを示します。
1	メッセージハンドラまたは CPU によって、このメッセージオブジェクトのデータ部分に新しいデータが書き込まれていることを示します。

## MSGLST: メッセージロスト(方向=受信のメッセージオブジェクトにのみ有効)

bit	説明
0	本ビットが前回 CPU によってリセットされてからメッセージロストは発生していないことを示します。
1	NEWDAT がセットされていたときにメッセージハンドラがこのオブジェクトに新しいメッセージを格納し、CPU がメッセージをロストしたことを示します。

## &lt;注意事項&gt;

MSGLST ビットは DIR ビットが"0"のとき(受信方向) のみ有効です。

**RXIE: 受信割込み許可**

bit	説明
0	フレームが正しく受信された後で INTPND を変更しません。
1	フレームが正しく受信された後で INTPND をセットします。

**TXIE: 送信割込み許可**

bit	説明
0	フレームが正しく送信された後で INTPND を変更しません。
1	フレームが正しく送信された後で INTPND をセットします。

**INTPND: 割込み保留**

bit	説明
0	割込み要因がありません。
1	割込み要因があります。ほかに優先度の高い割込みがない場合は、CAN 割込みレジスタの INTID ビットはこのメッセージオブジェクトを示します。

**RMTEN: リモート許可**

bit	説明
0	リモートフレームの受信時に TXRQST を変更しません。
1	リモートフレームの受信時に TXRQST をセットします。

**<注意事項>**

DIR ビットが"1"かつ RMTEN ビットが"0"のとき、UMASK の設定により動作が異なります。

- UMASK が"1"の場合は、アクセプタンスフィルタを通過しリモートフレームを受信したとき、TXRQST ビットを"0"にリセットします。そのとき、受信した ID, IDE, RTR, DLC はメッセージオブジェクトに格納します。NEWDAT ビットは"1"に設定され、データは変更しません(データフレームのように取り扱います)。
- UMASK が"0"の場合は、リモートフレーム受信に対し、TXRQST ビットはそのまま保持し、リモートフレームを無視します。

## TXRQST: 送信リクエスト

bit	説明
0	このメッセージオブジェクトは送信待ちではないことを示します。
1	このメッセージオブジェクトは送信を要求しているが、まだ送信されていないことを示します。

## &lt;注意事項&gt;

下記いずれかの条件の場合、後述のいずれかのイベントが発生するまでメッセージが送信されない可能性があります。

条件:

- ① 優先順位が最下位のメッセージバッファを送信に使用している場合
- ② TXRQST に"1"を設定したが、送信中止のため、TXRQST に"0"を設定した場合
- ③ ②のタイミングの際に、再度 TXRQST に"1"を設定した場合

イベント:

- ・ CAN バス上に有効なメッセージが流れる
- ・ ほかのメッセージバッファに対して送信要求が発行される
- ・ INIT ビットによって CAN が初期化される

システム上、もし送信を中止する状況が発生する場合は、下記手順を行ってください。

1. 下記いずれかを実行する
  - ・ 送信メッセージバッファとして優先順位が最下位のメッセージバッファを使用しない
  - ・ 送信中止後、上記のいずれかのイベントが発生させる
2. 再度 TXRQST に"1"を設定する
  - ・ TXRQST ビットが"1"のときに ID28~0, DLC3~0, XTD, Data7~0 のメッセージオブジェクトを変更すると変更前後のメッセージオブジェクトが混在して送出されたり、変更後のメッセージオブジェクトが送出されない可能性があります。このため、TXRQST ビットが"0"のときにそれらを変更してください。

## DLC3~DLC0: データ長コード

bit	説明
0~8	データフレーム長は 0~8 バイトです。
9~15	設定禁止です。設定された場合は、8 バイト長です。

---

**<注意事項>**

メッセージオブジェクトのデータ長コードは、ほかのノードで同じ ID に対応するすべてのオブジェクトで同じ長さになるように定義する必要があります。メッセージハンドラがデータフレームを格納するとき、受信したメッセージによって与えられた値に DLC が書き換えられます。

Data0	CAN データフレームの第 1 データバイト
Data1	CAN データフレームの第 2 データバイト
Data2	CAN データフレームの第 3 データバイト
Data3	CAN データフレームの第 4 データバイト
Data4	CAN データフレームの第 5 データバイト
Data5	CAN データフレームの第 6 データバイト
Data6	CAN データフレームの第 7 データバイト
Data7	CAN データフレームの第 8 データバイト

---

---

**<注意事項>**

- CAN バスへのシリアル出力は、MSB(bit7 もしくは bit15) より出力します。
  - 受信メッセージデータが 8 バイトより少ない場合は、データレジスタの残りのバイトには不定が書き込まれます。
  - メッセージオブジェクトへの転送は、Data A もしくは Data B の 4 バイト単位で行われますので、4 バイトのうちある一部のデータだけの更新はできません。
-

## 9. メッセージハンドラのレジスタ

メッセージハンドラのレジスタはすべて読出し専用です。その内容(各メッセージオブジェクトの TXRQST, NEWDAT, INTPND, MSGVAL の各ビットおよび割込み ID) は、メッセージハンドラ FSM によって提供されるステータス情報です。

### ■ メッセージハンドラレジスタ一覧

レジスタ略称	レジスタ名	参照先
INTR <sub>n</sub>	割込みレジスタ	9.1
TREQR1 <sub>n</sub> , TREQR2 <sub>n</sub>	送信リクエストレジタ	9.2
NEWDT1 <sub>n</sub> , NEWDT2 <sub>n</sub>	新規データレジスタ	9.3
INTPND1 <sub>n</sub> , INTPND2 <sub>n</sub>	割込み保留レジスタ	9.4
MSGVAL1 <sub>n</sub> , MSGVAL2 <sub>n</sub>	メッセージ有効レジスタ	9.5

## 9.1. 割込みレジスタ(INTRn)

割込みレジスタ(INTRn) は、保留中の最も高い優先度の割込みを指しています。

### ■ 割込みレジスタ(INTRn)

INTRHn								
bit	15	14	13	12	11	10	9	8
	INTID15 ~ INTID8							
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

INTRLn								
bit	7	6	5	4	3	2	1	0
	INTID7 ~ INTID0							
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

(32 メッセージバッファ CAN の場合)

INTID15~INTID0: 割込み ID (この番号は割込みの要因を示します)

bit	説明
0000 <sub>H</sub>	保留中の割込みは存在しない。
0001 <sub>H</sub> ~0020 <sub>H</sub>	割込みを生成したメッセージオブジェクトの番号
0021 <sub>H</sub> ~7FFF <sub>H</sub>	未使用
8000 <sub>H</sub>	ステータス割込み
8001 <sub>H</sub> ~FFFF <sub>H</sub>	未使用

(128 メッセージバッファ CAN の場合)

INTID15~INTID0: 割込み ID (この番号は割込みの要因を示します)

bit	説明
0000 <sub>H</sub>	保留中の割込みは存在しない。
0001 <sub>H</sub> ~0080 <sub>H</sub>	割込みを生成したメッセージオブジェクトの番号
0081 <sub>H</sub> ~7FFF <sub>H</sub>	未使用
8000 <sub>H</sub>	ステータス割込み
8001 <sub>H</sub> ~FFFF <sub>H</sub>	未使用



複数の割込みが保留中の場合、CAN 割込みレジスタは、発生順序とは無関係に最も優先度の高い保留中の割込みを指しています。割込みは CPU によってクリアされるまで保留状態を維持します。

INTID が 0000<sub>H</sub> で IE がセットされている場合は、CPU への割込みラインはアクティブです。割込みラインは INTID が 0000<sub>H</sub> の値に戻るか (割込みの場合はリセット) IE がリセットされるまでアクティブな状態を維持します。

優先度が最も高い割込みはステータス割込みです。メッセージ割込みの中では、メッセージ番号が大きいものほどメッセージオブジェクトの割込み優先順位が下がります。

メッセージ割込みをクリアするにはメッセージオブジェクトの INTPND ビットをクリアします。ステータスレジスタにリードアクセスすると、ステータス割込みがクリアされます。

---

#### <注意事項>

CAN 割込みレジスタを読み出す際はワードでアクセスしてください。

---

## 9.2. 送信リクエストレジタ(TREQR1n, TREQR2n)

送信リクエストレジスタ(TREQR1n, TREQR2n) は、メッセージオブジェクトの送信を制御します。

### ■ 送信リクエストレジスタ(TREQR1n, TREQR2n)

TREQR1Hn								
bit	15	14	13	12	11	10	9	8
	TXRQST16 ~ TXRQST9							
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

TREQR1Ln								
bit	7	6	5	4	3	2	1	0
	TXRQST8 ~ TXRQST1							
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

TREQR2Hn								
bit	15	14	13	12	11	10	9	8
	TXRQST32 ~ TXRQST25							
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

TREQR2Ln								
bit	7	6	5	4	3	2	1	0
	TXRQST24 ~ TXRQST17							
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

TXRQST32~TXRQST1: 送信リクエストビット(すべてのメッセージオブジェクト)

bit	説明
0	このメッセージオブジェクトは送信待ちではない。
1	このメッセージオブジェクトは送信を要求しているが、まだ送信されていない。

上記のレジスタには32のメッセージオブジェクトのTXRQSTビットが保持されています。CPUはTXRQSTビットを読み出すことにより、どのメッセージオブジェクトの送信リクエストが保留されているのかをチェックできます。CPUからIFxメッセージインタフェースレジスタを通じてまたはリモートフレームの受信後または送信成功後にメッセージハンドラから、特定のメッセージオブジェクトのTXRQSTビットをセット

/リセットすることができます。

TXRQST ビットのセット/リセット条件を以下に示します。

### ● セット条件

- IFx コマンドマスクレジスタの WRRD に"1", TXREQ に"1"を設定して、IFx コマンドリクエストレジスタへの書き込みにより特定オブジェクトの TXRQST に設定できます。
- IFx コマンドマスクレジスタの WRRD に"1", TXREQ に"0", CONTROL に"1", IFx メッセージ制御レジスタの TXRQST に"1"を設定して、IFx コマンドリクエストレジスタへの書き込みにより特定オブジェクトの TXRQST に設定できます。
- DIR ビットが"1", RMTEN ビットが"1"に設定し、アクセプタンスフィルタを通過したリモートフレームの受信によりセットされます。

### ● リセット条件

- IFx コマンドマスクレジスタの WRRD に"1", TXREQ に"0", CONTROL に"1", IFx メッセージ制御レジスタの TXRQST に"0"を設定して、IFx コマンドリクエストレジスタへの書き込みにより特定オブジェクトの TXRQST をリセットできます。
- フレームの送信が正常終了すると、リセットされます。
- DIR が"1", RMTEN が"0", UMASK が"1"の場合、アクセプタンスフィルタを通過したリモートフレームの受信によりリセットされます。

---

### <注意事項>

下記いずれかの条件の場合、後述のいずれかのイベントが発生するまでメッセージが送信されない可能性があります。

条件:

- ① 優先順位が最下位のメッセージバッファを送信に使用している場合
- ② TXRQST に"1"を設定したが、送信中止のため、TXRQST に"0"を設定した場合
- ③ ②のタイミングの際に、再度 TXRQST に"1"を設定した場合

イベント:

- CAN バス上に有効なメッセージが流れる
- ほかのメッセージバッファに対して送信要求が発行される
- INIT ビットによって CAN が初期化される

システム上、もし送信を中止する状況が発生する場合は、下記手順を行ってください。

1. 下記いずれかを実行する
    - 送信メッセージバッファとして優先順位が最下位のメッセージバッファを使用しない
    - 送信中止後、上記のいずれかのイベントを発生させる
  2. 再度 TXRQST に"1"を設定する
    - TXRQST ビットが"1"のときに ID28~0, DLC3~0, XTD, Data7~0 のメッセージオブジェクトを変更すると変更前後のメッセージオブジェクトが混在して送出されたり、変更後のメッセージオブジェクトが送出されない可能性があります。このため、TXRQST ビットが"0"のときにそれらを変更してください。
-

32 を超えるメッセージバッファが実装されている場合の追加フラグの概要を表 9-1 に示します。

表 9-1 32 を超えるメッセージバッファが実装されている場合の追加フラグ

		addr+0	addr+1	addr+2	addr+3
TREQR 4 および 3	TXRQST 64～33 (アドレス 84 <sub>H</sub> )	TXRQST64～57	TXRQST56～49	TXRQST48～41	TXRQST40～33
TREQR 6 および 5	TXRQST 96～65 (アドレス 88 <sub>H</sub> )	TXRQST96～89	TXRQST88～81	TXRQST80～73	TXRQST72～65
TREQR 8 および 7	TXRQST 128～97 (アドレス 8C <sub>H</sub> )	TXRQST128～ 121	TXRQST120～ 113	TXRQST112～ 105	TXRQST104～97

### 9.3. 新規データレジスタ(NEWDT1n, NEWDT2n)

新規データレジスタ(NEWDT1n, NEWDT2n) は、メッセージバッファを通じて新しいデータを受信したことを示します。

#### ■ 新規データレジスタ(NEWDT1n, NEWDT2n)

NEWDT1Hn								
bit	15	14	13	12	11	10	9	8
	NEWDAT16 ~ NEWDAT9							
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

NEWDT1Ln								
bit	7	6	5	4	3	2	1	0
	NEWDAT8 ~ NEWDAT1							
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

NEWDT2Hn								
bit	15	14	13	12	11	10	9	8
	NEWDAT32 ~ NEWDAT25							
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

NEWDT2Ln								
bit	7	6	5	4	3	2	1	0
	NEWDAT24 ~ NEWDAT17							
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

NEWDAT32~NEWDAT1: 新規データビット(すべてのメッセージオブジェクト)

bit	説明
0	前回このフラグが CPU によってクリアされてから、メッセージハンドラによってこのメッセージオブジェクトのデータ部分に書き込まれた新しいデータは存在しない。
1	メッセージハンドラまたは CPU によって、このメッセージオブジェクトのデータ部分に新しいデータが書き込まれている。

上記のレジスタには32のメッセージオブジェクトのNEWDATビットが保持されています。CPUは、NEWDAT

ビットを読み出すことにより、どのメッセージのデータ部分が更新されたかをチェックできます。CPU から IFx メッセージインタフェースレジスタを通じてまたはデータフレームの受信後または送信成功後にメッセージハンドラから、特定のメッセージオブジェクトの NEWDAT ビットをセット/リセットすることができます。

NEWDAT ビットのセット/リセット条件を以下に示します。

### ● セット条件

- IFx コマンドマスクレジスタの WRRD に"1", CONTROL に"1", IFx メッセージ制御レジスタの NEWDAT に"1"を設定して、IFx コマンドリクエストレジスタの書き込みにより特定オブジェクトに設定できます。
- アクセプタンスフィルタを通過したデータフレームの受信によりセットされます。
- DIR が"1", RMTEN が"0", UMASK が"1"の場合、アクセプタンスフィルタを通過したリモートフレームの受信によりセットされます。

### ● リセット条件

- IFx コマンドマスクレジスタの WRRD に"0", NEWDAT に"1"を設定した場合、IFx コマンドリクエストレジスタの書き込みにより特定オブジェクトの NEWDAT をリセットできます。
- IFx コマンドマスクレジスタの WRRD に"1", CONTROL に"1", IFx メッセージ制御レジスタの NEWDAT に"0"を設定して、IFx コマンドリクエストレジスタの書き込みにより特定オブジェクトの NEWDAT をリセットできます。
- 送信用シフトレジスタ(内部レジスタ) ヘデータを転送終了後、リセットされます。

32 を超えるメッセージバッファが実装されている場合の追加フラグの概要を表 9-2 に示します。

表 9-2 32 を超えるメッセージバッファが実装されている場合の追加フラグ

		addr+0	addr+1	addr+2	addr+3
NEWDT 4 および 3	NEWDAT 64~33 (アドレス 94 <sub>H</sub> )	NEWDAT64~57	NEWDAT56~49	NEWDAT48~41	NEWDAT40~33
NEWDT 6 および 5	NEWDAT 96~65 (アドレス 98 <sub>H</sub> )	NEWDAT96~89	NEWDAT88~81	NEWDAT80~73	NEWDAT72~65
NEWDT 8 および 7	NEWDAT 128~97 (アドレス 9C <sub>H</sub> )	NEWDAT128~ 121	NEWDAT120~ 113	NEWDAT112~ 105	NEWDAT104~ 97

## 9.4. 割込み保留レジスタ (INTPND1n, INTPND2n)

割込み保留レジスタ (INTPND1n, INTPND2n) は、メッセージオブジェクトが割込みの原因かどうかを示します。

### ■ 割込み保留レジスタ (INTPND1n, INTPND2n)

INTPND1Hn								
bit	15	14	13	12	11	10	9	8
	INTPND16 ~ INTPND9							
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

INTPND1Ln								
bit	7	6	5	4	3	2	1	0
	INTPND8 ~ INTPND1							
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

INTPND2Hn								
bit	15	14	13	12	11	10	9	8
	INTPND32 ~ INTPND25							
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

INTPND2Ln								
bit	7	6	5	4	3	2	1	0
	INTPND24 ~ INTPND17							
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

INTPND32~INTPND1: 割込み保留ビット (すべてのメッセージオブジェクトの)

bit	説明
0	割込み要因がありません。
1	割込み要因があります。

上記のレジスタには 32 のメッセージオブジェクトの INTPND ビットが保持されています。CPU は INTPND ビットを読み出すことにより、どのメッセージオブジェクトの割込みが保留されているのかをチェックできます。CPU から IFx メッセージインタフェースレジスタを通じてまたはフレームの受信後または送信成功後にメッセージハンドラから、特定のメッセージオブジェクトの INTPND ビットをセット/リセットする

ことができます。この操作は割込みレジスタ INTR<sub>n</sub> の INTID の値にも影響を与えます。

INTPND ビットのセット/リセット条件を以下に示します。

### ● セット条件

- TXIE が"1"に設定されている場合、フレームの正常送信完了によりセットされます。
- RXIE が"1"に設定されている場合、アクセプタンスフィルタを通過したフレームの正常受信完了によりセットされます。
- IFx コマンドマスクレジスタの WRRD に"1", CONTROL に"1", IFx メッセージ制御レジスタの INTPND に"1"を設定して、IFx コマンドリクエストレジスタの書き込みにより特定オブジェクトの INTPND をセットできます。

### ● リセット条件

- IFx コマンドマスクレジスタの WRRD に"0", CIP に"1"を設定して、IFx コマンドリクエストレジスタの書き込みにより特定オブジェクトの INTPND をリセットできます。
- IFx コマンドマスクレジスタの WRRD に"1", CONTROL に"1", IFx メッセージ制御レジスタの INTPND に"0"を設定して、IFx コマンドリクエストレジスタの書き込みにより特定オブジェクトの INTPND をリセットできます。

32 を超えるメッセージバッファが実装されている場合の追加フラグの概要を表 9-3 に示します。

表 9-3 32 を超えるメッセージバッファが実装されている場合の追加フラグ

		addr+0	addr+1	addr+2	addr+3
INTPND 4 および 3	INTPND 64~33 (アドレス A4 <sub>H</sub> )	INTPND64~57	INTPND56~49	INTPND48~41	INTPND40~33
INTPND 6 および 5	INTPND 96~65 (アドレス A8 <sub>H</sub> )	INTPND96~89	INTPND88~81	INTPND80~73	INTPND72~65
INTPND 8 および 7	INTPND 128~97 (アドレス AC <sub>H</sub> )	INTPND128~ 121	INTPND120~ 113	INTPND112~ 105	INTPND104~97



## 9.5. メッセージ有効レジスタ (MSGVAL1n, MSGVAL2n)

メッセージ有効レジスタ (MSGVAL1n, MSGVAL2n) は、各メッセージオブジェクトの有効性を示します。

### ■ メッセージ有効レジスタ (MSGVAL1n, MSGVAL2n)

MSGVAL1Hn								
bit	15	14	13	12	11	10	9	8
	MSGVAL16 ~ MSGVAL9							
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

MSGVAL1Ln								
bit	7	6	5	4	3	2	1	0
	MSGVAL8 ~ MSGVAL1							
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

MSGVAL2Hn								
bit	15	14	13	12	11	10	9	8
	MSGVAL32 ~ MSGVAL25							
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

MSGVAL2Ln								
bit	7	6	5	4	3	2	1	0
	MSGVAL24 ~ MSGVAL17							
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

MSGVAL32~MSGVAL1: メッセージ有効ビット (すべてのメッセージオブジェクト)

bit	説明
0	メッセージオブジェクトは無効です。 メッセージの送受信は行いません。
1	メッセージオブジェクトは有効です。 メッセージの送受信が可能です。

上記のレジスタには32のメッセージオブジェクトのMSGVALビットが保持されています。CPUはMSGVALビットを読み出すことにより、どのメッセージオブジェクトが有効かチェックできます。CPU から IFx メッ

セージインタフェースレジスタを通じて特定のメッセージオブジェクトの MSGVAL ビットをセット/リセットすることができます。

MSGVAL ビットのセット/リセット条件を以下に示します。

### ● セット条件

IFx コマンドマスクレジスタの WRRD に"1", ARB に"1"、IFx アービトレーションレジスタ 2 の MSGVAL に"1"を設定して、IFx コマンドリクエストレジスタへの書き込みにより特定オブジェクトの MSGVAL をセットできます。

### ● リセット条件

IFx コマンドマスクレジスタの WRRD に"1", ARB に"1"、IFx アービトレーションレジスタ 2 の MSGVAL に"0"を設定して、IFx コマンドリクエストレジスタの書き込みにより特定オブジェクトの MSGVAL をリセットできます。

32 を超えるメッセージバッファが実装されている場合の追加フラグの概要を表 9-4 に示します。

表 9-4 32 を超えるメッセージバッファが実装されている場合の追加フラグ

		addr+0	addr+1	addr+2	addr+3
MSGVAL 4 および 3	MSGVAL 64~33 (アドレス B4 <sub>H</sub> )	MSGVAL64~57	MSGVAL56~49	MSGVAL48~41	MSGVAL40~33
MSGVAL 6 および 5	MSGVAL 96~65 (アドレス B8 <sub>H</sub> )	MSGVAL96~89	MSGVAL88~81	MSGVAL80~73	MSGVAL72~65
MSGVAL 8 および 7	MSGVAL 128~97 (アドレス BC <sub>H</sub> )	MSGVAL128~ 121	MSGVAL120~ 113	MSGVAL112~ 105	MSGVAL104~97



# Chapter 22: クロック出力機能



---

クロック出力機能とその動作を説明します。

---

1. 概要
2. 動作
3. レジスタ

---

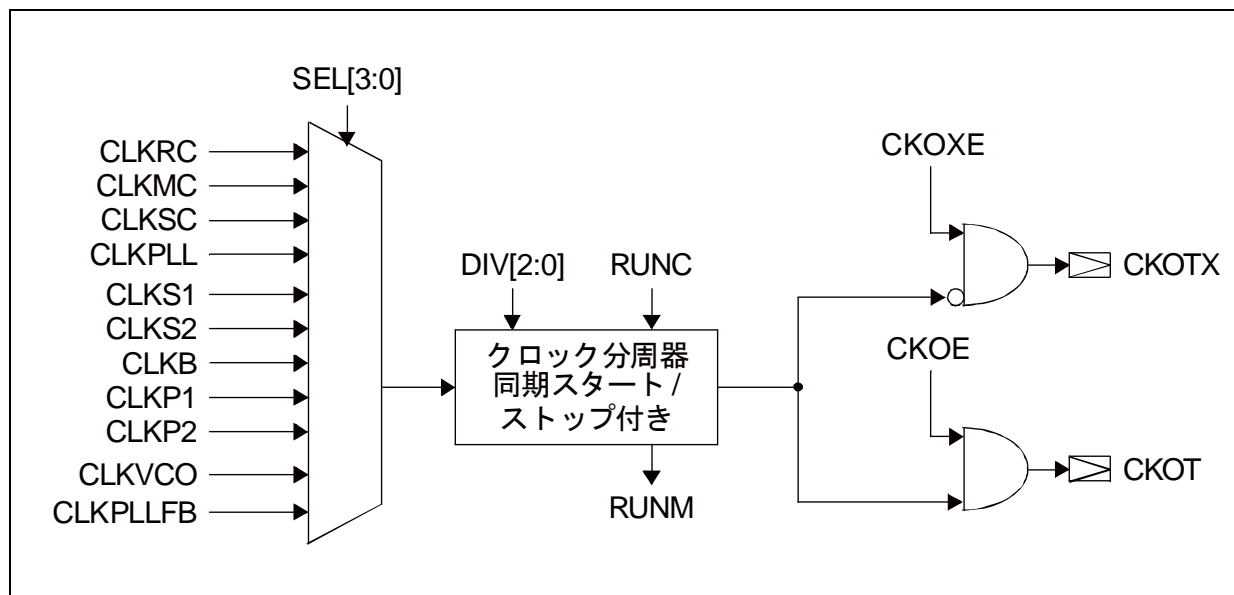
管理コード : 96F6CLKOUT-J02.0

---

## 1. 概要

クロック出力機能を使用して、最大2系統の内部クロックを4つのクロック出力端子(CKOT0/CKOTX0 および CKOT1/CKOTX1) に出力できます(各クロックの通常出力端子と反転出力端子)。クロックは直接出力することも内部クロック分周器で分周して出力することもできます。

### ■ クロック出力機能のブロック図(1 チャンネル)



選択可能なクロックの詳細については『クロック』の章を参照してください。

## 2. 動作

クロック出力機能を使用して、CKOT0/CKOTX0 および CKOT1/CKOTX1 出力端子に独立した 2 系統のクロックを出力できます。2 つのクロックを同期して起動または停止できます。

### ■ クロック出力機能の起動

CKOT0/CKOTX0 および CKOT1/CKOTX1 端子のクロック出力機能の起動は次のように行います。

- 必要なクロックと分周値を選択して、対応する COCR0, COCR1 レジスタの設定を行います。
- COAR レジスタの対応するクロック出力許可ビット CKOE0, CKOE1/CKOXE0, CKOXE1 を"1"にセットすることにより、CKOT / CKOTX 出力を許可します。出力許可と同時にまたは以後にスタートビット RUNC0, RUNC1 を"1"にセットします。

クロック出力を許可にすると、CKOT0, CKOT1 端子には"0"が、CKOTX0, CKOTX1 端子には"1"が出力されます。

RUNC0, RUNC1 スタートビットを"1"にセットすると、同期回路がアクティブになり、対応する CKOT0, CKOT1 / CKOTX0, CKOTX1 端子から選択したクロックの出力が開始されます。RUNM1, RUNM0 ビットの読出し値が"0"のときはクロックの出力がまだ開始されていないこと(同期メカニズムが動作中)を示し、読出し値が"1"のときはクロックの出力が始まっていることを示します。

### ■ クロック出力機能の禁止

クロック出力機能の禁止は次のように行います。

- RUNC0, RUNC1 ビットを"0"にセットしてクロック出力を停止します。クロック出力の停止は同期回路を使用して実行されます。RUNM0, RUNM1 ビット("0"にセットされる)を読み出すことにより、実際に停止しているかどうかを確認してください。
- クロックを停止すると、COCRn レジスタの設定を変更したり、クロック出力許可ビット CKOE0, CKOE1/CKOXE0, CKOXE1 を"0"にセットしてクロック出力を禁止したりすることができます。

クロックが停止すると、CKOT0, CKOT1 / CKOTX0, CKOTX1 端子の出力値が、CKOT0, CKOT1 端子は"0"に、CKOTX0, CKOTX1 端子は"1"に戻ります。

クロック出力の開始/停止用同期回路には、有効なソースクロックが必要です。SEL3~SEL0 ビットで選択したソースクロックが無効な場合には、出力クロックは動作しません。また、RUNC0, RUNC1 ビットに値をセットすることは可能ですが、RUNM 監視ビットの値は変化しません。

### ■ クロック出力構成レジスタの内容の変更

COCR0, COCR1 レジスタの書込みは、対応するクロック出力が停止した(RUNC0=0, RUNC1=0) ときにのみ実行してください。クロック出力が動作中に COCRn レジスタへ書込みを行った場合には、不正なクロックが出力されることがあります。

### 3. レジスタ

クロック出力構成レジスタ(COCCRn) を使用して出力クロックの選択とクロック分周器の制御を行います。COCCR0 レジスタは CKOT0/CKOTX0 クロック出力を、COCCR1 レジスタは CKOT1/CKOTX1 クロック出力を制御します。

クロック出力起動レジスタ(COAR) はCKOT0, CKOTX0, CKOT1, CKOTX1 の各出力端子の許可/禁止と、選択したクロックの同期スタート/ストップを制御します。

#### ■ クロック出力のレジスタ一覧

レジスタ略称	レジスタ名	参照先
COCCRn	クロック出力構成レジスタ	3.1
COAR	クロック出力起動レジスタ	3.2

## 3.1. クロック出力構成レジスタ(COCRn)

### ■ クロック出力構成レジスタ(COCRn)

COCRn								
bit	15/7	14/6	13/5	12/4	11/3	10/2	9/1	8/0
	RESV	DIV2	DIV1	DIV0	SEL3	SEL2	SEL1	SEL0
属性	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	X	0	0	0	0	0	0	0

[bit15, bit7] RESV: 予約ビット

- 本ビットには常に"0"を書き込みます。
- 本ビットの読出し値は不定です。
- 本ビットへのリードモディファイライト(RMW) 動作は無効です。

[bit14～bit12/bit6～bit4] DIV2～DIV0: クロック分周ビット

- クロック出力分周器の設定を行うビットです(下表参照してください)。

bit14/bit6	bit13/bit5	bit12/bit4	説明
DIV2	DIV1	DIV0	
0	0	0	出力クロックを分周しない
0	0	1	出力クロックを 1/2 に分周する
0	1	0	出力クロックを 1/4 に分周する
0	1	1	出力クロックを 1/8 に分周する
1	0	0	出力クロックを 1/16 に分周する
1	0	1	出力クロックを 1/32 に分周する
1	1	0	出力クロックを 1/64 に分周する
1	1	1	出力クロックを 1/128 に分周する

- リセットするとこれらのビットは"000" (出力クロックを分周しない) に初期化されます。
- クロック出力機能がアクティブのとき(対応する COAR レジスタの RUNC ビットが"1"、CKOE/CKOXE が"1") に本設定を変更すると、スパイク(不正なクロック波形) が出力されることがあります。
- リードアクセスすると、本制御ビットの設定値が読み出されます。



## [bit11~bit8, bit3~bit0] SEL3~SEL0: クロック選択ビット

- CKOT0/CKOT1 端子に出力するクロックを選択するビットです(下表参照してください)。

bit11/bit3	bit10/bit2	bit9/bit1	bit8/bit0	説明
SEL3	SEL2	SEL1	SEL0	
0	0	0	0	クロック選択なし
0	0	0	1	CLKRC (RC クロック)
0	0	1	0	CLKMC (メインクロック)
0	0	1	1	CLKSC (サブクロック)
0	1	0	0	CLKPLL (PLL 出力クロック)
0	1	0	1	予約
0	1	1	0	CLKS1 (システムクロック 1)
0	1	1	1	CLKS2 (システムクロック 2)
1	0	0	0	CLKB (バスクロック)
1	0	0	1	CLKP1 (周辺クロック 1)
1	0	1	0	CLKP2 (周辺クロック 2)
1	0	1	1	CLKVCO (PLL の VCO クロック)
1	1	0	0	CLKPLLFB (PLL フィードバッククロック)
1	1	0	1	予約
1	1	1	0	予約
1	1	1	1	予約

- リセットするとこれらのビットは"0000" (クロック選択なし) に初期化されます。
- クロック出力機能がアクティブのとき(対応する COAR レジスタの RUNC ビットが"1"、CKOE/CKOXE が"1") に本設定を変更すると、スパイク(不正なクロック波形) が出力されることがあります。
- リードアクセスすると、本制御ビットの設定値が読み出されます。

## 3.2. クロック出力起動レジスタ(COAR)

### ■ クロック出力起動レジスタ(COAR)

COAR								
bit	15	14	13	12	11	10	9	8
	RUNM1	RUNC1	CKOXE1	CKOE1	RUNM0	RUNC0	CKOXE0	CKOE0
属性	R	R/W	R/W	R/W	R	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit15] RUNM1: クロック出力状態監視ビットチャネル 1

bit	説明
0	CKOT1/CKOTX1 クロックは停止状態
1	CKOT1/CKOTX1 クロックはアクティブの状態

- ・本ビットを読み出すとスタート/ストップ同期回路の状態が読み出され、クロックのスタート/ストップが完了しているかどうかを確認できます。
- ・"1"が読み出された場合は CKOT1/CKOTX1 クロック出力が開始されていることを示します。
- ・"0"が読み出された場合は CKOT1/CKOTX1 クロック出力が停止されていることを示します。(CKOT1 端子の出力は"L"レベル, CKOTX1 端子の出力は"H"レベル)。
- ・本ビットへの書込みは無視されます。

[bit14] RUNC1: クロック出力制御ビットチャネル 1

bit	説明
0	CKOT1/CKOTX1 クロック出力を停止
1	CKOT1/CKOTX1 クロック出力を開始

- ・ CKOT1/CKOTX1 クロック出力の同期スタート/ストップを制御します。
- ・本ビットを"1"にセットするとクロック出力が始まり、"0"にセットするとクロック出力が停止します。
- ・リセットすると本ビットは"0"に初期化されます(クロック出力停止)。
- ・選択したクロックを CKOT1/CKOTX1 端子に出力するには、CKOE1/CKOXE1 ビットを"1"にセットすると同時または以後に RUNC1 ビット を"1"にセットします。
- ・クロックの出力開始または停止には数サイクルのクロックサイクルが必要です。また、SEL3～SEL0 で選択したクロックが有効なときでなければ実行できません。
- ・リードアクセスすると本制御ビットの設定値が読み出されます。同期スタート/ストップが完了しているかどうかをチェックするには RUNM1 ビットを使用します。

## [bit13] CKOXE1: CKOTX1 端子のクロック出力許可ビット

bit	説明
0	CKOTX1 クロック出力を禁止
1	CKOTX1 クロック出力を許可

- ・反転クロック CKOTX1 の出力を制御します。
- ・本ビットに"1"を書き込むと CKOTX1 出力を許可できます。本ビットを"1"にセットしたときは、CKOTX1 端子を共有しているほかの周辺機能出力を許可にしないでください。
- ・本ビットを"0"にセットするとクロック出力が禁止されます(初期値)。
- ・リードアクセスすると本ビットの設定値が読み出されます。
- ・RUNM1 ビットが"1"のときに本ビットの設定を変更すると、不正なクロック波形が出力されることがあります。

## [bit12] CKOE1: CKOT1 端子のクロック出力許可ビット

bit	説明
0	CKOT1 クロック出力を禁止
1	CKOT1 クロック出力を許可

- ・クロック CKOT1 の出力を制御します。
- ・本ビットに"1"を書き込むと CKOT1 出力を許可できます。本ビットを"1"にセットしたときは、CKOT1 端子を共有しているほかの周辺機能出力を許可にしないでください。
- ・本ビットを"0"にセットするとクロック出力が禁止されます(初期値)。
- ・リードアクセスすると本ビットの設定値が読み出されます。
- ・RUNM1 ビットが"1"のときに本ビットの設定を変更すると、不正なクロック波形が出力されることがあります。

## [bit11] RUNM0: クロック出力状態監視ビットチャンネル 0

bit	説明
0	CKOT0/CKOTX0 クロックは停止状態
1	CKOT0/CKOTX0 クロックはアクティブの状態

- ・本ビットを読み出すとスタート/ストップ同期回路の状態が読み出され、クロック出力のスタート/ストップが完了しているかどうかを確認できます。
- ・"1"が読み出された場合は CKOT0/CKOTX0 クロック出力が開始されていることを示します。
- ・"0"が読み出された場合は CKOT0/CKOTX0 クロック出力が停止されていることを示します。(CKOT0 端子の出力は L レベル, CKOTX0 端子の出力は H レベル)。
- ・本ビットへの書込みは無視されます。

#### [bit10] RUNC0: クロック出力制御ビットチャネル 0

bit	説明
0	CKOT0/CKOTX0 クロック出力を停止
1	CKOT0/CKOTX0 クロック出力を開始

- ・ CKOT0/CKOTX0 クロック出力の同期スタート/ストップを制御します。
- ・ 本ビットを"1"にセットするとクロック出力が始まり、"0"にセットするとクロック出力が停止します。
- ・ リセットすると本ビットは"0"に初期化されます(クロック出力停止)。
- ・ 選択したクロックを CKOT0/CKOTX0 端子に出力するには、CKOE0/CKOXE0 ビットを"1"にセットすると同時または以後に RUNC0 ビット を"1"にセットします。
- ・ クロックの出力開始または停止には数サイクルのクロックサイクルが必要です。また、SEL3～SEL0 で選択したクロックが有効なときでなければ実行できません。
- ・ リードアクセスすると本制御ビットの設定値が読み出されます。同期スタート/ストップが完了しているかどうかをチェックするには RUNM0 ビットを使用します。

#### [bit9] CKOXE0: CKOTX0 端子のクロック出力許可ビット

bit	説明
0	CKOTX0 クロック出力を禁止
1	CKOTX0 クロック出力を許可

- ・ 反転クロック CKOTX0 の出力を制御します。
- ・ 本ビットに"1"を書き込むと CKOTX0 出力を許可できます。本ビットを"1"にセットしたときは、CKOTX0 端子を共有しているほかの周辺機能出力を許可にしないでください。
- ・ 本ビットを"0"にセットするとクロック出力が禁止されます(初期値)。
- ・ リードアクセスすると本ビットの設定値が読み出されます。
- ・ RUNM0 ビットが"1"のときに本ビットの設定を変更すると、不正なクロック波形が出力されることがあります。

#### [bit8] CKOE0: CKOT0 端子のクロック出力許可ビット

bit	説明
0	CKOT0 クロック出力を禁止
1	CKOT0 クロック出力を許可

- ・ クロック CKOT0 の出力を制御します。
- ・ 本ビットに"1"を書き込むと CKOT0 出力を許可できます。本ビットを"1"にセットしたときは、CKOT0 端子を共有しているほかの周辺機能出力を許可にしないでください。
- ・ 本ビットを"0"にセットするとクロック出力が禁止されます(初期値)。
- ・ リードアクセスすると本ビットの設定値が読み出されます。
- ・ RUNM0 ビットが"1"のときに本ビットの設定を変更すると、不正なクロック波形が出力されることがあります。



# Chapter 23: リアルタイムクロック



---

リアルタイムクロックの機能と動作を説明します。

---

1. 概要
2. 動作
3. レジスタ
4. 注意事項

---

管理コード : 96F3RTC-J03.0

---

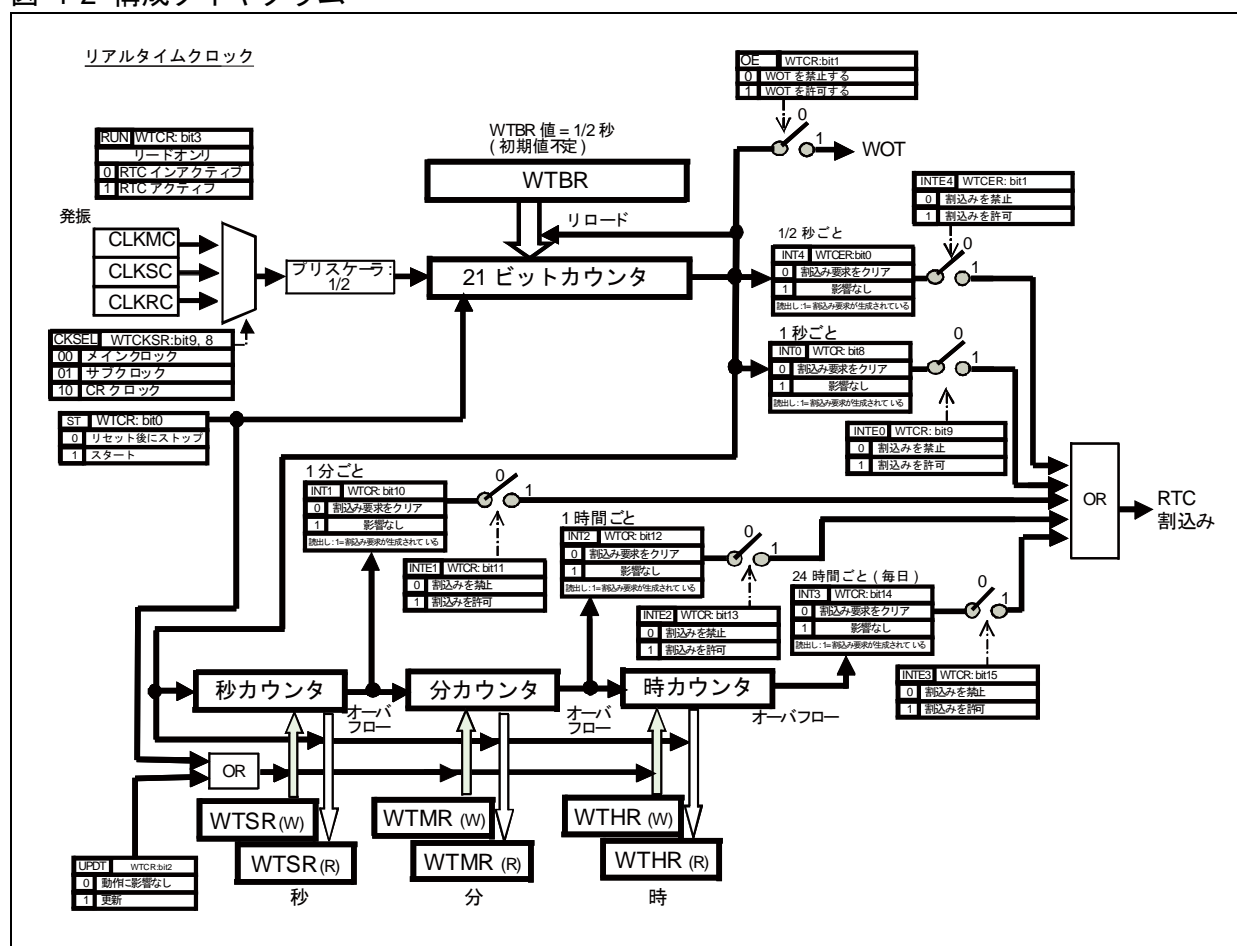
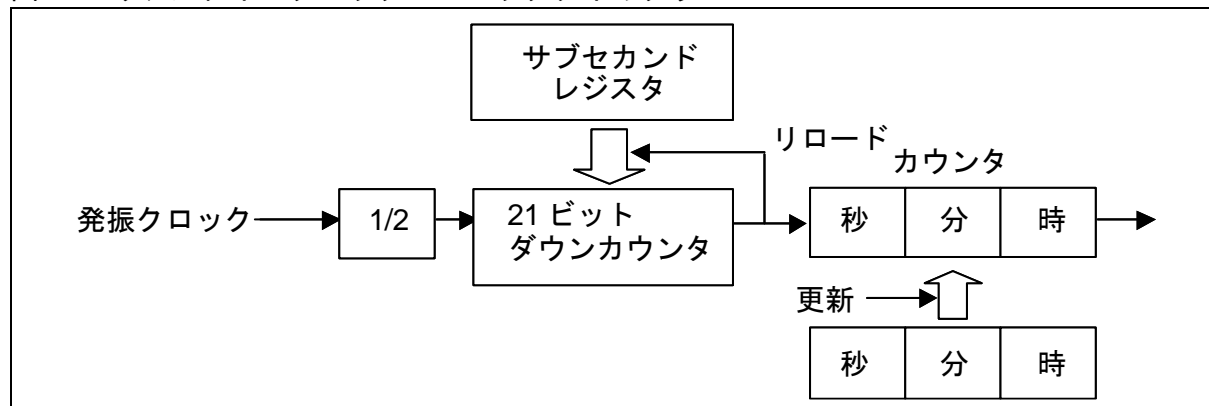
## 1. 概要

リアルタイムクロックは、タイマ制御レジスタ、サブセカンドレジスタ、秒/分/時レジスタ、1/2 クロック分周器、21 ビットプリスケアラ、時/分/秒カウンタで構成されています。

リアルタイムクロック(RTC) はタイマモードでも経過時間のカウントを続行し、メイン発振(4MHz)、サブ発振(32kHz)または RC 発振(~100kHz/~2MHz)を基にして現在の実時間(HH/MM/SS)を提供します。これにより、スタンバイ中も割込みからの復帰なしに正確な時間を計測できます。

### ■ リアルタイムクロックの特長

- ・ 機能: 計時(HH/MM/SS)。(このクロックはタイマモード中でも動作を継続します。)
  - ・ メイン発振 (4MHz)、サブ発振 (32kHz)または RC 発振 (~100kHz または~2MHz) で動作
  - ・ タイムユニット: 2 分周クロックを選択
  - ・ 動作クロック
    - ・ レジスタアクセス用: CLKP1
    - ・ タイムカウント用: メインクロック(CLKMC), サブクロック(CLKSC), RC クロック(CLKRC)
  - ・ 時刻: 初期設定および調整可能
  - ・ 割込み: 割込みは、1/2 秒, 1 秒, 1 分, 1 時間, 1 日の 5 種類の周期で任意に生成できます。
  - ・ その他: サブセカンドレジスタの値を変更することにより、任意の周期で割込みを生成することができます。





## 2. 動作

リアルタイムクロックの動作を説明します。

### ■ リアルタイムクロックの動作

図 2-1 リアルタイムクロックの動作

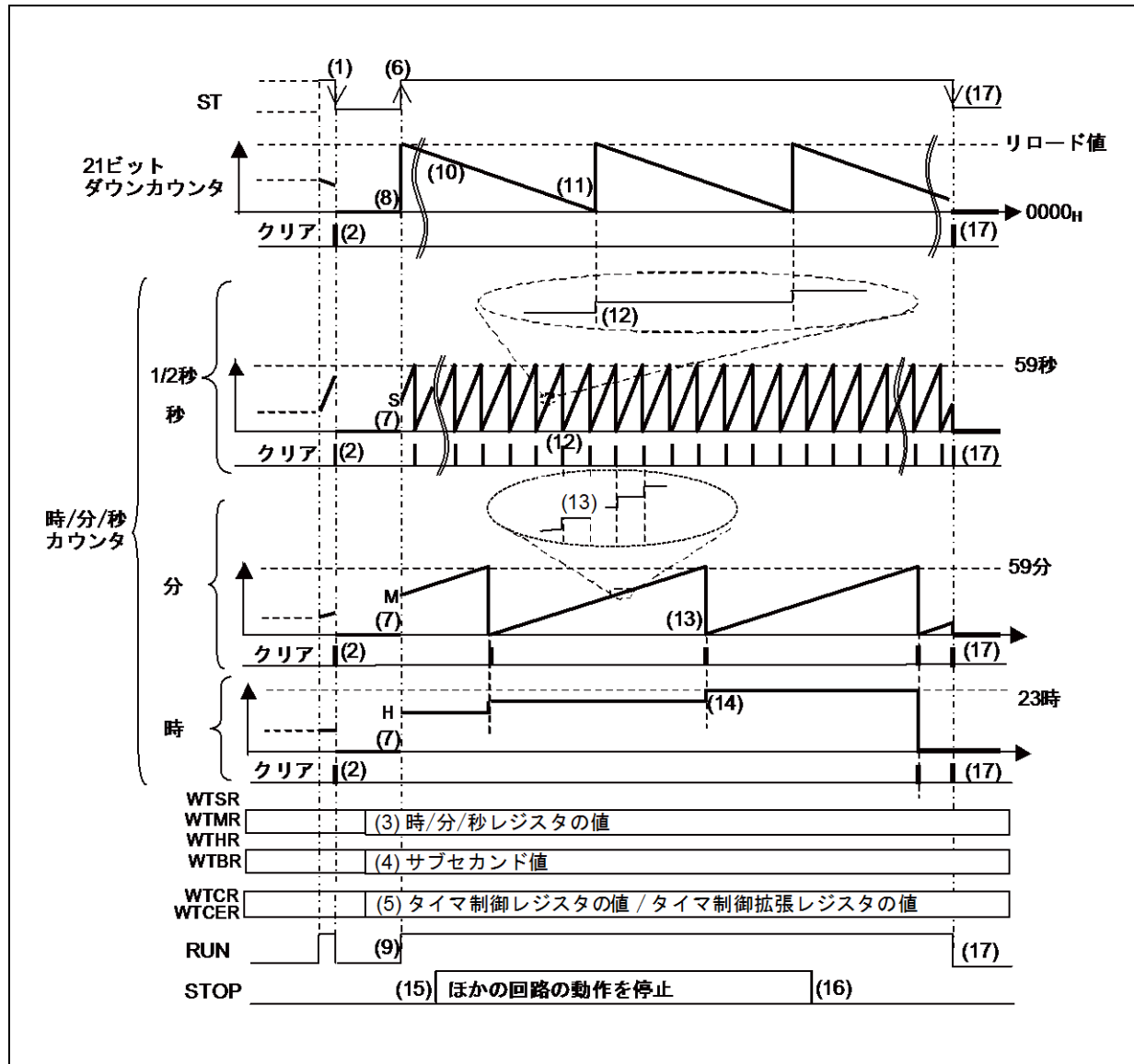
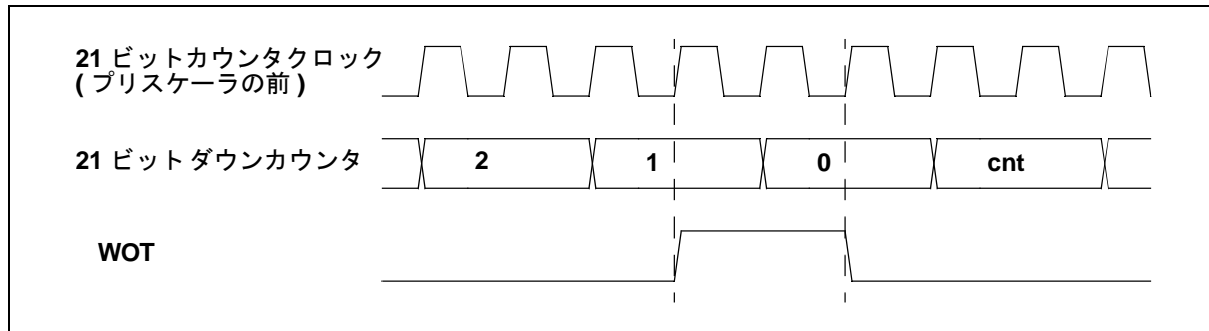


図 2-2 WOT 端子の動作



- (1) スタートビット(ST) を"1"にセットしてから"0"にセットします(レジスタ初期化操作)。
- (2) この操作(ST=0) によって、21 ビットダウンカウンタと時/分/秒の各タイマが 0 にリセットされ停止します。
- (3) ソフトウェアで時/分/秒の値を時/分/秒レジスタ WTHR/WTMR/WTSR に書き込みます。
- (4) ソフトウェアでサブセカンドレジスタ WTBRL0/WTBRH0/WTBR1 に適切な値を書き込みます。
- (5) 割込み要求ビット(INT0, INT1, INT2, INT3, INT4) を初期化し、割込み要求許可ビット(INTE0, INTE1, INTE2, INT3, INTE4) を「割込み許可」にセットします。
- (6) スタートビット(ST) を"1"にセットします。
- (7) スタートビット(ST=1) により時/分/秒レジスタ WTHR/WTMR/WTSR の値が時/分/秒タイマにロードされます。
- (8) サブセカンドレジスタ WTBRL0/WTBRH0/WTBR1 の値を 21 ビットダウンカウンタにロードします。
- (9) 実行フラグ(RUN) が"1"です。
- (10) 21 ビットダウンカウンタはメインクロック(CLKMC)の 2 分周(4/2 MHz)、サブクロック(CLKSC)の 2 分周(32.768/2 kHz) または RC クロック(CLKRC)の 2 分周(100/2 kHz または 2/2MHz) でカウントを開始します。
- (11) 21 ビットダウンカウンタが 000000<sub>H</sub>に達すると、サブセカンドレジスタの値が 21 ビットダウンカウンタにロードされ、1/2 秒割込み要求が発生します。2 つ目の 1/2 秒割込みのたびに秒の割込みが発生します。
- (12) 秒カウンタが"59"に達すると、次のカウント時にクリアされ、分カウンタのカウントが 1 つ増えるとともに分の割込み要求が発生します。
- (13) 分カウンタが"59"に達すると、次のカウント時にクリアされ、時カウンタのカウントが 1 つ増えるとともに時間の割込み要求が発生します。
- (14) 時カウンタが"23"に達すると、次のカウント時にクリアされ、日の割込み要求が生成されます。
- (15) ソフトウェアによりビット SMCR:SMS[1:0]を 10<sub>B</sub>に変更し、MCU の状態をタイマモードに変更します(詳細については『スタンバイモードおよび電圧レギュレータ制御回路』の章の「7.1. スタンバイモード制御レジスタ (SMCR)」を参照してください)。リアルタイムクロックはタイマモードで動作を続行します。

- (16) タイマモードから復帰します(割込み要求によって)。
- (17) スタートビット(ST=0) によって、21 ビットダウンカウンタと時/分/秒の各カウンタが 0 にリセットされ停止します。

### 3. レジスタ

---

タイマ制御で使用するレジスタの構成および機能について説明します。

---

---

#### <注意事項>

WTCR, WTCER および WTCKSR の未使用および予約ビットを除くビットは、すべてのリセット要因によって初期化されます。WTBR は、リセットされません。

WTSR, WTMR, WTHR は、パワーオンリセット、低電圧リセット、外部リセットによってのみ初期化され、ほかのリセットでは初期化されません。

---

#### ■ リアルタイムクロックのレジスタ一覧

レジスタ略称	レジスタ名	参照先
WTCR	タイマ制御レジスタ	3.1
WTCER	タイマ制御拡張レジスタ	3.2
WTCKSR	クロック選択レジスタ	3.3
WTBR	サブセカンドレジスタ	3.4
WTHR, WTMR, WTSR	時/分/秒レジスタ	3.5

### 3.1. タイマ制御レジスタ(WTCR)

タイマ制御レジスタのビット構成を示します。

#### ■ タイマ制御レジスタ(WTCR)

WTCR								
bit	15	14	13	12	11	10	9	8
	INTE3	INT3	INTE2	INT2	INTE1	INT1	INTE0	INT0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
	RESV	RESV	RESV	-	RUN	UPDT	OE	ST
属性	R/W	R/W	R/W	-	R	R/W	R/W	R/W
初期値	X	X	X	X	0	0	0	0

#### <注意事項>

WTCR の予約および未使用ビットを除くビットは、すべてのリセット要因によって初期化されます。

#### [bit15] INTE3: 1 日割込み要求許可

bit	説明
0	割込み要求禁止
1	1 日(24 時間) 割込み要求許可

#### [bit14] INT3: 1 日割込み要求フラグ

時カウンタがオーバフローすると、このフラグは"1"になります。

bit	説明	
	読出し	書込み
0	割込み要求なし	フラグをクリアする
1	1 日(24 時間) 割込み要求あり	書込みは動作に影響しません

**[bit13] INTE2: 1 時間割込み要求許可**

bit	説明
0	割込み要求禁止
1	1 時間割込み要求許可

**[bit12] INT2: 1 時間割込み要求フラグ**

分カウンタがオーバーフローすると、このフラグは"1"になります。

bit	説明	
	読出し	書込み
0	割込み要求なし	フラグをクリアする。
1	1 時間割込み要求あり	書込みは動作に影響しません。

**[bit11] INTE1: 1 分間割込み要求許可**

bit	説明
0	割込み要求禁止
1	1 分間割込み要求を許可

**[bit10] INT1: 1 分間割込み要求フラグ**

秒カウンタがオーバーフローすると、このフラグは"1"になります。

bit	説明	
	読出し	書込み
0	割込み要求なし	フラグをクリアする。
1	1 分間割込み要求あり	書込みは動作に影響しません。

**[bit9] INTE0: 1 秒間割込み要求許可**

bit	説明
0	割込み要求禁止
1	1 秒間割込み要求許可

**[bit8] INT0: 1 秒間割込み要求フラグ**

21 ビットカウンタが 2 回アンダフローすると、このフラグは"1"になります。

bit	説明	
	読出し	書込み
0	割込み要求なし	フラグをクリアする。
1	1 秒間割込み要求あり	書込みは動作に影響しません。

**[bit7～bit5] RESV: 予約ビット**

常に"0"を書き込んでください。

読出し値は不定です。

リードモディファイライト(RMW) 系命令は無効です。

**[bit4] -: 未定義**

常に"0"を書き込んでください。

読出し値は不定です。

リードモディファイライト(RMW) 系命令は無効です。

**[bit3] RUN: 動作ステータス**

bit	説明
0	リアルタイムクロックモジュールは停止
1	リアルタイムクロックモジュールは動作中

**[bit2] UPDT: 更新**

更新ビット(UPDT) に"1"を書き込む前に、時/分/秒の各カウンタを更新するための値を時/分/秒の各レジスタにセットする必要があります。21 ビットダウンカウンタへのリロードを行うと直ちに時/分/秒の各レジスタが更新されます。

bit	説明
0	更新完了("0"の書込みは動作に影響しません)
1	時/分/秒の各カウンタを時/分/秒の各レジスタの値に更新

**<注意事項>**

UPDT ビットへの"1"書込みは、連続で行なわないでください。再度 UPDT ビットへ"1"を書き込む場合は、秒/分/時間レジスタの値がカウンタにロードされた後の次の 1/2 クロック分周回路の CO(カウントオーバー) 後に行なってください。UPDT ビットセット後にタイマモードへの移行を行う場合は、0.5 秒割込みを待ってから移行してください。

RTC 停止の状態(ST=0) からスタートビット(ST) への"1" 書込み(RTC 動作開始) の際には、スタートビットと同時に更新ビット(UPDT) への"1" 書込みを行わないでください。

更新ビット(UPDT) に"1" を書き込む場合は、RTC 動作中(ST=1) の状態で行ってください。

更新ビット(UPDT) が"1" の状態で、スタートビット(ST) に"0" を書き込む(RTC 停止) ことは禁止です。

[bit1] OE: 出力許可

bit	説明
0	WOT 外部端子を汎用入出力またはほかの周辺機能用として使用する。
1	WOT 外部端子を 21 ビットダウンカウンタの出力として使用する。

[bit0] ST: スタート

bit	説明
0	リアルタイムクロックモジュールの動作を停止し、21 ビットダウンカウンタおよび時/分/秒カウンタをクリアする。
1	時/分/秒レジスタの設定を時/分/秒カウンタにロードし、リアルタイムクロックモジュールの動作を開始させる。

**使用上の注意:**

RTC モジュールのサブセカンドレジスタには 21 ビットカウンタのリロード値が格納されます。この値は、リロードカウンタが"0"になるとリロードされます。3 バイトすべてを変更するには、ライト命令とライト命令の間でリロード操作が実行されないように注意してください。そうでないと、21 ビットプリスケアラに新しいデータと古いデータのバイトの組合せによる不正な値がロードされてしまいます。通常は、ST ビットが"0"の間にサブセカンドレジスタの更新を行うことを推奨します。

この更新を RTC 秒割込みの直後に行う場合は、ST が"0"にセットされておらずモジュールが動作中であっても、次のリロード操作(次の秒割込み) まで十分な時間をとってレジスタが確実に修正されるようにする必要があります。

ST ビットを使用してレジスタの更新を行うときは次の点に注意する必要があります。

RUN ビットの立上りエッジで、レジスタに新しい値が書き込まれます。RUN ビットのクロックは RTC クロックです(デバイスとモードによってはメインクロック、サブ発振クロック、RC クロック)。更新が確実に正しく行われるように、新しい値をレジスタに書き込んだら、ST を"0"にセットして RUN ビットが"L"になるのを待ち、ST を"1"に戻して回路の動作を再開させます。ST を"0" にセットすると、その後の 2 度目の RTC クロックの立上りエッジで、RUN が"L"に遷移します。ST を"1"にセットすると、その後の RTC クロックの 2 番目の立上りエッジで RUN が"H"に遷移します。この操作を数回交互に繰り返して実行する必要がある場合は、RUN が"H"になるのを待ってから ST を"L"にセットしてください。

割込み要求フラグ:WTCR INT0/INT1/INT2/INT3 は、"0"書込みによりクリアされます。ただし、クリアは CLKP1 の 2 クロック周期分遅れます。もし周波数  $f_{CLKP1}$  が  $(f_{CLKB} / 2)$  よりも遅いならば下記の動作が起こる可能性があります。

1. CPU は割込み処理ルーチンを実行し、WTCR:INT0/INT2/INT3 に"0"を書き込みます
2. この書込みアクセスの直後に、CPU は割込み処理ルーチンから抜けます。
3. 上記で述べたクリアの遅延により割込みルーチンから抜けた直後は割込み要求フラグはクリアされていません。そのため再度割込みルーチン処理を実行します。

この問題を避けるため、以下の方法を 1 つ実行してください。



- WTCR:INT0/INT1/INT2/INT3 に"0"を書き込んだ後、割込み処理ルーチンから戻る前に周辺バス 1 に接続された周辺機能のレジスタをリードしてください。
- WTCR:INT0/INT1/INT2/INT3 に"0"を書き込んでから割込み処理ルーチンから戻ってくるまでの待ち時間を確保してください。最低限必要な待ち時間は下記の計算で求められます。

CPU クロック(CLKB)待ちサイクルの最小値  $= 2 \times f_{CLKB} / f_{CLKP1}$

例:  $f_{CLKB} = 16\text{MHz}$ ;  $f_{CLKP1} = 4\text{MHz}$  → 最低でも 8 CLKB サイクル待つ必要があります。

## 3.2. タイマ制御拡張レジスタ(WTCER)

タイマ制御拡張レジスタのビット構成を示します。

### ■ タイマ制御拡張レジスタ(WTCER)

WTCER								
bit	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	INTE4	INT4
属性	-	-	-	-	-	-	R/W	R/W
初期値	X	X	X	X	X	X	0	0

#### <注意事項>

WTCER の予約および未使用ビットを除くビットは、すべてのリセット要因によって初期化されます。

#### [bit7～bit2] -: 未定義

書込み操作は動作に影響しません。

読出し値は不定です。

リードモディファイライト(RMW) 系命令は無効です。

#### [bit1] INTE4: 1/2 秒(500ms) 間割込み要求許可

bit	説明
0	割込み要求禁止
1	1/2 秒(500ms) 間割込み要求を許可

#### [bit0] INT4: 1/2 秒(500ms) 間割込み要求フラグ

21 ビットカウンタがアンダフローすると、このフラグは"1"になります。

bit	説明	
	読出し	書込み
0	割込み要求なし	フラグをクリアする。
1	1/2 秒(500ms) 間割込み要求あり	書込みは動作に影響しません。

割込み要求フラグ WTCER:INT4 は、"0"書込みによりクリアされます。ただし、クリアは CLKPI の 2 クロック周期分遅れます。もし周波数  $f_{CLKPI}$  が  $(f_{CLKB} / 2)$  よりも遅いならば下記の動作が起こる可能性があります

1. CPU は割込み処理ルーチンを実行し、WTCER:INT4 に"0"を書き込みます

2. この書き込みアクセスの直後に、CPU は割込み処理ルーチンから抜けます。
  3. 上記で述べたクリアの遅延により割込みルーチンから抜けた直後は割込み要求フラグはクリアされていません。そのため再度割込みルーチン処理を実行します。
- この問題を避けるため、以下の方法を 1 つ実行してください。

- WTCER:INT4 に "0" を書き込んだ後と割込み処理ルーチンから戻る前に周辺バス 1 に接続された周辺機能のレジスタをリードしてください。
- WTCER:INT4 に "0" を書き込んでから割込み処理ルーチンから戻ってくるまでの待ち時間を確保してください。最低限必要な待ち時間は下記の計算で求められます。

CPU クロック (CLKB) 待ちサイクルの最小値  $= 2 \times f_{\text{CLKB}} / f_{\text{CLKP1}}$

例:  $f_{\text{CLKB}} = 16\text{MHz}$ ;  $f_{\text{CLKP1}} = 4\text{MHz}$  → 最低でも 8 CLKB サイクル待つ必要があります。

### 3.3. クロック選択レジスタ(WTCKSR)

クロック選択レジスタのビット構成を示します。

#### ■ クロック選択レジスタ(WTCKSR)

クロック選択レジスタはリアルタイムクロックのクロックソースの選択に使用します。

WTCKSR							
bit	15	14	13	12	11	10	9 8
	-	-	-	-	-	-	CKSEL1 CKSEL0
属性	-	-	-	-	-	-	R/W R/W
初期値	X	X	X	X	X	X	0 0

[bit15～bit10] -: 未定義

- これらのビットに常に"0"を書き込みます。
- これらのビットの読出し値は未定義です。
- これらのビットへのリードモディファイライト(RMW) 動作は無効です。

[bit9, bit8] CKSEL1, CKSEL0: リアルタイムクロックのクロック選択ビット

bit	説明
00 <sub>B</sub>	メインクロック(CLKMC) を使用する
01 <sub>B</sub>	サブクロック(CLKSC) を使用する
10 <sub>B</sub>	RC クロック(CLKRC) を使用する
11 <sub>B</sub>	使用禁止

#### <注意事項>

WTCKSR の未使用ビットを除くビットは、すべてのリセット要因によって初期化されます。

#### ■ アプリケーションノート

WTCKSR:CKSEL[1:0]の設定を変更する際は、リアルタイムクロックが稼動しているクロックを、変更後少なくともさらに3サイクルの間有効のままにしておきます。そのようにしないと、リアルタイムクロックは、新しい設定に移行しません。その後、従来のクロックを停止してください。

例: リアルタイムクロックをメインクロックから RC クロックに変更しなければならない場合

電源投入後、メインクロックが有効となります。WTCKSR:CKSEL[1:0]に"10"を書き込むことによってRCクロックに変更する場合は、メインクロックを有効にしておかなければなりません。そのようにしないと、RTCはRCクロックに変更できません。WTCKSR:CKSEL[1:0]へのライトアクセス後少なくとも、メインクロック3サイクルの間、メイン発振子を有効にしなければなりません。

### 3.4. サブセカンドレジスタ(WTBR)

サブセカンドレジスタには発振クロックを分周する 21 ビットカウンタ用のリロード値が格納されます。リロード値は、通常は 21 ビットカウンタが正確に 1/2 秒サイクル以内に出力するように設定されます。本レジスタはリセットによって初期化されませんが、21 ビットカウンタはリセットによって初期化されます。

#### ■ サブセカンドレジスタ(WTBR)

WTBRH0								
bit	15	14	13	12	11	10	9	8
	D15	D14	D13	D12	D11	D10	D9	D8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	X	X	X	X	X	X	X	X

WTBRL0								
bit	7	6	5	4	3	2	1	0
	D7	D6	D5	D4	D3	D2	D1	D0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	X	X	X	X	X	X	X	X

WTBR1								
bit	7	6	5	4	3	2	1	0
	-	-	-	D20	D19	D18	D17	D16
属性	-	-	-	R/W	R/W	R/W	R/W	R/W
初期値	X	X	X	X	X	X	X	X

[bit7～bit5] -: 未定義

- これらのビットに常に"0"を書き込みます。
- これらのビットの読出し値は未定義です。
- これらのビットへのリードモディファイライト(RMW) 動作は無効です。

#### 使用上の注意:

サブセカンドレジスタ(WTBR) には21 ビットダウンカウンタにリロードする値が保持されます。21 ビットダウンカウンタの値が"0"になると、WTBR の設定が 21 ビットダウンカウンタにリロードされます。

#### <注意事項>

サブセカンドレジスタに設定するリロード値は 1/2 秒の時間に相当します。WTBR に設定されているリロード値を 2 回カウントすると 1 秒になります。

表 3-1 各種クロック構成における WTBR レジスタの設定例

	WTBR1	WTBRH0	WTBRL0
メイン発振器, 4MHz	0F <sub>H</sub>	42 <sub>H</sub>	3F <sub>H</sub>
RC 発振器, 2MHz	07 <sub>H</sub>	A1 <sub>H</sub>	1F <sub>H</sub>
RC 発振器, 100kHz	00 <sub>H</sub>	61 <sub>H</sub>	A7 <sub>H</sub>
サブ発振器, 32.768kHz	00 <sub>H</sub>	1F <sub>H</sub>	FF <sub>H</sub>

### 3.5. 時/分/秒レジスタ(WTHR, WTMR, WTSR)

時/分/秒レジスタには時刻情報が格納されます。この情報は、時、分、秒のバイナリ表現です。レジスタから読み出すと単にカウンタ値が返されます。これらのレジスタへのライトアクセスも可能ですが、書込みデータをカウンタにロードするにはUPDT ビットを"1"にセットする必要があります。レジスタおよびカウンタはリセットによって初期化されます。

#### ■ 時/分/秒レジスタ(WTHR, WTMR, WTSR)

WTSR								
bit	15	14	13	12	11	10	9	8
	-	-	S5	S4	S3	S2	S1	S0
属性	-	-	R/W	R/W	R/W	R/W	R/W	R/W
初期値	X	X	*	*	*	*	*	*

WTHR								
bit	15	14	13	12	11	10	9	8
	-	-	-	H4	H3	H2	H1	H0
属性	-	-	-	R/W	R/W	R/W	R/W	R/W
初期値	X	X	X	*	*	*	*	*

WTMR								
bit	7	6	5	4	3	2	1	0
	-	-	M5	M4	M3	M2	M1	M0
属性	-	-	R/W	R/W	R/W	R/W	R/W	R/W
初期値	X	X	*	*	*	*	*	*

\*: 以下の<注意事項>を参照してください。

#### WTSR [bit15, bit14] -: 未定義

- これらのビットに常に"0"を書き込みます。
- これらのビットの読出し値は未定義です。
- これらのビットへのリードモディファイライト(RMW) 動作は無効です。

#### WTHR/WTMR [bit15~bit13, bit7, bit6] -: 未定義

- これらのビットに常に"0"を書き込みます。
- これらのビットの読出し値は未定義です。
- これらのビットへのリードモディファイライト(RMW) 動作は無効です。

#### <注意事項>

WTSR, WTMR, WTHR の未使用ビットを除くビットは、パワーオンリセット、低電圧リセット、外部リセットによってのみ初期化され、その他のリセットでは初期化されません。

**使用上の注意:**

時/分/秒レジスタに書き込む値は時/分/秒カウンタにロードする初期値です。

更新ビット(WTCR: UPDT) またはスタートビット(WTCR: ST) を"1"にセットすると、時/分/秒レジスタの値が時/分/秒カウンタに書き込まれます。

時/分/秒カウンタの値は 21 ビットカウンタが 2 回アンダフローするたびに、つまり 1 秒の周期で、時/分/秒レジスタに保存されます。時/分/秒カウンタから読み出したときは、書き込んだ値ではなく保存されたカウンタ値が返されます。

時/分/秒レジスタは、読出し用と書込み用の独立した 2 つのレジスタの組で構成されています。

CPU が 時 / 分 / 秒レジスタに書き込むと、書込みレジスタが更新されます。読出しレジスタは内部ロジックから更新された値を取得しますが、これらは CPU が 時 / 分 / 秒レジスタから読み出そうとするときに、いつでも利用可能な値です。リアルタイムクロックをセットした後でリアルタイムクロックを停止して再開する場合は、読出しレジスタの最新の値で書込みレジスタを更新する必要があります。

3 個のバイトレジスタが存在するため、レジスタから取得した値に一貫性があることを確認する必要があります。

例えば、取得した値が「1 時 59 分 59 秒」の場合、「1 時 59 分 59 秒」、「1 時 0 分 0 秒」、「2 時 0 分 0 秒」の 3 つの可能性あります。

また、CPU の動作クロック(CLKB) がリアルタイムクロックの動作クロックを分周したものである場合、リード操作中に値が変化して、レジスタからの読出し値が矛盾することがあります。1 秒割込みを使用すると、次のレジスタ値の更新まで 1 秒あるので、1 秒割込み時にレジスタ値を読み出すことを推奨します。

WTSR, WTMR, WTHR レジスタにありえないデータ(60 秒など) を書き込まないように注意してください。



## 4. 注意事項

リアルタイムクロック使用時の注意事項を説明します。

### ■ 注意事項

- ・ 割込み要求フラグ(WTCR: INT0, WTCR: INT1, WTCR: INT2, WTCR: INT3, WTCR: INT4) への"1"のセットと"0"の書込みが同時に発生した場合、フラグは"1"にセットされます(フラグのセットが優先されます)。
- ・ 更新ビット(WTCR: UPDT) への"1"の書込みと更新の完了が同時に発生した場合、更新ビット(UPDT) は"0"にセットされます。
- ・ 秒カウンタに59の値が保持されているときに更新ビット(WTCR: UPDT) に"1"を書き込んでも時/分/秒カウンタは更新されず、更新ビットの値は"0"のままです。  
時/分/秒カウンタを更新するには、スタートビット(WTCR: ST) に"0"を書き込んで時/分/秒カウンタを"0"にクリアしてから、スタートビット(ST) に"1"を書き込むことを推奨します。
- ・ 更新ビット(WTCR: UPDT) を使用して時/分/秒カウンタを更新した後で周辺クロック(CLKP1)を停止する場合は、周辺クロック(CLKP1) を停止する前に時/分/秒レジスタを読み出して更新が完了しているかどうかを確認してください。
- ・ リアルタイムクロックモジュールの使用を開始するとき、スタートビット(ST) を"1"から"0"に変更して時/分/秒カウンタと 21 ビットダウンカウンタを"0"にクリアしてください。
- ・ RTC モジュールのサブセカンドレジスタには 21 ビットプリスケアラのリロード値が格納されます。この値は、リロードカウンタが"0"になるとリロードされます。3 バイトすべてを変更するには、ライト命令とライト命令の間でリロード操作が実行されないように注意してください。そうでないと、21 ビットプリスケアラに新しいデータと古いデータのバイトの組合せによる不正な値がロードされてしまいます。通常は、ST ビットが"0"の間にサブセカンドレジスタの更新を行うことを推奨します。
- ・ この更新を RTC 秒割込みの直後に行う場合は、ST が"0"にセットされておらずモジュールが動作中であっても、次のリロード操作(次の秒割込み) まで十分な時間をとってレジスタが確実に修正されるようにする必要があります。
- ・ ST ビットを使用してレジスタの更新を行うときは次の点に注意する必要があります。RUN ビットの立上りエッジで新しい値がレジスタに書き込まれます。RUN ビットには RTC クロック(デバイスおよびモードによって 32 kHz, 100kHz, 2MHz または 4 MHz) が使用されます。更新が確実に正しく行われるように、新しい値をレジスタに書き込んだら、ST を"0"にセットして RUN ビットが"L"になるのを待ち、ST を"1"に戻して回路の動作を再開させます。ST を"0"にセットすると、その後の RTC クロックの 2 番目の立上りエッジで RUN が"L"に遷移します。ST を"1"にセットすると、その後の RTC クロックの 2 番目の立上りエッジで RUN が"H"に遷移します。この操作を数回交互に繰り返して実行する必要がある場合は、RUN が"H"になるのを待ってから ST を"L"に設定してください。
- ・ サブセカンドレジスタ(WTBRL0, WTBRL1, WTBRL2, WTBRL3, WTBRL4, WTBRL5, WTBRL6, WTBRL7, WTBRL8, WTBRL9, WTBRL10, WTBRL11, WTBRL12, WTBRL13, WTBRL14, WTBRL15, WTBRL16, WTBRL17, WTBRL18, WTBRL19, WTBRL20, WTBRL21) の更新中にリロードが発生した場合は、21 ビットダウンカウンタに予期しない値がリロードされることがあります。したがって、スタートビット(WTCR: ST) を"0"にセットしてサブセカンドレジスタ(WTBR) を更新することを推奨します。
- ・ すべてのサブセカンドレジスタ(WTBRL0, WTBRL1, WTBRL2, WTBRL3, WTBRL4, WTBRL5, WTBRL6, WTBRL7, WTBRL8, WTBRL9, WTBRL10, WTBRL11, WTBRL12, WTBRL13, WTBRL14, WTBRL15, WTBRL16, WTBRL17, WTBRL18, WTBRL19, WTBRL20, WTBRL21) を"0"にセットした場合は 21 ビットダウン

カウンタは更新されず、リアルタイムクロックモジュールの動作は停止します。

- 時/分/秒レジスタ **WTHR/WTMR/WTSR** からの読出し中に桁上げが発生した場合は、不正な値が返されることがあります。これを避けるために、割込み(**INT0~INT4**) を使用して時刻(**HH/MM/SS**)の読出しを行うことを推奨します。
- リアルタイムクロックモジュールが正しく動作するように、サブクロック(**CLKSC**) または **RC** クロック(**CLKRC**) の周波数が周辺クロック(**CLKP1**) の周波数より低くなるようにしてください。そうでないと、**WTHR/WTMR/WTSR** から正しい値を読み出すことができなくなります。
- 上記のレジスタにはバイトアクセスしか許されていません。下記に示すように時または分の境界をまたぐタイミングで上記のレジスタを読み出した場合は、時刻情報を誤って判断する可能性があります。論理的に矛盾のない値を取得するには、読出しを数回行う必要があります。

例:     秒レジスタ読出し開始: 02:59:59 => 03:59:59 => 03:00:00  
          時レジスタ読出し開始: 02:59:59 => 02:00:00 => 03:00:00

上記の場合、現在の時刻は3時であると判定する必要があります。



# Chapter 24: クロック補正ユニット



---

クロック補正ユニットの機能および動作について説明します。

---

1. 概要
2. レジスタ
3. アプリケーションノート

---

管理コード : 96F3CLKCAL-J03.0

---

## 1. 概要

クロック補正ユニットを使用すると、メイン発振クロックを基準にしてサブ発振クロックまたは RC 発振クロックを補正できます。クロック補正ユニットの概要、レジスタの説明、アプリケーションノートを示します。

### ■ 概要

サブ発振クロック (CLKSC) または RC 発振クロック (CLKRC) の発振周期を、メイン発振クロック (CLKMC) で測定するモジュールです。

このモジュールとソフトウェアによる処理を併用することで、サブ発振クロックまたは RC 発振クロックの精度を、メイン発振クロックの精度に近づけることができます。

このモジュールは 2 つのタイマから構成されています。

測定時間タイマは、測定対象クロック (CLKSC / CLKRC) で動作します。

補正タイマは、メイン発振クロック (CLKMC) で動作します。

基本的なクロック周波数は、CLKSC が 32kHz, CLKMC が 4MHz, CLKRC が 100kHz/2MHz です。

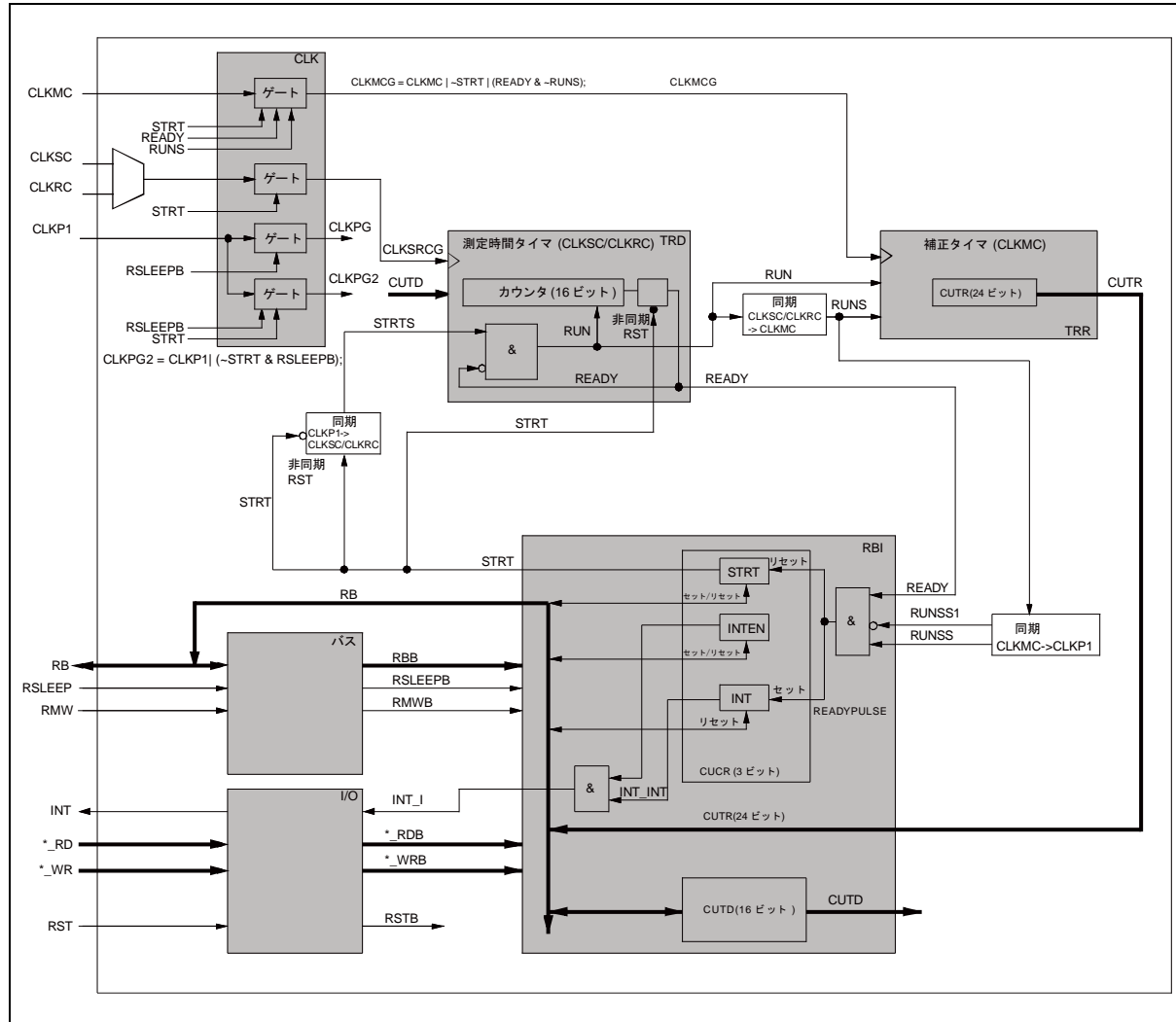
測定時間タイマが動作を開始すると、補正タイマも動作を開始します。

測定が終了すると、補正タイマのカウント値がレジスタに格納されます。

このレジスタに格納された値をソフトウェアで処理することで、必要なリアルタイムクロックモジュールの設定が計算されます。

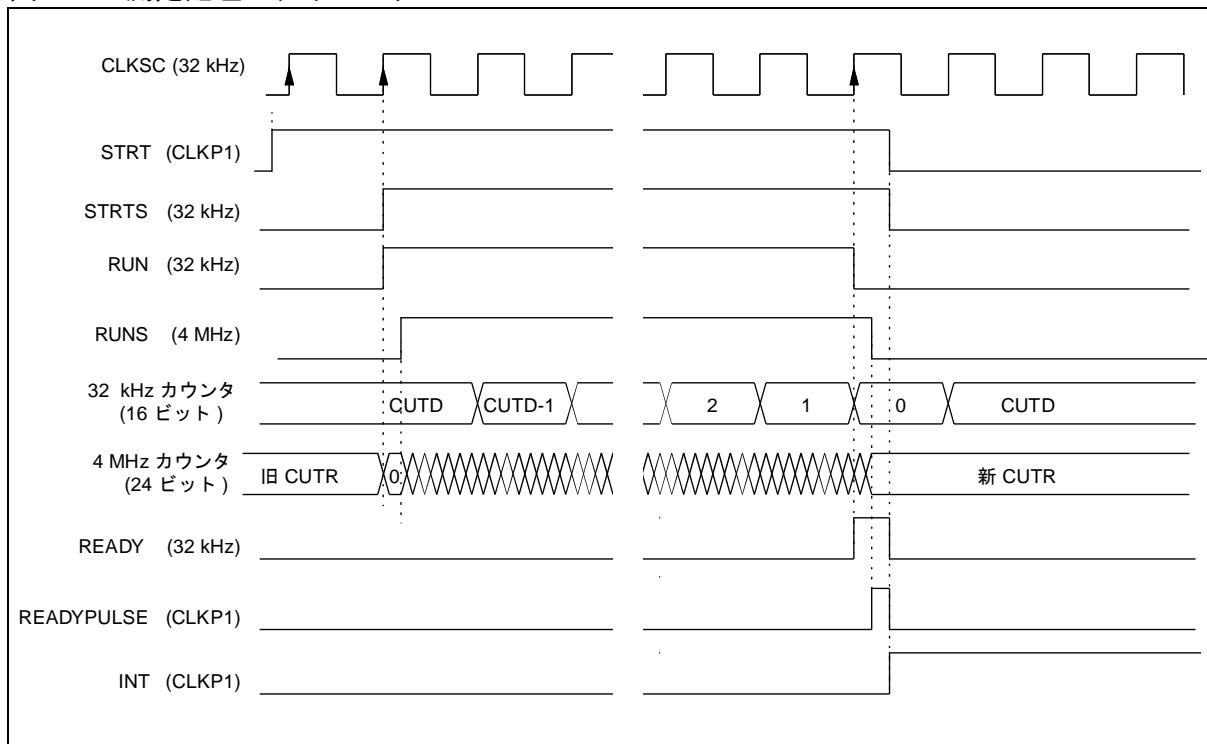
## ■ ブロックダイアグラム

図 1-1 ブロックダイアグラム



## ■ タイミング

図 1-2 測定処理のタイミング



## ■ クロック

本モジュールは、3 種類のクロックで動作します。

メイン発振クロック(CLKMC), 測定対象クロック(CLKSC/CLKRC) および周辺クロック(CCLKP1)です。

クロックの概要は、図 1-1 を参照してください。

同期回路は、異なるクロックで動作する信号の同期化を行う回路です。

3 種のクロックは、必要のない期間、自動的に停止します。

**CUCR: STRT** (2. レジスタ参照してください) が"0"のとき、CLKSC/CLKRC と CLKMC で動作する回路は停止します。

**CLKP1** は RSLEEP と CUCR: STRT で制御され、不要な期間停止します。

クロック周期は以下の条件を満足する必要があります。

- $T_{CLKSC/CLKRC} > 2 \times T_{CLKMC} + 3 \times T_{CLKP1}$
- $T_{CLKMC} < 1/2 \times T_{CLKSC/CLKRC} - 3/2 \times T_{CLKP1}$
- $T_{CLKP1} < 1/3 \times T_{CLKSC/CLKRC} - 2/3 \times T_{CLKMC}$

表 1-1 条件を満足する有効クロック比の例

	CLKSC		CLKRC		CLKMC		CLKP1	
最大動作速度	100 kHz	10 $\mu$ s	2 MHz	500 ns	8 MHz	125 ns	32 MHz	31.25 ns
通常動作	32 kHz	31.25 $\mu$ s	100 kHz	10 $\mu$ s	4 MHz	250 ns	>2 MHz	500 ns

## 2. レジスタ

クロック補正ユニットで使用されるレジスタの構成および機能について説明します。

### ■ クロック補正ユニットのレジスタ一覧

レジスタ略称	レジスタ名	参照先
CUCR	クロック補正ユニット制御レジスタ	2.1
CUTD	クロック補正ユニット測定時間タイマデータレジスタ	2.2
CUTR	クロック補正ユニット補正タイマデータレジスタ (24 ビット)	2.3



## 2.1. クロック補正ユニット制御レジスタ (CUCR)

### ■ クロック補正ユニット制御レジスタ (CUCR)

CUCR								
bit	7	6	5	4	3	2	1	0
	RESV	-	-	STRT	-	CKSEL	INT	INTEN
属性	R/W0	-	-	R/W	-	R/W	R/W	R/W
初期値	X	X	X	0	X	0	0	0

R/W0: リード可能。常に"0"を書き込んでください。

クロック補正ユニット制御レジスタ(CUCR) には、以下の機能があります。

- ・ 測定の開始/ 停止
- ・ 割込みの許可/ 禁止設定
- ・ 測定終了観測ビット

#### [bit7] RESV: 予約ビット

常に"0"を書き込んでください。読出し値は不定です。  
 リードモディファイライト(RMW) 系命令は無効です。

#### [bit6, bit5] -: 未定義

- これらビットに常に"0"を書き込みます。
- これらビットの読出し値は未定義です。
- これらビットへのリードモディファイライト(RMW) 動作は無効です。

#### [bit4] STRT :測定開始

bit	説明
0	測定停止/モジュール動作停止(初期値)
1	測定開始

本ビットが"1"にセットされると、測定が開始されます。

測定時間タイマは、測定時間タイマデータレジスタ(CUTD) に書かれた値からカウントダウンを開始し、補正タイマは 0 からのカウントアップを開始します。

測定時間タイマが 0 になると、本ビットはハードウェアにより"0"にリセットされます。

測定中に本ビットに"0"が書き込まれると、測定は直ちに停止されます。

CPUによる"0"書き込みとハードウェアによる"0"リセットが同時に発生した場合は、ハードウェアが優先され、測定が正常に終了して INT ビットが"1"にセットされます。

測定中は、本ビットへの"1"書き込みは無効です。

#### [bit3] -: 未定義

- 本ビットに常に"0"を書き込みます。
- 本ビットの読出し値は未定義です。
- 本ビットへのリードモディファイライト(RMW) 動作は無効です。

#### [bit2] CKSEL：測定対象クロック選択

bit	説明
0	CLKSC (初期値)
1	CLKRC

RC クロック周波数は CKFCR:RCFS ビット(『クロック』の章の「6.4. クロック周波数制御レジスタ(CKFCR)」を参照してください) によって設定されます。

#### ・ 2 系統品の場合

選択されているクロックがずっと前から動作している場合、クロックの選択を変更後、少なくとも 3 サイクルは元のクロックを動かし続ける必要があります。クロックを止めてしまうと、クロックの選択が切り換わりません。

#### [bit1] INT：割込み

bit	説明
0	測定中/動作停止中(初期値)
1	測定完了

本ビットは測定の終了を示します。

測定開始後、測定時間タイマが 0 になると、補正タイマデータレジスタ(CUTR) は、そのときの補正タイマ値を格納し、本ビットは"1"にセットされます。

リードモディファイライト(RMW) 系命令のリード時は、"1"が読み出されます。

本ビットに"0"を書き込むと"0"に設定されます。

本ビットへの"1"書込みは無効です。

本ビットは、ハードウェアでは"0"にリセットされません。

そのため、新たな測定を開始する場合は、ソフトウェアにより"0"を書き込む必要があります。

"0"を書き込まずに再開した場合、本ビットは測定中も"1"のままです。

その場合でも、CUCR.STRT ビットを確認することで測定の終了を確認できます。

#### [bit0] INTEN：割込み許可

bit	説明
0	割込み禁止 (初期値)
1	割込み許可

本ビットは測定完了割込み許可ビットです。

本ビットが "1"に設定された状態で、INT ビットが"1"にセットされると、本モジュールは CPU へ割込みを発行します。

INT ビットは、本ビットが"0"に設定されている場合も、ハードウェアによるセットは行われます。

## 2.2. クロック補正ユニット測定時間タイマデータレジスタ (CUTD)

### ■ クロック補正ユニット測定時間タイマデータレジスタ (CUTD)

CUTDH								
bit	15	14	13	12	11	10	9	8
	TDD15	TDD14	TDD13	TDD12	TDD11	TDD10	TDD9	TDD8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	0	0	0	0	0	0	0

CUTDL								
bit	7	6	5	4	3	2	1	0
	TDD7	TDD6	TDD5	TDD4	TDD3	TDD2	TDD1	TDD0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

本レジスタは、補正のための測定時間を設定します。

本レジスタに設定された値は、測定時間タイマのリロード値になります。

測定が開始されると、本レジスタに書き込まれた値が、測定時間タイマに取り込まれます。

測定時間タイマは、0 になるまでカウントダウンされます。

測定時間タイマは、CUCR:CKSEL の設定により、CLKSC または CLKRC クロックで動作します。

初期値は 8000<sub>H</sub> です。

この値は、32.768kHz の水晶を測定対象としたときの、測定時間 1 秒に相当します。

本レジスタは、測定停止中(CUCR:STRT=0) にのみ書込みを行ってください。

本レジスタを 0000<sub>H</sub> に設定すると、測定時間は、(FFFF<sub>H</sub> + 1) × TCLKSC/CLKRC となります。

#### 【設定例 1】

32kHz 発振で 1 秒間の測定時間を設定する場合は、本レジスタに 8000<sub>H</sub> = 32768(10 進) を設定する必要があります。

この数値は水晶の正確な発振周波数(32.768 kHz) から得られます。

測定結果(4MHz の水晶発振子を使用する場合) の理想値を次の表に示します。

表 2-1 32kHz: 測定時間による理想的な測定結果

測定時間	CUTD 値	CUTR 値
2 秒	0000 <sub>H</sub>	7A1200 <sub>H</sub>
1.75 秒	E000 <sub>H</sub>	6ACFC0 <sub>H</sub>
1.5 秒	C000 <sub>H</sub>	5B8D80 <sub>H</sub>
1.25 秒	A000 <sub>H</sub>	4C4B40 <sub>H</sub>
1 秒	8000 <sub>H</sub>	3D0900 <sub>H</sub>
0.75 秒	6000 <sub>H</sub>	2DC6C0 <sub>H</sub>

測定時間	CUTD 値	CUTR 値
0.5 秒	4000 <sub>H</sub>	1E8480 <sub>H</sub>
0.25 秒	2000 <sub>H</sub>	0F4240 <sub>H</sub>

#### 【設定例 2】

100kHz 発振で 0.5 秒間の測定時間を設定する場合は、本レジスタに C350<sub>H</sub> = 50000 (10 進) を設定する必要があります。

この数値は水晶の正確な発振周波数(100 kHz) から得られます。

測定結果(4MHz の水晶発振子を使用する場合) の理想値を次の表に示します。

表 2-2 100kHz: 測定時間による理想的な測定結果

測定時間	CUTD 値	CUTR 値
0.5 秒	C350 <sub>H</sub>	1E8480 <sub>H</sub>
0.25 秒	61A8 <sub>H</sub>	0F4240 <sub>H</sub>
0.125 秒	30D4 <sub>H</sub>	07A120 <sub>H</sub>
0.1 秒	2710 <sub>H</sub>	061A80 <sub>H</sub>

#### <注意事項>

CUCR:STRT ビットへの"1"書込みから、ハードウェアによる CUCR:STRT の"0"リセットまでにかかる全処理時間は、制御信号が異なるクロックで動作する回路を伝わっていくため、測定時間より長くなります。  
「処理時間 < (CUTD + 3) × T<sub>CLKSC/CLKRC</sub>」であり、測定時間は、「CUTD × T<sub>CLKRC</sub>」となります。

## 2.3. クロック補正ユニット補正タイマデータレジスタ (24 ビット) (CUTR)

### ■ クロック補正ユニット補正タイマデータレジスタ (24 ビット) (CUTR)

本レジスタには測定結果が保持されます。

測定開始時、補正タイマはゼロからのカウントアップを開始します。

測定時間タイマが 0 になると、補正タイマはカウントを停止します。

本レジスタは、次の測定が開始されるまで、カウント値を保持します。

#### <注意事項>

測定中に、このレジスタを読み出しても値は不定です。

測定終了は、CUCR:INT ビットもしくは CUCR:STRT ビットにより確認できます。

CUCR:INT が"0"から"1"になり、かつ CUCR:STRT が"1"から"0"になると、本レジスタの値は有効な値になります。

CUTR2H								
bit	15	14	13	12	11	10	9	8
	TDR15	TDR14	TDR13	TDR12	TDR11	TDR10	TDR9	TDR8
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

CUTR2L								
bit	7	6	5	4	3	2	1	0
	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

CUTR1H								
bit	15	14	13	12	11	10	9	8
	-	-	-	-	-	-	-	-
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

CUTR1L								
bit	7	6	5	4	3	2	1	0
	TDR23	TDR22	TDR21	TDR20	TDR19	TDR18	TDR17	TDR16
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

本レジスタへの書込みは無効です。

補正タイマは、メイン発振クロック(CLKMC) で動作します。

### 3. アプリケーションノート

補正の精度、電力消費、測定時間に関するアプリケーションノートを示します。

#### ■ 32.768kHz

測定時間タイマデータレジスタに設定する値は、以下の方法で計算できます。

補正に 1 秒の測定時間が必要な場合は、 $8000_H = 32768(10 \text{ 進})$  を測定時間タイマデータレジスタに設定する必要があります。

これは 32.768kHz 発振クロックで、32768 クロックカウントすることで 1 秒になるからです。

この設定により、補正タイマデータレジスタに約  $3D0900_H$  の値が格納されます。

この値は、4MHz 発振クロックの 1 秒あたりのクロック数 4000000 に相当します。

表 3-1 32.768kHz と 4.0MHz 発振器による理想的な測定結果 (CUTR)

測定時間	CUTD 値	CUTR 値
2 秒	$0000_H$	$7A1200_H$
1.75 秒	$E000_H$	$6ACFC0_H$
1.5 秒	$C000_H$	$5B8D80_H$
1.25 秒	$A000_H$	$4C4B40_H$
1 秒	$8000_H$	$3D0900_H$
0.75 秒	$6000_H$	$2DC6C0_H$
0.5 秒	$4000_H$	$1E8480_H$
0.25 秒	$2000_H$	$0F4240_H$

#### ■ 100 kHz

測定時間タイマデータレジスタに設定する値は、以下の方法で計算できます。

補正に 0.5 秒の測定時間が必要な場合は、 $C350_H = 50000(10 \text{ 進})$  を測定時間タイマデータレジスタに設定する必要があります。

これは 100kHz 発振クロックで、50000 クロックカウントすることで 0.5 秒になるからです。

この設定により、補正タイマデータレジスタに約  $1E8480_H$  の値が格納されます。

この値は、4MHz 発振クロックの 0.5 秒あたりのクロック数 2000000 に相当します。

表 3-2 100kHz と 4.0MHz 発振器による理想的な測定結果 (CUTR)

測定時間	CUTD 値	CUTR 値
0.5 秒	$C350_H$	$1E8480_H$
0.25 秒	$61A8_H$	$0F4240_H$

測定時間	CUTD 値	CUTR 値
0.125 秒	30D4 <sub>H</sub>	07A120 <sub>H</sub>
0.1 秒	2710 <sub>H</sub>	061A80 <sub>H</sub>

クロック補正ユニットを用いる目的は、日中表示される時計を正確に保つための電力を減らすことです。

## ■ 精度

補正の精度は、補正タイマのカウントクロック (CLKMC) 周波数と、測定時間に依存します。

補正タイマの最大誤差は±1 桁です。

CLKMC の周波数が 4MHz、測定時間が 1 秒である場合の精度は、以下の方法で計算されます。

$$0.25\mu\text{s}(\text{CLKMC 周期}) \div 1\text{s}(\text{測定時間}) = 0.25 \text{ ppm}$$

一般的には、次のようになります。

$$\text{精度} = \text{CLKMS 周期} \div \text{測定時間}$$

## ■ 電力消費

補正動作時の消費電流を  $I_{\text{RUN}}$ 、スタンバイモード時の消費電流を  $I_{\text{TIMER}}$  と定義します。 $I_{\text{RUN}}$  が、 $I_{\text{TIMER}}$  の 20 倍 ( $I_{\text{RUN}} = 20 \times I_{\text{TIMER}}$ ) であると仮定します。

測定時間 1 秒での補正を毎分行うとすると、電流消費の増加は、およそ、

$$20 \times I_{\text{TIMER}}/60 = 1/3 \times I_{\text{TIMER}}$$

となります。

この電流増加を前提に、システム要求限界に影響を与えないように補正ルーチンを用意する必要があります。

例えば、補正ルーチンを最小の周波数で設計するなどです。

## ■ 測定限界

- ・ 測定時間タイマ

32kHz 発振クロックで動作している場合、測定時間の上限は約 2 秒です。

100kHz で動作している場合、上限は 0.5 秒です。

- ・ 補正タイマ

4MHz 発振クロックで動作している場合、測定時間の上限は 4 秒です。

# Chapter 25: LCD コントローラ/ドライバ



---

LCD コントローラ/ドライバの機能および動作について説明します。

---

1. LCD コントローラ/ドライバの構成
2. 動作
3. LCD コントローラレジスタ
4. LCD 許可レジスタ
5. LCD コントローラ/ドライバの表示用 RAM
6. 注意事項

---

管理コード : 96F6LCD-J03.0

---



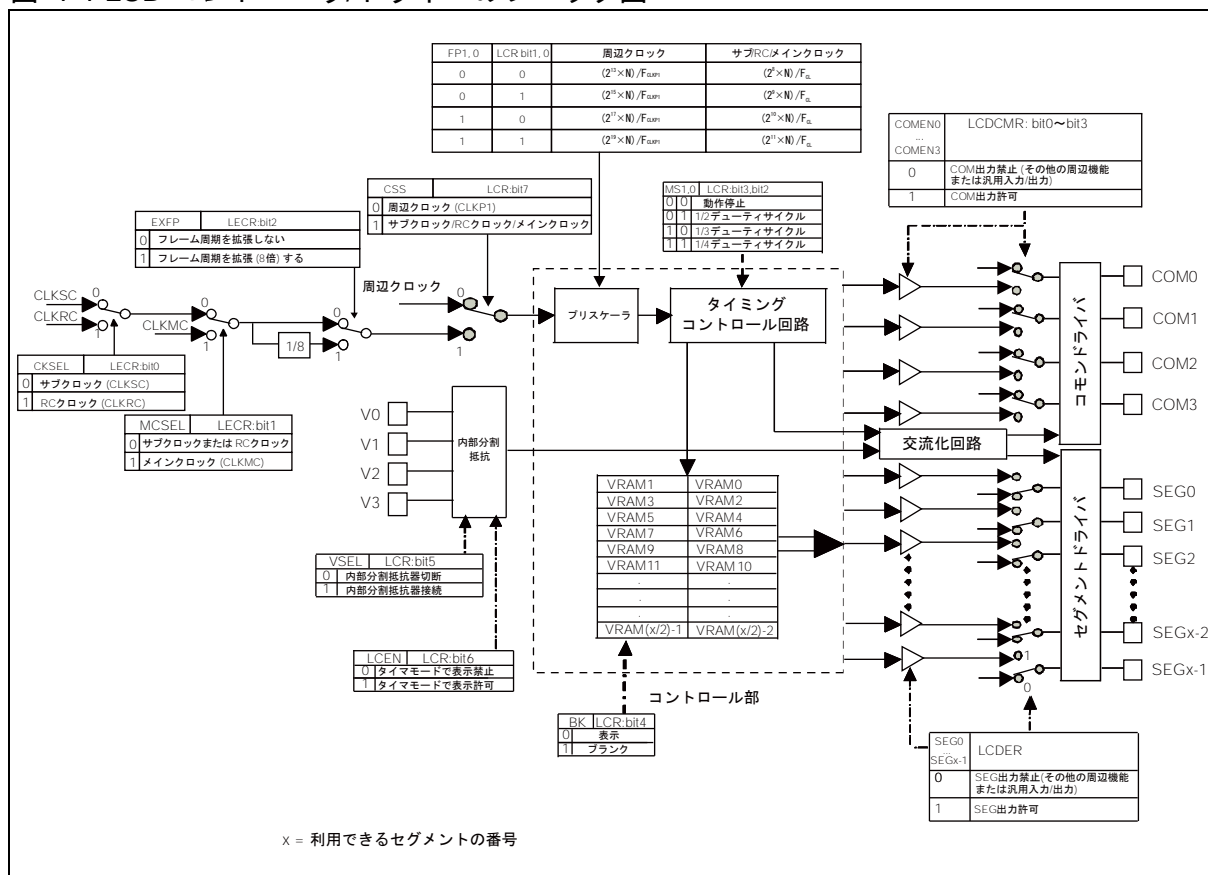
## 1. LCD コントローラ/ドライバの構成

LCD コントローラ/ドライバは以下に示したブロックで構成されています。機能的には、表示用 RAM の内容に従って、セグメント信号やコモン信号を生成するコントローラ部, LCD を駆動するドライバ部で構成されています。

- LCD 制御レジスタ (LCR)
- 表示用 RAM
- プリスケアラ
- タイミングコントローラ
- 交流化回路
- コモンドライバ
- セグメントドライバ
- 分割抵抗

### ■ LCD コントローラ/ドライバのブロック図

図 1-1 LCD コントローラ/ドライバのブロック図



---

**<注意事項>**

フレーム周期の設計(EXFP, FP[1:0]ビット)の詳細は「表 3-2 フレーム周期」を参照してください。

---

## 1.1. LCD コントローラ/ドライバ分割抵抗

LCD ドライバの電源電圧は、外部分割抵抗または内部分割抵抗によってつくられます。

V<sub>CC</sub> と V3 端子間に可変抵抗を接続することで、輝度を調節できます。

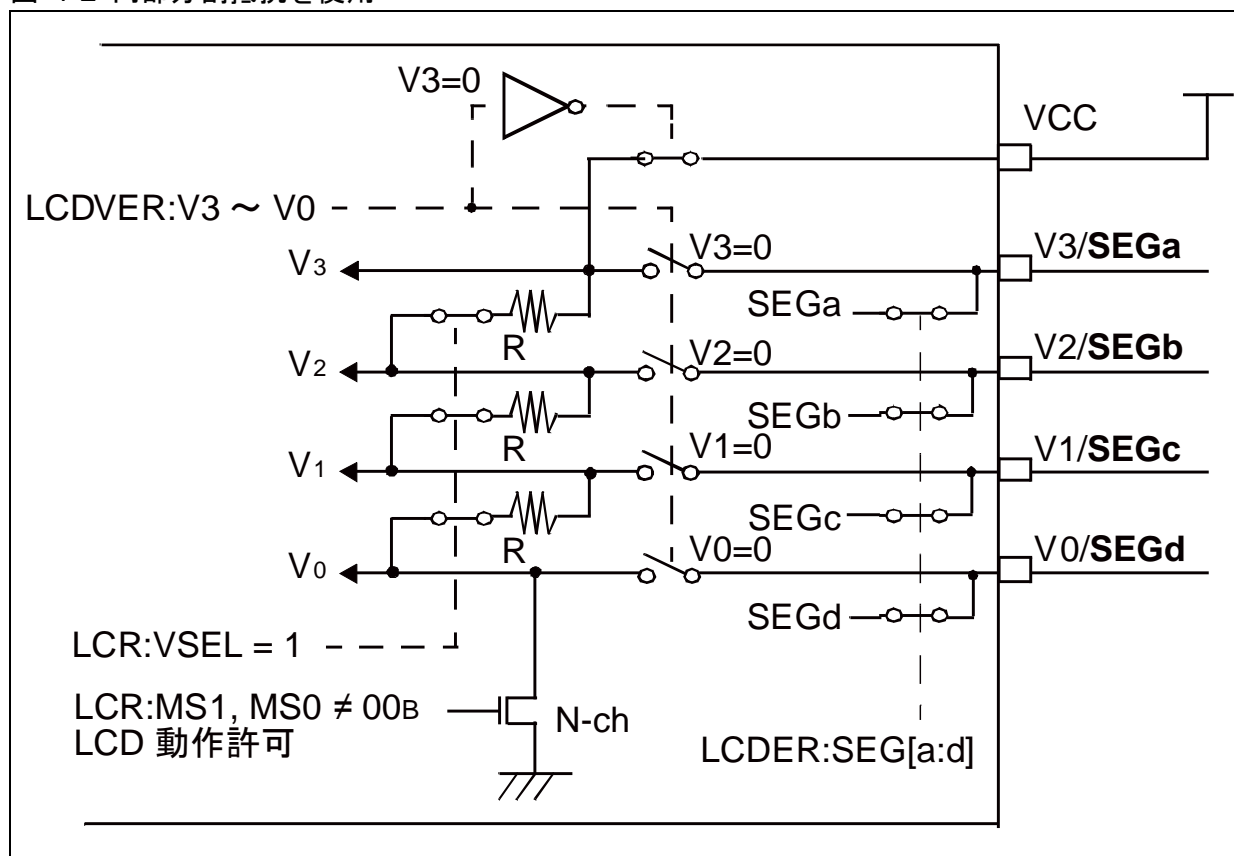
内部分割抵抗を使用する場合には、V0～V3 端子はセグメントドライバとして使用できます。

### ■ 内部または外部分割抵抗の選択

LCD 駆動電源制御ビット (LCR:VSEL) を使用します。

制御動作	LCD 駆動電源制御ビット (VSEL)
外部分割抵抗を使用 (内部分割抵抗を切断)	"0" に設定
内部分割抵抗を使用 (内部分割抵抗を接続)	"1" に設定

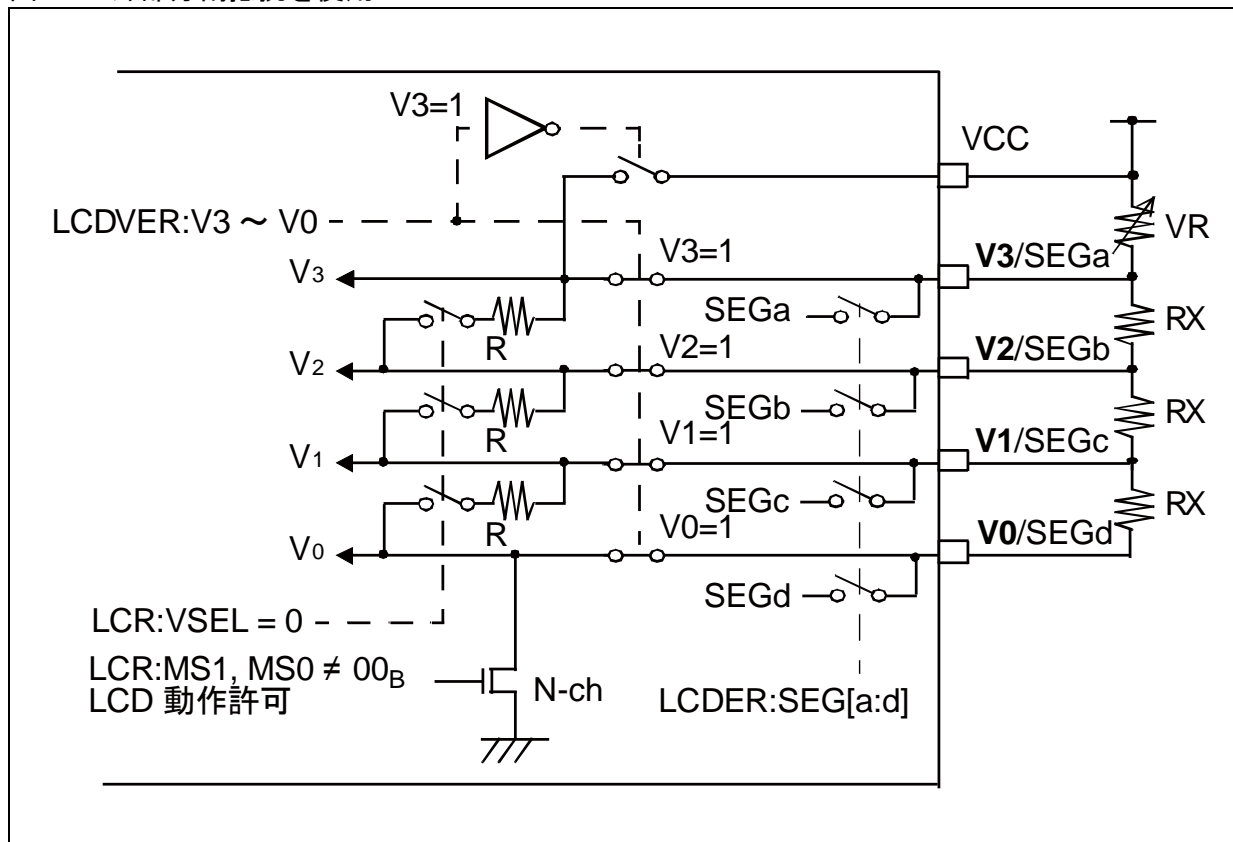
図 1-2 内部分割抵抗を使用



LCD 駆動電圧は内部分割抵抗で発生します。端子 V0～V3 は LCDVER:V3～V0 対応ビットにゼロ設定した場合、セグメント端子として利用できます。LCDVER:V3 = 0 の場合は、内部分割抵抗は VCC に接



図 1-4 外部分割抵抗を使用



LCD 駆動電圧は外部分割抵抗を LCD 駆動電源端子 (V0~V3) に接続してつくります。

各 V 端子は LCDVER: V3 ~ V0 = 1111<sub>B</sub> に設定する必要があります。各 V 端子の対応するセグメント許可ビット LCDVER:SEG[x] は動作に影響しません。

LCR:VSEL = 0 に設定して、内部分割抵抗を切断してください。

#### ■ 外部分割抵抗を使用した場合での電流削減について

V0 端子は内部でトランジスタを介して V<sub>ss</sub> (GND) に接続しています。そのため、LCD 動作停止時は電流を切断できます。電流を切断するには、表示モード選択ビット (LCR:MS[1:0]=00<sub>B</sub>) を使用します。

## 2. 動作

LCD コントローラ/ドライバの使用方法を段階的に説明します。

### ■ LCD コントローラ/ドライバの動作

- ・ あらかじめ、表示データメモリ (VRAM) に値を設定します。
- ・ 各レジスタへ必要な設定を行います。
- ・ フレーム周期発生用クロックが発振するとき、LCD 駆動波形が、コモン/セグメント出力端子に出力されます(COM0~COM3, SEG0~SEGx-1)。
- ・ VRAM の内容は、セグメント出力端子に出力されるコモン信号と同期して自動的に読み出されます。
  - ・ ビットが "1" に設定された場合は、選択した波形がセグメント出力端子に出力されます。ビットが "0" に設定された場合は、非選択の波形がセグメント出力端子に出力されます。
- ・ 表示モードが 1/2 デューティサイクルに設定されている場合、COM2 および COM3 端子の出力は、非選択レベルの出力波形となります。1/3 デューティサイクルの場合、COM3 端子の出力は、非選択レベルの出力波形となります。
- ・ 出力波形はデューティサイクル設定に応じた 2 フレーム交流化波形であり、LCD を駆動します。
- ・ MS1, MS0=00<sub>B</sub> を使用し LCD を停止する場合は、コモン/セグメント出力端子は共に "L" レベルになります。
- ・ LCD 動作がタイマモード (LCEN=1) で許可される場合、LCD コントローラ/ドライバは MCU がタイマモードになる場合でも表示を継続します。
  - ・ フレーム周期発生用クロック信号を供給する必要があることに注意してください。
- ・ LCD はブランキング選択で "blank"(BK=1) を選択し、非表示にできます。
  - ・ 非選択レベルの出力波形となる端子は出力を継続することに注意してください。
- ・ LCD の動作停止を表示モードで選択すると (MS1, MS0=00<sub>B</sub>), LCD は動作を停止します。

### ■ LCD コントローラ/ドライバ動作中 (1/2 デューティサイクル) の出力波形

COM0 と COM1 の出力のみが LCD の表示に使用されます。COM2 と COM3 の出力はどちらも使用されません。

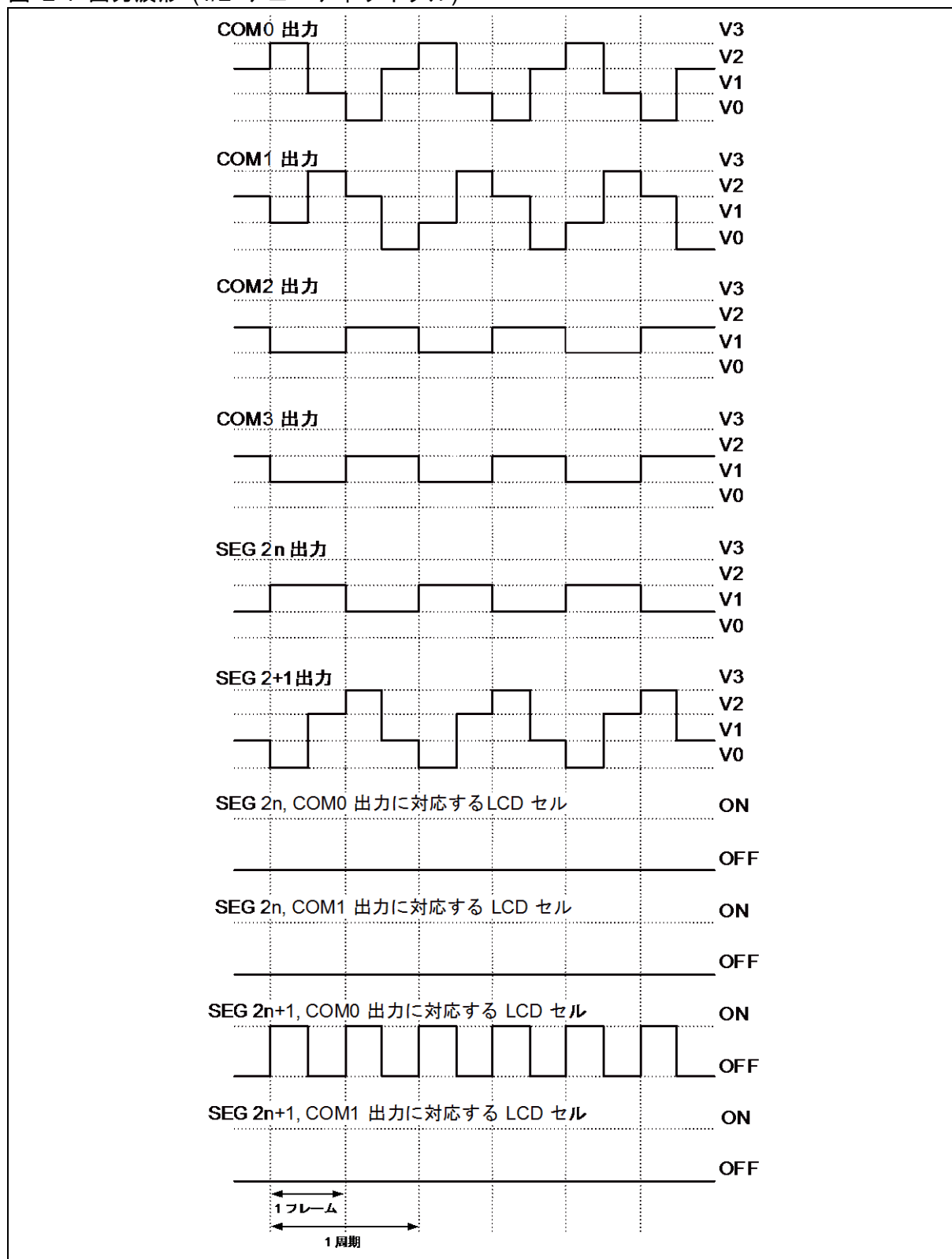
#### 1/3 バイアス出力波形の例

コモン出力とセグメント出力の電位差が最大となった LCD セルは点灯します。

表 2-1 表示用データメモリの内容例

セグメント	表示用データメモリの内容			
	COM3 出力	COM2 出力	COM1 出力	COM0 出力
SEG 2n 出力	-	-	0	0
SEG2n+1 出力	-	-	0	1

図 2-1 出力波形 (1/2 デューティサイクル)



## ■ LCD コントローラ/ドライバ動作中 (1/3 デューティサイクル) の出力波形

1/3 デューティサイクル出力モードでは、COM0, COM1, COM2 の出力が LCD の表示に使用されます。COM3 出力は使用されません。

### 1/3 バイアス出力波形の例

コモン出力とセグメント出力の電位差が最大となった LCD セルは点灯します。

表 2-2 表示用データメモリの内容例

セグメント	表示用データメモリの内容			
	COM3 出力	COM2 出力	COM1 出力	COM0 出力
SEG 2n 出力	-	1	0	0
SEG2n+1 出力	-	1	0	1



COM0 出力

COM1 出力

COM2 出力

COM3 出力

SEG 2n 出力

SEG 2n+1 出力

SEG 2n, COM0 出力に対応する LCD セル

SEG 2n, COM1 出力に対応する LCD セル

SEG 2n, COM2 出力に対応する LCD セル

SEG 2n+1, COM0 出力に対応する LCD セル

SEG 2n+1, COM1 出力に対応する LCD セル

SEG 2n+1, COM2 出力に対応する LCD セル

1 フレーム

1 周期

## ■ LCD コントローラ/ドライバ動作中 (1/4 デューティサイクル) の出力波形

1/4 デューティサイクル出力モードでは、COM0, COM1, COM2, COM3 の出力がすべて LCD の表示に使用されます。

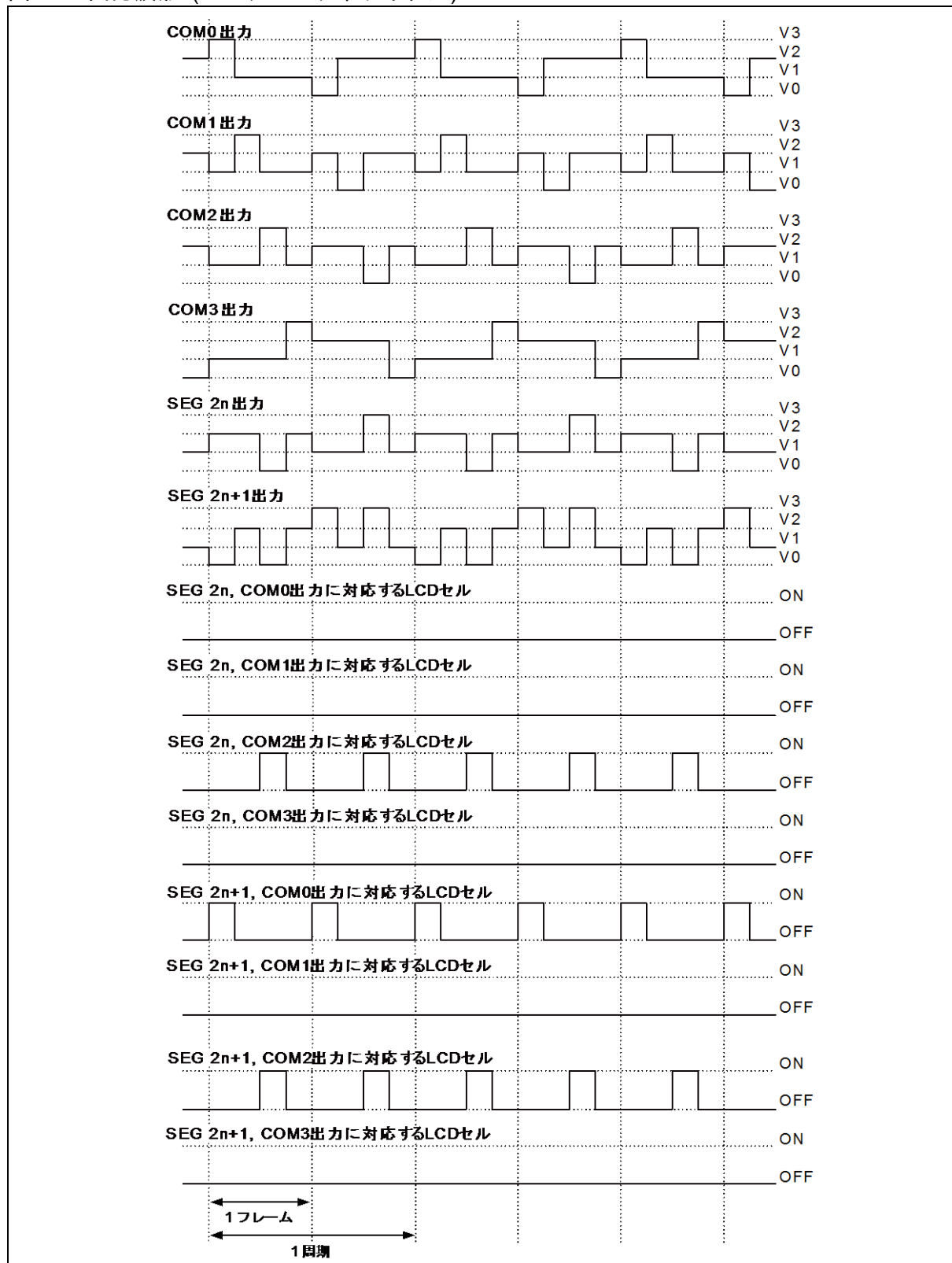
### 1/3 バイアス出力波形の例

コモン出力とセグメント出力の電位差が最大となった LCD セルは点灯します。

表 2-3 表示用データメモリの内容例

セグメント	表示用データメモリの内容			
	COM3 出力	COM2 出力	COM1 出力	COM0 出力
SEG 2n 出力	0	1	0	0
SEG2n+1 出力	0	1	0	1

図 2-3 出力波形 (1/4 デューティサイクル)



### 3. LCD コントローラレジスタ

---

LCD コントローラ/ドライバに関連するレジスタについて説明します。

---

#### ■ LCD コントローラのレジスタ一覧

レジスタ略称	レジスタ名	参照先
LCR	LCD 制御レジスタ	3.1
LCDCMR	LCD 共通端子切換えレジスタ	3.2
LECR	LCD 拡張制御レジスタ	3.3

## 3.1. LCD 制御レジスタ (LCR)

### ■ LCD 制御レジスタ (LCR)

LCR	7	6	5	4	3	2	1	0
bit	CSS	LCEN	VSEL	BK	MS1	MS0	FP1	FP0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	1	0	0	0	0

[bit7] CSS: フレーム周期発生用クロックを選択します。

bit	説明
0	周辺クロック (CLKP1)
1	LECR:CKSEL と LECR:MCSEL により選択されたクロック

#### <注意事項>

周辺クロック CLKP1 が選択され、MCU がストップモードまたはタイマモードの場合、CLKP1 が停止するために、LCD も動作を停止します。

[bit6] LCEN: タイマモードで動作を許可します。

bit	説明
0	タイマモードで LCD 表示を禁止
1	タイマモードで LCD 表示を許可

#### <注意事項>

タイマモードで LCD 表示を許可するために、フレーム周期発生用クロック選択ビット (CSS) もまた "1" に設定し、選択クロック (サブクロック CLKSC または RC クロック CLKRC またはメインクロック CLKMC) を有効にする必要があります。

[bit5] VSEL: LCD 駆動電源を制御します。

bit	説明
0	内部分割抵抗を切断
1	内部分割抵抗を接続

#### <注意事項>

外部分割抵抗を接続するには、LCD 駆動電源制御ビット (VSEL) を "0" に設定する必要があります。  
 外部分割抵抗を選択するとき、対応するセグメントを許可することはできません。  
 内部分割抵抗を選択するとき、輝度調整のため外部電圧端子 V3 のみ接続可能です。V2～V0 は接続することはできません。

[bit4] BK: ブランキングを選択します。

bit	説明
0	LCD 表示許可
1	LCD 表示禁止 (ブランク)

#### <注意事項>

BK を"0"に設定するタイミングによって、最初のフレームサイクルのみが短くなる場合があります。

[bit3, bit2] MS1, MS0: 表示モードを選択します。

表 3-1 機能設定

bit3	bit2	説明
0	0	LCD 動作停止
0	1	1/2 デューティ出力モード (時分割数: N=2, COM0, COM1)
1	0	1/3 デューティ出力モード (時分割数: N=3, COM0～COM2)
1	1	1/4 デューティ出力モード (時分割数: N=4, COM0～COM3)

#### <注意事項>

表示モード選択ビット (MS1, MS0) を 00<sub>B</sub> に設定する場合、LCD コントローラは無効になります。すなわち、"L" レベルがコモン/セグメント端子へ出力されます。

[bit1, bit0] FP1, FP0: フレーム周期設定ビット

表 3-2 フレーム周期

LECR: EXFP	bit1	bit0	周辺クロック(CLKPI) が 選択された場合	サブクロック CLKSC または RC クロック CLKRC または メインクロック CLKMC が 選択された場合
0	0	0	$(2^{13} \times N) / F_{CLKPI}$	$(2^8 \times N) / F_{CL}$
0	0	1	$(2^{15} \times N) / F_{CLKPI}$	$(2^9 \times N) / F_{CL}$
0	1	0	$(2^{17} \times N) / F_{CLKPI}$	$(2^{10} \times N) / F_{CL}$
0	1	1	$(2^{19} \times N) / F_{CLKPI}$	$(2^{11} \times N) / F_{CL}$
1	0	0	$(2^{13} \times N) / F_{CLKPI}$	$(2^{11} \times N) / F_{CL}$
1	0	1	$(2^{15} \times N) / F_{CLKPI}$	$(2^{12} \times N) / F_{CL}$
1	1	0	$(2^{17} \times N) / F_{CLKPI}$	$(2^{13} \times N) / F_{CL}$
1	1	1	$(2^{19} \times N) / F_{CLKPI}$	$(2^{14} \times N) / F_{CL}$

- EXFP: LECR レジスタのフレーム周期設定拡張ビット
- $F_{CLKPI}$ : 周辺クロック(CLKPI) 周波数
- $F_{CL}$ : サブクロック CLKSC または RC クロック CLKRC またはメインクロック CLKMC 周波数
- N: 時分割数(表示モード選択ビット MS1 および MS0 で選択)
- LCD パネルのフレーム周波数に応じた適切な値を選択してください。

## 3.2. LCD 共通端子切換えレジスタ (LCDCMR)

### ■ LCD 共通端子切換えレジスタ (LCDCMR)

LCDCMR								
bit	7	6	5	4	3	2	1	0
	DTCH	-	-	-	COMEN3	COMEN2	COMEN1	COMEN0
属性	R/W	-	-	-	R/W	R/W	R/W	R/W
初期値	0	X	X	X	0	0	0	0

[bit7] DTCH: バイアス制御

bit	説明
0	1/3 バイアス
1	設定禁止

LCD コントローラを使用するために、LCDCMR:DTCH を"0" に設定します。

[bit6～bit4] -: 未定義

必ず"0" を設定してください。

読出し値は不定です。

リードモディファイライト(RMW) 系命令は無効です。

[bit3～bit0] COMEN3～COMEN0: コモンドライバ許可

bit	説明
0	対応するコモンドライバ (COMx) を禁止
1	対応するコモンドライバ (COMx) を許可

COMENx が"1"に設定された場合、対応する端子のデジタル機能 (入力/出力) は禁止されます。



### 3.3. LCD 拡張制御レジスタ (LECR)

#### ■ LCD 拡張制御レジスタ (LECR)

LECR								
bit	7	6	5	4	3	2	1	0
	-	-	-	-	-	EXFP	MCSEL	CKSEL
属性	-	-	-	-	-	R/W	R/W	R/W
初期値	X	X	X	X	X	0	0	0

[bit7～bit3] -: 未定義

必ず "0" を設定してください。

読出し値は不定です。

リードモディファイライト(RMW) 系命令は無効です。

[bit2] EXFP: フレーム周期設定拡張ビット

bit	説明
0	フレーム周期を拡張しない。
1	フレーム周期を拡張(8 倍) する。 (サブクロックまたは RC クロックまたはメインクロックの選択した場合)

表 3-2 フレーム周期を参考してください。

[bit1] MCSEL: メインクロック選択ビット

bit	説明
0	サブクロックまたは RC クロックを使用
1	メインクロックを使用

表 3-2 フレーム周期を参考してください。

[bit0] CKSEL: クロック選択ビット

bit	説明
0	サブクロック CLKSC を使用
1	RC クロック CLKRC を使用

サブクロックまたは RC クロックまたはメインクロックを LCD クロックとして使用する場合、LCR:CSS ビットを設定する必要があります。

サブクロック付デバイス: クロックの選択を切り換える場合、前回の切換えから 3 サイクル経過後にしてください。そうでないと新しく設定されたクロックに切り換わりません。しかしながら、サブクロックのないデバイスは前述の制限はありません。

## 4. LCD 許可レジスタ

LCD 許可レジスタについて説明します。

### ■ LCD 許可レジスタ一覧

レジスタ略称	レジスタ名	参照先
LCDER	LCD セグメント許可レジスタ	4.1
LCDVER	電圧ライン許可レジスタ	4.1

## 4.1. LCD セグメント許可レジスタ LCDER および電圧ライン許可レジスタ LCDVER

### ■ LCD セグメント許可レジスタ LCDER および電圧ライン許可レジスタ LCDVER

LCDER0								
bit	7	6	5	4	3	2	1	0
	SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

LCDER1								
bit	15	14	13	12	11	10	9	8
	SEG15	SEG14	SEG13	SEG12	SEG11	SEG10	SEG9	SEG8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

LCDER2								
bit	7	6	5	4	3	2	1	0
	SEG23	SEG22	SEG21	SEG20	SEG19	SEG18	SEG17	SEG16
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

LCDER3								
bit	15	14	13	12	11	10	9	8
	SEG31	SEG30	SEG29	SEG28	SEG27	SEG26	SEG25	SEG24
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

LCDER4								
bit	7	6	5	4	3	2	1	0
	SEG39	SEG38	SEG37	SEG36	SEG35	SEG34	SEG33	SEG32
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

LCDER5								
bit	15	14	13	12	11	10	9	8
	SEG47	SEG46	SEG45	SEG44	SEG43	SEG42	SEG41	SEG40
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

<b>LCDER6</b>								
bit	7	6	5	4	3	2	1	0
	SEG55	SEG54	SEG53	SEG52	SEG51	SEG50	SEG49	SEG48
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

<b>LCDER7</b>								
bit	15	14	13	12	11	10	9	8
	SEG63	SEG62	SEG61	SEG60	SEG59	SEG58	SEG57	SEG56
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

<b>LCDER8</b>								
bit	7	6	5	4	3	2	1	0
	SEG71	SEG70	SEG69	SEG68	SEG67	SEG66	SEG65	SEG64
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

<b>LCDER9</b>								
bit	15	14	13	12	11	10	9	8
	-	-	-	-	-	-	-	-
属性	-	-	-	-	-	-	-	-
初期値	X	X	X	X	X	X	X	X

<b>LCDVER</b>								
bit	7	6	5	4	3	2	1	0
	-	-	-	-	V3	V2	V1	V0
属性	-	-	-	-	R/W	R/W	R/W	R/W
初期値	X	X	X	X	0	0	0	0

"0": LCD 出力 (SEGxx) または入力 (Vx) を禁止します。端子はほかの周辺機能に使用されるか、汎用 I/O として使用されます。

"1": LCD 出力 (SEGxx) または入力 (Vx) を許可します。ほかの端子機能には使用不可 (デジタル機能は禁止) です。

"-": 予約ビット。必ず "0"を設定してください。読出し値は不定です。リードモディファイライト(RMW) 系命令は無効です。

### <注意事項>

内部分割抵抗に接続される V 端子の LCDVER:Vx = 1 に設定されている場合、Vx 端子を共用するセグメント出力の LCD 許可レジスタ LCDERy:SEGz の設定は無効で、セグメント出力は禁止されます。これは、セグメント出力と内部分割抵抗間の短絡を防止するためです。

使用しない SEG および品種に存在しない SEG には常に "0"を書き込んでください。

## 5. LCD コントローラ/ドライバの表示用 RAM

表示用 RAM は、セグメント出力信号を生成するための  $36 \times 8$  ビットの表示メモリ領域です。

### ■ 表示データ設定のためのメモリ領域 (VRAM)

- ・ VRAM0 (SEG1, SEG0): (アクセス: バイト)
- ・
- ・
- ・ VRAM( $x/2 - 1$ ) (SEG $x-1$ , SEG $x-2$ ): (アクセス: バイト)

#### <注意事項>

x: セグメントの最大数

### ■ 表示 RAM のビット構成

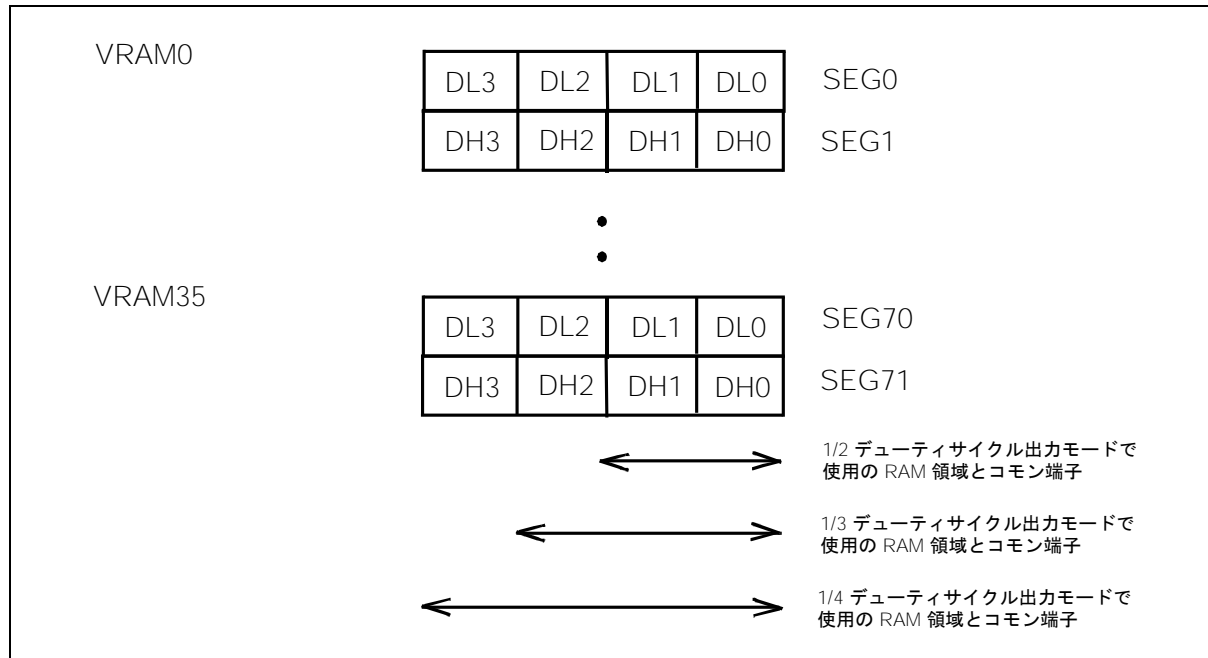
VRAM bit	7		6		5		4		3		2		1		0	
	DH3		DH2		DH1		DH0		DL3		DL2		DL1		DL0	
	属性		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
	初期値		X		X		X		X		X		X		X	

#### <注意事項>

LCD コントローラ/ドライバの動作にかかわらず、RAM はいつでも読出し/書込みができます。

## ■ VRAM とコモン/セグメント端子間の対応関係

図 5-1 VRAM とコモン/セグメント端子間の対応関係



## 6. 注意事項

LCD コントローラ/ドライバ使用上の注意事項を示します。

- ・ フレーム周期発生用クロックの切換え:
  - ・ LCD の表示動作中の場合でも、フレーム周期発生用クロック (LCR: CSS, LECR: MCSEL, CKSEL) は切り換えることができます。
  - ・ しかし、切換えにより表示のちらつきが発生する可能性があります。そのようなちらつきを防止するため、切換えの前に、ブランキング選択ビット (LCR:BK) を "1" (非表示) に設定してください。
- ・ 使用される LCD によっては、適切な外部分割抵抗が異なります。適切な抵抗の値を使用してください。
- ・ 表示モードが 1/2 デューティサイクルに設定されている場合、COM2 および COM3 端子の出力は、非選択レベルの出力波形となります。1/3 デューティサイクルの場合、COM3 端子の出力は、非選択レベルの出力波形となります。
- ・ フレーム周期発生用クロック (CSS), LCD 駆動電源制御 (VSEL), デューティサイクル (MS1, MS0), フレーム周期 (FP1, FP0) の選択または設定が適切でない場合、LCD の表示が適切には動作しません。
- ・ 初期設定では、MCU タイマモードで LCD 表示は禁止です。MCU タイマモードで LCD 表示を許可するには、LCR:LCEN を使用し、必要なクロックが動作していることを確認してください。
- ・ LCD 表示は MCU ストップモードで禁止です。
- ・ 必要なクロックが動作していない場合、LCD 表示を許可しないように注意してください。そうでなければ、LCD パネルが DC 電圧により損傷する可能性があります。以下の表を参照してください。

表 6-1 MCU タイマモードまたは MCU ストップモード以外での LCD 動作

CSS	CKSEL	MCSEL	サブクロック CLKSC 動作中	RCクロック CLKRC 動作中	メイン クロック CLKMC 動作中	MS1, MS0 ≠ 00 <sub>B</sub> の動作
0	X	X	X	X	X	LCD コントローラは周辺クロック CLKP1 で動作中
1	0	0	いいえ	X	X	この設定は使用禁止です。DC 電圧を LCD パネルへ印加してしまいます。
1	0	0	はい	X	X	LCD コントローラはサブクロック CLKSC で動作中
1	1	0	X	いいえ	X	この設定は使用禁止です。DC 電圧を LCD パネルへ印加してしまいます。
1	1	0	X	はい	X	LCD コントローラは RC クロック CLKRC で動作中
1	X	1	X	X	いいえ	この設定は使用禁止です。DC 電圧を LCD パネルへ印加してしまいます。
1	X	1	X	X	はい	LCD コントローラは メインクロック CLKMC で動作中



表 6-2 MCU タイマモードでの LCD 動作

CSS	LCEN	CKSEL	MCSEL	サブクロック CLKSC 動作中	RC クロック CLKRC 動作中	メイン クロック CLKMC 動作中	MS1, MS0 ≠ 00 <sub>B</sub> の動作
0	0	X	X	X	X	X	LCD 表示停止
0	1	X	X	X	X	X	この設定は使用禁止です。DC 電圧を LCD パネルへ印加してしまいます。
1	0	X	X	X	X	X	LCD 表示停止
1	1	0	0	いいえ	X	X	この設定は使用禁止です。DC 電圧を LCD パネルへ印加してしまいます。
1	1	0	0	はい	X	X	LCD コントローラはサブクロック CLKSC で動作中
1	1	1	0	X	いいえ	X	この設定は使用禁止です。DC 電圧を LCD パネルへ印加してしまいます。
1	1	1	0	X	はい	X	LCD コントローラは RC クロック CLKRC で動作中
1	1	X	1	X	X	いいえ	この設定は使用禁止です。DC 電圧を LCD パネルへ印加してしまいます。
1	1	X	1	X	X	はい	LCD コントローラは メインクロック CLKMC で動作中

MS1, MS0 = 00<sub>B</sub> のときと、MCU ストップモードのときは、LCD 表示は停止します。

# Chapter 26: ステッピングモータコントローラ



---

ステッピングモータコントローラの機能と動作について示します。

---

1. 概要
2. 構成
3. 動作説明
4. 設定手順例
5. レジスタ
6. 使用上の注意

---

管理コード : FIP005S-J01.5

---

## 1. 概要

---

ステッピングモータコントローラの概要を説明します。

---

ステッピングモータコントローラは、2 個の PWM パルス発生器、4 個のモータドライバから構成されます。

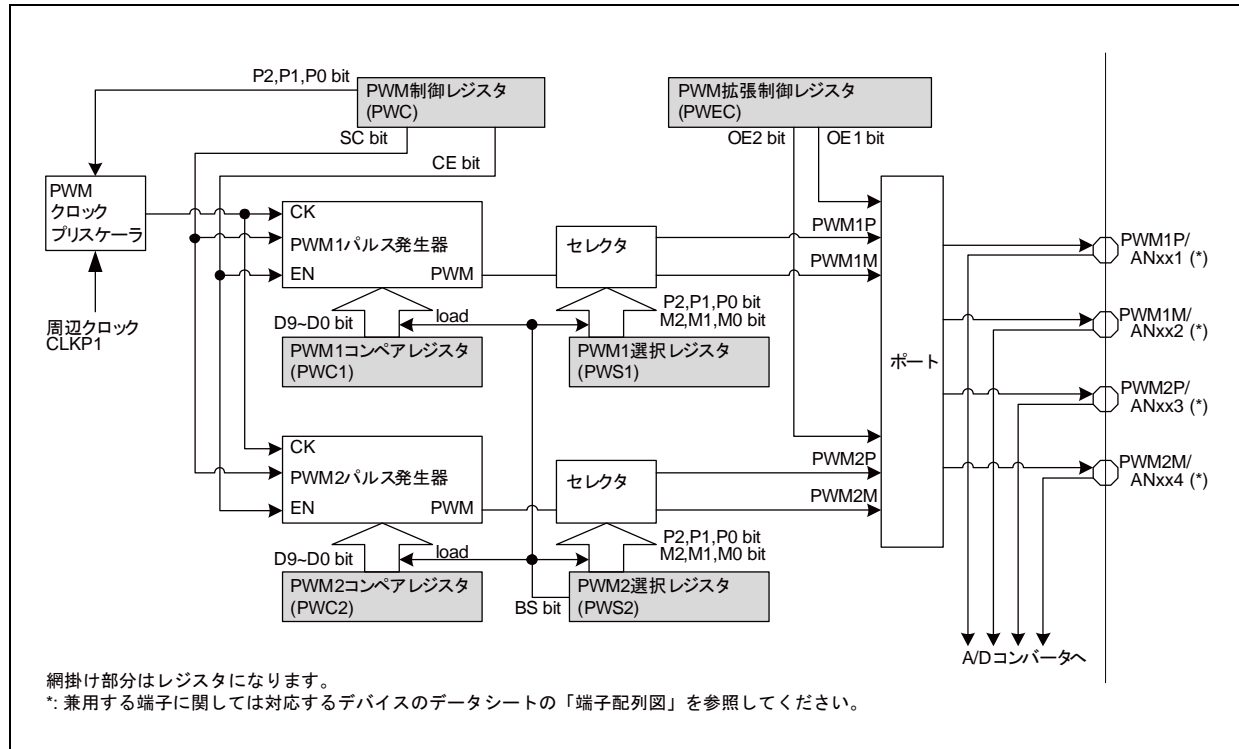
4 個のモータドライバは高出力駆動能力があり、2 個のモータコイルを 4 本のステッピングモータコントローラ端子に直接接続します。PWM パルス発生器とセレクトロジックを組み合わせるモータの回転を制御するように設計されています。また、同期機構により 2 個の PWM パルス発生器の同期動作を確実に実行します。

- PWM パルス発生器
  - プログラムにより PWM 動作クロック (周辺クロックからの分周比) の選択ができます。
  - プログラムにより 8 ビット動作モードと 10 ビット動作モードの選択ができます。
    - 8 ビット動作モード時の PWM パルス幅は、デューティが 0%~99.6% の範囲指定ができます。
    - 10 ビット動作モード時の PWM パルス幅は、デューティが 0%~99.9% の範囲指定ができます。
- モータドライブ信号の選択(セレクトロジック)
  - プログラムによりステッピングモータコントローラ端子に出力する信号レベル "H", "L", PWM パルス, "Hi-Z" の選択を行います。

## 2. 構成

図 2-1 に、ステッピングモータコントローラのブロックダイアグラムを示します。

図 2-1 ステッピングモータコントローラのブロックダイアグラム



### ● PWM クロックプリスケアラ

周辺クロック CLKP1 を分周し、PWM パルス発生器で使用するクロックを生成します。

### ● PWM1 パルス発生器 / PWM2 パルス発生器

PWM パルスを生成します。PWM パルス生成の 8 ビット動作モードと 10 ビット動作モードの選択ができます。

### ● セクタ

ステッピングモータコントローラ端子に出力する信号レベルの選択を行います。

### ● ポート

ステッピングモータコントローラ端子の I/O ポート制御を行います。

### ● PWM 制御レジスタ (PWC)

ステッピングモータコントローラの起動/停止, PWM プリスケアラの設定, PWM パルス発生動作モード選択を行います。

### ● PWM 拡張制御レジスタ (PWEC)

I/O ポート制御におけるステッピングモータコントローラ出力制御を行います。

- **PWM1 コンペアレジスタ(PWC1) / PWM2 コンペアレジスタ(PWC2)**

PWM パルス幅の設定を行います。

- **PWM1 選択レジスタ(PWS1) / PWM2 選択レジスタ(PWS2)**

ステッピングモータコントローラ端子に出力する信号レベル"H", "L", PWM パルス, "Hi-Z"の選択を行います。PWM1 と PWM2 のパルス発生器の同期機構のための書換え指示を設定します。

### 3. 動作説明

ステッピングモータコントローラの動作について説明します。

#### ■ PWM パルス発生器の動作

PWM パルス発生器は、PWM パルス発生器で使用する動作クロックを選択します。PWM 動作クロックは、PWM 動作クロック選択ビット(PWC:P2～P0) で周辺クロックの分周比を選択します。

PWM パルス発生器は、PWM サイクルを制御するカウンタを8ビット動作と10ビット動作に選択できます。8/10ビット切換えビット(PWC:SC) を"0"に設定した場合8ビット動作(PWM サイクル: 256 カウント) を選択、"1"に設定した場合10ビット動作(PWM サイクル: 1024 カウント) を選択します。

表 3-1 PWM 動作クロックと PWM サイクルの関係

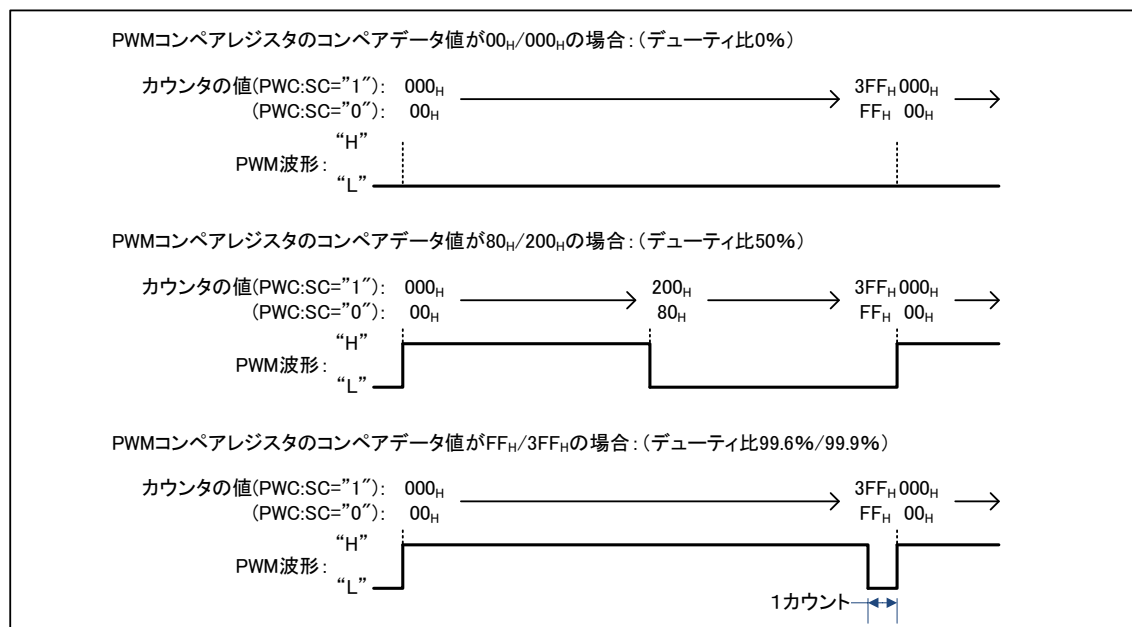
PWC P2～P0	PWM 動作 クロック	PWM サイクル (CLKP1=16MHz)		PWM サイクル (CLKP1=32MHz)	
		PWC:SC="0"	PWC:SC="1"	PWC:SC="0"	PWC:SC="1"
"000 <sub>B</sub> "	CLKP1	16.0 μs	64.0 μs	8.0 μs	32.0 μs
"001 <sub>B</sub> "	1/4 × CLKP1	64.0 μs	256.0 μs	32.0 μs	128.0 μs
"010 <sub>B</sub> "	1/5 × CLKP1	80.0 μs	320.0 μs	40.0 μs	160.0 μs
"011 <sub>B</sub> "	1/6 × CLKP1	96.0 μs	384.0 μs	48.0 μs	192.0 μs
"100 <sub>B</sub> "	1/8 × CLKP1	128.0 μs	512.0 μs	64.0 μs	256.0 μs
"101 <sub>B</sub> "	1/10 × CLKP1	160.0 μs	640.0 μs	80.0 μs	320.0 μs
"110 <sub>B</sub> "	1/12 × CLKP1	192.0 μs	768.0 μs	96.0 μs	384.0 μs
"111 <sub>B</sub> "	1/16 × CLKP1	256.0 μs	1024.0 μs	128.0 μs	512.0 μs

CLKP1: 周辺クロック 1

PWM パルス発生器は、カウンタ許可ビット(PWC:CE) を"1"にすると PWM パルス発生器のカウンタを起動し、選択した PWM 動作クロックの立上りで"00<sub>H</sub>"("000<sub>H</sub>") からカウントアップを始めます。PWM 出力パルスは、カウンタ値がコンペアレジスタ(PWC1:D9～D0, PWC2:D9～D0) と一致するまで"H"レベルです。コンペアデータ(PWC1:D9～D0, PWC2:D9～D0) と一致後からカウンタ値がオーバーフロー"FF<sub>H</sub>"→"00<sub>H</sub>"("3FF<sub>H</sub>"→"000<sub>H</sub>") するまで"L"レベルとなります。

図 3-1 に PWM パルス発生器が生成する PWM 波形の出力例を示します。

図 3-1 PWM 波形出力例



## ■ モータドライブ信号の選択

ステッピングモータコントローラ関連の各端子に出力するモータドライブ信号は、PWM1 選択レジスタ(PWS1) および PWM2 選択レジスタ(PWS2) の設定により、端子ごとに 4 種類の信号から選択できます。

表 3-2 モータドライブ信号の選択と PWM1 選択レジスタの設定

PWS1:P2~P0	PWM1P 出力	PWS1:M2~M0	PWM1M 出力
"000 <sub>B</sub> "	L	"000 <sub>B</sub> "	L
"001 <sub>B</sub> "	H	"001 <sub>B</sub> "	H
"01X <sub>B</sub> "	PWM パルス	"01X <sub>B</sub> "	PWM パルス
"1XX <sub>B</sub> "	HI-Z	"1XX <sub>B</sub> "	HI-Z

X: don't care

表 3-3 モータドライブ信号の選択と PWM2 選択レジスタの設定

PWS2:P2~P0	PWM2P 出力	PWS2:M2~M0	PWM2M 出力
"000 <sub>B</sub> "	L	"000 <sub>B</sub> "	L
"001 <sub>B</sub> "	H	"001 <sub>B</sub> "	H
"01X <sub>B</sub> "	PWM パルス	"01X <sub>B</sub> "	PWM パルス
"1XX <sub>B</sub> "	HI-Z	"1XX <sub>B</sub> "	HI-Z

X: don't care

## ■ ステッピングモータコントローラの同期機構

PWM パルス発生器とモータドライブ信号の選択は、同期機構を有し PWM1 と PWM2 の同期動作を行います。

同期機構は、書換えビット(PWS2:BS) により制御します。書換えビット(PWS2:BS) が"1"に設定されるまで、2 個の PWM コンペアレジスタ(PWC1, PWC2) と 2 個の PWM 選択レジスタ(PWS1, PWS2) に対して行われた変更は出力信号に反映しません。

書換えビット(PWS2:BS) が"1"に設定されたとき、PWMパルス発生器およびモータドライブ信号の選択は、現在の PWM サイクルの終わりでレジスタ内容をロードします。書換えビット(PWS2:BS) は、次の PWM サイクルの始めに自動的に"0"にクリアされます。

また、書換えビット(PWS2:BS) の"0"に自動クリアと書換えビット(PWS2:BS) に対するプログラムによるアクセスが競合した場合、以下の動作になります。

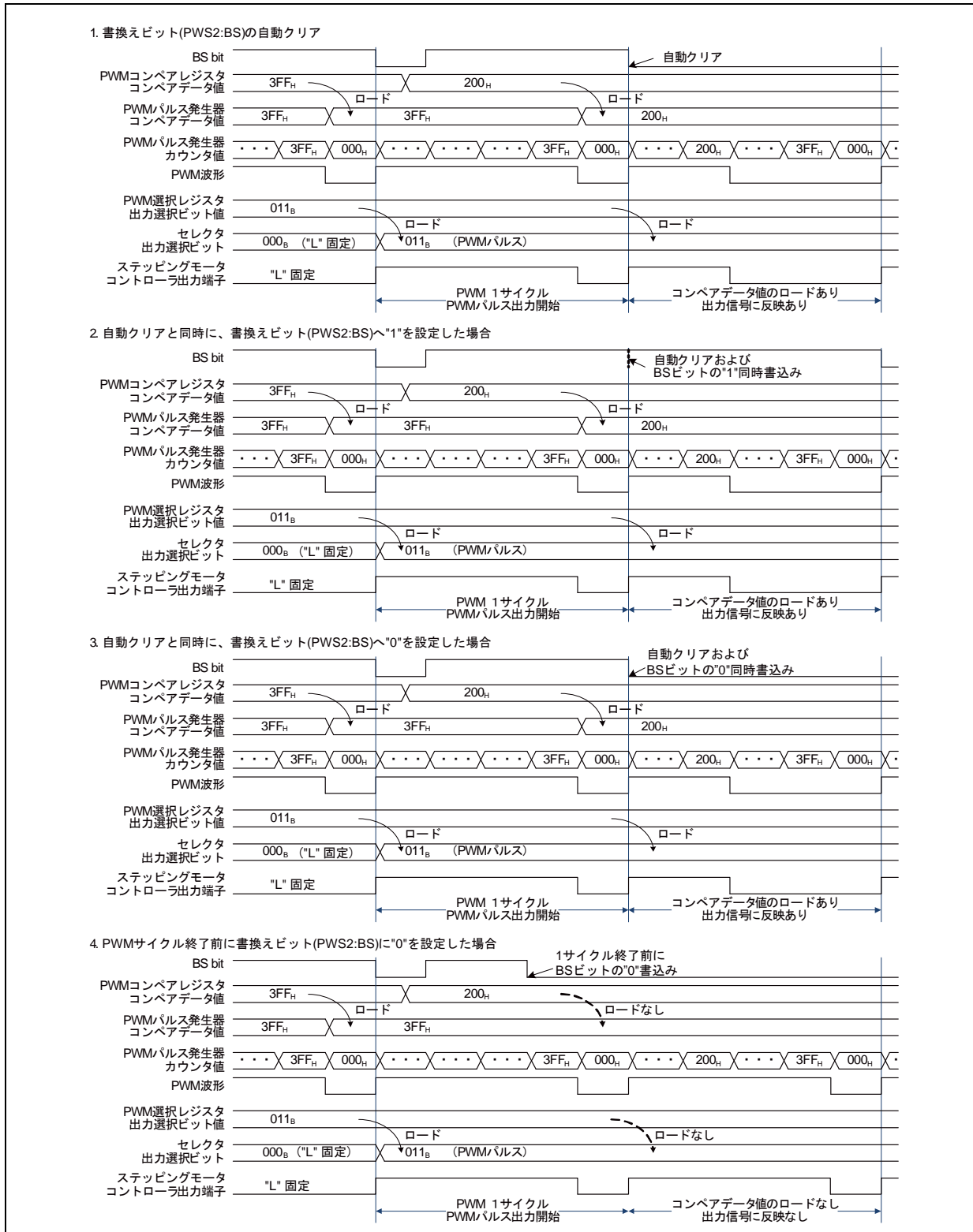
- ・ 書換えビット(PWS2:BS) が"1"のとき、PWM サイクルの始めに自動的に"0"クリアと同時にプログラムにより"1"が設定されると、書換えビット(PWS2:BS) は"1"に設定され(すなわち変更されないままであり)、自動クリアは解除されます。
- ・ 書換えビット(PWS2:BS) が"1"のとき、PWM サイクルの始めに自動的に"0"クリアと同時にプログラムにより"0"に設定されると、書換えビット(PWS2:BS) は"0"にクリアされ、PWM パルス発生器およびセレクトは現在の PWM サイクルの終わりではレジスタ内容をロードします。

図 3-2 に書換えビット(PWS2:BS) による PWM コンペアレジスタおよび PWM 選択レジスタのロード動作を示します。

1. 書換えビット(PWS2:BS) の自動クリア:  
ロード動作が実行され出力信号に反映されます。
2. 自動クリアと同時に書換えビット(PWS2:BS) を"1"に設定した場合:  
ロード動作が実行され出力信号に反映されます。
3. 自動クリアと同時に書換えビット(PWS2:BS) を"0"に設定した場合:  
ロード動作が実行され出力信号に反映されます。
4. PWM サイクル終了前に書換えビット(PWS2:BS) を"0"に設定した場合:  
ロード動作が実行されず出力信号は反映されません。



図 3-2 書換えビット(PWS2:BS) による PWM コンペアレジスタおよび PWM 選択レジスタのロード動作



## 4. 設定手順例

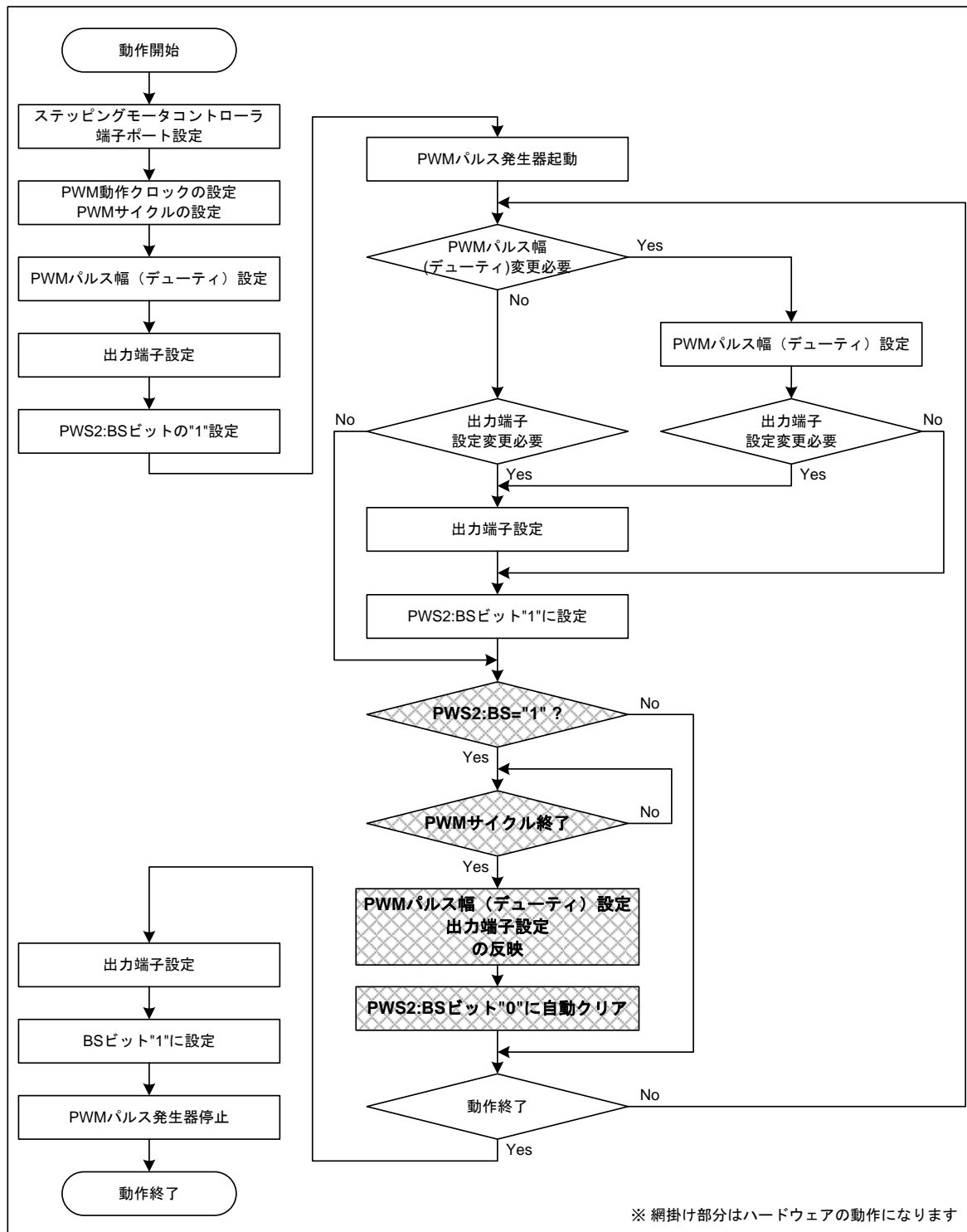
---

ステッピングモータコントローラの設定手順例を示します。

---

### ■ ステッピングモータコントローラの設定手順例

図 4-1 ステッピングモータコントローラの設定手順例



## ● ステッピングモータコントローラ端子のポート設定

ステッピングモータコントローラ端子を PWM 出力端子に設定します。

- PWM 出力端子の設定は、出力許可ビット(PWEC:OE2, PWEC:OE1) に"1"を設定します。
- ポート high 駆動レジスタで対応するビットに"1"(PHDRnn:HDx = 1) を設定してください。

## ● PWM 動作クロックの設定

PWM 動作クロックの設定は、PWM 動作クロック選択ビット(PWC:P2~P0)で行います。PWM 動作クロック選択ビット(PWC:P2~P0)の設定については、「5.1. PWM 制御レジスタ(PWC)」を参照してください。

## ● PWM サイクルの設定

PWM サイクルは、PWM 動作クロックと PWM パルス発生器の動作モード(8 ビット/10 ビット)で決定します。PWM パルス発生器の動作モードは、8/10 ビット切換えビット(PWC:SC)で行います。8/10 ビット切換えビット(PWC:SC)の設定については、「5.1. PWM 制御レジスタ(PWC)」を参照してください。

また、PWM サイクル長は以下の式で求められます。

- 8 ビット動作時(PWC:SC="0"):  $(1 / \text{PWM 動作クロック周波数}) \times 256$
- 10 ビット動作時(PWC:SC="1"):  $(1 / \text{PWM 動作クロック周波数}) \times 1024$

## ● PWM パルス幅(デューティ) 設定

PWM パルス幅(デューティ値)は、コンペアデータ(PWC1:D9~D0, PWC2:D9~D0)で設定します。コンペアデータ(PWC1:D9~D0, PWC2:D9~D0)の設定については、「5.3. PWM1, PWM2 コンペアレジスタ(PWC1, PWC2)」を参照してください。

コンペアデータ(PWC1:D9~D0, PWC2:D9~D0)とデューティ値は、以下の式の関係があります。

- 8 ビット動作時(PWC:SC="0"):  $\text{コンペアデータ(PWC1:D7~D0, PWC2:D7~D0)} = \text{デューティ} \times (256 / 100)$
- 10 ビット動作時(PWC:SC="1"):  $\text{コンペアデータ(PWC1:D9~D0, PWC2:D9~D0)} = \text{デューティ} \times (1024 / 100)$

またコンペアデータ(PWC1:D9~D0, PWC2:D9~D0)の設定可能な範囲は以下です。

- 8 ビット動作時(PWC:SC="0"): 0%~99.6% ("00<sub>H</sub>"~"FF<sub>H</sub>")
- 10 ビット動作時(PWC:SC="1"): 0%~99.9% ("000<sub>H</sub>"~"3FF<sub>H</sub>")

## ● 出力端子設定

出力端子設定は、ステッピングモータコントローラの各端子に出力するモータドライブ信号を"L", "H", PWM パルス, "Hi-Z"から選択します。

出力端子の設定方法は、出力選択ビット(PWS1:P2~P0, PWS1:M2~M0, PWS2:P2~P0, PWS2:M2~M0)で行います。出力選択ビットの設定方法については、「5.4. PWM1, PWM2 選択レジスタ(PWS1, PWS2)」を参照してください。

### ● PWS2:BS="1"設定: PWM パルス幅(デューティ) 設定と出力端子設定の反映

PWM パルス幅(デューティ) 設定と出力端子設定を反映させるためには、書換えビット(PWS2:BS) に"1"を設定します。書換えビット(PWS2:BS) に"1"を設定することにより、現在の PWM サイクルの終わりに PWM パルス幅(デューティ) 設定と出力端子設定が更新されます。また同時に、書換えビット(PWS2:BS) は自動的に"0"にクリアされます。PWM パルス幅(デューティ) 設定と出力端子設定の反映するタイミングは、「図 3-2 図 3-2 書換えビット(PWS2:BS) による PWM コンペアレジスタおよび PWM 選択レジスタのロード動作」を参照してください。

---

#### <注意事項>

PWM パルス発生器が停止中(PWC:CE="0") のとき、PWM パルス幅(デューティ) 設定と出力端子設定は反映されません。

---

### ● PWM パルス発生器起動/停止

PWM パルス発生器は、カウント許可ビット(PWC:CE) により起動/停止の制御を行います。カウント許可ビット(PWC:CE) の設定方法は、「5.1. PWM 制御レジスタ(PWC)」を参照してください。

---

#### <注意事項>

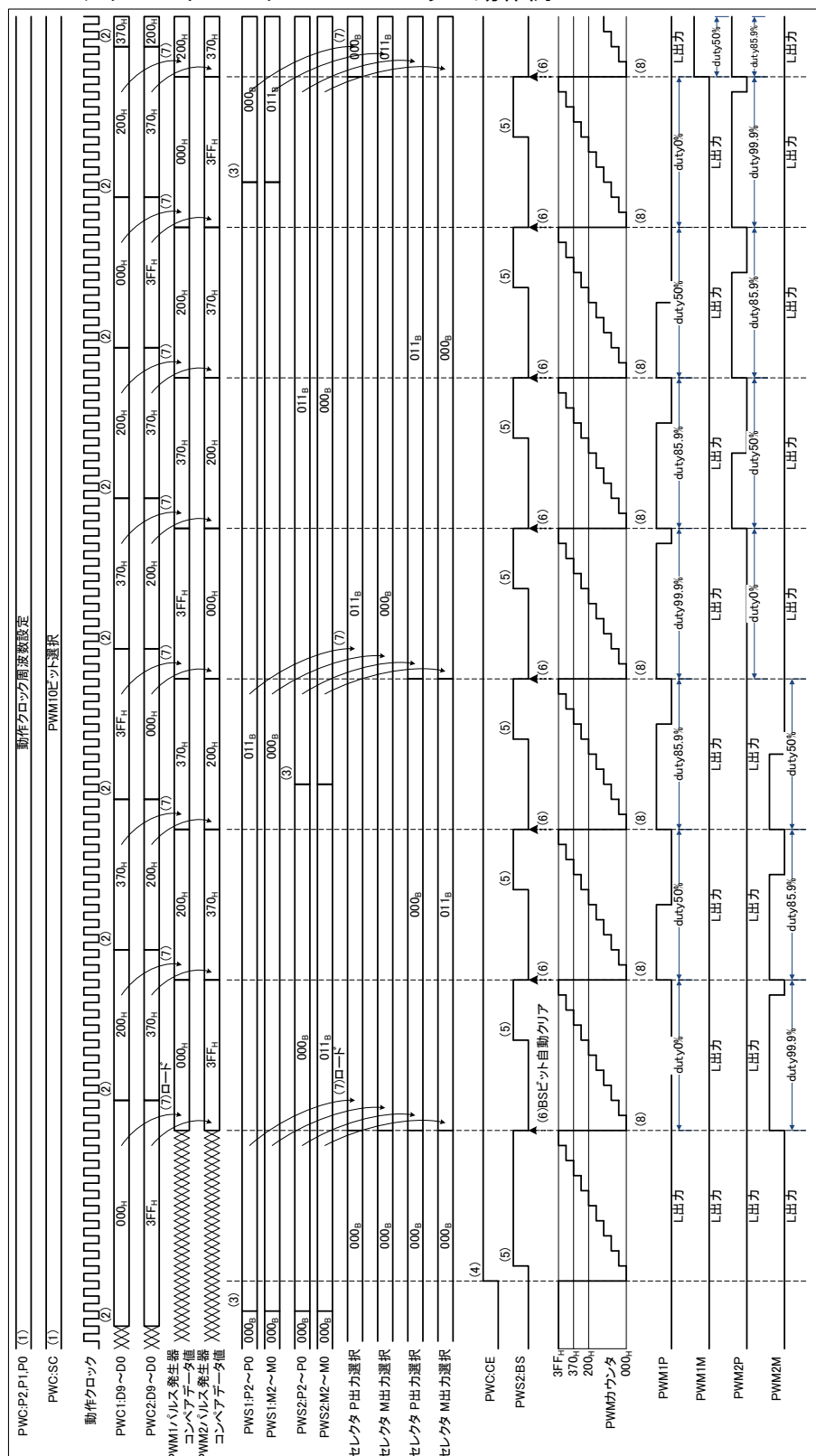
- PWM 動作クロック選択ビット(PWC:P2~P0) および 8/10 ビット切換えビット(PWC:SC) の設定が完了後に、カウント許可ビット(PWC:CE) に"1"を設定してください。
  - 出力選択ビット(PWS1:P2~P0, PWS1:M2~M0, PWS2:P2~P0, PWS2:M2~M0) が PWM パルスを選択しているときに PWM パルス発生器を停止設定(PWC:CE="0") した場合、PWM パルスを選択されている端子は、"L"レベルに固定されます。
- 

### ■ ステッピングモータコントローラ動作例

図 4-2 にステッピングモータコントローラの動作例を示します。

1. PWM 動作クロックおよび PWM サイクル設定を行います。
2. PWM パルス幅(デューティ) 設定を行います。
3. 出力端子設定を行います。
4. PWM パルス発生器を起動します。
5. 書換えビット(PWS2:BS) に"1"を設定し設定内容の更新指示を行います。
6. 書換えビット(PWS2:BS) は"0"に自動的にクリアします。
7. 新しい設定値に更新します。
  - PWM1, PWM2 コンペアレジスタ(PWC1, PWC2) のコンペアデータ値を PWM1, PWM2 のパルス発生器にロードします。
  - PWM1, PWM2 選択レジスタ(PWS1, PWS2) の出力選択ビット(P2~P0, M2~M0) を PWM1, PWM2 のセクタにロードします。
8. PWM パルスを出力します。

図 4-2 ステッピングモータコントローラの動作例



## 5. レジスタ

ステッピングモータコントローラのレジスタ一覧を示します。

### ■ ステッピングモータコントローラのレジスタ一覧

レジスタ略称	レジスタ名	参照先
PWC	PWM 制御レジスタ	5.1
PWEC	PWM 拡張制御レジスタ	5.2
PWC1	PWM1 コンペアレジスタ	5.3
PWC2	PWM2 コンペアレジスタ	5.3
PWS1	PWM1 選択レジスタ	5.4
PWS2	PWM2 選択レジスタ	5.4

## 5.1. PWM 制御レジスタ(PWC)

PWM制御レジスタは、ステッピングモータコントローラの起動/停止, PWM プリスケーラの設定, PWM パルス発生動作モード選択を行います。

### ■ PWM 制御レジスタ(PWC)

PWC							
bit	7	6	5	4	3	2	1 0
	予約	P2	P1	P0	CE	SC	予約 予約
属性	-	R/W	R/W	R/W	R/W	R/W	- -
初期値	0	0	0	0	0	0	0 0

#### [bit7] 予約ビット

常に "0" を書き込んでください。  
このビットを読み出した場合には"0"が返されます。

#### [bit6～bit4] P2～P0: PWM 動作クロック選択ビット

P2～P0 ビットは、PWM パルス発生器に対するクロック入力信号を指定します。

bit6	bit5	bit4	説明
0	0	0	周辺クロック (CLKP1)
0	0	1	1/4 × 周辺クロック (CLKP1)
0	1	0	1/5 × 周辺クロック (CLKP1)
0	1	1	1/6 × 周辺クロック (CLKP1)
1	0	0	1/8 × 周辺クロック (CLKP1)
1	0	1	1/10 × 周辺クロック (CLKP1)
1	1	0	1/12 × 周辺クロック (CLKP1)
1	1	1	1/16 × 周辺クロック (CLKP1)

P2～P0 ビットの変更は、カウント許可ビットが停止中(CE="0") のとき行います。

P2～P0 ビットの設定値を変更した場合は、変更した設定が反映されるまで最大 18 周辺クロック (CLKP1) かかります。

#### [bit3] CE: カウント許可ビット

CE ビットは、PWM パルス発生器の動作を許可します。

bit	説明
0	PWM パルス発生器は動作を初期化し停止します。
1	PWM パルス発生器は動作を開始します。

CE ビットが"1"に設定された場合、PWM パルス発生器は動作を開始します。出力ドライバから発生するス



イッチングノイズを減少させるため、PWM2 パルス発生器は PWM1 パルス発生器の開始より 1 周辺クロック (CLKP1) 遅れて動作を開始します。

---

**<注意事項>**

- PWM 動作クロック選択(P2～P0) および 8/10 ビット切換えビット(SC) 設定が完了後に、CE ビットに"1"を設定してください。
  - 出力選択ビット(PWS1/PWS2:P2～P0, PWS1/PWS2: M2～M0) が PWM パルスを選択しているとき PWM パルス発生器を停止(CE="0") 設定した場合、PWM パルスを選択されている端子は、"L"レベルに固定されます。
- 

**[bit2] SC: 8/10 ビット切換えビット**

SC ビットは、PWM パルス発生器の動作モードを指定します。

bit	説明
0	8 ビット動作モード
1	10 ビット動作モード

**[bit1, bit0] 予約ビット**

常に "0" を書き込んでください。

このビットを読み出した場合には"0"が返されます。

## 5.2. PWM 拡張制御レジスタ(PWEC)

PWM 拡張制御レジスタは、PWM 出力を許可します。

### ■ PWM 拡張制御レジスタ(PWEC)

PWEC								
bit	15	14	13	12	11	10	9	8
	予約	予約	予約	予約	予約	予約	OE2	OE1
属性	-	-	-	-	-	-	R/W	R/W
初期値	0	0	0	0	0	0	0	0

#### [bit15～bit10] 予約ビット

常に "0" を書き込んでください。

このビットを読み出した場合には"0"が返されます。

#### [bit9] OE2: 出力許可ビット

OE2 ビットは、PWM 出力を許可/禁止を設定します。

bit	説明
0	PWM2P および PWM2M の出力を禁止
1	PWM2P および PWM2M の出力を許可

#### [bit8] OE1: 出力許可ビット

OE1 ビットは、PWM 出力を許可/禁止を設定します。

bit	説明
0	PWM1P および PWM1M の出力を禁止
1	PWM1P および PWM1M の出力を許可

### <注意事項>

PWM出力端子を汎用入出力ポートとして使用する場合は、出力許可ビットを禁止設定(OE2="0", OE1="0") してください。

## 5.3. PWM1, PWM2 コンペアレジスタ(PWC1, PWC2)

PWM1 と PWM2 の 2 つの 8 (10) ビットコンペアレジスタの設定値により、PWM パルスの幅が決定します。コンペアレジスタに設定された"0x00" ("0x000") の値は PWM のデューティが 0%を示し、コンペアレジスタに設定された"0xFF" ("0x3FF") の値は PWM のデューティが 99.6% (99.9%) を示します。

### ■ PWM1, PWM2 コンペアレジスタ(PWC1, PWC2)

PWC1								
bit	15	14	13	12	11	10	9	8
	予約	予約	予約	予約	予約	予約	D9	D8
属性	-	-	-	-	-	-	R/W	R/W
初期値	0	0	0	0	0	0	X	X
bit	7	6	5	4	3	2	1	0
	D7	D6	D5	D4	D3	D2	D1	D0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	X	X	X	X	X	X	X	X

PWC2								
bit	15	14	13	12	11	10	9	8
	予約	予約	予約	予約	予約	予約	D9	D8
属性	-	-	-	-	-	-	R/W	R/W
初期値	0	0	0	0	0	0	X	X
bit	7	6	5	4	3	2	1	0
	D7	D6	D5	D4	D3	D2	D1	D0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	X	X	X	X	X	X	X	X

#### [bit15～bit10] 予約ビット

常に "0" を書き込んでください。

このビットを読み出した場合には"0"が返されます。

#### [bit9～bit0] D9～D0: コンペアデータ

D9～D0 ビットは、PWM のパルス幅を設定します。

bit	説明
	PWM のパルス幅を設定します。

- ・ 8/10 ビット切換えビットを 8 ビット動作モードに設定(PWC:SC="0") した場合、D7～D0 ビットにコンペアデータ値を設定します。

- 8/10 ビット切換えビットを 10 ビット動作モードに設定(PWC:SC="1") した場合、D9～D0 ビットにコンペアデータ値を設定します。

---

**<注意事項>**

- PWM1, PWM2 コンペアレジスタ(PWC1, PWC2) は、任意のタイミングでアクセスします。ただし、変更された値は書換えビット(PWS2:BS) が"1"に設定された後、現在の PWM サイクルの終わりにパルス幅に反映されます。
  - 8/10 ビット動作モード(PWC:SC) を"0"に設定し、PWM が 8 ビットモードで動作している場合、D9, D8 ビットは不定値です。
  - PWM1, PWM2 コンペアレジスタ(PWC1, PWC2) は、必ずワードアクセスしてください。
-

## 5.4. PWM1, PWM2 選択レジスタ(PWS1, PWS2)

PWM1 と PWM2 選択レジスタは、ステッピングモータコントローラの外部端子の出力を "L", "H", PWM パルス, "Hi-Z" のいずれかに選択します。

### ■ PWM1 選択レジスタ(PWS1)

PWS1								
bit	7	6	5	4	3	2	1	0
	予約	予約	P2	P1	P0	M2	M1	M0
属性	-	-	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

#### [bit7, bit6] 予約ビット

常に "0" を書き込んでください。

このビットを読み出した場合には "0" が返されます。

#### [bit5~bit3] P2~P0: 出力選択ビット

P2~P0 ビットは、PWM1P の出力信号を選択します。

bit5	bit4	bit3	説明
0	0	0	"L"
0	0	1	"H"
0	1	don't care	PWM パルス
1	don't care	don't care	"Hi-Z"

#### [bit2~bit0] M2~M0: 出力選択ビット

M2~M0 ビットは、PWM1M の出力信号を選択します。

bit2	bit1	bit0	説明
0	0	0	"L"
0	0	1	"H"
0	1	don't care	PWM パルス
1	don't care	don't care	"Hi-Z"

## ■ PWM2 選択レジスタ(PWS2)

PWS2	15	14	13	12	11	10	9	8
bit	予約	BS	P2	P1	P0	M2	M1	M0
属性	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

### [bit15] 予約ビット

常に "0" を書き込んでください。  
 このビットを読み出した場合には"0"が返されます。

### [bit14] BS: 書換えビット

BS ビットは、PWM 出力に対する設定を同期させます。

bit	説明
0	PWM 出力に対する設定の書換えを禁止
1	PWM 出力に対する設定の書換えを許可

BS ビットが"1"に設定されるまで、2 個の PWM コンペアレジスタ(PWC1, PWC2) と 2 個の PWM 選択レジスタ(PWS1, PWS2) に対して行われた変更は出力信号に反映しません。

BS ビットが"1"に設定されたとき、PWM パルス発生器およびセクタは、現在の PWM サイクルの終わりでレジスタ内容をロードします。BS ビットは、次の PWM サイクルの始めに自動的に"0"にクリアされます。

### <注意事項>

- BS="1"のとき、PWM サイクルの始めに自動的に"0"クリアと同時にプログラムにより"1"に設定されると、BS ビットは"1"に設定され(すなわち変更されないままであり)、自動クリアは解除されます。
- BS="1"のとき、PWM サイクルの始めに自動的に"0"クリアと同時にプログラムにより"0"に設定されると、BS ビットは"0"にクリアされ、PWM パルス発生器およびセクタは現在の PWM サイクルの終わりではレジスタ内容をロードします。
- BS="1"の状態、BS ビット以外のリードモディファイライト(RMW) 系命令を実行後は、BS ビットは"1"が読み出され、再度 BS ビットに"1"が書き込まれます。読出しと書込みの間に、PWM サイクルの開始により BS ビットが自動的に"0"にクリアされた場合、BS ビットは再度"1"に設定されます。したがって、次の PWM サイクルの終わりまでに BS ビットが"1"に設定されない場合でも、PWM パルス発生器およびセクタにレジスタ内容がロードされます。

### [bit13~bit11] P2~P0: 出力選択ビット

P2~P0 ビットは、PWM2P の出力信号を選択します。

bit13	bit12	bit11	説明
0	0	0	"L"
0	0	1	"H"
0	1	don't care	PWM パルス
1	don't care	don't care	"Hi-Z"

**[bit10～bit8] M2～M0: 出力選択ビット**

M2～M0 ビットは、PWM2M の出力信号を選択します。

bit10	bit9	bit8	説明
0	0	0	"L"
0	0	1	"H"
0	1	don't care	PWM パルス
1	don't care	don't care	"Hi-Z"

## 6. 使用上の注意

ステッピングモータコントローラを使用するための注意点を示します。

### ■ PWM 設定変更時の注意

- PWM動作クロック選択(PWC:P2~P0) および8/10ビット切換えビット(PWC:SC) 設定が完了後に、カウント許可ビット(PWC:CE) に"1"を設定してください。
- PWM1 コンペアレジスタ(PWC1), PWM2 コンペアレジスタ(PWC2) および PWM1 選択レジスタ(PWS1), PWM2 選択レジスタ(PWS2) は常時アクセスします。しかし、PWM パルスの"H"幅設定を変更するまたは PWM 出力を変更するには、PWM1 コンペアレジスタ, PWM2 コンペアレジスタおよび PWM1 選択レジスタ, PWM2 選択レジスタに設定値を書き込んだ後(または同時に)、書換えビット(PWS2:BS) に"1"を書き込む必要があります。
- 書換えビット(PWS2:BS) が"1"に設定されると、現在の PWM サイクルの終了時に新しい設定値が有効となります。また同時に、PWS2:BS ビットは自動的に"0"にクリアされます。
- また、書換えビット(PWS2:BS) への"1"書込みと、PWM サイクル開始時の書換えビット(PWS2:BS) の"0"に自動クリアが同時に行われた場合、書換えビット(PWS2:BS) は"1"が書き込まれて書換えビット(PWS2:BS) の"0"クリアが取り消されます。
- 書込みビット(PWS2:BS) が"1"の状態、書込みビット(PWS2:BS) 以外のリードモディファイライト(RMW) 系命令を実行後は、書込みビット(PWS2:BS) は"1"が読み出され、再度書込みビット(PWS2:BS) に"1"が書き込まれます。読出しと書込みの間に、PWM サイクルの開始により書込みビット(PWS2:BS) が自動的に"0"にクリアされた場合、書込みビット(PWS2:BS) は再度"1"に設定されます。したがって、次の PWM サイクルの終わりまでに書込みビット(PWS2:BS) が"1"に設定されない場合でも、PWM パルス発生器およびセクタにレジスタ内容がロードされます。  
上記動作を行うため、PWM パルス発生器が起動(PWC:CE="1") されていない場合は、新しい設定値が有効となりませんので、モータドライブ信号の選択変更もできません。
- 出力選択ビット(PWS1:P2~P0, PWS1:M2~M0, PWS2:P2~P0, PWS2:M2~M0) が PWM パルスを選択しているときに PWM パルス発生器を停止設定(PWC:CE="0") した場合、PWM パルスを選択されている端子は、"L"レベルに固定されます。
- PWM 制御レジスタの SC ビットを"0"に設定し、PWM が 8 ビットモードで動作している場合、D9, D8 ビットは不定値です。
- PWM1, PWM2 コンペアレジスタは、必ずワードアクセスしてください。

### ■ ステッピングモータコントローラ端子のポート設定

- ポート high 駆動レジスタで対応するビットに"1"(PHDRnn:HDx = 1) を設定してください。





# Chapter 27: サウンドジェネレータ



---

サウンドジェネレータの機能および動作について説明します。

---

1. 概要
2. レジスタ

---

管理コード : 96F3SG-J03.0

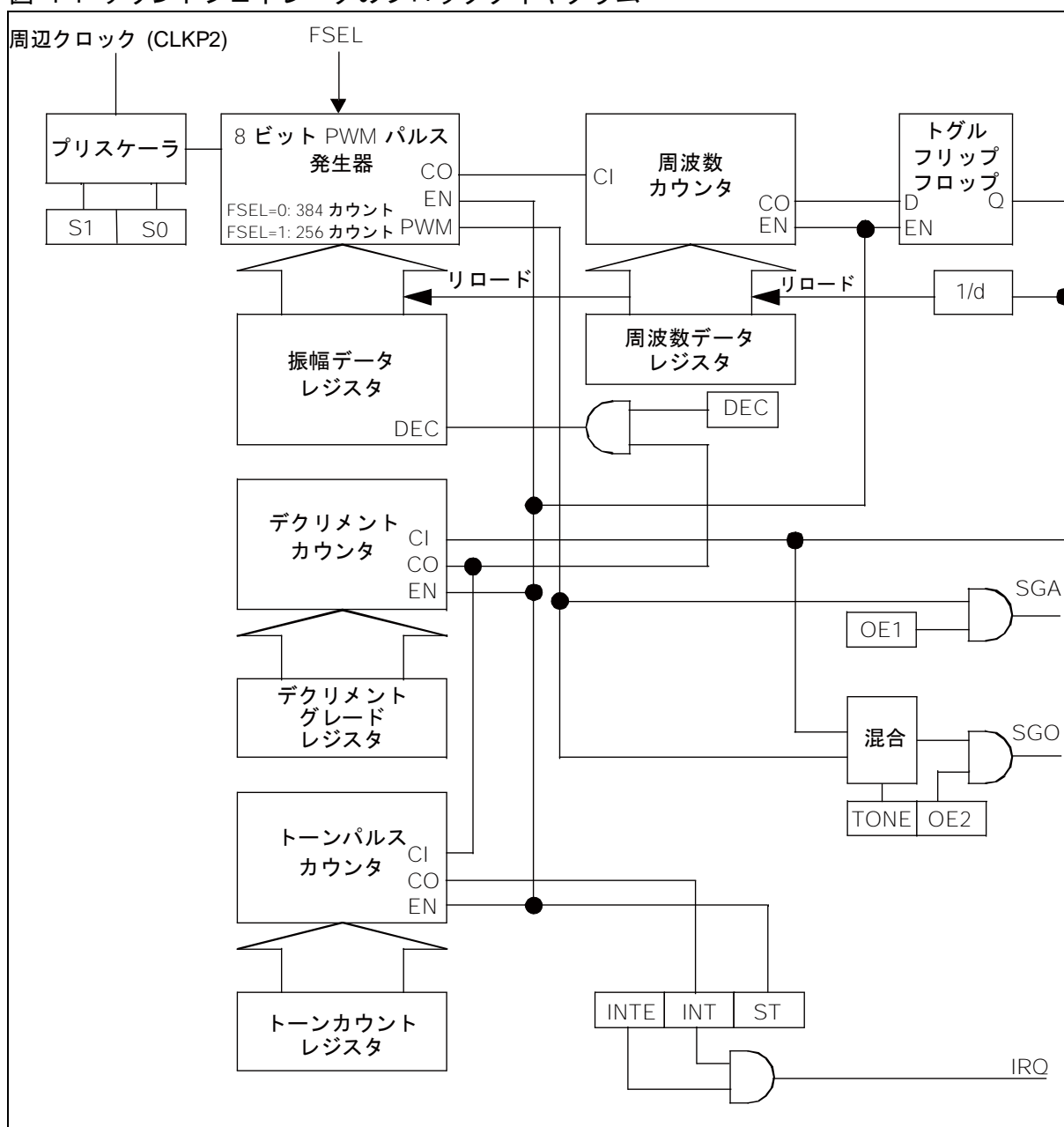
---

## 1. 概要

サウンドジェネレータは、サウンドコントロールレジスタ、周波数データレジスタ、振幅データレジスタ、デクリメントグレードレジスタ、トーンカウントレジスタ、PWM パルス発生器、周波数カウンタ、デクリメントカウンタ、トーンパルスカウンタで構成されています。

### ■ サウンドジェネレータのブロックダイアグラム

図 1-1 サウンドジェネレータのブロックダイアグラム



## 2. レジスタ

---

サウンドジェネレータで使用するレジスタの構成および機能について説明します。

---

### ■ サウンドジェネレータのレジスタ一覧

レジスタ略称	レジスタ名	参照先
SGCRn	サウンドコントロールレジスタ	2.1
SGARn	振幅データレジスタ	2.2
SGFRn	周波数データレジスタ	2.3
SGTRn	トーンカウントレジスタ	2.4
SGDRn	デクリメントグレードレジスタ	2.5

---

#### <注意事項>

サウンドコントロールレジスタ SGCRn は、16 ビットレジスタまたは 2 つの 8 ビットレジスタ SGCRHn, SGCRLn としてアクセスすることが可能です。

---

## 2.1. サウンドコントロールレジスタ(SGCRn)

サウンドコントロールレジスタ(SGCRn) は、割込みの制御と動作状態の制御を行います。

### ■ サウンドコントロールレジスタ(SGCRHn)

SGCRHn								
bit	15	14	13	12	11	10	9	8
	RESV	-	-	-	-	FSEL	BUSY	DEC
属性	R/W	-	-	-	-	R/W	R	R/W
初期値	X	X	X	X	X	1	0	0

#### [bit15] RESV: 予約ビット

読出し値は不定、書込みは常に "0"。

リードモディファイライト(RMW) 動作は無効です。

#### [bit14～bit11] -: 未定義

- これらのビットに常に"0"を書き込みます。
- これらのビットの読出し値は未定義です。
- これらのビットへのリードモディファイライト(RWM) 動作は無効です。

#### [bit10] FSEL: PWM カウンタ切換えビット

bit	説明
0	384 カウント
1	256 カウント

PWM カウンタのカウント値を 256 または 384 に切り換えます。カウント値を切り換えるときは動作を停止してください。また FSEL を切り換えた後で、振幅データ、周波数データ、デクリメントグレードおよびトーンレジスタを再度設定してください。

#### [bit9] BUSY: ビジービット

bit	説明
0	動作完了
1	ジェネレータ動作中

サウンドジェネレータが動作中であるかどうかを示します。ST ビットを "1" に設定すると、このビットも "1" に設定されます。ST ビットを "0" にリセットし、1 トーンサイクル終了時に動作が完了すると、"0" にリセットされます。このビットへの書込みは無効です。

[bit8] DEC: 自動デクリメント許可ビット

bit	説明
0	自動デクリメント禁止
1	自動デクリメント許可

サウンドの自動デクリメント用ビットです。

DEC ビットが "1" でデクリメントカウンタがトーンパルス数をリロード値までカウントすると、振幅データレジスタに格納された値は、トーンサイクル終了時に 1 つずつデクリメントされます。

## ■ サウンドコントロールレジスタ(SGCRLn)

SGCRLn								
bit	7	6	5	4	3	2	1	0
	S1	S0	TONE	OE2	OE1	INTE	INT	ST
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

### [bit7, bit6] S1, S0: 動作クロック選択ビット

サウンドジェネレータのためのクロック入力信号を指定します。

bit7	bit6	説明
0	0	周辺クロック CLKP2
0	1	1/2 周辺クロック CLKP2
1	0	1/4 周辺クロック CLKP2
1	1	1/8 周辺クロック CLKP2

### [bit5] TONE: トーン出力ビット

bit	説明
0	トーンと PWM の混合
1	SGO 出力

このビットを "1" に設定すると、SGO 信号はトグルフリップフロップからの単純方形波形(トーンパルス)になります。 "0" に設定した場合は、トーンパルスと PWM パルスの混合 (論理積) 信号になります。

### [bit4] OE2: サウンド出力許可ビット

bit	説明
0	汎用端子
1	SGO 出力許可

このビットを "1" に設定すると、外部端子が SGO 出力として割り当てられます。 "0"に設定した場合は、この端子は汎用 I/O 端子となります。 SGO 出力を許可するには、ポート方向レジスタの対応するビットも "1" に設定する必要があります。

**[bit3] OE1: 振幅出力許可ビット**

bit	説明
0	汎用端子
1	SGA 出力許可

このビットを "1" に設定すると、外部端子が SGA 出力として割り当てられます。"0"に設定した場合は、この端子は汎用 I/O となります。SGA 出力を許可するには、ポート方向レジスタの対応するビットも "1" に設定する必要があります。

SGA 信号は、サウンドの振幅を表す PWM パルス発生器からの PWM パルスです。

**[bit2] INTE: 割込み許可ビット**

bit	説明
0	割込み禁止
1	割込み許可

サウンドジェネレータの割込み信号を許可します。このビットが "1" で、INT ビットが "1" に設定されると、サウンドジェネレータが割込み信号を出力します。

**[bit1] INT: 割込みビット**

bit	説明	
	読出し	書込み
0	割込みなし	割込みクリア
1	割込み要求	影響なし

トーンパルスカウンタが、トーンカウントレジスタおよびデクリメントグレードレジスタに指定されたトーンパルスの数をカウントすると、このビットは "1" に設定されます。

このビットは "0" を書き込むと "0" にリセットされます。"1" を書き込んでも無効であり、リードモディファイライト(RMW) 系命令は常に"1" を読み出します。

**[bit0] ST: 開始ビット**

bit	説明
0	動作停止
1	動作開始



このビットに "1"を書き込むと、サウンドジェネレータの動作が開始します。

"0" にリセットすると、サウンドジェネレータは現行のトーンサイクル終了時に動作を停止します。BUSY ビットは、サウンドジェネレータが完全に停止したかどうかを示します。

このビットに"1"を書き込むと、周波数データレジスタ、振幅データレジスタ、デクリメントグレードレジスタ、トーンカウントレジスタの値が各カウンタへロードされます。

## 2.2. 振幅データレジスタ (SGARn)

振幅データレジスタ (SGARn) は、PWM パルス発生器のリロード値を格納します。このレジスタ値はサウンドの振幅を表し、トーン信号の立下り時に PWM パルス発生器にリロードされます。

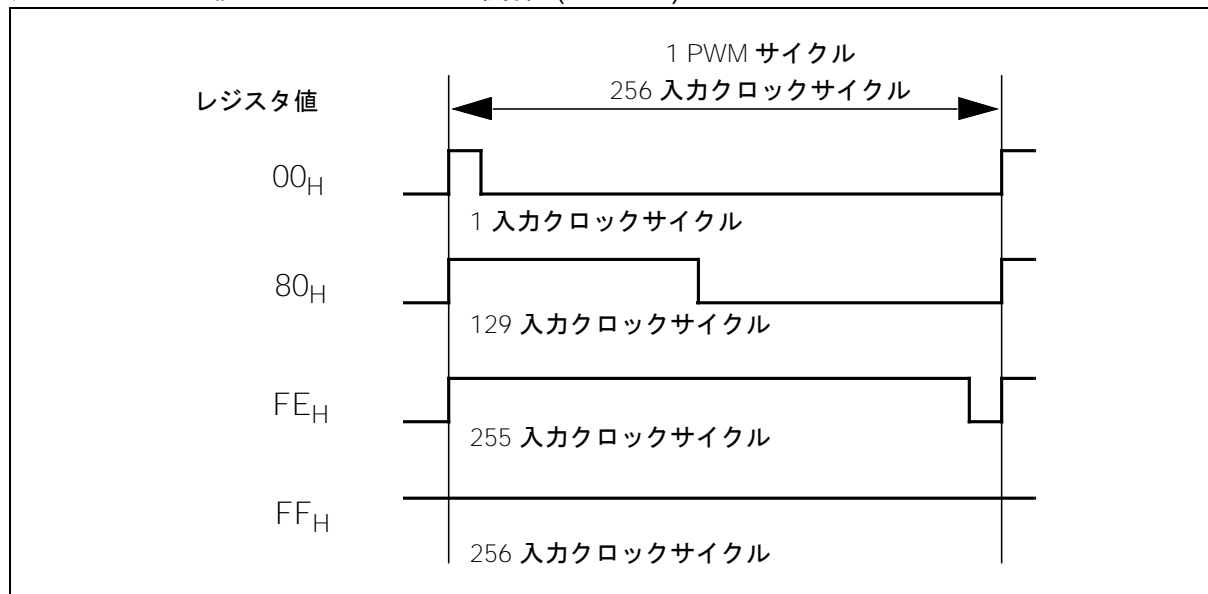
### ■ 振幅データレジスタ (SGARn)

SGARn		7	6	5	4	3	2	1	0
bit		D7	D6	D5	D4	D3	D2	D1	D0
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		X	X	X	X	X	X	X	X

DEC ビットが "1" でデクリメントカウンタがリロード値に達すると、このレジスタ値は 1 つずつデクリメントされます。レジスタ値が 00<sub>H</sub> になると、デクリメントはもう行われません。しかし、サウンドジェネレータは ST ビットがクリアされるまで動作を継続します。

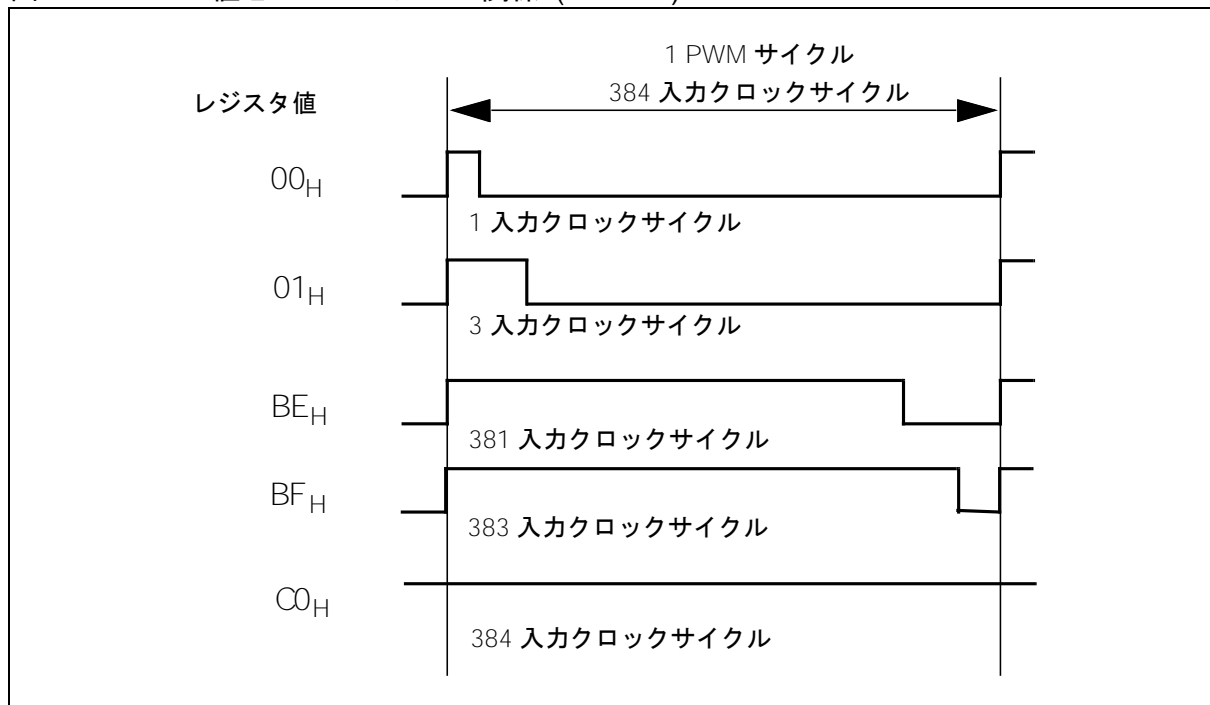
図 2-1 と 図 2-2 に、レジスタ値と PWM パルスの関係を示します。

図 2-1 SGARn 値と PWM パルスの関係 (FSEL=1)



レジスタ値が FF<sub>H</sub> に設定されると、PWM 信号は常に "1" 出力となります。

図 2-2 SGARn 値と PWM パルスの関係 (FSEL=0)

**<注意事項>**

SGCRHn の FSEL ビットが "0" で、SGARn 値が C0<sub>H</sub> ~ FF<sub>H</sub> のとき、PWM 出力は常に "1" となります。  
 SGCRHn の DEC ビットが "1" で、SGARn 値が C0<sub>H</sub> 以上のとき、PWM 出力は変動します。

## 2.3. 周波数データレジスタ (SGFRn)

周波数データレジスタ (SGFRn) は、周波数カウンタのリロード値を格納します。格納された値は、サウンド (またはトグルフリップフロップからのトーン信号) の周波数を表します。レジスタ値は、周波数カウンタと PWM パルス発生器のアンダフローでカウンタにリロードされます。

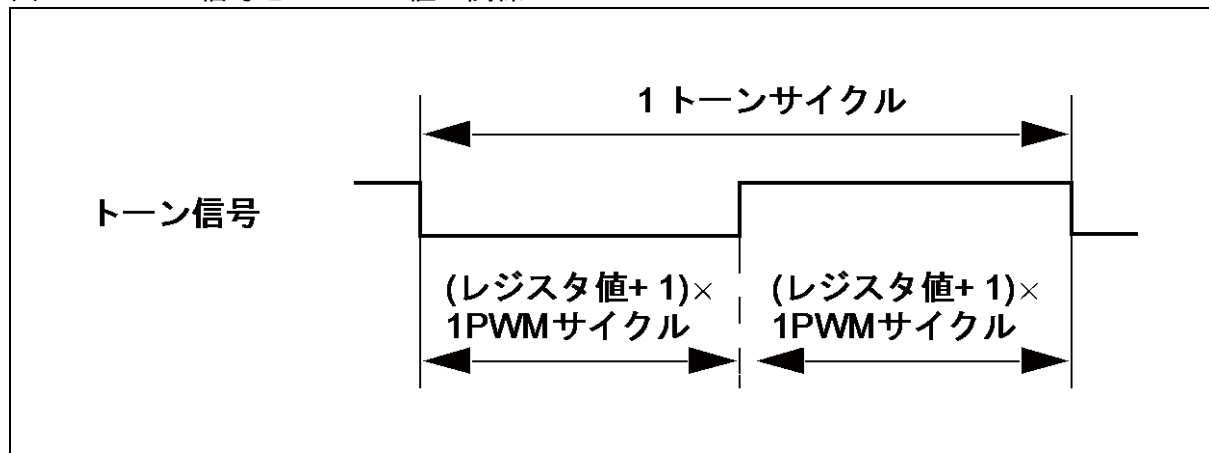
図 2-3 に、トーン信号とレジスタ値の関係を示します。

### ■ 周波数データレジスタ (SGFRn)

SGFRn	7	6	5	4	3	2	1	0
bit	D7	D6	D5	D4	D3	D2	D1	D0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	X	X	X	X	X	X	X	X

図 2-3 に、トーン信号とレジスタ値の関係を示します。

図 2-3 トーン信号と SGFRn 値の関係



動作中にレジスタ値を変更すると、変更のタイミングによっては、デューティサイクル 50% が変更されることがありますので、注意してください。

## 2.4. トーンカウントレジスタ (SGTRn)

トーンカウントレジスタ (SGTRn) は、トーンパルスカウンタのリロード値を格納します。 トーンパルスカウンタにはトーンパルス数 (またはデクリメント動作数) が累積され、リロード値になると INT ビットをセットし、トーンの設定数により割込みの頻度を減少させます。 レジスタ値は、トーンパルスカウンタアンダフロー、デクリメントカウンタアンダフロー、トーン信号の立下りエッジでカウンタにリロードされます。

### ■ トーンカウントレジスタ (SGTRn)

SGTRn								
bit	7	6	5	4	3	2	1	0
	D7	D6	D5	D4	D3	D2	D1	D0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	X	X	X	X	X	X	X	X

トーンパルスカウンタのカウント入力、デクリメントカウンタからのキャリアウト信号と接続されています。 トーンカウントレジスタが 00<sub>H</sub>に設定されると、トーンパルスカウンタは、デクリメントカウンタからのキャリアウト信号ごとに INT ビットを設定します。 したがって、累積トーンパルス数は次の式で表されます。

$$((\text{デクリメントグレードレジスタ}) + 1) \times ((\text{トーンカウントレジスタ}) + 1)$$

すなわち、両レジスタが 00<sub>H</sub>に設定されると、トーンサイクルごとに INT ビットが設定されます。

## 2.5. デクリメントグレードレジスタ (SGDRn)

デクリメントグレードレジスタ (SGDRn) は、デクリメントカウンタのリロード値を格納します。割込みの頻度を減少させるために、振幅データレジスタのリロード値を自動的にデクリメントします。レジスタ値は、デクリメントカウンタアンダフロー、トーン信号の立下りエッジでカウンタにリロードされます。

### ■ デクリメントグレードレジスタ (SGDRn)

SGDRn								
bit	7	6	5	4	3	2	1	0
	D7	D6	D5	D4	D3	D2	D1	D0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	X	X	X	X	X	X	X	X

DEC ビットが "1" でデクリメントカウンタがトーンパルス数をリロード値までカウントすると、振幅データレジスタに格納された値は、トーンサイクル終了時に 1 つずつデクリメントされます。

この動作によって、より少ない CPU 介入でサウンドの自動デクリメントができるようになります。

このレジスタが指定したトーンパルス数は、"レジスタ値 + 1" に等しいことに注意してください。デクリメントグレードレジスタが 00<sub>H</sub> に設定されると、デクリメント動作はトーンサイクルごとに行われます。



# Chapter 28: ROM/RAM ミラー機能選択 モジュール



---

ROM/RAM ミラー機能選択モジュールについて説明します。

---

1. 概要
2. レジスタ

---

管理コード : 96F3MIRROR-J01.1

---

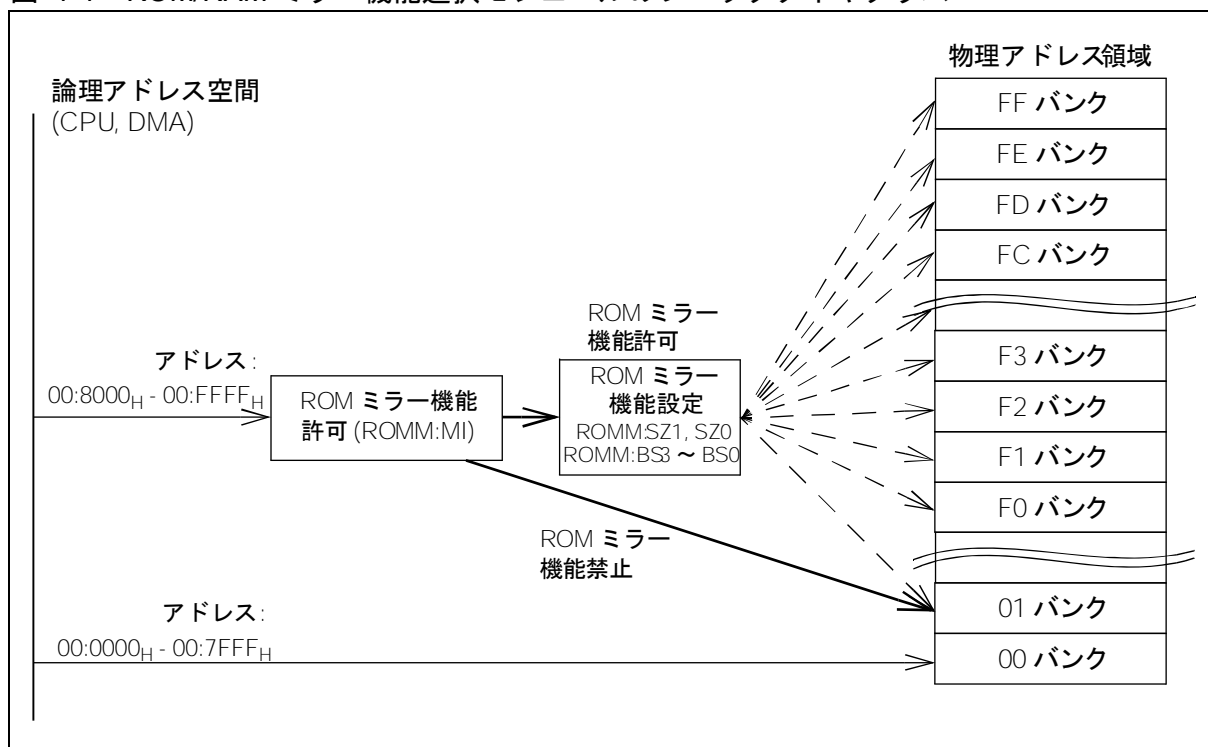


## 1. 概要

ROM/RAM ミラー機能選択モジュールは、選択された ROM バンクの物理アドレスへ 00 バンクの論理アドレス(CPU アドレスなど) を割り当てます。ミラーリングされる ROM のサイズは設定可能です。使用されていない ROM ミラー領域は、01 バンクから RAM のミラーリングに使用されます。

### ■ ROM/RAM ミラー機能選択モジュールのブロックダイヤグラム

図 1-1 ROM/RAM ミラー機能選択モジュールのブロックダイヤグラム



ROM バンク F0<sub>H</sub> ~ FF<sub>H</sub> (Fx:8000<sub>H</sub> ~ Fx:FFFF<sub>H</sub>) の上位半分の ROM アドレスのみを 00<sub>H</sub> バンクへミラーリングすることができます。ROM バンクの下位半分はミラーリングできません。

ROM ミラー機能が禁止された場合、01<sub>H</sub> バンクは 00<sub>H</sub> バンクのミラーとして使用されます。

## 2. レジスタ

ROM ミラー機能選択レジスタ (ROMM) は ROM ミラー機能選択モジュールのすべての機能を設定します。

- ミラーリング ROM バンク
- ミラーリング ROM のサイズ
- ROM ミラー機能許可

### ■ ROM レジスター一覧

レジスタ略称	レジスタ名	参照先
ROMM	ROM ミラー機能選択レジスタ	2.1

## 2.1. ROM ミラー機能選択レジスタ(ROMM)

### ■ ROM ミラー機能選択レジスタ(ROMM)

ROMM								
bit	7	6	5	4	3	2	1	0
	BS3	BS2	BS1	BS0	-	SZ1	SZ0	MI
属性	R/W	R/W	R/W	R/W	-	R/W	R/W	R/W
初期値	1	1	1	1	X	1	1	1

[bit7～bit4] BS[3:0]: ミラーリングバンク選択ビット

bit	説明
0000 <sub>B</sub>	F0 <sub>H</sub> バンクの一部をミラーリング
....	F <sub>X</sub> バンクの一部をミラーリング
1111 <sub>B</sub>	FF <sub>H</sub> バンクの一部をミラーリング

ミラーリング ROM バンクを選択します。BS3 ～ BS0 はメモリバンクアドレスの bit3 ～ bit0 に対応します。

ROMM:BS3 ～ BS0	ミラーリングメモリバンク
1111 <sub>B</sub>	FF
1110 <sub>B</sub>	FE
1101 <sub>B</sub>	FD
...	...
0001 <sub>B</sub>	F1
0000 <sub>B</sub>	F0

初期値は "1111" (FF<sub>H</sub> バンク選択) です。

#### [bit3] -: 未定義

このビットには常に"0"を書き込んでください。

読出し値は不定です。

リードモディファイライト(RMW) 系命令は無効です。

[bit2, bit1] SZ[1:0]: ミラーサイズ選択ビット

bit2	bit1	説明
0	0	8k バイト ROM ミラーリング
0	1	16k バイト ROM ミラーリング
1	0	24k バイト ROM ミラーリング
1	1	32k バイト ROM ミラーリング

ミラーリング ROM バンクのサイズを選択します。詳細は 表 2-1 を参照してください。  
 初期値は"11" です。

[bit0] MI: ミラー機能許可ビット

bit	説明
0	ROM ミラー機能禁止
1	ROM ミラー機能許可

ROM ミラー機能を許可します。

- "0"を書き込むと、ROM ミラー機能が禁止されます。アドレス 01:8000<sub>H</sub> ～ 01:FFFF<sub>H</sub>が 00 バンクへミラーリングされます。
- "1"を書き込むと、ROM ミラー機能が許可されます。ROMM:BS3～ BS0 で選択されたバンクの ROM データのイメージは 00 バンクでもアクセスできます。
- 初期値は"1" (ROM ミラー機能許可) です。

選択した ROM ミラーサイズが 32k バイトよりも小さい場合は、代わりに 01<sub>H</sub> バンクからのアドレス領域が 00<sub>H</sub> バンクへミラーリングされます。01<sub>H</sub> バンクがアドレス 01:8000<sub>H</sub> の上に RAM を含む場合は、この RAM は 00<sub>H</sub> バンクからアクセスできます。

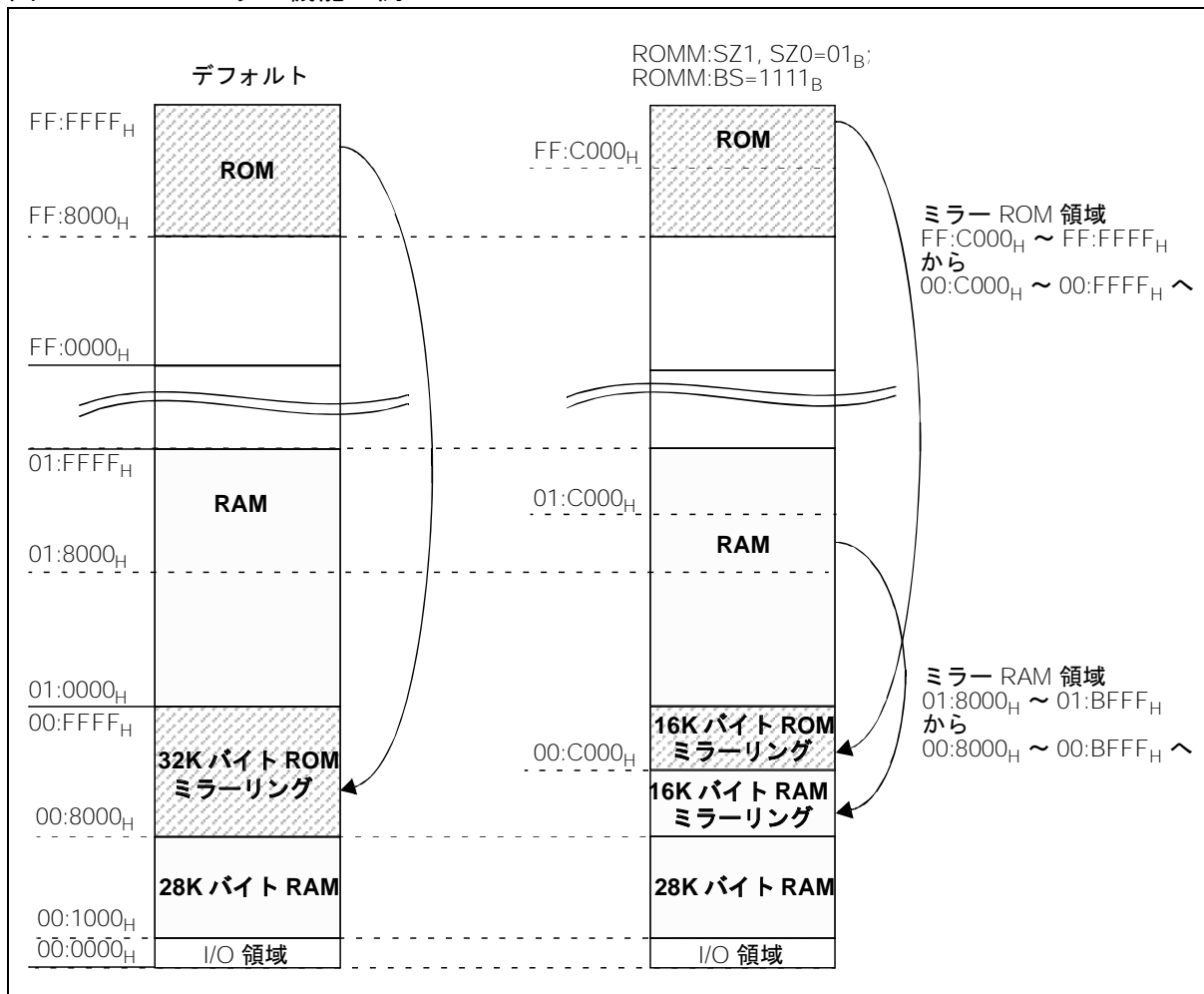
表 2-1 ミラーサイズ選択ビット SZ[1:0] の説明

MI	SZ1	SZ0		ミラーリング ROM/RAM サイズ	ミラーリング用の選択 ROM/RAM 領域 (物理アドレス)	ROM/RAM ミラーリング領域 (論理アドレス)
0	-	-	ROM	0k バイト	ROM ミラー機能なし	ROM ミラー機能なし
			RAM	32k バイト	01:8000 <sub>H</sub> ~ 01:FFFF <sub>H</sub>	00:8000 <sub>H</sub> ~ 00:FFFF <sub>H</sub>
1	0	0	ROM	8k バイト	Fx:E000 <sub>H</sub> ~ Fx:FFFF <sub>H</sub>	00:E000 <sub>H</sub> ~ 00:FFFF <sub>H</sub>
			RAM	24k バイト	01:8000 <sub>H</sub> ~ 01:DFFF <sub>H</sub>	00:8000 <sub>H</sub> ~ 00:DFFF <sub>H</sub>
1	0	1	ROM	16k バイト	Fx:C000 <sub>H</sub> ~ Fx:FFFF <sub>H</sub>	00:C000 <sub>H</sub> ~ 00:FFFF <sub>H</sub>
			RAM	16k バイト	01:8000 <sub>H</sub> ~ 01:BFFF <sub>H</sub>	00:8000 <sub>H</sub> ~ 00:BFFF <sub>H</sub>
1	1	0	ROM	24k バイト	Fx:A000 <sub>H</sub> ~ Fx:FFFF <sub>H</sub>	00:A000 <sub>H</sub> ~ 00:FFFF <sub>H</sub>
			RAM	8k バイト	01:8000 <sub>H</sub> ~ 01:9FFF <sub>H</sub>	00:8000 <sub>H</sub> ~ 00:9FFF <sub>H</sub>
1	1	1	ROM	32k バイト	Fx:8000 <sub>H</sub> ~ Fx:FFFF <sub>H</sub>	00:8000 <sub>H</sub> ~ 00:FFFF <sub>H</sub>
			RAM	0k バイト	RAM ミラー機能なし	RAM ミラー機能なし

**<注意事項>**

- ・コードがミラーリングメモリ領域内のアドレスから実行されているときは、ROM ミラー機能選択レジスタ (ROMM) に書き込まないでください。
- ・ROMM レジスタにライトする命令の直後には、最低 1 つの NOP 命令を配置するか、あるいは ROM/RAM ミラー領域のアクセスに関係しない命令を配置してください。

図 2-1 ROM ミラー機能の例





# Chapter 29: デュアルオペレーションフラッシュメモリ



---

フラッシュメモリの機能および動作について説明します。

---

1. 概要
2. ブロックダイアグラムとセクタ構成
3. モード
4. 自動アルゴリズムの起動
5. 自動アルゴリズム実行状態の確認
6. 書込み/消去の詳細説明
7. レジスタ
8. 使用上の注意
9. プログラム例

---

管理コード : 96F6FLASH-J03.0

---



## 1. 概要

デュアルオペレーションフラッシュはバンク A とバンク B で構成されており、従来のフラッシュ製品ではできなかった2つのバンクでの消去/書込みと読出しの同時実行ができます。フラッシュメモリは、ユーザプログラムとデータの保存に使用されます。各デバイスの詳細なフラッシュ構成については、データシートの「フラッシュデバイスのユーザ ROM メモリマップ」を参照してください。

CPU からの命令により、フラッシュメモリにデータの書込みや消去ができます。また、CPU の内部制御により、MCU が PCB に実装されている状態でフラッシュメモリを書き換えることができます。その結果、プログラムやデータをより効率良く実行、使用できます。

### ■ フラッシュメモリのタイプ

各デバイスの詳細なセクタ構成は、データシートの「フラッシュデバイスのユーザ ROM メモリマップ」を参照してください。

#### ● フラッシュ

高い読出し性能を発揮するために最適化された標準的なフラッシュマクロです。F<sup>2</sup>MC-16FX MCU には、このタイプのモジュールが最大2個搭載されます(フラッシュ A, フラッシュ B)。

フラッシュ A は CPU メモリマップにおいてバンク DF~FF にマッピングされます。バンク DF には小セクタが配置されます。フラッシュ A のサイズによって、バンク F8 から始まり上方にバンク FF まで、大セクタが配置されます。

一部のデバイスには、フラッシュ B とよばれる第2のフラッシュメモリが搭載されており、これはフラッシュ A とは独立して動作します。バンク F0-F7 にフラッシュ B の大セクタが配置されます。また、小セクタはバンク DE に配置されます。

小セクタはオンチップの E<sup>2</sup>PROM エミュレーション、ブートローダなどに使用できます。

### ■ フラッシュメモリの特長

#### ● フラッシュの特長

- ・ 自動プログラムアルゴリズムを使用
- ・ 消去一時停止/再開機能を搭載
- ・ データポーリングまたはトグルビット機能による書込み/消去完了検出
- ・ CPU 割込みによる書込み/消去完了検出
- ・ セクタ消去機能(セクタの組合せ自由)
- ・ DFSA/DFSB レジスタによる書込み/消去完了検出
- ・ CPU(ユーザプログラムおよびシリアルフラッシュライタ) およびフラッシュモード(パラレルフラッシュライタ) での書込み/消去が可能
- ・ CPU およびフラッシュモードでのバイトおよびワードの書込みが可能
- ・ フラッシュ読出しサイクルタイム: 最小で1マシンサイクル
- ・ CPU 読出しは16ビット幅で実行
- ・ CPU モード時はセクタごとの消去/書込み禁止設定が可能
- ・ アプリケーションが意図しない不正な方法でフラッシュメモリ上のコードが読み出されることを防ぐためのコードセキュリティ機能
- ・ 2種類の CPU 書込みアクセスモード(ダイレクトアクセスとコマンドシーケンサアクセス)
- ・ DMA によるデータ書込みが可能
- ・ 2つのバンク構成で消去/書込みと読出しの同時実行が可能

## ● デュアルオペレーションフラッシュメモリ

フラッシュメモリの書込みと消去は、CPU からの命令により、フラッシュメモリの I/F 回路を介して行われます。これにより、基板に実装された状態でデータを効率的に書込み、書き換えることができます。最小セクタは 8K バイトと小さいため、プログラム/データ領域として簡単に扱うことができます。デュアルオペレーションのため、RAM でのプログラム実行だけでなく、フラッシュメモリでのプログラム実行によってもデータを書き換えることができます。また、異なるバンク(バンク A とバンク B) の消去/書込みと読出しを同時に実行できます。

バンク A	バンク B
読出し	
読出し	書込み/セクタ消去
書込み/セクタ消去	読出し
チップ消去	

### <注意事項>

フラッシュメモリマニファクチャコードおよびデバイスコードは利用できません。

## ■ フラッシュメモリへの書込み/消去

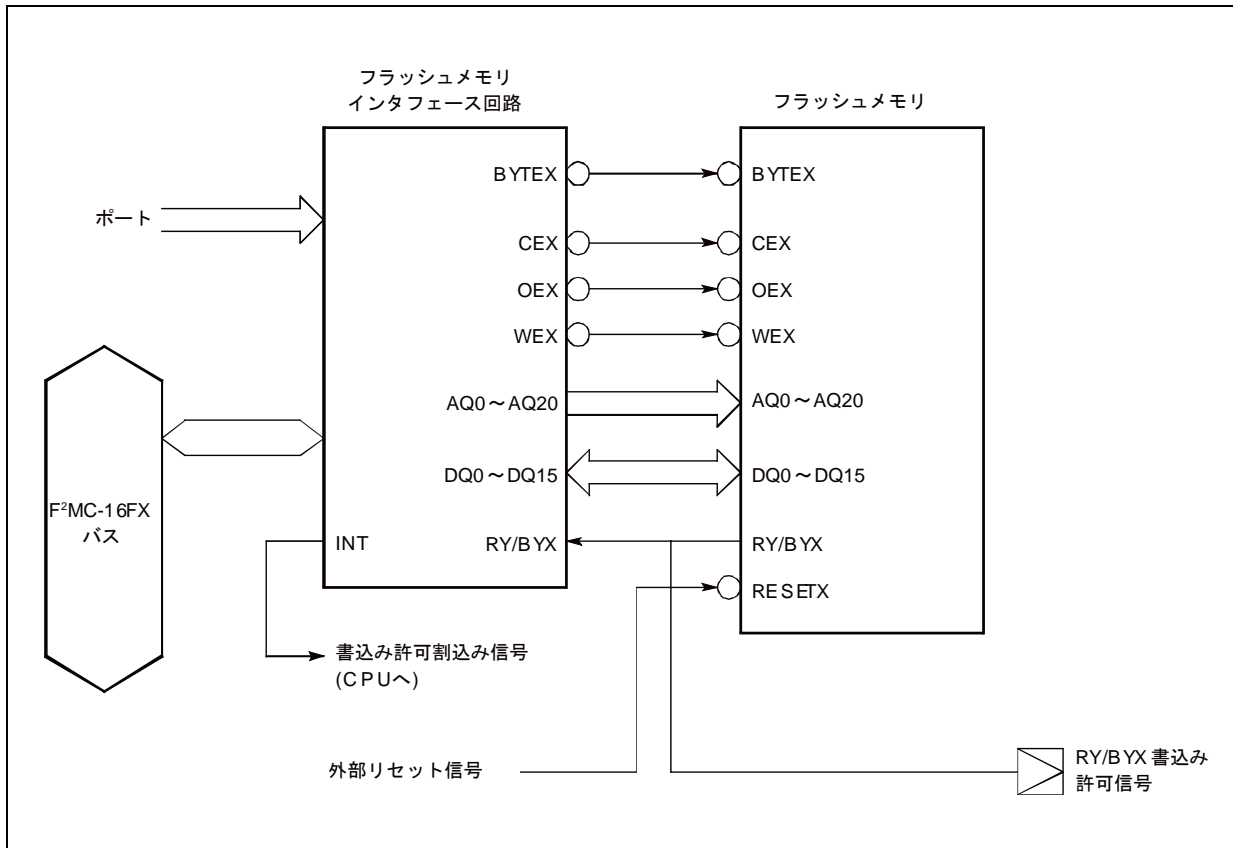
セクタの消去動作は一時停止可能です。一時停止状態では、ほかのセクタからデータを読み出すことができます。デュアルオペレーションフラッシュメモリでは、フラッシュメモリからのプログラム実行と割込みを使用したフラッシュメモリへのデータ書込みが可能です。また、フラッシュメモリにデータを書き込むために実行するプログラムを RAM にダウンロードするという、従来行っていた処理が不要になります。その結果、ダウンロード時間が省かれ、RAM データ保守のための電源シャットダウンを考慮する必要もなくなります。一方のバンクが書込み/セクタ消去の状態(ビジー状態)のときに、もう一方のバンクでプログラムをフェッチできます。ユーザプログラムは、ビジー状態のバンクからの命令のフェッチは禁止です。

## 2. ブロックダイアグラムとセクタ構成

内蔵フラッシュメモリの基本的なブロックダイアグラムとセクタ構成を示します。

### ■ フラッシュメモリのブロックダイアグラム

図 2-1 フラッシュメモリのブロックダイアグラム



### ■ フラッシュメモリのセクタ構成

図 2-2 は、フラッシュメモリのセクタ構成を示します。図中のアドレスは、各セクタの上位および下位アドレスを示します。

フラッシュ A メモリのサイズによって、SA1 から始まり上方に SA4 まで、それぞれ 8K バイトのサイズの小さなセクタが最大 4 つ利用できます。さらに、フラッシュメモリ A には、フラッシュセキュリティおよび MCU 設定用に 512 バイトのセクタが 1 つあります。これは SAS とよばれ、SA1 の下にあります。アドレス空間は 8K バイトですが、サイズは 512 バイトのみです。アドレス空間内でデータが 16 回ミラーリングされます(例えば、DF0200<sub>H</sub> にアクセスすると DF0000<sub>H</sub> のデータを読み出せます)。

フラッシュ A メモリのサイズに応じて、64KB の大セクタは SA39 を先頭として下位アドレス側に向けて SA39~SA32 に配置されます。

フラッシュ B メモリが利用できる製品では、フラッシュ B メモリのサイズに応じて、8KB 単位の 4 つの小セクタは SB1 を先頭として上位アドレス側に向けて SB1~SB4 に配置されます。フラッシュ B はフラッシュ A と同様にフラッシュセキュリティ機能の設定用に 512 バイトのセクタを備えています。

フラッシュ B メモリのサイズに応じて、64KB の大セクタは SB31 を先頭として下位アドレス側に向けて SB31～SB24 に配置されます。

各デバイスにおけるセクタの利用可否については、データシートの「フラッシュデバイスのユーザ ROM メモリマップ」を参照してください。

## ■ バンク構成

フラッシュメモリは2つのバンクで構成されます。

バンク A は、フラッシュ A とフラッシュ B のサイズによって SA32～SA39 と SAS, SB24～SB31 と SBS の範囲になります。バンク B は、SA1～SA4(フラッシュ A), SB1～SB4(フラッシュ B) になります。各デバイスにおけるすべてのセクタの利用可否については、データシートの「フラッシュデバイスのユーザ ROM メモリマップ」を参照してください。

図 2-2 フラッシュメモリのセクタ構成

CPUモード アドレス	フラッシュメモリ モードアドレス	セクタ番号と サイズ	バンク サイド	
FF:FFFF <sub>H</sub>	3F:FFFF <sub>H</sub>	SA39 64kB	フラッシュ A バンク A	固定位置 (フラッシュ A 最上位セクタ )
FF:0000 <sub>H</sub>	3F:0000 <sub>H</sub>			
FE:FFFF <sub>H</sub>	3E:FFFF <sub>H</sub>	SA38 64kB		
FE:0000 <sub>H</sub>	3E:0000 <sub>H</sub>			
FD:FFFF <sub>H</sub>	3D:FFFF <sub>H</sub>	SA37 64kB		
FD:0000 <sub>H</sub>	3D:0000 <sub>H</sub>			
FC:FFFF <sub>H</sub>	3C:FFFF <sub>H</sub>	SA36 64kB		
FC:0000 <sub>H</sub>	3C:0000 <sub>H</sub>			
FB:FFFF <sub>H</sub>	3B:FFFF <sub>H</sub>	SA35 64kB		
FB:0000 <sub>H</sub>	3B:0000 <sub>H</sub>			
FA:FFFF <sub>H</sub>	3A:FFFF <sub>H</sub>	SA34 64kB		
FA:0000 <sub>H</sub>	3A:0000 <sub>H</sub>			
F9:FFFF <sub>H</sub>	39:FFFF <sub>H</sub>	SA33 64kB	フラッシュ B バンク A	64 Kバイトフラッシュセクタの 増加 (デバイスによってフラッ シュ A または B の CPU アドレス になります。 )
F9:0000 <sub>H</sub>	39:0000 <sub>H</sub>			
F8:FFFF <sub>H</sub>	38:FFFF <sub>H</sub>	SA32 64kB		
F8:0000 <sub>H</sub>	38:0000 <sub>H</sub>			
F7:FFFF <sub>H</sub>	37:FFFF <sub>H</sub>	SB31 64kB		
F7:0000 <sub>H</sub>	37:0000 <sub>H</sub>			
F6:FFFF <sub>H</sub>	36:FFFF <sub>H</sub>	SB30 64kB		
F6:0000 <sub>H</sub>	36:0000 <sub>H</sub>			
F5:FFFF <sub>H</sub>	35:FFFF <sub>H</sub>	SB29 64kB		
F5:0000 <sub>H</sub>	35:0000 <sub>H</sub>			
F4:FFFF <sub>H</sub>	34:FFFF <sub>H</sub>	SB28 64kB		
F4:0000 <sub>H</sub>	34:0000 <sub>H</sub>			
F3:FFFF <sub>H</sub>	33:FFFF <sub>H</sub>	SB27 64kB	フラッシュ A バンク B	8 Kバイトフラッシュ A セクタの 増加
F3:0000 <sub>H</sub>	33:0000 <sub>H</sub>			
F2:FFFF <sub>H</sub>	32:FFFF <sub>H</sub>	SB26 64kB		
F2:0000 <sub>H</sub>	32:0000 <sub>H</sub>			
F1:FFFF <sub>H</sub>	31:FFFF <sub>H</sub>	SB25 64kB		
F1:0000 <sub>H</sub>	31:0000 <sub>H</sub>			
F0:FFFF <sub>H</sub>	30:FFFF <sub>H</sub>	SB24 64kB		
F0:0000 <sub>H</sub>	30:0000 <sub>H</sub>			
DF:9FFF <sub>H</sub>	1F:9FFF <sub>H</sub>	SA4 8kB		
DF:8000 <sub>H</sub>	1F:8000 <sub>H</sub>			
DF:7FFF <sub>H</sub>	1F:7FFF <sub>H</sub>	SA3 8kB		
DF:6000 <sub>H</sub>	1F:6000 <sub>H</sub>			
DF:5FFF <sub>H</sub>	1F:5FFF <sub>H</sub>	SA2 8kB		
DF:4000 <sub>H</sub>	1F:4000 <sub>H</sub>			
DF:3FFF <sub>H</sub>	1F:3FFF <sub>H</sub>	SA1 8kB	フラッシュ A バンク A	固定位置 (フラッシュ A 最下位セクタ ) フラッシュ A のセキュリティ領域
DF:2000 <sub>H</sub>	1F:2000 <sub>H</sub>	SAS 512B (8KB)		
DF:1FFF <sub>H</sub>	1F:1FFF <sub>H</sub>		フラッシュ B バンク B	8 Kバイトフラッシュ B セクタの 増加
DF:0000 <sub>H</sub>	1F:0000 <sub>H</sub>			
DE:9FFF <sub>H</sub>	1E:9FFF <sub>H</sub>	SB4 8kB		
DE:8000 <sub>H</sub>	1E:8000 <sub>H</sub>			
DE:7FFF <sub>H</sub>	1E:7FFF <sub>H</sub>	SB3 8kB		
DE:6000 <sub>H</sub>	1E:6000 <sub>H</sub>			
DE:5FFF <sub>H</sub>	1E:5FFF <sub>H</sub>	SB2 8kB		
DE:4000 <sub>H</sub>	1E:4000 <sub>H</sub>			
DE:3FFF <sub>H</sub>	1E:3FFF <sub>H</sub>	SB1 8kB	フラッシュ B バンク A	固定位置 (フラッシュ B 最下位セクタ ) フラッシュ B のセキュリティ領域
DE:2000 <sub>H</sub>	1E:2000 <sub>H</sub>			
DE:1FFF <sub>H</sub>	1E:1FFF <sub>H</sub>	SBS 512B (8KB)		
DE:0000 <sub>H</sub>	1E:0000 <sub>H</sub>			

### 3. モード

フラッシュメモリは、フラッシュメモリモードと CPU モードの 2 つの方法でアクセスできます。フラッシュメモリモードでは、データを外部端子から直接書き込み/消去できます。CPU モードでは、データを CPU から内部バスを介して書き込み/消去できます。『リセットとスタートアップ』の章の表 4-1 に記載されているとおり、モード選択にはモード端子 MD, P17\_0, DEBUG I/F を使用します。

#### ■ フラッシュメモリモード

リセット信号がアクティブのときにモード端子を MD=1, P17\_0=1, DEBUG I/F=1 に設定すると、CPU が停止します。フラッシュメモリインタフェース回路は直接ポートに接続しているため、外部端子から直接制御できます。このモードでは、外部端子からは MCU は標準的なフラッシュメモリと同様にみなされ、フラッシュメモリプログラマを使用して書き込み/消去が可能です。

フラッシュメモリモードでは、フラッシュメモリ自動アルゴリズムがサポートするすべての動作を使用できます。

#### <注意事項>

V<sub>DD</sub>(12 V) 端子を介した MBM29LV200TC のセクタ保護機能はサポートされていません。代わりに、CPU モードでの誤った消去/書き込みを防止するセクタ書き込み保護機能があります。詳細は、「7.5. デュアルオペレーションフラッシュ書き込みアクセス制御

レジスタ 0~1(DFWC0A, DFWC0B, DFWC1A, DFWC1B).」を参照してください。

#### ■ CPU モード

フラッシュメモリは、CPU メモリ空間の DF~FF バンクに配置されています。フラッシュメモリへは、フラッシュメモリインタフェース回路を介して、通常のマスク ROM と同様の読出しアクセスができます。また、CPU からの命令により書き込みアクセスを行うことができます。

フラッシュメモリの書き込み/消去は、CPU からの命令によりフラッシュメモリインタフェース回路を介して実行されるため、このモードでは、MCU が対象ボードにはんだ付けされていても再書き込みが可能です。

## 4. 自動アルゴリズムの起動

フラッシュメモリの書込み/消去は、フラッシュメモリの自動アルゴリズムの起動で実行されます。読出し/リセット、書込み、チップ消去およびセクタ消去コマンドが利用可能です。消去一時停止と再開の機能は、セクタ消去の間、利用可能です。

### ■ コマンドシーケンス表

フラッシュメモリの書込み/消去の自動アルゴリズムは表 4-1 のように、1 バイト～6 バイトまたはワードの連続した書込みで起動されます。

コマンドのデータは下位バイトに書き込んでください(書込みコマンドの書込みデータを除く)。したがって、コマンドは偶数アドレスに書き込む必要があります。

コマンドはバイトモードまたはワードモードで書き込むことができます。ワードアクセスの場合、上位バイトに書かれたデータは無視されます。書込みコマンドでは、4 番目のバス書込みサイクルに使用される(書込みアドレスと書込みデータの) データ幅がフラッシュの書込みモード(バイトまたはワード) を決定します。

このインタフェースには書込みコマンドシーケンサがあり、フラッシュへの書込みシーケンスを自動的に送信できます。書込みコマンドシーケンサはバイトプログラミングとワードプログラミングの両方をサポートします。

以下のコマンドを実行するには書込みコマンドシーケンサを禁止(DFCA, DFCB: CSWE="0") してください。

表 4-1 コマンドシーケンス表

コマンド シーケンス	バス書 込みア クセス	第 1 バス書込み サイクル		第 2 バス書込み サイクル		第 3 バス書込み サイクル		第 4 バス書込み サイクル		第 5 バス書込み サイクル		第 6 バス書込み サイクル	
		アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
読出し/ リセット	1	mmmXXX <sub>H</sub> (偶数)	F0 <sub>H</sub>	-	-	-	-	-	-	-	-	-	-
プログラム 書込み	4	mmmAAA <sub>H</sub>	AA <sub>H</sub>	mmm554 <sub>H</sub>	55 <sub>H</sub>	mmmAAA <sub>H</sub>	A0 <sub>H</sub>	PA	PD	-	-	-	-
チップ消去	6	mmmAAA <sub>H</sub>	AA <sub>H</sub>	mmm554 <sub>H</sub>	55 <sub>H</sub>	mmmAAA <sub>H</sub>	80 <sub>H</sub>	mmmAAA <sub>H</sub>	AA <sub>H</sub>	mmm554 <sub>H</sub>	55 <sub>H</sub>	mmmAAA <sub>H</sub>	10 <sub>H</sub>
セクタ消去	6	mmmAAA <sub>H</sub>	AA <sub>H</sub>	mmm554 <sub>H</sub>	55 <sub>H</sub>	mmmAAA <sub>H</sub>	80 <sub>H</sub>	mmmAAA <sub>H</sub>	AA <sub>H</sub>	mmm554 <sub>H</sub>	55 <sub>H</sub>	sssXXX <sub>H</sub> (偶数)	30 <sub>H</sub>
セクタ消去 一時停止	1	sssXXX <sub>H</sub> (偶数)	B0 <sub>H</sub>	-	-	-	-	-	-	-	-	-	-
セクタ消去 再開	1	sssXXX <sub>H</sub> (偶数)	30 <sub>H</sub>	-	-	-	-	-	-	-	-	-	-

---

**<注意事項>**

- ・ 表中のアドレスは、CPU メモリマップ上の値です。アドレスおよびデータはすべて 16 進数表記です。「X」は任意の値です。
  - ・ コマンド書込み時、CPU/フラッシュアドレスビット 1 は無視されます(プログラムアドレス PA は除く)。したがって、例えば、アドレス AAA または AA8 にコマンドを書き込むことができます。
  - ・ 表中のアドレス"mmm"は、コマンドの動作対象となるフラッシュメモリの非書込み保護セクタ(フラッシュ A/B)を示します。書込み保護セクタを指定した場合、書込みコマンドはフラッシュに送信されません。
  - ・ 表中のアドレス"sss"は、セクタコマンドの動作対象となるフラッシュメモリセクタを示します。「2. ブロックダイアグラムとセクタ構成」を参照してください。
  - ・ PA: 書込みアドレスです。ワードモードで書き込むときは、偶数アドレスのみ指定可能です。バイトモードでは、奇数アドレスも指定できます。
  - ・ PD: 書込みデータです。
  - ・ 不正なアドレスまたはデータを書き込んだり、誤った順番で書き込むと、フラッシュメモリは読出しモードにリセットされます。
  - ・ コマンドの書込みサイクルの間でフラッシュメモリからデータを読出し可能です。コマンド実行は最後の書込みサイクルの後に始まります。
  - ・ フラッシュにコマンドを書き込むことができるのは、対応する書込み許可信号(DFCA:WE, DFCB:WE) が "1"に設定されているときだけです。
  - ・ コマンドは書込み保護されているセクタに書き込まないでください。書込み保護されているセクタへの書込みアクセスは不正アクセスとみなされます。  
コマンドはフラッシュ IF によってキャンセルされます。
  - ・ 読出し/リセットコマンドを使用してコマンドシーケンスを中止できます。1 番目と 2 番目の書込みコマンドおよび 1~5 番目のチップ/セクタ消去コマンドは、コマンド送信後に読出し/リセットコマンドによってキャンセルされます。最後のコマンドを送信した後は、読出し/リセットコマンドで書込みまたは消去動作をキャンセルすることはできません。
-



## 5. 自動アルゴリズム実行状態の確認

フラッシュメモリは自動アルゴリズムで書込み/消去シーケンスを実行します。フラッシュメモリには、その内部動作を終了したかを外部に知らせるためのハードウェアがあります。

### ■ ハードウェアシーケンスフラグ

自動アルゴリズム実行中は、目的のフラッシュセクタに読出しアクセスすると、フラッシュメモリデータの代わりにハードウェアシーケンスフラグのステータスが返されます。これらを使用して、書込み/消去動作の現在の状態をチェックできます。ハードウェアシーケンスフラグは偶数アドレスまたは奇数アドレスから読み出すことができます。

ハードウェアシーケンスフラグは DQ[15,7], DQ[14,6], DQ[13,5], DQ[11,3], DQ[10,2] ビットで構成されます。これらのビットの機能を以下に示します。

- ・ データポーリングフラグ(DQ[15,7])
- ・ トグルビットフラグ(DQ[14,6])
- ・ タイミングリミット超過フラグ(DQ[13,5])
- ・ セクタ消去タイマフラグ(DQ[11,3])
- ・ トグルビット 2 フラグ(DQ[10,2])

表 5-1 ハードウェアシーケンスフラグのビット割当て

ビット番号	[15,7]	[14,6]	[13,5]	[12,4]	[11,3]	[10,2]	[9,1]	[8,0]
ハードウェアシーケンスフラグ	DQ[15,7]	DQ[14,6]	DQ[13,5]	-	DQ[11,3]	DQ[10,2]	-	-

#### <注意事項>

- ・ ほかのビット([12,9,8,4,1,0]) の値は未定義です。ソフトウェアは、これらのビットがどんな値でも対応できるように記述してください。
- ・ フラッシュのハードウェアシーケンスフラグは、対応する書込み許可信号(DFCA/DFCB:WE) の設定にかかわらず読み出すことができます。

#### <注意事項>

フラッシュのハードウェアシーケンスフラグを読み出すためには、以下の制限を守る必要があります。

自動書込み/消去が実行中であるかどうかを判断するには、ハードウェアシーケンスフラグまたはステータスレジスタ(DFSA, DFSB) を読み出します。ハードウェアシーケンスフラグは、より詳細な情報を示します。書込み/消去の正常終了後は、フラッシュは読出し/リセット状態に戻ります。次の動作(同じバンクのデータ読出し、データ書込みなど) を実行する前に、これらのフラグ(RDY かハードウェアシーケンスフラグ) の 1 つを確認してください。

さらに、ハードウェアシーケンスフラグを使用して、2 回目以降のセクタ消去コード書込みが有効であるかどうかを確認することもできます。

表 5-2 に、フラッシュの各種状態における全フラグの機能を示します。

表 5-2 ハードウェアシーケンスフラグとステータスレジスタの機能

状態		ハードウェア シーケンスフラ グのアクセスア ドレス	ハードウェアシーケンスフラグ				
			DQ[15,7]	DQ[14,6]	DQ[13,5]	DQ[11,3]	DQ[10,2]
正常動作時	読出し/リセット	任意アドレス	DATA:[15,7]	DATA:[14,6]	DATA:[13,5]	DATA:[11,3]	DATA:[10,2]
	書込み (内蔵書込みアル ゴリズム動作中)	書込みアドレス (バンクが書込みア ドレスを含む)	~DATA:[15,7]	トグル	0	0	0
		他バンクアドレス	DATA:[15,7]	DATA:[14,6]	DATA:[13,5]	DATA:[11,3]	DATA:[10,2]
	チップ消去 (内蔵消去アルゴ リズム動作中)	任意アドレス	0	トグル	0	1	トグル
	セクタ消去待ち (後続のセクタ消去 要求入力待ち)	消去指定セクタ	0	トグル	0	0	トグル
		他セクタ (実行中バンク)	0	トグル	0	0	トグル
		他セクタ (非実行中バンク)	DATA:[15,7]	DATA:[14,6]	DATA:[13,5]	DATA:[11,3]	DATA:[10,2]
	セクタ消去 (内蔵消去アルゴ リズム動作中)	消去指定セクタ (チップ消去時は全 セクタ)	0	トグル	0	1	トグル
		他セクタ (実行中バンク)	0	トグル	0	1	トグル
		他セクタ (非実行中バンク)	DATA:[15,7]	DATA:[14,6]	DATA:[13,5]	DATA:[11,3]	DATA:[10,2]
	セクタ消去一時停 止	消去指定セクタ	トグルなし	0	0	1	トグル
		他セクタ	DATA:[15,7]	DATA:[14,6]	DATA:[13,5]	DATA:[11,3]	DATA:[10,2]
	フラッシュが消去 一時停止状態の 間、 他セクタの書込み	書込みアドレス (消去一時停止バン ク)	~DATA:[15,7]	トグル	0	1	0
		書込みアドレス (非消去一時停止バン ク)	~DATA:[15,7]	トグル	0	1	0
	チップ/セクタ消去 完了 (読出し/リセット 状態)	消去セクタ	DATA:[15,7] = 1	DATA:[14,6] = 1	DATA:[13,5] = 1	DATA:[11,3] = 1	DATA:[10,2] = 1

状態		ハードウェア シーケンスフラ グのアクセスア ドレス	ハードウェアシーケンスフラグ				
			DQ[15,7]	DQ[14,6]	DQ[13,5]	DQ[11,3]	DQ[10,2]
タイムリミッ ト超過	書込み	書込みアドレス	~DATA:[15,7]	トグル	1	0	0
	一時停止中の書込み	書込みアドレス	~DATA:[15,7]	トグル	1	1	0
	チップ消去	消去中にタイムリミット超過したチップ消去	0	トグル	1	1	トグル
	セクタ消去	消去中にタイムリミット超過したセクタ消去	0	トグル	1	1	トグル
		他セクタ (セクタ消去実行中バンク)	0	トグル	1	1	トグル
		他セクタ (セクタ消去非実行中バンク)	DATA:[15,7]	DATA:[14,6]	DATA:[13,5]	DATA:[11,3]	DATA:[10,2]

各ハードウェアシーケンスフラグの機能は以降のセクションで説明します。

## 5.1. データポーリングフラグ(DQ[15,7])

データポーリングフラグ(DQ[15,7]) は、自動アルゴリズム(書込みまたは消去) が実行中もしくは終了したかを示します。

### ■ データポーリングフラグ(DQ[15,7])

フラッシュの各種状態における DQ[15,7]フラグの機能は表 5-2 で説明しています。

#### ● 書込み

自動書込みアルゴリズムの実行中に読出しアクセスすると、読出し先のフラッシュアドレスに関係なく、書込みデータの bit[15,7](DATA:[15,7]) を反転させた値が出力されます。

自動書込みアルゴリズムの終了後に読出しアクセスすると、通常のフラッシュ読出しアクセスとして扱われ、現在アドレス指定されているフラッシュセルの bit[15,7](DATA:[15,7]) が返されます。したがって、書込みコマンドの終了を正しく特定するには、常に、書込み先のメモリ位置からポーリングを実行する必要があります。

#### ● ワード/バイトの書込み

ワード書込みコマンドでは、上位バイト(DATA[15:8]) と下位バイト(DATA[7:0]) にデータが書き込まれます。DQ[15,7]は DATA[15,7]を反転させた値を示します。

偶数アドレスへのバイト書込みコマンドでは、下位バイト(DATA[7:0]) にのみデータが書き込まれます。

DQ7 は DATA[7]を反転させた値を示します。

奇数アドレスへのバイト書込みコマンドでは、上位バイト(DATA[15:8]) にのみデータが書き込まれます。

DQ15 は DATA[15]を反転させた値を示します。

#### ● チップ消去/セクタ消去

自動アルゴリズムと同じバンクに属すフラッシュアドレスを読み出す場合、自動消去アルゴリズムの実行中に読出しアクセスすると、"0"が出力されます。セクタ消去ウェイト期間中も、"0"が出力されます。

自動消去アルゴリズムの終了後に読出しアクセスするか、ほかのバンクに読出しアクセスすると、通常のフラッシュ読出しアクセスとして扱われ、現在アドレス指定されているフラッシュセルのデータが返されます。消去されたセルにアクセスすると、"1"が返されます。

#### ● セクタ消去一時停止

セクタ消去一時停止状態で読出しアクセスすると、アドレスが消去対象セクタに属す場合は、非トグル値が出力されます。この値からフラッシュの状態を判断することはできません。

アドレスが消去対象セクタに属さない場合は、アドレス指定されているメモリセルの bit[15,7](DATA:[15,7]) が出力されます。

このフラグをトグルビットフラグ(DQ[10,2]) とともに参照することで、フラッシュメモリが消去一時停止状態であるかどうかおよびどのセクタが消去中であるかを判断できます。

## 5.2. トグルビットフラグ(DQ[14,6])

トグルビットフラグ(DQ[14,6]) は、データポーリングフラグ(DQ[15,7]) とともに、自動アルゴリズム(書込みまたは消去) が実行中もしくは終了したかを示します。

### ■ トグルビットフラグ(DQ[14,6])

フラッシュの各種状態における DQ[14,6]フラグの機能は表 5-2 で説明しています。

#### ● 書込みとセクタ消去

自動アルゴリズムと同じバンクに属すフラッシュアドレスを読み出す場合、自動書込み/消去アルゴリズムの実行中に連続して読出しアクセスすると、読出しサイクルごとに DQ[14,6]フラグがトグル動作します。自動アルゴリズムの終了後に読出しアクセスすると、通常のフラッシュ読出しアクセスとして扱われ、現在アドレス指定されているフラッシュセルの bit[14,6](DATA:[14,6]) が返されます。消去されたセルにアクセスすると、"1"が返されます。

#### ● チップ消去

自動書込み/チップ消去アルゴリズムの実行中に連続して読出しアクセスすると、読出し先のフラッシュアドレスに関係なく、読出しサイクルごとに DQ[14,6]フラグがトグル動作します。自動アルゴリズムの終了後に読出しアクセスすると、通常のフラッシュ読出しアクセスとして扱われ、現在アドレス指定されているフラッシュセルの bit[14,6](DATA:[14,6]) が返されます。消去されたセルにアクセスすると、"1"が返されます。

#### ● セクタ消去一時停止

セクタ消去一時停止状態で読出しアクセスすると、アドレスが消去対象セクタに属す場合は、DQ[14,6] = 0 が出力されます。アドレスが消去対象セクタに属さない場合は、アドレス指定されているメモリセルの bit[14,6](DATA:[14,6]) が出力されます。

### 5.3. タイミングリミット超過フラグ(DQ[13,5])

タイミングリミット超過フラグ(DQ[13,5]) は、自動アルゴリズムの実行がフラッシュメモリで規定されたタイミング(内部パルス計数) を超えていることを示します。

#### ■ タイミングリミット超過フラグ(DQ[13,5])

フラッシュの各種状態における DQ[13,5]フラグの機能は表 5-2 で説明しています。

##### ● 書込みとセクタ消去

自動アルゴリズムと同じバンクに属するフラッシュアドレスを読み出す場合、自動書込み/消去アルゴリズムの実行中に読出しアクセスすると、DQ[13,5]フラグのステータスが出力されます。

自動書込み/消去アルゴリズムの正常終了後に読出しアクセスすると、通常のフラッシュ読出しアクセスとして扱われ、現在アドレス指定されているフラッシュセルの bit[13,5](DATA:[13,5]) が返されます。

DQ[13,5]フラグは、自動アルゴリズムの実行がフラッシュメモリ内部で規定された回数を超え、異常状態になったことを示します。

自動アルゴリズムが正常に動作を継続している場合には"0"、何らかの異常が発生している場合には"1"が読み出されます。

DQ[13,5]が"1"で、DQ[14,6]と DQ[15,7]が自動アルゴリズム実行中であることを示している場合は、書込み/消去動作が正常に行われていないと判断できます。

DQ[13,5]フラグは、フラッシュメモリセルの故障や特性劣化などを検出するためのフェールセーフ用のフラグとなります。そのため、ほかのステータスフラグビットとは異なり、弊社推奨動作条件においては、通常このフラグがセットされることはありません。

しかし、例えば、既に"0"が書き込まれているフラッシュのデータビットに"1"を書き込もうとした場合<sup>\*1</sup>やハード的な故障など何らかの原因でフラッシュが正常に書込み/消去動作を完了できなかった場合に、本フラグが"1"にセットされます。この状態になったときは、読出し/リセットコマンドを実行してください。<sup>\*2</sup>

DQ[13,5]が"1"になる時間とデータシートの「フラッシュメモリ書込み/消去特性」の書込み/消去時間には関連ありません。例えば、上記の正常にフラッシュが書き込めなかった例において、最大データ書込み規格が 400μs であったとき DQ[13,5]がデータ書込み開始から 400μs 後に"1"になるわけではありません。タイミングリミット超過フラグがフラッシュ内部で規定された回数を超える時間は、最大書込み規格に対して十分長い時間になるように設計されています。<sup>\*3</sup> 消去の場合も同様です。

---

**<注意事項>**

- \*1: 0 から 1 へのデータの書込みは禁止です。データを書き込んだ際、DQ[13,5]が必ず"1"になることは保証できません。"0"のビットに"1"を書き込むことで DQ[13,5] が"1"になることを期待したプログラミングは行わないでください。
- \*2: フラッシュの自動アルゴリズムが停止していない状態でマイコンをスタンバイ状態にした場合、フラッシュおよびレギュレータなどの回路が動作状態となり、スタンバイ状態での消費電流が増加します。そのため、フラッシュの書込み/消去動作が正常終了する、もしくは異常時にはフラッシュの自動アルゴリズムを停止させ、フラッシュを初期化したうえでスタンバイ状態にしてください。
- \*3: 自動アルゴリズム開始から DQ[13,5]が"1"になるまでの時間に関し、タイミング超過となる事象の組み合わせが多く、最大値を規定することは困難です。そのため、DQ[13,5]が"1"になることを期待したプログラミングは行わないでください。

セクタ消去時、DQ[13,5] が"1"となった場合、これが自動アルゴリズムが終了した後のメモリ内容の読出し値によるものか、それとも自動アルゴリズムの異常によるものなのかを判定してください。そのためにもう一度読出しを行い、DQ[15,7] や DQ[14,6]で自動アルゴリズムが継続しているかを確認してください。再度の読出しで自動アルゴリズムが継続している場合には異常が発生したと判定できます。「図 6-2 フラッシュメモリのセクタ消去手順の例」を参照してください。

---

**● チップ消去**

自動チップ消去アルゴリズムの実行中に読出しアクセスすると、読出し先のフラッシュアドレスに関係なく、DQ[13,5]フラグのステータスが出力されます。

自動チップ消去アルゴリズムの正常終了後に読出しアクセスすると、通常のフラッシュ読出しアクセスとして扱われ、現在アドレス指定されているフラッシュセルの bit[13,5](DATA:[13,5]) が返されます。

DQ[13,5]フラグは、自動アルゴリズムの実行がフラッシュメモリ内部で規定された回数を超え、異常状態になったことを示します。

自動アルゴリズムが正常に動作を継続している場合には"0"、何らかの異常が発生している場合には"1" が読み出されます。

DQ[13,5]が"1"で、DQ[14,6]と DQ[15,7]が自動アルゴリズム実行中であることを示している場合は、書込み/消去動作が正常に行われていないと判断できます。

**● セクタ消去一時停止**

セクタ消去一時停止状態で読出しアクセスすると、アドレスが消去対象セクタに属す場合は、DQ[13,5] = 0 が出力されます。

アドレスが消去対象セクタに属さない場合は、アドレス指定されているメモリセルの bit[13,5](DATA:[13,5]) が出力されます。

## 5.4. セクタ消去タイマフラグ(DQ[11,3])

セクタ消去タイマフラグ(DQ[11,3]) は、セクタ消去コマンドの実行が既に開始されたかまたはセクタ消去ウェイト期間中であるかを示します。ウェイト期間中は、追加のセクタ消去コマンドを指定できません。

### ■ セクタ消去タイマフラグ(DQ[11,3])

セクタ消去コマンドシーケンスの指定後、セクタ消去ウェイト期間が適用されます。この期間中は、追加のセクタ消去コマンドを指定できます。DQ[11,3]フラグを使用して、このウェイト期間を判断できます。フラッシュの各種状態における DQ[11,3]フラグの機能は表 5-2 で説明しています。

### ● セクタ消去

自動消去アルゴリズムの実行中に読出しアクセスすると、DQ[11,3]フラグのステータスが出力されます。セクタ消去ウェイト期間中に読出しアクセスした場合は、"0"が返されます。このウェイト期間を過ぎると、実際のセクタ消去が開始され、DQ[11,3]フラグへの読出しアクセスで"1"が返されます。DQ[11,3]フラグが"1"のときは、追加のセクタ消去コマンドを指定しても無視されます。

自動消去アルゴリズムの正常終了後に読出しアクセスすると、通常のフラッシュ読出しアクセスとして扱われ、現在アドレス指定されているフラッシュセルの bit[11,3](DATA:[11,3]) が返されます。消去されたセルにアクセスすると、"1"が返されます。

複数のセクタ消去コマンドの指定に関する詳細は、「6.5. 任意データ消去(セクタ消去)」を参照してください。

追加のセクタ消去コマンドを指定する前後に DQ[11,3]フラグを確認してください。消去コマンドの指定後に DQ[11,3]が"1"として読み出された場合、追加のセクタ消去要求は受け入れられていない可能性があります。

### ● セクタ消去一時停止

セクタ消去一時停止状態で読出しアクセスすると、アドレスが消去対象セクタに属す場合は、DQ[11,3] = 1 が出力されます。

アドレスが消去対象セクタに属さない場合は、アドレス指定されているメモリセルの bit[11,3](DATA:[11,3]) が出力されます。



## 5.5. トグルビット 2 フラグ(DQ[10,2])

トグルビット 2 フラグ(DQ[10,2]) は、セクタが消去一時停止状態にあるかどうかを示します。また、どのセクタが消去指定されているかを確認するためにも使用できます。

### ■ トグルビット 2 フラグ(DQ[10,2])

DQ[10,2]トグルビットを DQ[14,6]トグルビットとともに使用して、フラッシュがセクタ消去一時停止状態にあるかまたは消去アルゴリズムが現在実行中であるかを判断できます。

フラッシュの各種状態における DQ[10,2]フラグの機能は表 5-2 で説明しています。

#### ● セクタ/チップ消去

自動セクタ消去アルゴリズムの実行中に連続して読出しアクセスすると、読出しアドレスが消去指定セクタを指している場合は、読出しサイクルごとに DQ[10,2]フラグがトグル動作します。実行中バンクの別のセクタに読出しアクセスした場合にも、トグルが返されます。チップ消去の場合は、すべてのセクタで DQ[10,2]がトグル動作します。

自動アルゴリズムの終了後に読出しアクセスすると、通常のフラッシュ読出しアクセスとして扱われ、現在アドレス指定されているフラッシュセルの bit[10,2](DATA:[10,2]) が返されます。消去されたセルにアクセスすると、"1"が返されます。

#### ● セクタ消去一時停止

セクタ消去一時停止状態で連続して読出しアクセスしたときにも、読出しアドレスが消去指定セクタを指している場合は、読出しサイクルごとに DQ[10,2]フラグがトグル動作します。別のセクタに読出しアクセスした場合は、現在アドレス指定されているフラッシュセルの bit[10,2](DATA:[10,2]) が返されます。

消去一時停止状態のセクタを検出するときは、DQ[10,2]と DQ[14,6]の 2 つを使用します(DQ[10,2]がトグル動作、DQ[14,6]はトグル動作でない)。

消去指定されていないセクタは、消去一時停止状態の間、書込みができます。セクタ消去一時停止状態において書込みを行っている間にこのようなセクタを読み出すと、DATA:[10,2] = 0 が返されます。

#### ● タイミングリミット超過

チップまたはセクタ消去動作が正常に行われていない場合(タイミングリミット超過、DQ[13,5]=1)、DQ[10,2]を使用して、タイムアウト状態を引き起こしたバンクを特定できます。DQ[10,2]は、タイムアウトを引き起こしたバンクにアクセスした場合にのみトグル動作します。

## 6. 書込み/消去の詳細説明

フラッシュメモリの読出し/リセット、書込み、チップ消去、セクタ消去、セクタ消去一時停止、セクタ消去再開のそれぞれの操作手順を説明します。

### ■ フラッシュメモリの書込み/消去の詳細説明

コマンドシーケンスの実行により(「4. 自動アルゴリズムの起動」の表 4-1 を参照してください)

フラッシュメモリは、読出し/リセット、書込み、チップ消去、セクタ消去、セクタ消去一時停止、セクタ消去再開の自動アルゴリズムを実行します。

コマンドシーケンスの書込みアクセスの間、フラッシュメモリに対する書込みが、コマンドシーケンスで定義された書込みだけであれば、フラッシュメモリ外の領域に対する読出し/書込みサイクルを実行できます。また、フラッシュメモリに対しても、コマンドシーケンス書込みアクセスの間、読出しは可能です。自動アルゴリズム終了は、ハードウェアシーケンスフラグか、RDY フラグ(DFSA:RDY/DFSB:RDY) のポーリングか割込みによって検出できます。正常終了時は、フラッシュメモリは、読出し/リセット状態に戻ります。

フラッシュメモリの各操作は以下の節で説明します。

- ・ 読出し/リセット状態の設定
- ・ 書込みコマンドシーケンスでのデータ書込み
- ・ 書込みコマンドシーケンサを使用したデータ書込み
- ・ 全データ消去(チップ消去)
- ・ 任意データ消去(セクタ消去)
- ・ セクタ消去一時停止
- ・ セクタ消去再開

## 6.1. 読出し/リセット状態の設定

読出し/リセットコマンドを実行してフラッシュメモリを読出し/リセット状態にする手順について説明します。

### ■ フラッシュメモリを読出し/リセット状態にする

読出し/リセットはフラッシュメモリの初期状態です。電源投入時およびコマンドの正常終了時には、フラッシュメモリは読出し/リセット状態に設定されます。読出し/リセット状態では、任意のコマンドの入力が受け付けられません。

タイムアウト状態(DQ[13,5]=1) では、コマンドシーケンス表(「4. 自動アルゴリズムの起動」の表 4-1 を参照してください) の読出し/リセットコマンドを対象となるフラッシュメモリのセクタに連続して送ることにより、フラッシュメモリを読出し/リセット状態にできます。

読出し/リセットコマンドは、通常データ読出しには必要ではありません。読出し/リセットコマンドは主に、コマンドが正常に終了しないときに、自動アルゴリズムを初期化するために使用します。

読出し/リセットコマンドを使用してコマンドシーケンスを中止することもできます。1 番目と 2 番目の書込みコマンドおよび 1~5 番目のチップ/セクタ消去コマンドは、コマンド送信後に読出し/リセットコマンドによってキャンセルされます。読出し/リセットコマンドは、書込み/消去自動アルゴリズムの通常動作には影響しません。実行中の書込み/消去コマンドへの割込みのために読出し/リセットコマンドを使用することはできません。また、セクタ消去一時停止状態からのリセットはできません。

## 6.2. 書込みコマンドシーケンスでのデータ書込み

書込みコマンドシーケンスを送信し、フラッシュメモリにデータを書き込む手順について説明します。

### ■ 自動書込みアルゴリズムの開始

コマンドシーケンス表(「4. 自動アルゴリズムの起動」の表 4-1 を参照してください) の書込みコマンドをフラッシュメモリへ連続して送ることにより、フラッシュメモリのデータ書込み自動アルゴリズムを起動できます。4 番目のコマンドサイクルにより目的のアドレスへの書込みが終了すると、書込みの自動アルゴリズムが開始します。

### ● アドレス指定

フラッシュの書込みはバイト単位かワード単位で可能です。書込みデータサイクルにおいてワード単位で書き込む場合、偶数アドレスを指定しなければなりません。

書込みはどのようなアドレスの順番でも、セクタの境界を超えても行えますが、1 回の書込みコマンドの実行によって書き込まれるデータは 1 バイトもしくは 1 ワードのみです。

### ● データ書込み上の注意

書込みによってフラッシュのデータビットを"0"から"1"に戻すことはできません。既に"0"に設定されているビットに"1"を書き込もうとすると、データポーリングアルゴリズム(DQ[15,7]) またはトグル動作(DQ[14,6]) は終了せず、フラッシュメモリ内部で規定された回数を超えた後にタイミングリミット超過フラグ(DQ[13,5]) がセットされます。"0"が書き込まれているビットは、消去動作によってのみ"1"に設定できます。

自動書込みアルゴリズム実行中は、すべてのコマンドが無視されます。書込み中に CPU リセット(電源リセット、外部リセット、ソフトウェアリセット、ウォッチドッグリセットまたはクロック停止リセット) が発生した場合、書込みアドレスのデータは保証されません。低消費電力モードによりスタンバイモードに遷移した場合にも、この現象が発生します。(ESMCR:FPDS)

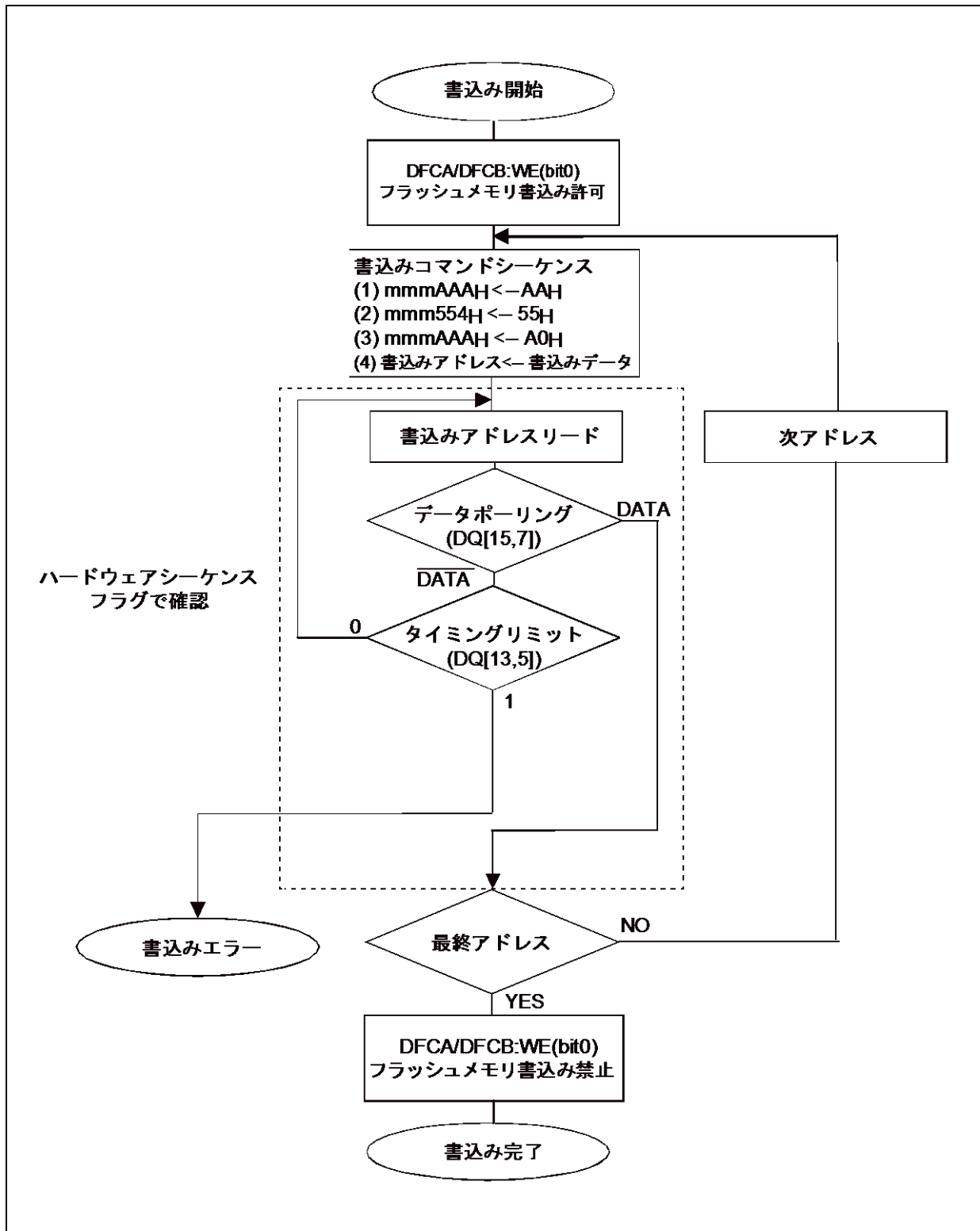
### ■ フラッシュメモリへの書込み例

図 6-1 は、フラッシュメモリへの書込み手順の例を示しています。ハードウェアシーケンスフラグ(「5. 自動アルゴリズム実行状態の確認」を参照してください) は、フラッシュメモリの自動アルゴリズムの状態を判定するのに使用できます。本例では、データポーリングフラグ(DQ[15,7]) を書込みの終了を確認するのに使用しています。ステータスレジスタ(DFSA/DFSB:PGMS) も、書込み終了の確認に使用できます。

書き込もうとするアドレスでデータポーリングを実行してください。それ以外のアドレスでは書込みコマンドの終了における DQ[15,7]フラグの変化を検出できません。

書込み自動アルゴリズムの開始時または終了時には、それと同期してフラッシュメモリが自動アルゴリズム実行状態から読出し/リセットまたはセクタ消去一時停止状態に、あるいはその逆に切り換わります。

図 6-1 フラッシュメモリ書き込み手順の例



---

**<注意事項>**

アドレス"mmm"は、コマンドの操作対象である保護されていないフラッシュメモリセクタを指している必要があります。

---

## 6.3. 書込みコマンドシーケンサを使用したデータ書込み

書込みコマンドシーケンスを手動で実行する代わりに、書込みコマンドシーケンサを使用してデータを書き込む方法を説明します。

### ■ 書込みコマンドシーケンサの使用

フラッシュへの書込みには、前セクションの書込みコマンドシーケンスの手動実行によるダイレクトモード(DFCA:WE=1, CSWE=0 / DFCB:WE=1, CSWE=0) と、書込みコマンドシーケンサ使用(DFCA:WE=1, CSWE=1 / DFCB:WE=1, CSWE=1) の2つの方法があります。

書込みコマンドシーケンサ起動後、フラッシュへの CPU の書込みアクセスはすべて、フラッシュメモリへの書込み要求として扱われます。フラッシュインタフェースによって、各書込みデータの前に書込みコマンドシーケンスが付加されます。DFCA/DFCB:WE, CSWE が"1"の間、フラッシュメモリにほかのコマンドシーケンスを実行することはできません。

### ● 書込みコマンドシーケンサの起動/停止

リセット後は、書込みコマンドシーケンサは常に停止状態になります。DFCA/DFCB:CSWE, WE を"1"に設定することによって、動作可能な状態にできます。コマンドシーケンサの起動は、フラッシュが読出し/リセット状態またはセクタ消去一時停止状態でなければならず、フラッシュにコマンドシーケンス(新しいコマンドシーケンスの最初の書込みサイクルを含む) が書き込まれていない状態でなければなりません。

実行中の書込みコマンドシーケンサは停止できません。コマンドシーケンサによるフラッシュへのデータ書込み中は、CSWE, WE ビットが存在する DFC レジスタに書き込むことはできません。

### ● アドレス指定

書込みコマンドシーケンサモードでは、バイト単位かワード単位でのフラッシュ書込みが可能です。ワード単位で書き込む場合は、偶数アドレスを指定しなければなりません。

### ● 書込みコマンドシーケンサ動作状態でのフラッシュメモリの書込みと読出し

フラッシュは書込みコマンドシーケンサがアイドル状態(DFSA/DFSB:ST[1:0]="00") のときにのみ書込み/読出しができます。コマンドシーケンサが書込みコマンド実行状態(DFSA/DFSB: ST[1:0] = "01") のとき、CPU の読出しアクセスは書込みコマンドの実行が終了するまで待ちます。ユーザがハードウェアシーケンスフラグをフラッシュ確認状態(DFSA/DFSB: ST[1:0] = "10") のバンクから読み出して状態を確認することもできます。

書込みコマンドシーケンサがアイドル状態以外の場合、フラッシュメモリへの書込みアクセスは無視され、エラーフラグ DFISA/DFISB:WBINT がセットされます。書込みコマンドシーケンサ動作時、フラッシュへ書込みする前には、かならず書込みコマンドシーケンサステータスビット DFSA/DFSB: ST [1:0]を確認してください。CSWE が設定されていても WE が設定されていない場合、コマンドシーケンサはエラーを返さずに書込みコマンドを無視します。

## ■ 書込みコマンドシーケンサの割込み機能と DMA アクセス

書込みコマンドシーケンサは一度に 1 つの書込みコマンドしか扱うことができません。書込み動作中、2 番目の書込み要求は無視されます。書込み動作の進捗は書込みコマンドシーケンサの状態を読み出すか、割込み機能を使用することによってチェックできます。DMA 機能を使用することによって、メモリブロックを転送できます。書込みエラーは 2 種のエラー割込みフラグで示されます。

### ● IDLINT: アイドル割込み(DMA による書込み)

DFISA/DFISB:IDLINT フラグは書込みコマンドシーケンサが新しい書込みデータを受け取る準備ができると、セットされます。これは書込みコマンドシーケンサを動作可能にした(DFCA/DFCB:CSWE, WE を"1"に設定) 後と、コマンドシーケンサが書込み動作を終了したときになります。このフラグの割込みと DMA 機能は、対応する DFICA/DFICB:IDLINTE ビットによって許可されます。(DMA 使用時は IDLINTE のみを許可し、FININTE は許可しないでください)

このフラグはフラッシュへの DMA 転送を起動するのに使用できます。書込みコマンドシーケンサの起動前に、DMA および割込みモジュールを設定しておいてください。DFCA/DFCB:CSWE, WE および DFICA/DFICB:IDLINTE を"1"に設定すると、DMA 動作を開始する最初の割込みが発生します。

DMA 転送での最終データの書込み終了は以下の方法で確認をしてください。DSR:DTEn=1 かつ、DSSR:STPn=0 のときに DFSA/DFSB:RDY=1 であること。

ただし、コマンドシーケンサがコマンドをフラッシュに送信している期間、DFSA/DFSB:RDY からは 1 が読み出されます。したがって書込みの完了を確実に確認するため、DFSA/DFSB:RDY ビットが 1 であることを少なくとも 2 回は確認してください。(コマンド送信期間に 2 回 RDY から 1 が読み出されることはありません)

### ● FININT: 終了割込み(CPU による書込み)

DFISA/DFISB:FININT フラグは書込みコマンドが正常終了した後に設定されます。このフラグは、開始された書込みコマンドの結果と書込みコマンドシーケンサが次のデータを書き込めるようになったことを CPU へ通知するために使用できます。このフラグの割込み機能は、対応する DFICA/DFICB:FININTE ビットによって許可されます。

### ● エラー割込み(書込みエラーまたは書込みコマンドの無視)

書込みコマンドシーケンサを使用時の書込み動作の異常終了は、以下のエラーフラグで示されます

- ・ 書込みエラーフラグ(DFISA/DFISB:ERINT): 書き込まれたデータが正しくない場合、このエラーフラグがセットされます。
- ・ 書込みビジー割込みフラグ(DFISA/DFISB:WBINT フラグ) フラッシュメモリがビジー状態のときに CPU によってコマンドが書き込まれると、このエラーフラグがセットされます。

これらの 2 つのフラグの割込み機能は、対応する DFICA/DFICB:ERINTE, WBINTE ビットによって許可されます。また、エラー割込み時には同時に DMA 停止要求も送信されます。



## 6.4. 全データ消去(チップ消去)

---

チップ消去コマンドを実行し、フラッシュメモリモジュールの全データを消去する手順について説明します。

---

### ■ フラッシュメモリモジュールの全データ消去(チップ消去)

コマンドシーケンス表(「4. 自動アルゴリズムの起動」の表 4-1 を参照してください) のチップ消去コマンドを、対象となるフラッシュメモリモジュールの任意のセクタへ連続して送ることにより、フラッシュメモリモジュールのすべてのデータを消去できます。

チップ消去コマンドは 6 回のバス動作で実行されます。6 サイクル目の書込みが完了した時点でチップ消去動作が開始されます。チップ消去では、消去の前にユーザがフラッシュメモリに 0 を書き込む必要はありません。自動消去アルゴリズムの実行中に、全セルが消去される前にフラッシュメモリによって自動的に 0 が書き込まれます(プリプログラミング)。

## 6.5. 任意データ消去(セクタ消去)

セクタ消去コマンドを実行し、フラッシュメモリの任意のデータを消去(セクタ消去) する手順について説明します。セクタごとの消去が可能であり、複数のセクタを同時に指定することもできます。

### ■ セクタ消去自動アルゴリズムの起動

コマンドシーケンス表(「4. 自動アルゴリズムの起動」の表 4-1 を参照してください) のセクタ消去コマンドを対象となるフラッシュメモリセクタへ連続して送ることにより、フラッシュメモリの任意のセクタを消去できます。

#### ● セクタ指定方法

セクタ消去は、対象セクタにセクタ消去コマンド(6 回の書き込み動作) を実行することによって、開始します。対象セクタの偶数アドレスに最後のコマンド(30<sub>H</sub>) を実行した後に、セクタ消去ウェイト期間が約 35 ~70 $\mu$ s 発生します。複数のセクタ消去には、この待ち時間の中に次の対象セクタへ消去コード 30<sub>H</sub>(コマンドシーケンスの 6 番目のサイクル) を書き込みます。この場合、セクタ消去コマンドの 5 番目までのサイクルを書き込む必要はありません。

#### ● 複数のセクタを指定する場合の注意

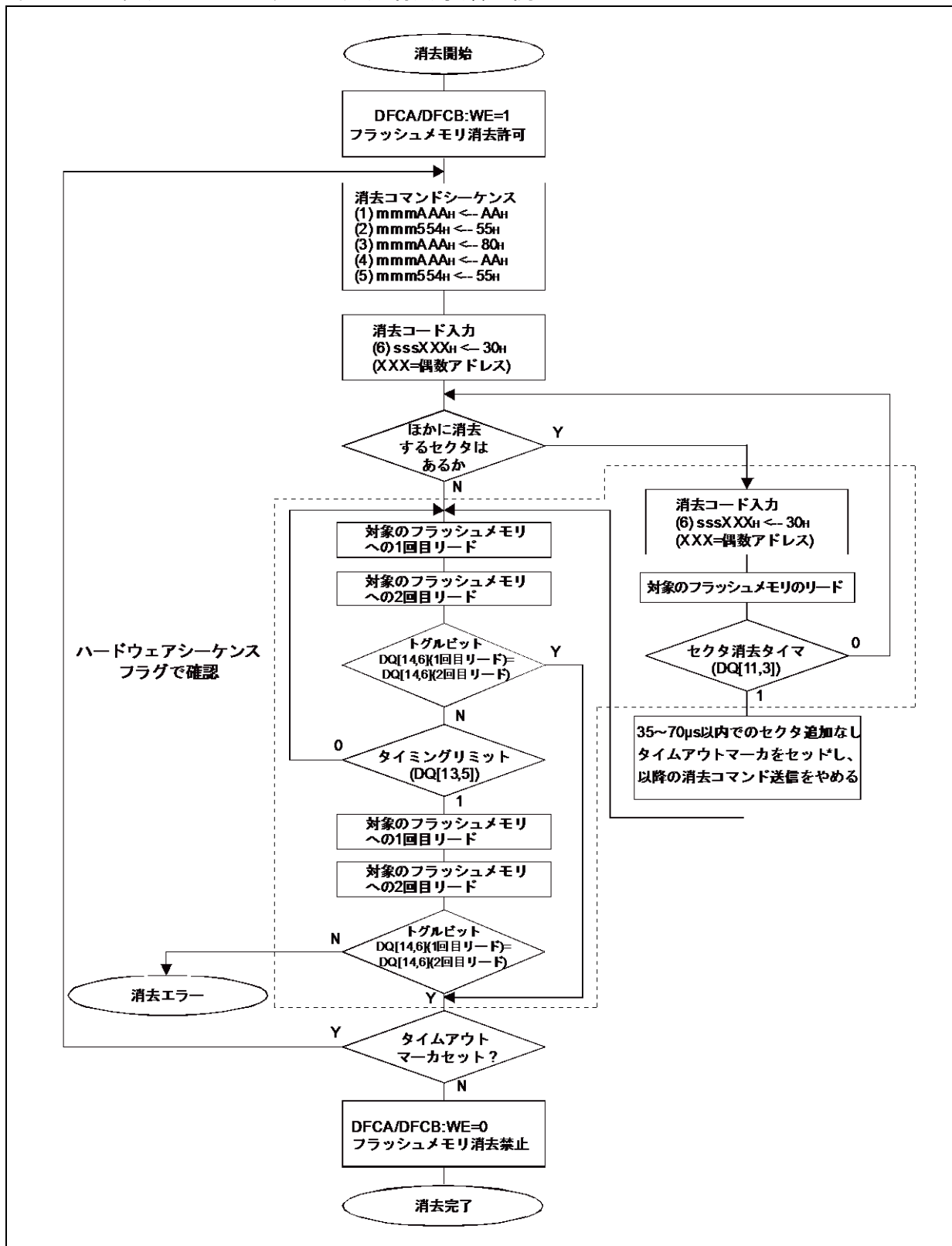
最初のセクタ消去コード(30<sub>H</sub>) の書き込み後、35~70 $\mu$ s のセクタ消去タイムアウト期間終了により消去が開始されます。セクタ消去タイムアウト期間は、セクタ消去コードの書き込みごとに延長されません。消去コードを書き込むたび、その受け入れを確認するために、セクタ消去タイマフラグ(DQ[11,3])を確認してください。

### ■ フラッシュメモリのセクタ消去例

ハードウェアシーケンスフラグ(「5. 自動アルゴリズム実行状態の確認」を参照してください) を用いることでフラッシュメモリ内部の自動アルゴリズムの状態を判定できます。図 6-2 は、消去終了の確認にトグルビットフラグ(DQ[14,6])を使用した例を示しています。

例えば、消去エラー状態を確実に識別するには、DQ[13,5]=1 が読み出された後に、再度 DQ[14,6]トグルビットを確認する必要があります。

図 6-2 フラッシュメモリのセクタ消去手順の例



\*: 追加したセクタ消去コマンドが無効の場合、図 6-2 のように「タイムアウトマーカセット？」で「YES」へ分岐して、再度セクタ消去コマンドを発行してください。

---

**<注意事項>**

アドレス"mmm"は、コマンドの操作対象であるフラッシュメモリモジュールを指している必要があります。  
アドレス"sss"は、コマンドの操作対象であるフラッシュメモリセクタを指している必要があります。

---

## 6.6. セクタ消去一時停止

セクタ消去一時停止コマンドを実行し、フラッシュメモリセクタ消去の一時停止を行う手順について説明します。この状態では、消去指定されていないセクタでのデータの読出しまたは書き込みが可能です。

### ■ フラッシュメモリのセクタ消去一時停止

セクタ消去一時停止コマンド(B0<sub>H</sub>) を対象のフラッシュメモリセクタの偶数アドレスに送ることにより、フラッシュメモリのセクタ消去を一時停止できます。このコマンドを実行すると、実行中のセクタ消去動作が一時停止します。この一時停止状態では、消去指定されていないセクタでのデータの読出し、あるいは書き込みが可能です。再度の消去操作はできません。

セクタ消去一時停止コマンドは、セクタ消去実行中またはセクタ消去タイムアウト期間中のみ有効です。このコマンドは、チップ消去中や書き込み中は無視されます。セクタ消去一時停止中に、セクタ消去一時停止コマンドを実行しても、コマンドは無視されます。

セクタ消去タイムアウト期間中に、セクタ消去一時停止コマンドを入力した場合、直ちにセクタ消去タイムアウトが終了し、要求された消去動作が一時停止状態になります。消去動作中に消去一時停止コマンドを実行した場合、最大 35 $\mu$ s 後にフラッシュが消去一時停止状態になります。

ステータスレジスタ(DFSA/DFSB: ESPS) は、一時停止コマンドがフラッシュメモリに送信されたことを示しています。フラッシュが一時停止状態になっているかどうかについては、DFSA/DFSB:RDY またはハードウェアステータスフラグを確認してください。

### ● フラッシュのセクタ消去一時停止機能の使用上の注意

セクタ消去を再開した後、セクタ消去一時停止コマンドを実行する前に、最小 2ms のウェイト時間が必要です。

## 6.7. セクタ消去再開

---

セクタ消去再開コマンドを実行し、一時停止したフラッシュメモリセクタ消去を再開する手順について説明します。

---

### ■ フラッシュメモリのセクタ消去再開

セクタ消去再開コマンド(30<sub>H</sub>) を対象のフラッシュメモリモジュールの偶数アドレスに送ることにより、一時停止したフラッシュメモリセクタ消去を再開できます。セクタ消去中に、セクタ消去再開コマンドを実行しても無視されます。

セクタ消去再開コマンドは、セクタ消去一時停止コマンドによって設定されたセクタ消去一時停止状態からセクタ消去を再開するために使用されます。

## 6.8. セクタ消去/書込み保護

意図しない消去または書込みからフラッシュのセクタを保護するための手順について説明します。

### ■ セクタ書込み保護機能

フラッシュの個々のセクタは、フラッシュメモリ書込み制御レジスタの設定によって(セクタ消去コマンドによる) 消去または(書込みコマンドによる) 書込みから保護できます。これらのレジスタの説明は、「7.5. デュアルオペレーションフラッシュ書込みアクセス制御

レジスタ 0~1(DFWC0A, DFWC0B, DFWC1A, DFWC1B)」を参照してください。この機能を使用すると、指定されたフラッシュセクタの意図しない消去または再書込みがアプリケーションによって実行されることを防止できます。ただし、パラレルフラッシュ書込みモードあるいはシリアル通信モードではフラッシュメモリの書込み/消去が可能です。

書込み保護されているセクタにコマンドシーケンスを送信しようとする、キャンセルされます。どのコマンドシーケンスを書き込もうとしてもキャンセルされます。したがって、フラッシュメモリにコマンドシーケンスを送信する場合は、書込み保護されていないセクタだけをアドレス指定する必要があります。フラッシュメモリに 1 つでも書込み保護されたセクタがあると、チップ消去動作は実行できません。チップ消去を許可するには、存在しないセクタを含めて、すべての書込み制御ビットを"1"に設定する必要があります。

パラレルフラッシュ書込みモードでは、セクタ書込み保護の影響はありません。

### ■ ユーザプログラムによる書込み保護の設定

デュアルオペレーションフラッシュ書込みアクセス制御レジスタ(DFWC0A, DFWC0B, DFWC1A, DFWC1B)に直接書き込むことにより、ユーザプログラムでセクタ書込み保護を設定できます。

### ■ ユーザプログラムを使用しない書込み保護の設定

フラッシュメモリの特定領域(ROM 構成ブロック RCBA/RCBB) にデータを書き込むことによって、フラッシュメモリの個々のセクタを消去や書込みから保護できます。この場合、書込み保護を起動するためにユーザプログラムの介入は必要ありません。

フラッシュメモリ A のセクタの書込み保護は、RCBA に設定されたフラッシュメモリ書込み保護起動マーカ A(FWPAMA1/0) とフラッシュメモリ書込み保護セクタマーカ A(FWPSMA0, FWPSMA4) によって定義されます。

フラッシュメモリ B のセクタの書込み保護は、RCBB に設定されたフラッシュメモリ書込み保護起動マーカ B(FWPAMB1/0) とフラッシュメモリ書込み保護セクタマーカ B(FWPSMB0, FWPSMB3) によって定義されます。

リセットされてからユーザプログラムが実行される前に、以下のように実行されます。(内部ベクタモード)

#### フラッシュメモリ A:

FWPAMA1/FWPAMA0 レジスタが"292D3A7B<sub>H</sub>"のときに、フラッシュメモリ A のすべてのセクタに対応する FWPSMA0/4 の内容が DFWC0A/DFWC1A に転送されます。

FWPAMA1/FWPAMA0 レジスタがほかの値であれば、FWPSMA0/4 の内容は無視され、DFWC0/1A レジスタへの転送は実行されません。

#### フラッシュメモリ B(フラッシュメモリ B が搭載されているデバイスのみ):

FWPAMB1/FWPAMB0 レジスタが"292D3A7B<sub>H</sub>"のときに、フラッシュメモリ B のすべてのセクタに対応する FWPSMB0/FWPSMB3 の内容が DFWC0B/DFWC1B に転送されます。

FWPAMB1/FWPAMB0 レジスタがほかの値であれば、FWPSMB0/FWPSMB3 の内容は無視され、DFWC0B/DFWC1B レジスタへの転送は実行されません。

フラッシュ書き込み保護マーカを含むセクタが書き込み/消去保護されていない限り、マーカへの書き込みまたはマーカを含むフラッシュメモリセクタの消去によってマーカの内容を更新できます。更新された内容はリセット後に有効となります。

フラッシュ書き込み保護マーカによってセクタの書き込み保護が有効になった後でも、ユーザプログラムがデュアルオペレーションフラッシュ書き込みアクセス制御レジスタ 0-1 (DFWC0A, DFWC0B, DFWC1A, DFWC1B) の対応するビットを"0"に設定することにより、それらのセクタに対して書き込み保護を行うことができます。

DFWC レジスタとの対応関係は次のとおりです。

- FWPSMA0 -> DFWC0A
- FWPSMA4 -> DFWC1A
- FWPSMB0 -> DFWC0B
- FWPSMB3 -> DFWC1B

シリアル通信モードでは、設定データは自動的に DFWC レジスタに自動的に転送されません。

内部ベクタモードで一時的な USART スキャンが可能なとき、シリアル通信を終了後に、DFWC レジスタに設定データを転送します。

図 6-3 フラッシュメモリ書き込み保護起動マーカ(FWPAMA0/1, FWPAMB0/1) の構成

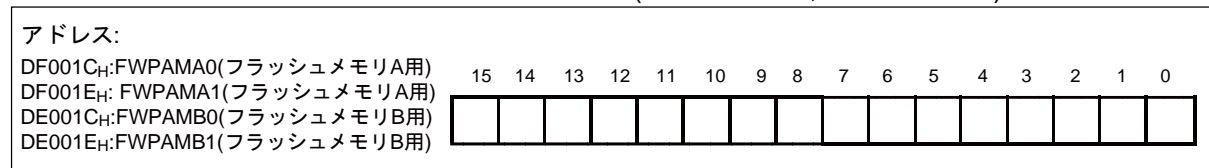
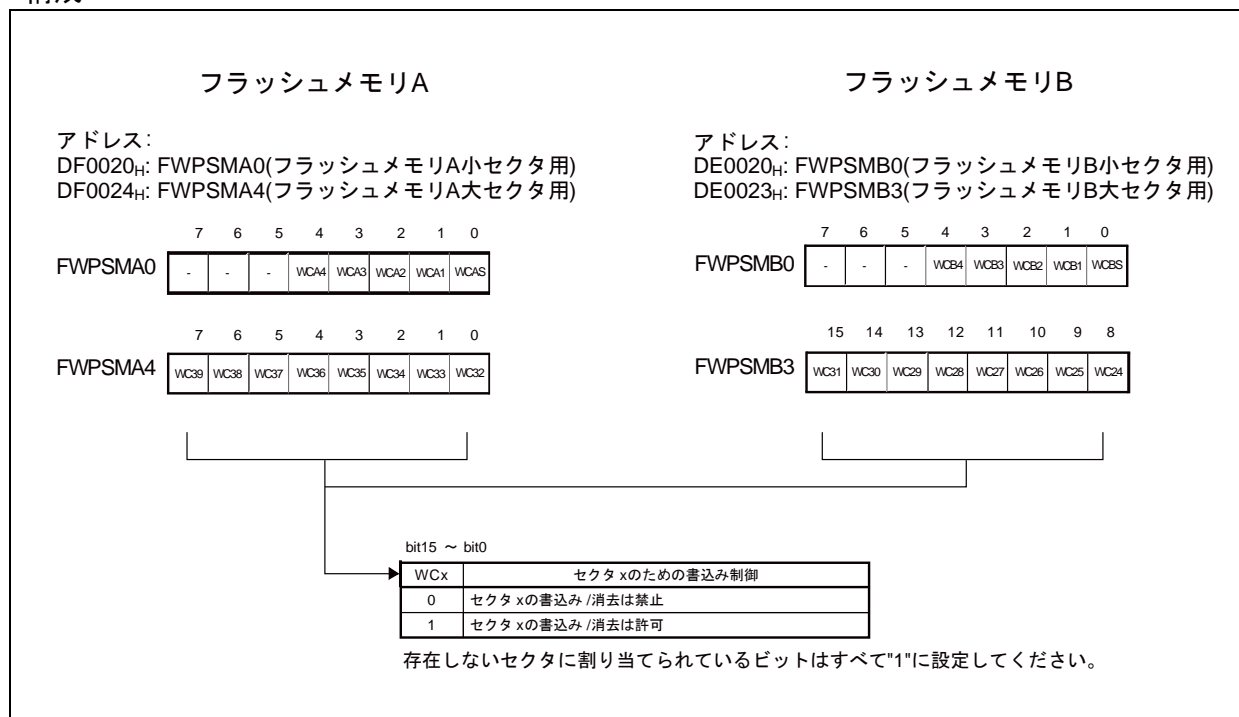


図 6-4 フラッシュメモリ書き込み保護セクタマーカ(FWPSMA0, FWPSMA4, FWPSMB0, FWPSMB3) の構成





## 7. レジスタ

フラッシュメモリの消去/書込み処理の制御に必要な、デュアルオペレーションフラッシュの制御/ステータスレジスタを説明します。

### ■ デュアルオペレーションフラッシュのレジスタ

フラッシュ A メモリは、以下のレジスタで制御されます。

- ・ デュアルオペレーションフラッシュ設定レジスタ (DFCA)
- ・ デュアルオペレーションフラッシュ割込み制御レジスタ (DFICA)
- ・ デュアルオペレーションフラッシュステータスレジスタ (DFSA)
- ・ デュアルオペレーションフラッシュ割込みステータスレジスタ (DFISA)

フラッシュ B メモリは、以下のレジスタで制御されます。

- ・ デュアルオペレーションフラッシュ設定レジスタ (DFCB)
- ・ デュアルオペレーションフラッシュ割込み制御レジスタ (DFICB)
- ・ デュアルオペレーションフラッシュステータスレジスタ (DFSB)
- ・ デュアルオペレーションフラッシュ割込みステータスレジスタ (DFISB)

フラッシュメモリのセクタ消去/書込み許可は、以下のレジスタに格納されます。

デュアルオペレーションフラッシュ書込みアクセス制御レジスタ 0~1 (DFWC0A, DFWC0B, DFWC1A, DFWC1B)

### ■ デュアルオペレーションフラッシュのレジスタ一覧

レジスタ略称	レジスタ名	参照先
DFCA, DFCB	デュアルオペレーションフラッシュ設定レジスタ	7.1
DFICA, DFICB	デュアルオペレーションフラッシュ割込み制御レジスタ	7.2
DFSA, DFSB	デュアルオペレーションフラッシュステータスレジスタ	7.3
DFISA, DFISB	デュアルオペレーションフラッシュ割込みステータスレジスタ	7.4
DFWC0A, DFWC0B, DFWC1A, DFWC1B	デュアルオペレーションフラッシュ書込みアクセス制御レジスタ 0~1	7.5

## 7.1. デュアルオペレーションフラッシュ設定レジスタ(DFCA, DFCEB)

デュアルオペレーションフラッシュ設定レジスタ(フラッシュ A メモリは DFCA, フラッシュ B メモリは DFCEB) は、フラッシュメモリのアクセスモードおよびアクセスウェイトを設定するために使用されます。

コマンドシーケンサがアイドル状態でないときは、DFCA(DFCEB) レジスタは書き込みできません。DFCA(DFCEB) レジスタが書き込まれたときは、4 サイクル間、バスにアクセスできません。

### ■ デュアルオペレーションフラッシュ設定レジスタ(DFCA, DFCEB)

DFCA, DFCEB								
bit	7	6	5	4	3	2	1	0
	-	-	-	-	-	TMG	CSWE	WE
属性	-	-	-	-	-	R/W	R/W	R/W
初期値	X	X	X	X	X	0	0	0

[bit7～bit3] -: 未定義

- ・ このビットは使用されず、フラッシュメモリインタフェースの設定には影響しません。
- ・ このビットの読出し値は不定です。
- ・ このビットには常に"0"を書き込んでください。
- ・ このビットへのリードモディファイライト(RMW) 動作は無効です。

[bit2] TMG: フラッシュタイミングレジスタ

bit	説明
0	1 サイクル(0 ウェイト)、フラッシュへの読出し/書き込みアクセスに 1 サイクル掛かる
1	2 サイクル(1 ウェイト)、フラッシュへの読出し/書き込みアクセスに 2 サイクル掛かる

- ・ フラッシュメモリ読出し/書き込み動作のウェイトサイクルを制御します。
- ・ コマンドシーケンサがアイドル状態であるか禁止されているときに、このビットを書き込むことができます。
- ・ このビットの初期値は"0"です。
- ・ このビットは読出し/書き込み可能です。

詳細は図 7-1 を参照してください。

## [bit1] CSWE: コマンドシーケンサ書込み許可

bit	説明
0	コマンドシーケンサの書込み動作禁止
1	コマンドシーケンサの書込み動作許可

- ・ コマンドシーケンサの書込み動作を許可します。
- ・ コマンドシーケンサがアイドル状態であるか禁止されているときに、このビットを書き込むことができます。
- ・ このビットを"1"に設定すると、コマンドシーケンサは、自動書込みシーケンスと、各フラッシュ書込みアクセスに適切な割込み/フラグを生成します。なお、CS による書込みを行うには書込み許可ビット WE を 1 に設定する必要があります。
- ・ このビットを"0"に設定すると、コマンドシーケンサは禁止されます。書込みシーケンスはフラッシュに手動で与える必要があります。
- ・ 消去/一時停止動作については、このビットを"0"に設定して、シーケンス全体を手動で与える必要があります。
- ・ このビットの初期値は"0"(コマンドシーケンサ書込み禁止) です。

## [bit0] WE: 書込み許可

bit	説明
0	フラッシュへの書込み禁止
1	フラッシュへの書込み許可

- ・ フラッシュへの書込みを許可/禁止します。
- ・ CS がアイドル状態であるか禁止されているときに、このビットを書き込むことができます。
- ・ このビットが"0"のときは、書込みアクセス中に CEX および WEX が強制的に"1"に設定されます。したがって、書込み/消去コマンドはフラッシュに送信されません。
- ・ このビットを"1"に設定すると WEX, CEX が許可されます。書込みコマンドがフラッシュに送信されます。
- ・ このビットの初期値は"0"です。

## 7.2. デュアルオペレーションフラッシュ割込み制御レジスタ (DFICA, DFICB)

デュアルオペレーションフラッシュ割込み制御レジスタ(フラッシュ A メモリは DFICA、フラッシュ B メモリは DFICB) は、フラッシュ IF の割込み機能を制御します。このレジスタは、ダイレクトモード機能とコマンドシーケンサ機能の両方に影響します。

### ■ デュアルオペレーションフラッシュ割込み制御レジスタ (DFICA, DFICB)

DFICA, DFICB								
bit	15	14	13	12	11	10	9	8
	-	ERINTE	FININTE	IDLINTE	WBINTE	WPSINTE	HANGINTE	RDYINTE
属性	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	X	0	0	0	0	0	0	0

#### [bit15] -: 未定義

- ・ このビットは使用されず、フラッシュメモリインタフェースの設定には影響しません。
- ・ このビットの読出し値は不定です。
- ・ このビットには常に"0"を書き込んでください。
- ・ このビットへのリードモディファイライト(RMW) 動作は無効です。

#### [bit14] ERINTE: エラー割込み許可

bit	説明
0	書込みエラー割込み禁止
1	書込みエラー割込み許可

- ・ コマンドシーケンサモードでのフラッシュメモリの ERINT 割込みを許可します。
- ・ このビットを"1"に設定すると、書込み動作のエラーによって ERINT フラグが設定されたときに割込みが発生します。
- ・ このビットを"0"に設定すると、書込みエラー割込みは発生しません。
- ・ このビットの初期値は"0"です。
- ・ このビットは読出し/書込み可能です。

**[bit13] FININTE: 終了割込み許可**

bit	説明
0	終了割込み禁止
1	終了割込み許可

- ・ コマンドシーケンサモードでのフラッシュメモリの終了割込み(FININT) を許可します。
- ・ このビットを"1"に設定すると、書込み動作の正常終了によって FININT フラグが設定されたときに割込みが発生します。
- ・ このビットを"0"に設定すると、終了割込みは発生しません。
- ・ このビットの初期値は"0"です。
- ・ このビットは読出し/書込み可能です。
- ・ DMA 使用時は IDLINTE のみを許可し、FININTE は許可しないでください。

**[bit12] IDLINTE: アイドル割込み許可**

bit	説明
0	アイドル割込み禁止
1	アイドル割込み許可

- ・ コマンドシーケンサモードでのフラッシュメモリのアイドル割込み(IDLINT) を許可します。
- ・ このビットを"1"に設定すると、コマンドシーケンサのアイドル状態移行によって IDLINT フラグが設定されたときに割込みが発生します。
- ・ このビットを"0"に設定すると、アイドル割込みは発生しません。
- ・ このビットの初期値は"0"です。
- ・ このビットは読出し/書込み可能です。
- ・ DMA 使用時は IDLINTE のみを許可し、FININTE は許可しないでください。

**[bit11] WBINTE: 書込みビジー割込み許可**

bit	説明
0	書込みビジー割込み機能禁止
1	書込みビジー割込み機能許可

- ・ 書込みコマンドがフラッシュメモリに送信されたが受け付けられなかったときに CPU が割込みを発生させるのを許可します。
- ・ 詳細は、「7.4 デュアルオペレーションフラッシュ割込みステータスレジスタ(DFISA, DFISB)」の WBINT ビット説明を参照してください。
- ・ このビットを"1"に設定すると、WBINT 割込みは発生します。
- ・ このビットを"0"に設定すると、WBINT 割込みは発生しません。
- ・ WBINTE ビットの初期値は"0"です。
- ・ このビットは読出し/書込み可能です。

#### [bit10] WPSINTE: 保護セクタ書込み割込み許可

bit	説明
0	保護セクタ書込み割込み機能禁止
1	保護セクタ書込み割込み機能許可

- ・ 保護セクタに対する書込みコマンドがフラッシュメモリに送信されたときに CPU が割込みを発生させるのを許可します。
- ・ 保護セクタについては、「6.8. セクタ消去/書込み保護」を参照してください。
- ・ このビットを"1"に設定すると、WPSINT 割込みは発生します。
- ・ このビットを"0"に設定すると、WPSINT 割込みは発生しません。
- ・ WPSINTE ビットの初期値は"0"です。
- ・ このビットは読出し/書込み可能です。

#### [bit9] HANGINTE: ハング割込み許可

bit	説明
0	ハング割込み機能禁止
1	ハング割込み機能許可

- ・ 書込み/消去中にフラッシュメモリが HANG 信号をアサートしたときに CPU が割込みを発生させるのを許可します。
- ・ このビットを"1"に設定すると、HANG 信号の立上りエッジによって HANGINT フラグが設定されたときにハング割込みは発生します。
- ・ このビットを"0"に設定すると、ハング割込みは発生しません。
- ・ HANGINTE ビットの初期値は"0"です。
- ・ このビットは読出し/書込み可能です。

#### [bit8] RDYINTE: RDY 割込み許可

bit	説明
0	レディ割込み機能禁止
1	レディ割込み機能許可

- ・ 書込み/消去コマンドが終了したときに CPU が割込みを発生させるのを許可します。
- ・ このビットを"1"に設定すると、RDY 信号の立上りエッジによって RDYINT フラグが設定されたときに RDY 割込みは発生します。
- ・ このビットを"0"に設定すると、RDY 割込みは発生しません。
- ・ RDYINTE ビットの初期値は"0"です。
- ・ このビットは読出し/書込み可能です。

## 7.3. デュアルオペレーションフラッシュステータスレジスタ(DFSA, DFSB)

デュアルオペレーションフラッシュステータスレジスタ(フラッシュ A メモリは DFSA、フラッシュ B メモリは DFSB) は、書き込み動作の状態を示します。このレジスタは、ダイレクトモードとコマンドシーケンサの両方の状態を示します。

### ■ デュアルオペレーションフラッシュステータスレジスタ(DFSA, DFSB)

DFSA, DFSB								
bit	7	6	5	4	3	2	1	0
	ST1	ST0	PGMS	SERS	ESPS	CERS	HANG	RDY
属性	R	R	R	R	R	R	R	R
初期値	1	1	0	0	0	0	0	1

#### [bit7, bit6] ST1, ST0: CS のステータスビット

- ・ 書き込みコマンドシーケンサの 4 種類の状態を示します。
- ・ ステータスビットの意味は以下のとおりです。

bit7	bit6	説明
0	0	CS はアイドル状態である
0	1	書き込みコマンド送信中
1	0	フラッシュの状態確認中(書き込み終了待ち)
1	1	CS は禁止されている(CSWE = 0 で CS はアイドル状態)

#### [bit5] PGMS: 書き込みステータス

bit	説明
0	フラッシュメモリは書き込み状態でない
1	フラッシュメモリは書き込み状態である

- ・ フラッシュの PGMS 出力のステータスを示します。
- ・ このビットに書き込んでも何も影響はありません。
- ・ 読出し値が"1"のときは、フラッシュメモリが書き込みコマンドを受け付けたことを示します。この状態のときは、いずれのコマンドも受け付けられません。
- ・ 読出し値が"0"のときは、フラッシュメモリが書き込み中でないことを示します。

#### [bit4] SERS: セクタ消去ステータス

bit	説明
0	フラッシュメモリはセクタ消去状態でない
1	フラッシュメモリはセクタ消去または消去一時停止状態である

- ・ フラッシュの **SERS** 出力のステータスを示します。
- ・ このビットに書き込んでも何も影響はありません。
- ・ 読出し値が"1"のときは、フラッシュメモリがセクタ消去コマンドを受け付けたことを示します。この状態のときは、一時停止コマンドのみが受け付けられます。消去一時停止ステータスが"1"に設定されているときにも、このビットは"1"に設定されます。このビットでは、フラッシュメモリがフラッシュを消去中であるか消去一時停止状態であることが示されます。
- ・ 読出し値が"0"のときは、フラッシュメモリがセクタ消去状態でないことを示します。

#### [bit3] ESPS: 消去一時停止ステータス

bit	説明
0	フラッシュメモリは消去一時停止状態でない
1	フラッシュメモリは消去一時停止コマンドを受け付けた

- ・ フラッシュの **ESPS** 出力のステータスを示します。
- ・ このビットに書き込んでも何も影響はありません。
- ・ 読出し値が"1"のときは、フラッシュメモリが消去一時停止コマンドを受け付けたことを示します。この状態のときは、再開コマンドまたはプログラム書込みコマンドが受け付けられます。
- ・ **ESPS** は、実際に消去一時停止状態であることを示すわけではありません。フラッシュマクロが消去一時停止状態にあるかどうかを知るには、**RDY** 信号が"1"に設定されているかどうかを確認してください。**RDY** と **ESPS** の両方が"1"を示している場合は、フラッシュが消去一時停止状態にあります。
- ・ 読出し値が"0"のときは、フラッシュメモリが消去一時停止状態でないことを示します。

#### [bit2] CERS: チップ消去状態

bit	説明
0	フラッシュメモリはチップ消去状態でない
1	フラッシュメモリはチップ消去状態である

- ・ フラッシュの **CERS** 出力のステータスを示します。
- ・ このビットに書き込んでも何も影響はありません。
- ・ 読出し値が"1"のときは、フラッシュメモリがチップ消去コマンドを受け付け、チップ消去中であることを示します。この状態のときは、いずれのコマンドも受け付けられません。
- ・ 読出し値が"0"のときは、フラッシュメモリがチップ消去中でないことを示します。



## [bit1] HANG: フラッシュハングステータス

bit	説明
0	フラッシュメモリは正常に動作中
1	フラッシュメモリはハング状態である

- ・フラッシュの **HANG** 出力のステータスを示します。
- ・このビットに書き込んでも何も影響はありません。
- ・読出し値が"1"のときは、フラッシュメモリがハング状態であることを示します。この状態のときは、読出し/リセットコマンドのみが受け付けられます。
- ・読出し値が"0"のときは、フラッシュメモリが正常に動作していることを示します。任意のコマンドをフラッシュに書き込めます。
- ・フラッシュがコマンドを正常に実行できなかったときに、このレジスタが"1"に設定されます。
  - ・書き込まれたビットを"0"から"1"に変更しようとした。
  - ・ユーザがセクタ消去一時停止動作と再開動作を短時間のうちに何回も繰り返した。
  - ・フラッシュが受信したシーケンスを何らかの原因で実行できなかった。
- ・フラッシュにリセットコマンドが送信され、フラッシュがそれを受け付けたときに、このレジスタが"0"に設定されます。その後、フラッシュは再度レディ状態になり、次の読出し/書込みコマンドを受け付けます。ハードウェアリセットでもフラッシュを読出し/リセット状態にリセットできます。

## [bit0] RDY: フラッシュ RDY ステータス

bit	説明
0	書込み/消去実行中
1	フラッシュはレディ状態である(書込み/消去は実行中でない)

- ・フラッシュの **RDY** 出力のステータスを示します。
- ・このビットに書き込んでも何も影響はありません。
- ・読出し値が"0"のときは、書込み/消去コマンドが現在実行中であることを示します。この状態のときは、ハング状態からのリセットおよびセクタ消去、追加/一時停止コマンドのみが受け付けられます。
- ・読出し値が"1"のときは、書込み/消去コマンドが現在実行されていないことを示します。任意のコマンドをフラッシュに書き込めます。
- ・DFS/DFS: HANG ビットがアサートされると、読出し/リセットコマンドがフラッシュに送信されるまで、RDY も"0"に設定されます。
- ・RDY ビットと HANG ビットに常に注意して、正常に動作していることを確認してください。
- ・最後の書込み/消去コマンドが送信された直後にこのビットが変更されるわけではありません。フラッシュが書込み/消去中であるかどうかを確認するには、最後の書込み/消去コマンドが送信された後 2 サイクル以上たってからこのビットを読み出してください。

ハードウェアシーケンスフラグおよびステータスレジスタ機能の詳細は、表 5-2 を参照してください。

## 7.4. デュアルオペレーションフラッシュ割込みステータスレジスタ(DFISA, DFISB)

デュアルオペレーションフラッシュ割込みステータスレジスタ(フラッシュ A メモリは DFISA、フラッシュ B メモリは DFISB) は、フラッシュメモリの割込みステータスを示します。

### ■ デュアルオペレーションフラッシュ割込みステータスレジスタ(DFISA, DFISB)

DFISA, DFISB								
bit	15	14	13	12	11	10	9	8
	-	ERINT	FININT	IDLINT	WBINT	WPSINT	HANGINT	RDYINT
属性	-	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0
初期値	X	0	0	0	0	0	0	0

R/W0: リード可能。常に"0"を書き込んでください。

#### [bit15] -: 未定義

- ・ このビットは使用されず、フラッシュメモリインタフェースの設定には影響しません。
- ・ このビットの読出し値は不定です。
- ・ このビットには常に"0"を書き込んでください。
- ・ このビットへのリードモディファイライト(RMW) 動作は無効です。

#### [bit14] ERINT: コマンドシーケンサ書き込みエラー割込みフラグ

bit	説明
0	CS は禁止されているか、書き込み中であるか、書き込みを正常に終了した
1	CS によるフラッシュへのデータ書き込みが失敗した

- ・ コマンドシーケンサ機能の書き込みエラー割込みフラグです。
- ・ リセットにより"0"に初期化されます。
- ・ コマンドシーケンサがフラッシュにデータを正しく書き込めなかったときに、"1"に設定されます。
- ・ ERINT ビットは"0"を書き込むことによってクリアできます。"1"を書き込んでも何も影響はありません。
- ・ リードモディファイライト(RMW) 系命令の読出しサイクルでは、常に"1"が返されます。
- ・ DMA 転送によるクリア機能ではクリアできません。
- ・ 割込み機能は ERINTE によって許可できます。
- ・ このビットは以下の状況で設定されます。
  - ・ CS が書き込み保護セクタにデータを書き込もうとした。
  - ・ フラッシュに不完全なコマンドが送信された後で CS がデータを書き込んだ。
  - ・ 何らかの原因でフラッシュにデータを書き込めなかった。
  - ・ フラッシュに書き込まれたデータビットを"0"から"1"に変更しようとした。
- ・ ユーザはほかの割込みフラグを確認することによってエラーの原因を調べることができます。
- ・ WPSINT - CS が保護セクタに書き込もうとしたため、データを書き込めなかった。

- ・ HANGINT - CS が不適切なデータを書き込もうとしたか、フラッシュが何らかの原因でデータを書き込めないため、データを書き込めなかった。

## [bit13] FININT: 終了割込み

bit	説明
0	CS は禁止されているか、書込み中であるか、書込みに失敗した
1	CS によるフラッシュへのデータ書込みが正常に終了した

- ・ コマンドシーケンサ機能の書込み終了割込みフラグです。
- ・ リセットにより"0"に初期化されます。
- ・ コマンドシーケンサが書込みコマンドを正常に終了したときに、"1"に設定されます。
- ・ FININT ビットは"0"を書き込むか DMA 転送によるクリア機能によってクリアできます。"1"を書き込んでも何も影響はありません。
- ・ リードモディファイライト(RMW) 系命令の読出しサイクルでは、常に"1"が返されます。
- ・ 割込み機能は FININTE によって許可できます。

## [bit12] IDLINT: アイドル割込み

bit	説明
0	CS は禁止されているか、フラッシュにデータを書込み中
1	CS はフラッシュに書き込むデータの受け取りレディ状態である

- ・ コマンドシーケンサ割込み機能のアイドル割込みフラグです。
- ・ リセットにより"0"に初期化されます。
- ・ コマンドシーケンサが許可されるかアイドル状態に戻ったときに、"1"に設定されます。
- ・ IDLINT ビットは"0"を書き込むか DMA 転送によるクリア機能によってクリアできます。"1"を書き込んでも何も影響はありません。
- ・ リードモディファイライト(RMW) 系命令の読出しサイクルでは、常に"1"が返されます。
- ・ 割込み機能は IDLINTE によって許可できます。

## [bit11] WBINT: 書込みビジー割込みフラグ

bit	説明
0	ビジー状態の書込みコマンド未検出
1	ビジー状態の書込みコマンド検出

- ・ 書込みビジー割込み機能の割込みフラグです。
- ・ 割込み機能は WBINTE によって許可できます。
- ・ リセットにより"0"に初期化されます。
- ・ 書込みビジー検出信号の立上りエッジによって、"1"に設定されます。
- ・ このビットは以下の状況で設定されます。

- ・ CS 書き込み中に書き込みアクセスがあった。
- ・ 書き込み/チップ消去中に書き込みコマンドが送信された。
- ・ セクタ消去中に消去一時停止/再開/セクタ追加以外のコマンドが送信された。
- ・ スタンバイモード(ストップ, タイマ, スリープ) からの MCU 再開直後に書き込みアクセスがあった。
- ・ 書き込み/消去動作中の以下の状況ではこのビットは設定されません。
- ・ ハング中に書き込みコマンドが送信された。
- ・ DFSA/DFSB:ESPS が"1"に設定されているときに書き込みコマンドが送信された。
- ・ WBINT ビットは"0"を書き込むことによってクリアできます。"1"を書き込んでも何も影響はありません。
- ・ リードモディファイライト(RMW) 系命令の読出しサイクルでは、常に"1"が返されます。

#### [bit10] WPSINT: 保護セクタ書き込み割込みフラグ

bit	説明
0	保護セクタへの書き込みコマンド未検出
1	保護セクタへの書き込みコマンド検出

- ・ 保護セクタ書き込み割込み機能の割込みフラグです。
- ・ 割込み機能は WPSINTE によって許可できます。
- ・ リセットにより"0"に初期化されます。
- ・ 保護セクタ書き込み検出信号の立上りエッジによって、"1"に設定されます。
- ・ 保護セクタに書き込みコマンドが送信されたときに、WPSINT がアサートされます。
- ・ WPSINT ビットは"0"を書き込むことによってクリアできます。"1"を書き込んでも何も影響はありません。
- ・ リードモディファイライト(RMW) 系命令の読出しサイクルでは、常に"1"が返されます。

#### [bit9] HANGINT: ハング割込みフラグ

bit	説明
0	フラッシュは正常に動作中
1	フラッシュは動作中に書き込み/消去エラーを検出

- ・ フラッシュハング状態割込み機能の割込みフラグです。
- ・ 割込み機能は HANGINTE によって許可できます。
- ・ リセットにより"0"に初期化されます。
- ・ HANG 信号の立上りエッジによって、"1"に設定されます。
- ・ HANGINT ビットは"0"を書き込むことによってクリアできます。"1"を書き込んでも何も影響はありません。
- ・ リードモディファイライト(RMW) 系命令の読出しサイクルでは、常に"1"が返されます。
- ・ HANGINT が設定されている場合は、フラッシュに読出し/リセットコマンドを送信してフラッシュを正常動作に戻してください。ハードウェアリセットでもフラッシュをリセットできます。
- ・ このビットは以下の状況で設定されます。
  - ・ 書き込まれたビットを"0"から"1"に変更しようとした。
  - ・ セクタ消去一時停止コマンドと再開コマンドが短時間のうちに何回も送信された。
  - ・ フラッシュが受信したシーケンスを何らかの原因で実行できなかった。

#### [bit8] RDYINT: RDY 割込みフラグ

bit	説明
0	書込み/消去コマンド終了未検出
1	書込み/消去コマンドが終了した

- ・フラッシュ RDY 割込み機能の割込みフラグです。
- ・割込み機能は RDYINTE によって許可できます。
- ・リセットにより"0"に初期化されます。
- ・RDY 信号の立上りエッジによって、"1"に設定されます。
- ・RDYINT ビットは"0"を書き込むことによってクリアできます。"1"を書き込んでも何も影響はありません。
- ・リードモディファイライト(RMW) 系命令の読出しサイクルでは、常に"1"が返されます。

## 7.5. デュアルオペレーションフラッシュ書込みアクセス制御 レジスタ 0~1(DFWC0A, DFWC0B, DFWC1A, DFWC1B)

デュアルオペレーションフラッシュ書込みアクセス制御レジスタ 0~1(フラッシュ A メモリは DFWC0A, DFWC1A、フラッシュ B メモリは DFWC0B, DFWC1B) は、フラッシュメモリの書込みアクセスを制御します。

### ■ デュアルオペレーションフラッシュ書込みアクセス制御レジスタ 0~1(DFWC0A, DFWC0B, DFWC1A, DFWC1B)

DFWC0B								
bit	7	6	5	4	3	2	1	0
	-	-	-	SB4	SB3	SB2	SB1	SBS
属性	-	-	-	R/W	R/W	R/W	R/W	R/W
初期値	X	X	X	0	0	0	0	0

DFWC0A								
bit	15	14	13	12	11	10	9	8
	-	-	-	SA4	SA3	SA2	SA1	SAS
属性	-	-	-	R/W	R/W	R/W	R/W	R/W
初期値	X	X	X	0	0	0	0	0

DFWC1B								
bit	7	6	5	4	3	2	1	0
	SB31	SB30	SB29	SB28	SB27	SB26	SB25	SB24
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

DFWC1A								
bit	15	14	13	12	11	10	9	8
	SA39	SA38	SA37	SA36	SA35	SA34	SA33	SA32
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

#### <注意事項>

ユーザプログラム初期値については、「6.8. セクタ消去/書込み保護」を参照してください。

**[bit15～bit0] SA39～SA32, SB31～SB24, SA1～SA4, SB1～SB4, SAS, SBS: 書込みアクセス制御ビット**

- ・ 対応するセクタの書込み/消去の可否を制御します。
- ・ リセット後、これらのビットは"0"(書込み/消去不可) にリセットされます。
- ・ これらのビットを"1"に設定すると、対応するセクタの書込み/消去が許可されます。ただし、"1"に設定できるのは、リセット後初めてレジスタに書込みアクセスするときのみです。
- ・ これらのビットを"0"に戻すと、書込み/消去が再び禁止されます。これらのビットはいつでも"0"に設定できます。
- ・ **SAS, SBS** は、フラッシュのセキュリティセクタとして使用されます。
- ・ **SBx** はフラッシュ **B** 用です。フラッシュ **B** が搭載されているときにのみ、これらのビットを利用できます。

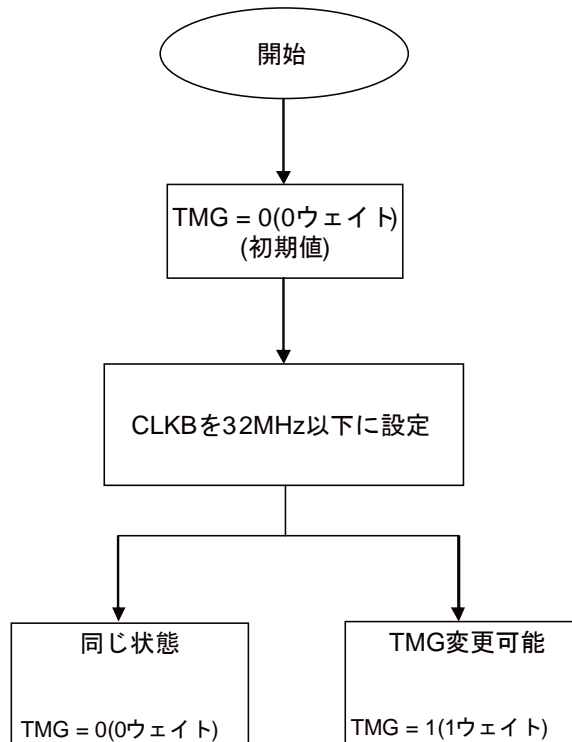
**DFWC0B [bit7～bit5] -: 未定義**

- ・ これらのビットに常に"0"を書き込みます。
- ・ これらのビットの読出し値は未定義です。
- ・ これらのビットへのリードモディファイライト(RMW) 動作は無効です。

**DFWC0A [bit15～bit13] -: 未定義**

- ・ これらのビットに常に"0"を書き込みます。
- ・ これらのビットの読出し値は未定義です。
- ・ これらのビットへのリードモディファイライト(RMW) 動作は無効です。

図 7-1 TMG レジスタの値とフラッシュメモリのアクセスサイクルの関係



<注意事項>

- ・  $CLKB \leq 32\text{MHz}$ 、 $TMG=0$ (0ウェイト)での使用が推奨されます。
- ・  $32\text{MHz}$ 0ウェイト: 最適性能またはフラッシュ書込み時
- ・  $CLKB \leq 32\text{MHz}$ 、1ウェイトで使用する場合:  
 フラッシュへのコマンド実行からステータス出力までの時間が長くなることがあります。  
 $8 \times CLKB$ (最小)~ $64 \times CLKB$ (最大)  
 この時間はフラッシュにアクセスする状況によって異なります。  
 以下に具体的な説明を示します。  
 フラッシュへコマンドを送信後、フラッシュへのアクセスが行われる場合には  
 $8 \times CLKB$ (最小)になります。アクセスがおこなわれない場合には $64 \times CLKB$ (最大)となります。



## 8. 使用上の注意

---

フラッシュメモリを使用するための注意点を示します。

---

### ■ フラッシュメモリ使用上の注意

#### ● CPU リセット(RST) の入力

CPUリセット(電源リセット, 外部リセット, ソフトウェアリセット, ウォッチドッグリセット, クロック停止リセット) では、フラッシュメモリをハードウェアリセットします。フラッシュメモリ書き込み中にリセットが発生すると、書き込み中のアドレスは不定値となります。

セクタ消去開始後にデバイスがリセットされると、消去中のセクタのデータが破損します。その場合、再度このセクタを消去し、消去を完了させてください。

#### ● フラッシュメモリへの書き込みアクセス

一方のバンクで自動アルゴリズムが動作しているときは、そのバンクへのデータ読み出しアクセスはできません。

したがって、消去/書き込み中のフラッシュメモリのバンクからCPUが命令を実行しないようにしてください。一方のバンクに消去/書き込みを行う場合は、命令は他方のバンク、フラッシュメモリ B(利用可能な場合) またはRAMからのみ実行するようにしてください。

同じ理由で、テーブルベースレジスタ(TBR) が、消去あるいは書き込み対象のフラッシュメモリのバンクに配置された割込みベクタテーブルを指していないことを確認してください。他方のバンク、ほかのフラッシュメモリ(利用可能な場合) またはRAMに配置された割込みベクタテーブルを指すようにTBRを設定するか、自動アルゴリズムを作動させる前に割込みを完全に禁止してください。

フラッシュメモリは、書き込み中または消去中の外部電源(V<sub>CC</sub>) 遮断は禁止です。書き込み中または消去中に外部電源が消失する可能性があるアプリケーションにおいては、低電圧検出機能を使用して、安全に電源を落としてください。具体的には、外部電源電圧検出電圧(V<sub>DLX</sub>) を下回ってから、電源電圧変動率の範囲内で外部電源電圧を変化させてください。電源電圧変動率については、データシートの「低電圧検出機能の特性」を参照してください。

#### ● DMA

DMA は書き込み時の割込みに使用できます。

## 9. プログラム例

フラッシュメモリのプログラム例を示します。

### ■ プログラム例 1

```

=====
; THIS SAMPLE CODE IS PROVIDED AS IS AND IS SUBJECT TO ALTERATIONS.
; CYPRESS ACCEPTS NO RESPONSIBILITY OR LIABILITY
; FOR ANY ERRORS OR ELIGIBILITY FOR ANY PURPOSES.
;
; (C) CYPRESS 2010
=====
;
; このプログラムはフラッシュメモリAのセクタSA1(DF2000H)を消去し、0xAA55を
; セクタSA1に書き込みます。その後、結果をP00ポートに出力します。
; 書き込みおよび消去は、フラッシュメモリから転送されたRAM上のプログラムにより
; 実行されます。
;
; Bit# 0 1 2 3 4 5 6 7
; -----
;      |||  |||
;      |||  |||
;      |||  ||+---- EERR: 消去タイムリットオーバーエラー
;      |||  |+----- EOK1: 消去成功(タイムリット)
;      |||  +----- EOK0: 消去成功
;      ||+----- PERR: 書き込みタイムリットオーバーエラー
;      |+----- POK1: 書き込み成功(タイムリット)
;      +----- POK0: 書き込み成功

.PROGRAM FLASH_W_E
.TITLE FLASH_WRITE_ERASE

; Defines
#set POK0 0x0001
#set POK1 0x0002
#set PERR 0x0004
#set EOK0 0x0010
#set EOK1 0x0020
#set EERR 0x0040

#set DQ3 0x0008      ; セクタ消去開始
#set DQ5 0x0020      ; タイムリットオーバービット
#set DQ7 0x0080      ; データボーリングビット

.SECTION RESVECT, CONST, LOCATE=0xFFFFDC
.DATA.E START
.SECTION BOOT_SELECT, CONST, LOCATE=0xDF0030
.DATA.L 0xFFFFFFFF

; I/O
PDR00: .EQU 0x0000      ; ポートデータレジスタ00
DDR00: .EQU 0x0430      ; ポート方向レジスタ00

DFWC0A: .EQU 0x03F9      ; セクタSAS, SA1 - SA4

```

## Chapter 29: デュアルオペレーションフラッシュメモリ

```

DFWC1A: .EQU    0x03FD        ; セクタSA39 - SA32

DFCA:  .EQU    0x03E8        ; フラッシュメモリA設定レジスタ
DFSA:  .EQU    0x03EA        ; フラッシュメモリAステータスレジスタ
DFICA: .EQU    0x03E9        ; フラッシュメモリA割込み制御レジスタ
DFISA: .EQU    0x03EB        ; フラッシュA割込みステータスレジスタ

CKSR:  .EQU    0x0401        ; クロック選択レジスタ
CKSSR: .EQU    0x0402        ; クロック安定化選択レジスタ
CKMR:  .EQU    0x0403        ; クロックモニタレジスタ
CKFCR: .EQU    0x0404        ; クロック周波数制御レジスタ
PLLCR: .EQU    0x0406        ; PLL制御レジスタ
; RAM
RAMSTART .EQU    0x7000        ; RAMコードの開始アドレス
; FLASH
SA1:    .EQU    0x00DF2000    ; SA1データセクタ
SA1_554: .EQU    0x00DF2554    ; フラッシュメモリ書き込みシーケンスアドレス1
SA1_AAA: .EQU    0x00DF2AAA    ; フラッシュメモリ書き込みシーケンスアドレス2
;=====
;
; フラッシュメモリ内に配置するメインプログラム
.SECTIONCODE_FLASH, CODE, LOCATE=0xFE0000

_start:    NOP

START:     AND     CCR, #0x80    ; 割込み禁止
           MOV     RP, #0        ; レジスタバンク#0
           MOV     CKSSR, #0xF9  ; クロック安定待ち時間2^16/CLKMCの設定
           MOVW    PLLCR, #0x0007 ; CPU: 32MHz, CLKP2: 8MHz(外部4MHz)
           MOVW    CKFCR, #0x3001 ; CLKB/1, CLKP1/1, CLKP2/4

           MOV     DFCA, #0x00    ; 0ウェイト状態, CS無効, 書き込み禁止

           MOV     CKSR, #0xFA    ; PLLクロック選択
           MOVL    A, #0x00006800 ; システムスタックポインタの先頭
           MOVW    SP, A
           SWAPW
           MOV     SSB, A

; RAM コードをRAMにコピーする
           MOVW    A, #RAMSTART    ; RAMコードの開始
           MOVW    A, #(0xFFFF & FLASH) ; ROMコードの開始
           MOVW    RW0, #SIZEOF(CODE_FLASH_RAM) ; コードバイトの数
           MOVS    ADB, PCB

           MOV     A, #0xFF        ; INITポート
           MOV     DDR00, A
           MOVN    A, #0            ; 0x00をポート00へ
           MOV     I:PDR00, A

           MOV     A, #0x1F        ; 保護解除SAS, SA1 - SA4
           MOV     DFWC0A, A

```

```

PLLWAIT:  BBC      CKMR:6, PLLWAIT ; クロック安定待ち
           CALLP    (RAMSTART)      ; セクタ消去
           MOV      PDR00, A         ; ステータスフラグをポート00へ
           MOVW     RW6, A           ; ステータスフラグを保存
           CALLP    (RAMSTART+4)     ; データ書込み
           MOVW     A, RW6           ; ステータスフラグの回復
           ORW      A
           MOV      PDR00, A         ; 結果の表示

LOOP:     BRA      LOOP             ; 無限ループ

```

```

;===== RAMコードのフラッシュ消去/書込み =====

```

```

;
; RAMコードの機能
; .SECTION          CODE_FLASH_RAM, CODE, LOCATE=0xFE9000
; ジャンプテーブル
FLASH:      JMPP     (ERASE-0xFE9000+RAMSTART)
           JMPP     (WRITE-0xFE9000+RAMSTART)

```

```

;===== セクタ消去 =====

```

```

;
; セクタSA1を消去
; 入力: なし
; 出力 (A: アキュムレータの内容) : EOK0 = 消去成功
; EOK1 = 消去成功 (タイムリミットオーバー再読み出し付き)
; EERR = タイムリミットオーバーエラー

```

```

ERASE:      SETB     DFCA:0          ; 書き込み許可の設定

```

```

; セクタ消去コマンドシーケンス

```

```

        MOVL      A, #SA1_AAA
        MOVL      RL0, A
        MOV       A, #0xAA ; *0xDF2AAA=0xAA
        MOVW      @RL0, A
        MOVL      A, #SA1_554
        MOVL      RL0, A
        MOV       A, #0x55 ; *0xDF2554=0x55
        MOVW      @RL0, A
        MOVL      A, #SA1_AAA
        MOVL      RL0, A
        MOV       A, #0x80 ; *0xDF2AAA=0x80
        MOVW      @RL0, A
        MOVL      A, #SA1_AAA
        MOVL      RL0, A
        MOV       A, #0xAA ; *0xDF2AAA=0xAA
        MOVW      @RL0, A
        MOVL      A, #SA1_554
        MOVL      RL0, A
        MOV       A, #0x55 ; *0xDF2554=0x55
        MOVW      @RL0, A
        MOVL      A, #SA1

```

## Chapter 29: デュアルオペレーションフラッシュメモリ

```

        MOVL    RL0, A
        MOV     A, #0x30 ; *0xDF2000=0x30
        MOVW    @RL0, A

; セクタ消去の開始を待つ
E_DQ3:    MOVW    A, @RL0+0 ; セクタ状態の読出し
        MOVN    A, #DQ3 ; DQ3=1まで、セクタ消去の開始を待つ
        ANDW    A
        BEQ     E_DQ3 ;

; データポーリングアルゴリズム
        MOVN    A, #0 ; RW2にステータスフラグ
        MOVW    RW2, A ; RW2の初期化

E_LOOP:   MOVW    A, @RL0+0 ; セクタ状態の読出し
        ANDW    A, #DQ7 ; データポーリング
        CWBNE   A, #DQ7, E_1

        MOV     A, #EOK0 ; 消去成功
        MOVW    RW2, A

E_1:MOVW    A, @RL0+0 ; セクタ状態の読出し
        ANDW    A, #DQ5 ; タイムアウト?
        CWBNE   A, #DQ5, E_2

        MOVW    A, @RL0+0 ; セクタ状態の読出し
        ANDW    A, #DQ7 ; データポーリング
        CWBNE   A, #DQ7, E_ERR ; DQ5=1,DQ7=0の場合、ハング、消去失敗

        MOV     A, #EOK1 ; 消去成功
        MOVW    RW2, A ; DQ5=1,DQ7=1の場合、ハングだが消去される
        BRA     E_2

E_ERR:    MOV     A, #EERR ; タイムリミットオーバーエラー
        MOVW    RW2, A

E_2:MOVW    A, RW2 ; 結果が得られるまでループ
        BZ      E_LOOP

        CLRB    DFCA:0 ; 書き込み許可のリセット

        MOVW    A, RW2 ; Aにステータスフラグ
RAMEND:   RETP

;===== フラッシュ書き込み =====
;
; 0xAA55をセクタSA1 の先頭(0xDF2000)に書き込む
; 入力: なし
; 出力(Aアキュムレータの内容): POK0 = 書き込み成功
; POK1 = 書き込み成功(タイムリミットオーバー再読出し付き)
; PERR = タイムリミットオーバーエラー

WRITE:    SETB    DFCA:0 ;

```

; 書き込みコマンドシーケンス

```

        MOVL    A, #SA1_AAA
        MOVL    RL0, A
        MOV     A, #0xAA ; *0xDF2AAA=0xAA
        MOVW    @RL0, A
        MOVL    A, #SA1_554
        MOVL    RL0, A
        MOV     A, #0x55 ; *0xDF2554=0x55
        MOVW    @RL0, A
        MOVL    A, #SA1_AAA
        MOVL    RL0, A
        MOV     A, #0xA0 ; *0xDF2AAA=0xA0
        MOVW    @RL0, A
        MOVL    A, #SA1
        MOVL    RL0, A
        MOVW    A, #0xAA55 ; *0xDF2000=ダミーデータ
        MOVW    @RL0, A

```

; データポーリングアルゴリズム

```

        MOVN    A, #0 ; RW2にステータスフラグ
        MOVW    RW2, A ; RW2の初期化

```

```

W_LOOP:  MOVW    A, @RL0+0 ; フラッシュ状態の読出し
        MOVW    RW4, #0xAA55 ; データ書き込み試行
        ANDW    A, #DQ7 ; データポーリング
        MOVW    RW5, A
        MOVW    A, RW4
        ANDW    A, #DQ7 ; 書き込みステータスのチェック
        CMPW    A, RW5
        BNZ     W_1 ; falseの場合書き込み成功

```

```

        MOVW    A, #POK0 ; 書き込み成功
        MOVW    RW2, A

```

```

W_1:    MOVW    A, @RL0+0 ; フラッシュ状態の読出し
        ANDW    A, #DQ5 ; タイムアウト?
        CWBNE   A, #DQ5, W_2

```

```

        MOVW    A, @RL0+0 ; フラッシュ状態の読出し
        MOVW    RW4, #0xAA55 ; データを書き込もうとする
        ANDW    A, #DQ7 ; データポーリング
        MOVW    RW5, A
        MOVW    A, RW4
        ANDW    A, #DQ7 ; 書き込みステータスのチェック
        CMPW    A, RW5
        BNZ     W_ERR ; falseの場合書き込み成功

```

```

        MOVW    A, #POK1 ; 書き込み成功
        MOVW    RW2, A
        BRA     W_2

```

```

W_ERR:  MOVW    A, #PERR ; タイムリミットオーバーエラー

```

```

MOVW    RW2, A

W_2:    MOVW    A, RW2          ; 結果が得られるまでループ
        BZ      W_LOOP

        CLRB    DFCA:0          ; 書込み禁止

        MOVW    A, RW2          ; Aにステータスフラグ
        RETP

;===== SA1ダミーデータ =====
;
; セクタ消去確認のため4 0x00バイトで満たされたSA1
        .SECTION      SA1_DUMMY_DATA, CODE, LOCATE=0xDF2000
        .DATA.L 0x00000000
        .END      START          ; デバッグ用

```

## ■ プログラム例 2

```

;=====
; THIS SAMPLE CODE IS PROVIDED AS IS AND IS SUBJECT TO ALTERATIONS.
; CYPRESS ACCEPTS NO RESPONSIBILITY OR LIABILITY
; FOR ANY ERRORS OR ELIGIBILITY FOR ANY PURPOSES.
;
; (C) CYPRESS 2010
;=====;
; このプログラムはフラッシュメモリ A のセクタ SA1(DF2000H)を消去し、0xAA55 を
; セクタ SA1 に書き込みます。その後、結果を P00 ポートに出力します。
; 書き込みおよび消去は、フラッシュメモリ上のプログラムから直接実行されます。
; これは、デュアルオペレーションフラッシュメモリまたは 2 つの独立したフラッシュメモリでのみ実行できます。
;

; Bit# 0 1 2 3 4 5 6 7
; -----
;   |||   |||
;   |||   |||
;   |||   ||+---- EERR: 消去タイムリミットオーバーエラー
;   |||   |+----- EOK1: 消去成功(タイムリミットオーバー再読み出し付き)
;   |||   +----- EOK0: 消去成功
;   ||+----- PERR: 書き込みタイムリミットオーバーエラー
;   |+----- POK1: 書き込み成功(タイムリミットオーバー再読み出し付き)
;   +----- POK0: 書き込み成功

.PROGRAM      FLASH_W_E
.TITLE      FLASH_WRITE_ERASE

; Defines
#set      POK0      0x0001
#set      POK1      0x0002
#set      PERR      0x0004
#set      EOK0      0x0010
#set      EOK1      0x0020
#set      EERR      0x0040
#set      DQ3      0x0008          ; セクタ消去開始

```

```

#set      DQ5      0x0020      ; タイムリミットオーバービット
#set      DQ7      0x0080      ; データポーリングビット

.SECTION   RESVECT, CONST, LOCATE=0xFFFFDC
.DATA.E   START

.SECTION   BOOT_SELECT, CONST, LOCATE=0xDF0030
.DATA.L   0xFFFFFFFF

; I/O
PDR00:    .EQU     0x0000      ; ポートデータレジスタ 00
DDR00:    .EQU     0x0430      ; ポート方向レジスタ 00

DFWC0A:    .EQU     0x03F9
; セクタ SAS, SA1-SA4
DFWC1A:    .EQU     0x03FD
; セクタ SA39-32

DFCA:     .EQU     0x03E8      ; フラッシュメモリ A 設定レジスタ
DFSA:     .EQU     0x03EA      ; フラッシュメモリ A ステータスレジスタ
DFICA:    .EQU     0x03E9      ; フラッシュメモリ A 割込み制御レジスタ
DFISA:    .EQU     0x03EB      ; フラッシュメモリ A 割込みステータスレジスタ

CKSR:     .EQU     0x0401      ; クロック選択レジスタ
CKSSR:    .EQU     0x0402      ; クロック安定化選択レジスタ
CKMR:     .EQU     0x0403      ; クロックモニタレジスタ
CKFCR:    .EQU     0x0404      ; クロック周波数制御レジスタ
PLLCR:    .EQU     0x0406      ; PLL 制御レジスタ

; RAM
RAMSTART   .EQU     0x7000      ; RAM コードの開始アドレス

; FLASH
SA1:       .EQU     0x00DF2000   ; SA1 データセクタ
SA1_554:   .EQU     0x00DF2554   ; フラッシュメモリ 書込みシーケンスアドレス 1
SA1_AAA:   .EQU     0x00DF2AAA   ; フラッシュメモリ 書込みシーケンスアドレス 2
;=====
;
; フラッシュメモリ内に配置するメインプログラム
.SECTION   CODE_FLASH, CODE, LOCATE=0xFE0000

_start:    NOP

START:     AND      CCR, #0x80    ; 割込み禁止
           MOV      RP, #0        ; レジスタバンク #0
           MOV      CKSSR, #0xF9  ; クロック安定待ち時間 2^16/CLKMC の設定
           MOVW     PLLCR, #0x0007 ; CPU:32 MHz, CLKP2:8MHz(外部 4MHz)
           MOVW     CKFCR, #0x3001 ; CLKB/1, CLKP1/1, CLKP2/4

           MOV      DFCA, #0x00    ; 0 ウェイト状態, CS 無効, 書込み禁止

           MOV      CKSR, #0xFA    ; PLL クロック選択
           MOVL     A, #0x00006800 ; システムスタックポインタの先頭
           MOVW     SP, A

```



```

      SWAPW
      MOV    SSB, A

      MOV    A, #0xFF          ; INIT ポート
      MOV    DDR00, A
      MOVN   A, #0             ; 0x00 をポート 00 へ
      MOV    I:PDR00, A

      MOV    A, #0x1F          ; 保護解除 SAS,SA1-SA4
      MOV    DFWC1, A

PLLWAIT:  BBC    CKMR:6, PLLWAIT ; クロック安定待ち
          CALLP  (ERASE)         ; セクタ消去
          MOV    PDR00, A        ; ステータスフラグをポート 00 へ
          MOVW   RW6, A         ; ステータスフラグを保存
          CALLP  (WRITE)        ; データ書込み
          MOVW   A, RW6         ; ステータスフラグの回復
          ORW    A
          MOV    PDR00, A        ; 結果の表示

      LOOP:   BRA    LOOP        ; 無限ループ
;===== セクタ消去 =====
;
; セクタ SA1 を消去
; 入力: なし
; 出力(A アキュムレータの内容): EOK0 = 消去成功
; EOK1 = 消去成功(タイムリミットオーバー再読み出し付き)
; EERR = タイムリミットオーバーエラー

ERASE:    SETB    DFCA:0          ; 書き込み許可の設定

; セクタ消去コマンドシーケンス
      MOVL    A,#SA1_AAA
      MOVL    RL0, A
      MOV     A, #0xAA ; *0xDF2AAA = 0xAA
      MOVW    @RL0, A
      MOVL    A,#SA1_554
      MOVL    RL0, A
      MOV     A, #0x55 ; *0xDF2554 = 0x55
      MOVW    @RL0, A
      MOVL    A,#SA1_AAA
      MOVL    RL0, A
      MOV     A, #0x80 ; *0xDF2AAA = 0x80
      MOVW    @RL0, A
      MOVL    A,#SA1_AAA
      MOVL    RL0, A
      MOV     A, #0xAA ; *0xDF2AAA = 0xAA
      MOVW    @RL0, A
      MOVL    A,#SA1_554
      MOVL    RL0, A
      MOV     A, #0x55 ; *0xDF2554 = 0x55
      MOVW    @RL0, A

```

```

        MOVL    A,#SA1
        MOVL    RL0,A
        MOV     A,#0x30 ; *0xDF2000 = 0x30
        MOVW    @RL0,A
        ; セクタ消去の開始を待つ
E_DQ3:   MOVW    A,@RL0+0      ; セクタ状態の読出し
        MOVN    A,#DQ3        ; DQ3=1 まで、セクタ消去の開始を待つ
        ANDW    A
        BEQ     E_DQ3         ;

; データポーリングアルゴリズム
        MOVN    A,#0          ; RW2 にステータスフラグ
        MOVW    RW2,A         ; RW2 の初期化

E_LOOP:  MOVW    A,@RL0+0      ; セクタ状態の読出し
        ANDW    A,#DQ7        ; データポーリング
        CWBNE   A,#DQ7,E_1

        MOV     A,#EOK0       ; 消去成功
        MOVW    RW2,A

E_1:MOVW  A,@RL0+0      ; セクタ状態の読出し
        ANDW    A,#DQ5        ; タイムアウト?
        CWBNE   A,#DQ5,E_2

        MOVW    A,@RL0+0      ; セクタ状態の読出し
        ANDW    A,#DQ7        ; データポーリング
        CWBNE   A,#DQ7,E_ERR  ; DQ5=1,DQ7=0 の場合、ハング、消去失敗

        MOV     A,#EOK1       ; 消去成功
        MOVW    RW2,A         ; DQ5=1,DQ7=1 の場合、ハングだが消去される
        BRA     E_2

E_ERR:   MOV     A,#EERR      ; タイムリミットオーバーエラー
        MOVW    RW2,A

E_2:MOVW  A,RW2          ; 結果が得られるまでループ
        BZ      E_LOOP

        CLRB    DFCA:0        ; 書き込み許可のリセット

        MOVW    A,RW2         ; A にステータスフラグ
RAMEND:  RETP

;===== フラッシュ書き込み =====
;
; 0xAA55 をセクタ SA1 の先頭(0xDF2000)に書き込む
; 入力: なし
; 出力(A アキュムレータの内容): POK0 = 書き込み成功
; POK1 = 書き込み成功(タイムリミットオーバー再読出し付き)
; PERR = タイムリミットオーバーエラー
WRITE:   SETB    DFCA:0      ;

```

```

; 書き込みコマンドシーケンス
    MOVL    A, #SA1_AAA
    MOVL    RL0, A
    MOV     A, #0xAA ; *0xDF2AAA = 0xAA
    MOVW    @RL0, A
    MOVL    A, #SA1_554
    MOVL    RL0, A
    MOV     A, #0x55 ; *0xDF2554 = 0x55
    MOVW    @RL0, A
    MOVL    A, #SA1_AAA
    MOVL    RL0, A
    MOV     A, #0xA0 ; *0xDF2AAA = 0xA0
    MOVW    @RL0, A
    MOVL    A, #SA1
    MOVL    RL0, A
    MOVW    A, #0xAA55 ; *0xDF2000 = ダミーデータ
    MOVW    @RL0, A

; データポーリングアルゴリズム
    MOVN    A, #0 ; RW2 にステータスフラグ
    MOVW    RW2, A ; RW2 の初期化

W_LOOP:  MOVW    A, @RL0+0
          ; フラッシュ状態の読出し
    MOVW    RW4, #0xAA55 ; デー
タ書き込み試行
    ANDW    A, #DQ7 ; データポーリング
    MOVW    RW5, A
    MOVW    A, RW4
    ANDW    A, #DQ7 ; 書き込みステータスのチェック
    CMPW    A, RW5
    BNZ     W_1 ; false
の場合書き込み成功

    MOVW    A, #POK0 ; 書き込み成功
    MOVW    RW2, A

W_1:     MOVW    A, @RL0+0 ; フラッシュ状態の読出し
    ANDW    A, #DQ5 ; タイムアウト?
    CWBNE   A, #DQ5, W_2

    MOVW    A, @RL0+0 ; フラッシュ状態の読出し
    MOVW    RW4, #0xAA55 ; データを書込もうとする
    ANDW    A, #DQ7 ; データポーリング
    MOVW    RW5, A
    MOVW    A, RW4
    ANDW    A, #DQ7 ; 書き込みステータスのチェック
    CMPW    A, RW5
    BNZ     W_ERR ; false の場合書き込み成功

    MOVW    A, #POK1 ; 書き込み成功

```

```

MOVW  RW2, A
BRA   W_2

W_ERR:  MOVW  A, #PERR      ; タイムリミットオーバーエラー
        MOVW  RW2, A

W_2:    MOVW  A, RW2        ; 結果が得られるまでループ.
        BZ    W_LOOP

        CLRB   DFCA:0      ; 書き込み禁止

        MOVW  A, RW2      ; A にステータスフラグ
        RETP

;===== SA1 ダミーデータ =====
;
; セクタ消去確認のため 4 0x00 バイトで満たされた SA1
.SECTIONS SA1_DUMMY_DATA, CODE, LOCATE=0xDF2000
.DATA.L 0x00000000
.END    START              ; デバッグ用

```

### ■ プログラム例 3

```

;=====
; THIS SAMPLE CODE IS PROVIDED AS IS AND IS SUBJECT TO ALTERATIONS.
; CYPRESS ACCEPTS NO RESPONSIBILITY OR LIABILITY
; FOR ANY ERRORS OR ELIGIBILITY FOR ANY PURPOSES.
;
; (C) CYPRESS 2010
;=====
; このプログラムはフラッシュメモリ A のセクタ SA1 を消去し、0xAA55 をセクタ
; SA1 に書き込みます。その後、結果を P00 ポートに出力します。
; コマンドシーケンサによってフラッシュメモリにデータを書き込みます。
; 書き込みおよび消去は、フラッシュメモリ上のプログラムから直接実行されます。
; これは、デュアルオペレーションフラッシュメモリまたは 2 つの独立したフラッシュメモリでのみ実行できます。
;
; Bit# 0 1 2 3 4 5 6 7
; -----
;   |||  |||
;   |||  |||
;   |||  ||+---- EERR: 消去タイムリミットオーバーエラー
;   |||  |+----- EOK1: 消去成功(タイムリミットオーバー再読み出し付き)
;   |||  +----- EOK0: 消去成功
;   ||+----- PERR1: 書き込みタイムリミットオーバーエラー
;   |+----- PERR0: 保護セクタへの書き込みプログラムエラー
;   +----- POK0: 書き込み成功

.PROGRAM      FLASH_W_E
.TITLE        FLASH_WRITE_ERASE

; Defines
#set          POK0      0x0001

```

## Chapter 29: デュアルオペレーションフラッシュメモリ

```
#set    PERR0    0x0002
#set    PERR1    0x0004
#set    EOK0     0x0010
#set    EOK1     0x0020
#set    EERR     0x0040
#set    DQ3      0x0008    ; セクタ消去開始
#set    DQ5      0x0020    ; タイムリミットオーバービット
#set    DQ7      0x0080    ; データポーリングビット
```

```
.SECTION RESVECT, CONST, LOCATE=0xFFFFDC
.DATA.E START
.SECTION BOOT_SELECT, CONST, LOCATE=0xDF0030
.DATA.L 0xFFFFFFFF
```

```
; I/O
PDR00: .EQU    0x0000    ; ポートデータレジスタ 00
DDR00: .EQU    0x0430    ; ポート方向レジスタ 00

DFWC0A: .EQU    0x03F9    ; セクタ SAS, SA1 - SA4
DFWC1A: .EQU    0x03FD    ; セクタ SA39 - SA32

DFCA: .EQU    0x03E8    ; フラッシュメモリ A 設定レジスタ
DFSA: .EQU    0x03EA    ; フラッシュメモリ A ステータスレジスタ
DFICA: .EQU    0x03E9    ; フラッシュメモリ A 割込み制御レジスタ
DFISA: .EQU    0x03EB    ; フラッシュメモリ A 割込みステータスレジスタ

CKSR: .EQU    0x0401    ; クロック選択レジスタ
CKSSR: .EQU    0x0402    ; クロック安定化選択レジスタ
CKMR: .EQU    0x0403    ; クロックモニタレジスタ
CKFCR: .EQU    0x0404    ; クロック周波数制御レジスタ
PLLCR: .EQU    0x0406    ; PLL 制御レジスタ
```

```
; FLASH
SA1: .EQU    0x00DF2000    ; SA1 データセクタ
SA1_554: .EQU    0x00DF2554    ; フラッシュメモリ 書込みシーケンスアドレス 1
SA1_AAA: .EQU    0x00DF2AAA    ; フラッシュメモリ 書込みシーケンスアドレス 2
```

```
;=====
;
```

```
; フラッシュメモリ内に配置するメインプログラム
```

```
.SECTION CODE_FLASH, CODE, LOCATE=0xFE0000
```

```
_start:    NOP

START:
    AND     CCR, #0x80    ; 割込み禁止
    MOV     RP, #0        ; レジスタバンク #0
    MOV     CKSSR, #0xF9   ; クロック安定待ち時間 2^16/CLKMC の設定
    MOVW    PLLCR, #0x0006 ; CPU:28 MHz, CLKP2:7.5MHz(外部 4MHz)
    MOVW    CKFCR, #0x3001 ; CLKB/1, CLKP1/1, CLKP2/4

    MOV     DFCA, #0x00    ; 0 ウェイト状態, CS 無効, 書込み禁止

    MOV     CKSR, #0xFA    ; PLL クロック選択
```

```

        MOVL    A, #0x00006800    ; システムスタックポインタの先頭
        MOVW    SP, A
        SWAPW
        MOV     SSB, A

        MOV     A, #0xFF          ; INIT ポート
        MOV     DDR00, A
        MOVN    A, #0              ; 0x00 をポート 00 へ
        MOV     I:PDR00, A

        MOV     A, #0x1F          ; 保護解除 SAS,SA1-SA4
        MOV     DFWC1, A

PLLWAIT:    BBC     CKMR:6, PLLWAIT ; クロック安定待ち

        EI;

//割込み許可

; CS による書込み
        MOV     DFCA,#0x03        ; CSWE,WE=1(CS 書込み用)
        MOV     DFICA,#0x60       ; ERINT,FININT 許可

        ; CS によるフラッシュ書込み
        MOVL    A, #SA1
        MOVL    RL0, A
        MOVW    A, #0xAA55        ; *0xDF2000 = ダミーデータ
        MOVW    @RL0, A

LOOP:       BRA     LOOP          ; 無限ループ

//IRQ ジャンプテーブル
        .SECTIONIRQTABLE, CODE, LOCATE=0xFFFC00 //実際の値を変更してください。
        .DATA.L 0x00FF8000

//IRQ ハンドラ
        .SECTIONFLASHINTHDL, CODE, LOCATE=0xFF8000

DI;
//割込み禁止

//      このハンドラは CS FIN/ERINT のみを処理します。
//      通常使用についてはケースを追加してください。
        MOV     R3, DFISA;        ; IRQ フラグ取得
        MOV     DFISA, #0x00      ; DFISA のクリア
        MOV     A, R3
        AND     A, #0x40          ;
        BNZ     ERROR            ; ERINT チェック
        MOV     R3, A
        AND     A, #0x20          ; FININT チェック
        BZ      EXIT             ; ほかの割込みがこのハンドラを呼び出す
        MOVW    RW6,#POK0        ; 結果の保存
        JMP     EXIT

```

```
ERROR:      MOV    R3,A
            AND    A,#0x40      ;書き込み保護により失敗
            BZ     ER1          ;
            MOVW   RW6,#PERR0

ER1:  MOV    R3,A
            AND    A,#0x20      ;ハングにより失敗
            BZ     EXIT         ;
            MOVW   RW2,RW6;
            ORW    RW2,#PERR1
            MOVW   RW6,RW2      ;エラー結果を結合

            MOV    DFCA,#0x01      ;CSWE 無効
            MOVL   A, #SA1
            MOVL   RL0, A
            MOV    A, #0xF0      ;リセットコマンド
            MOVW   @RL0, A

EXIT:      NOP                  ;終了
```

# Chapter 30: フラッシュセキュリティ



---

フラッシュセキュリティの機能および動作について説明します。

---

1. 概要
2. 使用方法

---

管理コード : 96F6FLASHSEC-J02.0

---



## 1. 概要

フラッシュセキュリティは、アプリケーションで意図した以外の方法で、フラッシュメモリの内容が読み出されることを防止する機能です。

### ■ フラッシュセキュリティ機能

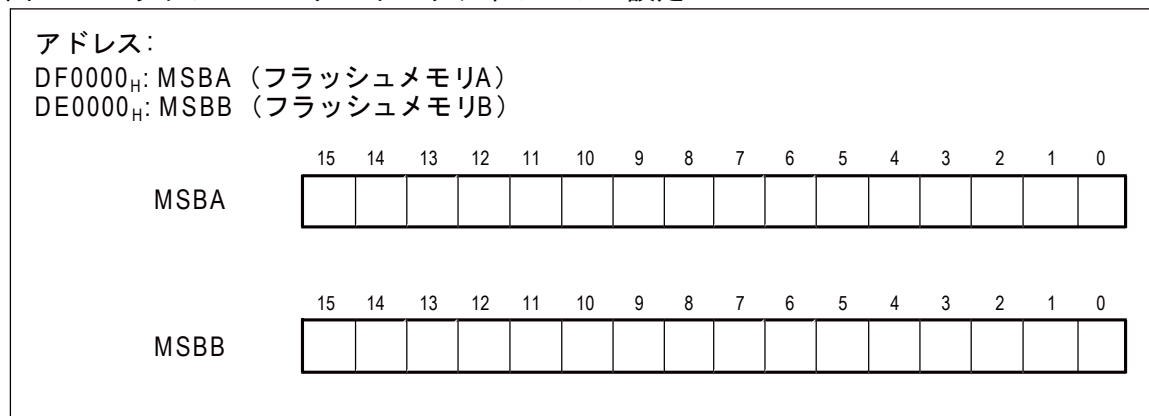
- ・ アプリケーションが意図しないときに、フラッシュメモリの内容が読み出されることを防止する機能です。内部ベクタモードで開始された内部ユーザプログラムのみがフラッシュメモリの内容にアクセスできます。以下は、フラッシュメモリを読み出すことができません。
  - ・ 外部パラレルフラッシュプログラマ
  - ・ シリアル通信モード
- ・ どのモードでも、フラッシュメモリを消去できます。
- ・ フラッシュセキュリティが設定されていても、シリアル通信モードにおいて128ビットセキュリティキーを入力することによって、本機能を解除できます。また、セキュリティキーによるセキュリティ解除機能を無効とすることができます。

## 2. 使用方法

フラッシュセキュリティの許可/禁止の方法と、フラッシュメモリがどのように意図しない読出しから防止されるかを説明します。

### ■ フラッシュセキュリティを許可する

図 2-1 フラッシュメモリセキュリティワードの設定



フラッシュメモリセキュリティは、フラッシュメモリセキュリティバイトの **MSBA** および **MSBB** に書き込むことにより、フラッシュメモリ **A** およびフラッシュメモリ **B** に対して許可することができます。

**MSBA** の内容が 9999<sub>H</sub> のときは、フラッシュメモリは読出しが禁止されます。**MSBA** の内容が FFFF<sub>H</sub> に設定され、解除キー **MSUKA0** ~ **MSUKA15** の内容がすべて FF<sub>H</sub> に設定されているときは、フラッシュメモリの読出しは禁止されません。9999<sub>H</sub> または FFFF<sub>H</sub> 以外の内容を **MSBA** レジスタに書き込まないでください。

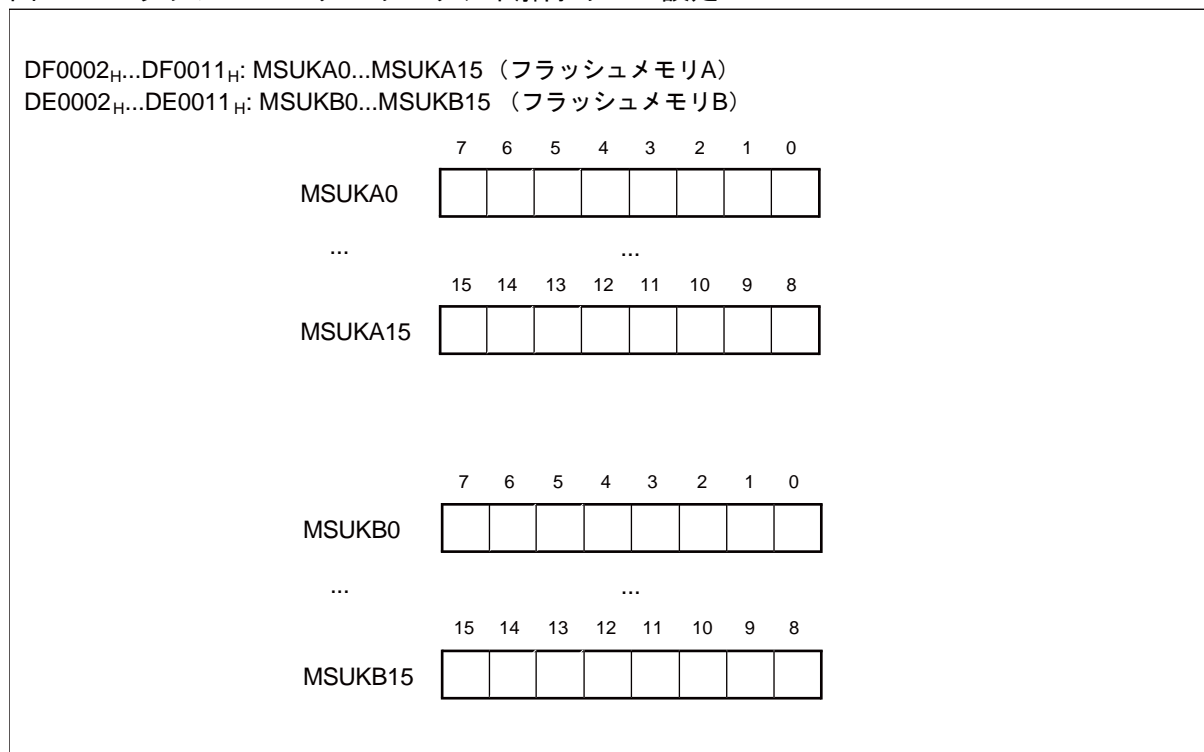
**MSBB** の内容が 9999<sub>H</sub> のときは、対応するフラッシュメモリの読出しが禁止されます。**MSBB** の内容が FFFF<sub>H</sub> に設定され、解除キー **MSUKB0** ~ **MSUKB15** の内容がすべて FF<sub>H</sub> に設定されているときは、それぞれ対応するフラッシュメモリの読出しは禁止されません。9999<sub>H</sub> または FFFF<sub>H</sub> 以外の内容を **MSBB** レジスタに書き込まないでください。

#### <注意事項>

- ・ フラッシュメモリを消去した後は、フラッシュメモリ内のすべてのビットの値は "1" です。したがって、フラッシュメモリ領域の **MSBA** または **MSBB** に書込みがされないときは、**MSBA** または **MSBB** の内容は FF<sub>H</sub> です。この場合、フラッシュメモリの内容は読出しが禁止されません。
- ・ 2つのフラッシュを持つデバイスでは、両方のフラッシュマクロに同じ設定を使用してください。一方のフラッシュマクロを "読出し禁止" に設定すると、もう一方のフラッシュマクロへのアクセスも禁止されます。
- ・ オンチップデバッガ(OCD)のパスワードによる認証が完了すると、セキュリティ ON 時の場合でも OCD を使用して外部からフラッシュメモリの内容を読み出せます。第三者による読出しを停止したい場合は、オンチップデバッガ(OCD)起動許可用のパスワードを必ず設定するかまたは端子モードマーカで **DEBUG I/F** ポートを禁止してください。

## ■ フラッシュセキュリティを解除する

図 2-2 フラッシュメモリセキュリティ解除キーの設定



読出し禁止(メモリセキュリティワードが 9999<sub>H</sub>)のフラッシュメモリは、シリアル通信モードで使用されている USART が解除キーを受信した後は、引き続きシリアル通信モードで読み出すことができます。

解除キーは、解除キーバイト MSUKA0～MSUKA15(フラッシュメモリ A)に格納されたキーと比較されます。受信したキーがフラッシュメモリに格納されたキーと一致する場合は、それに続くシリアル書込みコマンドによりメモリを読み出すことができます。

MSUKA0～MSUKA15/MSUKB0～MSUKB15 に格納された解除キーの値がすべてゼロの場合は、対応するフラッシュメモリの読出し禁止は解除させることができなくなります。

### <注意事項>

- 解除キーをすべて 0 に設定した場合、フラッシュメモリの読出し禁止機能を解除することはできません。したがって、フラッシュの内容を分析することができなくなります。必要な場合のみこの機能を使用してください。
- 読出し禁止でないデバイスについては、MSUKA0～15/MSUKB0～15 に格納されるキーをすべて FF<sub>H</sub> に設定する必要があります。

## ■ フラッシュセキュリティを禁止する

フラッシュメモリデバイス上では、フラッシュセキュリティを以下のように禁止することができます。

内部ベクタモードにおいては、アプリケーションプログラムはフラッシュセキュリティを以下の方法で禁止することができます。

- ・ フラッシュセキュリティワードと解除キーの設定を含むセクタを消去することにより、フラッシュセキュリティワードと解除キーの値をクリアします。(SAS, SBS)
- ・ "チップ消去"コマンドでフラッシュメモリを完全に消去することにより、フラッシュセキュリティワードと解除キーの値をクリアします。

シリアル通信モードにおいては、フラッシュセキュリティを次の方法で禁止することができます。

- ・ フラッシュセキュリティを解除した後、フラッシュセキュリティワードと解除キーの設定を含むセクタを消去することにより、フラッシュセキュリティワードと解除キーの値をクリアします。
- ・ "チップ消去"コマンドでフラッシュメモリを完全に消去することにより、フラッシュセキュリティワードと解除キーの値をクリアします。

パラレルフラッシュ書込みモードにおいては、フラッシュセキュリティを次の方法でのみ禁止することができます。

- ・ "チップ消去"コマンドでフラッシュメモリを完全に消去することにより、フラッシュセキュリティワードと解除キーの値をクリアします。



# Chapter 31: シリアルプログラミング接続の例



---

フラッシュメモリのシリアルプログラミングのための MCU の接続方法について説明します。

---

1. シリアルプログラミング接続の基本構成
2. フラッシュマイクロコントローラをプログラミングするためのPCの接続例
3. フラッシュマイクロコントローラをプログラミングするためのプログラミングツールの接続例

---

管理コード : 96F6SERIALPRG-J03.0

---

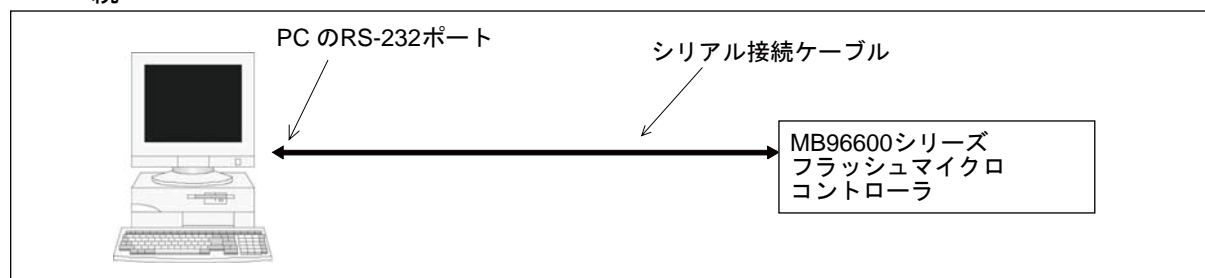
## 1. シリアルプログラミング接続の基本構成

MB96600 シリーズフラッシュマイクロコントローラは、フラッシュ ROM シリアルオンボードプログラミングに対応しています。ここでは、マイクロコントローラをプログラミング機器に接続する方法について説明します。

### ■ シリアルプログラミングの基本構成

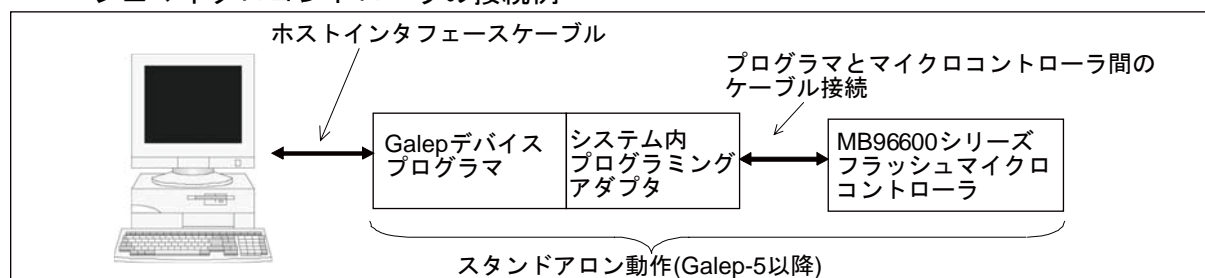
最小システムでは、MB96600 シリーズフラッシュマイクロコントローラは非同期モードの USART 経由で PC の RS-232 ポートに接続されます。

図 1-1 PC のシリアルポートとサイプレス MB96600 シリーズフラッシュマイクロコントローラの接続



高速シリアルオンボードプログラミングには、各種ベンダのプログラミングツールを使用できます。サイプレス MB96600 シリーズフラッシュメモリマイクロコントローラに対応しているのは、CONITEC DATASYSTEMS の Galep デバイスプログラマと横河ディジタルコンピュータ社の NET IMPRESS です。

図 1-2 CONITEC DATASYSTEMS の Galep デバイスプログラマとサイプレス MB96600 シリーズフラッシュマイクロコントローラの接続例



### <注意事項>

Galep デバイスプログラマの詳細については、CONITEC DATASYSTEMS にお問い合わせください。  
 NET IMPRESS の詳細については、横河ディジタルコンピュータ社にお問い合わせください。

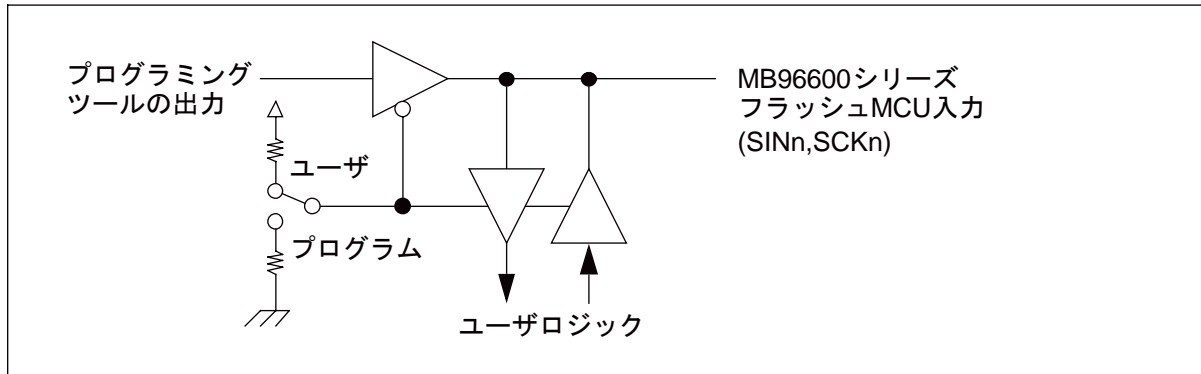
表 1-1 サイプレスシリアルオンボードプログラミングに使用する端子

端子	機能	追加情報
MD	モード端子	MCU の動作モードを制御します。詳細については、『リセットとスタートアップ』の章の「4. ブート ROM プログラムの実行と動作モード、および ROM 構成ブロック」を参照してください。
DEBUG I/F	オンチップデバッグ入/出力端子	オンチップデバッグシステムでフラッシュシリアルプログラミングモードおよびフラッシュパラレルプログラミングモードを選択するために使用されます。詳細については、『リセットとスタートアップ』の章の「4. ブート ROM プログラムの実行と動作モード、および ROM 構成ブロック」を参照してください。
X0, X1	発振端子	一部のプログラミングツールは MCU に水晶精度のタイミングが必要です。このため、オンチップ水晶発振回路を使用する必要があります。
RSTX	リセット端子	一部のプログラミングツールでは、MCU のリセットラインの制御を必要とします。
SINn	シリアルデータ入力端子	プログラミングツールと MCU の間の通信には、USART が使用されます。事前に定義されている USART のうち、どの USART が MCU のプログラミングツールと接続されているかは、MCU によって自動的に検出されます。MCU のプログラミングに使用できる USART チャネル番号については、データシートの「シリアルプログラミング通信インタフェース」を参照してください。
SOTn	シリアルデータ出力端子	
SCKn	シリアルクロック信号入力端子	
C	C 端子	この外部コンデンサ端子は、電源の安定化に使用されます。推奨される容量とタイプについては、データシートの「C 端子の平滑コンデンサ」を参照してください。
V <sub>cc</sub>	電源電圧端子	ユーザシステムから電源を供給した場合は、デバイスプログラムの電源を接続する必要はありません。デバイスプログラムの電源を接続するときは、ユーザ側の電源とショートしないように注意してください。
V <sub>ss</sub>	GND 端子	フラッシュマイクロコンピュータプログラマと共通の接地。

デバイスプログラマによって駆動される信号がユーザシステムでも使用される場合は、図 1-3 に示される制御回路が必要です。この回路は、ジャンパの状態に応じてプログラミング接続を有効化または無効化します。



図 1-3 ユーザ回路とシリアルプログラミングに使用されるポートの接続



### ■ シリアルデータのボーレート

MCU は、プログラミングツールまたはプログラミングソフトウェアの実行 PC に合わせてシリアルデータのボーレートを自動的に決定します。

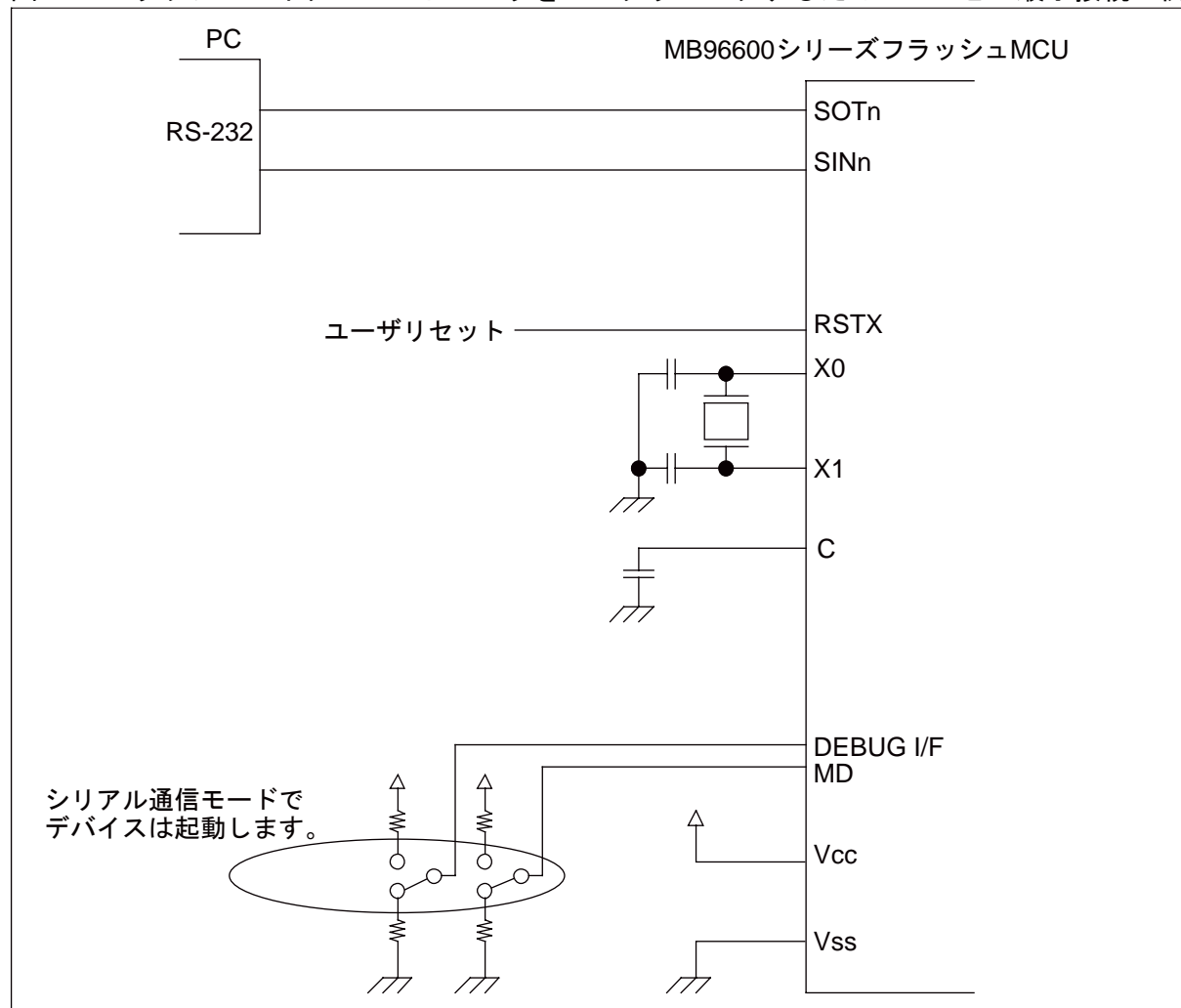
## 2. フラッシュマイクロコントローラをプログラミングするためのPCの接続例

図 2-1 は、フラッシュマイクロコントローラをプログラミングするための PC との最小接続の例を示しています。

### ■ フラッシュマイクロコントローラをプログラミングするための PC との最小接続の例

PC とフラッシュ MCU の間の最小接続では、非同期モードの USART のみの接続が必要です。フラッシュシリアルプログラミングに使用できる USART チャンネルの概要については、データシートの「シリアルプログラミング通信インタフェース」を参照してください。

図 2-1 フラッシュマイクロコントローラをプログラミングするための PC との最小接続の例



### 3. フラッシュマイクロコントローラをプログラミングするためのプログラミングツールの接続例

---

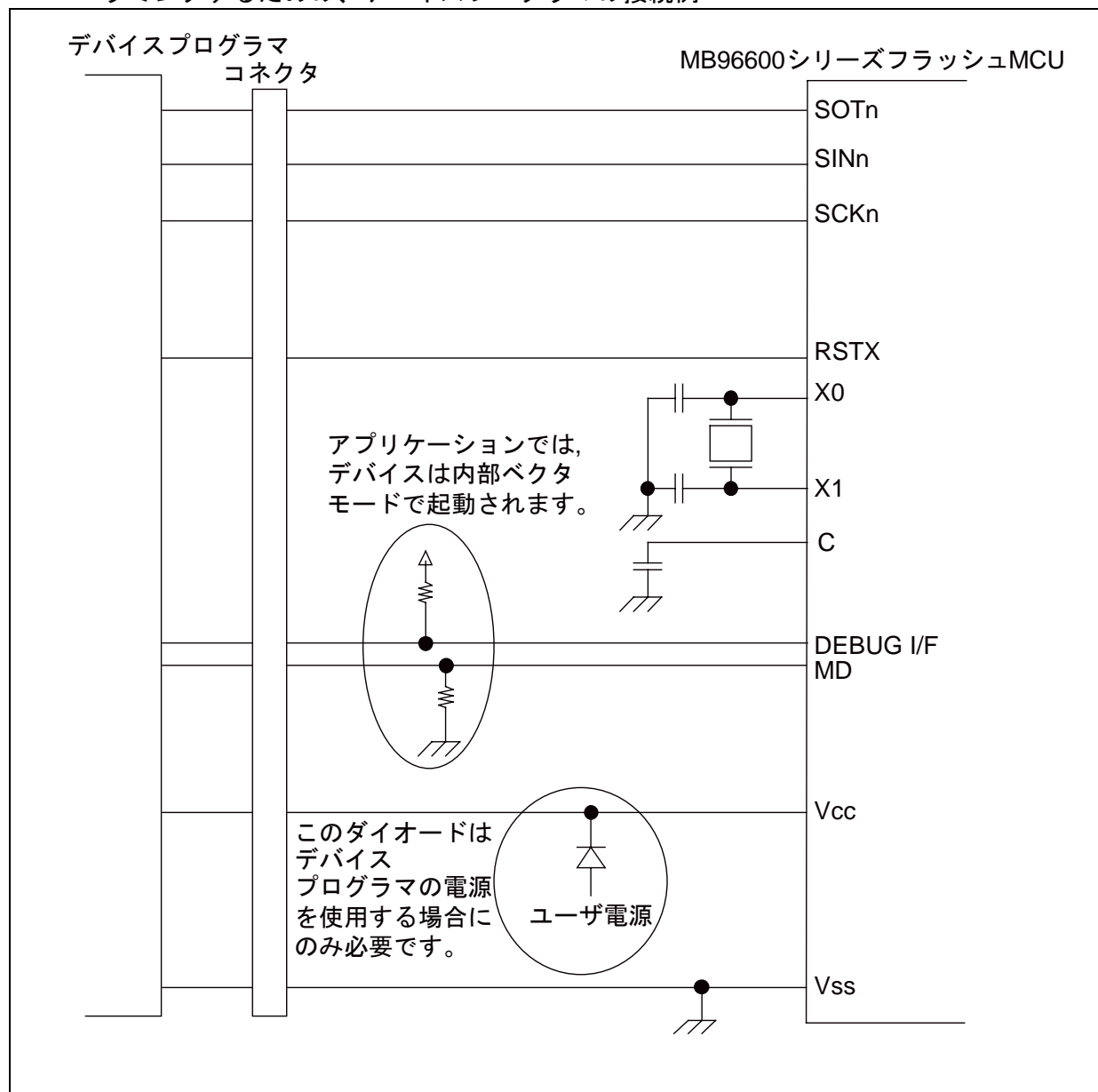
図 3-1 は、フラッシュマイクロコントローラをプログラミングするためのプログラミングツールの接続例です。

---

#### ■ フラッシュマイクロコントローラをプログラミングするためのプログラミングツールの接続例

高速プログラミングのためには、デバイスプログラマを次の例に示されるように接続する必要があります。フラッシュシリアルプログラミングに使用できる USART チャンネルの概要については、データシートの「シリアルプログラミング通信インタフェース」を参照してください。

図3-1 アプリケーションの内部ベクタモードで起動されたフラッシュマイクロコントローラをプログラミングするための、デバイスプログラムの接続例





# Chapter 32: オンチップデバッガ



OCDは、F<sup>2</sup>MC-16FXにおいてオンチップデバッグ機能を提供するためのデバイス内蔵デバッグサポートユニットです。OCD は、デバッガの基本機能(CPU 実行制御, CPU レジスタ / メモリへのアクセス), 小規模デバッグ支援機能(イベント, 実行時間測定, トレースなど) とセキュリティ機能を搭載しています。

1. 特長
2. 構成
3. 動作
4. レジスタ
5. DEBUG I/F ターゲットボード基板設計ガイドライン
6. 使用上の注意

管理コード : 96F6OCD-J03.0

## 1. 特長

オンチップデバッガ(OCD) の特長について説明します。

- **一線式デバッグツールインタフェース**
  - 通信タイプ: マンチェスタ符号
  - ホットプラグ対応 (OCD 起動, オートネゴシエーションモード機能なし)
  - DEBUG I/F ウェイクアップ・スタンバイ機能
  - ツール側でのクロック補正が必要
  - OCD スタンバイ対応 (コマンドやタイムアウトにより OCD 停止)
  - 高速スタートアップモード  
(フラッシュに格納された設定によりモード決定, SOFTUNE 非対応)
- **デバッグセキュリティ機能**
- **デバッグモード制御機能**
- **実行制御機能**
  - 各種ステータス表示機能 (チップステータス, CPU ステータスなど)
  - デバッグコマンド実行制御機能
  - 小規模デバッグメインメモリ (4 バイト)
  - CPU レジスタ退避レジスタ (PCB:PC, PS)
  - PC モニタ機能
  - リセット機能
    - チップリセット (INIT: 電源リセット時, 外部リセット時, クロック停止検出リセット時またはデバッグツールからの要求時)
    - ローレベルリセット (RST: ウォッチドッグタイマリセット時, ソフトウェアリセット時, デバッグツールからの要求時または INIT 時)
- **ブレーク機能**
  - ステップ実行ブレーク
  - イベントトリガブレーク
  - 強制ブレーク (ツールブレーク, 割込みマスクレベルが選択可能)
  - 特定命令ブレーク
  - ソフトウェアブレーク
  - 実行開始アドレス直後の割込み受付制御
- **デバッグ DMA 機能 (DDMA 機能)**
  - 各種転送モードのサポート (アドレスモード, 検証モード, DEBUG I/F のバースト転送)
- **イベント機能**
  - コードイベント: 6
  - 条件付コードイベント: 2
  - データイベント: 6
  - イベントシーケンサ: 2 レベル + リセット
- **実行時間測定タイマ機能**
  - Go-Break 間測定

- 内部トリガ間測定 (単発測定/累積測定)
- **トレース機能**
  - 分岐トレース (HW 割込み表示)
  - トレースフレーム数: 42
- **Semi-hosting 機能**
  - 1 バイトメッセージバッファ
- **OCD 復帰機能**
  - バックアップレジスタによる OCD 復帰 (パワーオンなしのチップリセット時)
  - フラッシュからの OCD 復帰 (パワーオンありのチップリセット時)

---

**<注意事項>**

DMA がイネーブル設定時であっても DMA はブレイク中にデバッグワーク RAM にアクセスできません。  
デバッグワーク RAM は 1K バイトあり、00:7C00<sub>H</sub>~00:7FFF<sub>H</sub>のメモリ領域です。

---

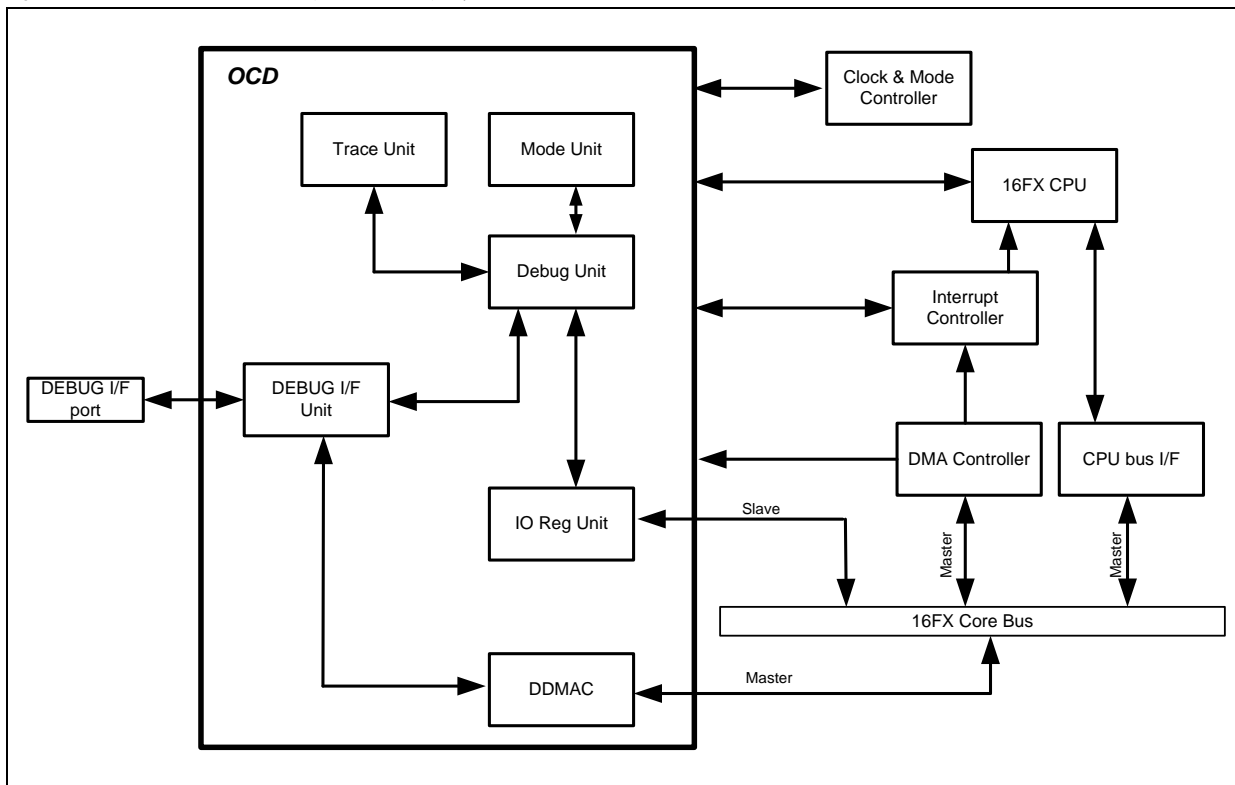


## 2. 構成

OCD の構成ブロックの概要を説明し、内部 MCU および外部デバッグツールとの OCD インタフェースを示します。

### ■ OCD のブロックダイアグラム

図 2-1 OCD のブロックダイアグラム



トレースユニット  
モードユニット  
デバッグユニット

トレース機能を制御します。小規模のトレース RAM が組み込まれています。  
スタートアップモードと OCD の起動/禁止を制御します。  
メインのデバッグ機能を搭載しています。

- ユーザ I/O レジスタ (DSUCR, UER, MBR) を除くすべての OCD レジスタが含まれます。
- CPU モードを制御し、CPU ステータスを検出します。
- ブレーク要因を検出し、ブレーク要求を制御します。
- イベントを制御し、イベントを検出します。
- 実行タイマを制御します。

DEBUG I/F ユニット

DEBUG I/F プロトコルを実行します。

I/O レジスタユニット

このユニットにはユーザ I/O レジスタがあります。16FX コアバスへのスレーブインタフェースを備えています。

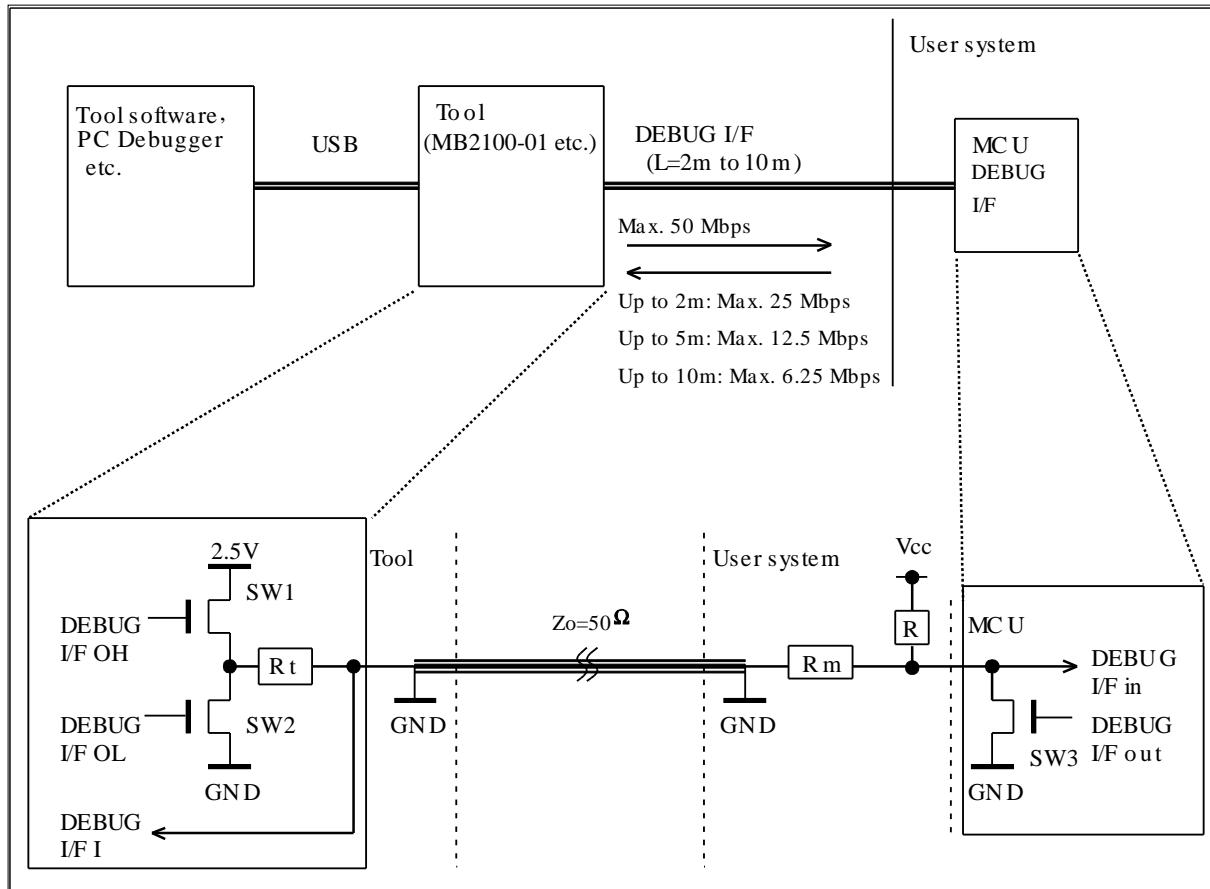
DDMAC

デバッグ DMA コントローラです。16FX コアバスへのマスタインタフェースを備えて

います。

## ■ OCD 接続図

図 2-2 OCD 接続図



- ・  $R_t = Z_0$  (SW1, SW2 のオン抵抗)
- ・  $R_m = Z_0$  (SW3 のオン抵抗)、MCU により規定される。
- ・ DEBUG I/F 非駆動時の固定レベル用に、プルダウン抵抗(100kΩ) がデバッグツール側に追加され、プルアップまたはプルダウン抵抗(10kΩ) が MCU 側に追加されます。また、OCD 未使用時で、シリアル通信モードでない場合も DEBUG I/F にプルアップ抵抗が必要です。これらのプルアップまたはプルダウン抵抗の許容誤差は-5%~+5%です。

## ■ DEBUG I/F クロック

デバッグツール接続時は、2MHz 内蔵 RC 発振クロックが DEBUG I/F ベースクロックに供給されます。デバッグツール非接続時は、DEBUG I/F ベースクロックは停止します。

デバッグツール接続および高速通信選択時は、内部 CLKVCO クロックが DEBUG I/F PLL クロックに供給されます。

デバッグツール接続および高速通信非選択時またはデバッグツール非接続時は、DEBUG I/F PLL クロックは停止します。

## 3. 動作

---

OCD 動作モード, DEBUG I/F プロトコル, デバッグツール接続時の MCU の仕様制限など、オンチップデバッガ(OCD) の動作の概要を説明します。

---

- 3.1 OCD 動作モード
- 3.2 DEBUG I/F 概要
- 3.3 デバッグツール接続時の仕様制限
- 3.4 本製品の OCD-DSU ID コードおよびマウントタイプ情報

## 3.1. OCD 動作モード

---

OCD 動作モードおよび動作モードの遷移について説明します。

---

- 3.1.1 動作モード
- 3.1.2 動作モード状態遷移

### 3.1.1. 動作モード

---

OCD 動作モードには、エミュレータモードとフリーランモードがあります。

---

#### ■ エミュレータモード (デバッグ実行ステータス)

エミュレータモードは、デバッグ命令実行用のデバッグ状態と、ユーザプログラム実行用のユーザ状態によって構成されます。デバッグ状態のときに RETI 命令が実行された場合、制御はユーザ状態へ移行します。ユーザ状態でブレークが発生した場合、制御はデバッグ状態へ移行します。

#### ■ フリーランモード (通常実行ステータス)

ユーザプログラムだけが実行されるモードです。

### 3.1.2. 動作モード状態遷移

動作モード状態遷移について示します。

INIT 解除(電源リセット時, 外部リセット時, クロック停止検出リセット時またはデバッグツールの要求時に発行) のとき、ROM 構成ブロックの端子モードマーカ(PMM), ROM 構成ブロックのブートモードマーカ(BMM), チップリセットシーケンス中のDEBUG I/Fからのモードコマンドにしたがって、制御はエミュレータモードまたはフリーランモードへ移行します。

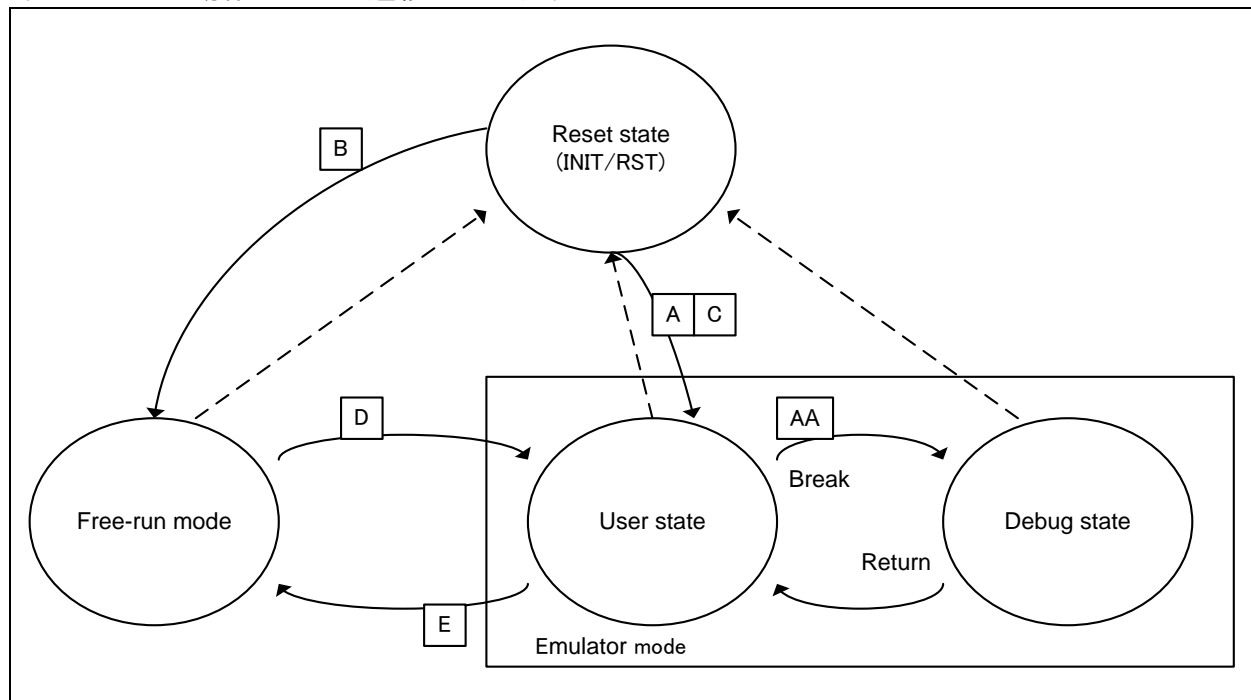
RST 解除(ウォッチドッグタイマリセット時, ソフトウェアリセット時, デバッグツールからの要求時, INIT 発生時に発行) のときにINITが伴わない場合、制御はRST発生前に発生している動作モードへ移行します。ただし、ユーザ状態でRSTがアサートされた後に強制ブレーク要求が発行された場合、RST 解除後に制御はエミュレータモードのデバッグ状態に移行します。

さらに、フリーランモードとエミュレータモードのユーザ状態間の遷移は、OCD レジスタ制御によって許可されます。

リセットステータスからデバッグ状態への遷移のとき、制御はまずユーザ状態に移行します。この場合、OCD によってブレークを要求することによって、リセットステータスから、ユーザ状態(ブレーク)、デバッグ状態の順に遷移します。

遷移の条件を図 3-1に示します。

図 3-1 OCD 動作モードの遷移ダイアグラム



破線で示される遷移

リセット(INIT, RST) 発生時の遷移。すべての状態はリセット状態に移行します。

実線で示される遷移

A	(1) INIT の伴うリセット発生後の INIT 解除時に、以下のいずれかのケースで発生します(DEBUG I/F が PMM マーカで許可された場合のみ)。 (1-a) エミュレータモードにエントリする高速スタートアップモードが BMM マーカによって許可された (1-b) DEBUG I/F のチップリセットシーケンス中にモードコマンドが正常に受信された (2) デバッグ状態で INIT の伴わないリセット発生後の RST 解除後の遷移。 (3) ユーザ状態で INIT の伴わないリセット発生後、RST 解除前に強制ブレークが要求された場合の RST 解除後の遷移。
AA	A(1-b), A(2), A(3) のいずれかが発生した場合に発生します。
B	(1) INIT の伴うリセット発生後の INIT 解除時に、以下のいずれかのケースで発生します。 (1-a) DEBUG I/F が PMM マーカで禁止された (1-b) フリーランモードにエントリする高速スタートアップモードが BMM マーカによって許可された (1-c) DEBUG I/F のチップリセットシーケンス中にモードコマンドが正常に受信されなかった (2) フリーランモードで INIT の伴わないリセット発生後の RST 解除時の遷移。
C	ユーザ状態で INIT の伴わないリセット発生後の RST 解除時の遷移。
D	フリーランモードで OCD-DSU 動作が許可されているときに、ツールソフトウェアの要求によって発生します。
E	OCD-DSU がユーザ状態で、ツールソフトウェアの要求によって発生します。

**<注意事項>**

BMM マーカによる高速スタートアップモードは SOFTUNE でサポートされていないため使用禁止です。

## 3.2. DEBUG I/F 概要

MCU は、デバッグインタフェース(DEBUG I/F) 用に 1 つの端子を使用します。DEBUG I/F 機能について説明します。

- 3.2.1 チップリセットシーケンス
- 3.2.2 デバッグ I/F ウェイクアップ
- 3.2.3 セキュリティ機能
- 3.2.4 DEBUG I/F ポート制御

DEBUG I/F は、MCU とデバッグツール間を 1 ワイヤ(+GND) で接続するシングルワイヤデバッグインタフェースです。

DEBUG I/F は、通信機能と特殊なシーケンス機能を実行する双方向端子です。通信では、シリアル送信方式(USART) を使用します。通常 USART モードでは、通信ボーレートは MCU の RC 発振クロックに基づいて取得されます。高速 USART モードでは、ボーレートは MCU CLKVCO クロックに基づく分周クロックから取得されます。特殊なシーケンスには、チップリセットシーケンスとストールが含まれます。チップリセットシーケンスは、チップリセットが発生したことをデバッグツールに通知する MCU と、起動される入力モードを MCU に通知するデバッグツールによって構成されます。ストール機能では、デバッグツールから通信ストールと強制ブレーク要求が、MCU から通信エラー通知が提供されます。

以下に主な DEBUG I/F の機能を示します。

- ・ チップリセットシーケンス機能 (INIT 通知, モードコマンド)
- ・ USART 機能 (通常 USART, 高速 USART)
- ・ ストール要求 (通信ストール要求, 強制ブレーク要求, 通信エラー通知, ウェイクアップ)

DEBUG I/F の双方向端子は、N-ch オープンドレイン出力によって実現されています。DEBUG I/F 端子は、ユーザシステム上でプルアップされます。また、デバッグツールによってツール接続中にもプルアップされます。

デバッグツールの接続については、図 2-2 および図 5-1 を参照してください。



## 3.2.1. チップリセットシーケンス

---

INIT 解除(電源リセット時, 外部リセット時, クロック停止検出リセット時またはデバッグツールの要求によって発行) のとき、OCD はチップリセットシーケンスを実行します。このシーケンスは、ROM 構成ブロックにある端子モードマーカ(PMM) とブートモードマーカ(BMM)の構成マーカで定義された値によって異なります。

---

3.2.1.1 デフォルトのチップリセットシーケンス

3.2.1.2 高速スタートアップモードのチップリセットシーケンス

3.2.1.3 DEBUG I/F 禁止時のチップリセットシーケンス

---

### <注意事項>

SOFTUNE では、高速スタートアップモードはサポートしておりません。

そのため、本機能は使用禁止です。ブートモードマーカは、55<sub>H</sub>/AA<sub>H</sub>以外を設定してください。

---

### 3.2.1.1. デフォルトのチップリセットシーケンス

デフォルトのチップリセットシーケンスは、INIT 解除後に発生するデフォルトシーケンスです。

INIT(電源リセット時、外部リセット時、クロック停止検出リセット時またはデバッグツールの要求によって発行)が発生したとき、安定待ち時間経過後に内部ブート ROM プログラムの実行が開始されます。ブート ROM プログラムは OCD の設定を行い、チップリセットシーケンスが完了するまでプログラムの実行を停止します。

チップリセットシーケンスを実行するための基準クロックは、MCU RC 発振クロックです。

チップリセットシーケンスは、次の 5 つのフェーズから構成されます。

開始フェーズ、INIT フェーズ、アイドルフェーズ、モードエントリフェーズ、終了フェーズ

#### ● 開始フェーズ

開始フェーズは、ブート ROM プログラムによる OCD 設定から INIT 通知トリガ時までのわずかなサンプリングクロックサイクル期間です。このフェーズでは、OCD は特に何の動作も実行しません。

#### ● INIT 通知フェーズ

INIT 通知フェーズは、開始フェーズ終了時から、通常 USART で 568 サンプリングクロックサイクルカウント時までの期間です。OCD はこのフェーズで、280 サイクルの長さの 2 つのローパルスで DEBUG I/F に出力し(2 つのパルス間に 8 サイクルのアイドルフェーズが挿入されます)、INIT の発生をデバッグツールに通知します。

#### ● アイドルフェーズ

アイドルフェーズは、INIT 通知フェーズ終了時から、通常 USART で 256 サンプリングクロックサイクルカウント時までの期間です。このフェーズ中では、OCD は特に何の動作も実行しません。

#### ● モードエントリフェーズ

モードエントリフェーズは、アイドルフェーズ終了時から、通常 USART で 256 サンプリングクロックサイクルカウント時までの期間です。OCD は、このフェーズでデバッグツールからのモードコマンドの受信を開始します。

このフェーズでモードコマンド受信の開始が検出されると(USART 受信でスタートビット検出)、OCD はエミュレータモード(デバッグ状態)を起動します。次にノーマルモードコマンドの受信(受信エラーなしおよびモードコマンド一致)後、OCD で後続のレジスタアクセスコマンドの受信が可能になります。ノーマルモードコマンド非受信(受信エラーおよびモードコマンド一致なし)時には、OCD で INIT 要求が発生し、INIT 解除後にチップリセットシーケンスが再実行されます。

このフェーズでモードコマンド受信の開始が検出されない場合(USART 受信でスタートビット非検出)、OCD はフリーランモードを起動します。

モードエントリフェーズの開始後直ちにモードコマンドを受信するためには、USART 受信サンプリングクロックを使って、1 サイクル以上の待ち時間でモードコマンドを受信し、DEBUG I/F に H を入力してください。この条件に適合しないと、モードコマンド受信のスタートビットを正常に検出できず、モードに正しくエントリできない可能性があります。

### ● 終了フェーズ

モードエントリフェーズ終了時から低速 USART 4 サンプリングクロックサイクルの期間が終了フェーズです。このフェーズでは、OCD は特に何の動作も実行しません。終了フェーズが完了した場合、OCD はチップリセットシーケンスの完了をブート ROM プログラムに通知し、ブート ROM プログラムは実行を再開します。

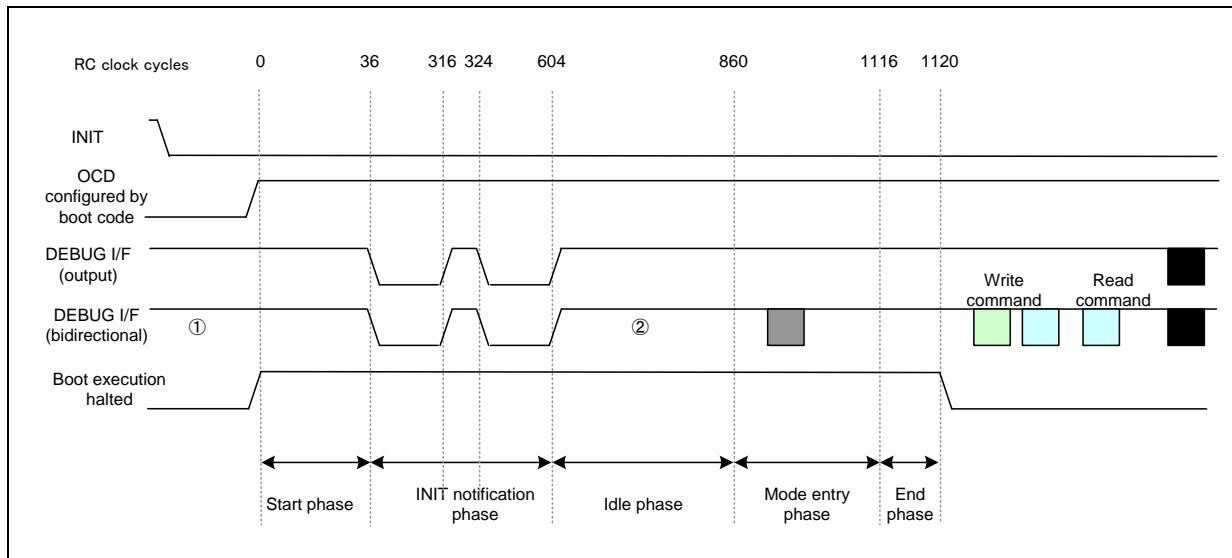
通常 USART(RC クロックサイクル) のサンプリングクロックサイクル数とチップリセットシーケンスの各フェーズとの関係を表 3-1 に示します。

表 3-1 RC クロックサイクル数とチップリセットシーケンスのフェーズとの関係

チップリセットシーケンスのフェーズ	開始フェーズ	INIT 通知フェーズ	アイドルフェーズ	モードエントリフェーズ	終了フェーズ
ブート ROM プログラムによる OCD 設定以降の RC クロックサイクル数	1~36	37~604	605~860	861~1116	1117~1120

チップリセットシーケンスの要素を図 3-2 に示します。

図 3-2 デフォルトのチップリセットシーケンス



(1) DEBUG I/F は、デバッグツールによるプルアップで H レベルになります。

(2) DEBUG I/F は、ユーザシステムボードによるプルアップで H レベルになります。

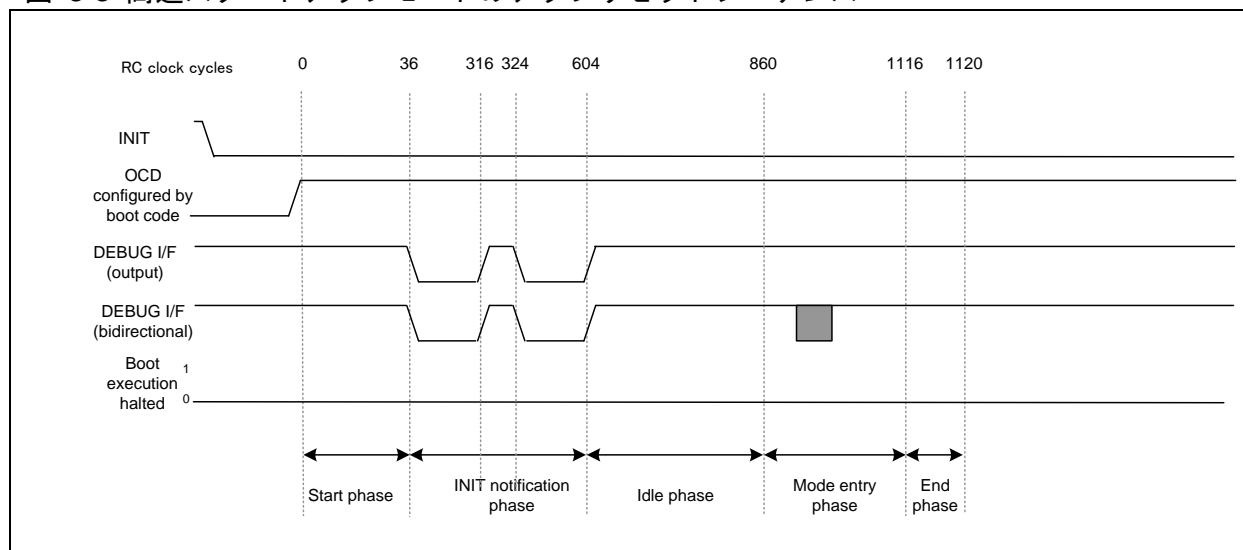
### 3.2.1.2. 高速スタートアップモードのチップリセットシーケンス

デフォルトのチップリセットシーケンスによって生じるブート ROM プログラム実行時間の遅延を許容できない MCU の場合は、高速スタートアップモードを設定できます。設定は、ROM 構成ブロックにあるブートモードマーカ(BMM) によって行われます。

高速スタートアップモードが選択された場合、デバッグツールから送信されたモードエントリコマンドとは無関係に、ブートモードマーカ(BMM) で定義されたモード(フリーランモードまたはエミュレータモード) によって、MCU は起動します。したがって、モードエントリフェーズでのモードエントリ決定の完了を待機するためには、チップリセットシーケンス中にブート ROM プログラムの実行を停止する必要はありません。

高速スタートアップモードのチップリセットシーケンスの要素を図 3-3に示します。ブート ROM プログラムの実行は停止されません。

図 3-3 高速スタートアップモードのチップリセットシーケンス



## ■ ブートモードマーカ

ブートモードマーカ(BMM) には、ROM 構成ブロックの DF:0056<sub>H</sub>1 バイトが割り当てられます。

表 3-2 に示すように、このマーカは OCD のブート条件を制御します。チップリセットが発生した場合、ブート ROM プログラムはこのマーカを読み出し、その指示にしたがって OCD を設定します。

表 3-2 ブートモードマーカの構成

[bit7～bit0] BMOD (ブートモード)

BMOD	ブートモードの選択
55 <sub>H</sub>	フリーランモードにエントリする高速スタートモード
AA <sub>H</sub>	エミュレータモードにエントリする高速スタートモード (デバッグツール不使用時は設定禁止)
その他	デフォルトのチップリセットシーケンス実行

### <注意事項>

この領域に何も書き込まれない場合、フラッシュ消去直後の初期状態(全ビット=1) が保持され、デフォルトのチップリセットシーケンスが許可されます。

SOFTUNE では、高速スタートアップモードはサポートしておりません。

そのため、本機能は使用禁止です。ブートモードマーカは、55<sub>H</sub>/AA<sub>H</sub>以外を設定してください。

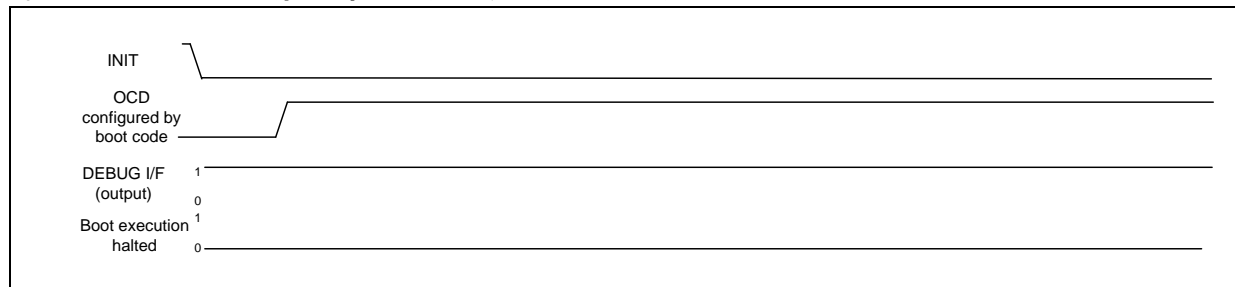
### 3.2.1.3. DEBUG I/F 禁止時のチップリセットシーケンス

ROM構成ブロックにある端子モードマーカ(PMM) によってDEBUG I/F 端子が禁止されている場合、チップリセットシーケンスは実行されずに、MCU はフリーランモードにエントリします。

INIT (電源リセット時、外部リセット時、クロック停止検出リセット時またはデバッグツールの要求によって発行) が発生したとき、安定待ち時間経過後に内部ブートROM プログラムの実行が開始されます。図 3-4 に示すように、ブートROM プログラムはOCD を禁止し、ブートROM プログラムの実行はOCD からの応答を待機することなく継続します。

DEBUG I/F は、ユーザシステムの外部抵抗によってプルアップされます。

図 3-4 DEBUG I/F 禁止時のチップリセットシーケンス



## 3.2.2. デバッグ I/F ウェイクアップ

DEBUG I/F ウェイクアップは DEBUG I/F ポート経由で OCD を起動するための機能です。

INIT に続いてフリーランモードに入る時、OCD は禁止(OCD へのクロック供給は停止) されます。そのような条件下で OCD の動作を許可するためには下記の 3 つの方法があります。

1. 電源リセットまたは外部リセットを発行する。
2. DSUCR:DSU ビットを使ってユーザプログラムから OCD 動作を許可する。
3. DEBUG I/F ウェイクアップにより OCD 動作を許可する。

ここでは、DEBUG I/F ウェイクアップ機能により OCD 動作を許可する方法について説明します。

DEBUG I/F ポートにある内蔵ノイズフィルタを通過できる(~10-20ns より短いパルスはフィルタリングされます) ローパルスをデバッグツールが送出したとき、OCD が起動されます。

このようなローパルスは 2MHz RC 発振器を起動し、OCD へのクロック供給を許可します。

起動後、OCD はデバッグツールからの有効なコマンドを待機します。ウェイクアップパルス終了後、2<sup>22</sup> RC クロックサイクル(~2 秒間) の間に有効なコマンドを受信しなければ OCD は再び禁止され、クロック供給は停止します(誤ってウェイクアップになった後に OCD がアクティブになることを防止するためのタイムアウト機能)。

デバッグツールから受信した有効な各コマンドがタイムアウトカウンタを再開し、OCD がさらに~2 秒間アクティブになります。セキュリティパスワードが正しく送信されると、デバイスのロックが解除されタイムアウトカウンタは停止します。OCD は、次の INIT までまたはデバッグツールから禁止コマンドが送られるまでアクティブなままです。

パスワード長マーカによってセキュリティ機能が禁止されている場合は、タイムアウト期間内に OCD が受信した有効なコマンドは、タイムアウトカウンタを停止します(OCD はアクティブなまま)。40μs より長い低パルス信号(ストール信号) だけが有効なコマンドの 1 つです。

### <注意事項>

OCD を起動することによって、MCU の消費電流が増加します。デバッグセキュリティ機能が禁止されている場合は、DEBUG I/F ポートでの挙動により OCD が恒久的に許可される危険があります。ストップモードやタイマモードなどの低消費電力モードでは、OCD によるこのような消費電流の増加が重要になる可能性があります。

したがって、ROM 構成ブロックにあるパスワード長マーカ(PWL) によりデバッグセキュリティを許可するか、端子モードマーカ(PMM) による DEBUG I/F を完全に禁止することを強く推奨します。

端子モードマーカ(PMM) により DEBUG I/F ポートが禁止されている場合は、DEBUG I/F ポート経由での DEBUG I/F ウェイクアップはできません。

### 3.2.3. セキュリティ機能

OCD はセキュリティ機能を備えています。CPU メモリ領域(ROM 構成ブロック内) のデバッグセキュリティ領域に保存されているセキュリティ情報設定に基づいて、OCD はセキュリティ機能を許可します。セキュリティ機能が許可されている場合、デバイスはセキュリティロック状態になります。このセキュリティロックは、セキュリティ情報に設定されているパスワードを指定されている長さの回数分 OCD レジスタに書き込むことにより解除できます。

#### ■ セキュリティ情報

デバッグセキュリティ領域は、図 3-5に示すように、ROM 構成ブロックの DF:0058<sub>H</sub>から DF:0074<sub>H</sub>までの 30 バイトに割り当てられています。

デバッグセキュリティ領域には、以下のセキュリティ情報があります。

- ・ セキュリティパスワード長 (PW 長)  
セキュリティパスワード長は、デバッグセキュリティ領域の開始アドレスの 16 ビットデータです。下位 4 ビットが許可された PW 長であり、上位 12 ビットは動作に影響ありません。PW 長が 0<sub>H</sub>または F<sub>H</sub>の場合は、セキュリティは禁止されています。  
PW 長が 1<sub>H</sub>~E<sub>H</sub>(1~14)の場合は、セキュリティは許可されています。
- ・ セキュリティパスワード (PW)  
セキュリティパスワードはデバッグセキュリティ領域に 1~14 個の 16 ビット長データとして保存されています。パスワードは、パスワード長のアドレスの後のアドレスから PW1, PW2, ..., PW14 の順番に並んでいます(図 3-5を参照してください)。セキュリティが許可されている場合(パスワード長が 1~14)、パスワードの有効部分はパスワード長の値によって示されます(例えば、パスワード長が 8 の場合は、PW1~PW8 が許可、PW9~PW14 が禁止です)。

図 3-5 デバッグセキュリティ領域

アドレス	15	0
DF:0058 <sub>H</sub>	パスワード長	
DF:005A <sub>H</sub>	PW1	
DF:005C <sub>H</sub>	PW2	
...	...	
DF:0074 <sub>H</sub>	PW14	

#### <注意事項>

この領域に何も書き込まれない場合、フラッシュ消去直後の初期状態(全ビット=1) が保持され、OCD のセキュリティ機能は禁止されます。



### 3.2.4. DEBUG I/F ポート制御

ROM 構成ブロックの端子モードマーカ(PMM) により DEBUG I/F ポートを 2 つの方法で禁止できます。PMM マーカが再設定されるまで DEBUG I/F ポートが許可されないように DEBUG I/F ポートを禁止する方法と、DSUCR:DSU ビットを使ってユーザプログラムから DEBUG I/F ポートを許可できるように DEBUG I/F ポートを禁止する方法です。

#### ■ 端子モードマーカ

端子モードマーカ(PMM) は、ROM 構成ブロックの DF:0076<sub>H</sub>からの 144 ビットに割り当てられます。このマーカは OCD のブート条件を制御します。ブート ROM プログラムは、チップリセットが発生した場合にこのマーカを読み取り、それに基づいて OCD を設定します。表 3-3を参照してください。

表 3-3 端子モードマーカの構成

[bit143~bit0] PMOD (端子モード)

PMOD	端子モード選択
全ビット=1	DEBUG I/F ポート許可
36E4_967C_631B_25E3_5853_8439_CE71_6B DB_B882 <sub>H</sub>	DEBUG I/F ポート禁止 (ユーザプログラムから許可できる)
その他	DEBUG I/F ポート禁止

ユーザプログラムから許可できるように DEBUG I/F ポートを禁止するための PMOD 値

アドレス	PMOD バイト
DF:0076 <sub>H</sub>	82 <sub>H</sub>
DF:0077 <sub>H</sub>	B8 <sub>H</sub>
DF:0078 <sub>H</sub>	DB <sub>H</sub>
DF:0079 <sub>H</sub>	6B <sub>H</sub>
DF:007A <sub>H</sub>	71 <sub>H</sub>
DF:007B <sub>H</sub>	CE <sub>H</sub>
DF:007C <sub>H</sub>	39 <sub>H</sub>
DF:007D <sub>H</sub>	84 <sub>H</sub>
DF:007E <sub>H</sub>	53 <sub>H</sub>
DF:007F <sub>H</sub>	58 <sub>H</sub>
DF:0080 <sub>H</sub>	E3 <sub>H</sub>
DF:0081 <sub>H</sub>	25 <sub>H</sub>
DF:0082 <sub>H</sub>	1B <sub>H</sub>
DF:0083 <sub>H</sub>	63 <sub>H</sub>
DF:0084 <sub>H</sub>	7C <sub>H</sub>
DF:0085 <sub>H</sub>	96 <sub>H</sub>
DF:0086 <sub>H</sub>	E4 <sub>H</sub>
DF:0087 <sub>H</sub>	36 <sub>H</sub>

---

**<注意事項>**

この領域に何も書き込まれない場合、フラッシュ消去直後の初期状態(全ビット=1) が保持され、DEBUG I/Fポートは許可されます。

---

## 3.3. デバッグツール接続時の仕様制限

---

デバッグツールがこの製品に接続されたときの MCU 仕様制限リストです。

---

- 3.3.1 クロック設定
- 3.3.2 スタンバイモード
- 3.3.3 仕様制限のまとめ

### 3.3.1. クロック設定

---

デバッグツール接続で高速通信が選択されているときは、クロック設定に以下の制限が適用されます。

---

PLLCR レジスタは RST レベルリセットによって初期化されません。INIT レベルリセット(電源リセット時、外部リセット時、クロック停止検出リセット時またはデバッグツールの要求によって発行) によってのみ初期化されます。

PLLCR ビットはロックされます(これらのビットへの書込みは効果がありません)。

CKSR:MCE に書き込んでもメイン発振器は停止しません。メイン発振器の許可信号は、CKSR:MCE 設定に関係なく、"発振器アクティブ"に変更されます。

MCU がストップモードに入ってもメイン発振器は停止しません。MCU ウェイクアップ時に発振開始時間(メイン発振器での切換えから最初のクロックパルスが出力されるまでの時間) は適用されません。

ユーザ PLL は CKSR レジスタの設定に関係なくアクティブのままです。

MCU がストップモードに入ってもユーザ PLL は停止しません。MCU ウェイクアップ時には、通常の安定待ち時間が適用されます。

### 3.3.2. スタンバイモード

---

デバッグツールが接続されているときは、スタンバイモードに以下の制限が適用されます。

---

MCU がスタンバイモード(ストップモードを含みます) に入っても、2 MHz 内蔵 RC 発振器は常に許可され、電圧レギュレータは高電力モードに設定されます。RC クロック発振と OCD へのクロック供給は継続されるため、スタンバイモードでの消費電力はデバッグツールが接続されていないときより大きくなります。

デバッグツール接続で高速通信が選択されているときは、MCU がスタンバイモードに入ってもメインクロック発振と PLL 発振は停止しません。PLL クロック、メインクロックおよび RC クロック発振が継続されるため、スタンバイモードでの消費電力はデバッグツールが接続されていないときより大きくなります。

### 3.3.3. 仕様制限のまとめ

通常通信モードおよび高速通信モードの MCU 仕様制限をまとめます。

#### ■ 通信モード\*: 通常 USART

\*: 通信モード設定に関しては「SOFTUNE Workbench 操作マニュアル」を参照してください。

表 3-4 デバッグツール接続時のリセット初期化範囲とリセット処理時間の違い

リセット要因	デバッグツールが接続されていないときとの違い		備考
	初期化範囲	処理時間	
電源	なし	あり	リセット解除後にエミュレータモード (デバッグ状態) へ遷移
外部端子			
クロック停止検出			
ソフトウェア		なし	-
ウォッチドッグタイマ			

表 3-5 デバッグツール接続時のウェイクアップ後割込み要因処理時間の違い

割込み要因	デバッグツールが接続されていないときとの処理時間との違い	備考
すべての割込み	なし	安定待ち時間の違いはない。

表 3-6 デバッグツール接続時のデバイス動作モードの違い

デバイスモード (リセットに関連するもの以外)	デバッグツールが接続されていないときの動作の違い	備考
RC ラン	あり	2MHz RC 発振器は CKSR:RCE および CKFCR:RCFS ビットに関係なく許可される。
PLL ラン/スリープ/タイマ		
メインラン		
サブラン		
RC スリープ/タイマ		2MHz RC 発振器は CKSR:RCE および CKFCR:RCFS ビットに関係なく許可される。 電圧レギュレータは高電力モードに設定される。
メインスリープ/タイマ		
サブスリープ/タイマ		2MHz RC 発振器は許可される。 電圧レギュレータは高電力モードに設定される。
ストップ		

## ■ 通信モード\*: 高速 USART

\*: 通信モード設定に関しては「SOFTUNE Workbench 操作マニュアル」を参照してください。

表 3-7 デバッグツール高速モード接続時のリセット初期化範囲とリセット処理時間の違い

リセット要因	デバッグツールが接続されていないときとの違い		備考
	初期化範囲	処理時間	
電源	なし	あり	リセット解除後、にエミュレータモード (デバッグステート) へ遷移
外部端子			
クロック 停止検出			
ソフトウェア	あり	あり	PLLCCR レジスタは初期化されない。 発振開始時間(メイン発振器での切換えから最初のクロックパルス出力までの時間) は適用されない。
ウォッチドッグ タイマ			

表 3-8 デバッグツール高速モード接続時のウェイクアップ後割込み要因処理時間の違い

割込み要因	現在のモード(SC1M ビットで示される)	デバッグツールが接続されていないときとの処理 時間の違い	備考
すべての 割込み	メイン ラン/スリープ/タイマ PLL ラン/スリープ/タイマ	あり	メイン発振器開始時間(メイン発振器での切換えから最初のクロックパルス出力までの時間) は適用されない。
	RC ラン/スリープ/タイマ サブ ラン/スリープ/タイマ	なし	安定待ち時間の違いはない。



表 3-9 デバッグツール高速モード接続時のデバイス動作モードの違い

デバイスモード (リセットに関連するもの以外)	デバッグツールが接続されていないときの動作の違い	備考
RC ラン サブラン	あり	メイン発振器と PLL は CKSR:MCE および CKSR:PCE ビットに関係なく許可される。 2MHz RC 発振器は CKSR:RCE および CKFCR:RCFS ビットに関係なく許可される。
メインラン		PLL は CKSR:PCE ビットに関係なく許可される。 2MHz RC 発振器は CKSR:RCE および CKFCR:RCFS ビットに関係なく許可される。
PLL ラン/スリープ/タイマ		2MHz RC 発振器は CKSR:RCE および CKFCR:RCFS ビットに関係なく許可される。
メイン スリープ/タイマ		PLL は CKSR:PCE ビットに関係なく許可される。 2MHz RC 発振器は CKSR:RCE および CKFCR:RCFS ビットに関係なく許可される。 電圧レギュレータは高電力モードに設定される。
RC スリープ/タイマ サブ スリープ/タイマ		メイン発振器と PLL は CKSR:MCE と CKSR:PCE ビットに関係なく許可される。 2MHz CR 発振器は CKSR:RCE および CKFCR:RCFS ビットに関係なく許可される。 電圧レギュレータは高電力モードに設定される。
ストップ		メイン発振器と PLL は許可される。 2MHz RC 発振器は許可される。 電圧レギュレータは高電力モードに設定される。

### 3.4. 本製品の OCD-DSU ID コードおよびマウントタイプ情報

OCD-DSU ID コードおよびマウントタイプ情報は、デバッグツールに接続される製品タイプを識別するために、デバッガソフトウェアツールによって使用されます。

#### ■ 本製品の OCD ID コード

表 3-10 本製品の OCD ID コード

ID 名	ビット幅	対応 ID レジスタ名	値	備考
メーカー ID	16	E_IDMCR	0400 <sub>H</sub>	サイプレスコード
CPU ファミリ ID	16	E_IDFCR	0100 <sub>H</sub>	FMC-16FX
DSU タイプ ID	8	E_IDVCR	04 <sub>H</sub>	すべての 16FX デバイスで同じ
DSU バージョン ID	4	E_IDVCR	1 <sub>H</sub>	-
デバイス ID	16	E_IDDCR	0020 <sub>H</sub>	MB96F67xAx
			0022 <sub>H</sub>	MB96F67xRx
			0024 <sub>H</sub>	MB96F68xAx
			0026 <sub>H</sub>	MB96F68xRx
			0040 <sub>H</sub>	MB96F61xAx
			0042 <sub>H</sub>	MB96F61xRx
			0044 <sub>H</sub>	MB96F62xAx
			0046 <sub>H</sub>	MB96F62xRx
			0048 <sub>H</sub>	MB96F6AxAx
				MB96F6AxRx
			004A <sub>H</sub>	MB96F69xAx
				MB96F69xRx
			004C <sub>H</sub>	MB96F6CxAx
				MB96F6CxRx

ID 名	ビット幅	対応 ID レジスタ名	値	備考
デバイス ID	16	E_IDDCR	004E <sub>H</sub>	MB96F6BxAx
				MB96F6BxRx
			0050 <sub>H</sub>	MB96F63xAx
				MB96F63xRx
			0052 <sub>H</sub>	MB96F64xAx
				MB96F64xRx
			0054 <sub>H</sub>	MB96F65xAx
				MB96F65xRx
デバイスバージョン ID*	4	E_IDVCR	01 <sub>H</sub>	MB96F6xxxA アルファベットの順番に更新
			02 <sub>H</sub>	MB96F6xxxB アルファベットの順番に更新

\*: 型格の更新に伴い値が更新されます。

## ■ 本製品のマウントタイプ情報

表 3-11 本品種の実装タイプ情報

製品タイプ	コード イベント数	データ イベント数	大小比較 (データイベント)	シーケンサ イベント	トレース
MB96600 シリーズデバイス	6	6	なし	あり	42 フレーム

## 4. レジスタ

---

オンチップデバッグ(OCD) で使用されるレジスタの機能について説明します。

---

### ■ OCD レジスタ一覧

レジスタ略称	レジスタ名	参照先
DSUCR	DSU(デバッグサポートユニット) 制御レジスタ	4.1
UER	ユーザイベントレジスタ	4.2
MBR	メッセージバッファレジスタ	4.3

## 4.1. DSU 制御レジスタ (DSUCR)

DSU(デバッグサポートユニット) 制御レジスタ(DSUCR) はフリーランモードの OCD を制御するために使用されます。

### ■ DSU 制御レジスタ(DSUCR) の構成

このレジスタはワードアクセス(DSUCR) とバイトアクセス(下位バイト: DSUCRL, 上位バイト: DSUCRH) が可能です。

DSUCR								
bit	15	14	13	12	11	10	9	8
	RESV	RESV	RESV	RESV	RESV	RESV	RESV	RESV
属性	-	-	-	-	-	-	-	-
初期値	X	X	X	X	X	X	X	X

bit	7	6	5	4	3	2	1	0
	RESV	RESV	RESV	RESV	RESV	RESV	RESV	DSU
属性	-	-	-	-	-	-	-	R/W
初期値	X	X	X	X	X	X	X	0

#### [bit15～bit1] RESV: 予約ビット

- ・ 常に"0"を書き込んでください。
- ・ これらのビットの読出し値は不定です。
- ・ リードモディファイライト(RMW) 系命令は無効です。

#### [bit0] DSU: DSU イネーブル

このレジスタはフリーランモードの OCD を起動するために使用されます。ユーザプログラムはこのビットをチェックすることによって OCD アクティブステータスを検出できます。OCD が禁止されている場合は (DSUCR.DSU 読出し値が"0"の場合)、ユーザプログラムはこのビットに"1"を書き込んでください。このビットに"0"を書き込んでも無視されるため、このビットに"1"が書き込まれると、OCD を非アクティブにするために"0"を書き込むことはできません。OCDUを非アクティブにするためには、デバッグツールまたはINITリセットを使用してください。

### <注意事項>

DSU ビットは DEBUG I/F ポート禁止(ユーザプログラムから許可できる) 状態 (PMM: 36E4\_967C\_631B\_25E3\_5853\_8439\_CE71\_6BDB\_B882<sub>H</sub>) で使用します。

## 4.2. ユーザイベントレジスタ(UER)

ユーザイベントレジスタはユーザイベントの検出を行うレジスタです。

### ■ ユーザイベントレジスタ(UER)の構成

このレジスタはワードアクセス(UER) とバイトアクセス(下位バイト: UERL, 上位バイト: UERH)が可能です。

UER								
bit	15	14	13	12	11	10	9	8
	RESV	RESV	RESV	RESV	RESV	RESV	RESV	RESV
属性	-	-	-	-	-	-	-	-
初期値	X	X	X	X	X	X	X	X

bit	7	6	5	4	3	2	1	0
	RESV	RESV	RESV	RESV	RESV	RESV	RESV	UEVT
属性	-	-	-	-	-	-	-	W
初期値	X	X	X	X	X	X	X	X

### <注意事項>

SOFTUNE ではユーザイベントをサポートしていません。このレジスタへの設定は行わないでください。

## 4.3. メッセージバッファレジスタ (MBR)

メッセージバッファレジスタ(MBR) は、セミホスティング機能のために使用されます。ユーザプログラムは、このレジスタにメッセージデータを書き込み、メッセージバッファステータスをこのレジスタから検出できます。

### ■ メッセージバッファレジスタ(MBR) の構成

このレジスタはワードアクセス(MBR) とバイトアクセス(下位バイト: MBRL, 上位バイト: MBRH)が可能です。

MBR								
bit	15	14	13	12	11	10	9	8
	BUSY	RESV	RESV	RESV	RESV	RESV	RESV	RESV
属性	R	-	-	-	-	-	-	-
初期値	0	X	X	X	X	X	X	X

bit	7	6	5	4	3	2	1	0
	MBUF7	MBUF6	MBUF5	MBUF4	MBUF3	MBUF2	MBUF1	MBUF0
属性	W	W	W	W	W	W	W	W
初期値	X	X	X	X	X	X	X	X

#### [bit15] BUSY: メッセージバッファビジー

メッセージバッファがビジーであることを示すビットです。新しいメッセージデータが MBR.MBUF に書き込まれるとこのビットは"1"となり、メッセージがデバッグツールによって読み出されると"0"になります。このビットが"0"のときは、メッセージバッファは空でユーザプログラムは新しいメッセージデータを書き込みます。このビットが"1"のときは、メッセージバッファは一杯であるため、ユーザプログラムに新しいメッセージデータを書き込ませないでください。MBR.BUSY がユーザアプリケーションによって無視された場合は、MBR.MBUF を上書きできます(MBR.MBUF には常に最新のメッセージが含まれます)。OCD がスタンバイのときは、このビットは強制的に"0" (ビジーではない) になります。これは、このビットが"1"のときに OCD がスタンバイに入る場合を考慮して、ユーザプログラムを待機状態にさせないためです。このビットは読出し専用です。書き込みアクセスは無効です。

#### [bit14~bit8] RESV: 予約ビット

- ・ 常に"0"を書き込んでください。
- ・ これらビットの読出し値は不定です。
- ・ リードモディファイライト(RMW) 系命令は無効です。

#### [bit7~bit0] MBUF7~MBUF0: メッセージバッファ

このレジスタは、ユーザプログラムによってバイトメッセージデータを検出するために使用されます。ユーザプログラムは、MBR.BUSY 値に関係なくこのバイトにメッセージを書き込みます。これらのビットは書き込み専用です。読出し値は不定です。





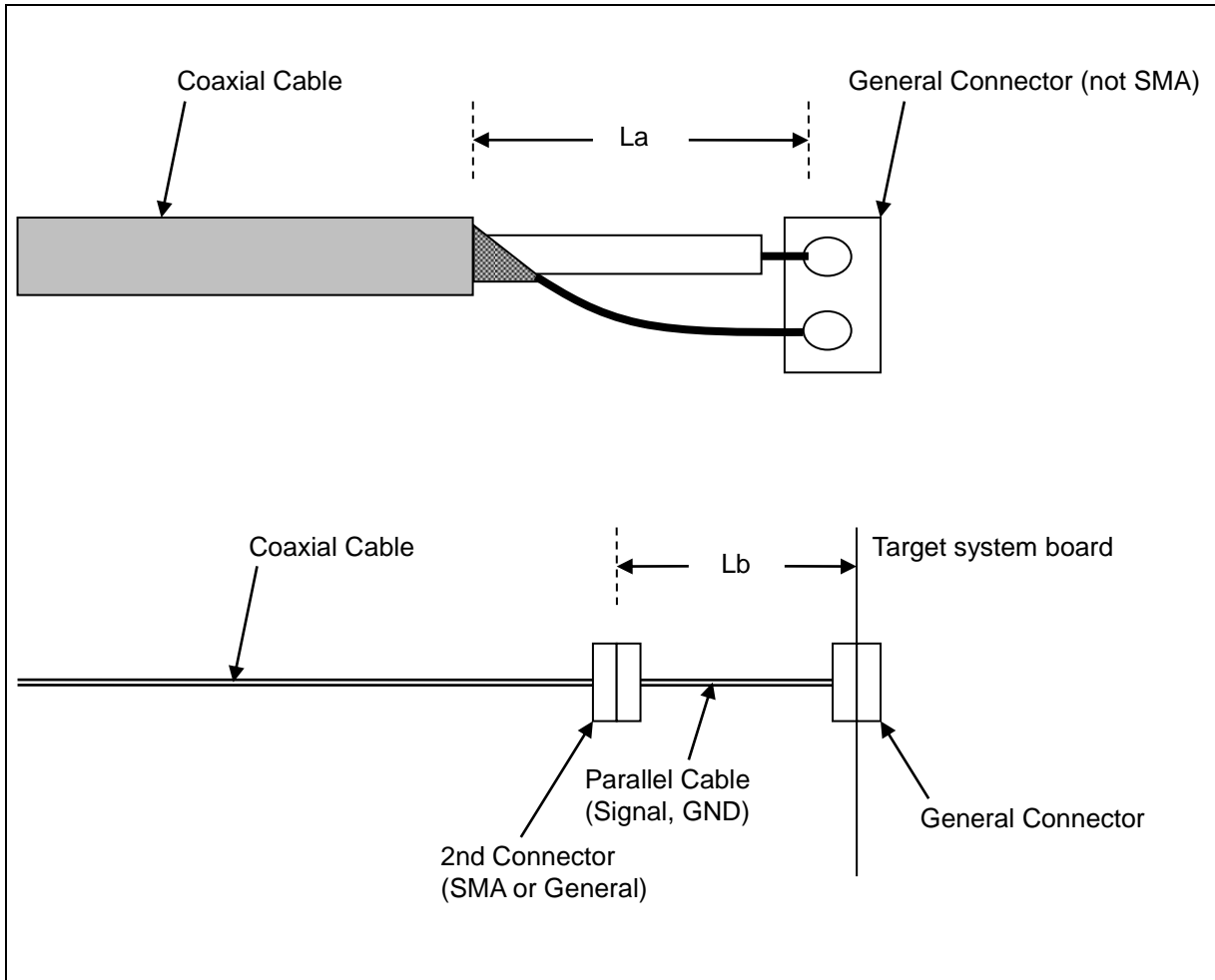
項	規定対象	内容	優先度
06	R0, Dz の配線	極力短くする。	必須
07	GND の配線	MCU と CN 間のインピーダンスを可能な限り小さくする。 GND 層を有する多層基板では GND 層に直結する。	必須
08	L1 の配線長	5cm 以内。可能な限り短くする。	必須
09	L2 の配線長	01 項適用時は、15cm 以内。 01 項非適用時は、R0 から同軸ケーブルのインピーダンス変化点までの合算全長が 15cm 以内。	必須
10	L2 の特性インピーダンス	50Ω。	推奨
11	L1, L2 の VIA ホール	それぞれの配線経路中(両端を除く) において 2箇所以下。	必須
12	L1, L2 のノイズ対策 1	信号線の両側を GND パターンで囲む。	推奨
13	L1, L2 のノイズ対策 2	ほかの信号ラインとの並走を極力避ける。並走部分については、並走信号からのクロストークを十分に小さくできるだけのギャップを設ける。	必須

## ■ 汎用コネクタ使用時の同軸ケーブル処理方法

図 5-2で、La と Lb は L2 の長さ制限に含まれています。

また、第 2 コネクタ(並行信号線含む) を使用せず、同軸ケーブルを汎用コネクタにてターゲットボードに直結するほうが、電気特性の面ではより有利です。

図 5-2 汎用同軸ケーブルの取扱い



## 6. 使用上の注意

---

OCD を使用する時の注意事項を説明します。

---

### ■ 使用上の注意

下記項目は SOFTUNE では対応しておりません。

- ・ 高速スタートアップモード
- ・ 特定命令ブレーク
- ・ フラッシュからの OCD 復帰 (パワーオンありのチップリセット時)

---

I/O マップを掲載します。

---

- A. MB96610のI/Oマップ
- B. MB96620のI/Oマップ
- C. MB96630のI/Oマップ
- D. MB96640のI/Oマップ
- E. MB96650のI/Oマップ
- F. MB96670のI/Oマップ
- G. MB96680のI/Oマップ
- H. MB96690のI/Oマップ
- I. MB966A0のI/Oマップ
- J. MB966B0のI/Oマップ
- K. MB966C0のI/Oマップ
- L. 主な変更内容

---

## <注意事項>

各シリーズの予約領域：

- ・ 読出し値は不定です。
  - ・ 常に"0"を書き込んでください。
  - ・ リードモディファイライト(RMW) 動作は無効です。
- 

---

管理コード：96600IOMAP-J03.0

---

## A. MB96610 の I/O マップ

各周辺機能のレジスタに割り当てられるアドレスを示します。

### ■ MB96610 の I/O マップ

表 A MB96610 の I/O マップ

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000000 <sub>H</sub>	I/O ポート P00 - ポートデータレジスタ	PDR00	-	R/W	XXXXXXXX
000001 <sub>H</sub>	I/O ポート P01 - ポートデータレジスタ	PDR01	-	R/W	XXXXXXXX
000002 <sub>H</sub>	I/O ポート P02 - ポートデータレジスタ	PDR02	-	R/W	XXXXXXXX
000003 <sub>H</sub>	I/O ポート P03 - ポートデータレジスタ	PDR03	-	R/W	XXXXXXXX
000004 <sub>H</sub>	I/O ポート P04 - ポートデータレジスタ	PDR04	-	R/W	XXXXXXXX
000005 <sub>H</sub>	I/O ポート P05 - ポートデータレジスタ	PDR05	-	R/W	XXXXXXXX
000006 <sub>H</sub>	I/O ポート P06 - ポートデータレジスタ	PDR06	-	R/W	XXXXXXXX
000007 <sub>H</sub>	I/O ポート P07 - ポートデータレジスタ	PDR07	-	R/W	XXXXXXXX
000008 <sub>H</sub> - 000010 <sub>H</sub>	予約	-	-	-	-
000011 <sub>H</sub>	I/O ポート P17 - ポートデータレジスタ	PDR17	-	R/W	XXXXXXXX
000012 <sub>H</sub> - 000017 <sub>H</sub>	予約	-	-	-	-
000018 <sub>H</sub>	ADC0 - 制御状態レジスタ下位	ADCSL	ADCS	R/W	00000000
000019 <sub>H</sub>	ADC0 - 制御状態レジスタ上位	ADCSH	-	R/W	00000000
00001A <sub>H</sub>	ADC0 - データレジスタ下位	ADCRL	ADCR	R	00000000
00001B <sub>H</sub>	ADC0 - データレジスタ上位	ADCRH	-	R	00000000
00001C <sub>H</sub>	ADC0 - 設定レジスタ	-	ADSR	R/W	00000000
00001D <sub>H</sub>	ADC0 - 設定レジスタ	-	-	R/W	00000000
00001E <sub>H</sub> , 00001F <sub>H</sub>	予約	-	-	-	-
000020 <sub>H</sub>	FRT0 - データレジスタ	-	TCDT0	R/W	00000000
000021 <sub>H</sub>	FRT0 - データレジスタ	-	-	R/W	00000000
000022 <sub>H</sub>	FRT0 - コントロールステータスレジスタ 下位	TCCSL0	TCCS0	R/W	00000000
000023 <sub>H</sub>	FRT0 - コントロールステータスレジスタ 上位	TCCSH0	-	R/W	01XXXXXX
000024 <sub>H</sub>	FRT1 - データレジスタ	-	TCDT1	R/W	00000000
000025 <sub>H</sub>	FRT1 - データレジスタ	-	-	R/W	00000000
000026 <sub>H</sub>	FRT1 - コントロールステータスレジスタ 下位	TCCSL1	TCCS1	R/W	00000000
000027 <sub>H</sub>	FRT1 - コントロールステータスレジスタ 上位	TCCSH1	-	R/W	01XXXXXX
000028 <sub>H</sub>	OCU0 - コントロールステータスレジスタ	OCS0	-	R/W	0000XX00
000029 <sub>H</sub>	OCU1 - コントロールステータスレジスタ	OCS1	-	R/W	0XX00000
00002A <sub>H</sub>	OCU0 - コンペアレジスタ	-	OCCP0	R/W	XXXXXXXX
00002B <sub>H</sub>	OCU0 - コンペアレジスタ	-	-	R/W	XXXXXXXX
00002C <sub>H</sub>	OCU1 - コンペアレジスタ	-	OCCP1	R/W	XXXXXXXX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
00002D <sub>H</sub>	OCU1 - コンペアレジスタ	-	-	R/W	XXXXXXXX
00002E <sub>H</sub> - 000033 <sub>H</sub>	予約	-	-	-	-
000034 <sub>H</sub>	OCU4 - コントロールステータスレジスタ	OCS4	-	R/W	0000XX00
000035 <sub>H</sub>	OCU5 - コントロールステータスレジスタ	OCS5	-	R/W	0XX00000
000036 <sub>H</sub>	OCU4 - コンペアレジスタ	-	OCCP4	R/W	XXXXXXXX
000037 <sub>H</sub>	OCU4 - コンペアレジスタ	-	-	R/W	XXXXXXXX
000038 <sub>H</sub> , 000039 <sub>H</sub>	予約	-	-	-	-
00003A <sub>H</sub>	OCU6 - コントロールステータスレジスタ	OCS6	-	R/W	0000XX00
00003B <sub>H</sub>	OCU7 - コントロールステータスレジスタ	OCS7	-	R/W	0XX00000
00003C <sub>H</sub>	OCU6 - コンペアレジスタ	-	OCCP6	R/W	XXXXXXXX
00003D <sub>H</sub>	OCU6 - コンペアレジスタ	-	-	R/W	XXXXXXXX
00003E <sub>H</sub>	OCU7 - コンペアレジスタ	-	OCCP7	R/W	XXXXXXXX
00003F <sub>H</sub>	OCU7 - コンペアレジスタ	-	-	R/W	XXXXXXXX
000040 <sub>H</sub>	ICU0/ICU1 - コントロールステータスレジスタ	ICS01	-	R/W	00000000
000041 <sub>H</sub>	ICU0/ICU1 - エッジレジスタ	ICE01	-	R/W	XXX0X000
000042 <sub>H</sub>	ICU0 - データレジスタ下位	IPCPL0	IPCP0	R	XXXXXXXX
000043 <sub>H</sub>	ICU0 - データレジスタ上位	IPCPH0	-	R	XXXXXXXX
000044 <sub>H</sub>	ICU1 - データレジスタ下位	IPCPL1	IPCP1	R	XXXXXXXX
000045 <sub>H</sub>	ICU1 - データレジスタ上位	IPCPH1	-	R	XXXXXXXX
000046 <sub>H</sub> - 00004B <sub>H</sub>	予約	-	-	-	-
00004C <sub>H</sub>	ICU4/ICU5 - 制御ステータスレジスタ	ICS45	-	R/W	00000000
00004D <sub>H</sub>	ICU4/ICU5 - エッジレジスタ	ICE45	-	R/W	XXX0X000
00004E <sub>H</sub>	ICU4 - データレジスタ下位	IPCPL4	IPCP4	R	XXXXXXXX
00004F <sub>H</sub>	ICU4 - データレジスタ上位	IPCPH4	-	R	XXXXXXXX
000050 <sub>H</sub>	ICU5 - データレジスタ下位	IPCPL5	IPCP5	R	XXXXXXXX
000051 <sub>H</sub>	ICU5 - データレジスタ上位	IPCPH5	-	R	XXXXXXXX
000052 <sub>H</sub>	ICU6/ICU7 - 制御ステータスレジスタ	ICS67	-	R/W	00000000
000053 <sub>H</sub>	ICU6/ICU7 - エッジレジスタ	ICE67	-	R/W	XXX0X000
000054 <sub>H</sub>	ICU6 - データレジスタ下位	IPCPL6	IPCP6	R	XXXXXXXX
000055 <sub>H</sub>	ICU6 - データレジスタ上位	IPCPH6	-	R	XXXXXXXX
000056 <sub>H</sub> - 000057 <sub>H</sub>	予約	-	-	-	-
000058 <sub>H</sub>	EXTINT0 - 外部割込み要求許可レジスタ	ENIR0	-	R/W	00000000
000059 <sub>H</sub>	EXTINT0 - 外部割込み要求レジスタ	EIRR0	-	R/W	00000000
00005A <sub>H</sub>	EXTINT0 - 外部割込みレベルレジスタ下位	ELVRL0	ELVR0	R/W	00000000
00005B <sub>H</sub>	EXTINT0 - 外部割込みレベルレジスタ上位	ELVRH0	-	R/W	00000000
00005C <sub>H</sub>	EXTINT1 - 外部割込み要求許可レジスタ	ENIR1	-	R/W	00000000
00005D <sub>H</sub>	EXTINT1 - 外部割込み要求レジスタ	EIRR1	-	R/W	00000000
00005E <sub>H</sub>	EXTINT1 - 外部割込みレベルレジスタ下位	ELVRL1	ELVR1	R/W	00000000
00005F <sub>H</sub>	EXTINT1 - 外部割込みレベルレジスタ上位	ELVRH1	-	R/W	00000000
000060 <sub>H</sub> - 000063 <sub>H</sub>	予約	-	-	-	-

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000064 <sub>H</sub>	RLT1 - タイマ制御状態レジスタ下位	TMCSRL1	TMCSR1	R/W	00000000
000065 <sub>H</sub>	RLT1 - タイマ制御状態レジスタ上位	TMCSRH1	-	R/W	00X10000
000066 <sub>H</sub>	RLT1 - 16 ビットリロードレジスタ下位	-	TMRLR1	W	XXXXXXXXXX
000066 <sub>H</sub>	RLT1 - 16 ビットタイマレジスタ下位	-	TMR1	R	XXXXXXXXXX
000067 <sub>H</sub>	RLT1 - 16 ビットリロードレジスタ上位	-	-	W	XXXXXXXXXX
000067 <sub>H</sub>	RLT1 - 16 ビットタイマレジスタ上位	-	-	R	XXXXXXXXXX
000068 <sub>H</sub> - 00006B <sub>H</sub>	予約	-	-	-	-
00006C <sub>H</sub>	RLT3 - タイマ制御状態レジスタ下位	TMCSRL3	TMCSR3	R/W	00000000
00006D <sub>H</sub>	RLT3 - タイマ制御状態レジスタ上位	TMCSRH3	-	R/W	00X10000
00006E <sub>H</sub>	RLT3 - 16 ビットリロードレジスタ下位	-	TMRLR3	W	XXXXXXXXXX
00006E <sub>H</sub>	RLT3 - 16 ビットタイマレジスタ下位	-	TMR3	R	XXXXXXXXXX
00006F <sub>H</sub>	RLT3 - 16 ビットリロードレジスタ上位	-	-	W	XXXXXXXXXX
00006F <sub>H</sub>	RLT3 - 16 ビットタイマレジスタ上位	-	-	R	XXXXXXXXXX
000070 <sub>H</sub>	RLT6 - タイマ制御状態レジスタ下位	TMCSRL6	TMCSR6	R/W	00000000
000071 <sub>H</sub>	RLT6 - タイマ制御状態レジスタ上位	TMCSRH6	-	R/W	00X10000
000072 <sub>H</sub>	RLT6 - 16 ビットリロードレジスタ下位	-	TMRLR6	W	XXXXXXXXXX
000072 <sub>H</sub>	RLT6 - 16 ビットタイマレジスタ下位	-	TMR6	R	XXXXXXXXXX
000073 <sub>H</sub>	RLT6 - 16 ビットリロードレジスタ上位	-	-	W	XXXXXXXXXX
000073 <sub>H</sub>	RLT6 - 16 ビットタイマレジスタ上位	-	-	R	XXXXXXXXXX
000074 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 1 下位	GCN1L0	GCN10	R/W	00010000
000075 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 1 上位	GCN1H0	-	R/W	00110010
000076 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 2 下位	GCN2L0	GCN20	R/W	XXXX0000
000077 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 2 上位	GCN2H0	-	R/W	XXXX0000
000078 <sub>H</sub>	PPG0 - タイマレジスタ	-	PTMR0	R	11111111
000079 <sub>H</sub>	PPG0 - タイマレジスタ	-	-	R	11111111
00007A <sub>H</sub>	PPG0 - 周期設定レジスタ下位	PCSRL0	PCSR0	R/W	XXXXXXXXXX
00007B <sub>H</sub>	PPG0 - 周期設定レジスタ上位	PCSRH0	-	R/W	XXXXXXXXXX
00007C <sub>H</sub>	PPG0 - デューティ設定レジスタ下位	PDUTL0	PDUT0	R/W	XXXXXXXXXX
00007D <sub>H</sub>	PPG0 - デューティ設定レジスタ上位	PDUTH0	-	R/W	XXXXXXXXXX
00007E <sub>H</sub>	PPG0 - 制御ステータスレジスタ下位	PCNL0	PCN0	R/W	00000000
00007F <sub>H</sub>	PPG0 - 制御ステータスレジスタ上位	PCNH0	-	R/W	00000000
000080 <sub>H</sub>	PPG1 - タイマレジスタ	-	PTMR1	R	11111111
000081 <sub>H</sub>	PPG1 - タイマレジスタ	-	-	R	11111111
000082 <sub>H</sub>	PPG1 - 周期設定レジスタ下位	PCSRL1	PCSR1	R/W	XXXXXXXXXX
000083 <sub>H</sub>	PPG1 - 周期設定レジスタ上位	PCSRH1	-	R/W	XXXXXXXXXX
000084 <sub>H</sub>	PPG1 - デューティ設定レジスタ下位	PDUTL1	PDUT1	R/W	XXXXXXXXXX
000085 <sub>H</sub>	PPG1 - デューティ設定レジスタ上位	PDUTH1	-	R/W	XXXXXXXXXX
000086 <sub>H</sub>	PPG1 - 制御ステータスレジスタ下位	PCNL1	PCN1	R/W	00000000
000087 <sub>H</sub>	PPG1 - 制御ステータスレジスタ上位	PCNH1	-	R/W	00000000
000088 <sub>H</sub> - 00008F <sub>H</sub>	予約	-	-	-	-
000090 <sub>H</sub>	PPG3 - タイマレジスタ	-	PTMR3	R	11111111
000091 <sub>H</sub>	PPG3 - タイマレジスタ	-	-	R	11111111
000092 <sub>H</sub>	PPG3 - 周期設定レジスタ下位	PCSRL3	PCSR3	R/W	XXXXXXXXXX
000093 <sub>H</sub>	PPG3 - 周期設定レジスタ上位	PCSRH3	-	R/W	XXXXXXXXXX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000094 <sub>H</sub>	PPG3 - デューティ設定レジスタ下位	PDUTL3	PDUT3	R/W	XXXXXXXXXX
000095 <sub>H</sub>	PPG3 - デューティ設定レジスタ上位	PDUTH3	-	R/W	XXXXXXXXXX
000096 <sub>H</sub>	PPG3 - 制御ステータスレジスタ下位	PCNL3	PCN3	R/W	00000000
000097 <sub>H</sub>	PPG3 - 制御ステータスレジスタ上位	PCNH3	-	R/W	00000000
000098 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 1 下位	GCN1L1	GCN11	R/W	00010000
000099 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 1 上位	GCN1H1	-	R/W	00110010
00009A <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 2 下位	GCN2L1	GCN21	R/W	XXXX0000
00009B <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 2 上位	GCN2H1	-	R/W	XXXX0000
00009C <sub>H</sub>	PPG4 - タイマレジスタ	-	PTMR4	R	11111111
00009D <sub>H</sub>	PPG4 - タイマレジスタ	-	-	R	11111111
00009E <sub>H</sub>	PPG4 - 周期設定レジスタ下位	PCSRL4	PCSR4	R/W	XXXXXXXXXX
00009F <sub>H</sub>	PPG4 - 周期設定レジスタ上位	PCSRH4	-	R/W	XXXXXXXXXX
0000A0 <sub>H</sub>	PPG4 - デューティ設定レジスタ下位	PDUTL4	PDUT4	R/W	XXXXXXXXXX
0000A1 <sub>H</sub>	PPG4 - デューティ設定レジスタ上位	PDUTH4	-	R/W	XXXXXXXXXX
0000A2 <sub>H</sub>	PPG4 - 制御ステータスレジスタ下位	PCNL4	PCN4	R/W	00000000
0000A3 <sub>H</sub>	PPG4 - 制御ステータスレジスタ上位	PCNH4	-	R/W	00000000
0000A4 <sub>H</sub> - 0000D3 <sub>H</sub>	予約	-	-	-	-
0000D4 <sub>H</sub>	USART2 - シリアルモードレジスタ	SMR2	-	R/W	00000000
0000D5 <sub>H</sub>	USART2 - シリアル制御レジスタ	SCR2	-	R/W	00000000
0000D6 <sub>H</sub>	USART2 - 送信データ レジスタ	TDR2	-	W	11111111
0000D6 <sub>H</sub>	USART2 - 受信データ レジスタ	RDR2	-	R	00000000
0000D7 <sub>H</sub>	USART2 - シリアルステータスレジスタ	SSR2	-	R/W	00001000
0000D8 <sub>H</sub>	USART2 - 拡張通信制御レジスタ	ECCR2	-	R/W	000000XX
0000D9 <sub>H</sub>	USART2 - 拡張ステータス制御レジスタ	ESCR2	-	R/W	00000100
0000DA <sub>H</sub>	USART2 - ボーレート/リロードカウンタレジスタ下位	BGRL2	BGR2	R/W	00000000
0000DB <sub>H</sub>	USART2 - ボーレート/リロードカウンタレジスタ上位	BGRH2	-	R/W	00000000
0000DC <sub>H</sub>	USART2 - 拡張シリアル割込みレジスタ	ESIR2	-	R/W	XXXX10X0
0000DD <sub>H</sub>	USART2 - フレーム ID データレジスタ	FIDR2	-	R/W	00000000
0000DE <sub>H</sub> - 0000EB <sub>H</sub>	予約	-	-	-	-
0000EC <sub>H</sub>	PPG - 汎用制御レジスタ	GCNR0	-	R/W	XXXXXX00
0000ED <sub>H</sub> - 0000FF <sub>H</sub>	予約	-	-	-	-
000100 <sub>H</sub>	DMA0 - バッファアドレスポインタ下位	BAPL0	-	R/W	XXXXXXXXXX
000101 <sub>H</sub>	DMA0 - バッファアドレスポインタ中位	BAPM0	-	R/W	XXXXXXXXXX
000102 <sub>H</sub>	DMA0 - バッファアドレスポインタ上位	BAPH0	-	R/W	XXXXXXXXXX
000103 <sub>H</sub>	DMA0 - 制御レジスタ	DMACS0	-	R/W	XXXXXXXXXX
000104 <sub>H</sub>	DMA0 - I/O レジスタアドレスポインタ下位	IOAL0	IOA0	R/W	XXXXXXXXXX
000105 <sub>H</sub>	DMA0 - I/O レジスタアドレスポインタ上位	IOAH0	-	R/W	XXXXXXXXXX
000106 <sub>H</sub>	DMA0 - データカウントレジスタ下位	DCTL0	DCT0	R/W	XXXXXXXXXX
000107 <sub>H</sub>	DMA0 - データカウントレジスタ上位	DCTH0	-	R/W	XXXXXXXXXX
000108 <sub>H</sub>	DMA1 - バッファアドレスポインタ下位	BAPL1	-	R/W	XXXXXXXXXX



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000109 <sub>H</sub>	DMA1 - バッファアドレスポインタ中位	BAPM1	-	R/W	XXXXXXXX
00010A <sub>H</sub>	DMA1 - バッファアドレスポインタ上位	BAPH1	-	R/W	XXXXXXXX
00010B <sub>H</sub>	DMA1 - 制御レジスタ	DMACS1	-	R/W	XXXXXXXX
00010C <sub>H</sub>	DMA1 - I/O レジスタアドレスポインタ下位	IOAL1	IOA1	R/W	XXXXXXXX
00010D <sub>H</sub>	DMA1 - I/O レジスタアドレスポインタ上位	IOAH1	-	R/W	XXXXXXXX
00010E <sub>H</sub>	DMA1 - データカウンタレジスタ下位	DCTL1	DCT1	R/W	XXXXXXXX
00010F <sub>H</sub>	DMA1 - データカウンタレジスタ上位	DCTH1	-	R/W	XXXXXXXX
000110 <sub>H</sub> - 00017F <sub>H</sub>	予約	-	-	-	-
000180 <sub>H</sub> - 00037F <sub>H</sub>	CPU - 汎用レジスタ(RAM アクセス)	GPR_RAM	-	R/W	-
000380 <sub>H</sub>	DMA0 - 割り込み要求選択レジスタ	DISEL0	-	R/W	00001100
000381 <sub>H</sub>	DMA1 - 割り込み要求選択レジスタ	DISEL1	-	R/W	00001100
000382 <sub>H</sub> - 00038F <sub>H</sub>	予約	-	-	-	-
000390 <sub>H</sub>	DMA - ステータスレジスタ下位	DSRL	DSR	R/W	00000000
000391 <sub>H</sub>	DMA - ステータスレジスタ上位	DSRH	-	R/W	00000000
000392 <sub>H</sub>	DMA - 停止ステータスレジスタ下位	DSSRL	DSSR	R/W	00000000
000393 <sub>H</sub>	DMA - 停止ステータスレジスタ上位	DSSRH	-	R/W	00000000
000394 <sub>H</sub>	DMA - 許可レジスタ下位	DERL	DER	R/W	00000000
000395 <sub>H</sub>	DMA - 許可レジスタ上位	DERH	-	R/W	00000000
000396 <sub>H</sub> - 00039F <sub>H</sub>	予約	-	-	-	-
0003A0 <sub>H</sub>	割り込み制御レジスタ 割り込みレベル	ILR	ICR	R/W	XXXXX111
0003A1 <sub>H</sub>	割り込み制御レジスタ インデックス	IDX	-	R/W	00001100
0003A2 <sub>H</sub>	割り込みベクタテーブルベースレジスタ下位	TBRL	TBR	R/W	11111100
0003A3 <sub>H</sub>	割り込みベクタテーブルベースレジスタ上位	TBRH	-	R/W	11111111
0003A4 <sub>H</sub>	遅延割り込み要求レジスタ	DIRR	-	R/W	XXXXXXXX0
0003A5 <sub>H</sub>	NMI 制御ステータスレジスタ	NMI	-	R/W	XXXXX10X
0003A6 <sub>H</sub> - 0003AD <sub>H</sub>	予約	-	-	-	-
0003AE <sub>H</sub>	ROM ミラー機能選択レジスタ	ROMM	-	R/W	1111X111
0003AF <sub>H</sub> - 0003E7 <sub>H</sub>	予約	-	-	-	-
0003E8 <sub>H</sub>	デュアルオペレーションフラッシュ設定レジスタ A	DFCA	-	R/W	XXXXX000
0003E9 <sub>H</sub>	デュアルオペレーションフラッシュ割り込み制御レジスタ A	DFICA	-	R/W	X0000000
0003EA <sub>H</sub>	デュアルオペレーションフラッシュステータスレジスタ A	DFSA	-	R	11000001
0003EB <sub>H</sub>	デュアルオペレーションフラッシュ割り込みステータスレジスタ A	DFISA	-	R/W	X0000000
0003EC <sub>H</sub> - 0003F8 <sub>H</sub>	予約	-	-	-	-

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0003F9 <sub>H</sub>	デュアルオペレーションフラッシュ書込み アクセス制御レジスタ 0A	DFWC0A	-	R/W	XXX00000
0003FA <sub>H</sub> - 0003FC <sub>H</sub>	予約	-	-	-	-
0003FD <sub>H</sub>	デュアルオペレーションフラッシュ書込み アクセス制御レジスタ 1A	DFWC1A	-	R/W	00000000
0003FE <sub>H</sub> , 0003FF <sub>H</sub>	予約	-	-	-	-
000400 <sub>H</sub>	スタンバイモード制御レジスタ	SMCR	-	R/W	XXX0X000
000401 <sub>H</sub>	クロック選択レジスタ	CKSR	-	R/W	10110000
000402 <sub>H</sub>	クロック安定化選択レジスタ	CKSSR	-	R/W	XX111111
000403 <sub>H</sub>	クロックモニタレジスタ	CKMR	-	R	*0*0XXXX *:リセット要 因に依存
000404 <sub>H</sub>	クロック周波数制御レジスタ下位	CKFCRL	CKFCR	R/W	0000XXX1
000405 <sub>H</sub>	クロック周波数制御レジスタ上位	CKFCRH	-	R/W	00000000
000406 <sub>H</sub>	PLL 制御レジスタ下位	PLLCRL	PLLCR	R/W	000X0000
000407 <sub>H</sub>	PLL 制御レジスタ上位	PLLCRH	-	R/W	XXXXXXXXXX
000408 <sub>H</sub>	CR クロックタイマ制御レジスタ	RCTCR	-	R/W	X0010000
000409 <sub>H</sub>	メインクロックタイマ制御レジスタ	MCTCR	-	R/W	X0010000
00040A <sub>H</sub>	サブクロックタイマ制御レジスタ	SCTCR	-	R/W	X001X000
00040B <sub>H</sub>	リセット要因およびクロック状態レジスタ	RCCSRC	-	R	***** *:リセット要 因に依存
00040C <sub>H</sub>	リセット構成レジスタ	RCR	-	R/W	XX000*0 *:リセット要 因に依存
00040D <sub>H</sub>	リセット要因およびクロック状態レジスタ	RCCSR	-	R	***** *:リセット要 因に依存
00040E <sub>H</sub>	ウォッチドッグタイマ構成レジスタ	WDTC	WDT	R/W	0000**** *:WICM Marker に依存
00040F <sub>H</sub>	ウォッチドッグタイマクリアパターンレジ スタ	WDTCP	-	W	00000000
000410 <sub>H</sub> - 000414 <sub>H</sub>	予約	-	-	-	-
000415 <sub>H</sub>	クロック出力起動レジスタ	COAR	-	R/W	00000000
000416 <sub>H</sub>	クロック出力構成レジスタ 0	COCR0	-	R/W	X0000000
000417 <sub>H</sub>	クロック出力構成レジスタ 1	COCR1	-	R/W	X0000000
000418 <sub>H</sub> - 00041F <sub>H</sub>	予約	-	-	-	-
000420 <sub>H</sub>	ウォッチドッグタイマ拡張構成レジスタ	WDTEC	-	R/W	XXX00000
000421 <sub>H</sub> - 00042B <sub>H</sub>	予約	-	-	-	-
00042C <sub>H</sub>	電圧レギュレータ制御レジスタ	VRCR	-	R/W	10X10X10
00042D <sub>H</sub>	クロック入力および LVD 制御レジスタ	CILCR	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
00042E <sub>H</sub>	拡張スタンバイモード制御レジスタ	ESMCR	-	R/W	XXX00001
00042F <sub>H</sub>	予約	-	-	-	-
000430 <sub>H</sub>	I/O ポート P00 - データ方向レジスタ	DDR00	-	R/W	00000000
000431 <sub>H</sub>	I/O ポート P01 - データ方向レジスタ	DDR01	-	R/W	00000000
000432 <sub>H</sub>	I/O ポート P02 - データ方向レジスタ	DDR02	-	R/W	00000000
000433 <sub>H</sub>	I/O ポート P03 - データ方向レジスタ	DDR03	-	R/W	00000000
000434 <sub>H</sub>	I/O ポート P04 - データ方向レジスタ	DDR04	-	R/W	00000000
000435 <sub>H</sub>	I/O ポート P05 - データ方向レジスタ	DDR05	-	R/W	00000000
000436 <sub>H</sub>	I/O ポート P06 - データ方向レジスタ	DDR06	-	R/W	00000000
000437 <sub>H</sub>	I/O ポート P07 - データ方向レジスタ	DDR07	-	R/W	00000000
000438 <sub>H</sub> - 000440 <sub>H</sub>	予約	-	-	-	-
000441 <sub>H</sub>	I/O ポート P17 - データ方向レジスタ	DDR17	-	R/W	00000000
000442 <sub>H</sub> , 000443 <sub>H</sub>	予約	-	-	-	-
000444 <sub>H</sub>	I/O ポート P00 - ポート入力許可レジスタ	PIER00	-	R/W	00000000
000445 <sub>H</sub>	I/O ポート P01 - ポート入力許可レジスタ	PIER01	-	R/W	00000000
000446 <sub>H</sub>	I/O ポート P02 - ポート入力許可レジスタ	PIER02	-	R/W	00000000
000447 <sub>H</sub>	I/O ポート P03 - ポート入力許可レジスタ	PIER03	-	R/W	00000000
000448 <sub>H</sub>	I/O ポート P04 - ポート入力許可レジスタ	PIER04	-	R/W	00000000
000449 <sub>H</sub>	I/O ポート P05 - ポート入力許可レジスタ	PIER05	-	R/W	00000000
00044A <sub>H</sub>	I/O ポート P06 - ポート入力許可レジスタ	PIER06	-	R/W	00000000
00044B <sub>H</sub>	I/O ポート P07 - ポート入力許可レジスタ	PIER07	-	R/W	00000000
00044C <sub>H</sub> - 000454 <sub>H</sub>	予約	-	-	-	-
000455 <sub>H</sub>	I/O ポート P17 - ポート入力許可レジスタ	PIER17	-	R/W	00000000
000456 <sub>H</sub> - 0004A7 <sub>H</sub>	予約	-	-	-	-
0004A8 <sub>H</sub>	I/O ポート P00 - ブルアップ制御レジスタ	PUCR00	-	R/W	00000000
0004A9 <sub>H</sub>	I/O ポート P01 - ブルアップ制御レジスタ	PUCR01	-	R/W	00000000
0004AA <sub>H</sub>	I/O ポート P02 - ブルアップ制御レジスタ	PUCR02	-	R/W	00000000
0004AB <sub>H</sub>	I/O ポート P03 - ブルアップ制御レジスタ	PUCR03	-	R/W	00000000
0004AC <sub>H</sub>	I/O ポート P04 - ブルアップ制御レジスタ	PUCR04	-	R/W	00000000
0004AD <sub>H</sub>	I/O ポート P05 - ブルアップ制御レジスタ	PUCR05	-	R/W	00000000
0004AE <sub>H</sub>	I/O ポート P06 - ブルアップ制御レジスタ	PUCR06	-	R/W	00000000
0004AF <sub>H</sub>	I/O ポート P07 - ブルアップ制御レジスタ	PUCR07	-	R/W	00000000
0004B0 <sub>H</sub> - 0004B8 <sub>H</sub>	予約	-	-	-	-
0004B9 <sub>H</sub>	I/O ポート P17 - ブルアップ制御レジスタ	PUCR17	-	R/W	00000000
0004BA <sub>H</sub> , 0004BB <sub>H</sub>	予約	-	-	-	-
0004BC <sub>H</sub>	I/O ポート P00 - 外部端子状態レジスタ	EPSR00	-	R	XXXXXXXX
0004BD <sub>H</sub>	I/O ポート P01 - 外部端子状態レジスタ	EPSR01	-	R	XXXXXXXX
0004BE <sub>H</sub>	I/O ポート P02 - 外部端子状態レジスタ	EPSR02	-	R	XXXXXXXX
0004BF <sub>H</sub>	I/O ポート P03 - 外部端子状態レジスタ	EPSR03	-	R	XXXXXXXX
0004C0 <sub>H</sub>	I/O ポート P04 - 外部端子状態レジスタ	EPSR04	-	R	XXXXXXXX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0004C1 <sub>H</sub>	I/O ポート P05 - 外部端子状態レジスタ	EPSR05	-	R	XXXXXXXX
0004C2 <sub>H</sub>	I/O ポート P06 - 外部端子状態レジスタ	EPSR06	-	R	XXXXXXXX
0004C3 <sub>H</sub>	I/O ポート P07 - 外部端子状態レジスタ	EPSR07	-	R	XXXXXXXX
0004C4 <sub>H</sub> - 0004CC <sub>H</sub>	予約	-	-	-	-
0004CD <sub>H</sub>	I/O ポート P17 - 外部端子状態レジスタ	EPSR17	-	R	XXXXXXXX
0004CE <sub>H</sub> , 0004CF <sub>H</sub>	予約	-	-	-	-
0004D0 <sub>H</sub>	ADC0 アナログ入力許可レジスタ 0	ADER0	-	R/W	00000000
0004D1 <sub>H</sub>	ADC0 アナログ入力許可レジスタ 1	ADER1	-	R/W	00000000
0004D2 <sub>H</sub>	ADC0 アナログ入力許可レジスタ 2	ADER2	-	R/W	00000000
0004D3 <sub>H</sub>	ADC0 アナログ入力許可レジスタ 3	ADER3	-	R/W	00000000
0004D4 <sub>H</sub> , 0004D5 <sub>H</sub>	予約	-	-	-	-
0004D6 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 0	PRRR0	-	R/W	00000000
0004D7 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 1	PRRR1	-	R/W	00000000
0004D8 <sub>H</sub> - 0004DA <sub>H</sub>	予約	-	-	-	-
0004DB <sub>H</sub>	周辺リソース端子リロケーションレジスタ 5	PRRR5	-	R/W	00XX0000
0004DC <sub>H</sub>	周辺リソース端子リロケーションレジスタ 6	PRRR6	-	R/W	00000000
0004DD <sub>H</sub>	周辺リソース端子リロケーションレジスタ 7	PRRR7	-	R/W	00000000
0004DE <sub>H</sub>	周辺リソース端子リロケーションレジスタ 8	PRRR8	-	R/W	00000000
0004DF <sub>H</sub>	周辺リソース端子リロケーションレジスタ 9	PRRR9	-	R/W	XX000000
0004E0 <sub>H</sub>	RTC - サブセカンドレジスタ L	WTBR0L	WTBR0	R/W	XXXXXXXX
0004E1 <sub>H</sub>	RTC - サブセカンドレジスタ M	WTBR0H	-	R/W	XXXXXXXX
0004E2 <sub>H</sub>	RTC - サブセカンドレジスタ H	WTBR1	-	R/W	XXXXXXXX
0004E3 <sub>H</sub>	RTC - 秒レジスタ	WTSR	-	R/W	XX***** *:リセット要 因に依存
0004E4 <sub>H</sub>	RTC - 分レジスタ	WTMR	-	R/W	XX***** *:リセット要 因に依存
0004E5 <sub>H</sub>	RTC - 時レジスタ	WTHR	-	R/W	XXX***** *:リセット要 因に依存
0004E6 <sub>H</sub>	RTC - タイマ制御拡張レジスタ	WTCER	-	R/W	XXXXXX00
0004E7 <sub>H</sub>	RTC - クロック選択レジスタ	WTCKSR	-	R/W	XXXXXX00
0004E8 <sub>H</sub>	RTC - タイマ制御レジスタ下位	WTCRL	WTCR	R/W	XXXX0000
0004E9 <sub>H</sub>	RTC - タイマ制御レジスタ上位	WTCRH	-	R/W	00000000
0004EA <sub>H</sub>	CAL - クロック補正ユニット制御レジスタ	CUCR	-	R/W	XXX0X000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0004EB <sub>H</sub>	予約	-	-	-	-
0004EC <sub>H</sub>	CAL - クロック補正ユニット測定時間タイマデータレジスタ下位	CUTDL	CUTD	R/W	00000000
0004ED <sub>H</sub>	CAL - クロック補正ユニット測定時間タイマデータレジスタ上位	CUTDH	-	R/W	10000000
0004EE <sub>H</sub>	CAL - クロック補正ユニット補正タイマデータレジスタ 2 下位	CUTR2L	CUTR2	R	00000000
0004EF <sub>H</sub>	CAL - クロック補正ユニット補正タイマデータレジスタ 2 上位	CUTR2H	-	R	00000000
0004F0 <sub>H</sub>	CAL - クロック補正ユニット補正タイマデータレジスタ 1 下位	CUTR1L	CUTR1	R	00000000
0004F1 <sub>H</sub>	CAL - クロック補正ユニット補正タイマデータレジスタ 1 上位	CUTR1H	-	R	00000000
0004F2 <sub>H</sub> - 0004F9 <sub>H</sub>	予約	-	-	-	-
0004FA <sub>H</sub>	RLT - リロードタイマ入力選択レジスタ(カスケード用)	TMISR	-	R/W	XX000000
0004FB <sub>H</sub> - 0004FF <sub>H</sub>	予約	-	-	-	-
000500 <sub>H</sub>	FRT2 - データレジスタ	-	TCDT2	R/W	00000000
000501 <sub>H</sub>	FRT2 - データレジスタ	-	-	R/W	00000000
000502 <sub>H</sub>	FRT2 - コントロールステータスレジスタ下位	TCCSL2	TCCS2	R/W	00000000
000503 <sub>H</sub>	FRT2 - コントロールステータスレジスタ上位	TCCSH2	-	R/W	01XXXXXX
000504 <sub>H</sub>	FRT3 - データレジスタ	-	TCDT3	R/W	00000000
000505 <sub>H</sub>	FRT3 - データレジスタ	-	-	R/W	00000000
000506 <sub>H</sub>	FRT3 - コントロールステータスレジスタ下位	TCCSL3	TCCS3	R/W	00000000
000507 <sub>H</sub>	FRT3 - コントロールステータスレジスタ上位	TCCSH3	-	R/W	01XXXXXX
000508 <sub>H</sub> - 000513 <sub>H</sub>	予約	-	-	-	-
000514 <sub>H</sub>	ICU8/ICU9 - 制御ステータスレジスタ	ICS89	-	R/W	00000000
000515 <sub>H</sub>	ICU8/ICU9 - エッジレジスタ	ICE89	-	R/W	XXX0X000
000516 <sub>H</sub> , 000517 <sub>H</sub>	予約	-	-	-	-
000518 <sub>H</sub>	ICU9 - データレジスタ下位	IPCPL9	IPCP9	R	XXXXXXXXXX
000519 <sub>H</sub>	ICU9 - データレジスタ上位	IPCPH9	-	R	XXXXXXXXXX
00051A <sub>H</sub>	ICU10/ICU11 - 制御ステータスレジスタ	ICS1011	-	R/W	00000000
00051B <sub>H</sub>	ICU10/ICU11 - エッジレジスタ	ICE1011	-	R/W	XXX0X000
00051C <sub>H</sub>	ICU10 - データレジスタ下位	IPCPL10	IPCP10	R	XXXXXXXXXX
00051D <sub>H</sub>	ICU10 - データレジスタ上位	IPCPH10	-	R	XXXXXXXXXX
00051E <sub>H</sub> - 00053D <sub>H</sub>	予約	-	-	-	-
00053E <sub>H</sub>	USART7 - シリアルモードレジスタ	SMR7	-	R/W	00000000
00053F <sub>H</sub>	USART7 - シリアル制御レジスタ	SCR7	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000540 <sub>H</sub>	USART7 - 送信データ レジスタ	TDR7	-	W	11111111
000540 <sub>H</sub>	USART7 - 受信データ レジスタ	RDR7	-	R	00000000
000541 <sub>H</sub>	USART7 - シリアルステータスレジスタ	SSR7	-	R/W	00001000
000542 <sub>H</sub>	USART7 - 拡張通信制御レジスタ	ECCR7	-	R/W	000000XX
000543 <sub>H</sub>	USART7 - 拡張ステータス制御レジスタ	ESCR7	-	R/W	00000100
000544 <sub>H</sub>	USART7 - ボーレート/リロードカウンタレジスタ下位	BGRL7	BGR7	R/W	00000000
000545 <sub>H</sub>	USART7 - ボーレート/リロードカウンタレジスタ上位	BGRH7	-	R/W	00000000
000546 <sub>H</sub>	USART7 - 拡張シリアル割込みレジスタ	ESIR7	-	R/W	XXXX10X0
000547 <sub>H</sub>	予約	-	-	-	-
000548 <sub>H</sub>	USART8 - シリアルモードレジスタ	SMR8	-	R/W	00000000
000549 <sub>H</sub>	USART8 - シリアル制御レジスタ	SCR8	-	R/W	00000000
00054A <sub>H</sub>	USART8 - 送信データ レジスタ	TDR8	-	W	11111111
00054A <sub>H</sub>	USART8 - 受信データ レジスタ	RDR8	-	R	00000000
00054B <sub>H</sub>	USART8 - シリアルステータスレジスタ	SSR8	-	R/W	00001000
00054C <sub>H</sub>	USART8 - 拡張通信制御レジスタ	ECCR8	-	R/W	000000XX
00054D <sub>H</sub>	USART8 - 拡張ステータス制御レジスタ	ESCR8	-	R/W	00000100
00054E <sub>H</sub>	USART8 - ボーレート/リロードカウンタレジスタ下位	BGRL8	BGR8	R/W	00000000
00054F <sub>H</sub>	USART8 - ボーレート/リロードカウンタレジスタ上位	BGRH8	-	R/W	00000000
000550 <sub>H</sub>	USART8 - 拡張シリアル割込みレジスタ	ESIR8	-	R/W	XXXX10X0
000551 <sub>H</sub> - 000563 <sub>H</sub>	予約	-	-	-	-
000564 <sub>H</sub>	PPG6 - タイマレジスタ	-	PTMR6	R	11111111
000565 <sub>H</sub>	PPG6 - タイマレジスタ	-	-	R	11111111
000566 <sub>H</sub>	PPG6 - 周期設定レジスタ下位	PCSRL6	PCSR6	R/W	XXXXXXXXXX
000567 <sub>H</sub>	PPG6 - 周期設定レジスタ上位	PCSRH6	-	R/W	XXXXXXXXXX
000568 <sub>H</sub>	PPG6 - デューティ設定レジスタ下位	PDUTL6	PDUT6	R/W	XXXXXXXXXX
000569 <sub>H</sub>	PPG6 - デューティ設定レジスタ上位	PDUTH6	-	R/W	XXXXXXXXXX
00056A <sub>H</sub>	PPG6 - 制御ステータスレジスタ下位	PCNL6	PCN6	R/W	00000000
00056B <sub>H</sub>	PPG6 - 制御ステータスレジスタ上位	PCNH6	-	R/W	00000000
00056C <sub>H</sub>	PPG7 - タイマレジスタ	-	PTMR7	R	11111111
00056D <sub>H</sub>	PPG7 - タイマレジスタ	-	-	R	11111111
00056E <sub>H</sub>	PPG7 - 周期設定レジスタ下位	PCSRL7	PCSR7	R/W	XXXXXXXXXX
00056F <sub>H</sub>	PPG7 - 周期設定レジスタ上位	PCSRH7	-	R/W	XXXXXXXXXX
000570 <sub>H</sub>	PPG7 - デューティ設定レジスタ下位	PDUTL7	PDUT7	R/W	XXXXXXXXXX
000571 <sub>H</sub>	PPG7 - デューティ設定レジスタ上位	PDUTH7	-	R/W	XXXXXXXXXX
000572 <sub>H</sub>	PPG7 - 制御ステータスレジスタ下位	PCNL7	PCN7	R/W	00000000
000573 <sub>H</sub>	PPG7 - 制御ステータスレジスタ上位	PCNH7	-	R/W	00000000
000574 <sub>H</sub> - 000597 <sub>H</sub>	予約	-	-	-	-
000598 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 1 下位	GCN1L3	GCN13	R/W	00010000
000599 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 1 上位	GCN1H3	-	R/W	00110010
00059A <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 2 下位	GCN2L3	GCN23	R/W	XXXX0000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
00059B <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 2 上位	GCN2H3	-	R/W	XXXX0000
00059C <sub>H</sub>	PPG12 - タイマレジスタ	-	PTMR12	R	11111111
00059D <sub>H</sub>	PPG12 - タイマレジスタ	-	-	R	11111111
00059E <sub>H</sub>	PPG12 - 周期設定レジスタ下位	PCSRL12	PCSR12	R/W	XXXXXXXXXX
00059F <sub>H</sub>	PPG12 - 周期設定レジスタ上位	PCSRH12	-	R/W	XXXXXXXXXX
0005A0 <sub>H</sub>	PPG12 - デューティ設定レジスタ下位	PDUTL12	PDUT12	R/W	XXXXXXXXXX
0005A1 <sub>H</sub>	PPG12 - デューティ設定レジスタ上位	PDUTH12	-	R/W	XXXXXXXXXX
0005A2 <sub>H</sub>	PPG12 - 制御ステータスレジスタ下位	PCNL12	PCN12	R/W	00000000
0005A3 <sub>H</sub>	PPG12 - 制御ステータスレジスタ上位	PCNH12	-	R/W	00000000
0005A4 <sub>H</sub> - 0005AB <sub>H</sub>	予約	-	-	-	-
0005AC <sub>H</sub>	PPG14 - タイマレジスタ	-	PTMR14	R	11111111
0005AD <sub>H</sub>	PPG14 - タイマレジスタ	-	-	R	11111111
0005AE <sub>H</sub>	PPG14 - 周期設定レジスタ下位	PCSRL14	PCSR14	R/W	XXXXXXXXXX
0005AF <sub>H</sub>	PPG14 - 周期設定レジスタ上位	PCSRH14	-	R/W	XXXXXXXXXX
0005B0 <sub>H</sub>	PPG14 - デューティ設定レジスタ下位	PDUTL14	PDUT14	R/W	XXXXXXXXXX
0005B1 <sub>H</sub>	PPG14 - デューティ設定レジスタ上位	PDUTH14	-	R/W	XXXXXXXXXX
0005B2 <sub>H</sub>	PPG14 - 制御ステータスレジスタ下位	PCNL14	PCN14	R/W	00000000
0005B3 <sub>H</sub>	PPG14 - 制御ステータスレジスタ上位	PCNH14	-	R/W	00000000
0005B4 <sub>H</sub> - 0008FF <sub>H</sub>	予約	-	-	-	-
000900 <sub>H</sub>	CAN2 - 制御レジスタ下位	CTRLRL2	CTRLR2	R/W	000X0001
000901 <sub>H</sub>	CAN2 - 制御レジスタ上位(予約)	CTRLRH2	-	R	XXXXXXXXXX
000902 <sub>H</sub>	CAN2 - ステータスレジスタ下位	STATRL2	STATR2	R/W	00000000
000903 <sub>H</sub>	CAN2 - ステータスレジスタ上位(予約)	STATRH2	-	R	XXXXXXXXXX
000904 <sub>H</sub>	CAN2 - エラーカウンタ下位(送信)	ERRCNTL2	ERRCNT2	R	00000000
000905 <sub>H</sub>	CAN2 - エラーカウンタ上位(受信)	ERRCNTH2	-	R	00000000
000906 <sub>H</sub>	CAN2 - ビットタイミングレジスタ下位	BTRL2	BTR2	R/W	00000001
000907 <sub>H</sub>	CAN2 - ビットタイミングレジスタ上位	BTRH2	-	R/W	X0100011
000908 <sub>H</sub>	CAN2 - 割込みレジスタ下位	INTRL2	INTR2	R	00000000
000909 <sub>H</sub>	CAN2 - 割込みレジスタ上位	INTRH2	-	R	00000000
00090A <sub>H</sub>	CAN2 - テストレジスタ下位	TESTRL2	TESTR2	R/W	X00000XX
00090B <sub>H</sub>	CAN2 - テストレジスタ上位(予約)	TESTRH2	-	R	XXXXXXXXXX
00090C <sub>H</sub>	CAN2 - BRP 拡張レジスタ下位	BRPERL2	BRPER2	R/W	XXXX0000
00090D <sub>H</sub>	CAN2 - BRP 拡張レジスタ上位(予約)	BRPERH2	-	R	XXXXXXXXXX
00090E <sub>H</sub> , 00090F <sub>H</sub>	予約	-	-	-	-
000910 <sub>H</sub>	CAN2 - IF1 コマンドリクエストレジスタ 下位	IF1CREQL2	IF1CREQ2	R/W	00000001
000911 <sub>H</sub>	CAN2 - IF1 コマンドリクエストレジスタ 上位	IF1CREQH2	-	R/W	0XXXXXXXXX
000912 <sub>H</sub>	CAN2 - IF1 コマンドマスクレジスタ下位	IF1CMSKL2	IF1CMSK2	R/W	00000000
000913 <sub>H</sub>	CAN2 - IF1 コマンドマスクレジスタ上位 (予約)	IF1CMSKH2	-	R	XXXXXXXXXX
000914 <sub>H</sub>	CAN2 - IF1 マスク 1 レジスタ下位	IF1MSK1L2	IF1MSK12	R/W	11111111
000915 <sub>H</sub>	CAN2 - IF1 マスク 1 レジスタ上位	IF1MSK1H2	-	R/W	11111111



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000916 <sub>H</sub>	CAN2 - IF1 マスク 2 レジスタ下位	IF1MSK2L2	IF1MSK22	R/W	11111111
000917 <sub>H</sub>	CAN2 - IF1 マスク 2 レジスタ上位	IF1MSK2H2	-	R/W	11X11111
000918 <sub>H</sub>	CAN2 - IF1 アービトレーション 1 レジスタ下位	IF1ARB1L2	IF1ARB12	R/W	00000000
000919 <sub>H</sub>	CAN2 - IF1 アービトレーション 1 レジスタ上位	IF1ARB1H2	-	R/W	00000000
00091A <sub>H</sub>	CAN2 - IF1 アービトレーション 2 レジスタ下位	IF1ARB2L2	IF1ARB22	R/W	00000000
00091B <sub>H</sub>	CAN2 - IF1 アービトレーション 2 レジスタ上位	IF1ARB2H2	-	R/W	00000000
00091C <sub>H</sub>	CAN2 - IF1 メッセージ制御レジスタ下位	IF1MCTRL2	IF1MCTR2	R/W	0XXX0000
00091D <sub>H</sub>	CAN2 - IF1 メッセージ制御レジスタ上位	IF1MCTRH2	-	R/W	00000000
00091E <sub>H</sub>	CAN2 - IF1 データ A1 下位	IF1DTA1L2	IF1DTA12	R/W	00000000
00091F <sub>H</sub>	CAN2 - IF1 データ A1 上位	IF1DTA1H2	-	R/W	00000000
000920 <sub>H</sub>	CAN2 - IF1 データ A2 下位	IF1DTA2L2	IF1DTA22	R/W	00000000
000921 <sub>H</sub>	CAN2 - IF1 データ A2 上位	IF1DTA2H2	-	R/W	00000000
000922 <sub>H</sub>	CAN2 - IF1 データ B1 下位	IF1DTB1L2	IF1DTB12	R/W	00000000
000923 <sub>H</sub>	CAN2 - IF1 データ B1 上位	IF1DTB1H2	-	R/W	00000000
000924 <sub>H</sub>	CAN2 - IF1 データ B2 下位	IF1DTB2L2	IF1DTB22	R/W	00000000
000925 <sub>H</sub>	CAN2 - IF1 データ B2 上位	IF1DTB2H2	-	R/W	00000000
000926 <sub>H</sub> - 00093F <sub>H</sub>	予約	-	-	-	-
000940 <sub>H</sub>	CAN2 - IF2 コマンドリクエストレジスタ下位	IF2CREQL2	IF2CREQ2	R/W	00000001
000941 <sub>H</sub>	CAN2 - IF2 コマンドリクエストレジスタ上位	IF2CREQH2	-	R/W	0XXXXXXXX
000942 <sub>H</sub>	CAN2 - IF2 コマンドマスクレジスタ下位	IF2CMSKL2	IF2CMSK2	R/W	00000000
000943 <sub>H</sub>	CAN2 - IF2 コマンドマスクレジスタ上位 (予約)	IF2CMSKH2	-	R	XXXXXXXXX
000944 <sub>H</sub>	CAN2 - IF2 マスク 1 レジスタ下位	IF2MSK1L2	IF2MSK12	R/W	11111111
000945 <sub>H</sub>	CAN2 - IF2 マスク 1 レジスタ上位	IF2MSK1H2	-	R/W	11111111
000946 <sub>H</sub>	CAN2 - IF2 マスク 2 レジスタ下位	IF2MSK2L2	IF2MSK22	R/W	11111111
000947 <sub>H</sub>	CAN2 - IF2 マスク 2 レジスタ上位	IF2MSK2H2	-	R/W	11X11111
000948 <sub>H</sub>	CAN2 - IF2 アービトレーション 1 レジスタ下位	IF2ARB1L2	IF2ARB12	R/W	00000000
000949 <sub>H</sub>	CAN2 - IF2 アービトレーション 1 レジスタ上位	IF2ARB1H2	-	R/W	00000000
00094A <sub>H</sub>	CAN2 - IF2 アービトレーション 2 レジスタ下位	IF2ARB2L2	IF2ARB22	R/W	00000000
00094B <sub>H</sub>	CAN2 - IF2 アービトレーション 2 レジスタ上位	IF2ARB2H2	-	R/W	00000000
00094C <sub>H</sub>	CAN2 - IF2 メッセージ制御レジスタ下位	IF2MCTRL2	IF2MCTR2	R/W	0XXX0000
00094D <sub>H</sub>	CAN2 - IF2 メッセージ制御レジスタ上位	IF2MCTRH2	-	R/W	00000000
00094E <sub>H</sub>	CAN2 - IF2 データ A1 下位	IF2DTA1L2	IF2DTA12	R/W	00000000
00094F <sub>H</sub>	CAN2 - IF2 データ A1 上位	IF2DTA1H2	-	R/W	00000000
000950 <sub>H</sub>	CAN2 - IF2 データ A2 下位	IF2DTA2L2	IF2DTA22	R/W	00000000
000951 <sub>H</sub>	CAN2 - IF2 データ A2 上位	IF2DTA2H2	-	R/W	00000000



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000952 <sub>H</sub>	CAN2 - IF2 データ B1 下位	IF2DTB1L2	IF2DTB12	R/W	00000000
000953 <sub>H</sub>	CAN2 - IF2 データ B1 上位	IF2DTB1H2	-	R/W	00000000
000954 <sub>H</sub>	CAN2 - IF2 データ B2 下位	IF2DTB2L2	IF2DTB22	R/W	00000000
000955 <sub>H</sub>	CAN2 - IF2 データ B2 上位	IF2DTB2H2	-	R/W	00000000
000956 <sub>H</sub> - 00097F <sub>H</sub>	予約	-	-	-	-
000980 <sub>H</sub>	CAN2 - 送信リクエスト 1 レジスタ下位	TREQR1L2	TREQR12	R	00000000
000981 <sub>H</sub>	CAN2 - 送信リクエスト 1 レジスタ上位	TREQR1H2	-	R	00000000
000982 <sub>H</sub>	CAN2 - 送信リクエスト 2 レジスタ下位	TREQR2L2	TREQR22	R	00000000
000983 <sub>H</sub>	CAN2 - 送信リクエスト 2 レジスタ上位	TREQR2H2	-	R	00000000
000984 <sub>H</sub> - 00098F <sub>H</sub>	予約	-	-	-	-
000990 <sub>H</sub>	CAN2 - 新規データ 1 レジスタ下位	NEWDT1L2	NEWDT12	R	00000000
000991 <sub>H</sub>	CAN2 - 新規データ 1 レジスタ上位	NEWDT1H2	-	R	00000000
000992 <sub>H</sub>	CAN2 - 新規データ 2 レジスタ下位	NEWDT2L2	NEWDT22	R	00000000
000993 <sub>H</sub>	CAN2 - 新規データ 2 レジスタ上位	NEWDT2H2	-	R	00000000
000994 <sub>H</sub> - 00099F <sub>H</sub>	予約	-	-	-	-
0009A0 <sub>H</sub>	CAN2 - 割込み保留 1 レジスタ下位	INTPND1L2	INTPND12	R	00000000
0009A1 <sub>H</sub>	CAN2 - 割込み保留 1 レジスタ上位	INTPND1H2	-	R	00000000
0009A2 <sub>H</sub>	CAN2 - 割込み保留 2 レジスタ下位	INTPND2L2	INTPND22	R	00000000
0009A3 <sub>H</sub>	CAN2 - 割込み保留 2 レジスタ上位	INTPND2H2	-	R	00000000
0009A4 <sub>H</sub> - 0009AF <sub>H</sub>	予約	-	-	-	-
0009B0 <sub>H</sub>	CAN2 - メッセージ有効 1 レジスタ下位	MSGVAL1L2	MSGVAL12	R	00000000
0009B1 <sub>H</sub>	CAN2 - メッセージ有効 1 レジスタ上位	MSGVAL1H2	-	R	00000000
0009B2 <sub>H</sub>	CAN2 - メッセージ有効 2 レジスタ下位	MSGVAL2L2	MSGVAL22	R	00000000
0009B3 <sub>H</sub>	CAN2 - メッセージ有効 2 レジスタ上位	MSGVAL2H2	-	R	00000000
0009B4 <sub>H</sub> - 0009CD <sub>H</sub>	予約	-	-	-	-
0009CE <sub>H</sub>	CAN2 - 出力許可レジスタ	COER2	-	R/W	XXXXXXXX0
0009CF <sub>H</sub> - 0009FF <sub>H</sub>	予約	-	-	-	-
000A00 <sub>H</sub>	DMA - I/O アドレスポインタバンク選択レジスタ 0	IOABK0	-	R/W	00000000
000A01 <sub>H</sub>	DMA - I/O アドレスポインタバンク選択レジスタ 1	IOABK1	-	R/W	00000000
000A02 <sub>H</sub> - 000A7F <sub>H</sub>	予約	-	-	-	-
000A80 <sub>H</sub>	PPG0 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L0	EPCN10	R/W	0XXXX00X
000A81 <sub>H</sub>	PPG0 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H0	-	R/W	XXX00000
000A82 <sub>H</sub>	PPG1 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L1	EPCN11	R/W	0XXXX00X
000A83 <sub>H</sub>	PPG1 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H1	-	R/W	XXX00000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000A84 <sub>H</sub> , 000A85 <sub>H</sub>	予約	-	-	-	-
000A86 <sub>H</sub>	PPG3 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L3	EPCN13	R/W	0XXXX00X
000A87 <sub>H</sub>	PPG3 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H3	-	R/W	XXX00000
000A88 <sub>H</sub>	PPG4 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L4	EPCN14	R/W	0XXXX00X
000A89 <sub>H</sub>	PPG4 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H4	-	R/W	XXX00000
000A8A <sub>H</sub> , 000A8B <sub>H</sub>	予約	-	-	-	-
000A8C <sub>H</sub>	PPG6 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L6	EPCN16	R/W	0XXXX00X
000A8D <sub>H</sub>	PPG6 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H6	-	R/W	XXX00000
000A8E <sub>H</sub>	PPG7 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L7	EPCN17	R/W	0XXXX00X
000A8F <sub>H</sub>	PPG7 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H7	-	R/W	XXX00000
000A90 <sub>H</sub> - 000A97 <sub>H</sub>	予約	-	-	-	-
000A98 <sub>H</sub>	PPG12 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L12	EPCN112	R/W	0XXXX00X
000A99 <sub>H</sub>	PPG12 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H12	-	R/W	XXX00000
000A9A <sub>H</sub> , 000A9B <sub>H</sub>	予約	-	-	-	-
000A9C <sub>H</sub>	PPG14 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L14	EPCN114	R/W	0XXXX00X
000A9D <sub>H</sub>	PPG14 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H14	-	R/W	XXX00000
000A9E <sub>H</sub> - 000AEF <sub>H</sub>	予約	-	-	-	-
000AF0 <sub>H</sub>	QPRC0 - 位置カウントレジスタ	-	QPCR0	R/W	00000000
000AF1 <sub>H</sub>	QPRC0 - 位置カウントレジスタ	-	-	R/W	00000000
000AF2 <sub>H</sub>	QPRC0 - 回転カウントレジスタ	-	QRCR0	R/W	00000000
000AF3 <sub>H</sub>	QPRC0 - 回転カウントレジスタ	-	-	R/W	00000000
000AF4 <sub>H</sub>	QPRC0 - 割込み制御レジスタ下位	QICRL0	QICR0	R/W	00000000
000AF5 <sub>H</sub>	QPRC0 - 割込み制御レジスタ上位	QICRH0	-	R/W	00000000
000AF6 <sub>H</sub>	QPRC0 - 拡張制御レジスタ下位	QECRL0	QECR0	R/W	00000000
000AF7 <sub>H</sub>	QPRC0 - 拡張制御レジスタ上位	QECRH0	-	R/W	00000000
000AF8 <sub>H</sub>	QPRC1 - 位置カウントレジスタ	-	QPCR1	R/W	00000000
000AF9 <sub>H</sub>	QPRC1 - 位置カウントレジスタ	-	-	R/W	00000000
000AFA <sub>H</sub>	QPRC1 - 回転カウントレジスタ	-	QRCR1	R/W	00000000
000AFB <sub>H</sub>	QPRC1 - 回転カウントレジスタ	-	-	R/W	00000000
000AFC <sub>H</sub>	QPRC1 - 割込み制御レジスタ下位	QICRL1	QICR1	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000AFD <sub>H</sub>	QPRC1 - 割込み制御レジスタ上位	QICRH1	-	R/W	00000000
000AFE <sub>H</sub>	QPRC1 - 拡張制御レジスタ下位	QECRL1	QECR1	R/W	00000000
000AFF <sub>H</sub>	QPRC1 - 拡張制御レジスタ上位	QECRH1	-	R/W	00000000
000B00 <sub>H</sub> - 000B53 <sub>H</sub>	予約	-	-	-	-
000B54 <sub>H</sub>	ADC0 - レンジ比較しきい値超過フラグレジスタ 0	ADRCOOF00	-	R	00000000
000B55 <sub>H</sub>	ADC0 - レンジ比較しきい値超過フラグレジスタ 1	ADRCOOF10	-	R	00000000
000B56 <sub>H</sub>	ADC0 - レンジ比較しきい値超過フラグレジスタ 2	ADRCOOF20	-	R	00000000
000B57 <sub>H</sub>	ADC0 - レンジ比較しきい値超過フラグレジスタ 3	ADRCOOF30	-	R	00000000
000B58 <sub>H</sub> - 000B5B <sub>H</sub>	予約	-	-	-	-
000B5C <sub>H</sub>	ADC0 - レンジ比較フラグレジスタ 0	ADRCOINTF00	-	R/W	00000000
000B5D <sub>H</sub>	ADC0 - レンジ比較フラグレジスタ 1	ADRCOINTF10	-	R/W	00000000
000B5E <sub>H</sub>	ADC0 - レンジ比較フラグレジスタ 2	ADRCOINTF20	-	R/W	00000000
000B5F <sub>H</sub>	ADC0 - レンジ比較フラグレジスタ 3	ADRCOINTF30	-	R/W	00000000
000B60 <sub>H</sub> - 000BAD <sub>H</sub>	予約	-	-	-	-
000BAE <sub>H</sub>	USART2 - チェックサムステータス制御レジスタ	CSCR2	-	R/W	00000000
000BAF <sub>H</sub>	USART2 - 拡張ステータスレジスタ	ESR2	-	R/W	XX000000
000BB0 <sub>H</sub> - 000BB8 <sub>H</sub>	予約	-	-	-	-
000BB9 <sub>H</sub>	USART7 - 拡張ステータスレジスタ	ESR7	-	R/W	XXXX00XX
000BBA <sub>H</sub>	予約	-	-	-	-
000BBB <sub>H</sub>	USART8 - 拡張ステータスレジスタ	ESR8	-	R/W	XXXX00XX
000BBC <sub>H</sub> - 000BEF <sub>H</sub>	予約	-	-	-	-
000BF0 <sub>H</sub>	DSU 制御レジスタ下位	DSUCRL	DSUCR	R/W	XXXXXXXXX0
000BF1 <sub>H</sub>	DSU 制御レジスタ上位	DSUCRH	-	R/W	XXXXXXXXXX
000BF2 <sub>H</sub> , 000BF3 <sub>H</sub>	予約	-	-	-	-
000BF4 <sub>H</sub>	ユーザイベントレジスタ下位	UERL	UER	W	XXXXXXXXXX
000BF5 <sub>H</sub>	ユーザイベントレジスタ上位	UERH	-	R/W	XXXXXXXXXX
000BF6 <sub>H</sub>	メッセージバッファレジスタ下位	MBRL	MBR	W	XXXXXXXXXX
000BF7 <sub>H</sub>	メッセージバッファレジスタ上位	MBRH	-	R/W	0XXXXXXXXX
000BF8 <sub>H</sub> - 000BFF <sub>H</sub>	予約	-	-	-	-
0E9000 <sub>H</sub> - 0E9301 <sub>H</sub>	予約	-	-	-	-
0E9302 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 4 下位	GCN4L0	GCN40	R/W	X110X110
0E9303 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 4 上位	GCN4H0	-	R/W	X110X110
0E9304 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 5 下位	GCN5L0	GCN50	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9305 <sub>H</sub> - 0E930F <sub>H</sub>	予約	-	-	-	-
0E9310 <sub>H</sub>	PPG0 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L0	EPCN20	R/W	00XX0X0X
0E9311 <sub>H</sub> - 0E9313 <sub>H</sub>	予約	-	-	-	-
0E9314 <sub>H</sub>	PPG0 - タイミングポイントキャプチャレジ スタ下位	PTPCL0	PTPC0	R/W	00000000
0E9315 <sub>H</sub>	PPG0 - タイミングポイントキャプチャレジ スタ上位	PTPCH0	-	R/W	00000000
0E9316 <sub>H</sub> - 0E931F <sub>H</sub>	予約	-	-	-	-
0E9320 <sub>H</sub>	PPG1 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L1	EPCN21	R/W	00XX0X0X
0E9321 <sub>H</sub> - 0E9323 <sub>H</sub>	予約	-	-	-	-
0E9324 <sub>H</sub>	PPG1 - タイミングポイントキャプチャレジ スタ下位	PTPCL1	PTPC1	R/W	00000000
0E9325 <sub>H</sub>	PPG1 - タイミングポイントキャプチャレジ スタ上位	PTPCH1	-	R/W	00000000
0E9326 <sub>H</sub> - 0E933F <sub>H</sub>	予約	-	-	-	-
0E9340 <sub>H</sub>	PPG3 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L3	EPCN23	R/W	00XX0X0X
0E9341 <sub>H</sub> - 0E9343 <sub>H</sub>	予約	-	-	-	-
0E9344 <sub>H</sub>	PPG3 - タイミングポイントキャプチャレジ スタ下位	PTPCL3	PTPC3	R/W	00000000
0E9345 <sub>H</sub>	PPG3 - タイミングポイントキャプチャレジ スタ上位	PTPCH3	-	R/W	00000000
0E9346 <sub>H</sub> - 0E9351 <sub>H</sub>	予約	-	-	-	-
0E9352 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 4 下位	GCN4L1	GCN41	R/W	X110X110
0E9353 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 4 上位	GCN4H1	-	R/W	X110X110
0E9354 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 5 下位	GCN5L1	GCN51	R/W	00000000
0E9355 <sub>H</sub> - 0E935F <sub>H</sub>	予約	-	-	-	-
0E9360 <sub>H</sub>	PPG4 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L4	EPCN24	R/W	00XX0X0X
0E9361 <sub>H</sub> - 0E9363 <sub>H</sub>	予約	-	-	-	-
0E9364 <sub>H</sub>	PPG4 - タイミングポイントキャプチャレジ スタ下位	PTPCL4	PTPC4	R/W	00000000
0E9365 <sub>H</sub>	PPG4 - タイミングポイントキャプチャレジ スタ上位	PTPCH4	-	R/W	00000000
0E9366 <sub>H</sub> - 0E937F <sub>H</sub>	予約	-	-	-	-

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9380 <sub>H</sub>	PPG6 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L6	EPCN26	R/W	00XX0X0X
0E9381 <sub>H</sub> - 0E9383 <sub>H</sub>	予約	-	-	-	-
0E9384 <sub>H</sub>	PPG6 - タイミングポイントキャプチャレジ スタ下位	PTPCL6	PTPC6	R/W	00000000
0E9385 <sub>H</sub>	PPG6 - タイミングポイントキャプチャレジ スタ上位	PTPCH6	-	R/W	00000000
0E9386 <sub>H</sub> - 0E938F <sub>H</sub>	予約	-	-	-	-
0E9390 <sub>H</sub>	PPG7 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L7	EPCN27	R/W	00XX0X0X
0E9391 <sub>H</sub> - 0E9393 <sub>H</sub>	予約	-	-	-	-
0E9394 <sub>H</sub>	PPG7 - タイミングポイントキャプチャレジ スタ下位	PTPCL7	PTPC7	R/W	00000000
0E9395 <sub>H</sub>	PPG7 - タイミングポイントキャプチャレジ スタ上位	PTPCH7	-	R/W	00000000
0E9396 <sub>H</sub> - 0E9401 <sub>H</sub>	予約	-	-	-	-
0E9402 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 4 下位	GCN4L3	GCN43	R/W	X110X110
0E9403 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 4 上位	GCN4H3	-	R/W	X110X110
0E9404 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 5 下位	GCN5L3	GCN53	R/W	00000000
0E9405 <sub>H</sub> - 0E940F <sub>H</sub>	予約	-	-	-	-
0E9410 <sub>H</sub>	PPG12 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L12	EPCN212	R/W	00XX0X0X
0E9411 <sub>H</sub> - 0E9413 <sub>H</sub>	予約	-	-	-	-
0E9414 <sub>H</sub>	PPG12 - タイミングポイントキャプチャレ ジスタ下位	PTPCL12	PTPC12	R/W	00000000
0E9415 <sub>H</sub>	PPG12 - タイミングポイントキャプチャレ ジスタ上位	PTPCH12	-	R/W	00000000
0E9416 <sub>H</sub> - 0E942F <sub>H</sub>	予約	-	-	-	-
0E9430 <sub>H</sub>	PPG14 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L14	EPCN214	R/W	00XX0X0X
0E9431 <sub>H</sub> - 0E9433 <sub>H</sub>	予約	-	-	-	-
0E9434 <sub>H</sub>	PPG14 - タイミングポイントキャプチャレ ジスタ下位	PTPCL14	PTPC14	R/W	00000000
0E9435 <sub>H</sub>	PPG14 - タイミングポイントキャプチャレ ジスタ上位	PTPCH14	-	R/W	00000000
0E9436 <sub>H</sub> - 0E949F <sub>H</sub>	予約	-	-	-	-
0E94A0 <sub>H</sub>	ADTG - ADC0 トリガ制御レジスタ下位	ADTGCRLO	ADTGCR0	R/W	XXXXXXXX
0E94A1 <sub>H</sub>	ADTG - ADC0 トリガ制御レジスタ上位	ADTGCRH0	-	R/W	XXXXXXXX1

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E94A2 <sub>H</sub>	ADTG - ADC0 トリガ入力選択下位	ADTGISELL0	ADTGISEL0	R/W	XXXXXX001
0E94A3 <sub>H</sub>	ADTG - ADC0 トリガ入力選択上位	ADTGISELH0	-	R/W	XXX00000
0E94A4 <sub>H</sub> - 0E951F <sub>H</sub>	予約	-	-	-	-
0E9520 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 0 下位	ADRCOLL00	ADRCOL00	R/W	00000000
0E9521 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 0 上位	ADRCOLH00	-	R/W	00000000
0E9522 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 0 下位	ADRCOHL00	ADRCOH00	R/W	00000000
0E9523 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 0 上位	ADRCOHH00	-	R/W	00000000
0E9524 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 1 下位	ADRCOLL10	ADRCOL10	R/W	00000000
0E9525 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 1 上位	ADRCOLH10	-	R/W	00000000
0E9526 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 1 下位	ADRCOHL10	ADRCOH10	R/W	00000000
0E9527 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 1 上位	ADRCOHH10	-	R/W	00000000
0E9528 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 2 下位	ADRCOLL20	ADRCOL20	R/W	00000000
0E9529 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 2 上位	ADRCOLH20	-	R/W	00000000
0E952A <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 2 下位	ADRCOHL20	ADRCOH20	R/W	00000000
0E952B <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 2 上位	ADRCOHH20	-	R/W	00000000
0E952C <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 3 下位	ADRCOLL30	ADRCOL30	R/W	00000000
0E952D <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 3 上位	ADRCOLH30	-	R/W	00000000
0E952E <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 3 下位	ADRCOHL30	ADRCOH30	R/W	00000000
0E952F <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 3 上位	ADRCOHH30	-	R/W	00000000
0E9530 <sub>H</sub> - 0E953F <sub>H</sub>	予約	-	-	-	-
0E9540 <sub>H</sub>	ADC0 - レンジ比較インバートレンジ選択 レジスタ 0	ADRCOIRS00	-	R/W	00000000
0E9541 <sub>H</sub>	ADC0 - レンジ比較インバートレンジ選択 レジスタ 1	ADRCOIRS10	-	R/W	00000000
0E9542 <sub>H</sub>	ADC0 - レンジ比較インバートレンジ選択 レジスタ 2	ADRCOIRS20	-	R/W	00000000
0E9543 <sub>H</sub>	ADC0 - レンジ比較インバートレンジ選択 レジスタ 3	ADRCOIRS30	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9544 <sub>H</sub> - 0E954F <sub>H</sub>	予約	-	-	-	-
0E9550 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 0	ADCC000	-	R/W	00000000
0E9551 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 1	ADCC010	-	R/W	00000000
0E9552 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 2	ADCC020	-	R/W	00000000
0E9553 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 3	ADCC030	-	R/W	00000000
0E9554 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 4	ADCC040	-	R/W	00000000
0E9555 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 5	ADCC050	-	R/W	00000000
0E9556 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 6	ADCC060	-	R/W	00000000
0E9557 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 7	ADCC070	-	R/W	00000000
0E9558 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 8	ADCC080	-	R/W	00000000
0E9559 <sub>H</sub> - 0E955B <sub>H</sub>	予約	-	-	-	-
0E955C <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 12	ADCC120	-	R/W	00000000
0E955D <sub>H</sub> - 0E955E <sub>H</sub>	予約	-	-	-	-
0E955F <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 15	ADCC150	-	R/W	00000000
0E9560 <sub>H</sub> - 0E977F <sub>H</sub>	予約	-	-	-	-
0E9780 <sub>H</sub>	QPRC0 - 位置カウンタ比較レジスタ	-	QPCCR0	R/W	00000000
0E9781 <sub>H</sub>	QPRC0 - 位置カウンタ比較レジスタ	-	-	R/W	00000000
0E9782 <sub>H</sub>	QPRC0 - 位置&回転カウンタ比較レジスタ	-	QPRCR0	R/W	00000000
0E9783 <sub>H</sub>	QPRC0 - 位置&回転カウンタ比較レジスタ	-	-	R/W	00000000
0E9784 <sub>H</sub>	QPRC0 - 最大位置レジスタ	-	QMPR0	R/W	11111111
0E9785 <sub>H</sub>	QPRC0 - 最大位置レジスタ	-	-	R/W	11111111
0E9786 <sub>H</sub>	QPRC0 - 制御レジスタ下位	QCRL0	QCR0	R/W	00000000
0E9787 <sub>H</sub>	QPRC0 - 制御レジスタ上位	QCRH0	-	R/W	00000000
0E9788 <sub>H</sub> - 0E978F <sub>H</sub>	予約	-	-	-	-
0E9790 <sub>H</sub>	QPRC1 - 位置カウンタ比較レジスタ	-	QPCCR1	R/W	00000000
0E9791 <sub>H</sub>	QPRC1 - 位置カウンタ比較レジスタ	-	-	R/W	00000000
0E9792 <sub>H</sub>	QPRC1 - 位置&回転カウンタ比較レジスタ	-	QPRCR1	R/W	00000000
0E9793 <sub>H</sub>	QPRC1 - 位置&回転カウンタ比較レジスタ	-	-	R/W	00000000
0E9794 <sub>H</sub>	QPRC1 - 最大位置レジスタ	-	QMPR1	R/W	11111111
0E9795 <sub>H</sub>	QPRC1 - 最大位置レジスタ	-	-	R/W	11111111
0E9796 <sub>H</sub>	QPRC1 - 制御レジスタ下位	QCRL1	QCR1	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9797 <sub>H</sub>	QPRC1 - 制御レジスタ上位	QCRH1	-	R/W	00000000
0E9798 <sub>H</sub> - 0E97DF <sub>H</sub>	予約	-	-	-	-
0E97E0 <sub>H</sub>	USART2 - 拡張機能許可レジスタ下位	EFERL2	EFER2	R/W	00000000
0E97E1 <sub>H</sub>	USART2 - 拡張機能許可レジスタ上位	EFERH2	-	R/W	XX000000
0E97E2 <sub>H</sub> - 0E97E5 <sub>H</sub>	予約	-	-	-	-
0E97E6 <sub>H</sub>	USART2 - Sync Field タイムアウトレジスタ下位	SFTRL2	SFTR2	R/W	00000000
0E97E7 <sub>H</sub>	USART2 - Sync Field タイムアウトレジスタ上位	SFTRH2	-	R/W	00000000
0E97E8 <sub>H</sub>	USART2 - 拡張割込み許可レジスタ	EIER2	-	R/W	XX000000
0E97E9 <sub>H</sub> - 0E982F <sub>H</sub>	予約	-	-	-	-
0E9830 <sub>H</sub>	USART7 - 拡張機能許可レジスタ下位	EFERL7	EFER7	R/W	00000XXX
0E9831 <sub>H</sub>	USART7 - 拡張機能許可レジスタ上位	EFERH7	-	R/W	XX00X0X0
0E9832 <sub>H</sub> - 0E9837 <sub>H</sub>	予約	-	-	-	-
0E9838 <sub>H</sub>	USART7 - 拡張割込み許可レジスタ	EIER7	-	R/W	XXXXXX00
0E9839 <sub>H</sub> - 0E983F <sub>H</sub>	予約	-	-	-	-
0E9840 <sub>H</sub>	USART8 - 拡張機能許可レジスタ下位	EFERL8	EFER8	R/W	00000XXX
0E9841 <sub>H</sub>	USART8 - 拡張機能許可レジスタ上位	EFERH8	-	R/W	XX00X0X0
0E9842 <sub>H</sub> - 0E9847 <sub>H</sub>	予約	-	-	-	-
0E9848 <sub>H</sub>	USART8 - 拡張割込み許可レジスタ	EIER8	-	R/W	XXXXXX00
0E9849 <sub>H</sub> - 0FBFFF <sub>H</sub>	予約	-	-	-	-



## B. MB96620 の I/O マップ

各周辺機能のレジスタに割り当てられるアドレスを示します。

### ■ MB96620 の I/O マップ

表 B MB96620 の I/O マップ

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000000 <sub>H</sub>	I/O ポート P00 - ポートデータレジスタ	PDR00	-	R/W	XXXXXXXX
000001 <sub>H</sub>	I/O ポート P01 - ポートデータレジスタ	PDR01	-	R/W	XXXXXXXX
000002 <sub>H</sub>	I/O ポート P02 - ポートデータレジスタ	PDR02	-	R/W	XXXXXXXX
000003 <sub>H</sub>	I/O ポート P03 - ポートデータレジスタ	PDR03	-	R/W	XXXXXXXX
000004 <sub>H</sub>	I/O ポート P04 - ポートデータレジスタ	PDR04	-	R/W	XXXXXXXX
000005 <sub>H</sub>	I/O ポート P05 - ポートデータレジスタ	PDR05	-	R/W	XXXXXXXX
000006 <sub>H</sub>	I/O ポート P06 - ポートデータレジスタ	PDR06	-	R/W	XXXXXXXX
000007 <sub>H</sub> - 000010 <sub>H</sub>	予約	-	-	-	-
000011 <sub>H</sub>	I/O ポート P17 - ポートデータレジスタ	PDR17	-	R/W	XXXXXXXX
000012 <sub>H</sub> - 000017 <sub>H</sub>	予約	-	-	-	-
000018 <sub>H</sub>	ADC0 - 制御状態レジスタ下位	ADCSL	ADCS	R/W	00000000
000019 <sub>H</sub>	ADC0 - 制御状態レジスタ上位	ADCSH	-	R/W	00000000
00001A <sub>H</sub>	ADC0 - データレジスタ下位	ADCRL	ADCR	R	00000000
00001B <sub>H</sub>	ADC0 - データレジスタ上位	ADCRH	-	R	00000000
00001C <sub>H</sub>	ADC0 - 設定レジスタ	-	ADSR	R/W	00000000
00001D <sub>H</sub>	ADC0 - 設定レジスタ	-	-	R/W	00000000
00001E <sub>H</sub> , 00001F <sub>H</sub>	予約	-	-	-	-
000020 <sub>H</sub>	FRT0 - データレジスタ	-	TCDT0	R/W	00000000
000021 <sub>H</sub>	FRT0 - データレジスタ	-	-	R/W	00000000
000022 <sub>H</sub>	FRT0 - コントロールステータスレジスタ 下位	TCCSL0	TCCS0	R/W	00000000
000023 <sub>H</sub>	FRT0 - コントロールステータスレジスタ 上位	TCCSH0	-	R/W	01XXXXXX
000024 <sub>H</sub>	FRT1 - データレジスタ	-	TCDT1	R/W	00000000
000025 <sub>H</sub>	FRT1 - データレジスタ	-	-	R/W	00000000
000026 <sub>H</sub>	FRT1 - コントロールステータスレジスタ 下位	TCCSL1	TCCS1	R/W	00000000
000027 <sub>H</sub>	FRT1 - コントロールステータスレジスタ 上位	TCCSH1	-	R/W	01XXXXXX
000028 <sub>H</sub>	OCU0 - コントロールステータスレジスタ	OCS0	-	R/W	0000XX00
000029 <sub>H</sub>	OCU1 - コントロールステータスレジスタ	OCS1	-	R/W	0XX00000
00002A <sub>H</sub>	OCU0 - コンペアレジスタ	-	OCCP0	R/W	XXXXXXXX
00002B <sub>H</sub>	OCU0 - コンペアレジスタ	-	-	R/W	XXXXXXXX
00002C <sub>H</sub>	OCU1 - コンペアレジスタ	-	OCCP1	R/W	XXXXXXXX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
00002D <sub>H</sub>	OCU1 - コンペアレジスタ	-	-	R/W	XXXXXXXX
00002E <sub>H</sub> - 000033 <sub>H</sub>	予約	-	-	-	-
000034 <sub>H</sub>	OCU4 - コントロールステータスレジスタ	OCS4	-	R/W	0000XX00
000035 <sub>H</sub>	OCU5 - コントロールステータスレジスタ	OCS5	-	R/W	0XX00000
000036 <sub>H</sub>	OCU4 - コンペアレジスタ	-	OCCP4	R/W	XXXXXXXX
000037 <sub>H</sub>	OCU4 - コンペアレジスタ	-	-	R/W	XXXXXXXX
000038 <sub>H</sub>	OCU5 - コンペアレジスタ	-	OCCP5	R/W	XXXXXXXX
000039 <sub>H</sub>	OCU5 - コンペアレジスタ	-	-	R/W	XXXXXXXX
00003A <sub>H</sub>	OCU6 - コントロールステータスレジスタ	OCS6	-	R/W	0000XX00
00003B <sub>H</sub>	OCU7 - コントロールステータスレジスタ	OCS7	-	R/W	0XX00000
00003C <sub>H</sub>	OCU6 - コンペアレジスタ	-	OCCP6	R/W	XXXXXXXX
00003D <sub>H</sub>	OCU6 - コンペアレジスタ	-	-	R/W	XXXXXXXX
00003E <sub>H</sub>	OCU7 - コンペアレジスタ	-	OCCP7	R/W	XXXXXXXX
00003F <sub>H</sub>	OCU7 - コンペアレジスタ	-	-	R/W	XXXXXXXX
000040 <sub>H</sub>	ICU0/ICU1 - コントロールステータスレジスタ	ICS01	-	R/W	00000000
000041 <sub>H</sub>	ICU0/ICU1 - エッジレジスタ	ICE01	-	R/W	XXX0X000
000042 <sub>H</sub>	ICU0 - データレジスタ下位	IPCPL0	IPCP0	R	XXXXXXXX
000043 <sub>H</sub>	ICU0 - データレジスタ上位	IPCPH0	-	R	XXXXXXXX
000044 <sub>H</sub>	ICU1 - データレジスタ下位	IPCPL1	IPCP1	R	XXXXXXXX
000045 <sub>H</sub>	ICU1 - データレジスタ上位	IPCPH1	-	R	XXXXXXXX
000046 <sub>H</sub> - 00004B <sub>H</sub>	予約	-	-	-	-
00004C <sub>H</sub>	ICU4/ICU5 - 制御ステータスレジスタ	ICS45	-	R/W	00000000
00004D <sub>H</sub>	ICU4/ICU5 - エッジレジスタ	ICE45	-	R/W	XXX0X000
00004E <sub>H</sub>	ICU4 - データレジスタ下位	IPCPL4	IPCP4	R	XXXXXXXX
00004F <sub>H</sub>	ICU4 - データレジスタ上位	IPCPH4	-	R	XXXXXXXX
000050 <sub>H</sub>	ICU5 - データレジスタ下位	IPCPL5	IPCP5	R	XXXXXXXX
000051 <sub>H</sub>	ICU5 - データレジスタ上位	IPCPH5	-	R	XXXXXXXX
000052 <sub>H</sub>	ICU6/ICU7 - 制御ステータスレジスタ	ICS67	-	R/W	00000000
000053 <sub>H</sub>	ICU6/ICU7 - エッジレジスタ	ICE67	-	R/W	XXX0X000
000054 <sub>H</sub>	ICU6 - データレジスタ下位	IPCPL6	IPCP6	R	XXXXXXXX
000055 <sub>H</sub>	ICU6 - データレジスタ上位	IPCPH6	-	R	XXXXXXXX
000056 <sub>H</sub>	ICU7 - データレジスタ下位	IPCPL7	IPCP7	R	XXXXXXXX
000057 <sub>H</sub>	ICU7 - データレジスタ上位	IPCPH7	-	R	XXXXXXXX
000058 <sub>H</sub>	EXTINT0 - 外部割込み要求許可レジスタ	ENIR0	-	R/W	00000000
000059 <sub>H</sub>	EXTINT0 - 外部割込み要求レジスタ	EIRR0	-	R/W	00000000
00005A <sub>H</sub>	EXTINT0 - 外部割込みレベルレジスタ下位	ELVRL0	ELVR0	R/W	00000000
00005B <sub>H</sub>	EXTINT0 - 外部割込みレベルレジスタ上位	ELVRH0	-	R/W	00000000
00005C <sub>H</sub>	EXTINT1 - 外部割込み要求許可レジスタ	ENIR1	-	R/W	00000000
00005D <sub>H</sub>	EXTINT1 - 外部割込み要求レジスタ	EIRR1	-	R/W	00000000
00005E <sub>H</sub>	EXTINT1 - 外部割込みレベルレジスタ下位	ELVRL1	ELVR1	R/W	00000000
00005F <sub>H</sub>	EXTINT1 - 外部割込みレベルレジスタ上位	ELVRH1	-	R/W	00000000
000060 <sub>H</sub> - 000063 <sub>H</sub>	予約	-	-	-	-

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000064 <sub>H</sub>	RLT1 - タイマ制御状態レジスタ下位	TMCSRL1	TMCSR1	R/W	00000000
000065 <sub>H</sub>	RLT1 - タイマ制御状態レジスタ上位	TMCSRH1	-	R/W	00X10000
000066 <sub>H</sub>	RLT1 - 16 ビットリロードレジスタ下位	-	TMRLR1	W	XXXXXXXXXX
000066 <sub>H</sub>	RLT1 - 16 ビットタイマレジスタ下位	-	TMR1	R	XXXXXXXXXX
000067 <sub>H</sub>	RLT1 - 16 ビットリロードレジスタ上位	-	-	W	XXXXXXXXXX
000067 <sub>H</sub>	RLT1 - 16 ビットタイマレジスタ上位	-	-	R	XXXXXXXXXX
000068 <sub>H</sub> - 00006B <sub>H</sub>	予約	-	-	-	-
00006C <sub>H</sub>	RLT3 - タイマ制御状態レジスタ下位	TMCSRL3	TMCSR3	R/W	00000000
00006D <sub>H</sub>	RLT3 - タイマ制御状態レジスタ上位	TMCSRH3	-	R/W	00X10000
00006E <sub>H</sub>	RLT3 - 16 ビットリロードレジスタ下位	-	TMRLR3	W	XXXXXXXXXX
00006E <sub>H</sub>	RLT3 - 16 ビットタイマレジスタ下位	-	TMR3	R	XXXXXXXXXX
00006F <sub>H</sub>	RLT3 - 16 ビットリロードレジスタ上位	-	-	W	XXXXXXXXXX
00006F <sub>H</sub>	RLT3 - 16 ビットタイマレジスタ上位	-	-	R	XXXXXXXXXX
000070 <sub>H</sub>	RLT6 - タイマ制御状態レジスタ下位	TMCSRL6	TMCSR6	R/W	00000000
000071 <sub>H</sub>	RLT6 - タイマ制御状態レジスタ上位	TMCSRH6	-	R/W	00X10000
000072 <sub>H</sub>	RLT6 - 16 ビットリロードレジスタ下位	-	TMRLR6	W	XXXXXXXXXX
000072 <sub>H</sub>	RLT6 - 16 ビットタイマレジスタ下位	-	TMR6	R	XXXXXXXXXX
000073 <sub>H</sub>	RLT6 - 16 ビットリロードレジスタ上位	-	-	W	XXXXXXXXXX
000073 <sub>H</sub>	RLT6 - 16 ビットタイマレジスタ上位	-	-	R	XXXXXXXXXX
000074 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 1 下位	GCN1L0	GCN10	R/W	00010000
000075 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 1 上位	GCN1H0	-	R/W	00110010
000076 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 2 下位	GCN2L0	GCN20	R/W	XXXX0000
000077 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 2 上位	GCN2H0	-	R/W	XXXX0000
000078 <sub>H</sub>	PPG0 - タイマレジスタ	-	PTMR0	R	11111111
000079 <sub>H</sub>	PPG0 - タイマレジスタ	-	-	R	11111111
00007A <sub>H</sub>	PPG0 - 周期設定レジスタ下位	PCSRL0	PCSR0	R/W	XXXXXXXXXX
00007B <sub>H</sub>	PPG0 - 周期設定レジスタ上位	PCSRH0	-	R/W	XXXXXXXXXX
00007C <sub>H</sub>	PPG0 - デューティ設定レジスタ下位	PDUTL0	PDUT0	R/W	XXXXXXXXXX
00007D <sub>H</sub>	PPG0 - デューティ設定レジスタ上位	PDUTH0	-	R/W	XXXXXXXXXX
00007E <sub>H</sub>	PPG0 - 制御ステータスレジスタ下位	PCNL0	PCN0	R/W	00000000
00007F <sub>H</sub>	PPG0 - 制御ステータスレジスタ上位	PCNH0	-	R/W	00000000
000080 <sub>H</sub>	PPG1 - タイマレジスタ	-	PTMR1	R	11111111
000081 <sub>H</sub>	PPG1 - タイマレジスタ	-	-	R	11111111
000082 <sub>H</sub>	PPG1 - 周期設定レジスタ下位	PCSRL1	PCSR1	R/W	XXXXXXXXXX
000083 <sub>H</sub>	PPG1 - 周期設定レジスタ上位	PCSRH1	-	R/W	XXXXXXXXXX
000084 <sub>H</sub>	PPG1 - デューティ設定レジスタ下位	PDUTL1	PDUT1	R/W	XXXXXXXXXX
000085 <sub>H</sub>	PPG1 - デューティ設定レジスタ上位	PDUTH1	-	R/W	XXXXXXXXXX
000086 <sub>H</sub>	PPG1 - 制御ステータスレジスタ下位	PCNL1	PCN1	R/W	00000000
000087 <sub>H</sub>	PPG1 - 制御ステータスレジスタ上位	PCNH1	-	R/W	00000000
000088 <sub>H</sub> - 00008F <sub>H</sub>	予約	-	-	-	-
000090 <sub>H</sub>	PPG3 - タイマレジスタ	-	PTMR3	R	11111111
000091 <sub>H</sub>	PPG3 - タイマレジスタ	-	-	R	11111111
000092 <sub>H</sub>	PPG3 - 周期設定レジスタ下位	PCSRL3	PCSR3	R/W	XXXXXXXXXX
000093 <sub>H</sub>	PPG3 - 周期設定レジスタ上位	PCSRH3	-	R/W	XXXXXXXXXX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000094 <sub>H</sub>	PPG3 - デューティ設定レジスタ下位	PDUTL3	PDUT3	R/W	XXXXXXXXXX
000095 <sub>H</sub>	PPG3 - デューティ設定レジスタ上位	PDUTH3	-	R/W	XXXXXXXXXX
000096 <sub>H</sub>	PPG3 - 制御ステータスレジスタ下位	PCNL3	PCN3	R/W	00000000
000097 <sub>H</sub>	PPG3 - 制御ステータスレジスタ上位	PCNH3	-	R/W	00000000
000098 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 1 下位	GCN1L1	GCN11	R/W	00010000
000099 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 1 上位	GCN1H1	-	R/W	00110010
00009A <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 2 下位	GCN2L1	GCN21	R/W	XXXX0000
00009B <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 2 上位	GCN2H1	-	R/W	XXXX0000
00009C <sub>H</sub>	PPG4 - タイマレジスタ	-	PTMR4	R	11111111
00009D <sub>H</sub>	PPG4 - タイマレジスタ	-	-	R	11111111
00009E <sub>H</sub>	PPG4 - 周期設定レジスタ下位	PCSRL4	PCSR4	R/W	XXXXXXXXXX
00009F <sub>H</sub>	PPG4 - 周期設定レジスタ上位	PCSRH4	-	R/W	XXXXXXXXXX
0000A0 <sub>H</sub>	PPG4 - デューティ設定レジスタ下位	PDUTL4	PDUT4	R/W	XXXXXXXXXX
0000A1 <sub>H</sub>	PPG4 - デューティ設定レジスタ上位	PDUTH4	-	R/W	XXXXXXXXXX
0000A2 <sub>H</sub>	PPG4 - 制御ステータスレジスタ下位	PCNL4	PCN4	R/W	00000000
0000A3 <sub>H</sub>	PPG4 - 制御ステータスレジスタ上位	PCNH4	-	R/W	00000000
0000A4 <sub>H</sub> - 0000AB <sub>H</sub>	予約	-	-	-	-
0000AC <sub>H</sub>	I <sup>2</sup> C0 - バスステータスレジスタ	IBSR0	-	R	00000000
0000AD <sub>H</sub>	I <sup>2</sup> C0 - バスコントロールレジスタ	IBCR0	-	R/W	00000000
0000AE <sub>H</sub>	I <sup>2</sup> C0 - 10 ビットスレーブアドレスレジスタ 下位	ITBAL0	ITBA0	R/W	00000000
0000AF <sub>H</sub>	I <sup>2</sup> C0 - 10 ビットスレーブアドレスレジスタ 上位	ITBAH0	-	R/W	00000000
0000B0 <sub>H</sub>	I <sup>2</sup> C0 - 10 ビットスレーブアドレスマスクレ ジスタ下位	ITMKL0	ITMK0	R/W	11111111
0000B1 <sub>H</sub>	I <sup>2</sup> C0 - 10 ビットスレーブアドレスマスクレ ジスタ上位	ITMKH0	-	R/W	00111111
0000B2 <sub>H</sub>	I <sup>2</sup> C0 - 7 ビットスレーブアドレスレジスタ	ISBA0	-	R/W	00000000
0000B3 <sub>H</sub>	I <sup>2</sup> C0 - 7 ビットスレーブアドレスマスクレ ジスタ	ISMK0	-	R/W	01111111
0000B4 <sub>H</sub>	I <sup>2</sup> C0 - データレジスタ	IDAR0	-	R/W	00000000
0000B5 <sub>H</sub>	I <sup>2</sup> C0 - クロックコントロールレジスタ	ICCR0	-	R/W	00011111
0000B6 <sub>H</sub> - 0000D3 <sub>H</sub>	予約	-	-	-	-
0000D4 <sub>H</sub>	USART2 - シリアルモードレジスタ	SMR2	-	R/W	00000000
0000D5 <sub>H</sub>	USART2 - シリアル制御レジスタ	SCR2	-	R/W	00000000
0000D6 <sub>H</sub>	USART2 - 送信データ レジスタ	TDR2	-	W	11111111
0000D6 <sub>H</sub>	USART2 - 受信データ レジスタ	RDR2	-	R	00000000
0000D7 <sub>H</sub>	USART2- シリアルステータスレジスタ	SSR2	-	R/W	00001000
0000D8 <sub>H</sub>	USART2 - 拡張通信制御レジスタ	ECCR2	-	R/W	000000XX
0000D9 <sub>H</sub>	USART2 - 拡張ステータス制御レジスタ	ESCR2	-	R/W	00000100
0000DA <sub>H</sub>	USART2 - ボーレート/リロードカウンタレ ジスタ下位	BGRL2	BGR2	R/W	00000000
0000DB <sub>H</sub>	USART2 - ボーレート/リロードカウンタレ ジスタ上位	BGRH2	-	R/W	00000000
0000DC <sub>H</sub>	USART2 - 拡張シリアル割込みレジスタ	ESIR2	-	R/W	XXXX10X0

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0000DD <sub>H</sub>	USART2 - フレーム ID データレジスタ	FIDR2	-	R/W	00000000
0000DE <sub>H</sub> - 0000EB <sub>H</sub>	予約	-	-	-	-
0000EC <sub>H</sub>	PPG - 汎用制御レジスタ	GCNR0	-	R/W	XXXXXX00
0000ED <sub>H</sub> - 0000FF <sub>H</sub>	予約	-	-	-	-
000100 <sub>H</sub>	DMA0 - バッファアドレスポインタ下位	BAPL0	-	R/W	XXXXXXXX
000101 <sub>H</sub>	DMA0 - バッファアドレスポインタ中位	BAPM0	-	R/W	XXXXXXXX
000102 <sub>H</sub>	DMA0 - バッファアドレスポインタ上位	BAPH0	-	R/W	XXXXXXXX
000103 <sub>H</sub>	DMA0 - 制御レジスタ	DMACS0	-	R/W	XXXXXXXX
000104 <sub>H</sub>	DMA0 - I/O レジスタアドレスポインタ下位	IOAL0	IOA0	R/W	XXXXXXXX
000105 <sub>H</sub>	DMA0 - I/O レジスタアドレスポインタ上位	IOAH0	-	R/W	XXXXXXXX
000106 <sub>H</sub>	DMA0 - データカウントレジスタ下位	DCTL0	DCT0	R/W	XXXXXXXX
000107 <sub>H</sub>	DMA0 - データカウントレジスタ上位	DCTH0	-	R/W	XXXXXXXX
000108 <sub>H</sub>	DMA1 - バッファアドレスポインタ下位	BAPL1	-	R/W	XXXXXXXX
000109 <sub>H</sub>	DMA1 - バッファアドレスポインタ中位	BAPM1	-	R/W	XXXXXXXX
00010A <sub>H</sub>	DMA1 - バッファアドレスポインタ上位	BAPH1	-	R/W	XXXXXXXX
00010B <sub>H</sub>	DMA1 - 制御レジスタ	DMACS1	-	R/W	XXXXXXXX
00010C <sub>H</sub>	DMA1 - I/O レジスタアドレスポインタ下位	IOAL1	IOA1	R/W	XXXXXXXX
00010D <sub>H</sub>	DMA1 - I/O レジスタアドレスポインタ上位	IOAH1	-	R/W	XXXXXXXX
00010E <sub>H</sub>	DMA1 - データカウントレジスタ下位	DCTL1	DCT1	R/W	XXXXXXXX
00010F <sub>H</sub>	DMA1 - データカウントレジスタ上位	DCTH1	-	R/W	XXXXXXXX
000110 <sub>H</sub> - 00017F <sub>H</sub>	予約	-	-	-	-
000180 <sub>H</sub> - 00037F <sub>H</sub>	CPU - 汎用レジスタ(RAM アクセス)	GPR_RAM	-	R/W	-
000380 <sub>H</sub>	DMA0 - 割り込み要求選択レジスタ	DISEL0	-	R/W	00001100
000381 <sub>H</sub>	DMA1 - 割り込み要求選択レジスタ	DISEL1	-	R/W	00001100
000382 <sub>H</sub> - 00038F <sub>H</sub>	予約	-	-	-	-
000390 <sub>H</sub>	DMA - ステータスレジスタ下位	DSRL	DSR	R/W	00000000
000391 <sub>H</sub>	DMA - ステータスレジスタ上位	DSRH	-	R/W	00000000
000392 <sub>H</sub>	DMA - 停止ステータスレジスタ下位	DSSRL	DSSR	R/W	00000000
000393 <sub>H</sub>	DMA - 停止ステータスレジスタ上位	DSSRH	-	R/W	00000000
000394 <sub>H</sub>	DMA - 許可レジスタ下位	DERL	DER	R/W	00000000
000395 <sub>H</sub>	DMA - 許可レジスタ上位	DERH	-	R/W	00000000
000396 <sub>H</sub> - 00039F <sub>H</sub>	予約	-	-	-	-
0003A0 <sub>H</sub>	割り込み制御レジスタ 割り込みレベル	ILR	ICR	R/W	XXXXX111
0003A1 <sub>H</sub>	割り込み制御レジスタ インデックス	IDX	-	R/W	00001100
0003A2 <sub>H</sub>	割り込みベクタテーブルベースレジスタ下位	TBRL	TBR	R/W	11111100
0003A3 <sub>H</sub>	割り込みベクタテーブルベースレジスタ上位	TBRH	-	R/W	11111111
0003A4 <sub>H</sub>	遅延割り込み要求レジスタ	DIRR	-	R/W	XXXXXXX0

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0003A5 <sub>H</sub>	NMI 制御ステータスレジスタ	NMI	-	R/W	XXXXX10X
0003A6 <sub>H</sub> - 0003AD <sub>H</sub>	予約	-	-	-	-
0003AE <sub>H</sub>	ROM ミラー機能選択レジスタ	ROMM	-	R/W	1111X111
0003AF <sub>H</sub> - 0003E7 <sub>H</sub>	予約	-	-	-	-
0003E8 <sub>H</sub>	デュアルオペレーションフラッシュ設定 レジスタ A	DFCA	-	R/W	XXXXX000
0003E9 <sub>H</sub>	デュアルオペレーションフラッシュ割込み 制御レジスタ A	DFICA	-	R/W	X0000000
0003EA <sub>H</sub>	デュアルオペレーションフラッシュステ ータスレジスタ A	DFSA	-	R	11000001
0003EB <sub>H</sub>	デュアルオペレーションフラッシュ割込み ステータスレジスタ A	DFISA	-	R/W	X0000000
0003EC <sub>H</sub> - 0003F8 <sub>H</sub>	予約	-	-	-	-
0003F9 <sub>H</sub>	デュアルオペレーションフラッシュ書込み アクセス制御レジスタ 0A	DFWC0A	-	R/W	XXX00000
0003FA <sub>H</sub> - 0003FC <sub>H</sub>	予約	-	-	-	-
0003FD <sub>H</sub>	デュアルオペレーションフラッシュ書込み アクセス制御レジスタ 1A	DFWC1A	-	R/W	00000000
0003FE <sub>H</sub> , 0003FF <sub>H</sub>	予約	-	-	-	-
000400 <sub>H</sub>	スタンバイモード制御レジスタ	SMCR	-	R/W	XXX0X000
000401 <sub>H</sub>	クロック選択レジスタ	CKSR	-	R/W	10110000
000402 <sub>H</sub>	クロック安定化選択レジスタ	CKSSR	-	R/W	XX111111
000403 <sub>H</sub>	クロックモニタレジスタ	CKMR	-	R	*0*0XXXX *:リセット要 因に依存
000404 <sub>H</sub>	クロック周波数制御レジスタ下位	CKFCRL	CKFCR	R/W	0000XXX1
000405 <sub>H</sub>	クロック周波数制御レジスタ上位	CKFCRH	-	R/W	00000000
000406 <sub>H</sub>	PLL 制御レジスタ下位	PLLCRL	PLLCR	R/W	000X0000
000407 <sub>H</sub>	PLL 制御レジスタ上位	PLLCRH	-	R/W	XXXXXXXXXX
000408 <sub>H</sub>	CR クロックタイマ制御レジスタ	RCTCR	-	R/W	X0010000
000409 <sub>H</sub>	メインクロックタイマ制御レジスタ	MCTCR	-	R/W	X0010000
00040A <sub>H</sub>	サブクロックタイマ制御レジスタ	SCTCR	-	R/W	X001X000
00040B <sub>H</sub>	リセット要因およびクロック状態レジスタ	RCCSRC	-	R	***** *:リセット要 因に依存
00040C <sub>H</sub>	リセット構成レジスタ	RCR	-	R/W	XX000**0 *:リセット要 因に依存
00040D <sub>H</sub>	リセット要因およびクロック状態レジスタ	RCCSR	-	R	***** *:リセット要 因に依存

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
00040E <sub>H</sub>	ウォッチドッグタイマ構成レジスタ	WDTC	WDT	R/W	0000**** *:WICM Marker に依存
00040F <sub>H</sub>	ウォッチドッグタイマクリアパターンレジスタ	WDTCP	-	W	00000000
000410 <sub>H</sub> - 000414 <sub>H</sub>	予約	-	-	-	-
000415 <sub>H</sub>	クロック出力起動レジスタ	COAR	-	R/W	00000000
000416 <sub>H</sub>	クロック出力構成レジスタ 0	COCR0	-	R/W	X0000000
000417 <sub>H</sub>	クロック出力構成レジスタ 1	COCR1	-	R/W	X0000000
000418 <sub>H</sub> - 00041F <sub>H</sub>	予約	-	-	-	-
000420 <sub>H</sub>	ウォッチドッグタイマ拡張構成レジスタ	WDTEC	-	R/W	XXX00000
000421 <sub>H</sub> - 00042B <sub>H</sub>	予約	-	-	-	-
00042C <sub>H</sub>	電圧レギュレータ制御レジスタ	VRCR	-	R/W	10X10X10
00042D <sub>H</sub>	クロック入力および LVD 制御レジスタ	CILCR	-	R/W	00000000
00042E <sub>H</sub>	拡張スタンバイモード制御レジスタ	ESMCR	-	R/W	XXX00001
00042F <sub>H</sub>	予約	-	-	-	-
000430 <sub>H</sub>	I/O ポート P00 - データ方向レジスタ	DDR00	-	R/W	00000000
000431 <sub>H</sub>	I/O ポート P01 - データ方向レジスタ	DDR01	-	R/W	00000000
000432 <sub>H</sub>	I/O ポート P02 - データ方向レジスタ	DDR02	-	R/W	00000000
000433 <sub>H</sub>	I/O ポート P03 - データ方向レジスタ	DDR03	-	R/W	00000000
000434 <sub>H</sub>	I/O ポート P04 - データ方向レジスタ	DDR04	-	R/W	00000000
000435 <sub>H</sub>	I/O ポート P05 - データ方向レジスタ	DDR05	-	R/W	00000000
000436 <sub>H</sub>	I/O ポート P06 - データ方向レジスタ	DDR06	-	R/W	00000000
000437 <sub>H</sub> - 000440 <sub>H</sub>	予約	-	-	-	-
000441 <sub>H</sub>	I/O ポート P17 - データ方向レジスタ	DDR17	-	R/W	00000000
000442 <sub>H</sub> , 000443 <sub>H</sub>	予約	-	-	-	-
000444 <sub>H</sub>	I/O ポート P00 - ポート入力許可レジスタ	PIER00	-	R/W	00000000
000445 <sub>H</sub>	I/O ポート P01 - ポート入力許可レジスタ	PIER01	-	R/W	00000000
000446 <sub>H</sub>	I/O ポート P02 - ポート入力許可レジスタ	PIER02	-	R/W	00000000
000447 <sub>H</sub>	I/O ポート P03 - ポート入力許可レジスタ	PIER03	-	R/W	00000000
000448 <sub>H</sub>	I/O ポート P04 - ポート入力許可レジスタ	PIER04	-	R/W	00000000
000449 <sub>H</sub>	I/O ポート P05 - ポート入力許可レジスタ	PIER05	-	R/W	00000000
00044A <sub>H</sub>	I/O ポート P06 - ポート入力許可レジスタ	PIER06	-	R/W	00000000
00044B <sub>H</sub> - 000454 <sub>H</sub>	予約	-	-	-	-
000455 <sub>H</sub>	I/O ポート P17 - ポート入力許可レジスタ	PIER17	-	R/W	00000000
000456 <sub>H</sub> - 0004A7 <sub>H</sub>	予約	-	-	-	-
0004A8 <sub>H</sub>	I/O ポート P00 - ブルアップ制御レジスタ	PUCR00	-	R/W	00000000
0004A9 <sub>H</sub>	I/O ポート P01 - ブルアップ制御レジスタ	PUCR01	-	R/W	00000000
0004AA <sub>H</sub>	I/O ポート P02 - ブルアップ制御レジスタ	PUCR02	-	R/W	00000000
0004AB <sub>H</sub>	I/O ポート P03 - ブルアップ制御レジスタ	PUCR03	-	R/W	00000000



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0004AC <sub>H</sub>	I/O ポート P04 - ブルアップ制御レジスタ	PUCR04	-	R/W	00000000
0004AD <sub>H</sub>	I/O ポート P05 - ブルアップ制御レジスタ	PUCR05	-	R/W	00000000
0004AE <sub>H</sub>	I/O ポート P06 - ブルアップ制御レジスタ	PUCR06	-	R/W	00000000
0004AF <sub>H</sub> - 0004B8 <sub>H</sub>	予約	-	-	-	-
0004B9 <sub>H</sub>	I/O ポート P17 - ブルアップ制御レジスタ	PUCR17	-	R/W	00000000
0004BA <sub>H</sub> , 0004BB <sub>H</sub>	予約	-	-	-	-
0004BC <sub>H</sub>	I/O ポート P00 - 外部端子状態レジスタ	EPSR00	-	R	XXXXXXXX
0004BD <sub>H</sub>	I/O ポート P01 - 外部端子状態レジスタ	EPSR01	-	R	XXXXXXXX
0004BE <sub>H</sub>	I/O ポート P02 - 外部端子状態レジスタ	EPSR02	-	R	XXXXXXXX
0004BF <sub>H</sub>	I/O ポート P03 - 外部端子状態レジスタ	EPSR03	-	R	XXXXXXXX
0004C0 <sub>H</sub>	I/O ポート P04 - 外部端子状態レジスタ	EPSR04	-	R	XXXXXXXX
0004C1 <sub>H</sub>	I/O ポート P05 - 外部端子状態レジスタ	EPSR05	-	R	XXXXXXXX
0004C2 <sub>H</sub>	I/O ポート P06 - 外部端子状態レジスタ	EPSR06	-	R	XXXXXXXX
0004C3 <sub>H</sub> - 0004CC <sub>H</sub>	予約	-	-	-	-
0004CD <sub>H</sub>	I/O ポート P17 - 外部端子状態レジスタ	EPSR17	-	R	XXXXXXXX
0004CE <sub>H</sub> , 0004CF <sub>H</sub>	予約	-	-	-	-
0004D0 <sub>H</sub>	ADC0 アナログ入力許可レジスタ 0	ADER0	-	R/W	00000000
0004D1 <sub>H</sub>	ADC0 アナログ入力許可レジスタ 1	ADER1	-	R/W	00000000
0004D2 <sub>H</sub>	予約	-	-	-	-
0004D3 <sub>H</sub>	ADC0 アナログ入力許可レジスタ 3	ADER3	-	R/W	00000000
0004D4 <sub>H</sub> , 0004D5 <sub>H</sub>	予約	-	-	-	-
0004D6 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 0	PRRR0	-	R/W	00000000
0004D7 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 1	PRRR1	-	R/W	00000000
0004D8 <sub>H</sub> - 0004DA <sub>H</sub>	予約	-	-	-	-
0004DB <sub>H</sub>	周辺リソース端子リロケーションレジスタ 5	PRRR5	-	R/W	00XX0000
0004DC <sub>H</sub>	周辺リソース端子リロケーションレジスタ 6	PRRR6	-	R/W	00000000
0004DD <sub>H</sub>	周辺リソース端子リロケーションレジスタ 7	PRRR7	-	R/W	00000000
0004DE <sub>H</sub>	周辺リソース端子リロケーションレジスタ 8	PRRR8	-	R/W	00000000
0004DF <sub>H</sub>	周辺リソース端子リロケーションレジスタ 9	PRRR9	-	R/W	XX000000
0004E0 <sub>H</sub>	RTC - サブセカンドレジスタ L	WTBRL0	WTBR0	R/W	XXXXXXXX
0004E1 <sub>H</sub>	RTC - サブセカンドレジスタ M	WTBRH0	-	R/W	XXXXXXXX
0004E2 <sub>H</sub>	RTC - サブセカンドレジスタ H	WTBR1	-	R/W	XXXXXXXX



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0004E3 <sub>H</sub>	RTC - 秒レジスタ	WTSR	-	R/W	XX***** *:リセット要 因に依存
0004E4 <sub>H</sub>	RTC - 分レジスタ	WTMR	-	R/W	XX***** *:リセット要 因に依存
0004E5 <sub>H</sub>	RTC - 時レジスタ	WTHR	-	R/W	XXX***** *:リセット要 因に依存
0004E6 <sub>H</sub>	RTC - タイマ制御拡張レジスタ	WTCER	-	R/W	XXXXXX00
0004E7 <sub>H</sub>	RTC - クロック選択レジスタ	WTCKSR	-	R/W	XXXXXX00
0004E8 <sub>H</sub>	RTC - タイマ制御レジスタ下位	WTCRL	WTCR	R/W	XXXX0000
0004E9 <sub>H</sub>	RTC - タイマ制御レジスタ上位	WTCRH	-	R/W	00000000
0004EA <sub>H</sub>	CAL - クロック補正ユニット制御レジスタ	CUCR	-	R/W	XXX0X000
0004EB <sub>H</sub>	予約	-	-	-	-
0004EC <sub>H</sub>	CAL - クロック補正ユニット測定時間タイ マデータレジスタ下位	CUTDL	CUTD	R/W	00000000
0004ED <sub>H</sub>	CAL - クロック補正ユニット測定時間タイ マデータレジスタ上位	CUTDH	-	R/W	10000000
0004EE <sub>H</sub>	CAL - クロック補正ユニット補正タイマ データレジスタ 2 下位	CUTR2L	CUTR2	R	00000000
0004EF <sub>H</sub>	CAL - クロック補正ユニット補正タイマ データレジスタ 2 上位	CUTR2H	-	R	00000000
0004F0 <sub>H</sub>	CAL - クロック補正ユニット補正タイマ データレジスタ 1 下位	CUTR1L	CUTR1	R	00000000
0004F1 <sub>H</sub>	CAL - クロック補正ユニット補正タイマ データレジスタ 1 上位	CUTR1H	-	R	00000000
0004F2 <sub>H</sub> - 0004F9 <sub>H</sub>	予約	-	-	-	-
0004FA <sub>H</sub>	RLT - リロードタイマ入力選択レジスタ(カ スケード用)	TMISR	-	R/W	XX000000
0004FB <sub>H</sub> - 0004FF <sub>H</sub>	予約	-	-	-	-
000500 <sub>H</sub>	FRT2 - データレジスタ	-	TCDT2	R/W	00000000
000501 <sub>H</sub>	FRT2 - データレジスタ	-	-	R/W	00000000
000502 <sub>H</sub>	FRT2 - コントロールステータスレジスタ 下位	TCCSL2	TCCS2	R/W	00000000
000503 <sub>H</sub>	FRT2 - コントロールステータスレジスタ 上位	TCCSH2	-	R/W	01XXXXXX
000504 <sub>H</sub>	FRT3 - データレジスタ	-	TCDT3	R/W	00000000
000505 <sub>H</sub>	FRT3 - データレジスタ	-	-	R/W	00000000
000506 <sub>H</sub>	FRT3 - コントロールステータスレジスタ 下位	TCCSL3	TCCS3	R/W	00000000
000507 <sub>H</sub>	FRT3 - コントロールステータスレジスタ 上位	TCCSH3	-	R/W	01XXXXXX
000508 <sub>H</sub> - 000513 <sub>H</sub>	予約	-	-	-	-

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000514 <sub>H</sub>	ICU8/ICU9 - 制御ステータスレジスタ	ICS89	-	R/W	00000000
000515 <sub>H</sub>	ICU8/ICU9 - エッジレジスタ	ICE89	-	R/W	XXX0X000
000516 <sub>H</sub> , 000517 <sub>H</sub>	予約	-	-	-	-
000518 <sub>H</sub>	ICU9 - データレジスタ下位	IPCPL9	IPCP9	R	XXXXXXXX
000519 <sub>H</sub>	ICU9 - データレジスタ上位	IPCPH9	-	R	XXXXXXXX
00051A <sub>H</sub>	ICU10/ICU11 - 制御ステータスレジスタ	ICS1011	-	R/W	00000000
00051B <sub>H</sub>	ICU10/ICU11 - エッジレジスタ	ICE1011	-	R/W	XXX0X000
00051C <sub>H</sub>	ICU10 - データレジスタ下位	IPCPL10	IPCP10	R	XXXXXXXX
00051D <sub>H</sub>	ICU10 - データレジスタ上位	IPCPH10	-	R	XXXXXXXX
00051E <sub>H</sub> - 00053D <sub>H</sub>	予約	-	-	-	-
00053E <sub>H</sub>	USART7 - シリアルモードレジスタ	SMR7	-	R/W	00000000
00053F <sub>H</sub>	USART7 - シリアル制御レジスタ	SCR7	-	R/W	00000000
000540 <sub>H</sub>	USART7 - 送信データ レジスタ	TDR7	-	W	11111111
000540 <sub>H</sub>	USART7 - 受信データ レジスタ	RDR7	-	R	00000000
000541 <sub>H</sub>	USART7 - シリアルステータスレジスタ	SSR7	-	R/W	00001000
000542 <sub>H</sub>	USART7 - 拡張通信制御レジスタ	ECCR7	-	R/W	000000XX
000543 <sub>H</sub>	USART7 - 拡張ステータス制御レジスタ	ESCR7	-	R/W	00000100
000544 <sub>H</sub>	USART7 - ボーレート/リロードカウンタレジスタ下位	BGRL7	BGR7	R/W	00000000
000545 <sub>H</sub>	USART7 - ボーレート/リロードカウンタレジスタ上位	BGRH7	-	R/W	00000000
000546 <sub>H</sub>	USART7 - 拡張シリアル割込みレジスタ	ESIR7	-	R/W	XXXX10X0
000547 <sub>H</sub>	予約	-	-	-	-
000548 <sub>H</sub>	USART8 - シリアルモードレジスタ	SMR8	-	R/W	00000000
000549 <sub>H</sub>	USART8 - シリアル制御レジスタ	SCR8	-	R/W	00000000
00054A <sub>H</sub>	USART8 - 送信データ レジスタ	TDR8	-	W	11111111
00054A <sub>H</sub>	USART8 - 受信データ レジスタ	RDR8	-	R	00000000
00054B <sub>H</sub>	USART8 - シリアルステータスレジスタ	SSR8	-	R/W	00001000
00054C <sub>H</sub>	USART8 - 拡張通信制御レジスタ	ECCR8	-	R/W	000000XX
00054D <sub>H</sub>	USART8 - 拡張ステータス制御レジスタ	ESCR8	-	R/W	00000100
00054E <sub>H</sub>	USART8 - ボーレート/リロードカウンタレジスタ下位	BGRL8	BGR8	R/W	00000000
00054F <sub>H</sub>	USART8 - ボーレート/リロードカウンタレジスタ上位	BGRH8	-	R/W	00000000
000550 <sub>H</sub>	USART8 - 拡張シリアル割込みレジスタ	ESIR8	-	R/W	XXXX10X0
000551 <sub>H</sub> - 000563 <sub>H</sub>	予約	-	-	-	-
000564 <sub>H</sub>	PPG6 - タイマレジスタ	-	PTMR6	R	11111111
000565 <sub>H</sub>	PPG6 - タイマレジスタ	-	-	R	11111111
000566 <sub>H</sub>	PPG6 - 周期設定レジスタ下位	PCSRL6	PCSR6	R/W	XXXXXXXX
000567 <sub>H</sub>	PPG6 - 周期設定レジスタ上位	PCSRH6	-	R/W	XXXXXXXX
000568 <sub>H</sub>	PPG6 - デューティ設定レジスタ下位	PDUTL6	PDUT6	R/W	XXXXXXXX
000569 <sub>H</sub>	PPG6 - デューティ設定レジスタ上位	PDUTH6	-	R/W	XXXXXXXX
00056A <sub>H</sub>	PPG6 - 制御ステータスレジスタ下位	PCNL6	PCN6	R/W	00000000
00056B <sub>H</sub>	PPG6 - 制御ステータスレジスタ上位	PCNH6	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
00056C <sub>H</sub>	PPG7 - タイマレジスタ	-	PTMR7	R	11111111
00056D <sub>H</sub>	PPG7 - タイマレジスタ	-	-	R	11111111
00056E <sub>H</sub>	PPG7 - 周期設定レジスタ下位	PCSRL7	PCSR7	R/W	XXXXXXXXXX
00056F <sub>H</sub>	PPG7 - 周期設定レジスタ上位	PCSRH7	-	R/W	XXXXXXXXXX
000570 <sub>H</sub>	PPG7 - デューティ設定レジスタ下位	PDUTL7	PDUT7	R/W	XXXXXXXXXX
000571 <sub>H</sub>	PPG7 - デューティ設定レジスタ上位	PDUTH7	-	R/W	XXXXXXXXXX
000572 <sub>H</sub>	PPG7 - 制御ステータスレジスタ下位	PCNL7	PCN7	R/W	00000000
000573 <sub>H</sub>	PPG7 - 制御ステータスレジスタ上位	PCNH7	-	R/W	00000000
000574 <sub>H</sub> - 000597 <sub>H</sub>	予約	-	-	-	-
000598 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 1 下位	GCN1L3	GCN13	R/W	00010000
000599 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 1 上位	GCN1H3	-	R/W	00110010
00059A <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 2 下位	GCN2L3	GCN23	R/W	XXXX0000
00059B <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 2 上位	GCN2H3	-	R/W	XXXX0000
00059C <sub>H</sub>	PPG12 - タイマレジスタ	-	PTMR12	R	11111111
00059D <sub>H</sub>	PPG12 - タイマレジスタ	-	-	R	11111111
00059E <sub>H</sub>	PPG12 - 周期設定レジスタ下位	PCSRL12	PCSR12	R/W	XXXXXXXXXX
00059F <sub>H</sub>	PPG12 - 周期設定レジスタ上位	PCSRH12	-	R/W	XXXXXXXXXX
0005A0 <sub>H</sub>	PPG12 - デューティ設定レジスタ下位	PDUTL12	PDUT12	R/W	XXXXXXXXXX
0005A1 <sub>H</sub>	PPG12 - デューティ設定レジスタ上位	PDUTH12	-	R/W	XXXXXXXXXX
0005A2 <sub>H</sub>	PPG12 - 制御ステータスレジスタ下位	PCNL12	PCN12	R/W	00000000
0005A3 <sub>H</sub>	PPG12 - 制御ステータスレジスタ上位	PCNH12	-	R/W	00000000
0005A4 <sub>H</sub> - 0005AB <sub>H</sub>	予約	-	-	-	-
0005AC <sub>H</sub>	PPG14 - タイマレジスタ	-	PTMR14	R	11111111
0005AD <sub>H</sub>	PPG14 - タイマレジスタ	-	-	R	11111111
0005AE <sub>H</sub>	PPG14 - 周期設定レジスタ下位	PCSRL14	PCSR14	R/W	XXXXXXXXXX
0005AF <sub>H</sub>	PPG14 - 周期設定レジスタ上位	PCSRH14	-	R/W	XXXXXXXXXX
0005B0 <sub>H</sub>	PPG14 - デューティ設定レジスタ下位	PDUTL14	PDUT14	R/W	XXXXXXXXXX
0005B1 <sub>H</sub>	PPG14 - デューティ設定レジスタ上位	PDUTH14	-	R/W	XXXXXXXXXX
0005B2 <sub>H</sub>	PPG14 - 制御ステータスレジスタ下位	PCNL14	PCN14	R/W	00000000
0005B3 <sub>H</sub>	PPG14 - 制御ステータスレジスタ上位	PCNH14	-	R/W	00000000
0005B4 <sub>H</sub> - 0008FF <sub>H</sub>	予約	-	-	-	-
000900 <sub>H</sub>	CAN2 - 制御レジスタ下位	CTRLRL2	CTRLR2	R/W	000X0001
000901 <sub>H</sub>	CAN2 - 制御レジスタ上位(予約)	CTRLRH2	-	R	XXXXXXXXXX
000902 <sub>H</sub>	CAN2 - ステータスレジスタ下位	STATRL2	STATR2	R/W	00000000
000903 <sub>H</sub>	CAN2 - ステータスレジスタ上位(予約)	STATRH2	-	R	XXXXXXXXXX
000904 <sub>H</sub>	CAN2 - エラーカウンタ下位(送信)	ERRCNTL2	ERRCNT2	R	00000000
000905 <sub>H</sub>	CAN2 - エラーカウンタ上位(受信)	ERRCNTH2	-	R	00000000
000906 <sub>H</sub>	CAN2 - ビットタイミングレジスタ下位	BTRL2	BTR2	R/W	00000001
000907 <sub>H</sub>	CAN2 - ビットタイミングレジスタ上位	BTRH2	-	R/W	X0100011
000908 <sub>H</sub>	CAN2 - 割込みレジスタ下位	INTRL2	INTR2	R	00000000
000909 <sub>H</sub>	CAN2 - 割込みレジスタ上位	INTRH2	-	R	00000000
00090A <sub>H</sub>	CAN2 - テストレジスタ下位	TESTRL2	TESTR2	R/W	X00000XX
00090B <sub>H</sub>	CAN2 - テストレジスタ上位(予約)	TESTRH2	-	R	XXXXXXXXXX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
00090C <sub>H</sub>	CAN2 - BRP 拡張レジスタ下位	BRPERL2	BRPER2	R/W	XXXX0000
00090D <sub>H</sub>	CAN2 - BRP 拡張レジスタ上位(予約)	BRPERH2	-	R	XXXXXXXX
00090E <sub>H</sub> , 00090F <sub>H</sub>	予約	-	-	-	-
000910 <sub>H</sub>	CAN2 - IF1 コマンドリクエストレジスタ 下位	IF1CREQL2	IF1CREQ2	R/W	00000001
000911 <sub>H</sub>	CAN2 - IF1 コマンドリクエストレジスタ 上位	IF1CREQH2	-	R/W	0XXXXXXXX
000912 <sub>H</sub>	CAN2 - IF1 コマンドマスクレジスタ下位	IF1CMSKL2	IF1CMSK2	R/W	00000000
000913 <sub>H</sub>	CAN2 - IF1 コマンドマスクレジスタ上位 (予約)	IF1CMSKH2	-	R	XXXXXXXX
000914 <sub>H</sub>	CAN2 - IF1 マスク 1 レジスタ下位	IF1MSK1L2	IF1MSK12	R/W	11111111
000915 <sub>H</sub>	CAN2 - IF1 マスク 1 レジスタ上位	IF1MSK1H2	-	R/W	11111111
000916 <sub>H</sub>	CAN2 - IF1 マスク 2 レジスタ下位	IF1MSK2L2	IF1MSK22	R/W	11111111
000917 <sub>H</sub>	CAN2 - IF1 マスク 2 レジスタ上位	IF1MSK2H2	-	R/W	11X11111
000918 <sub>H</sub>	CAN2 - IF1 アービトレーション 1 レジス タ下位	IF1ARB1L2	IF1ARB12	R/W	00000000
000919 <sub>H</sub>	CAN2 - IF1 アービトレーション 1 レジス タ上位	IF1ARB1H2	-	R/W	00000000
00091A <sub>H</sub>	CAN2 - IF1 アービトレーション 2 レジス タ下位	IF1ARB2L2	IF1ARB22	R/W	00000000
00091B <sub>H</sub>	CAN2 - IF1 アービトレーション 2 レジス タ上位	IF1ARB2H2	-	R/W	00000000
00091C <sub>H</sub>	CAN2 - IF1 メッセージ制御レジスタ下位	IF1MCTRL2	IF1MCTR2	R/W	0XXX0000
00091D <sub>H</sub>	CAN2 - IF1 メッセージ制御レジスタ上位	IF1MCTRH2	-	R/W	00000000
00091E <sub>H</sub>	CAN2 - IF1 データ A1 下位	IF1DTA1L2	IF1DTA12	R/W	00000000
00091F <sub>H</sub>	CAN2 - IF1 データ A1 上位	IF1DTA1H2	-	R/W	00000000
000920 <sub>H</sub>	CAN2 - IF1 データ A2 下位	IF1DTA2L2	IF1DTA22	R/W	00000000
000921 <sub>H</sub>	CAN2 - IF1 データ A2 上位	IF1DTA2H2	-	R/W	00000000
000922 <sub>H</sub>	CAN2 - IF1 データ B1 下位	IF1DTB1L2	IF1DTB12	R/W	00000000
000923 <sub>H</sub>	CAN2 - IF1 データ B1 上位	IF1DTB1H2	-	R/W	00000000
000924 <sub>H</sub>	CAN2 - IF1 データ B2 下位	IF1DTB2L2	IF1DTB22	R/W	00000000
000925 <sub>H</sub>	CAN2 - IF1 データ B2 上位	IF1DTB2H2	-	R/W	00000000
000926 <sub>H</sub> - 00093F <sub>H</sub>	予約	-	-	-	-
000940 <sub>H</sub>	CAN2 - IF2 コマンドリクエストレジスタ 下位	IF2CREQL2	IF2CREQ2	R/W	00000001
000941 <sub>H</sub>	CAN2 - IF2 コマンドリクエストレジスタ 上位	IF2CREQH2	-	R/W	0XXXXXXXX
000942 <sub>H</sub>	CAN2 - IF2 コマンドマスクレジスタ下位	IF2CMSKL2	IF2CMSK2	R/W	00000000
000943 <sub>H</sub>	CAN2 - IF2 コマンドマスクレジスタ上位 (予約)	IF2CMSKH2	-	R	XXXXXXXX
000944 <sub>H</sub>	CAN2 - IF2 マスク 1 レジスタ下位	IF2MSK1L2	IF2MSK12	R/W	11111111
000945 <sub>H</sub>	CAN2 - IF2 マスク 1 レジスタ上位	IF2MSK1H2	-	R/W	11111111
000946 <sub>H</sub>	CAN2 - IF2 マスク 2 レジスタ下位	IF2MSK2L2	IF2MSK22	R/W	11111111
000947 <sub>H</sub>	CAN2 - IF2 マスク 2 レジスタ上位	IF2MSK2H2	-	R/W	11X11111

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000948 <sub>H</sub>	CAN2 - IF2 アービトレーション 1 レジスタ下位	IF2ARB1L2	IF2ARB12	R/W	00000000
000949 <sub>H</sub>	CAN2 - IF2 アービトレーション 1 レジスタ上位	IF2ARB1H2	-	R/W	00000000
00094A <sub>H</sub>	CAN2 - IF2 アービトレーション 2 レジスタ下位	IF2ARB2L2	IF2ARB22	R/W	00000000
00094B <sub>H</sub>	CAN2 - IF2 アービトレーション 2 レジスタ上位	IF2ARB2H2	-	R/W	00000000
00094C <sub>H</sub>	CAN2 - IF2 メッセージ制御レジスタ下位	IF2MCTRL2	IF2MCTR2	R/W	0XXX0000
00094D <sub>H</sub>	CAN2 - IF2 メッセージ制御レジスタ上位	IF2MCTRH2	-	R/W	00000000
00094E <sub>H</sub>	CAN2 - IF2 データ A1 下位	IF2DTA1L2	IF2DTA12	R/W	00000000
00094F <sub>H</sub>	CAN2 - IF2 データ A1 上位	IF2DTA1H2	-	R/W	00000000
000950 <sub>H</sub>	CAN2 - IF2 データ A2 下位	IF2DTA2L2	IF2DTA22	R/W	00000000
000951 <sub>H</sub>	CAN2 - IF2 データ A2 上位	IF2DTA2H2	-	R/W	00000000
000952 <sub>H</sub>	CAN2 - IF2 データ B1 下位	IF2DTB1L2	IF2DTB12	R/W	00000000
000953 <sub>H</sub>	CAN2 - IF2 データ B1 上位	IF2DTB1H2	-	R/W	00000000
000954 <sub>H</sub>	CAN2 - IF2 データ B2 下位	IF2DTB2L2	IF2DTB22	R/W	00000000
000955 <sub>H</sub>	CAN2 - IF2 データ B2 上位	IF2DTB2H2	-	R/W	00000000
000956 <sub>H</sub> - 00097F <sub>H</sub>	予約	-	-	-	-
000980 <sub>H</sub>	CAN2 - 送信リクエスト 1 レジスタ下位	TREQR1L2	TREQR12	R	00000000
000981 <sub>H</sub>	CAN2 - 送信リクエスト 1 レジスタ上位	TREQR1H2	-	R	00000000
000982 <sub>H</sub>	CAN2 - 送信リクエスト 2 レジスタ下位	TREQR2L2	TREQR22	R	00000000
000983 <sub>H</sub>	CAN2 - 送信リクエスト 2 レジスタ上位	TREQR2H2	-	R	00000000
000984 <sub>H</sub> - 00098F <sub>H</sub>	予約	-	-	-	-
000990 <sub>H</sub>	CAN2 - 新規データ 1 レジスタ下位	NEWDT1L2	NEWDT12	R	00000000
000991 <sub>H</sub>	CAN2 - 新規データ 1 レジスタ上位	NEWDT1H2	-	R	00000000
000992 <sub>H</sub>	CAN2 - 新規データ 2 レジスタ下位	NEWDT2L2	NEWDT22	R	00000000
000993 <sub>H</sub>	CAN2 - 新規データ 2 レジスタ上位	NEWDT2H2	-	R	00000000
000994 <sub>H</sub> - 00099F <sub>H</sub>	予約	-	-	-	-
0009A0 <sub>H</sub>	CAN2 - 割込み保留 1 レジスタ下位	INTPND1L2	INTPND12	R	00000000
0009A1 <sub>H</sub>	CAN2 - 割込み保留 1 レジスタ上位	INTPND1H2	-	R	00000000
0009A2 <sub>H</sub>	CAN2 - 割込み保留 2 レジスタ下位	INTPND2L2	INTPND22	R	00000000
0009A3 <sub>H</sub>	CAN2 - 割込み保留 2 レジスタ上位	INTPND2H2	-	R	00000000
0009A4 <sub>H</sub> - 0009AF <sub>H</sub>	予約	-	-	-	-
0009B0 <sub>H</sub>	CAN2 - メッセージ有効 1 レジスタ下位	MSGVAL1L2	MSGVAL12	R	00000000
0009B1 <sub>H</sub>	CAN2 - メッセージ有効 1 レジスタ上位	MSGVAL1H2	-	R	00000000
0009B2 <sub>H</sub>	CAN2 - メッセージ有効 2 レジスタ下位	MSGVAL2L2	MSGVAL22	R	00000000
0009B3 <sub>H</sub>	CAN2 - メッセージ有効 2 レジスタ上位	MSGVAL2H2	-	R	00000000
0009B4 <sub>H</sub> - 0009CD <sub>H</sub>	予約	-	-	-	-
0009CE <sub>H</sub>	CAN2 - 出力許可レジスタ	COER2	-	R/W	XXXXXXXX0
0009CF <sub>H</sub> - 0009FF <sub>H</sub>	予約	-	-	-	-

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000A00 <sub>H</sub>	DMA - I/O アドレスポインタバンク選択レジスタ 0	IOABK0	-	R/W	00000000
000A01 <sub>H</sub>	DMA - I/O アドレスポインタバンク選択レジスタ 1	IOABK1	-	R/W	00000000
000A02 <sub>H</sub> - 000A7F <sub>H</sub>	予約	-	-	-	-
000A80 <sub>H</sub>	PPG0 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L0	EPCN10	R/W	0XXXX00X
000A81 <sub>H</sub>	PPG0 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H0	-	R/W	XXX00000
000A82 <sub>H</sub>	PPG1 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L1	EPCN11	R/W	0XXXX00X
000A83 <sub>H</sub>	PPG1 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H1	-	R/W	XXX00000
000A84 <sub>H</sub> , 000A85 <sub>H</sub>	予約	-	-	-	-
000A86 <sub>H</sub>	PPG3 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L3	EPCN13	R/W	0XXXX00X
000A87 <sub>H</sub>	PPG3 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H3	-	R/W	XXX00000
000A88 <sub>H</sub>	PPG4 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L4	EPCN14	R/W	0XXXX00X
000A89 <sub>H</sub>	PPG4 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H4	-	R/W	XXX00000
000A8A <sub>H</sub> , 000A8B <sub>H</sub>	予約	-	-	-	-
000A8C <sub>H</sub>	PPG6 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L6	EPCN16	R/W	0XXXX00X
000A8D <sub>H</sub>	PPG6 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H6	-	R/W	XXX00000
000A8E <sub>H</sub>	PPG7 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L7	EPCN17	R/W	0XXXX00X
000A8F <sub>H</sub>	PPG7 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H7	-	R/W	XXX00000
000A90 <sub>H</sub> - 000A97 <sub>H</sub>	予約	-	-	-	-
000A98 <sub>H</sub>	PPG12 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L12	EPCN112	R/W	0XXXX00X
000A99 <sub>H</sub>	PPG12 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H12	-	R/W	XXX00000
000A9A <sub>H</sub> , 000A9B <sub>H</sub>	予約	-	-	-	-
000A9C <sub>H</sub>	PPG14 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L14	EPCN114	R/W	0XXXX00X
000A9D <sub>H</sub>	PPG14 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H14	-	R/W	XXX00000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000A9E <sub>H</sub> - 000AEF <sub>H</sub>	予約	-	-	-	-
000AF0 <sub>H</sub>	QPRC0 - 位置カウントレジスタ	-	QPCR0	R/W	00000000
000AF1 <sub>H</sub>	QPRC0 - 位置カウントレジスタ	-	-	R/W	00000000
000AF2 <sub>H</sub>	QPRC0 - 回転カウントレジスタ	-	QRCR0	R/W	00000000
000AF3 <sub>H</sub>	QPRC0 - 回転カウントレジスタ	-	-	R/W	00000000
000AF4 <sub>H</sub>	QPRC0 - 割込み制御レジスタ下位	QICRL0	QICR0	R/W	00000000
000AF5 <sub>H</sub>	QPRC0 - 割込み制御レジスタ上位	QICRH0	-	R/W	00000000
000AF6 <sub>H</sub>	QPRC0 - 拡張制御レジスタ下位	QECRL0	QECR0	R/W	00000000
000AF7 <sub>H</sub>	QPRC0 - 拡張制御レジスタ上位	QECRH0	-	R/W	00000000
000AF8 <sub>H</sub>	QPRC1 - 位置カウントレジスタ	-	QPCR1	R/W	00000000
000AF9 <sub>H</sub>	QPRC1 - 位置カウントレジスタ	-	-	R/W	00000000
000AFA <sub>H</sub>	QPRC1 - 回転カウントレジスタ	-	QRCR1	R/W	00000000
000AFB <sub>H</sub>	QPRC1 - 回転カウントレジスタ	-	-	R/W	00000000
000AFC <sub>H</sub>	QPRC1 - 割込み制御レジスタ下位	QICRL1	QICR1	R/W	00000000
000AFD <sub>H</sub>	QPRC1 - 割込み制御レジスタ上位	QICRH1	-	R/W	00000000
000AFE <sub>H</sub>	QPRC1 - 拡張制御レジスタ下位	QECRL1	QECR1	R/W	00000000
000AFF <sub>H</sub>	QPRC1 - 拡張制御レジスタ上位	QECRH1	-	R/W	00000000
000B00 <sub>H</sub> - 000B53 <sub>H</sub>	予約	-	-	-	-
000B54 <sub>H</sub>	ADC0 - レンジ比較しきい値超過フラグレジスタ 0	ADRCOOF00	-	R	00000000
000B55 <sub>H</sub>	ADC0 - レンジ比較しきい値超過フラグレジスタ 1	ADRCOOF10	-	R	00000000
000B56 <sub>H</sub>	予約	-	-	-	-
000B57 <sub>H</sub>	ADC0 - レンジ比較しきい値超過フラグレジスタ 3	ADRCOOF30	-	R	00000000
000B58 <sub>H</sub> - 000B5B <sub>H</sub>	予約	-	-	-	-
000B5C <sub>H</sub>	ADC0 - レンジ比較フラグレジスタ 0	ADRCOINTF00	-	R/W	00000000
000B5D <sub>H</sub>	ADC0 - レンジ比較フラグレジスタ 1	ADRCOINTF10	-	R/W	00000000
000B5E <sub>H</sub>	予約	-	-	-	-
000B5F <sub>H</sub>	ADC0 - レンジ比較フラグレジスタ 3	ADRCOINTF30	-	R/W	00000000
000B60 <sub>H</sub> - 000BAD <sub>H</sub>	予約	-	-	-	-
000BAE <sub>H</sub>	USART2 - チェックサムステータス制御レジスタ	CSCR2	-	R/W	00000000
000BAF <sub>H</sub>	USART2 - 拡張ステータスレジスタ	ESR2	-	R/W	XX000000
000BB0 <sub>H</sub> - 000BB8 <sub>H</sub>	予約	-	-	-	-
000BB9 <sub>H</sub>	USART7 - 拡張ステータスレジスタ	ESR7	-	R/W	XXXX00XX
000BBA <sub>H</sub>	予約	-	-	-	-
000BBB <sub>H</sub>	USART8 - 拡張ステータスレジスタ	ESR8	-	R/W	XXXX00XX
000BBC <sub>H</sub> - 000BEF <sub>H</sub>	予約	-	-	-	-
000BF0 <sub>H</sub>	DSU 制御レジスタ 下位	DSUCRL	DSUCR	R/W	XXXXXXXX0
000BF1 <sub>H</sub>	DSU 制御レジスタ 上位	DSUCRH	-	R/W	XXXXXXXXX



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000BF2 <sub>H</sub> - 000BF3 <sub>H</sub>	予約	-	-	-	-
000BF4 <sub>H</sub>	ユーザイベントレジスタ 下位	UERL	UER	W	XXXXXXXX
000BF5 <sub>H</sub>	ユーザイベントレジスタ 上位	UERH	-	R/W	XXXXXXXX
000BF6 <sub>H</sub>	メッセージバッファレジスタ 下位	MBRL	MBR	W	XXXXXXXX
000BF7 <sub>H</sub>	メッセージバッファレジスタ 上位	MBRH	-	R/W	0XXXXXXXX
000BF8 <sub>H</sub> - 000BFF <sub>H</sub>	予約	-	-	-	-
0E9000 <sub>H</sub> - 0E9301 <sub>H</sub>	予約	-	-	-	-
0E9302 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 4 下位	GCN4L0	GCN40	R/W	X110X110
0E9303 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 4 上位	GCN4H0	-	R/W	X110X110
0E9304 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 5 下位	GCN5L0	GCN50	R/W	00000000
0E9305 <sub>H</sub> - 0E930F <sub>H</sub>	予約	-	-	-	-
0E9310 <sub>H</sub>	PPG0 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L0	EPCN20	R/W	00XX0X0X
0E9311 <sub>H</sub> - 0E9313 <sub>H</sub>	予約	-	-	-	-
0E9314 <sub>H</sub>	PPG0 - タイミングポイントキャプチャレジ スタ下位	PTPCL0	PTPC0	R/W	00000000
0E9315 <sub>H</sub>	PPG0 - タイミングポイントキャプチャレジ スタ上位	PTPCH0	-	R/W	00000000
0E9316 <sub>H</sub> - 0E931F <sub>H</sub>	予約	-	-	-	-
0E9320 <sub>H</sub>	PPG1 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L1	EPCN21	R/W	00XX0X0X
0E9321 <sub>H</sub> - 0E9323 <sub>H</sub>	予約	-	-	-	-
0E9324 <sub>H</sub>	PPG1 - タイミングポイントキャプチャレジ スタ下位	PTPCL1	PTPC1	R/W	00000000
0E9325 <sub>H</sub>	PPG1 - タイミングポイントキャプチャレジ スタ上位	PTPCH1	-	R/W	00000000
0E9326 <sub>H</sub> - 0E933F <sub>H</sub>	予約	-	-	-	-
0E9340 <sub>H</sub>	PPG3 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L3	EPCN23	R/W	00XX0X0X
0E9341 <sub>H</sub> - 0E9343 <sub>H</sub>	予約	-	-	-	-
0E9344 <sub>H</sub>	PPG3 - タイミングポイントキャプチャレジ スタ下位	PTPCL3	PTPC3	R/W	00000000
0E9345 <sub>H</sub>	PPG3 - タイミングポイントキャプチャレジ スタ上位	PTPCH3	-	R/W	00000000
0E9346 <sub>H</sub> - 0E9351 <sub>H</sub>	予約	-	-	-	-
0E9352 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 4 下位	GCN4L1	GCN41	R/W	X110X110
0E9353 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 4 上位	GCN4H1	-	R/W	X110X110



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9354 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 5 下位	GCN5L1	GCN51	R/W	00000000
0E9355 <sub>H</sub> - 0E935F <sub>H</sub>	予約	-	-	-	-
0E9360 <sub>H</sub>	PPG4 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L4	EPCN24	R/W	00XX0X0X
0E9361 <sub>H</sub> - 0E9363 <sub>H</sub>	予約	-	-	-	-
0E9364 <sub>H</sub>	PPG4 - タイミングポイントキャプチャレジ スタ下位	PTPCL4	PTPC4	R/W	00000000
0E9365 <sub>H</sub>	PPG4 - タイミングポイントキャプチャレジ スタ上位	PTPCH4	-	R/W	00000000
0E9366 <sub>H</sub> - 0E937F <sub>H</sub>	予約	-	-	-	-
0E9380 <sub>H</sub>	PPG6 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L6	EPCN26	R/W	00XX0X0X
0E9381 <sub>H</sub> - 0E9383 <sub>H</sub>	予約	-	-	-	-
0E9384 <sub>H</sub>	PPG6 - タイミングポイントキャプチャレジ スタ下位	PTPCL6	PTPC6	R/W	00000000
0E9385 <sub>H</sub>	PPG6 - タイミングポイントキャプチャレジ スタ上位	PTPCH6	-	R/W	00000000
0E9386 <sub>H</sub> - 0E938F <sub>H</sub>	予約	-	-	-	-
0E9390 <sub>H</sub>	PPG7 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L7	EPCN27	R/W	00XX0X0X
0E9391 <sub>H</sub> - 0E9393 <sub>H</sub>	予約	-	-	-	-
0E9394 <sub>H</sub>	PPG7 - タイミングポイントキャプチャレジ スタ下位	PTPCL7	PTPC7	R/W	00000000
0E9395 <sub>H</sub>	PPG7 - タイミングポイントキャプチャレジ スタ上位	PTPCH7	-	R/W	00000000
0E9396 <sub>H</sub> - 0E9401 <sub>H</sub>	予約	-	-	-	-
0E9402 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 4 下位	GCN4L3	GCN43	R/W	X110X110
0E9403 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 4 上位	GCN4H3	-	R/W	X110X110
0E9404 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 5 下位	GCN5L3	GCN53	R/W	00000000
0E9405 <sub>H</sub> - 0E940F <sub>H</sub>	予約	-	-	-	-
0E9410 <sub>H</sub>	PPG12 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L12	EPCN212	R/W	00XX0X0X
0E9411 <sub>H</sub> - 0E9413 <sub>H</sub>	予約	-	-	-	-
0E9414 <sub>H</sub>	PPG12 - タイミングポイントキャプチャレ ジスタ下位	PTPCL12	PTPC12	R/W	00000000
0E9415 <sub>H</sub>	PPG12 - タイミングポイントキャプチャレ ジスタ上位	PTPCH12	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9416 <sub>H</sub> - 0E942F <sub>H</sub>	予約	-	-	-	-
0E9430 <sub>H</sub>	PPG14 - 拡張PPG制御ステータスレジスタ 2 下位	EPCN2L14	EPCN214	R/W	00XX0X0X
0E9431 <sub>H</sub> - 0E9433 <sub>H</sub>	予約	-	-	-	-
0E9434 <sub>H</sub>	PPG14 - タイミングポイントキャプチャレ ジスタ下位	PTPCL14	PTPC14	R/W	00000000
0E9435 <sub>H</sub>	PPG14 - タイミングポイントキャプチャレ ジスタ上位	PTPCH14	-	R/W	00000000
0E9436 <sub>H</sub> - 0E949F <sub>H</sub>	予約	-	-	-	-
0E94A0 <sub>H</sub>	ADTG - ADC0 トリガ制御レジスタ下位	ADTGCRLO	ADTGCR0	R/W	XXXXXXXX
0E94A1 <sub>H</sub>	ADTG - ADC0 トリガ制御レジスタ上位	ADTGCRH0	-	R/W	XXXXXXXX1
0E94A2 <sub>H</sub>	ADTG - ADC0 トリガ入力選択下位	ADTGISELLO	ADTGISELO	R/W	XXXXXX001
0E94A3 <sub>H</sub>	ADTG - ADC0 トリガ入力選択上位	ADTGISELH0	-	R/W	XXX00000
0E94A4 <sub>H</sub> - 0E951F <sub>H</sub>	予約	-	-	-	-
0E9520 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 0 下位	ADRCOLL00	ADRCOL00	R/W	00000000
0E9521 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 0 上位	ADRCOLH00	-	R/W	00000000
0E9522 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 0 下位	ADRCOHL00	ADRCOH00	R/W	00000000
0E9523 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 0 上位	ADRCOHH00	-	R/W	00000000
0E9524 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 1 下位	ADRCOLL10	ADRCOL10	R/W	00000000
0E9525 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 1 上位	ADRCOLH10	-	R/W	00000000
0E9526 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 1 下位	ADRCOHL10	ADRCOH10	R/W	00000000
0E9527 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 1 上位	ADRCOHH10	-	R/W	00000000
0E9528 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 2 下位	ADRCOLL20	ADRCOL20	R/W	00000000
0E9529 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 2 上位	ADRCOLH20	-	R/W	00000000
0E952A <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 2 下位	ADRCOHL20	ADRCOH20	R/W	00000000
0E952B <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 2 上位	ADRCOHH20	-	R/W	00000000
0E952C <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 3 下位	ADRCOLL30	ADRCOL30	R/W	00000000
0E952D <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 3 上位	ADRCOLH30	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E952E <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 3 下位	ADRCOHL30	ADRCOH30	R/W	00000000
0E952F <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 3 上位	ADRCOHH30	-	R/W	00000000
0E9530 <sub>H</sub> - 0E953F <sub>H</sub>	予約	-	-	-	-
0E9540 <sub>H</sub>	ADC0 - レンジ比較インバートレンジ選択 レジスタ 0	ADRCOIRS00	-	R/W	00000000
0E9541 <sub>H</sub>	ADC0 - レンジ比較インバートレンジ選択 レジスタ 1	ADRCOIRS10	-	R/W	00000000
0E9542 <sub>H</sub>	予約	-	-	-	-
0E9543 <sub>H</sub>	ADC0 - レンジ比較インバートレンジ選択 レジスタ 3	ADRCOIRS30	-	R/W	00000000
0E9544 <sub>H</sub> - 0E954F <sub>H</sub>	予約	-	-	-	-
0E9550 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 0	ADCC000	-	R/W	00000000
0E9551 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 1	ADCC010	-	R/W	00000000
0E9552 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 2	ADCC020	-	R/W	00000000
0E9553 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 3	ADCC030	-	R/W	00000000
0E9554 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 4	ADCC040	-	R/W	00000000
0E9555 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 5	ADCC050	-	R/W	00000000
0E9556 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 6	ADCC060	-	R/W	00000000
0E9557 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 7	ADCC070	-	R/W	00000000
0E9558 <sub>H</sub> - 0E955B <sub>H</sub>	予約	-	-	-	-
0E955C <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 12	ADCC120	-	R/W	00000000
0E955D <sub>H</sub>	予約	-	-	-	-
0E955E <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 14	ADCC140	-	R/W	00000000
0E955F <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 15	ADCC150	-	R/W	00000000
0E9560 <sub>H</sub> - 0E977F <sub>H</sub>	予約	-	-	-	-
0E9780 <sub>H</sub>	QPRC0 - 位置カウンタ比較レジスタ	-	QPCCR0	R/W	00000000
0E9781 <sub>H</sub>	QPRC0 - 位置カウンタ比較レジスタ	-	-	R/W	00000000
0E9782 <sub>H</sub>	QPRC0 - 位置&回転カウンタ比較レジスタ	-	QPRCR0	R/W	00000000
0E9783 <sub>H</sub>	QPRC0 - 位置&回転カウンタ比較レジスタ	-	-	R/W	00000000
0E9784 <sub>H</sub>	QPRC0 - 最大位置レジスタ	-	QMPR0	R/W	11111111

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9785 <sub>H</sub>	QPRC0 - 最大位置レジスタ	-	-	R/W	11111111
0E9786 <sub>H</sub>	QPRC0 - 制御レジスタ下位	QCRL0	QCR0	R/W	00000000
0E9787 <sub>H</sub>	QPRC0 - 制御レジスタ上位	QCRH0	-	R/W	00000000
0E9788 <sub>H</sub> - 0E978F <sub>H</sub>	予約	-	-	-	-
0E9790 <sub>H</sub>	QPRC1 - 位置カウンタ比較レジスタ	-	QPCCR1	R/W	00000000
0E9791 <sub>H</sub>	QPRC1 - 位置カウンタ比較レジスタ	-	-	R/W	00000000
0E9792 <sub>H</sub>	QPRC1 - 位置&回転カウンタ比較レジスタ	-	QPRCR1	R/W	00000000
0E9793 <sub>H</sub>	QPRC1 - 位置&回転カウンタ比較レジスタ	-	-	R/W	00000000
0E9794 <sub>H</sub>	QPRC1 - 最大位置レジスタ	-	QMPR1	R/W	11111111
0E9795 <sub>H</sub>	QPRC1 - 最大位置レジスタ	-	-	R/W	11111111
0E9796 <sub>H</sub>	QPRC1 - 制御レジスタ下位	QCRL1	QCR1	R/W	00000000
0E9797 <sub>H</sub>	QPRC1 - 制御レジスタ上位	QCRH1	-	R/W	00000000
0E9798 <sub>H</sub> - 0E97DF <sub>H</sub>	予約	-	-	-	-
0E97E0 <sub>H</sub>	USART2 - 拡張機能許可レジスタ下位	EFERL2	EFER2	R/W	00000000
0E97E1 <sub>H</sub>	USART2 - 拡張機能許可レジスタ上位	EFERH2	-	R/W	XX000000
0E97E2 <sub>H</sub> - 0E97E5 <sub>H</sub>	予約	-	-	-	-
0E97E6 <sub>H</sub>	USART2 - Sync Field タイムアウトレジスタ下位	SFTRL2	SFTR2	R/W	00000000
0E97E7 <sub>H</sub>	USART2 - Sync Field タイムアウトレジスタ上位	SFTRH2	-	R/W	00000000
0E97E8 <sub>H</sub>	USART2 - 拡張割込み許可レジスタ	EIER2	-	R/W	XX000000
0E97E9 <sub>H</sub> - 0E982F <sub>H</sub>	予約	-	-	-	-
0E9830 <sub>H</sub>	USART7 - 拡張機能許可レジスタ下位	EFERL7	EFER7	R/W	00000XXX
0E9831 <sub>H</sub>	USART7 - 拡張機能許可レジスタ上位	EFERH7	-	R/W	XX00X0X0
0E9832 <sub>H</sub> - 0E9837 <sub>H</sub>	予約	-	-	-	-
0E9838 <sub>H</sub>	USART7 - 拡張割込み許可レジスタ	EIER7	-	R/W	XXXXXX00
0E9839 <sub>H</sub> - 0E983F <sub>H</sub>	予約	-	-	-	-
0E9840 <sub>H</sub>	USART8 - 拡張機能許可レジスタ下位	EFERL8	EFER8	R/W	00000XXX
0E9841 <sub>H</sub>	USART8 - 拡張機能許可レジスタ上位	EFERH8	-	R/W	XX00X0X0
0E9842 <sub>H</sub> - 0E9847 <sub>H</sub>	予約	-	-	-	-
0E9848 <sub>H</sub>	USART8 - 拡張割込み許可レジスタ	EIER8	-	R/W	XXXXXX00
0E9849 <sub>H</sub> - 0FBFFF <sub>H</sub>	予約	-	-	-	-

## C. MB96630 の I/O マップ

各周辺機能のレジスタに割り当てられるアドレスを示します。

### ■ MB96630 の I/O マップ

表 C MB96630 の I/O マップ

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000000 <sub>H</sub>	I/O ポート P00 - ポートデータレジスタ	PDR00	-	R/W	XXXXXXXX
000001 <sub>H</sub>	I/O ポート P01 - ポートデータレジスタ	PDR01	-	R/W	XXXXXXXX
000002 <sub>H</sub>	I/O ポート P02 - ポートデータレジスタ	PDR02	-	R/W	XXXXXXXX
000003 <sub>H</sub>	I/O ポート P03 - ポートデータレジスタ	PDR03	-	R/W	XXXXXXXX
000004 <sub>H</sub>	I/O ポート P04 - ポートデータレジスタ	PDR04	-	R/W	XXXXXXXX
000005 <sub>H</sub>	I/O ポート P05 - ポートデータレジスタ	PDR05	-	R/W	XXXXXXXX
000006 <sub>H</sub>	I/O ポート P06 - ポートデータレジスタ	PDR06	-	R/W	XXXXXXXX
000007 <sub>H</sub>	予約	-	-	-	-
000008 <sub>H</sub>	I/O ポート P08 - ポートデータレジスタ	PDR08	-	R/W	XXXXXXXX
000009 <sub>H</sub>	I/O ポート P09 - ポートデータレジスタ	PDR09	-	R/W	XXXXXXXX
00000A <sub>H</sub>	I/O ポート P10 - ポートデータレジスタ	PDR10	-	R/W	XXXXXXXX
00000B <sub>H</sub>	I/O ポート P11 - ポートデータレジスタ	PDR11	-	R/W	XXXXXXXX
00000C <sub>H</sub>	I/O ポート P12 - ポートデータレジスタ	PDR12	-	R/W	XXXXXXXX
00000D <sub>H</sub>	I/O ポート P13 - ポートデータレジスタ	PDR13	-	R/W	XXXXXXXX
00000E <sub>H</sub> - 000010 <sub>H</sub>	予約	-	-	-	-
000011 <sub>H</sub>	I/O ポート P17 - ポートデータレジスタ	PDR17	-	R/W	XXXXXXXX
000012 <sub>H</sub> - 000017 <sub>H</sub>	予約	-	-	-	-
000018 <sub>H</sub>	ADC0 - 制御状態レジスタ下位	ADCSL	ADCS	R/W	00000000
000019 <sub>H</sub>	ADC0 - 制御状態レジスタ上位	ADCSH	-	R/W	00000000
00001A <sub>H</sub>	ADC0 - データレジスタ下位	ADCRL	ADCR	R	00000000
00001B <sub>H</sub>	ADC0 - データレジスタ上位	ADCRH	-	R	00000000
00001C <sub>H</sub>	ADC0 - 設定レジスタ	-	ADSR	R/W	00000000
00001D <sub>H</sub>	ADC0 - 設定レジスタ	-	-	R/W	00000000
00001E <sub>H</sub> , 00001F <sub>H</sub>	予約	-	-	-	-
000020 <sub>H</sub>	FRT0 - データレジスタ	-	TCDT0	R/W	00000000
000021 <sub>H</sub>	FRT0 - データレジスタ	-	-	R/W	00000000
000022 <sub>H</sub>	FRT0 - コントロールステータスレジスタ 下位	TCCSL0	TCCS0	R/W	00000000
000023 <sub>H</sub>	FRT0 - コントロールステータスレジスタ 上位	TCCSH0	-	R/W	01XXXXXX
000024 <sub>H</sub>	FRT1 - データレジスタ	-	TCDT1	R/W	00000000
000025 <sub>H</sub>	FRT1 - データレジスタ	-	-	R/W	00000000
000026 <sub>H</sub>	FRT1 - コントロールステータスレジスタ 下位	TCCSL1	TCCS1	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000027 <sub>H</sub>	FRT1 - コントロールステータスレジスタ 上位	TCCSH1	-	R/W	01XXXXXX
000028 <sub>H</sub>	OCU0 - コントロールステータスレジスタ	OCS0	-	R/W	0000XX00
000029 <sub>H</sub>	OCU1 - コントロールステータスレジスタ	OCS1	-	R/W	0XX00000
00002A <sub>H</sub>	OCU0 - コンペアレジスタ	-	OCCP0	R/W	XXXXXXXX
00002B <sub>H</sub>	OCU0 - コンペアレジスタ	-	-	R/W	XXXXXXXX
00002C <sub>H</sub>	OCU1 - コンペアレジスタ	-	OCCP1	R/W	XXXXXXXX
00002D <sub>H</sub>	OCU1 - コンペアレジスタ	-	-	R/W	XXXXXXXX
00002E <sub>H</sub>	OCU2 - コントロールステータスレジスタ	OCS2	-	R/W	0000XX00
00002F <sub>H</sub>	OCU3 - コントロールステータスレジスタ	OCS3	-	R/W	0XX00000
000030 <sub>H</sub>	OCU2 - コンペアレジスタ	-	OCCP2	R/W	XXXXXXXX
000031 <sub>H</sub>	OCU2 - コンペアレジスタ	-	-	R/W	XXXXXXXX
000032 <sub>H</sub>	OCU3 - コンペアレジスタ	-	OCCP3	R/W	XXXXXXXX
000033 <sub>H</sub>	OCU3 - コンペアレジスタ	-	-	R/W	XXXXXXXX
000034 <sub>H</sub>	OCU4 - コントロールステータスレジスタ	OCS4	-	R/W	0000XX00
000035 <sub>H</sub>	OCU5 - コントロールステータスレジスタ	OCS5	-	R/W	0XX00000
000036 <sub>H</sub>	OCU4 - コンペアレジスタ	-	OCCP4	R/W	XXXXXXXX
000037 <sub>H</sub>	OCU4 - コンペアレジスタ	-	-	R/W	XXXXXXXX
000038 <sub>H</sub> , 000039 <sub>H</sub>	予約	-	-	-	-
00003A <sub>H</sub>	OCU6 - コントロールステータスレジスタ	OCS6	-	R/W	0000XX00
00003B <sub>H</sub>	OCU7 - コントロールステータスレジスタ	OCS7	-	R/W	0XX00000
00003C <sub>H</sub>	OCU6 - コンペアレジスタ	-	OCCP6	R/W	XXXXXXXX
00003D <sub>H</sub>	OCU6 - コンペアレジスタ	-	-	R/W	XXXXXXXX
00003E <sub>H</sub>	OCU7 - コンペアレジスタ	-	OCCP7	R/W	XXXXXXXX
00003F <sub>H</sub>	OCU7 - コンペアレジスタ	-	-	R/W	XXXXXXXX
000040 <sub>H</sub>	ICU0/ICU1 - コントロールステータスレジスタ	ICS01	-	R/W	00000000
000041 <sub>H</sub>	ICU0/ICU1 - エッジレジスタ	ICE01	-	R/W	XXX0X000
000042 <sub>H</sub>	ICU0 - データレジスタ下位	IPCPL0	IPCP0	R	XXXXXXXX
000043 <sub>H</sub>	ICU0 - データレジスタ上位	IPCPH0	-	R	XXXXXXXX
000044 <sub>H</sub>	ICU1 - データレジスタ下位	IPCPL1	IPCP1	R	XXXXXXXX
000045 <sub>H</sub>	ICU1 - データレジスタ上位	IPCPH1	-	R	XXXXXXXX
000046 <sub>H</sub> - 00004B <sub>H</sub>	予約	-	-	-	-
00004C <sub>H</sub>	ICU4/ICU5 - 制御ステータスレジスタ	ICS45	-	R/W	00000000
00004D <sub>H</sub>	ICU4/ICU5 - エッジレジスタ	ICE45	-	R/W	XXX0X000
00004E <sub>H</sub>	ICU4 - データレジスタ下位	IPCPL4	IPCP4	R	XXXXXXXX
00004F <sub>H</sub>	ICU4 - データレジスタ上位	IPCPH4	-	R	XXXXXXXX
000050 <sub>H</sub>	ICU5 - データレジスタ下位	IPCPL5	IPCP5	R	XXXXXXXX
000051 <sub>H</sub>	ICU5 - データレジスタ上位	IPCPH5	-	R	XXXXXXXX
000052 <sub>H</sub>	ICU6/ICU7 - 制御ステータスレジスタ	ICS67	-	R/W	00000000
000053 <sub>H</sub>	ICU6/ICU7 - エッジレジスタ	ICE67	-	R/W	XXX0X000
000054 <sub>H</sub>	ICU6 - データレジスタ下位	IPCPL6	IPCP6	R	XXXXXXXX
000055 <sub>H</sub>	ICU6 - データレジスタ上位	IPCPH6	-	R	XXXXXXXX
000056 <sub>H</sub>	ICU7 - データレジスタ下位	IPCPL7	IPCP7	R	XXXXXXXX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000057 <sub>H</sub>	ICU7 - データレジスタ上位	IPCPH7	-	R	XXXXXXXXXX
000058 <sub>H</sub>	EXTINT0 - 外部割込み要求許可レジスタ	ENIR0	-	R/W	00000000
000059 <sub>H</sub>	EXTINT0 - 外部割込み要求レジスタ	EIRR0	-	R/W	00000000
00005A <sub>H</sub>	EXTINT0 - 外部割込みレベルレジスタ下位	ELVRL0	ELVR0	R/W	00000000
00005B <sub>H</sub>	EXTINT0 - 外部割込みレベルレジスタ上位	ELVRH0	-	R/W	00000000
00005C <sub>H</sub>	EXTINT1 - 外部割込み要求許可レジスタ	ENIR1	-	R/W	00000000
00005D <sub>H</sub>	EXTINT1 - 外部割込み要求レジスタ	EIRR1	-	R/W	00000000
00005E <sub>H</sub>	EXTINT1 - 外部割込みレベルレジスタ下位	ELVRL1	ELVR1	R/W	00000000
00005F <sub>H</sub>	EXTINT1 - 外部割込みレベルレジスタ上位	ELVRH1	-	R/W	00000000
000060 <sub>H</sub>	RLT0 - タイマ制御状態レジスタ下位	TMCSRL0	TMCSR0	R/W	00000000
000061 <sub>H</sub>	RLT0 - タイマ制御状態レジスタ上位	TMCSRH0	-	R/W	00X10000
000062 <sub>H</sub>	RLT0 - 16ビットリロードレジスタ下位	-	TMRLR0	W	XXXXXXXXXX
000062 <sub>H</sub>	RLT0 - 16ビットタイマレジスタ下位	-	TMR0	R	XXXXXXXXXX
000063 <sub>H</sub>	RLT0 - 16ビットリロードレジスタ上位	-	-	W	XXXXXXXXXX
000063 <sub>H</sub>	RLT0 - 16ビットタイマレジスタ上位	-	-	R	XXXXXXXXXX
000064 <sub>H</sub>	RLT1 - タイマ制御状態レジスタ下位	TMCSRL1	TMCSR1	R/W	00000000
000065 <sub>H</sub>	RLT1 - タイマ制御状態レジスタ上位	TMCSRH1	-	R/W	00X10000
000066 <sub>H</sub>	RLT1 - 16ビットリロードレジスタ下位	-	TMRLR1	W	XXXXXXXXXX
000066 <sub>H</sub>	RLT1 - 16ビットタイマレジスタ下位	-	TMR1	R	XXXXXXXXXX
000067 <sub>H</sub>	RLT1 - 16ビットリロードレジスタ上位	-	-	W	XXXXXXXXXX
000067 <sub>H</sub>	RLT1 - 16ビットタイマレジスタ上位	-	-	R	XXXXXXXXXX
000068 <sub>H</sub> - 00006F <sub>H</sub>	予約	-	-	-	-
000070 <sub>H</sub>	RLT6 - タイマ制御状態レジスタ下位	TMCSRL6	TMCSR6	R/W	00000000
000071 <sub>H</sub>	RLT6 - タイマ制御状態レジスタ上位	TMCSRH6	-	R/W	00X10000
000072 <sub>H</sub>	RLT6 - 16ビットリロードレジスタ下位	-	TMRLR6	W	XXXXXXXXXX
000072 <sub>H</sub>	RLT6 - 16ビットタイマレジスタ下位	-	TMR6	R	XXXXXXXXXX
000073 <sub>H</sub>	RLT6 - 16ビットリロードレジスタ上位	-	-	W	XXXXXXXXXX
000073 <sub>H</sub>	RLT6 - 16ビットタイマレジスタ	-	-	R	XXXXXXXXXX
000074 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 1 下位	GCN1L0	GCN10	R/W	00010000
000075 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 1 上位	GCN1H0	-	R/W	00110010
000076 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 2 下位	GCN2L0	GCN20	R/W	XXXX0000
000077 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 2 上位	GCN2H0	-	R/W	XXXX0000
000078 <sub>H</sub>	PPG0 - タイマレジスタ	-	PTMR0	R	11111111
000079 <sub>H</sub>	PPG0 - タイマレジスタ	-	-	R	11111111
00007A <sub>H</sub>	PPG0 - 周期設定レジスタ下位	PCSRL0	PCSR0	R/W	XXXXXXXXXX
00007B <sub>H</sub>	PPG0 - 周期設定レジスタ上位	PCSRH0	-	R/W	XXXXXXXXXX
00007C <sub>H</sub>	PPG0 - デューティ設定レジスタ下位	PDUTL0	PDUT0	R/W	XXXXXXXXXX
00007D <sub>H</sub>	PPG0 - デューティ設定レジスタ上位	PDUTH0	-	R/W	XXXXXXXXXX
00007E <sub>H</sub>	PPG0 - 制御ステータスレジスタ下位	PCNL0	PCN0	R/W	00000000
00007F <sub>H</sub>	PPG0 - 制御ステータスレジスタ上位	PCNH0	-	R/W	00000000
000080 <sub>H</sub>	PPG1 - タイマレジスタ	-	PTMR1	R	11111111
000081 <sub>H</sub>	PPG1 - タイマレジスタ	-	-	R	11111111
000082 <sub>H</sub>	PPG1 - 周期設定レジスタ下位	PCSRL1	PCSR1	R/W	XXXXXXXXXX
000083 <sub>H</sub>	PPG1 - 周期設定レジスタ上位	PCSRH1	-	R/W	XXXXXXXXXX
000084 <sub>H</sub>	PPG1 - デューティ設定レジスタ下位	PDUTL1	PDUT1	R/W	XXXXXXXXXX



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000085 <sub>H</sub>	PPG1 - デューティ設定レジスタ上位	PDUTH1	-	R/W	XXXXXXXX
000086 <sub>H</sub>	PPG1 - 制御ステータスレジスタ下位	PCNL1	PCN1	R/W	00000000
000087 <sub>H</sub>	PPG1 - 制御ステータスレジスタ上位	PCNH1	-	R/W	00000000
000088 <sub>H</sub>	PPG2 - タイマレジスタ	-	PTMR2	R	11111111
000089 <sub>H</sub>	PPG2 - タイマレジスタ	-	-	R	11111111
00008A <sub>H</sub>	PPG2 - 周期設定レジスタ下位	PCSRL2	PCSR2	R/W	XXXXXXXX
00008B <sub>H</sub>	PPG2 - 周期設定レジスタ上位	PCSRH2	-	R/W	XXXXXXXX
00008C <sub>H</sub>	PPG2 - デューティ設定レジスタ下位	PDUTL2	PDUT2	R/W	XXXXXXXX
00008D <sub>H</sub>	PPG2 - デューティ設定レジスタ上位	PDUTH2	-	R/W	XXXXXXXX
00008E <sub>H</sub>	PPG2 - 制御ステータスレジスタ下位	PCNL2	PCN2	R/W	00000000
00008F <sub>H</sub>	PPG2 - 制御ステータスレジスタ上位	PCNH2	-	R/W	00000000
000090 <sub>H</sub>	PPG3 - タイマレジスタ	-	PTMR3	R	11111111
000091 <sub>H</sub>	PPG3 - タイマレジスタ	-	-	R	11111111
000092 <sub>H</sub>	PPG3 - 周期設定レジスタ下位	PCSRL3	PCSR3	R/W	XXXXXXXX
000093 <sub>H</sub>	PPG3 - 周期設定レジスタ上位	PCSRH3	-	R/W	XXXXXXXX
000094 <sub>H</sub>	PPG3 - デューティ設定レジスタ下位	PDUTL3	PDUT3	R/W	XXXXXXXX
000095 <sub>H</sub>	PPG3 - デューティ設定レジスタ上位	PDUTH3	-	R/W	XXXXXXXX
000096 <sub>H</sub>	PPG3 - 制御ステータスレジスタ下位	PCNL3	PCN3	R/W	00000000
000097 <sub>H</sub>	PPG3 - 制御ステータスレジスタ上位	PCNH3	-	R/W	00000000
000098 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 1 下位	GCN1L1	GCN11	R/W	00010000
000099 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 1 上位	GCN1H1	-	R/W	00110010
00009A <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 2 下位	GCN2L1	GCN21	R/W	XXXX0000
00009B <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 2 上位	GCN2H1	-	R/W	XXXX0000
00009C <sub>H</sub>	PPG4 - タイマレジスタ	-	PTMR4	R	11111111
00009D <sub>H</sub>	PPG4 - タイマレジスタ	-	-	R	11111111
00009E <sub>H</sub>	PPG4 - 周期設定レジスタ下位	PCSRL4	PCSR4	R/W	XXXXXXXX
00009F <sub>H</sub>	PPG4 - 周期設定レジスタ上位	PCSRH4	-	R/W	XXXXXXXX
0000A0 <sub>H</sub>	PPG4 - デューティ設定レジスタ下位	PDUTL4	PDUT4	R/W	XXXXXXXX
0000A1 <sub>H</sub>	PPG4 - デューティ設定レジスタ上位	PDUTH4	-	R/W	XXXXXXXX
0000A2 <sub>H</sub>	PPG4 - 制御ステータスレジスタ下位	PCNL4	PCN4	R/W	00000000
0000A3 <sub>H</sub>	PPG4 - 制御ステータスレジスタ上位	PCNH4	-	R/W	00000000
0000A4 <sub>H</sub> - 0000AB <sub>H</sub>	予約	-	-	-	-
0000AC <sub>H</sub>	I <sup>2</sup> C0 - バスステータスレジスタ	IBSR0	-	R	00000000
0000AD <sub>H</sub>	I <sup>2</sup> C0 - バスコントロールレジスタ	IBCR0	-	R/W	00000000
0000AE <sub>H</sub>	I <sup>2</sup> C0 - 10 ビットスレーブアドレスレジスタ 下位	ITBAL0	ITBA0	R/W	00000000
0000AF <sub>H</sub>	I <sup>2</sup> C0 - 10 ビットスレーブアドレスレジスタ 上位	ITBAH0	-	R/W	00000000
0000B0 <sub>H</sub>	I <sup>2</sup> C0 - 10 ビットスレーブアドレスマスクレ ジスタ下位	ITMKL0	ITMK0	R/W	11111111
0000B1 <sub>H</sub>	I <sup>2</sup> C0 - 10 ビットスレーブアドレスマスクレ ジスタ上位	ITMKH0	-	R/W	00111111
0000B2 <sub>H</sub>	I <sup>2</sup> C0 - 7 ビットスレーブアドレスレジスタ	ISBA0	-	R/W	00000000
0000B3 <sub>H</sub>	I <sup>2</sup> C0 - 7 ビットスレーブアドレスマスクレ ジスタ	ISMK0	-	R/W	01111111



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0000B4 <sub>H</sub>	I <sup>2</sup> C0 - データレジスタ	IDAR0	-	R/W	00000000
0000B5 <sub>H</sub>	I <sup>2</sup> C0 - クロックコントロールレジスタ	ICCR0	-	R/W	00011111
0000B6 <sub>H</sub>	I <sup>2</sup> C1 - バスステータスレジスタ	IBSR1	-	R	00000000
0000B7 <sub>H</sub>	I <sup>2</sup> C1 - バスコントロールレジスタ	IBCR1	-	R/W	00000000
0000B8 <sub>H</sub>	I <sup>2</sup> C1 - 10 ビットスレーブアドレスレジスタ 下位	ITBAL1	ITBA1	R/W	00000000
0000B9 <sub>H</sub>	I <sup>2</sup> C1 - 10 ビットスレーブアドレスレジスタ 上位	ITBAH1	-	R/W	00000000
0000BA <sub>H</sub>	I <sup>2</sup> C1 - 10 ビットスレーブアドレスマスクレ ジスタ下位	ITMKL1	ITMK1	R/W	11111111
0000BB <sub>H</sub>	I <sup>2</sup> C1 - 10 ビットスレーブアドレスマスクレ ジスタ上位	ITMKH1	-	R/W	00111111
0000BC <sub>H</sub>	I <sup>2</sup> C1 - 7 ビットスレーブアドレスレジスタ	ISBA1	-	R/W	00000000
0000BD <sub>H</sub>	I <sup>2</sup> C1 - 7 ビットスレーブアドレスマスクレ ジスタ	ISMK1	-	R/W	01111111
0000BE <sub>H</sub>	I <sup>2</sup> C1 - データレジスタ	IDAR1	-	R/W	00000000
0000BF <sub>H</sub>	I <sup>2</sup> C1 - クロックコントロールレジスタ	ICCR1	-	R/W	00011111
0000C0 <sub>H</sub>	USART0 - シリアルモードレジスタ	SMR0	-	R/W	00000000
0000C1 <sub>H</sub>	USART0 - シリアル制御レジスタ	SCR0	-	R/W	00000000
0000C2 <sub>H</sub>	USART0 - 送信データ レジスタ	TDR0	-	W	11111111
0000C2 <sub>H</sub>	USART0 - 受信データ レジスタ	RDR0	-	R	00000000
0000C3 <sub>H</sub>	USART0 - シリアルステータスレジスタ	SSR0	-	R/W	00001000
0000C4 <sub>H</sub>	USART0 - 拡張通信制御レジスタ	ECCR0	-	R/W	000000XX
0000C5 <sub>H</sub>	USART0 - 拡張ステータス制御レジスタ	ESCR0	-	R/W	00000100
0000C6 <sub>H</sub>	USART0 - ボーレート/リロードカウンタレ ジスタ下位	BGRL0	BGR0	R/W	00000000
0000C7 <sub>H</sub>	USART0 - ボーレート/リロードカウンタレ ジスタ上位	BGRH0	-	R/W	00000000
0000C8 <sub>H</sub>	USART0 - 拡張シリアル割込みレジスタ	ESIR0	-	R/W	XXXX10X0
0000C9 <sub>H</sub>	USART0 - フレーム ID データレジスタ	FIDR0	-	R/W	00000000
0000CA <sub>H</sub> - 0000D3 <sub>H</sub>	予約	-	-	-	-
0000D4 <sub>H</sub>	USART2 - シリアルモードレジスタ	SMR2	-	R/W	00000000
0000D5 <sub>H</sub>	USART2 - シリアル制御レジスタ	SCR2	-	R/W	00000000
0000D6 <sub>H</sub>	USART2 - 送信データ レジスタ	TDR2	-	W	11111111
0000D6 <sub>H</sub>	USART2 - 受信データ レジスタ	RDR2	-	R	00000000
0000D7 <sub>H</sub>	USART2 - シリアルステータスレジスタ	SSR2	-	R/W	00001000
0000D8 <sub>H</sub>	USART2 - 拡張通信制御レジスタ	ECCR2	-	R/W	000000XX
0000D9 <sub>H</sub>	USART2 - 拡張ステータス制御レジスタ	ESCR2	-	R/W	00000100
0000DA <sub>H</sub>	USART2 - ボーレート/リロードカウンタレ ジスタ下位	BGRL2	BGR2	R/W	00000000
0000DB <sub>H</sub>	USART2 - ボーレート/リロードカウンタレ ジスタ上位	BGRH2	-	R/W	00000000
0000DC <sub>H</sub>	USART2 - 拡張シリアル割込みレジスタ	ESIR2	-	R/W	XXXX10X0
0000DD <sub>H</sub> - 0000EB <sub>H</sub>	予約	-	-	-	-
0000EC <sub>H</sub>	PPG - 汎用制御レジスタ	GCNR0	-	R/W	XXXXXX00

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0000ED <sub>H</sub> - 0000FF <sub>H</sub>	予約	-	-	-	-
000100 <sub>H</sub>	DMA0 - バッファアドレスポインタ下位	BAPL0	-	R/W	XXXXXXXX
000101 <sub>H</sub>	DMA0 - バッファアドレスポインタ中位	BAPM0	-	R/W	XXXXXXXX
000102 <sub>H</sub>	DMA0 - バッファアドレスポインタ上位	BAPH0	-	R/W	XXXXXXXX
000103 <sub>H</sub>	DMA0 - 制御レジスタ	DMACS0	-	R/W	XXXXXXXX
000104 <sub>H</sub>	DMA0 - I/O レジスタアドレスポインタ下位	IOAL0	IOA0	R/W	XXXXXXXX
000105 <sub>H</sub>	DMA0 - I/O レジスタアドレスポインタ上位	IOAH0	-	R/W	XXXXXXXX
000106 <sub>H</sub>	DMA0 - データカウントレジスタ下位	DCTL0	DCT0	R/W	XXXXXXXX
000107 <sub>H</sub>	DMA0 - データカウントレジスタ上位	DCTH0	-	R/W	XXXXXXXX
000108 <sub>H</sub>	DMA1 - バッファアドレスポインタ下位	BAPL1	-	R/W	XXXXXXXX
000109 <sub>H</sub>	DMA1 - バッファアドレスポインタ中位	BAPM1	-	R/W	XXXXXXXX
00010A <sub>H</sub>	DMA1 - バッファアドレスポインタ上位	BAPH1	-	R/W	XXXXXXXX
00010B <sub>H</sub>	DMA1 - 制御レジスタ	DMACS1	-	R/W	XXXXXXXX
00010C <sub>H</sub>	DMA1 - I/O レジスタアドレスポインタ下位	IOAL1	IOA1	R/W	XXXXXXXX
00010D <sub>H</sub>	DMA1 - I/O レジスタアドレスポインタ上位	IOAH1	-	R/W	XXXXXXXX
00010E <sub>H</sub>	DMA1 - データカウントレジスタ下位	DCTL1	DCT1	R/W	XXXXXXXX
00010F <sub>H</sub>	DMA1 - データカウントレジスタ上位	DCTH1	-	R/W	XXXXXXXX
000110 <sub>H</sub>	DMA2 - バッファアドレスポインタ下位	BAPL2	-	R/W	XXXXXXXX
000111 <sub>H</sub>	DMA2 - バッファアドレスポインタ中位	BAPM2	-	R/W	XXXXXXXX
000112 <sub>H</sub>	DMA2 - バッファアドレスポインタ上位	BAPH2	-	R/W	XXXXXXXX
000113 <sub>H</sub>	DMA2 - 制御レジスタ	DMACS2	-	R/W	XXXXXXXX
000114 <sub>H</sub>	DMA2 - I/O レジスタアドレスポインタ下位	IOAL2	IOA2	R/W	XXXXXXXX
000115 <sub>H</sub>	DMA2 - I/O レジスタアドレスポインタ上位	IOAH2	-	R/W	XXXXXXXX
000116 <sub>H</sub>	DMA2 - データカウントレジスタ下位	DCTL2	DCT2	R/W	XXXXXXXX
000117 <sub>H</sub>	DMA2 - データカウントレジスタ上位	DCTH2	-	R/W	XXXXXXXX
000118 <sub>H</sub>	DMA3 - バッファアドレスポインタ下位	BAPL3	-	R/W	XXXXXXXX
000119 <sub>H</sub>	DMA3 - バッファアドレスポインタ中位	BAPM3	-	R/W	XXXXXXXX
00011A <sub>H</sub>	DMA3 - バッファアドレスポインタ上位	BAPH3	-	R/W	XXXXXXXX
00011B <sub>H</sub>	DMA3 - 制御レジスタ	DMACS3	-	R/W	XXXXXXXX
00011C <sub>H</sub>	DMA3 - I/O レジスタアドレスポインタ下位	IOAL3	IOA3	R/W	XXXXXXXX
00011D <sub>H</sub>	DMA3 - I/O レジスタアドレスポインタ上位	IOAH3	-	R/W	XXXXXXXX
00011E <sub>H</sub>	DMA3 - データカウントレジスタ下位	DCTL3	DCT3	R/W	XXXXXXXX
00011F <sub>H</sub>	DMA3 - データカウントレジスタ上位	DCTH3	-	R/W	XXXXXXXX
000120 <sub>H</sub> - 00017F <sub>H</sub>	予約	-	-	-	-
000180 <sub>H</sub> - 00037F <sub>H</sub>	CPU - 汎用レジスタ(RAM アクセス)	GPR_RAM	-	R/W	-
000380 <sub>H</sub>	DMA0 - 割込み要求選択レジスタ	DISEL0	-	R/W	00001100

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000381 <sub>H</sub>	DMA1 - 割込み要求選択レジスタ	DISEL1	-	R/W	00001100
000382 <sub>H</sub>	DMA2 - 割込み要求選択レジスタ	DISEL2	-	R/W	00001100
000383 <sub>H</sub>	DMA3 - 割込み要求選択レジスタ	DISEL3	-	R/W	00001100
000384 <sub>H</sub> - 00038F <sub>H</sub>	予約	-	-	-	-
000390 <sub>H</sub>	DMA - ステータスレジスタ下位	DSRL	DSR	R/W	00000000
000391 <sub>H</sub>	DMA - ステータスレジスタ上位	DSRH	-	R/W	00000000
000392 <sub>H</sub>	DMA - 停止ステータスレジスタ下位	DSSRL	DSSR	R/W	00000000
000393 <sub>H</sub>	DMA - 停止ステータスレジスタ上位	DSSRH	-	R/W	00000000
000394 <sub>H</sub>	DMA - 許可レジスタ下位	DERL	DER	R/W	00000000
000395 <sub>H</sub>	DMA - 許可レジスタ上位	DERH	-	R/W	00000000
000396 <sub>H</sub> - 00039F <sub>H</sub>	予約	-	-	-	-
0003A0 <sub>H</sub>	割込み制御レジスタ 割込みレベル	ILR	ICR	R/W	XXXXX111
0003A1 <sub>H</sub>	割込み制御レジスタ インデックス	IDX	-	R/W	00001100
0003A2 <sub>H</sub>	割込みベクタテーブルベースレジスタ下位	TBRL	TBR	R/W	11111100
0003A3 <sub>H</sub>	割込みベクタテーブルベースレジスタ上位	TBRH	-	R/W	11111111
0003A4 <sub>H</sub>	遅延割込み要求レジスタ	DIRR	-	R/W	XXXXXXXX0
0003A5 <sub>H</sub>	NMI 制御ステータスレジスタ	NMI	-	R/W	XXXXX10X
0003A6 <sub>H</sub> - 0003AD <sub>H</sub>	予約	-	-	-	-
0003AE <sub>H</sub>	ROM ミラー機能選択レジスタ	ROMM	-	R/W	1111X111
0003AF <sub>H</sub> - 0003E7 <sub>H</sub>	予約	-	-	-	-
0003E8 <sub>H</sub>	デュアルオペレーションフラッシュ設定レジスタ A	DFCA	-	R/W	XXXXX000
0003E9 <sub>H</sub>	デュアルオペレーションフラッシュ割込み制御レジスタ A	DFICA	-	R/W	X0000000
0003EA <sub>H</sub>	デュアルオペレーションフラッシュステータスレジスタ A	DFSA	-	R	11000001
0003EB <sub>H</sub>	デュアルオペレーションフラッシュ割込みステータスレジスタ A	DFISA	-	R/W	X0000000
0003EC <sub>H</sub> - 0003F8 <sub>H</sub>	予約	-	-	-	-
0003F9 <sub>H</sub>	デュアルオペレーションフラッシュ書込みアクセス制御レジスタ 0A	DFWC0A	-	R/W	XXX00000
0003FA <sub>H</sub> - 0003FC <sub>H</sub>	予約	-	-	-	-
0003FD <sub>H</sub>	デュアルオペレーションフラッシュ書込みアクセス制御レジスタ 1A	DFWC1A	-	R/W	00000000
0003FE <sub>H</sub> , 0003FF <sub>H</sub>	予約	-	-	-	-
000400 <sub>H</sub>	スタンバイモード制御レジスタ	SMCR	-	R/W	XXX0X000
000401 <sub>H</sub>	クロック選択レジスタ	CKSR	-	R/W	10110000
000402 <sub>H</sub>	クロック安定化選択レジスタ	CKSSR	-	R/W	XX111111

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000403 <sub>H</sub>	クロックモニタレジスタ	CKMR	-	R	*0*0XXXX *:リセット要 因に依存
000404 <sub>H</sub>	クロック周波数制御レジスタ下位	CKFCRL	CKFCR	R/W	0000XXX1
000405 <sub>H</sub>	クロック周波数制御レジスタ上位	CKFCRH	-	R/W	00000000
000406 <sub>H</sub>	PLL 制御レジスタ下位	PLLCRL	PLLCR	R/W	000X0000
000407 <sub>H</sub>	PLL 制御レジスタ上位	PLLCRH	-	R/W	XXXXXXXX
000408 <sub>H</sub>	CR クロックタイマ制御レジスタ	RCTCR	-	R/W	X0010000
000409 <sub>H</sub>	メインクロックタイマ制御レジスタ	MCTCR	-	R/W	X0010000
00040A <sub>H</sub>	サブクロックタイマ制御レジスタ	SCTCR	-	R/W	X001X000
00040B <sub>H</sub>	リセット要因およびクロック状態レジスタ	RCCSRC	-	R	***** *:リセット要 因に依存
00040C <sub>H</sub>	リセット構成レジスタ	RCR	-	R/W	XX000*0 *:リセット要 因に依存
00040D <sub>H</sub>	リセット要因およびクロック状態レジスタ	RCCSR	-	R	***** *:リセット要 因に依存
00040E <sub>H</sub>	ウォッチドッグタイマ構成レジスタ	WDTC	WDT	R/W	0000**** *:WICM Marker に依存
00040F <sub>H</sub>	ウォッチドッグタイマクリアパターンレジスタ	WDTCP	-	W	00000000
000410 <sub>H</sub> - 000414 <sub>H</sub>	予約	-	-	-	-
000415 <sub>H</sub>	クロック出力起動レジスタ	COAR	-	R/W	00000000
000416 <sub>H</sub>	クロック出力構成レジスタ 0	COCR0	-	R/W	X0000000
000417 <sub>H</sub>	クロック出力構成レジスタ 1	COCR1	-	R/W	X0000000
000418 <sub>H</sub> - 00041F <sub>H</sub>	予約	-	-	-	-
000420 <sub>H</sub>	ウォッチドッグタイマ拡張構成レジスタ	WDTEC	-	R/W	XXX00000
000421 <sub>H</sub> - 00042B <sub>H</sub>	予約	-	-	-	-
00042C <sub>H</sub>	電圧レギュレータ制御レジスタ	VRCCR	-	R/W	10X10X10
00042D <sub>H</sub>	クロック入力および LVD 制御レジスタ	CILCR	-	R/W	00000000
00042E <sub>H</sub>	拡張スタンバイモード制御レジスタ	ESMCR	-	R/W	XXX00001
00042F <sub>H</sub>	予約	-	-	-	-
000430 <sub>H</sub>	I/O ポート P00 - データ方向レジスタ	DDR00	-	R/W	00000000
000431 <sub>H</sub>	I/O ポート P01 - データ方向レジスタ	DDR01	-	R/W	00000000
000432 <sub>H</sub>	I/O ポート P02 - データ方向レジスタ	DDR02	-	R/W	00000000
000433 <sub>H</sub>	I/O ポート P03 - データ方向レジスタ	DDR03	-	R/W	00000000
000434 <sub>H</sub>	I/O ポート P04 - データ方向レジスタ	DDR04	-	R/W	00000000
000435 <sub>H</sub>	I/O ポート P05 - データ方向レジスタ	DDR05	-	R/W	00000000
000436 <sub>H</sub>	I/O ポート P06 - データ方向レジスタ	DDR06	-	R/W	00000000
000437 <sub>H</sub>	予約	-	-	-	-
000438 <sub>H</sub>	I/O ポート P08 - データ方向レジスタ	DDR08	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000439 <sub>H</sub>	I/O ポート P09 - データ方向レジスタ	DDR09	-	R/W	00000000
00043A <sub>H</sub>	I/O ポート P10 - データ方向レジスタ	DDR10	-	R/W	00000000
00043B <sub>H</sub>	I/O ポート P11 - データ方向レジスタ	DDR11	-	R/W	00000000
00043C <sub>H</sub>	I/O ポート P12 - データ方向レジスタ	DDR12	-	R/W	00000000
00043D <sub>H</sub>	I/O ポート P13 - データ方向レジスタ	DDR13	-	R/W	00000000
00043E <sub>H</sub> - 000440 <sub>H</sub>	予約	-	-	-	-
000441 <sub>H</sub>	I/O ポート P17 - データ方向レジスタ	DDR17	-	R/W	00000000
000442 <sub>H</sub> , 000443 <sub>H</sub>	予約	-	-	-	-
000444 <sub>H</sub>	I/O ポート P00 - ポート入力許可レジスタ	PIER00	-	R/W	00000000
000445 <sub>H</sub>	I/O ポート P01 - ポート入力許可レジスタ	PIER01	-	R/W	00000000
000446 <sub>H</sub>	I/O ポート P02 - ポート入力許可レジスタ	PIER02	-	R/W	00000000
000447 <sub>H</sub>	I/O ポート P03 - ポート入力許可レジスタ	PIER03	-	R/W	00000000
000448 <sub>H</sub>	I/O ポート P04 - ポート入力許可レジスタ	PIER04	-	R/W	00000000
000449 <sub>H</sub>	I/O ポート P05 - ポート入力許可レジスタ	PIER05	-	R/W	00000000
00044A <sub>H</sub>	I/O ポート P06 - ポート入力許可レジスタ	PIER06	-	R/W	00000000
00044B <sub>H</sub>	予約	-	-	-	-
00044C <sub>H</sub>	I/O ポート P08 - ポート入力許可レジスタ	PIER08	-	R/W	00000000
00044D <sub>H</sub>	I/O ポート P09 - ポート入力許可レジスタ	PIER09	-	R/W	00000000
00044E <sub>H</sub>	I/O ポート P10 - ポート入力許可レジスタ	PIER10	-	R/W	00000000
00044F <sub>H</sub>	I/O ポート P11 - ポート入力許可レジスタ	PIER11	-	R/W	00000000
000450 <sub>H</sub>	I/O ポート P12 - ポート入力許可レジスタ	PIER12	-	R/W	00000000
000451 <sub>H</sub>	I/O ポート P13 - ポート入力許可レジスタ	PIER13	-	R/W	00000000
000452 <sub>H</sub> - 000454 <sub>H</sub>	予約	-	-	-	-
000455 <sub>H</sub>	I/O ポート P17 - ポート入力許可レジスタ	PIER17	-	R/W	00000000
000456 <sub>H</sub> - 0004A7 <sub>H</sub>	予約	-	-	-	-
0004A8 <sub>H</sub>	I/O ポート P00 - ブルアップ制御レジスタ	PUCR00	-	R/W	00000000
0004A9 <sub>H</sub>	I/O ポート P01 - ブルアップ制御レジスタ	PUCR01	-	R/W	00000000
0004AA <sub>H</sub>	I/O ポート P02 - ブルアップ制御レジスタ	PUCR02	-	R/W	00000000
0004AB <sub>H</sub>	I/O ポート P03 - ブルアップ制御レジスタ	PUCR03	-	R/W	00000000
0004AC <sub>H</sub>	I/O ポート P04 - ブルアップ制御レジスタ	PUCR04	-	R/W	00000000
0004AD <sub>H</sub>	I/O ポート P05 - ブルアップ制御レジスタ	PUCR05	-	R/W	00000000
0004AE <sub>H</sub>	I/O ポート P06 - ブルアップ制御レジスタ	PUCR06	-	R/W	00000000
0004AF <sub>H</sub>	予約	-	-	-	-
0004B0 <sub>H</sub>	I/O ポート P08 - ブルアップ制御レジスタ	PUCR08	-	R/W	00000000
0004B1 <sub>H</sub>	I/O ポート P09 - ブルアップ制御レジスタ	PUCR09	-	R/W	00000000
0004B2 <sub>H</sub>	I/O ポート P10 - ブルアップ制御レジスタ	PUCR10	-	R/W	00000000
0004B3 <sub>H</sub>	I/O ポート P11 - ブルアップ制御レジスタ	PUCR11	-	R/W	00000000
0004B4 <sub>H</sub>	I/O ポート P12 - ブルアップ制御レジスタ	PUCR12	-	R/W	00000000
0004B5 <sub>H</sub>	I/O ポート P13 - ブルアップ制御レジスタ	PUCR13	-	R/W	00000000
0004B6 <sub>H</sub> - 0004B8 <sub>H</sub>	予約	-	-	-	-
0004B9 <sub>H</sub>	I/O ポート P17 - ブルアップ制御レジスタ	PUCR17	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0004BA <sub>H</sub> , 0004BB <sub>H</sub>	予約	-	-	-	-
0004BC <sub>H</sub>	I/O ポート P00 - 外部端子状態レジスタ	EPSR00	-	R	XXXXXXXX
0004BD <sub>H</sub>	I/O ポート P01 - 外部端子状態レジスタ	EPSR01	-	R	XXXXXXXX
0004BE <sub>H</sub>	I/O ポート P02 - 外部端子状態レジスタ	EPSR02	-	R	XXXXXXXX
0004BF <sub>H</sub>	I/O ポート P03 - 外部端子状態レジスタ	EPSR03	-	R	XXXXXXXX
0004C0 <sub>H</sub>	I/O ポート P04 - 外部端子状態レジスタ	EPSR04	-	R	XXXXXXXX
0004C1 <sub>H</sub>	I/O ポート P05 - 外部端子状態レジスタ	EPSR05	-	R	XXXXXXXX
0004C2 <sub>H</sub>	I/O ポート P06 - 外部端子状態レジスタ	EPSR06	-	R	XXXXXXXX
0004C3 <sub>H</sub>	予約	-	-	-	-
0004C4 <sub>H</sub>	I/O ポート P08 - 外部端子状態レジスタ	EPSR08	-	R	XXXXXXXX
0004C5 <sub>H</sub>	I/O ポート P09 - 外部端子状態レジスタ	EPSR09	-	R	XXXXXXXX
0004C6 <sub>H</sub>	I/O ポート P10 - 外部端子状態レジスタ	EPSR10	-	R	XXXXXXXX
0004C7 <sub>H</sub>	I/O ポート P11 - 外部端子状態レジスタ	EPSR11	-	R	XXXXXXXX
0004C8 <sub>H</sub>	I/O ポート P12 - 外部端子状態レジスタ	EPSR12	-	R	XXXXXXXX
0004C9 <sub>H</sub>	I/O ポート P13 - 外部端子状態レジスタ	EPSR13	-	R	XXXXXXXX
0004CA <sub>H</sub> - 0004CC <sub>H</sub>	予約	-	-	-	-
0004CD <sub>H</sub>	I/O ポート P17 - 外部端子状態レジスタ	EPSR17	-	R	XXXXXXXX
0004CE <sub>H</sub> , 0004CF <sub>H</sub>	予約	-	-	-	-
0004D0 <sub>H</sub>	ADC0 アナログ入力許可レジスタ 0	ADER0	-	R/W	00000000
0004D1 <sub>H</sub>	ADC0 アナログ入力許可レジスタ 1	ADER1	-	R/W	00000000
0004D2 <sub>H</sub>	ADC0 アナログ入力許可レジスタ 2	ADER2	-	R/W	00000000
0004D3 <sub>H</sub>	ADC0 アナログ入力許可レジスタ 3	ADER3	-	R/W	00000000
0004D4 <sub>H</sub> , 0004D5 <sub>H</sub>	予約	-	-	-	-
0004D6 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 0	PRRR0	-	R/W	00000000
0004D7 <sub>H</sub>	予約	-	-	-	-
0004D8 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 2	PRRR2	-	R/W	00000000
0004D9 <sub>H</sub>	予約	-	-	-	-
0004DA <sub>H</sub>	周辺リソース端子リロケーションレジスタ 4	PRRR4	-	R/W	00000000
0004DB <sub>H</sub>	周辺リソース端子リロケーションレジスタ 5	PRRR5	-	R/W	00XX0000
0004DC <sub>H</sub>	周辺リソース端子リロケーションレジスタ 6	PRRR6	-	R/W	00000000
0004DD <sub>H</sub>	予約	-	-	-	-
0004DE <sub>H</sub>	周辺リソース端子リロケーションレジスタ 8	PRRR8	-	R/W	00000000
0004DF <sub>H</sub>	周辺リソース端子リロケーションレジスタ 9	PRRR9	-	R/W	XX000000
0004E0 <sub>H</sub>	RTC - サブセカンドレジスタ L	WTBR0L	WTBR0	R/W	XXXXXXXX
0004E1 <sub>H</sub>	RTC - サブセカンドレジスタ M	WTBR0M	-	R/W	XXXXXXXX
0004E2 <sub>H</sub>	RTC - サブセカンドレジスタ H	WTBR0H	-	R/W	XXXXXXXX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0004E3 <sub>H</sub>	RTC - 秒レジスタ	WTSR	-	R/W	XX***** *:リセット要 因に依存
0004E4 <sub>H</sub>	RTC - 分レジスタ	WTMR	-	R/W	XX***** *:リセット要 因に依存
0004E5 <sub>H</sub>	RTC - 時レジスタ	WTHR	-	R/W	XXX***** *:リセット要 因に依存
0004E6 <sub>H</sub>	RTC - タイマ制御拡張レジスタ	WTCER	-	R/W	XXXXXX00
0004E7 <sub>H</sub>	RTC - クロック選択レジスタ	WTCKSR	-	R/W	XXXXXX00
0004E8 <sub>H</sub>	RTC - タイマ制御レジスタ下位	WTCRL	WTCR	R/W	XXXXX000
0004E9 <sub>H</sub>	RTC - タイマ制御レジスタ上位	WTCRH	-	R/W	00000000
0004EA <sub>H</sub>	CAL - クロック補正ユニット制御レジスタ	CUCR	-	R/W	XXX0X000
0004EB <sub>H</sub>	予約	-	-	-	-
0004EC <sub>H</sub>	CAL - クロック補正ユニット測定時間タイ マデータレジスタ下位	CUTDL	CUTD	R/W	00000000
0004ED <sub>H</sub>	CAL - クロック補正ユニット測定時間タイ マデータレジスタ上位	CUTDH	-	R/W	10000000
0004EE <sub>H</sub>	CAL - クロック補正ユニット補正タイマ データレジスタ 2 下位	CUTR2L	CUTR2	R	00000000
0004EF <sub>H</sub>	CAL - クロック補正ユニット補正タイマ データレジスタ 2 上位	CUTR2H	-	R	00000000
0004F0 <sub>H</sub>	CAL - クロック補正ユニット補正タイマ データレジスタ 1 下位	CUTR1L	CUTR1	R	00000000
0004F1 <sub>H</sub>	CAL - クロック補正ユニット補正タイマ データレジスタ 1 上位	CUTR1H	-	R	00000000
0004F2 <sub>H</sub> - 0004F9 <sub>H</sub>	予約	-	-	-	-
0004FA <sub>H</sub>	RLT - リロードタイマ入力選択レジスタ(カ スケード用)	TMISR	-	R/W	XX000000
0004FB <sub>H</sub> - 0004FF <sub>H</sub>	予約	-	-	-	-
000500 <sub>H</sub>	FRT2 - データレジスタ	-	TCDT2	R/W	00000000
000501 <sub>H</sub>	FRT2 - データレジスタ	-	-	R/W	00000000
000502 <sub>H</sub>	FRT2 - コントロールステータスレジスタ 下位	TCCSL2	TCCS2	R/W	00000000
000503 <sub>H</sub>	FRT2 - コントロールステータスレジスタ 上位	TCCSH2	-	R/W	01XXXXXX
000504 <sub>H</sub> - 000513 <sub>H</sub>	予約	-	-	-	-
000514 <sub>H</sub>	ICU8/ICU9 - コントロールステータスレジ スタ	ICS89	-	R/W	00000000
000515 <sub>H</sub>	ICU8/ICU9 - エッジレジスタ	ICE89	-	R/W	XXX0X000
000516 <sub>H</sub> , 000517 <sub>H</sub>	予約	-	-	-	-
000518 <sub>H</sub>	ICU9 - データレジスタ下位	IPCPL9	IPCP9	R	XXXXXXXX



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000519 <sub>H</sub>	ICU9 - データレジスタ上位	IPCPH9	-	R	XXXXXXXX
00051A <sub>H</sub> - 00051F <sub>H</sub>	予約	-	-	-	-
000520 <sub>H</sub>	USART4 - シリアルモードレジスタ	SMR4	-	R/W	00000000
000521 <sub>H</sub>	USART4 - シリアル制御レジスタ	SCR4	-	R/W	00000000
000522 <sub>H</sub>	USART4 - 送信データ レジスタ	TDR4	-	W	11111111
000522 <sub>H</sub>	USART4 - 受信データ レジスタ	RDR4	-	R	00000000
000523 <sub>H</sub>	USART4 - シリアルステータスレジスタ	SSR4	-	R/W	00001000
000524 <sub>H</sub>	USART4 - 拡張通信制御レジスタ	ECCR4	-	R/W	000000XX
000525 <sub>H</sub>	USART4 - 拡張ステータス制御レジスタ	ESCR4	-	R/W	00000100
000526 <sub>H</sub>	USART4 - ボーレート/リロードカウンタレジスタ下位	BGRL4	BGR4	R/W	00000000
000527 <sub>H</sub>	USART4 - ボーレート/リロードカウンタレジスタ上位	BGRH4	-	R/W	00000000
000528 <sub>H</sub>	USART4 - 拡張シリアル割込みレジスタ	ESIR4	-	R/W	XXXX10X0
000529 <sub>H</sub>	予約	-	-	-	-
00052A <sub>H</sub>	USART5 - シリアルモードレジスタ	SMR5	-	R/W	00000000
00052B <sub>H</sub>	USART5 - シリアル制御レジスタ	SCR5	-	R/W	00000000
00052C <sub>H</sub>	USART5 - 送信データ レジスタ	TDR5	-	W	11111111
00052C <sub>H</sub>	USART5 - 受信データ レジスタ	RDR5	-	R	00000000
00052D <sub>H</sub>	USART5 - シリアルステータスレジスタ	SSR5	-	R/W	00001000
00052E <sub>H</sub>	USART5 - 拡張通信制御レジスタ	ECCR5	-	R/W	000000XX
00052F <sub>H</sub>	USART5 - 拡張ステータス制御レジスタ	ESCR5	-	R/W	00000100
000530 <sub>H</sub>	USART5 - ボーレート/リロードカウンタレジスタ下位	BGRL5	BGR5	R/W	00000000
000531 <sub>H</sub>	USART5 - ボーレート/リロードカウンタレジスタ上位	BGRH5	-	R/W	00000000
000532 <sub>H</sub>	USART5 - 拡張シリアル割込みレジスタ	ESIR5	-	R/W	XXXX10X0
000533 <sub>H</sub> - 00053D <sub>H</sub>	予約	-	-	-	-
00053E <sub>H</sub>	USART7 - シリアルモードレジスタ	SMR7	-	R/W	00000000
00053F <sub>H</sub>	USART7 - シリアル制御レジスタ	SCR7	-	R/W	00000000
000540 <sub>H</sub>	USART7 - 送信データ レジスタ	TDR7	-	W	11111111
000540 <sub>H</sub>	USART7 - 受信データ レジスタ	RDR7	-	R	00000000
000541 <sub>H</sub>	USART7 - シリアルステータスレジスタ	SSR7	-	R/W	00001000
000542 <sub>H</sub>	USART7 - 拡張通信制御レジスタ	ECCR7	-	R/W	000000XX
000543 <sub>H</sub>	USART7 - 拡張ステータス制御レジスタ	ESCR7	-	R/W	00000100
000544 <sub>H</sub>	USART7 - ボーレート/リロードカウンタレジスタ下位	BGRL7	BGR7	R/W	00000000
000545 <sub>H</sub>	USART7 - ボーレート/リロードカウンタレジスタ上位	BGRH7	-	R/W	00000000
000546 <sub>H</sub>	USART7 - 拡張シリアル割込みレジスタ	ESIR7	-	R/W	XXXX10X0
000547 <sub>H</sub> - 000563 <sub>H</sub>	予約	-	-	-	-
000564 <sub>H</sub>	PPG6 - タイマレジスタ	-	PTMR6	R	11111111
000565 <sub>H</sub>	PPG6 - タイマレジスタ	-	-	R	11111111
000566 <sub>H</sub>	PPG6 - 周期設定レジスタ下位	PCSRL6	PCSR6	R/W	XXXXXXXX



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000567 <sub>H</sub>	PPG6 - 周期設定レジスタ上位	PCSRH6	-	R/W	XXXXXXXXXX
000568 <sub>H</sub>	PPG6 - デューティ設定レジスタ下位	PDUTL6	PDUT6	R/W	XXXXXXXXXX
000569 <sub>H</sub>	PPG6 - デューティ設定レジスタ上位	PDUTH6	-	R/W	XXXXXXXXXX
00056A <sub>H</sub>	PPG6 - 制御ステータスレジスタ下位	PCNL6	PCN6	R/W	00000000
00056B <sub>H</sub>	PPG6 - 制御ステータスレジスタ上位	PCNH6	-	R/W	00000000
00056C <sub>H</sub>	PPG7 - タイマレジスタ	-	PTMR7	R	11111111
00056D <sub>H</sub>	PPG7 - タイマレジスタ	-	-	R	11111111
00056E <sub>H</sub>	PPG7 - 周期設定レジスタ下位	PC SRL7	PCSR7	R/W	XXXXXXXXXX
00056F <sub>H</sub>	PPG7 - 周期設定レジスタ上位	PCSRH7	-	R/W	XXXXXXXXXX
000570 <sub>H</sub>	PPG7 - デューティ設定レジスタ下位	PDUTL7	PDUT7	R/W	XXXXXXXXXX
000571 <sub>H</sub>	PPG7 - デューティ設定レジスタ上位	PDUTH7	-	R/W	XXXXXXXXXX
000572 <sub>H</sub>	PPG7 - 制御ステータスレジスタ下位	PCNL7	PCN7	R/W	00000000
000573 <sub>H</sub>	PPG7 - 制御ステータスレジスタ上位	PCNH7	-	R/W	00000000
000574 <sub>H</sub>	PPG11-PPG8 - 汎用制御レジスタ 1 下位	GCN1L2	GCN12	R/W	00010000
000575 <sub>H</sub>	PPG11-PPG8 - 汎用制御レジスタ 1 上位	GCN1H2	-	R/W	00110010
000576 <sub>H</sub>	PPG11-PPG8 - 汎用制御レジスタ 2 下位	GCN2L2	GCN22	R/W	XXXX0000
000577 <sub>H</sub>	PPG11-PPG8 - 汎用制御レジスタ 2 上位	GCN2H2	-	R/W	XXXX0000
000578 <sub>H</sub>	PPG8 - タイマレジスタ	-	PTMR8	R	11111111
000579 <sub>H</sub>	PPG8 - タイマレジスタ	-	-	R	11111111
00057A <sub>H</sub>	PPG8 - 周期設定レジスタ下位	PC SRL8	PCSR8	R/W	XXXXXXXXXX
00057B <sub>H</sub>	PPG8 - 周期設定レジスタ上位	PCSRH8	-	R/W	XXXXXXXXXX
00057C <sub>H</sub>	PPG8 - デューティ設定レジスタ下位	PDUTL8	PDUT8	R/W	XXXXXXXXXX
00057D <sub>H</sub>	PPG8 - デューティ設定レジスタ上位	PDUTH8	-	R/W	XXXXXXXXXX
00057E <sub>H</sub>	PPG8 - 制御ステータスレジスタ下位	PCNL8	PCN8	R/W	00000000
00057F <sub>H</sub>	PPG8 - 制御ステータスレジスタ上位	PCNH8	-	R/W	00000000
000580 <sub>H</sub>	PPG9 - タイマレジスタ	-	PTMR9	R	11111111
000581 <sub>H</sub>	PPG9 - タイマレジスタ	-	-	R	11111111
000582 <sub>H</sub>	PPG9 - 周期設定レジスタ下位	PC SRL9	PCSR9	R/W	XXXXXXXXXX
000583 <sub>H</sub>	PPG9 - 周期設定レジスタ上位	PCSRH9	-	R/W	XXXXXXXXXX
000584 <sub>H</sub>	PPG9 - デューティ設定レジスタ下位	PDUTL9	PDUT9	R/W	XXXXXXXXXX
000585 <sub>H</sub>	PPG9 - デューティ設定レジスタ上位	PDUTH9	-	R/W	XXXXXXXXXX
000586 <sub>H</sub>	PPG9 - 制御ステータスレジスタ下位	PCNL9	PCN9	R/W	00000000
000587 <sub>H</sub>	PPG9 - 制御ステータスレジスタ上位	PCNH9	-	R/W	00000000
000588 <sub>H</sub>	PPG10 - タイマレジスタ	-	PTMR10	R	11111111
000589 <sub>H</sub>	PPG10 - タイマレジスタ	-	-	R	11111111
00058A <sub>H</sub>	PPG10 - 周期設定レジスタ下位	PC SRL10	PCSR10	R/W	XXXXXXXXXX
00058B <sub>H</sub>	PPG10 - 周期設定レジスタ上位	PCSRH10	-	R/W	XXXXXXXXXX
00058C <sub>H</sub>	PPG10 - デューティ設定レジスタ下位	PDUTL10	PDUT10	R/W	XXXXXXXXXX
00058D <sub>H</sub>	PPG10 - デューティ設定レジスタ上位	PDUTH10	-	R/W	XXXXXXXXXX
00058E <sub>H</sub>	PPG10 - 制御ステータスレジスタ下位	PCNL10	PCN10	R/W	00000000
00058F <sub>H</sub>	PPG10 - 制御ステータスレジスタ上位	PCNH10	-	R/W	00000000
000590 <sub>H</sub>	PPG11 - タイマレジスタ	-	PTMR11	R	11111111
000591 <sub>H</sub>	PPG11 - タイマレジスタ	-	-	R	11111111
000592 <sub>H</sub>	PPG11 - 周期設定レジスタ下位	PC SRL11	PCSR11	R/W	XXXXXXXXXX
000593 <sub>H</sub>	PPG11 - 周期設定レジスタ上位	PCSRH11	-	R/W	XXXXXXXXXX
000594 <sub>H</sub>	PPG11 - デューティ設定レジスタ下位	PDUTL11	PDUT11	R/W	XXXXXXXXXX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000595 <sub>H</sub>	PPG11 - デューティ設定レジスタ上位	PDUTH11	-	R/W	XXXXXXXXXX
000596 <sub>H</sub>	PPG11 - 制御ステータスレジスタ下位	PCNL11	PCN11	R/W	00000000
000597 <sub>H</sub>	PPG11 - 制御ステータスレジスタ上位	PCNH11	-	R/W	00000000
000598 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 1 下位	GCN1L3	GCN13	R/W	00010000
000599 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 1 上位	GCN1H3	-	R/W	00110010
00059A <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 2 下位	GCN2L3	GCN23	R/W	XXXX0000
00059B <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 2 上位	GCN2H3	-	R/W	XXXX0000
00059C <sub>H</sub>	PPG12 - タイマレジスタ	-	PTMR12	R	11111111
00059D <sub>H</sub>	PPG12 - タイマレジスタ	-	-	R	11111111
00059E <sub>H</sub>	PPG12 - 周期設定レジスタ下位	PCSRL12	PCSR12	R/W	XXXXXXXXXX
00059F <sub>H</sub>	PPG12 - 周期設定レジスタ上位	PCSRH12	-	R/W	XXXXXXXXXX
0005A0 <sub>H</sub>	PPG12 - デューティ設定レジスタ下位	PDUTL12	PDUT12	R/W	XXXXXXXXXX
0005A1 <sub>H</sub>	PPG12 - デューティ設定レジスタ上位	PDUTH12	-	R/W	XXXXXXXXXX
0005A2 <sub>H</sub>	PPG12 - 制御ステータスレジスタ下位	PCNL12	PCN12	R/W	00000000
0005A3 <sub>H</sub>	PPG12 - 制御ステータスレジスタ上位	PCNH12	-	R/W	00000000
0005A4 <sub>H</sub>	PPG13 - タイマレジスタ	-	PTMR13	R	11111111
0005A5 <sub>H</sub>	PPG13 - タイマレジスタ	-	-	R	11111111
0005A6 <sub>H</sub>	PPG13 - 周期設定レジスタ下位	PCSRL13	PCSR13	R/W	XXXXXXXXXX
0005A7 <sub>H</sub>	PPG13 - 周期設定レジスタ上位	PCSRH13	-	R/W	XXXXXXXXXX
0005A8 <sub>H</sub>	PPG13 - デューティ設定レジスタ下位	PDUTL13	PDUT13	R/W	XXXXXXXXXX
0005A9 <sub>H</sub>	PPG13 - デューティ設定レジスタ上位	PDUTH13	-	R/W	XXXXXXXXXX
0005AA <sub>H</sub>	PPG13 - 制御ステータスレジスタ下位	PCNL13	PCN13	R/W	00000000
0005AB <sub>H</sub>	PPG13 - 制御ステータスレジスタ上位	PCNH13	-	R/W	00000000
0005AC <sub>H</sub>	PPG14 - タイマレジスタ	-	PTMR14	R	11111111
0005AD <sub>H</sub>	PPG14 - タイマレジスタ	-	-	R	11111111
0005AE <sub>H</sub>	PPG14 - 周期設定レジスタ下位	PCSRL14	PCSR14	R/W	XXXXXXXXXX
0005AF <sub>H</sub>	PPG14 - 周期設定レジスタ上位	PCSRH14	-	R/W	XXXXXXXXXX
0005B0 <sub>H</sub>	PPG14 - デューティ設定レジスタ下位	PDUTL14	PDUT14	R/W	XXXXXXXXXX
0005B1 <sub>H</sub>	PPG14 - デューティ設定レジスタ上位	PDUTH14	-	R/W	XXXXXXXXXX
0005B2 <sub>H</sub>	PPG14 - 制御ステータスレジスタ下位	PCNL14	PCN14	R/W	00000000
0005B3 <sub>H</sub>	PPG14 - 制御ステータスレジスタ上位	PCNH14	-	R/W	00000000
0005B4 <sub>H</sub>	PPG15 - タイマレジスタ	-	PTMR15	R	11111111
0005B5 <sub>H</sub>	PPG15 - タイマレジスタ	-	-	R	11111111
0005B6 <sub>H</sub>	PPG15 - 周期設定レジスタ下位	PCSRL15	PCSR15	R/W	XXXXXXXXXX
0005B7 <sub>H</sub>	PPG15 - 周期設定レジスタ上位	PCSRH15	-	R/W	XXXXXXXXXX
0005B8 <sub>H</sub>	PPG15 - デューティ設定レジスタ下位	PDUTL15	PDUT15	R/W	XXXXXXXXXX
0005B9 <sub>H</sub>	PPG15 - デューティ設定レジスタ上位	PDUTH15	-	R/W	XXXXXXXXXX
0005BA <sub>H</sub>	PPG15 - 制御ステータスレジスタ下位	PCNL15	PCN15	R/W	00000000
0005BB <sub>H</sub>	PPG15 - 制御ステータスレジスタ上位	PCNH15	-	R/W	00000000
0005BC <sub>H</sub> - 00065F <sub>H</sub>	予約	-	-	-	-
000660 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 10	PRRR10	-	R/W	00000000
000661 <sub>H</sub>	予約	-	-	-	-
000662 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 12	PRRR12	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000663 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 13	PRRR13	-	R/W	XXX0XX00
000664 <sub>H</sub> - 0006FF <sub>H</sub>	予約	-	-	-	-
000700 <sub>H</sub>	CAN0 - 制御レジスタ下位	CTRLRL0	CTRLR0	R/W	000X0001
000701 <sub>H</sub>	CAN0 - 制御レジスタ上位(予約)	CTRLRH0	-	R	XXXXXXXX
000702 <sub>H</sub>	CAN0 - ステータスレジスタ下位	STATRL0	STATR0	R/W	00000000
000703 <sub>H</sub>	CAN0 - ステータスレジスタ上位(予約)	STATRH0	-	R	XXXXXXXX
000704 <sub>H</sub>	CAN0 - エラーカウンタ下位(送信)	ERRCNTL0	ERRCNT0	R	00000000
000705 <sub>H</sub>	CAN0 - エラーカウンタ上位(受信)	ERRCNTH0	-	R	00000000
000706 <sub>H</sub>	CAN0 - ビットタイミングレジスタ下位	BTRL0	BTR0	R/W	00000001
000707 <sub>H</sub>	CAN0 - ビットタイミングレジスタ上位	BTRH0	-	R/W	X0100011
000708 <sub>H</sub>	CAN0 - 割込みレジスタ下位	INTRL0	INTR0	R	00000000
000709 <sub>H</sub>	CAN0 - 割込みレジスタ上位	INTRH0	-	R	00000000
00070A <sub>H</sub>	CAN0 - テストレジスタ下位	TESTRL0	TESTR0	R/W	X00000XX
00070B <sub>H</sub>	CAN0 - テストレジスタ上位(予約)	TESTRH0	-	R	XXXXXXXX
00070C <sub>H</sub>	CAN0 - BRP 拡張レジスタ下位	BRPERL0	BRPER0	R/W	XXXX0000
00070D <sub>H</sub>	CAN0 - BRP 拡張レジスタ上位(予約)	BRPERH0	-	R	XXXXXXXX
00070E <sub>H</sub> , 00070F <sub>H</sub>	予約	-	-	-	-
000710 <sub>H</sub>	CAN0 - IF1 コマンドリクエストレジスタ 下位	IF1CREQL0	IF1CREQ0	R/W	00000001
000711 <sub>H</sub>	CAN0 - IF1 コマンドリクエストレジスタ 上位	IF1CREQH0	-	R/W	0XXXXXXXX
000712 <sub>H</sub>	CAN0 - IF1 コマンドマスクレジスタ下位	IF1CMSKL0	IF1CMSK0	R/W	00000000
000713 <sub>H</sub>	CAN0 - IF1 コマンドマスクレジスタ上位 (予約)	IF1CMSKH0	-	R	XXXXXXXX
000714 <sub>H</sub>	CAN0 - IF1 マスク 1 レジスタ下位	IF1MSK1L0	IF1MSK10	R/W	11111111
000715 <sub>H</sub>	CAN0 - IF1 マスク 1 レジスタ上位	IF1MSK1H0	-	R/W	11111111
000716 <sub>H</sub>	CAN0 - IF1 マスク 2 レジスタ下位	IF1MSK2L0	IF1MSK20	R/W	11111111
000717 <sub>H</sub>	CAN0 - IF1 マスク 2 レジスタ上位	IF1MSK2H0	-	R/W	11X11111
000718 <sub>H</sub>	CAN0 - IF1 アービトレーション 1 レジ スタ下位	IF1ARB1L0	IF1ARB10	R/W	00000000
000719 <sub>H</sub>	CAN0 - IF1 アービトレーション 1 レジ スタ上位	IF1ARB1H0	-	R/W	00000000
00071A <sub>H</sub>	CAN0 - IF1 アービトレーション 2 レジ スタ下位	IF1ARB2L0	IF1ARB20	R/W	00000000
00071B <sub>H</sub>	CAN0 - IF1 アービトレーション 2 レジ スタ上位	IF1ARB2H0	-	R/W	00000000
00071C <sub>H</sub>	CAN0 - IF1 メッセージ制御レジスタ下位	IF1MCTRL0	IF1MCTR0	R/W	0XXX0000
00071D <sub>H</sub>	CAN0 - IF1 メッセージ制御レジスタ上位	IF1MCTRH0	-	R/W	00000000
00071E <sub>H</sub>	CAN0 - IF1 データ A1 下位	IF1DTA1L0	IF1DTA10	R/W	00000000
00071F <sub>H</sub>	CAN0 - IF1 データ A1 上位	IF1DTA1H0	-	R/W	00000000
000720 <sub>H</sub>	CAN0 - IF1 データ A2 下位	IF1DTA2L0	IF1DTA20	R/W	00000000
000721 <sub>H</sub>	CAN0 - IF1 データ A2 上位	IF1DTA2H0	-	R/W	00000000
000722 <sub>H</sub>	CAN0 - IF1 データ B1 下位	IF1DTB1L0	IF1DTB10	R/W	00000000
000723 <sub>H</sub>	CAN0 - IF1 データ B1 上位	IF1DTB1H0	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000724 <sub>H</sub>	CAN0 - IF1 データ B2 下位	IF1DTB2L0	IF1DTB20	R/W	00000000
000725 <sub>H</sub>	CAN0 - IF1 データ B2 上位	IF1DTB2H0	-	R/W	00000000
000726 <sub>H</sub> - 00073F <sub>H</sub>	予約	-	-	-	-
000740 <sub>H</sub>	CAN0 - IF2 コマンドリクエストレジスタ 下位	IF2CREQL0	IF2CREQ0	R/W	00000001
000741 <sub>H</sub>	CAN0 - IF2 コマンドリクエストレジスタ 上位	IF2CREQH0	-	R/W	0XXXXXXXX
000742 <sub>H</sub>	CAN0 - IF2 コマンドマスクレジスタ下位	IF2CMSKL0	IF2CMSK0	R/W	00000000
000743 <sub>H</sub>	CAN0 - IF2 コマンドマスクレジスタ上位 (予約)	IF2CMSKH0	-	R	XXXXXXXXX
000744 <sub>H</sub>	CAN0 - IF2 マスク 1 レジスタ下位	IF2MSK1L0	IF2MSK10	R/W	11111111
000745 <sub>H</sub>	CAN0 - IF2 マスク 1 レジスタ上位	IF2MSK1H0	-	R/W	11111111
000746 <sub>H</sub>	CAN0 - IF2 マスク 2 レジスタ下位	IF2MSK2L0	IF2MSK20	R/W	11111111
000747 <sub>H</sub>	CAN0 - IF2 マスク 2 レジスタ上位	IF2MSK2H0	-	R/W	11X11111
000748 <sub>H</sub>	CAN0 - IF2 アービトレーション 1 レジス タ下位	IF2ARB1L0	IF2ARB10	R/W	00000000
000749 <sub>H</sub>	CAN0 - IF2 アービトレーション 1 レジス タ上位	IF2ARB1H0	-	R/W	00000000
00074A <sub>H</sub>	CAN0 - IF2 アービトレーション 2 レジス タ下位	IF2ARB2L0	IF2ARB20	R/W	00000000
00074B <sub>H</sub>	CAN0 - IF2 アービトレーション 2 レジス タ上位	IF2ARB2H0	-	R/W	00000000
00074C <sub>H</sub>	CAN0 - IF2 メッセージ制御レジスタ下位	IF2MCTRL0	IF2MCTR0	R/W	0XXX0000
00074D <sub>H</sub>	CAN0 - IF2 メッセージ制御レジスタ上位	IF2MCTRH0	-	R/W	00000000
00074E <sub>H</sub>	CAN0 - IF2 データ A1 下位	IF2DTA1L0	IF2DTA10	R/W	00000000
00074F <sub>H</sub>	CAN0 - IF2 データ A1 上位	IF2DTA1H0	-	R/W	00000000
000750 <sub>H</sub>	CAN0 - IF2 データ A2 下位	IF2DTA2L0	IF2DTA20	R/W	00000000
000751 <sub>H</sub>	CAN0 - IF2 データ A2 上位	IF2DTA2H0	-	R/W	00000000
000752 <sub>H</sub>	CAN0 - IF2 データ B1 下位	IF2DTB1L0	IF2DTB10	R/W	00000000
000753 <sub>H</sub>	CAN0 - IF2 データ B1 上位	IF2DTB1H0	-	R/W	00000000
000754 <sub>H</sub>	CAN0 - IF2 データ B2 下位	IF2DTB2L0	IF2DTB20	R/W	00000000
000755 <sub>H</sub>	CAN0 - IF2 データ B2 上位	IF2DTB2H0	-	R/W	00000000
000756 <sub>H</sub> - 00077F <sub>H</sub>	予約	-	-	-	-
000780 <sub>H</sub>	CAN0 - 送信リクエスト 1 レジスタ下位	TREQR1L0	TREQR10	R	00000000
000781 <sub>H</sub>	CAN0 - 送信リクエスト 1 レジスタ上位	TREQR1H0	-	R	00000000
000782 <sub>H</sub>	CAN0 - 送信リクエスト 2 レジスタ下位	TREQR2L0	TREQR20	R	00000000
000783 <sub>H</sub>	CAN0 - 送信リクエスト 2 レジスタ上位	TREQR2H0	-	R	00000000
000784 <sub>H</sub> - 00078F <sub>H</sub>	予約	-	-	-	-
000790 <sub>H</sub>	CAN0 - 新規データ 1 レジスタ下位	NEWDT1L0	NEWDT10	R	00000000
000791 <sub>H</sub>	CAN0 - 新規データ 1 レジスタ上位	NEWDT1H0	-	R	00000000
000792 <sub>H</sub>	CAN0 - 新規データ 2 レジスタ下位	NEWDT2L0	NEWDT20	R	00000000
000793 <sub>H</sub>	CAN0 - 新規データ 2 レジスタ上位	NEWDT2H0	-	R	00000000
000794 <sub>H</sub> - 00079F <sub>H</sub>	予約	-	-	-	-

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0007A0 <sub>H</sub>	CAN0 - 割込み保留 1 レジスタ下位	INTPND1L0	INTPND10	R	00000000
0007A1 <sub>H</sub>	CAN0 - 割込み保留 1 レジスタ上位	INTPND1H0	-	R	00000000
0007A2 <sub>H</sub>	CAN0 - 割込み保留 2 レジスタ下位	INTPND2L0	INTPND20	R	00000000
0007A3 <sub>H</sub>	CAN0 - 割込み保留 2 レジスタ上位	INTPND2H0	-	R	00000000
0007A4 <sub>H</sub> - 0007AF <sub>H</sub>	予約	-	-	-	-
0007B0 <sub>H</sub>	CAN0 - メッセージ有効 1 レジスタ下位	MSGVAL1L0	MSGVAL10	R	00000000
0007B1 <sub>H</sub>	CAN0 - メッセージ有効 1 レジスタ上位	MSGVAL1H0	-	R	00000000
0007B2 <sub>H</sub>	CAN0 - メッセージ有効 2 レジスタ下位	MSGVAL2L0	MSGVAL20	R	00000000
0007B3 <sub>H</sub>	CAN0 - メッセージ有効 2 レジスタ上位	MSGVAL2H0	-	R	00000000
0007B4 <sub>H</sub> - 0007CD <sub>H</sub>	予約	-	-	-	-
0007CE <sub>H</sub>	CAN0 - 出力許可レジスタ	COER0	-	R/W	XXXXXXXX0
0007CF <sub>H</sub> - 0009FF <sub>H</sub>	予約	-	-	-	-
000A00 <sub>H</sub>	DMA - I/O アドレスポインタバンク選択レジスタ 0	IOABK0	-	R/W	00000000
000A01 <sub>H</sub>	DMA - I/O アドレスポインタバンク選択レジスタ 1	IOABK1	-	R/W	00000000
000A02 <sub>H</sub>	DMA - I/O アドレスポインタバンク選択レジスタ 2	IOABK2	-	R/W	00000000
000A03 <sub>H</sub>	DMA - I/O アドレスポインタバンク選択レジスタ 3	IOABK3	-	R/W	00000000
000A04 <sub>H</sub> - 000A7F <sub>H</sub>	予約	-	-	-	-
000A80 <sub>H</sub>	PPG0 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L0	EPCN10	R/W	0XXXX000
000A81 <sub>H</sub>	PPG0 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H0	-	R/W	XXX00000
000A82 <sub>H</sub>	PPG1 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L1	EPCN11	R/W	0XXXX000
000A83 <sub>H</sub>	PPG1 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H1	-	R/W	XXX00000
000A84 <sub>H</sub>	PPG2 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L2	EPCN12	R/W	0XXXX000
000A85 <sub>H</sub>	PPG2 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H2	-	R/W	XXX00000
000A86 <sub>H</sub>	PPG3 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L3	EPCN13	R/W	0XXXX000
000A87 <sub>H</sub>	PPG3 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H3	-	R/W	XXX00000
000A88 <sub>H</sub>	PPG4 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L4	EPCN14	R/W	0XXXX000
000A89 <sub>H</sub>	PPG4 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H4	-	R/W	XXX00000
000A8A <sub>H</sub> , 000A8B <sub>H</sub>	予約	-	-	-	-

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000A8C <sub>H</sub>	PPG6 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L6	EPCN16	R/W	0XXXXX000
000A8D <sub>H</sub>	PPG6 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H6	-	R/W	XXX00000
000A8E <sub>H</sub>	PPG7 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L7	EPCN17	R/W	0XXXXX000
000A8F <sub>H</sub>	PPG7 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H7	-	R/W	XXX00000
000A90 <sub>H</sub>	PPG8 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L8	EPCN18	R/W	0XXXXX000
000A91 <sub>H</sub>	PPG8 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H8	-	R/W	XXX00000
000A92 <sub>H</sub>	PPG9 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L9	EPCN19	R/W	0XXXXX000
000A93 <sub>H</sub>	PPG9 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H9	-	R/W	XXX00000
000A94 <sub>H</sub>	PPG10 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L10	EPCN110	R/W	0XXXXX000
000A95 <sub>H</sub>	PPG10 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H10	-	R/W	XXX00000
000A96 <sub>H</sub>	PPG11 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L11	EPCN111	R/W	0XXXXX000
000A97 <sub>H</sub>	PPG11 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H11	-	R/W	XXX00000
000A98 <sub>H</sub>	PPG12 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L12	EPCN112	R/W	0XXXXX000
000A99 <sub>H</sub>	PPG12 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H12	-	R/W	XXX00000
000A9A <sub>H</sub>	PPG13 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L13	EPCN113	R/W	0XXXXX000
000A9B <sub>H</sub>	PPG13 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H13	-	R/W	XXX00000
000A9C <sub>H</sub>	PPG14 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L14	EPCN114	R/W	0XXXXX000
000A9D <sub>H</sub>	PPG14 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H14	-	R/W	XXX00000
000A9E <sub>H</sub>	PPG15 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L15	EPCN115	R/W	0XXXXX000
000A9F <sub>H</sub>	PPG15 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H15	-	R/W	XXX00000
000AA0 <sub>H</sub> - 000AEF <sub>H</sub>	予約	-	-	-	-
000AF0 <sub>H</sub>	QPRC0 - 位置カウントレジスタ	-	QPCR0	R/W	00000000
000AF1 <sub>H</sub>	QPRC0 - 位置カウントレジスタ	-	-	R/W	00000000
000AF2 <sub>H</sub>	QPRC0 - 回転カウントレジスタ	-	QRCR0	R/W	00000000
000AF3 <sub>H</sub>	QPRC0 - 回転カウントレジスタ	-	-	R/W	00000000
000AF4 <sub>H</sub>	QPRC0 - 割込み制御レジスタ下位	QICRL0	QICR0	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000AF5 <sub>H</sub>	QPRC0 - 割込み制御レジスタ上位	QICRH0	-	R/W	00000000
000AF6 <sub>H</sub>	QPRC0 - 拡張制御レジスタ下位	QECRL0	QECR0	R/W	00000000
000AF7 <sub>H</sub>	QPRC0 - 拡張制御レジスタ上位	QECRH0	-	R/W	00000000
000AF8 <sub>H</sub>	QPRC1 - 位置カウントレジスタ	-	QPCR1	R/W	00000000
000AF9 <sub>H</sub>	QPRC1 - 位置カウントレジスタ	-	-	R/W	00000000
000AFA <sub>H</sub>	QPRC1 - 回転カウントレジスタ	-	QRCR1	R/W	00000000
000AFB <sub>H</sub>	QPRC1 - 回転カウントレジスタ	-	-	R/W	00000000
000AFC <sub>H</sub>	QPRC1 - 割込み制御レジスタ下位	QICRL1	QICR1	R/W	00000000
000AFD <sub>H</sub>	QPRC1 - 割込み制御レジスタ上位	QICRH1	-	R/W	00000000
000AFE <sub>H</sub>	QPRC1 - 拡張制御レジスタ下位	QECRL1	QECR1	R/W	00000000
000AFF <sub>H</sub>	QPRC1 - 拡張制御レジスタ上位	QECRH1	-	R/W	00000000
000B00 <sub>H</sub> - 000B53 <sub>H</sub>	予約	-	-	-	-
000B54 <sub>H</sub>	ADC0 - レンジ比較しきい値超過フラグレジスタ 0	ADRCOOF00	-	R	00000000
000B55 <sub>H</sub>	ADC0 - レンジ比較しきい値超過フラグレジスタ 1	ADRCOOF10	-	R	00000000
000B56 <sub>H</sub>	ADC0 - レンジ比較しきい値超過フラグレジスタ 2	ADRCOOF20	-	R	00000000
000B57 <sub>H</sub>	ADC0 - レンジ比較しきい値超過フラグレジスタ 3	ADRCOOF30	-	R	00000000
000B58 <sub>H</sub> - 000B5B <sub>H</sub>	予約	-	-	-	-
000B5C <sub>H</sub>	ADC0 - レンジ比較フラグレジスタ 0	ADRCOINTF00	-	R/W	00000000
000B5D <sub>H</sub>	ADC0 - レンジ比較フラグレジスタ 1	ADRCOINTF10	-	R/W	00000000
000B5E <sub>H</sub>	ADC0 - レンジ比較フラグレジスタ 2	ADRCOINTF20	-	R/W	00000000
000B5F <sub>H</sub>	ADC0 - レンジ比較フラグレジスタ 3	ADRCOINTF30	-	R/W	00000000
000B60 <sub>H</sub> - 000BA9 <sub>H</sub>	予約	-	-	-	-
000BAA <sub>H</sub>	USART0 - チェックサムステータス制御レジスタ	CSCR0	-	R/W	00000000
000BAB <sub>H</sub>	USART0 - 拡張ステータスレジスタ	ESR0	-	R/W	XX000000
000BAC <sub>H</sub> - 000BAE <sub>H</sub>	予約	-	-	-	-
000BAF <sub>H</sub>	USART2 - 拡張ステータスレジスタ	ESR2	-	R/W	XXXX00XX
000BB0 <sub>H</sub> - 000BB2 <sub>H</sub>	予約	-	-	-	-
000BB3 <sub>H</sub>	USART4 - 拡張ステータスレジスタ	ESR4	-	R/W	XXXX00XX
000BB4 <sub>H</sub>	予約	-	-	-	-
000BB5 <sub>H</sub>	USART5 - 拡張ステータスレジスタ	ESR5	-	R/W	XXXX00XX
000BB6 <sub>H</sub> - 000BB8 <sub>H</sub>	予約	-	-	-	-
000BB9 <sub>H</sub>	USART7 - 拡張ステータスレジスタ	ESR7	-	R/W	XXXX00XX
000BBA <sub>H</sub> - 000BEF <sub>H</sub>	予約	-	-	-	-
000BF0 <sub>H</sub>	DSU 制御レジスタ 下位	DSUCRL	DSUCR	R/W	XXXXXXXX0
000BF1 <sub>H</sub>	DSU 制御レジスタ 上位	DSUCRH	-	R/W	XXXXXXXXX



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000BF2 <sub>H</sub> , 000BF3 <sub>H</sub>	予約	-	-	-	-
000BF4 <sub>H</sub>	ユーザイベントレジスタ 下位	UERL	UER	W	XXXXXXXX
000BF5 <sub>H</sub>	ユーザイベントレジスタ 上位	UERH	-	R/W	XXXXXXXX
000BF6 <sub>H</sub>	メッセージバッファレジスタ 下位	MBRL	MBR	W	XXXXXXXX
000BF7 <sub>H</sub>	メッセージバッファレジスタ 上位	MBRH	-	R/W	0XXXXXXXX
000BF8 <sub>H</sub> - 000BFF <sub>H</sub>	予約	-	-	-	-
0E9000 <sub>H</sub> - 0E9301 <sub>H</sub>	予約	-	-	-	-
0E9302 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 4 下位	GCN4L0	GCN40	R/W	X110X110
0E9303 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 4 上位	GCN4H0	-	R/W	X110X110
0E9304 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 5 下位	GCN5L0	GCN50	R/W	00000000
0E9305 <sub>H</sub> - 0E930F <sub>H</sub>	予約	-	-	-	-
0E9310 <sub>H</sub>	PPG0 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L0	EPCN20	R/W	00XX0X0X
0E9311 <sub>H</sub>	予約	-	-	-	-
0E9312 <sub>H</sub>	PPG0 - スタートディレイレジスタ下位	PSDRL0	PSDR0	R/W	00000000
0E9313 <sub>H</sub>	PPG0 - スタートディレイレジスタ上位	PSDRH0	-	R/W	00000000
0E9314 <sub>H</sub>	PPG0 - タイミングポイントキャプチャレジ スタ下位	PTPCL0	PTPC0	R/W	00000000
0E9315 <sub>H</sub>	PPG0 - タイミングポイントキャプチャレジ スタ上位	PTPCH0	-	R/W	00000000
0E9316 <sub>H</sub> - 0E931F <sub>H</sub>	予約	-	-	-	-
0E9320 <sub>H</sub>	PPG1 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L1	EPCN21	R/W	00XX0X0X
0E9321 <sub>H</sub>	予約	-	-	-	-
0E9322 <sub>H</sub>	PPG1 - スタートディレイレジスタ下位	PSDRL1	PSDR1	R/W	00000000
0E9323 <sub>H</sub>	PPG1 - スタートディレイレジスタ上位	PSDRH1	-	R/W	00000000
0E9324 <sub>H</sub>	PPG1 - タイミングポイントキャプチャレジ スタ下位	PTPCL1	PTPC1	R/W	00000000
0E9325 <sub>H</sub>	PPG1 - タイミングポイントキャプチャレジ スタ上位	PTPCH1	-	R/W	00000000
0E9326 <sub>H</sub> - 0E932F <sub>H</sub>	予約	-	-	-	-
0E9330 <sub>H</sub>	PPG2 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L2	EPCN22	R/W	00XX0X0X
0E9331 <sub>H</sub>	予約	-	-	-	-
0E9332 <sub>H</sub>	PPG2 - スタートディレイレジスタ下位	PSDRL2	PSDR2	R/W	00000000
0E9333 <sub>H</sub>	PPG2 - スタートディレイレジスタ上位	PSDRH2	-	R/W	00000000
0E9334 <sub>H</sub>	PPG2 - タイミングポイントキャプチャレジ スタ下位	PTPCL2	PTPC2	R/W	00000000
0E9335 <sub>H</sub>	PPG2 - タイミングポイントキャプチャレジ スタ上位	PTPCH2	-	R/W	00000000



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9336 <sub>H</sub> - 0E933F <sub>H</sub>	予約	-	-	-	-
0E9340 <sub>H</sub>	PPG3 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L3	EPCN23	R/W	00XX0X0X
0E9341 <sub>H</sub>	予約	-	-	-	-
0E9342 <sub>H</sub>	PPG3 - スタートディレイレジスタ下位	PSDRL3	PSDR3	R/W	00000000
0E9343 <sub>H</sub>	PPG3 - スタートディレイレジスタ上位	PSDRH3	-	R/W	00000000
0E9344 <sub>H</sub>	PPG3 - タイミングポイントキャプチャレジ スタ下位	PTPCL3	PTPC3	R/W	00000000
0E9345 <sub>H</sub>	PPG3 - タイミングポイントキャプチャレジ スタ上位	PTPCH3	-	R/W	00000000
0E9346 <sub>H</sub> - 0E9351 <sub>H</sub>	予約	-	-	-	-
0E9352 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 4 下位	GCN4L1	GCN41	R/W	X110X110
0E9353 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 4 上位	GCN4H1	-	R/W	X110X110
0E9354 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 5 下位	GCN5L1	GCN51	R/W	00000000
0E9355 <sub>H</sub> - 0E935F <sub>H</sub>	予約	-	-	-	-
0E9360 <sub>H</sub>	PPG4 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L4	EPCN24	R/W	00XX0X0X
0E9361 <sub>H</sub>	予約	-	-	-	-
0E9362 <sub>H</sub>	PPG4 - スタートディレイレジスタ下位	PSDRL4	PSDR4	R/W	00000000
0E9363 <sub>H</sub>	PPG4 - スタートディレイレジスタ上位	PSDRH4	-	R/W	00000000
0E9364 <sub>H</sub>	PPG4 - タイミングポイントキャプチャレジ スタ下位	PTPCL4	PTPC4	R/W	00000000
0E9365 <sub>H</sub>	PPG4 - タイミングポイントキャプチャレジ スタ上位	PTPCH4	-	R/W	00000000
0E9366 <sub>H</sub> - 0E937F <sub>H</sub>	予約	-	-	-	-
0E9380 <sub>H</sub>	PPG6 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L6	EPCN26	R/W	00XX0X0X
0E9381 <sub>H</sub>	予約	-	-	-	-
0E9382 <sub>H</sub>	PPG6 - スタートディレイレジスタ下位	PSDRL6	PSDR6	R/W	00000000
0E9383 <sub>H</sub>	PPG6 - スタートディレイレジスタ上位	PSDRH6	-	R/W	00000000
0E9384 <sub>H</sub>	PPG6 - タイミングポイントキャプチャレジ スタ下位	PTPCL6	PTPC6	R/W	00000000
0E9385 <sub>H</sub>	PPG6 - タイミングポイントキャプチャレジ スタ上位	PTPCH6	-	R/W	00000000
0E9386 <sub>H</sub> - 0E938F <sub>H</sub>	予約	-	-	-	-
0E9390 <sub>H</sub>	PPG7 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L7	EPCN27	R/W	00XX0X0X
0E9391 <sub>H</sub>	予約	-	-	-	-
0E9392 <sub>H</sub>	PPG7 - スタートディレイレジスタ下位	PSDRL7	PSDR7	R/W	00000000
0E9393 <sub>H</sub>	PPG7 - スタートディレイレジスタ上位	PSDRH7	-	R/W	00000000
0E9394 <sub>H</sub>	PPG7 - タイミングポイントキャプチャレジ スタ下位	PTPCL7	PTPC7	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9395 <sub>H</sub>	PPG7 - タイミングポイントキャプチャレジスタ上位	PTPCH7	-	R/W	00000000
0E9396 <sub>H</sub> - 0E93A1 <sub>H</sub>	予約	-	-	-	-
0E93A2 <sub>H</sub>	PPG11-PPG8 - 汎用制御レジスタ 4 下位	GCN4L2	GCN42	R/W	X110X110
0E93A3 <sub>H</sub>	PPG11-PPG8 - 汎用制御レジスタ 4 上位	GCN4H2	-	R/W	X110X110
0E93A4 <sub>H</sub>	PPG11-PPG8 - 汎用制御レジスタ 5 下位	GCN5L2	GCN52	R/W	00000000
0E93A5 <sub>H</sub> - 0E93AF <sub>H</sub>	予約	-	-	-	-
0E93B0 <sub>H</sub>	PPG8 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L8	EPCN28	R/W	00XX0X0X
0E93B1 <sub>H</sub>	予約	-	-	-	-
0E93B2 <sub>H</sub>	PPG8 - スタートディレイレジスタ下位	PSDRL8	PSDR8	R/W	00000000
0E93B3 <sub>H</sub>	PPG8 - スタートディレイレジスタ上位	PSDRH8	-	R/W	00000000
0E93B4 <sub>H</sub>	PPG8 - タイミングポイントキャプチャレジスタ下位	PTPCL8	PTPC8	R/W	00000000
0E93B5 <sub>H</sub>	PPG8 - タイミングポイントキャプチャレジスタ上位	PTPCH8	-	R/W	00000000
0E93B6 <sub>H</sub> - 0E93BF <sub>H</sub>	予約	-	-	-	-
0E93C0 <sub>H</sub>	PPG9 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L9	EPCN29	R/W	00XX0X0X
0E93C1 <sub>H</sub>	予約	-	-	-	-
0E93C2 <sub>H</sub>	PPG9 - スタートディレイレジスタ下位	PSDRL9	PSDR9	R/W	00000000
0E93C3 <sub>H</sub>	PPG9 - スタートディレイレジスタ上位	PSDRH9	-	R/W	00000000
0E93C4 <sub>H</sub>	PPG9 - タイミングポイントキャプチャレジスタ下位	PTPCL9	PTPC9	R/W	00000000
0E93C5 <sub>H</sub>	PPG9 - タイミングポイントキャプチャレジスタ上位	PTPCH9	-	R/W	00000000
0E93C6 <sub>H</sub> - 0E93CF <sub>H</sub>	予約	-	-	-	-
0E93D0 <sub>H</sub>	PPG10 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L10	EPCN210	R/W	00XX0X0X
0E93D1 <sub>H</sub>	予約	-	-	-	-
0E93D2 <sub>H</sub>	PPG10 - スタートディレイレジスタ下位	PSDRL10	PSDR10	R/W	00000000
0E93D3 <sub>H</sub>	PPG10 - スタートディレイレジスタ上位	PSDRH10	-	R/W	00000000
0E93D4 <sub>H</sub>	PPG10 - タイミングポイントキャプチャレジスタ下位	PTPCL10	PTPC10	R/W	00000000
0E93D5 <sub>H</sub>	PPG10 - タイミングポイントキャプチャレジスタ上位	PTPCH10	-	R/W	00000000
0E93D6 <sub>H</sub> - 0E93DF <sub>H</sub>	予約	-	-	-	-
0E93E0 <sub>H</sub>	PPG11 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L11	EPCN211	R/W	00XX0X0X
0E93E1 <sub>H</sub>	予約	-	-	-	-
0E93E2 <sub>H</sub>	PPG11 - スタートディレイレジスタ下位	PSDRL11	PSDR11	R/W	00000000
0E93E3 <sub>H</sub>	PPG11 - スタートディレイレジスタ上位	PSDRH11	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E93E4 <sub>H</sub>	PPG11 - タイミングポイントキャプチャレジスタ下位	PTPCL11	PTPC11	R/W	00000000
0E93E5 <sub>H</sub>	PPG11 - タイミングポイントキャプチャレジスタ上位	PTPCH11	-	R/W	00000000
0E93E6 <sub>H</sub> - 0E9401 <sub>H</sub>	予約	-	-	-	-
0E9402 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 4 下位	GCN4L3	GCN43	R/W	X110X110
0E9403 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 4 上位	GCN4H3	-	R/W	X110X110
0E9404 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 5 下位	GCN5L3	GCN53	R/W	00000000
0E9405 <sub>H</sub> - 0E940F <sub>H</sub>	予約	-	-	-	-
0E9410 <sub>H</sub>	PPG12 - 拡張PPG制御ステータスレジスタ 2 下位	EPCN2L12	EPCN212	R/W	00XX0X0X
0E9411 <sub>H</sub>	予約	-	-	-	-
0E9412 <sub>H</sub>	PPG12 - スタートディレイレジスタ下位	PSDRL12	PSDR12	R/W	00000000
0E9413 <sub>H</sub>	PPG12 - スタートディレイレジスタ上位	PSDRH12	-	R/W	00000000
0E9414 <sub>H</sub>	PPG12 - タイミングポイントキャプチャレジスタ下位	PTPCL12	PTPC12	R/W	00000000
0E9415 <sub>H</sub>	PPG12 - タイミングポイントキャプチャレジスタ上位	PTPCH12	-	R/W	00000000
0E9416 <sub>H</sub> - 0E941F <sub>H</sub>	予約	-	-	-	-
0E9420 <sub>H</sub>	PPG13 - 拡張PPG制御ステータスレジスタ 2 下位	EPCN2L13	EPCN213	R/W	00XX0X0X
0E9421 <sub>H</sub>	予約	-	-	-	-
0E9422 <sub>H</sub>	PPG13 - スタートディレイレジスタ下位	PSDRL13	PSDR13	R/W	00000000
0E9423 <sub>H</sub>	PPG13 - スタートディレイレジスタ上位	PSDRH13	-	R/W	00000000
0E9424 <sub>H</sub>	PPG13 - タイミングポイントキャプチャレジスタ下位	PTPCL13	PTPC13	R/W	00000000
0E9425 <sub>H</sub>	PPG13 - タイミングポイントキャプチャレジスタ上位	PTPCH13	-	R/W	00000000
0E9426 <sub>H</sub> - 0E942F <sub>H</sub>	予約	-	-	-	-
0E9430 <sub>H</sub>	PPG14 - 拡張PPG制御ステータスレジスタ 2 下位	EPCN2L14	EPCN214	R/W	00XX0X0X
0E9431 <sub>H</sub>	予約	-	-	-	-
0E9432 <sub>H</sub>	PPG14 - スタートディレイレジスタ下位	PSDRL14	PSDR14	R/W	00000000
0E9433 <sub>H</sub>	PPG14 - スタートディレイレジスタ上位	PSDRH14	-	R/W	00000000
0E9434 <sub>H</sub>	PPG14 - タイミングポイントキャプチャレジスタ下位	PTPCL14	PTPC14	R/W	00000000
0E9435 <sub>H</sub>	PPG14 - タイミングポイントキャプチャレジスタ上位	PTPCH14	-	R/W	00000000
0E9436 <sub>H</sub> - 0E943F <sub>H</sub>	予約	-	-	-	-
0E9440 <sub>H</sub>	PPG15 - 拡張PPG制御ステータスレジスタ 2 下位	EPCN2L15	EPCN215	R/W	00XX0X0X
0E9441 <sub>H</sub>	予約	-	-	-	-

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9442 <sub>H</sub>	PPG15 - スタートディレイレジスタ下位	PSDRL15	PSDR15	R/W	00000000
0E9443 <sub>H</sub>	PPG15 - スタートディレイレジスタ上位	PSDRH15	-	R/W	00000000
0E9444 <sub>H</sub>	PPG15 - タイミングポイントキャプチャレジスタ下位	PTPCL15	PTPC15	R/W	00000000
0E9445 <sub>H</sub>	PPG15 - タイミングポイントキャプチャレジスタ上位	PTPCH15	-	R/W	00000000
0E9446 <sub>H</sub> - 0E949F <sub>H</sub>	予約	-	-	-	-
0E94A0 <sub>H</sub>	ADTG - ADC0 トリガ制御レジスタ下位	ADTGCRLO	ADTGCR0	R/W	XXXXXXXX
0E94A1 <sub>H</sub>	ADTG - ADC0 トリガ制御レジスタ上位	ADTGCRHO	-	R/W	XXXXXXXX1
0E94A2 <sub>H</sub>	ADTG - ADC0 トリガ入力選択下位	ADTGISELO	ADTGISELO	R/W	XXXXXX001
0E94A3 <sub>H</sub>	ADTG - ADC0 トリガ入力選択上位	ADTGISELHO	-	R/W	XXX00000
0E94A4 <sub>H</sub> - 0E951F <sub>H</sub>	予約	-	-	-	-
0E9520 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 0 下位	ADRCOLL00	ADRCOL00	R/W	00000000
0E9521 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 0 上位	ADRCOLH00	-	R/W	00000000
0E9522 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 0 下位	ADRCOHL00	ADRCOH00	R/W	00000000
0E9523 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 0 上位	ADRCOHH00	-	R/W	00000000
0E9524 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 1 下位	ADRCOLL10	ADRCOL10	R/W	00000000
0E9525 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 1 上位	ADRCOLH10	-	R/W	00000000
0E9526 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 1 下位	ADRCOHL10	ADRCOH10	R/W	00000000
0E9527 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 1 上位	ADRCOHH10	-	R/W	00000000
0E9528 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 2 下位	ADRCOLL20	ADRCOL20	R/W	00000000
0E9529 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 2 上位	ADRCOLH20	-	R/W	00000000
0E952A <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 2 下位	ADRCOHL20	ADRCOH20	R/W	00000000
0E952B <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 2 上位	ADRCOHH20	-	R/W	00000000
0E952C <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 3 下位	ADRCOLL30	ADRCOL30	R/W	00000000
0E952D <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 3 上位	ADRCOLH30	-	R/W	00000000
0E952E <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 3 下位	ADRCOHL30	ADRCOH30	R/W	00000000
0E952F <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 3 上位	ADRCOHH30	-	R/W	00000000
0E9530 <sub>H</sub>	ADC0 - チャネルスキップレジスタ 0	ADDSCR00	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9531 <sub>H</sub>	ADC0 - チャネルスキップレジスタ 1	ADDSCR10	-	R/W	00000000
0E9532 <sub>H</sub>	ADC0 - チャネルスキップレジスタ 2	ADDSCR20	-	R/W	00000000
0E9533 <sub>H</sub>	ADC0 - チャネルスキップレジスタ 3	ADDSCR30	-	R/W	00000000
0E9534 <sub>H</sub> - 0E953F <sub>H</sub>	予約	-	-	-	-
0E9540 <sub>H</sub>	ADC0 - レンジ比較インバートレンジ選択 レジスタ 0	ADRCOIRS00	-	R/W	00000000
0E9541 <sub>H</sub>	ADC0 - レンジ比較インバートレンジ選択 レジスタ 1	ADRCOIRS10	-	R/W	00000000
0E9542 <sub>H</sub>	ADC0 - レンジ比較インバートレンジ選択 レジスタ 2	ADRCOIRS20	-	R/W	00000000
0E9543 <sub>H</sub>	ADC0 - レンジ比較インバートレンジ選択 レジスタ 3	ADRCOIRS30	-	R/W	00000000
0E9544 <sub>H</sub> - 0E9550 <sub>H</sub>	予約	-	-	-	-
0E9551 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 1	ADCC010	-	R/W	00000000
0E9552 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 2	ADCC020	-	R/W	00000000
0E9553 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 3	ADCC030	-	R/W	00000000
0E9554 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 4	ADCC040	-	R/W	00000000
0E9555 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 5	ADCC050	-	R/W	00000000
0E9556 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 6	ADCC060	-	R/W	00000000
0E9557 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 7	ADCC070	-	R/W	00000000
0E9558 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 8	ADCC080	-	R/W	00000000
0E9559 <sub>H</sub>	予約	-	-	-	-
0E955A <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 10	ADCC100	-	R/W	00000000
0E955B <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 11	ADCC110	-	R/W	00000000
0E955C <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 12	ADCC120	-	R/W	00000000
0E955D <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 13	ADCC130	-	R/W	00000000
0E955E <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 14	ADCC140	-	R/W	00000000
0E955F <sub>H</sub> - 0E977F <sub>H</sub>	予約	-	-	-	-
0E9780 <sub>H</sub>	QPRC0 - 位置カウンタ比較レジスタ	-	QPCCR0	R/W	00000000
0E9781 <sub>H</sub>	QPRC0 - 位置カウンタ比較レジスタ	-	-	R/W	00000000
0E9782 <sub>H</sub>	QPRC0 - 位置&回転カウンタ比較レジスタ	-	QPRCR0	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9783 <sub>H</sub>	QPRC0 - 位置&回転カウンタ比較レジスタ	-	-	R/W	00000000
0E9784 <sub>H</sub>	QPRC0 - 最大位置レジスタ	-	QMPR0	R/W	11111111
0E9785 <sub>H</sub>	QPRC0 - 最大位置レジスタ	-	-	R/W	11111111
0E9786 <sub>H</sub>	QPRC0 - 制御レジスタ下位	QCRL0	QCR0	R/W	00000000
0E9787 <sub>H</sub>	QPRC0 - 制御レジスタ上位	QCRH0	-	R/W	00000000
0E9788 <sub>H</sub> - 0E978F <sub>H</sub>	予約	-	-	-	-
0E9790 <sub>H</sub>	QPRC1 - 位置カウンタ比較レジスタ	-	QPCCR1	R/W	00000000
0E9791 <sub>H</sub>	QPRC1 - 位置カウンタ比較レジスタ	-	-	R/W	00000000
0E9792 <sub>H</sub>	QPRC1 - 位置&回転カウンタ比較レジスタ	-	QPRCR1	R/W	00000000
0E9793 <sub>H</sub>	QPRC1 - 位置&回転カウンタ比較レジスタ	-	-	R/W	00000000
0E9794 <sub>H</sub>	QPRC1 - 最大位置レジスタ	-	QMPR1	R/W	11111111
0E9795 <sub>H</sub>	QPRC1 - 最大位置レジスタ	-	-	R/W	11111111
0E9796 <sub>H</sub>	QPRC1 - 制御レジスタ下位	QCRL1	QCR1	R/W	00000000
0E9797 <sub>H</sub>	QPRC1 - 制御レジスタ上位	QCRH1	-	R/W	00000000
0E9798 <sub>H</sub> - 0E97BF <sub>H</sub>	予約	-	-	-	-
0E97C0 <sub>H</sub>	USART0 - 拡張機能許可レジスタ下位	EFERL0	EFER0	R/W	00000000
0E97C1 <sub>H</sub>	USART0 - 拡張機能許可レジスタ上位	EFERH0	-	R/W	XX000000
0E97C2 <sub>H</sub> - 0E97C5 <sub>H</sub>	予約	-	-	-	-
0E97C6 <sub>H</sub>	USART0 - Sync Field タイムアウトレジスタ下位	SFTRL0	SFTR0	R/W	00000000
0E97C7 <sub>H</sub>	USART0 - Sync Field タイムアウトレジスタ上位	SFTRH0	-	R/W	00000000
0E97C8 <sub>H</sub>	USART0 - 拡張割込み許可レジスタ	EIER0	-	R/W	XX000000
0E97C9 <sub>H</sub> - 0E97DF <sub>H</sub>	予約	-	-	-	-
0E97E0 <sub>H</sub>	USART2 - 拡張機能許可レジスタ下位	EFERL2	EFER2	R/W	00000XXX
0E97E1 <sub>H</sub>	USART2 - 拡張機能許可レジスタ上位	EFERH2	-	R/W	XX00X0X0
0E97E2 <sub>H</sub> - 0E97E7 <sub>H</sub>	予約	-	-	-	-
0E97E8 <sub>H</sub>	USART2 - 拡張割込み許可レジスタ	EIER2	-	R/W	XXXXXX00
0E97E9 <sub>H</sub> - 0E97FF <sub>H</sub>	予約	-	-	-	-
0E9800 <sub>H</sub>	USART4 - 拡張機能許可レジスタ下位	EFERL4	EFER4	R/W	00000XXX
0E9801 <sub>H</sub>	USART4 - 拡張機能許可レジスタ上位	EFERH4	-	R/W	XX00X0X0
0E9802 <sub>H</sub> - 0E9807 <sub>H</sub>	予約	-	-	-	-
0E9808 <sub>H</sub>	USART4 - 拡張割込み許可レジスタ	EIER4	-	R/W	XXXXXX00
0E9809 <sub>H</sub> - 0E980F <sub>H</sub>	予約	-	-	-	-
0E9810 <sub>H</sub>	USART5 - 拡張機能許可レジスタ下位	EFERL5	EFER5	R/W	00000XXX
0E9811 <sub>H</sub>	USART5 - 拡張機能許可レジスタ上位	EFERH5	-	R/W	XX00X0X0
0E9812 <sub>H</sub> - 0E9817 <sub>H</sub>	予約	-	-	-	-
0E9818 <sub>H</sub>	USART5 - 拡張割込み許可レジスタ	EIER5	-	R/W	XXXXXX00

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9819 <sub>H</sub> - 0E982F <sub>H</sub>	予約	-	-	-	-
0E9830 <sub>H</sub>	USART7 - 拡張機能許可レジスタ下位	EFERL7	EFER7	R/W	00000XXX
0E9831 <sub>H</sub>	USART7 - 拡張機能許可レジスタ上位	EFERH7	-	R/W	XX00X0X0
0E9832 <sub>H</sub> - 0E9837 <sub>H</sub>	予約	-	-	-	-
0E9838 <sub>H</sub>	USART7 - 拡張割込み許可レジスタ	EIER7	-	R/W	XXXXXX00
0E9839 <sub>H</sub> - 0FBFFF <sub>H</sub>	予約	-	-	-	-

## D. MB96640 の I/O マップ

各周辺機能のレジスタに割り当てられるアドレスを示します。

### ■ MB96640 の I/O マップ

表 D MB96640 の I/O マップ

アドレス	レジスタ	8 ビット アクセス時の レジスタ略称名	16 ビット アクセス時の レジスタ略称名	属性	初期値
000000 <sub>H</sub>	I/O ポート P00 - ポートデータレジスタ	PDR00	-	R/W	XXXXXXXX
000001 <sub>H</sub>	I/O ポート P01 - ポートデータレジスタ	PDR01	-	R/W	XXXXXXXX
000002 <sub>H</sub>	I/O ポート P02 - ポートデータレジスタ	PDR02	-	R/W	XXXXXXXX
000003 <sub>H</sub>	I/O ポート P03 - ポートデータレジスタ	PDR03	-	R/W	XXXXXXXX
000004 <sub>H</sub>	I/O ポート P04 - ポートデータレジスタ	PDR04	-	R/W	XXXXXXXX
000005 <sub>H</sub>	I/O ポート P05 - ポートデータレジスタ	PDR05	-	R/W	XXXXXXXX
000006 <sub>H</sub>	I/O ポート P06 - ポートデータレジスタ	PDR06	-	R/W	XXXXXXXX
000007 <sub>H</sub>	予約	-	-	-	-
000008 <sub>H</sub>	I/O ポート P08 - ポートデータレジスタ	PDR08	-	R/W	XXXXXXXX
000009 <sub>H</sub>	I/O ポート P09 - ポートデータレジスタ	PDR09	-	R/W	XXXXXXXX
00000A <sub>H</sub>	I/O ポート P10 - ポートデータレジスタ	PDR10	-	R/W	XXXXXXXX
00000B <sub>H</sub>	I/O ポート P11 - ポートデータレジスタ	PDR11	-	R/W	XXXXXXXX
00000C <sub>H</sub>	I/O ポート P12 - ポートデータレジスタ	PDR12	-	R/W	XXXXXXXX
00000D <sub>H</sub>	I/O ポート P13 - ポートデータレジスタ	PDR13	-	R/W	XXXXXXXX
00000E <sub>H</sub> - 000010 <sub>H</sub>	予約	-	-	-	-
000011 <sub>H</sub>	I/O ポート P17 - ポートデータレジスタ	PDR17	-	R/W	XXXXXXXX
000012 <sub>H</sub> - 000017 <sub>H</sub>	予約	-	-	-	-
000018 <sub>H</sub>	ADC0 - 制御状態レジスタ下位	ADCSL	ADCS	R/W	00000000
000019 <sub>H</sub>	ADC0 - 制御状態レジスタ上位	ADCSH	-	R/W	00000000
00001A <sub>H</sub>	ADC0 - データレジスタ下位	ADCRL	ADCR	R	00000000
00001B <sub>H</sub>	ADC0 - データレジスタ上位	ADCRH	-	R	00000000
00001C <sub>H</sub>	ADC0 - 設定レジスタ	-	ADSR	R/W	00000000
00001D <sub>H</sub>	ADC0 - 設定レジスタ	-	-	R/W	00000000
00001E <sub>H</sub> , 00001F <sub>H</sub>	予約	-	-	-	-
000020 <sub>H</sub>	FRT0 - データレジスタ	-	TCDT0	R/W	00000000
000021 <sub>H</sub>	FRT0 - データレジスタ	-	-	R/W	00000000
000022 <sub>H</sub>	FRT0 - コントロールステータスレジスタ 下位	TCCSL0	TCCS0	R/W	00000000
000023 <sub>H</sub>	FRT0 - コントロールステータスレジスタ 上位	TCCSH0	-	R/W	01XXXXXXXX
000024 <sub>H</sub>	FRT1 - データレジスタ	-	TCDT1	R/W	00000000
000025 <sub>H</sub>	FRT1 - データレジスタ	-	-	R/W	00000000
000026 <sub>H</sub>	FRT1 - コントロールステータスレジスタ 下位	TCCSL1	TCCS1	R/W	00000000



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000027 <sub>H</sub>	FRT1 - コントロールステータスレジスタ 上位	TCCSH1	-	R/W	01XXXXXX
000028 <sub>H</sub>	OCU0 - コントロールステータスレジスタ	OCS0	-	R/W	0000XX00
000029 <sub>H</sub>	OCU1 - コントロールステータスレジスタ	OCS1	-	R/W	0XX00000
00002A <sub>H</sub>	OCU0 - コンペアレジスタ	-	OCCP0	R/W	XXXXXXXX
00002B <sub>H</sub>	OCU0 - コンペアレジスタ	-	-	R/W	XXXXXXXX
00002C <sub>H</sub>	OCU1 - コンペアレジスタ	-	OCCP1	R/W	XXXXXXXX
00002D <sub>H</sub>	OCU1 - コンペアレジスタ	-	-	R/W	XXXXXXXX
00002E <sub>H</sub>	OCU2 - コントロールステータスレジスタ	OCS2	-	R/W	0000XX00
00002F <sub>H</sub>	OCU3 - コントロールステータスレジスタ	OCS3	-	R/W	0XX00000
000030 <sub>H</sub>	OCU2 - コンペアレジスタ	-	OCCP2	R/W	XXXXXXXX
000031 <sub>H</sub>	OCU2 - コンペアレジスタ	-	-	R/W	XXXXXXXX
000032 <sub>H</sub>	OCU3 - コンペアレジスタ	-	OCCP3	R/W	XXXXXXXX
000033 <sub>H</sub>	OCU3 - コンペアレジスタ	-	-	R/W	XXXXXXXX
000034 <sub>H</sub>	OCU4 - コントロールステータスレジスタ	OCS4	-	R/W	0000XX00
000035 <sub>H</sub>	OCU5 - コントロールステータスレジスタ	OCS5	-	R/W	0XX00000
000036 <sub>H</sub>	OCU4 - コンペアレジスタ	-	OCCP4	R/W	XXXXXXXX
000037 <sub>H</sub>	OCU4 - コンペアレジスタ	-	-	R/W	XXXXXXXX
000038 <sub>H</sub> , 000039 <sub>H</sub>	予約	-	-	-	-
00003A <sub>H</sub>	OCU6 - コントロールステータスレジスタ	OCS6	-	R/W	0000XX00
00003B <sub>H</sub>	OCU7 - コントロールステータスレジスタ	OCS7	-	R/W	0XX00000
00003C <sub>H</sub>	OCU6 - コンペアレジスタ	-	OCCP6	R/W	XXXXXXXX
00003D <sub>H</sub>	OCU6 - コンペアレジスタ	-	-	R/W	XXXXXXXX
00003E <sub>H</sub>	OCU7 - コンペアレジスタ	-	OCCP7	R/W	XXXXXXXX
00003F <sub>H</sub>	OCU7 - コンペアレジスタ	-	-	R/W	XXXXXXXX
000040 <sub>H</sub>	ICU0/ICU1 - コントロールステータスレジスタ	ICS01	-	R/W	00000000
000041 <sub>H</sub>	ICU0/ICU1 - エッジレジスタ	ICE01	-	R/W	XXX0X000
000042 <sub>H</sub>	ICU0 - データレジスタ下位	IPCPL0	IPCP0	R	XXXXXXXX
000043 <sub>H</sub>	ICU0 - データレジスタ上位	IPCPL0	-	R	XXXXXXXX
000044 <sub>H</sub>	ICU1 - データレジスタ下位	IPCPL1	IPCP1	R	XXXXXXXX
000045 <sub>H</sub>	ICU1 - データレジスタ上位	IPCPL1	-	R	XXXXXXXX
000046 <sub>H</sub> - 00004B <sub>H</sub>	予約	-	-	-	-
00004C <sub>H</sub>	ICU4/ICU5 - 制御ステータスレジスタ	ICS45	-	R/W	00000000
00004D <sub>H</sub>	ICU4/ICU5 - エッジレジスタ	ICE45	-	R/W	XXX0X000
00004E <sub>H</sub>	ICU4 - データレジスタ下位	IPCPL4	IPCP4	R	XXXXXXXX
00004F <sub>H</sub>	ICU4 - データレジスタ上位	IPCPL4	-	R	XXXXXXXX
000050 <sub>H</sub>	ICU5 - データレジスタ下位	IPCPL5	IPCP5	R	XXXXXXXX
000051 <sub>H</sub>	ICU5 - データレジスタ上位	IPCPL5	-	R	XXXXXXXX
000052 <sub>H</sub>	ICU6/ICU7 - 制御ステータスレジスタ	ICS67	-	R/W	00000000
000053 <sub>H</sub>	ICU6/ICU7 - エッジレジスタ	ICE67	-	R/W	XXX0X000
000054 <sub>H</sub>	ICU6 - データレジスタ下位	IPCPL6	IPCP6	R	XXXXXXXX
000055 <sub>H</sub>	ICU6 - データレジスタ上位	IPCPL6	-	R	XXXXXXXX
000056 <sub>H</sub>	ICU7 - データレジスタ下位	IPCPL7	IPCP7	R	XXXXXXXX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000057 <sub>H</sub>	ICU7 - データレジスタ上位	IPCPH7	-	R	XXXXXXXXXX
000058 <sub>H</sub>	EXTINT0 - 外部割込み要求許可レジスタ	ENIR0	-	R/W	00000000
000059 <sub>H</sub>	EXTINT0 - 外部割込み要求レジスタ	EIRR0	-	R/W	00000000
00005A <sub>H</sub>	EXTINT0 - 外部割込みレベルレジスタ下位	ELVRL0	ELVR0	R/W	00000000
00005B <sub>H</sub>	EXTINT0 - 外部割込みレベルレジスタ上位	ELVRH0	-	R/W	00000000
00005C <sub>H</sub>	EXTINT1 - 外部割込み要求許可レジスタ	ENIR1	-	R/W	00000000
00005D <sub>H</sub>	EXTINT1 - 外部割込み要求レジスタ	EIRR1	-	R/W	00000000
00005E <sub>H</sub>	EXTINT1 - 外部割込みレベルレジスタ下位	ELVRL1	ELVR1	R/W	00000000
00005F <sub>H</sub>	EXTINT1 - 外部割込みレベルレジスタ上位	ELVRH1	-	R/W	00000000
000060 <sub>H</sub>	RLT0 - タイマ制御状態レジスタ下位	TMCSRL0	TMCSR0	R/W	00000000
000061 <sub>H</sub>	RLT0 - タイマ制御状態レジスタ上位	TMCSRH0	-	R/W	00X10000
000062 <sub>H</sub>	RLT0 - 16ビットリロードレジスタ下位	-	TMRLR0	W	XXXXXXXXXX
000062 <sub>H</sub>	RLT0 - 16ビットタイマレジスタ下位	-	TMR0	R	XXXXXXXXXX
000063 <sub>H</sub>	RLT0 - 16ビットリロードレジスタ上位	-	-	W	XXXXXXXXXX
000063 <sub>H</sub>	RLT0 - 16ビットタイマレジスタ上位	-	-	R	XXXXXXXXXX
000064 <sub>H</sub>	RLT1 - タイマ制御状態レジスタ下位	TMCSRL1	TMCSR1	R/W	00000000
000065 <sub>H</sub>	RLT1 - タイマ制御状態レジスタ上位	TMCSRH1	-	R/W	00X10000
000066 <sub>H</sub>	RLT1 - 16ビットリロードレジスタ下位	-	TMRLR1	W	XXXXXXXXXX
000066 <sub>H</sub>	RLT1 - 16ビットタイマレジスタ下位	-	TMR1	R	XXXXXXXXXX
000067 <sub>H</sub>	RLT1 - 16ビットリロードレジスタ上位	-	-	W	XXXXXXXXXX
000067 <sub>H</sub>	RLT1 - 16ビットタイマレジスタ上位	-	-	R	XXXXXXXXXX
000068 <sub>H</sub>	RLT2 - タイマ制御状態レジスタ下位	TMCSRL2	TMCSR2	R/W	00000000
000069 <sub>H</sub>	RLT2 - タイマ制御状態レジスタ上位	TMCSRH2	-	R/W	00X10000
00006A <sub>H</sub>	RLT2 - 16ビットリロードレジスタ下位	-	TMRLR2	W	XXXXXXXXXX
00006A <sub>H</sub>	RLT2 - 16ビットタイマレジスタ下位	-	TMR2	R	XXXXXXXXXX
00006B <sub>H</sub>	RLT2 - 16ビットリロードレジスタ上位	-	-	W	XXXXXXXXXX
00006B <sub>H</sub>	RLT2 - 16ビットタイマレジスタ上位	-	-	R	XXXXXXXXXX
00006C <sub>H</sub>	RLT3 - タイマ制御状態レジスタ下位	TMCSRL3	TMCSR3	R/W	00000000
00006D <sub>H</sub>	RLT3 - タイマ制御状態レジスタ上位	TMCSRH3	-	R/W	00X10000
00006E <sub>H</sub>	RLT3 - 16ビットリロードレジスタ下位	-	TMRLR3	W	XXXXXXXXXX
00006E <sub>H</sub>	RLT3 - 16ビットタイマレジスタ下位	-	TMR3	R	XXXXXXXXXX
00006F <sub>H</sub>	RLT3 - 16ビットリロードレジスタ上位	-	-	W	XXXXXXXXXX
00006F <sub>H</sub>	RLT3 - 16ビットタイマレジスタ上位	-	-	R	XXXXXXXXXX
000070 <sub>H</sub>	RLT6 - タイマ制御状態レジスタ下位	TMCSRL6	TMCSR6	R/W	00000000
000071 <sub>H</sub>	RLT6 - タイマ制御状態レジスタ上位	TMCSRH6	-	R/W	00X10000
000072 <sub>H</sub>	RLT6 - 16ビットリロードレジスタ下位	-	TMRLR6	W	XXXXXXXXXX
000072 <sub>H</sub>	RLT6 - 16ビットタイマレジスタ下位	-	TMR6	R	XXXXXXXXXX
000073 <sub>H</sub>	RLT6 - 16ビットリロードレジスタ上位	-	-	W	XXXXXXXXXX
000073 <sub>H</sub>	RLT6 - 16ビットタイマレジスタ	-	-	R	XXXXXXXXXX
000074 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 1 下位	GCN1L0	GCN10	R/W	00010000
000075 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 1 上位	GCN1H0	-	R/W	00110010
000076 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 2 下位	GCN2L0	GCN20	R/W	XXXX0000
000077 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 2 上位	GCN2H0	-	R/W	XXXX0000
000078 <sub>H</sub>	PPG0 - タイマレジスタ	-	PTMR0	R	11111111
000079 <sub>H</sub>	PPG0 - タイマレジスタ	-	-	R	11111111
00007A <sub>H</sub>	PPG0 - 周期設定レジスタ下位	PCSRL0	PCSR0	R/W	XXXXXXXXXX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
00007B <sub>H</sub>	PPG0 - 周期設定レジスタ上位	PCSRH0	-	R/W	XXXXXXXXXX
00007C <sub>H</sub>	PPG0 - デューティ設定レジスタ下位	PDUTL0	PDUT0	R/W	XXXXXXXXXX
00007D <sub>H</sub>	PPG0 - デューティ設定レジスタ上位	PDUTH0	-	R/W	XXXXXXXXXX
00007E <sub>H</sub>	PPG0 - 制御ステータスレジスタ下位	PCNL0	PCN0	R/W	00000000
00007F <sub>H</sub>	PPG0 - 制御ステータスレジスタ上位	PCNH0	-	R/W	00000000
000080 <sub>H</sub>	PPG1 - タイマレジスタ	-	PTMR1	R	11111111
000081 <sub>H</sub>	PPG1 - タイマレジスタ	-	-	R	11111111
000082 <sub>H</sub>	PPG1 - 周期設定レジスタ下位	PCSRL1	PCSR1	R/W	XXXXXXXXXX
000083 <sub>H</sub>	PPG1 - 周期設定レジスタ上位	PCSRH1	-	R/W	XXXXXXXXXX
000084 <sub>H</sub>	PPG1 - デューティ設定レジスタ下位	PDUTL1	PDUT1	R/W	XXXXXXXXXX
000085 <sub>H</sub>	PPG1 - デューティ設定レジスタ上位	PDUTH1	-	R/W	XXXXXXXXXX
000086 <sub>H</sub>	PPG1 - 制御ステータスレジスタ下位	PCNL1	PCN1	R/W	00000000
000087 <sub>H</sub>	PPG1 - 制御ステータスレジスタ上位	PCNH1	-	R/W	00000000
000088 <sub>H</sub>	PPG2 - タイマレジスタ	-	PTMR2	R	11111111
000089 <sub>H</sub>	PPG2 - タイマレジスタ	-	-	R	11111111
00008A <sub>H</sub>	PPG2 - 周期設定レジスタ下位	PCSRL2	PCSR2	R/W	XXXXXXXXXX
00008B <sub>H</sub>	PPG2 - 周期設定レジスタ上位	PCSRH2	-	R/W	XXXXXXXXXX
00008C <sub>H</sub>	PPG2 - デューティ設定レジスタ下位	PDUTL2	PDUT2	R/W	XXXXXXXXXX
00008D <sub>H</sub>	PPG2 - デューティ設定レジスタ上位	PDUTH2	-	R/W	XXXXXXXXXX
00008E <sub>H</sub>	PPG2 - 制御ステータスレジスタ下位	PCNL2	PCN2	R/W	00000000
00008F <sub>H</sub>	PPG2 - 制御ステータスレジスタ上位	PCNH2	-	R/W	00000000
000090 <sub>H</sub>	PPG3 - タイマレジスタ	-	PTMR3	R	11111111
000091 <sub>H</sub>	PPG3 - タイマレジスタ	-	-	R	11111111
000092 <sub>H</sub>	PPG3 - 周期設定レジスタ下位	PCSRL3	PCSR3	R/W	XXXXXXXXXX
000093 <sub>H</sub>	PPG3 - 周期設定レジスタ上位	PCSRH3	-	R/W	XXXXXXXXXX
000094 <sub>H</sub>	PPG3 - デューティ設定レジスタ下位	PDUTL3	PDUT3	R/W	XXXXXXXXXX
000095 <sub>H</sub>	PPG3 - デューティ設定レジスタ上位	PDUTH3	-	R/W	XXXXXXXXXX
000096 <sub>H</sub>	PPG3 - 制御ステータスレジスタ下位	PCNL3	PCN3	R/W	00000000
000097 <sub>H</sub>	PPG3 - 制御ステータスレジスタ上位	PCNH3	-	R/W	00000000
000098 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 1 下位	GCN1L1	GCN11	R/W	00010000
000099 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 1 上位	GCN1H1	-	R/W	00110010
00009A <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 2 下位	GCN2L1	GCN21	R/W	XXXX0000
00009B <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 2 上位	GCN2H1	-	R/W	XXXX0000
00009C <sub>H</sub>	PPG4 - タイマレジスタ	-	PTMR4	R	11111111
00009D <sub>H</sub>	PPG4 - タイマレジスタ	-	-	R	11111111
00009E <sub>H</sub>	PPG4 - 周期設定レジスタ下位	PCSRL4	PCSR4	R/W	XXXXXXXXXX
00009F <sub>H</sub>	PPG4 - 周期設定レジスタ上位	PCSRH4	-	R/W	XXXXXXXXXX
0000A0 <sub>H</sub>	PPG4 - デューティ設定レジスタ下位	PDUTL4	PDUT4	R/W	XXXXXXXXXX
0000A1 <sub>H</sub>	PPG4 - デューティ設定レジスタ上位	PDUTH4	-	R/W	XXXXXXXXXX
0000A2 <sub>H</sub>	PPG4 - 制御ステータスレジスタ下位	PCNL4	PCN4	R/W	00000000
0000A3 <sub>H</sub>	PPG4 - 制御ステータスレジスタ上位	PCNH4	-	R/W	00000000
0000A4 <sub>H</sub>	PPG5 - タイマレジスタ	-	PTMR5	R	11111111
0000A5 <sub>H</sub>	PPG5 - タイマレジスタ	-	-	R	11111111
0000A6 <sub>H</sub>	PPG5 - 周期設定レジスタ下位	PCSRL5	PCSR5	R/W	XXXXXXXXXX
0000A7 <sub>H</sub>	PPG5 - 周期設定レジスタ上位	PCSRH5	-	R/W	XXXXXXXXXX
0000A8 <sub>H</sub>	PPG5 - デューティ設定レジスタ下位	PDUTL5	PDUT5	R/W	XXXXXXXXXX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0000A9 <sub>H</sub>	PPG5 - デューティ設定レジスタ上位	PDUTH5	-	R/W	XXXXXXXX
0000AA <sub>H</sub>	PPG5 - 制御ステータスレジスタ下位	PCNL5	PCN5	R/W	00000000
0000AB <sub>H</sub>	PPG5 - 制御ステータスレジスタ上位	PCNH5	-	R/W	00000000
0000AC <sub>H</sub>	I <sup>2</sup> C0 - バスステータスレジスタ	IBSR0	-	R	00000000
0000AD <sub>H</sub>	I <sup>2</sup> C0 - バスコントロールレジスタ	IBCR0	-	R/W	00000000
0000AE <sub>H</sub>	I <sup>2</sup> C0 - 10 ビットスレーブアドレスレジスタ 下位	ITBAL0	ITBA0	R/W	00000000
0000AF <sub>H</sub>	I <sup>2</sup> C0 - 10 ビットスレーブアドレスレジスタ 上位	ITBAH0	-	R/W	00000000
0000B0 <sub>H</sub>	I <sup>2</sup> C0 - 10 ビットスレーブアドレスマスクレ ジスタ下位	ITMKL0	ITMK0	R/W	11111111
0000B1 <sub>H</sub>	I <sup>2</sup> C0 - 10 ビットスレーブアドレスマスクレ ジスタ上位	ITMKH0	-	R/W	00111111
0000B2 <sub>H</sub>	I <sup>2</sup> C0 - 7 ビットスレーブアドレスレジスタ	ISBA0	-	R/W	00000000
0000B3 <sub>H</sub>	I <sup>2</sup> C0 - 7 ビットスレーブアドレスマスクレ ジスタ	ISMK0	-	R/W	01111111
0000B4 <sub>H</sub>	I <sup>2</sup> C0 - データレジスタ	IDAR0	-	R/W	00000000
0000B5 <sub>H</sub>	I <sup>2</sup> C0 - クロックコントロールレジスタ	ICCR0	-	R/W	00011111
0000B6 <sub>H</sub>	I <sup>2</sup> C1 - バスステータスレジスタ	IBSR1	-	R	00000000
0000B7 <sub>H</sub>	I <sup>2</sup> C1 - バスコントロールレジスタ	IBCR1	-	R/W	00000000
0000B8 <sub>H</sub>	I <sup>2</sup> C1 - 10 ビットスレーブアドレスレジスタ 下位	ITBAL1	ITBA1	R/W	00000000
0000B9 <sub>H</sub>	I <sup>2</sup> C1 - 10 ビットスレーブアドレスレジスタ 上位	ITBAH1	-	R/W	00000000
0000BA <sub>H</sub>	I <sup>2</sup> C1 - 10 ビットスレーブアドレスマスクレ ジスタ下位	ITMKL1	ITMK1	R/W	11111111
0000BB <sub>H</sub>	I <sup>2</sup> C1 - 10 ビットスレーブアドレスマスクレ ジスタ上位	ITMKH1	-	R/W	00111111
0000BC <sub>H</sub>	I <sup>2</sup> C1 - 7 ビットスレーブアドレスレジスタ	ISBA1	-	R/W	00000000
0000BD <sub>H</sub>	I <sup>2</sup> C1 - 7 ビットスレーブアドレスマスクレ ジスタ	ISMK1	-	R/W	01111111
0000BE <sub>H</sub>	I <sup>2</sup> C1 - データレジスタ	IDAR1	-	R/W	00000000
0000BF <sub>H</sub>	I <sup>2</sup> C1 - クロックコントロールレジスタ	ICCR1	-	R/W	00011111
0000C0 <sub>H</sub>	USART0 - シリアルモードレジスタ	SMR0	-	R/W	00000000
0000C1 <sub>H</sub>	USART0 - シリアル制御レジスタ	SCR0	-	R/W	00000000
0000C2 <sub>H</sub>	USART0 - 送信データ レジスタ	TDR0	-	W	11111111
0000C2 <sub>H</sub>	USART0 - 受信データ レジスタ	RDR0	-	R	00000000
0000C3 <sub>H</sub>	USART0 - シリアルステータスレジスタ	SSR0	-	R/W	00001000
0000C4 <sub>H</sub>	USART0 - 拡張通信制御レジスタ	ECCR0	-	R/W	000000XX
0000C5 <sub>H</sub>	USART0 - 拡張ステータス制御レジスタ	ESCR0	-	R/W	00000100
0000C6 <sub>H</sub>	USART0 - ボーレート/リロードカウンタレ ジスタ下位	BGRL0	BGR0	R/W	00000000
0000C7 <sub>H</sub>	USART0 - ボーレート/リロードカウンタレ ジスタ上位	BGRH0	-	R/W	00000000
0000C8 <sub>H</sub>	USART0 - 拡張シリアル割込みレジスタ	ESIR0	-	R/W	XXXX10X0
0000C9 <sub>H</sub>	USART0 - フレーム ID データレジスタ	FIDR0	-	R/W	00000000
0000CA <sub>H</sub>	USART1 - シリアルモードレジスタ	SMR1	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0000CB <sub>H</sub>	USART1 - シリアル制御レジスタ	SCR1	-	R/W	00000000
0000CC <sub>H</sub>	USART1 - 送信データ レジスタ	TDR1	-	W	11111111
0000CC <sub>H</sub>	USART1 - 受信データ レジスタ	RDR1	-	R	00000000
0000CD <sub>H</sub>	USART1 - シリアルステータスレジスタ	SSR1	-	R/W	00001000
0000CE <sub>H</sub>	USART1 - 拡張通信制御レジスタ	ECCR1	-	R/W	000000XX
0000CF <sub>H</sub>	USART1 - 拡張ステータス制御レジスタ	ESCR1	-	R/W	00000100
0000D0 <sub>H</sub>	USART1 - ボーレート/リロードカウンタレジスタ下位	BGRL1	BGR1	R/W	00000000
0000D1 <sub>H</sub>	USART1 - ボーレート/リロードカウンタレジスタ上位	BGRH1	-	R/W	00000000
0000D2 <sub>H</sub>	USART1 - 拡張シリアル割込みレジスタ	ESIR1	-	R/W	XXXX10X0
0000D3 <sub>H</sub>	予約	-	-	-	-
0000D4 <sub>H</sub>	USART2 - シリアルモードレジスタ	SMR2	-	R/W	00000000
0000D5 <sub>H</sub>	USART2 - シリアル制御レジスタ	SCR2	-	R/W	00000000
0000D6 <sub>H</sub>	USART2 - 送信データ レジスタ	TDR2	-	W	11111111
0000D6 <sub>H</sub>	USART2 - 受信データ レジスタ	RDR2	-	R	00000000
0000D7 <sub>H</sub>	USART2 - シリアルステータスレジスタ	SSR2	-	R/W	00001000
0000D8 <sub>H</sub>	USART2 - 拡張通信制御レジスタ	ECCR2	-	R/W	000000XX
0000D9 <sub>H</sub>	USART2 - 拡張ステータス制御レジスタ	ESCR2	-	R/W	00000100
0000DA <sub>H</sub>	USART2 - ボーレート/リロードカウンタレジスタ下位	BGRL2	BGR2	R/W	00000000
0000DB <sub>H</sub>	USART2 - ボーレート/リロードカウンタレジスタ上位	BGRH2	-	R/W	00000000
0000DC <sub>H</sub>	USART2 - 拡張シリアル割込みレジスタ	ESIR2	-	R/W	XXXX10X0
0000DD <sub>H</sub> - 0000EB <sub>H</sub>	予約	-	-	-	-
0000EC <sub>H</sub>	PPG - 汎用制御レジスタ	GCNR0	-	R/W	XXXXXXX00
0000ED <sub>H</sub> - 0000FF <sub>H</sub>	予約	-	-	-	-
000100 <sub>H</sub>	DMA0 - バッファアドレスポインタ下位	BAPL0	-	R/W	XXXXXXXXXX
000101 <sub>H</sub>	DMA0 - バッファアドレスポインタ中位	BAPM0	-	R/W	XXXXXXXXXX
000102 <sub>H</sub>	DMA0 - バッファアドレスポインタ上位	BAPH0	-	R/W	XXXXXXXXXX
000103 <sub>H</sub>	DMA0 - 制御レジスタ	DMACS0	-	R/W	XXXXXXXXXX
000104 <sub>H</sub>	DMA0 - I/O レジスタアドレスポインタ下位	IOAL0	IOA0	R/W	XXXXXXXXXX
000105 <sub>H</sub>	DMA0 - I/O レジスタアドレスポインタ上位	IOAH0	-	R/W	XXXXXXXXXX
000106 <sub>H</sub>	DMA0 - データカウントレジスタ下位	DCTL0	DCT0	R/W	XXXXXXXXXX
000107 <sub>H</sub>	DMA0 - データカウントレジスタ上位	DCTH0	-	R/W	XXXXXXXXXX
000108 <sub>H</sub>	DMA1 - バッファアドレスポインタ下位	BAPL1	-	R/W	XXXXXXXXXX
000109 <sub>H</sub>	DMA1 - バッファアドレスポインタ中位	BAPM1	-	R/W	XXXXXXXXXX
00010A <sub>H</sub>	DMA1 - バッファアドレスポインタ上位	BAPH1	-	R/W	XXXXXXXXXX
00010B <sub>H</sub>	DMA1 - 制御レジスタ	DMACS1	-	R/W	XXXXXXXXXX
00010C <sub>H</sub>	DMA1 - I/O レジスタアドレスポインタ下位	IOAL1	IOA1	R/W	XXXXXXXXXX
00010D <sub>H</sub>	DMA1 - I/O レジスタアドレスポインタ上位	IOAH1	-	R/W	XXXXXXXXXX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
00010E <sub>H</sub>	DMA1 - データカウントレジスタ下位	DCTL1	DCT1	R/W	XXXXXXXX
00010F <sub>H</sub>	DMA1 - データカウントレジスタ上位	DCTH1	-	R/W	XXXXXXXX
000110 <sub>H</sub>	DMA2 - バッファアドレスポインタ下位	BAPL2	-	R/W	XXXXXXXX
000111 <sub>H</sub>	DMA2 - バッファアドレスポインタ中位	BAPM2	-	R/W	XXXXXXXX
000112 <sub>H</sub>	DMA2 - バッファアドレスポインタ上位	BAPH2	-	R/W	XXXXXXXX
000113 <sub>H</sub>	DMA2 - 制御レジスタ	DMACS2	-	R/W	XXXXXXXX
000114 <sub>H</sub>	DMA2 - I/O レジスタアドレスポインタ下位	IOAL2	IOA2	R/W	XXXXXXXX
000115 <sub>H</sub>	DMA2 - I/O レジスタアドレスポインタ上位	IOAH2	-	R/W	XXXXXXXX
000116 <sub>H</sub>	DMA2 - データカウントレジスタ下位	DCTL2	DCT2	R/W	XXXXXXXX
000117 <sub>H</sub>	DMA2 - データカウントレジスタ上位	DCTH2	-	R/W	XXXXXXXX
000118 <sub>H</sub>	DMA3 - バッファアドレスポインタ下位	BAPL3	-	R/W	XXXXXXXX
000119 <sub>H</sub>	DMA3 - バッファアドレスポインタ中位	BAPM3	-	R/W	XXXXXXXX
00011A <sub>H</sub>	DMA3 - バッファアドレスポインタ上位	BAPH3	-	R/W	XXXXXXXX
00011B <sub>H</sub>	DMA3 - 制御レジスタ	DMACS3	-	R/W	XXXXXXXX
00011C <sub>H</sub>	DMA3 - I/O レジスタアドレスポインタ下位	IOAL3	IOA3	R/W	XXXXXXXX
00011D <sub>H</sub>	DMA3 - I/O レジスタアドレスポインタ上位	IOAH3	-	R/W	XXXXXXXX
00011E <sub>H</sub>	DMA3 - データカウントレジスタ下位	DCTL3	DCT3	R/W	XXXXXXXX
00011F <sub>H</sub>	DMA3 - データカウントレジスタ上位	DCTH3	-	R/W	XXXXXXXX
000120 <sub>H</sub> - 00017F <sub>H</sub>	予約	-	-	-	-
000180 <sub>H</sub> - 00037F <sub>H</sub>	CPU - 汎用レジスタ(RAM アクセス)	GPR_RAM	-	R/W	-
000380 <sub>H</sub>	DMA0 - 割り込み要求選択レジスタ	DISEL0	-	R/W	00001100
000381 <sub>H</sub>	DMA1 - 割り込み要求選択レジスタ	DISEL1	-	R/W	00001100
000382 <sub>H</sub>	DMA2 - 割り込み要求選択レジスタ	DISEL2	-	R/W	00001100
000383 <sub>H</sub>	DMA3 - 割り込み要求選択レジスタ	DISEL3	-	R/W	00001100
000384 <sub>H</sub> - 00038F <sub>H</sub>	予約	-	-	-	-
000390 <sub>H</sub>	DMA - ステータスレジスタ下位	DSRL	DSR	R/W	00000000
000391 <sub>H</sub>	DMA - ステータスレジスタ上位	DSRH	-	R/W	00000000
000392 <sub>H</sub>	DMA - 停止ステータスレジスタ下位	DSSRL	DSSR	R/W	00000000
000393 <sub>H</sub>	DMA - 停止ステータスレジスタ上位	DSSRH	-	R/W	00000000
000394 <sub>H</sub>	DMA - 許可レジスタ下位	DERL	DER	R/W	00000000
000395 <sub>H</sub>	DMA - 許可レジスタ上位	DERH	-	R/W	00000000
000396 <sub>H</sub> - 00039F <sub>H</sub>	予約	-	-	-	-
0003A0 <sub>H</sub>	割り込み制御レジスタ 割り込みレベル	ILR	ICR	R/W	XXXXXX111
0003A1 <sub>H</sub>	割り込み制御レジスタ インデックス	IDX	-	R/W	00001100
0003A2 <sub>H</sub>	割り込みベクタテーブルベースレジスタ下位	TBRL	TBR	R/W	11111100
0003A3 <sub>H</sub>	割り込みベクタテーブルベースレジスタ上位	TBRH	-	R/W	11111111
0003A4 <sub>H</sub>	遅延割り込み要求レジスタ	DIRR	-	R/W	XXXXXXXX0
0003A5 <sub>H</sub>	NMI 制御ステータスレジスタ	NMI	-	R/W	XXXXXX10X

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0003A6 <sub>H</sub> - 0003AD <sub>H</sub>	予約	-	-	-	-
0003AE <sub>H</sub>	ROM ミラー機能選択レジスタ	ROMM	-	R/W	1111X111
0003AF <sub>H</sub> - 0003E7 <sub>H</sub>	予約	-	-	-	-
0003E8 <sub>H</sub>	デュアルオペレーションフラッシュ設定レジスタ A	DFCA	-	R/W	XXXXX000
0003E9 <sub>H</sub>	デュアルオペレーションフラッシュ割込み制御レジスタ A	DFICA	-	R/W	X0000000
0003EA <sub>H</sub>	デュアルオペレーションフラッシュステータスレジスタ A	DFSA	-	R	11000001
0003EB <sub>H</sub>	デュアルオペレーションフラッシュ割込みステータスレジスタ A	DFISA	-	R/W	X0000000
0003EC <sub>H</sub> - 0003F8 <sub>H</sub>	予約	-	-	-	-
0003F9 <sub>H</sub>	デュアルオペレーションフラッシュ書込みアクセス制御レジスタ 0A	DFWC0A	-	R/W	XXX00000
0003FA <sub>H</sub> - 0003FC <sub>H</sub>	予約	-	-	-	-
0003FD <sub>H</sub>	デュアルオペレーションフラッシュ書込みアクセス制御レジスタ 1A	DFWC1A	-	R/W	00000000
0003FE <sub>H</sub> , 0003FF <sub>H</sub>	予約	-	-	-	-
000400 <sub>H</sub>	スタンバイモード制御レジスタ	SMCR	-	R/W	XXX0X000
000401 <sub>H</sub>	クロック選択レジスタ	CKSR	-	R/W	10110000
000402 <sub>H</sub>	クロック安定化選択レジスタ	CKSSR	-	R/W	XX111111
000403 <sub>H</sub>	クロックモニタレジスタ	CKMR	-	R	*0*0XXXX *:リセット要因に依存
000404 <sub>H</sub>	クロック周波数制御レジスタ下位	CKFCRL	CKFCR	R/W	0000XXX1
000405 <sub>H</sub>	クロック周波数制御レジスタ上位	CKFCRH	-	R/W	00000000
000406 <sub>H</sub>	PLL 制御レジスタ下位	PLLCRL	PLLCR	R/W	000X0000
000407 <sub>H</sub>	PLL 制御レジスタ上位	PLLCRH	-	R/W	XXXXXXXXXX
000408 <sub>H</sub>	CR クロックタイマ制御レジスタ	RCTCR	-	R/W	X0010000
000409 <sub>H</sub>	メインクロックタイマ制御レジスタ	MCTCR	-	R/W	X0010000
00040A <sub>H</sub>	サブクロックタイマ制御レジスタ	SCTCR	-	R/W	X001X000
00040B <sub>H</sub>	リセット要因およびクロック状態レジスタ	RCCSRC	-	R	***** *:リセット要因に依存
00040C <sub>H</sub>	リセット構成レジスタ	RCR	-	R/W	XX000*0 *:リセット要因に依存
00040D <sub>H</sub>	リセット要因およびクロック状態レジスタ	RCCSR	-	R	***** *:リセット要因に依存



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
00040E <sub>H</sub>	ウォッチドッグタイマ構成レジスタ	WDTC	WDT	R/W	0000**** *:WICM Marker に依存
00040F <sub>H</sub>	ウォッチドッグタイマクリアパターンレジスタ	WDTCP	-	W	00000000
000410 <sub>H</sub> - 000414 <sub>H</sub>	予約	-	-	-	-
000415 <sub>H</sub>	クロック出力起動レジスタ	COAR	-	R/W	00000000
000416 <sub>H</sub>	クロック出力構成レジスタ 0	COCR0	-	R/W	X0000000
000417 <sub>H</sub>	クロック出力構成レジスタ 1	COCR1	-	R/W	X0000000
000418 <sub>H</sub> - 00041F <sub>H</sub>	予約	-	-	-	-
000420 <sub>H</sub>	ウォッチドッグタイマ拡張構成レジスタ	WDTEC	-	R/W	XXX00000
000421 <sub>H</sub> - 00042B <sub>H</sub>	予約	-	-	-	-
00042C <sub>H</sub>	電圧レギュレータ制御レジスタ	VRCR	-	R/W	10X10X10
00042D <sub>H</sub>	クロック入力および LVD 制御レジスタ	CILCR	-	R/W	00000000
00042E <sub>H</sub>	拡張スタンバイモード制御レジスタ	ESMCR	-	R/W	XXX00001
00042F <sub>H</sub>	予約	-	-	-	-
000430 <sub>H</sub>	I/O ポート P00 - データ方向レジスタ	DDR00	-	R/W	00000000
000431 <sub>H</sub>	I/O ポート P01 - データ方向レジスタ	DDR01	-	R/W	00000000
000432 <sub>H</sub>	I/O ポート P02 - データ方向レジスタ	DDR02	-	R/W	00000000
000433 <sub>H</sub>	I/O ポート P03 - データ方向レジスタ	DDR03	-	R/W	00000000
000434 <sub>H</sub>	I/O ポート P04 - データ方向レジスタ	DDR04	-	R/W	00000000
000435 <sub>H</sub>	I/O ポート P05 - データ方向レジスタ	DDR05	-	R/W	00000000
000436 <sub>H</sub>	I/O ポート P06 - データ方向レジスタ	DDR06	-	R/W	00000000
000437 <sub>H</sub>	予約	-	-	-	-
000438 <sub>H</sub>	I/O ポート P08 - データ方向レジスタ	DDR08	-	R/W	00000000
000439 <sub>H</sub>	I/O ポート P09 - データ方向レジスタ	DDR09	-	R/W	00000000
00043A <sub>H</sub>	I/O ポート P10 - データ方向レジスタ	DDR10	-	R/W	00000000
00043B <sub>H</sub>	I/O ポート P11 - データ方向レジスタ	DDR11	-	R/W	00000000
00043C <sub>H</sub>	I/O ポート P12 - データ方向レジスタ	DDR12	-	R/W	00000000
00043D <sub>H</sub>	I/O ポート P13 - データ方向レジスタ	DDR13	-	R/W	00000000
00043E <sub>H</sub> - 000440 <sub>H</sub>	予約	-	-	-	-
000441 <sub>H</sub>	I/O ポート P17 - データ方向レジスタ	DDR17	-	R/W	00000000
000442 <sub>H</sub> , 000443 <sub>H</sub>	予約	-	-	-	-
000444 <sub>H</sub>	I/O ポート P00 - ポート入力許可レジスタ	PIER00	-	R/W	00000000
000445 <sub>H</sub>	I/O ポート P01 - ポート入力許可レジスタ	PIER01	-	R/W	00000000
000446 <sub>H</sub>	I/O ポート P02 - ポート入力許可レジスタ	PIER02	-	R/W	00000000
000447 <sub>H</sub>	I/O ポート P03 - ポート入力許可レジスタ	PIER03	-	R/W	00000000
000448 <sub>H</sub>	I/O ポート P04 - ポート入力許可レジスタ	PIER04	-	R/W	00000000
000449 <sub>H</sub>	I/O ポート P05 - ポート入力許可レジスタ	PIER05	-	R/W	00000000
00044A <sub>H</sub>	I/O ポート P06 - ポート入力許可レジスタ	PIER06	-	R/W	00000000
00044B <sub>H</sub>	予約	-	-	-	-
00044C <sub>H</sub>	I/O ポート P08 - ポート入力許可レジスタ	PIER08	-	R/W	00000000



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
00044D <sub>H</sub>	I/O ポート P09 - ポート入力許可レジスタ	PIER09	-	R/W	00000000
00044E <sub>H</sub>	I/O ポート P10 - ポート入力許可レジスタ	PIER10	-	R/W	00000000
00044F <sub>H</sub>	I/O ポート P11 - ポート入力許可レジスタ	PIER11	-	R/W	00000000
000450 <sub>H</sub>	I/O ポート P12 - ポート入力許可レジスタ	PIER12	-	R/W	00000000
000451 <sub>H</sub>	I/O ポート P13 - ポート入力許可レジスタ	PIER13	-	R/W	00000000
000452 <sub>H</sub> - 000454 <sub>H</sub>	予約	-	-	-	-
000455 <sub>H</sub>	I/O ポート P17 - ポート入力許可レジスタ	PIER17	-	R/W	00000000
000456 <sub>H</sub> - 0004A7 <sub>H</sub>	予約	-	-	-	-
0004A8 <sub>H</sub>	I/O ポート P00 - ブルアップ制御レジスタ	PUCR00	-	R/W	00000000
0004A9 <sub>H</sub>	I/O ポート P01 - ブルアップ制御レジスタ	PUCR01	-	R/W	00000000
0004AA <sub>H</sub>	I/O ポート P02 - ブルアップ制御レジスタ	PUCR02	-	R/W	00000000
0004AB <sub>H</sub>	I/O ポート P03 - ブルアップ制御レジスタ	PUCR03	-	R/W	00000000
0004AC <sub>H</sub>	I/O ポート P04 - ブルアップ制御レジスタ	PUCR04	-	R/W	00000000
0004AD <sub>H</sub>	I/O ポート P05 - ブルアップ制御レジスタ	PUCR05	-	R/W	00000000
0004AE <sub>H</sub>	I/O ポート P06 - ブルアップ制御レジスタ	PUCR06	-	R/W	00000000
0004AF <sub>H</sub>	予約	-	-	-	-
0004B0 <sub>H</sub>	I/O ポート P08 - ブルアップ制御レジスタ	PUCR08	-	R/W	00000000
0004B1 <sub>H</sub>	I/O ポート P09 - ブルアップ制御レジスタ	PUCR09	-	R/W	00000000
0004B2 <sub>H</sub>	I/O ポート P10 - ブルアップ制御レジスタ	PUCR10	-	R/W	00000000
0004B3 <sub>H</sub>	I/O ポート P11 - ブルアップ制御レジスタ	PUCR11	-	R/W	00000000
0004B4 <sub>H</sub>	I/O ポート P12 - ブルアップ制御レジスタ	PUCR12	-	R/W	00000000
0004B5 <sub>H</sub>	I/O ポート P13 - ブルアップ制御レジスタ	PUCR13	-	R/W	00000000
0004B6 <sub>H</sub> - 0004B8 <sub>H</sub>	予約	-	-	-	-
0004B9 <sub>H</sub>	I/O ポート P17 - ブルアップ制御レジスタ	PUCR17	-	R/W	00000000
0004BA <sub>H</sub> , 0004BB <sub>H</sub>	予約	-	-	-	-
0004BC <sub>H</sub>	I/O ポート P00 - 外部端子状態レジスタ	EPSR00	-	R	XXXXXXXX
0004BD <sub>H</sub>	I/O ポート P01 - 外部端子状態レジスタ	EPSR01	-	R	XXXXXXXX
0004BE <sub>H</sub>	I/O ポート P02 - 外部端子状態レジスタ	EPSR02	-	R	XXXXXXXX
0004BF <sub>H</sub>	I/O ポート P03 - 外部端子状態レジスタ	EPSR03	-	R	XXXXXXXX
0004C0 <sub>H</sub>	I/O ポート P04 - 外部端子状態レジスタ	EPSR04	-	R	XXXXXXXX
0004C1 <sub>H</sub>	I/O ポート P05 - 外部端子状態レジスタ	EPSR05	-	R	XXXXXXXX
0004C2 <sub>H</sub>	I/O ポート P06 - 外部端子状態レジスタ	EPSR06	-	R	XXXXXXXX
0004C3 <sub>H</sub>	予約	-	-	-	-
0004C4 <sub>H</sub>	I/O ポート P08 - 外部端子状態レジスタ	EPSR08	-	R	XXXXXXXX
0004C5 <sub>H</sub>	I/O ポート P09 - 外部端子状態レジスタ	EPSR09	-	R	XXXXXXXX
0004C6 <sub>H</sub>	I/O ポート P10 - 外部端子状態レジスタ	EPSR10	-	R	XXXXXXXX
0004C7 <sub>H</sub>	I/O ポート P11 - 外部端子状態レジスタ	EPSR11	-	R	XXXXXXXX
0004C8 <sub>H</sub>	I/O ポート P12 - 外部端子状態レジスタ	EPSR12	-	R	XXXXXXXX
0004C9 <sub>H</sub>	I/O ポート P13 - 外部端子状態レジスタ	EPSR13	-	R	XXXXXXXX
0004CA <sub>H</sub> - 0004CC <sub>H</sub>	予約	-	-	-	-
0004CD <sub>H</sub>	I/O ポート P17 - 外部端子状態レジスタ	EPSR17	-	R	XXXXXXXX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0004CE <sub>H</sub> , 0004CF <sub>H</sub>	予約	-	-	-	-
0004D0 <sub>H</sub>	ADC0 アナログ入力許可レジスタ 0	ADER0	-	R/W	00000000
0004D1 <sub>H</sub>	ADC0 アナログ入力許可レジスタ 1	ADER1	-	R/W	00000000
0004D2 <sub>H</sub>	ADC0 アナログ入力許可レジスタ 2	ADER2	-	R/W	00000000
0004D3 <sub>H</sub>	ADC0 アナログ入力許可レジスタ 3	ADER3	-	R/W	00000000
0004D4 <sub>H</sub> , 0004D5 <sub>H</sub>	予約	-	-	-	-
0004D6 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 0	PRRR0	-	R/W	00000000
0004D7 <sub>H</sub>	予約	-	-	-	-
0004D8 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 2	PRRR2	-	R/W	00000000
0004D9 <sub>H</sub>	予約	-	-	-	-
0004DA <sub>H</sub>	周辺リソース端子リロケーションレジスタ 4	PRRR4	-	R/W	00000000
0004DB <sub>H</sub>	周辺リソース端子リロケーションレジスタ 5	PRRR5	-	R/W	00XX0000
0004DC <sub>H</sub>	周辺リソース端子リロケーションレジスタ 6	PRRR6	-	R/W	00000000
0004DD <sub>H</sub>	予約	-	-	-	-
0004DE <sub>H</sub>	周辺リソース端子リロケーションレジスタ 8	PRRR8	-	R/W	00000000
0004DF <sub>H</sub>	周辺リソース端子リロケーションレジスタ 9	PRRR9	-	R/W	XX000000
0004E0 <sub>H</sub>	RTC - サブセカンドレジスタ L	WTBR0	WTBR0	R/W	XXXXXXXX
0004E1 <sub>H</sub>	RTC - サブセカンドレジスタ M	WTBRH0	-	R/W	XXXXXXXX
0004E2 <sub>H</sub>	RTC - サブセカンドレジスタ H	WTBR1	-	R/W	XXXXXXXX
0004E3 <sub>H</sub>	RTC - 秒レジスタ	WTSR	-	R/W	XX***** *:リセット要 因に依存
0004E4 <sub>H</sub>	RTC - 分レジスタ	WTMR	-	R/W	XX***** *:リセット要 因に依存
0004E5 <sub>H</sub>	RTC - 時レジスタ	WTHR	-	R/W	XXX***** *:リセット要 因に依存
0004E6 <sub>H</sub>	RTC - タイマ制御拡張レジスタ	WTCE	-	R/W	XXXXXX00
0004E7 <sub>H</sub>	RTC - クロック選択レジスタ	WTCKSR	-	R/W	XXXXXX00
0004E8 <sub>H</sub>	RTC - タイマ制御レジスタ下位	WTCRL	WTCR	R/W	XXXX0000
0004E9 <sub>H</sub>	RTC - タイマ制御レジスタ上位	WTCRH	-	R/W	00000000
0004EA <sub>H</sub>	CAL - クロック補正ユニット制御レジスタ	CUCR	-	R/W	XXX0X000
0004EB <sub>H</sub>	予約	-	-	-	-
0004EC <sub>H</sub>	CAL - クロック補正ユニット測定時間タイ マデータレジスタ下位	CUTDL	CUTD	R/W	00000000
0004ED <sub>H</sub>	CAL - クロック補正ユニット測定時間タイ マデータレジスタ上位	CUTDH	-	R/W	10000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0004EE <sub>H</sub>	CAL - クロック補正ユニット補正タイム データレジスタ 2 下位	CUTR2L	CUTR2	R	00000000
0004EF <sub>H</sub>	CAL - クロック補正ユニット補正タイム データレジスタ 2 上位	CUTR2H	-	R	00000000
0004F0 <sub>H</sub>	CAL - クロック補正ユニット補正タイム データレジスタ 1 下位	CUTR1L	CUTR1	R	00000000
0004F1 <sub>H</sub>	CAL - クロック補正ユニット補正タイム データレジスタ 1 上位	CUTR1H	-	R	00000000
0004F2 <sub>H</sub> - 0004F9 <sub>H</sub>	予約	-	-	-	-
0004FA <sub>H</sub>	RLT - リロードタイム入力選択レジスタカ スケード用)	TMISR	-	R/W	XX000000
0004FB <sub>H</sub> - 0004FF <sub>H</sub>	予約	-	-	-	-
000500 <sub>H</sub>	FRT2 - データレジスタ	-	TCDT2	R/W	00000000
000501 <sub>H</sub>	FRT2 - データレジスタ	-	-	R/W	00000000
000502 <sub>H</sub>	FRT2 - コントロールステータスレジスタ 下位	TCCSL2	TCCS2	R/W	00000000
000503 <sub>H</sub>	FRT2 - コントロールステータスレジスタ 上位	TCCSH2	-	R/W	01XXXXXX
000504 <sub>H</sub> - 000513 <sub>H</sub>	予約	-	-	-	-
000514 <sub>H</sub>	ICU8/ICU9 - コントロールステータスレジ スタ	ICS89	-	R/W	00000000
000515 <sub>H</sub>	ICU8/ICU9 - エッジレジスタ	ICE89	-	R/W	XXX0X000
000516 <sub>H</sub> , 000517 <sub>H</sub>	予約	-	-	-	-
000518 <sub>H</sub>	ICU9 - データレジスタ下位	IPCPL9	IPCP9	R	XXXXXXXX
000519 <sub>H</sub>	ICU9 - データレジスタ上位	IPCPH9	-	R	XXXXXXXX
00051A <sub>H</sub> - 00051F <sub>H</sub>	予約	-	-	-	-
000520 <sub>H</sub>	USART4 - シリアルモードレジスタ	SMR4	-	R/W	00000000
000521 <sub>H</sub>	USART4 - シリアル制御レジスタ	SCR4	-	R/W	00000000
000522 <sub>H</sub>	USART4 - 送信データ レジスタ	TDR4	-	W	11111111
000522 <sub>H</sub>	USART4 - 受信データ レジスタ	RDR4	-	R	00000000
000523 <sub>H</sub>	USART4 - シリアルステータスレジスタ	SSR4	-	R/W	00001000
000524 <sub>H</sub>	USART4 - 拡張通信制御レジスタ	ECCR4	-	R/W	000000XX
000525 <sub>H</sub>	USART4 - 拡張ステータス制御レジスタ	ESCR4	-	R/W	00000100
000526 <sub>H</sub>	USART4 - ボーレート/リロードカウンタレ ジスタ下位	BGRL4	BGR4	R/W	00000000
000527 <sub>H</sub>	USART4 - ボーレート/リロードカウンタレ ジスタ上位	BGRH4	-	R/W	00000000
000528 <sub>H</sub>	USART4 - 拡張シリアル割込みレジスタ	ESIR4	-	R/W	XXXX10X0
000529 <sub>H</sub>	予約	-	-	-	-
00052A <sub>H</sub>	USART5 - シリアルモードレジスタ	SMR5	-	R/W	00000000
00052B <sub>H</sub>	USART5 - シリアル制御レジスタ	SCR5	-	R/W	00000000
00052C <sub>H</sub>	USART5 - 送信データ レジスタ	TDR5	-	W	11111111

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
00052C <sub>H</sub>	USART5 - 受信データ レジスタ	RDR5	-	R	00000000
00052D <sub>H</sub>	USART5 - シリアルステータスレジスタ	SSR5	-	R/W	00001000
00052E <sub>H</sub>	USART5 - 拡張通信制御レジスタ	ECCR5	-	R/W	000000XX
00052F <sub>H</sub>	USART5 - 拡張ステータス制御レジスタ	ESCR5	-	R/W	00000100
000530 <sub>H</sub>	USART5 - ボーレート/リロードカウンタレジスタ下位	BGRL5	BGR5	R/W	00000000
000531 <sub>H</sub>	USART5 - ボーレート/リロードカウンタレジスタ上位	BGRH5	-	R/W	00000000
000532 <sub>H</sub>	USART5 - 拡張シリアル割込みレジスタ	ESIR5	-	R/W	XXXX10X0
000533 <sub>H</sub> - 00053D <sub>H</sub>	予約	-	-	-	-
00053E <sub>H</sub>	USART7 - シリアルモードレジスタ	SMR7	-	R/W	00000000
00053F <sub>H</sub>	USART7 - シリアル制御レジスタ	SCR7	-	R/W	00000000
000540 <sub>H</sub>	USART7 - 送信データ レジスタ	TDR7	-	W	11111111
000540 <sub>H</sub>	USART7 - 受信データ レジスタ	RDR7	-	R	00000000
000541 <sub>H</sub>	USART7 - シリアルステータスレジスタ	SSR7	-	R/W	00001000
000542 <sub>H</sub>	USART7 - 拡張通信制御レジスタ	ECCR7	-	R/W	000000XX
000543 <sub>H</sub>	USART7 - 拡張ステータス制御レジスタ	ESCR7	-	R/W	00000100
000544 <sub>H</sub>	USART7 - ボーレート/リロードカウンタレジスタ下位	BGRL7	BGR7	R/W	00000000
000545 <sub>H</sub>	USART7 - ボーレート/リロードカウンタレジスタ上位	BGRH7	-	R/W	00000000
000546 <sub>H</sub>	USART7 - 拡張シリアル割込みレジスタ	ESIR7	-	R/W	XXXX10X0
000547 <sub>H</sub> - 000563 <sub>H</sub>	予約	-	-	-	-
000564 <sub>H</sub>	PPG6 - タイマレジスタ	-	PTMR6	R	11111111
000565 <sub>H</sub>	PPG6 - タイマレジスタ	-	-	R	11111111
000566 <sub>H</sub>	PPG6 - 周期設定レジスタ下位	PCSRL6	PCSR6	R/W	XXXXXXXXXX
000567 <sub>H</sub>	PPG6 - 周期設定レジスタ上位	PCSRH6	-	R/W	XXXXXXXXXX
000568 <sub>H</sub>	PPG6 - デューティ設定レジスタ下位	PDUTL6	PDUT6	R/W	XXXXXXXXXX
000569 <sub>H</sub>	PPG6 - デューティ設定レジスタ上位	PDUTH6	-	R/W	XXXXXXXXXX
00056A <sub>H</sub>	PPG6 - 制御ステータスレジスタ下位	PCNL6	PCN6	R/W	00000000
00056B <sub>H</sub>	PPG6 - 制御ステータスレジスタ上位	PCNH6	-	R/W	00000000
00056C <sub>H</sub>	PPG7 - タイマレジスタ	-	PTMR7	R	11111111
00056D <sub>H</sub>	PPG7 - タイマレジスタ	-	-	R	11111111
00056E <sub>H</sub>	PPG7 - 周期設定レジスタ下位	PCSRL7	PCSR7	R/W	XXXXXXXXXX
00056F <sub>H</sub>	PPG7 - 周期設定レジスタ上位	PCSRH7	-	R/W	XXXXXXXXXX
000570 <sub>H</sub>	PPG7 - デューティ設定レジスタ下位	PDUTL7	PDUT7	R/W	XXXXXXXXXX
000571 <sub>H</sub>	PPG7 - デューティ設定レジスタ上位	PDUTH7	-	R/W	XXXXXXXXXX
000572 <sub>H</sub>	PPG7 - 制御ステータスレジスタ下位	PCNL7	PCN7	R/W	00000000
000573 <sub>H</sub>	PPG7 - 制御ステータスレジスタ上位	PCNH7	-	R/W	00000000
000574 <sub>H</sub>	PPG11-PPG8 - 汎用制御レジスタ 1 下位	GCN1L2	GCN12	R/W	00010000
000575 <sub>H</sub>	PPG11-PPG8 - 汎用制御レジスタ 1 上位	GCN1H2	-	R/W	00110010
000576 <sub>H</sub>	PPG11-PPG8 - 汎用制御レジスタ 2 下位	GCN2L2	GCN22	R/W	XXXX0000
000577 <sub>H</sub>	PPG11-PPG8 - 汎用制御レジスタ 2 上位	GCN2H2	-	R/W	XXXX0000
000578 <sub>H</sub>	PPG8 - タイマレジスタ	-	PTMR8	R	11111111

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000579 <sub>H</sub>	PPG8 - タイマレジスタ	-	-	R	11111111
00057A <sub>H</sub>	PPG8 - 周期設定レジスタ下位	PCSRL8	PCSR8	R/W	XXXXXXXXXX
00057B <sub>H</sub>	PPG8 - 周期設定レジスタ上位	PCSRH8	-	R/W	XXXXXXXXXX
00057C <sub>H</sub>	PPG8 - デューティ設定レジスタ下位	PDUTL8	PDUT8	R/W	XXXXXXXXXX
00057D <sub>H</sub>	PPG8 - デューティ設定レジスタ上位	PDUTH8	-	R/W	XXXXXXXXXX
00057E <sub>H</sub>	PPG8 - 制御ステータスレジスタ下位	PCNL8	PCN8	R/W	00000000
00057F <sub>H</sub>	PPG8 - 制御ステータスレジスタ上位	PCNH8	-	R/W	00000000
000580 <sub>H</sub>	PPG9 - タイマレジスタ	-	PTMR9	R	11111111
000581 <sub>H</sub>	PPG9 - タイマレジスタ	-	-	R	11111111
000582 <sub>H</sub>	PPG9 - 周期設定レジスタ下位	PCSRL9	PCSR9	R/W	XXXXXXXXXX
000583 <sub>H</sub>	PPG9 - 周期設定レジスタ上位	PCSRH9	-	R/W	XXXXXXXXXX
000584 <sub>H</sub>	PPG9 - デューティ設定レジスタ下位	PDUTL9	PDUT9	R/W	XXXXXXXXXX
000585 <sub>H</sub>	PPG9 - デューティ設定レジスタ上位	PDUTH9	-	R/W	XXXXXXXXXX
000586 <sub>H</sub>	PPG9 - 制御ステータスレジスタ下位	PCNL9	PCN9	R/W	00000000
000587 <sub>H</sub>	PPG9 - 制御ステータスレジスタ上位	PCNH9	-	R/W	00000000
000588 <sub>H</sub>	PPG10 - タイマレジスタ	-	PTMR10	R	11111111
000589 <sub>H</sub>	PPG10 - タイマレジスタ	-	-	R	11111111
00058A <sub>H</sub>	PPG10 - 周期設定レジスタ下位	PCSRL10	PCSR10	R/W	XXXXXXXXXX
00058B <sub>H</sub>	PPG10 - 周期設定レジスタ上位	PCSRH10	-	R/W	XXXXXXXXXX
00058C <sub>H</sub>	PPG10 - デューティ設定レジスタ下位	PDUTL10	PDUT10	R/W	XXXXXXXXXX
00058D <sub>H</sub>	PPG10 - デューティ設定レジスタ上位	PDUTH10	-	R/W	XXXXXXXXXX
00058E <sub>H</sub>	PPG10 - 制御ステータスレジスタ下位	PCNL10	PCN10	R/W	00000000
00058F <sub>H</sub>	PPG10 - 制御ステータスレジスタ上位	PCNH10	-	R/W	00000000
000590 <sub>H</sub>	PPG11 - タイマレジスタ	-	PTMR11	R	11111111
000591 <sub>H</sub>	PPG11 - タイマレジスタ	-	-	R	11111111
000592 <sub>H</sub>	PPG11 - 周期設定レジスタ下位	PCSRL11	PCSR11	R/W	XXXXXXXXXX
000593 <sub>H</sub>	PPG11 - 周期設定レジスタ上位	PCSRH11	-	R/W	XXXXXXXXXX
000594 <sub>H</sub>	PPG11 - デューティ設定レジスタ下位	PDUTL11	PDUT11	R/W	XXXXXXXXXX
000595 <sub>H</sub>	PPG11 - デューティ設定レジスタ上位	PDUTH11	-	R/W	XXXXXXXXXX
000596 <sub>H</sub>	PPG11 - 制御ステータスレジスタ下位	PCNL11	PCN11	R/W	00000000
000597 <sub>H</sub>	PPG11 - 制御ステータスレジスタ上位	PCNH11	-	R/W	00000000
000598 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 1 下位	GCN1L3	GCN13	R/W	00010000
000599 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 1 上位	GCN1H3	-	R/W	00110010
00059A <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 2 下位	GCN2L3	GCN23	R/W	XXXXX0000
00059B <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 2 上位	GCN2H3	-	R/W	XXXXX0000
00059C <sub>H</sub>	PPG12 - タイマレジスタ	-	PTMR12	R	11111111
00059D <sub>H</sub>	PPG12 - タイマレジスタ	-	-	R	11111111
00059E <sub>H</sub>	PPG12 - 周期設定レジスタ下位	PCSRL12	PCSR12	R/W	XXXXXXXXXX
00059F <sub>H</sub>	PPG12 - 周期設定レジスタ上位	PCSRH12	-	R/W	XXXXXXXXXX
0005A0 <sub>H</sub>	PPG12 - デューティ設定レジスタ下位	PDUTL12	PDUT12	R/W	XXXXXXXXXX
0005A1 <sub>H</sub>	PPG12 - デューティ設定レジスタ上位	PDUTH12	-	R/W	XXXXXXXXXX
0005A2 <sub>H</sub>	PPG12 - 制御ステータスレジスタ下位	PCNL12	PCN12	R/W	00000000
0005A3 <sub>H</sub>	PPG12 - 制御ステータスレジスタ上位	PCNH12	-	R/W	00000000
0005A4 <sub>H</sub>	PPG13 - タイマレジスタ	-	PTMR13	R	11111111
0005A5 <sub>H</sub>	PPG13 - タイマレジスタ	-	-	R	11111111
0005A6 <sub>H</sub>	PPG13 - 周期設定レジスタ下位	PCSRL13	PCSR13	R/W	XXXXXXXXXX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0005A7 <sub>H</sub>	PPG13 - 周期設定レジスタ上位	PCSRH13	-	R/W	XXXXXXXXXX
0005A8 <sub>H</sub>	PPG13 - デューティ設定レジスタ下位	PDUTL13	PDUT13	R/W	XXXXXXXXXX
0005A9 <sub>H</sub>	PPG13 - デューティ設定レジスタ上位	PDUTH13	-	R/W	XXXXXXXXXX
0005AA <sub>H</sub>	PPG13 - 制御ステータスレジスタ下位	PCNL13	PCN13	R/W	00000000
0005AB <sub>H</sub>	PPG13 - 制御ステータスレジスタ上位	PCNH13	-	R/W	00000000
0005AC <sub>H</sub>	PPG14 - タイマレジスタ	-	PTMR14	R	11111111
0005AD <sub>H</sub>	PPG14 - タイマレジスタ	-	-	R	11111111
0005AE <sub>H</sub>	PPG14 - 周期設定レジスタ下位	PCSRL14	PCSR14	R/W	XXXXXXXXXX
0005AF <sub>H</sub>	PPG14 - 周期設定レジスタ上位	PCSRH14	-	R/W	XXXXXXXXXX
0005B0 <sub>H</sub>	PPG14 - デューティ設定レジスタ下位	PDUTL14	PDUT14	R/W	XXXXXXXXXX
0005B1 <sub>H</sub>	PPG14 - デューティ設定レジスタ上位	PDUTH14	-	R/W	XXXXXXXXXX
0005B2 <sub>H</sub>	PPG14 - 制御ステータスレジスタ下位	PCNL14	PCN14	R/W	00000000
0005B3 <sub>H</sub>	PPG14 - 制御ステータスレジスタ上位	PCNH14	-	R/W	00000000
0005B4 <sub>H</sub>	PPG15 - タイマレジスタ	-	PTMR15	R	11111111
0005B5 <sub>H</sub>	PPG15 - タイマレジスタ	-	-	R	11111111
0005B6 <sub>H</sub>	PPG15 - 周期設定レジスタ下位	PCSRL15	PCSR15	R/W	XXXXXXXXXX
0005B7 <sub>H</sub>	PPG15 - 周期設定レジスタ上位	PCSRH15	-	R/W	XXXXXXXXXX
0005B8 <sub>H</sub>	PPG15 - デューティ設定レジスタ下位	PDUTL15	PDUT15	R/W	XXXXXXXXXX
0005B9 <sub>H</sub>	PPG15 - デューティ設定レジスタ上位	PDUTH15	-	R/W	XXXXXXXXXX
0005BA <sub>H</sub>	PPG15 - 制御ステータスレジスタ下位	PCNL15	PCN15	R/W	00000000
0005BB <sub>H</sub>	PPG15 - 制御ステータスレジスタ上位	PCNH15	-	R/W	00000000
0005BC <sub>H</sub> - 00065F <sub>H</sub>	予約	-	-	-	-
000660 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 10	PRRR10	-	R/W	00000000
000661 <sub>H</sub>	予約	-	-	-	-
000662 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 12	PRRR12	-	R/W	00000000
000663 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 13	PRRR13	-	R/W	XXX0XX00
000664 <sub>H</sub> - 0006FF <sub>H</sub>	予約	-	-	-	-
000700 <sub>H</sub>	CAN0 - 制御レジスタ下位	CTRLRL0	CTRLR0	R/W	000X0001
000701 <sub>H</sub>	CAN0 - 制御レジスタ上位(予約)	CTRLRH0	-	R	XXXXXXXXXX
000702 <sub>H</sub>	CAN0 - ステータスレジスタ下位	STATRL0	STATR0	R/W	00000000
000703 <sub>H</sub>	CAN0 - ステータスレジスタ上位(予約)	STATRH0	-	R	XXXXXXXXXX
000704 <sub>H</sub>	CAN0 - エラーカウンタ下位(送信)	ERRCNTL0	ERRCNT0	R	00000000
000705 <sub>H</sub>	CAN0 - エラーカウンタ上位(受信)	ERRCNTH0	-	R	00000000
000706 <sub>H</sub>	CAN0 - ビットタイミングレジスタ下位	BTRL0	BTR0	R/W	00000001
000707 <sub>H</sub>	CAN0 - ビットタイミングレジスタ上位	BTRH0	-	R/W	X0100011
000708 <sub>H</sub>	CAN0 - 割込みレジスタ下位	INTRL0	INTR0	R	00000000
000709 <sub>H</sub>	CAN0 - 割込みレジスタ上位	INTRH0	-	R	00000000
00070A <sub>H</sub>	CAN0 - テストレジスタ下位	TESTRL0	TESTR0	R/W	X00000XX
00070B <sub>H</sub>	CAN0 - テストレジスタ上位(予約)	TESTRH0	-	R	XXXXXXXXXX
00070C <sub>H</sub>	CAN0 - BRP 拡張レジスタ下位	BRPERL0	BRPER0	R/W	XXXX0000
00070D <sub>H</sub>	CAN0 - BRP 拡張レジスタ上位(予約)	BRPERH0	-	R	XXXXXXXXXX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
00070E <sub>H</sub> , 00070F <sub>H</sub>	予約	-	-	-	-
000710 <sub>H</sub>	CAN0 - IF1 コマンドリクエストレジスタ 下位	IF1CREQL0	IF1CREQ0	R/W	00000001
000711 <sub>H</sub>	CAN0 - IF1 コマンドリクエストレジスタ 上位	IF1CREQH0	-	R/W	0XXXXXXXX
000712 <sub>H</sub>	CAN0 - IF1 コマンドマスクレジスタ下位	IF1CMSKL0	IF1CMSK0	R/W	00000000
000713 <sub>H</sub>	CAN0 - IF1 コマンドマスクレジスタ上位 (予約)	IF1CMSKH0	-	R	XXXXXXXXX
000714 <sub>H</sub>	CAN0 - IF1 マスク 1 レジスタ下位	IF1MSK1L0	IF1MSK10	R/W	11111111
000715 <sub>H</sub>	CAN0 - IF1 マスク 1 レジスタ上位	IF1MSK1H0	-	R/W	11111111
000716 <sub>H</sub>	CAN0 - IF1 マスク 2 レジスタ下位	IF1MSK2L0	IF1MSK20	R/W	11111111
000717 <sub>H</sub>	CAN0 - IF1 マスク 2 レジスタ上位	IF1MSK2H0	-	R/W	11X11111
000718 <sub>H</sub>	CAN0 - IF1 アービトレーション 1 レジス タ下位	IF1ARB1L0	IF1ARB10	R/W	00000000
000719 <sub>H</sub>	CAN0 - IF1 アービトレーション 1 レジス タ上位	IF1ARB1H0	-	R/W	00000000
00071A <sub>H</sub>	CAN0 - IF1 アービトレーション 2 レジス タ下位	IF1ARB2L0	IF1ARB20	R/W	00000000
00071B <sub>H</sub>	CAN0 - IF1 アービトレーション 2 レジス タ上位	IF1ARB2H0	-	R/W	00000000
00071C <sub>H</sub>	CAN0 - IF1 メッセージ制御レジスタ下位	IF1MCTRL0	IF1MCTR0	R/W	0XXX0000
00071D <sub>H</sub>	CAN0 - IF1 メッセージ制御レジスタ上位	IF1MCTRH0	-	R/W	00000000
00071E <sub>H</sub>	CAN0 - IF1 データ A1 下位	IF1DTA1L0	IF1DTA10	R/W	00000000
00071F <sub>H</sub>	CAN0 - IF1 データ A1 上位	IF1DTA1H0	-	R/W	00000000
000720 <sub>H</sub>	CAN0 - IF1 データ A2 下位	IF1DTA2L0	IF1DTA20	R/W	00000000
000721 <sub>H</sub>	CAN0 - IF1 データ A2 上位	IF1DTA2H0	-	R/W	00000000
000722 <sub>H</sub>	CAN0 - IF1 データ B1 下位	IF1DTB1L0	IF1DTB10	R/W	00000000
000723 <sub>H</sub>	CAN0 - IF1 データ B1 上位	IF1DTB1H0	-	R/W	00000000
000724 <sub>H</sub>	CAN0 - IF1 データ B2 下位	IF1DTB2L0	IF1DTB20	R/W	00000000
000725 <sub>H</sub>	CAN0 - IF1 データ B2 上位	IF1DTB2H0	-	R/W	00000000
000726 <sub>H</sub> - 00073F <sub>H</sub>	予約	-	-	-	-
000740 <sub>H</sub>	CAN0 - IF2 コマンドリクエストレジスタ 下位	IF2CREQL0	IF2CREQ0	R/W	00000001
000741 <sub>H</sub>	CAN0 - IF2 コマンドリクエストレジスタ 上位	IF2CREQH0	-	R/W	0XXXXXXXX
000742 <sub>H</sub>	CAN0 - IF2 コマンドマスクレジスタ下位	IF2CMSKL0	IF2CMSK0	R/W	00000000
000743 <sub>H</sub>	CAN0 - IF2 コマンドマスクレジスタ上位 (予約)	IF2CMSKH0	-	R	XXXXXXXXX
000744 <sub>H</sub>	CAN0 - IF2 マスク 1 レジスタ下位	IF2MSK1L0	IF2MSK10	R/W	11111111
000745 <sub>H</sub>	CAN0 - IF2 マスク 1 レジスタ上位	IF2MSK1H0	-	R/W	11111111
000746 <sub>H</sub>	CAN0 - IF2 マスク 2 レジスタ下位	IF2MSK2L0	IF2MSK20	R/W	11111111
000747 <sub>H</sub>	CAN0 - IF2 マスク 2 レジスタ上位	IF2MSK2H0	-	R/W	11X11111
000748 <sub>H</sub>	CAN0 - IF2 アービトレーション 1 レジス タ下位	IF2ARB1L0	IF2ARB10	R/W	00000000



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000749 <sub>H</sub>	CAN0 - IF2 アービトレーション 1 レジスタ上位	IF2ARB1H0	-	R/W	00000000
00074A <sub>H</sub>	CAN0 - IF2 アービトレーション 2 レジスタ下位	IF2ARB2L0	IF2ARB20	R/W	00000000
00074B <sub>H</sub>	CAN0 - IF2 アービトレーション 2 レジスタ上位	IF2ARB2H0	-	R/W	00000000
00074C <sub>H</sub>	CAN0 - IF2 メッセージ制御レジスタ下位	IF2MCTRL0	IF2MCTR0	R/W	0XXX0000
00074D <sub>H</sub>	CAN0 - IF2 メッセージ制御レジスタ上位	IF2MCTR0	-	R/W	00000000
00074E <sub>H</sub>	CAN0 - IF2 データ A1 下位	IF2DTA1L0	IF2DTA10	R/W	00000000
00074F <sub>H</sub>	CAN0 - IF2 データ A1 上位	IF2DTA1H0	-	R/W	00000000
000750 <sub>H</sub>	CAN0 - IF2 データ A2 下位	IF2DTA2L0	IF2DTA20	R/W	00000000
000751 <sub>H</sub>	CAN0 - IF2 データ A2 上位	IF2DTA2H0	-	R/W	00000000
000752 <sub>H</sub>	CAN0 - IF2 データ B1 下位	IF2DTB1L0	IF2DTB10	R/W	00000000
000753 <sub>H</sub>	CAN0 - IF2 データ B1 上位	IF2DTB1H0	-	R/W	00000000
000754 <sub>H</sub>	CAN0 - IF2 データ B2 下位	IF2DTB2L0	IF2DTB20	R/W	00000000
000755 <sub>H</sub>	CAN0 - IF2 データ B2 上位	IF2DTB2H0	-	R/W	00000000
000756 <sub>H</sub> - 00077F <sub>H</sub>	予約	-	-	-	-
000780 <sub>H</sub>	CAN0 - 送信リクエスト 1 レジスタ下位	TREQR1L0	TREQR10	R	00000000
000781 <sub>H</sub>	CAN0 - 送信リクエスト 1 レジスタ上位	TREQR1H0	-	R	00000000
000782 <sub>H</sub>	CAN0 - 送信リクエスト 2 レジスタ下位	TREQR2L0	TREQR20	R	00000000
000783 <sub>H</sub>	CAN0 - 送信リクエスト 2 レジスタ上位	TREQR2H0	-	R	00000000
000784 <sub>H</sub> - 00078F <sub>H</sub>	予約	-	-	-	-
000790 <sub>H</sub>	CAN0 - 新規データ 1 レジスタ下位	NEWDT1L0	NEWDT10	R	00000000
000791 <sub>H</sub>	CAN0 - 新規データ 1 レジスタ上位	NEWDT1H0	-	R	00000000
000792 <sub>H</sub>	CAN0 - 新規データ 2 レジスタ下位	NEWDT2L0	NEWDT20	R	00000000
000793 <sub>H</sub>	CAN0 - 新規データ 2 レジスタ上位	NEWDT2H0	-	R	00000000
000794 <sub>H</sub> - 00079F <sub>H</sub>	予約	-	-	-	-
0007A0 <sub>H</sub>	CAN0 - 割り込み保留 1 レジスタ下位	INTPND1L0	INTPND10	R	00000000
0007A1 <sub>H</sub>	CAN0 - 割り込み保留 1 レジスタ上位	INTPND1H0	-	R	00000000
0007A2 <sub>H</sub>	CAN0 - 割り込み保留 2 レジスタ下位	INTPND2L0	INTPND20	R	00000000
0007A3 <sub>H</sub>	CAN0 - 割り込み保留 2 レジスタ上位	INTPND2H0	-	R	00000000
0007A4 <sub>H</sub> - 0007AF <sub>H</sub>	予約	-	-	-	-
0007B0 <sub>H</sub>	CAN0 - メッセージ有効 1 レジスタ下位	MSGVAL1L0	MSGVAL10	R	00000000
0007B1 <sub>H</sub>	CAN0 - メッセージ有効 1 レジスタ上位	MSGVAL1H0	-	R	00000000
0007B2 <sub>H</sub>	CAN0 - メッセージ有効 2 レジスタ下位	MSGVAL2L0	MSGVAL20	R	00000000
0007B3 <sub>H</sub>	CAN0 - メッセージ有効 2 レジスタ上位	MSGVAL2H0	-	R	00000000
0007B4 <sub>H</sub> - 0007CD <sub>H</sub>	予約	-	-	-	-
0007CE <sub>H</sub>	CAN0 - 出力許可レジスタ	COER0	-	R/W	XXXXXXXX0
0007CF <sub>H</sub> - 0009FF <sub>H</sub>	予約	-	-	-	-
000A00 <sub>H</sub>	DMA - I/O アドレスポインタバンク選択レジスタ 0	IOABK0	-	R/W	00000000



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000A01 <sub>H</sub>	DMA - I/O アドレスポインタバンク選択レジスタ 1	IOABK1	-	R/W	00000000
000A02 <sub>H</sub>	DMA - I/O アドレスポインタバンク選択レジスタ 2	IOABK2	-	R/W	00000000
000A03 <sub>H</sub>	DMA - I/O アドレスポインタバンク選択レジスタ 3	IOABK3	-	R/W	00000000
000A04 <sub>H</sub> - 000A7F <sub>H</sub>	予約	-	-	-	-
000A80 <sub>H</sub>	PPG0 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L0	EPCN10	R/W	0XXXX000
000A81 <sub>H</sub>	PPG0 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H0	-	R/W	XXX00000
000A82 <sub>H</sub>	PPG1 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L1	EPCN11	R/W	0XXXX000
000A83 <sub>H</sub>	PPG1 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H1	-	R/W	XXX00000
000A84 <sub>H</sub>	PPG2 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L2	EPCN12	R/W	0XXXX000
000A85 <sub>H</sub>	PPG2 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H2	-	R/W	XXX00000
000A86 <sub>H</sub>	PPG3 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L3	EPCN13	R/W	0XXXX000
000A87 <sub>H</sub>	PPG3 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H3	-	R/W	XXX00000
000A88 <sub>H</sub>	PPG4 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L4	EPCN14	R/W	0XXXX000
000A89 <sub>H</sub>	PPG4 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H4	-	R/W	XXX00000
000A8A <sub>H</sub>	PPG5 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L5	EPCN15	R/W	0XXXX000
000A8B <sub>H</sub>	PPG5 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H5	-	R/W	XXX00000
000A8C <sub>H</sub>	PPG6 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L6	EPCN16	R/W	0XXXX000
000A8D <sub>H</sub>	PPG6 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H6	-	R/W	XXX00000
000A8E <sub>H</sub>	PPG7 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L7	EPCN17	R/W	0XXXX000
000A8F <sub>H</sub>	PPG7 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H7	-	R/W	XXX00000
000A90 <sub>H</sub>	PPG8 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L8	EPCN18	R/W	0XXXX000
000A91 <sub>H</sub>	PPG8 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H8	-	R/W	XXX00000
000A92 <sub>H</sub>	PPG9 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L9	EPCN19	R/W	0XXXX000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000A93 <sub>H</sub>	PPG9 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H9	-	R/W	XXX00000
000A94 <sub>H</sub>	PPG10 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L10	EPCN110	R/W	0XXXX000
000A95 <sub>H</sub>	PPG10 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H10	-	R/W	XXX00000
000A96 <sub>H</sub>	PPG11 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L11	EPCN111	R/W	0XXXX000
000A97 <sub>H</sub>	PPG11 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H11	-	R/W	XXX00000
000A98 <sub>H</sub>	PPG12 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L12	EPCN112	R/W	0XXXX000
000A99 <sub>H</sub>	PPG12 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H12	-	R/W	XXX00000
000A9A <sub>H</sub>	PPG13 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L13	EPCN113	R/W	0XXXX000
000A9B <sub>H</sub>	PPG13 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H13	-	R/W	XXX00000
000A9C <sub>H</sub>	PPG14 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L14	EPCN114	R/W	0XXXX000
000A9D <sub>H</sub>	PPG14 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H14	-	R/W	XXX00000
000A9E <sub>H</sub>	PPG15 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L15	EPCN115	R/W	0XXXX000
000A9F <sub>H</sub>	PPG15 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H15	-	R/W	XXX00000
000AA0 <sub>H</sub> - 000AEF <sub>H</sub>	予約	-	-	-	-
000AF0 <sub>H</sub>	QPRC0 - 位置カウントレジスタ	-	QPCR0	R/W	00000000
000AF1 <sub>H</sub>	QPRC0 - 位置カウントレジスタ	-	-	R/W	00000000
000AF2 <sub>H</sub>	QPRC0 - 回転カウントレジスタ	-	QRCR0	R/W	00000000
000AF3 <sub>H</sub>	QPRC0 - 回転カウントレジスタ	-	-	R/W	00000000
000AF4 <sub>H</sub>	QPRC0 - 割込み制御レジスタ下位	QICRL0	QICR0	R/W	00000000
000AF5 <sub>H</sub>	QPRC0 - 割込み制御レジスタ上位	QICRH0	-	R/W	00000000
000AF6 <sub>H</sub>	QPRC0 - 拡張制御レジスタ下位	QECRL0	QECR0	R/W	00000000
000AF7 <sub>H</sub>	QPRC0 - 拡張制御レジスタ上位	QECRH0	-	R/W	00000000
000AF8 <sub>H</sub>	QPRC1 - 位置カウントレジスタ	-	QPCR1	R/W	00000000
000AF9 <sub>H</sub>	QPRC1 - 位置カウントレジスタ	-	-	R/W	00000000
000AFA <sub>H</sub>	QPRC1 - 回転カウントレジスタ	-	QRCR1	R/W	00000000
000AFB <sub>H</sub>	QPRC1 - 回転カウントレジスタ	-	-	R/W	00000000
000AFC <sub>H</sub>	QPRC1 - 割込み制御レジスタ下位	QICRL1	QICR1	R/W	00000000
000AFD <sub>H</sub>	QPRC1 - 割込み制御レジスタ上位	QICRH1	-	R/W	00000000
000AFE <sub>H</sub>	QPRC1 - 拡張制御レジスタ下位	QECRL1	QECR1	R/W	00000000
000AFF <sub>H</sub>	QPRC1 - 拡張制御レジスタ上位	QECRH1	-	R/W	00000000
000B00 <sub>H</sub> - 000B53 <sub>H</sub>	予約	-	-	-	-

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000B54 <sub>H</sub>	ADC0 - レンジ比較しきい値超過フラグレジスタ 0	ADRCOOF00	-	R	00000000
000B55 <sub>H</sub>	ADC0 - レンジ比較しきい値超過フラグレジスタ 1	ADRCOOF10	-	R	00000000
000B56 <sub>H</sub>	ADC0 - レンジ比較しきい値超過フラグレジスタ 2	ADRCOOF20	-	R	00000000
000B57 <sub>H</sub>	ADC0 - レンジ比較しきい値超過フラグレジスタ 3	ADRCOOF30	-	R	00000000
000B58 <sub>H</sub> - 000B5B <sub>H</sub>	予約	-	-	-	-
000B5C <sub>H</sub>	ADC0 - レンジ比較フラグレジスタ 0	ADRCOINTF00	-	R/W	00000000
000B5D <sub>H</sub>	ADC0 - レンジ比較フラグレジスタ 1	ADRCOINTF10	-	R/W	00000000
000B5E <sub>H</sub>	ADC0 - レンジ比較フラグレジスタ 2	ADRCOINTF20	-	R/W	00000000
000B5F <sub>H</sub>	ADC0 - レンジ比較フラグレジスタ 3	ADRCOINTF30	-	R/W	00000000
000B60 <sub>H</sub> - 000BA9 <sub>H</sub>	予約	-	-	-	-
000BAA <sub>H</sub>	USART0 - チェックサムステータス制御レジスタ	CSCR0	-	R/W	00000000
000BAB <sub>H</sub>	USART0 - 拡張ステータスレジスタ	ESR0	-	R/W	XX000000
000BAC <sub>H</sub>	予約	-	-	-	-
000BAD <sub>H</sub>	USART1 - 拡張ステータスレジスタ	ESR1	-	R/W	XXXX00XX
000BAE <sub>H</sub>	予約	-	-	-	-
000BAF <sub>H</sub>	USART2 - 拡張ステータスレジスタ	ESR2	-	R/W	XXXX00XX
000BB0 <sub>H</sub> - 000BB2 <sub>H</sub>	予約	-	-	-	-
000BB3 <sub>H</sub>	USART4 - 拡張ステータスレジスタ	ESR4	-	R/W	XXXX00XX
000BB4 <sub>H</sub>	予約	-	-	-	-
000BB5 <sub>H</sub>	USART5 - 拡張ステータスレジスタ	ESR5	-	R/W	XXXX00XX
000BB6 <sub>H</sub> - 000BB8 <sub>H</sub>	予約	-	-	-	-
000BB9 <sub>H</sub>	USART7 - 拡張ステータスレジスタ	ESR7	-	R/W	XXXX00XX
000BBA <sub>H</sub> - 000BEF <sub>H</sub>	予約	-	-	-	-
000BF0 <sub>H</sub>	DSU 制御レジスタ 下位	DSUCRL	DSUCR	R/W	XXXXXXXX0
000BF1 <sub>H</sub>	DSU 制御レジスタ 上位	DSUCRH	-	R/W	XXXXXXXXX
000BF2 <sub>H</sub> , 000BF3 <sub>H</sub>	予約	-	-	-	-
000BF4 <sub>H</sub>	ユーザイベントレジスタ 下位	UERL	UER	W	XXXXXXXXX
000BF5 <sub>H</sub>	ユーザイベントレジスタ 上位	UERH	-	R/W	XXXXXXXXX
000BF6 <sub>H</sub>	メッセージバッファレジスタ 下位	MBRL	MBR	W	XXXXXXXXX
000BF7 <sub>H</sub>	メッセージバッファレジスタ 上位	MBRH	-	R/W	0XXXXXXXX
000BF8 <sub>H</sub> - 000BFF <sub>H</sub>	予約	-	-	-	-
0E9000 <sub>H</sub> - 0E9301 <sub>H</sub>	予約	-	-	-	-
0E9302 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 4 下位	GCN4L0	GCN40	R/W	X110X110
0E9303 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 4 上位	GCN4H0	-	R/W	X110X110

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9304 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 5 下位	GCN5L0	GCN50	R/W	00000000
0E9305 <sub>H</sub> - 0E930F <sub>H</sub>	予約	-	-	-	-
0E9310 <sub>H</sub>	PPG0 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L0	EPCN20	R/W	00XX0X0X
0E9311 <sub>H</sub>	予約	-	-	-	-
0E9312 <sub>H</sub>	PPG0 - スタートディレイレジスタ下位	PSDRL0	PSDR0	R/W	00000000
0E9313 <sub>H</sub>	PPG0 - スタートディレイレジスタ上位	PSDRH0	-	R/W	00000000
0E9314 <sub>H</sub>	PPG0 - タイミングポイントキャプチャレジ スタ下位	PTPCL0	PTPC0	R/W	00000000
0E9315 <sub>H</sub>	PPG0 - タイミングポイントキャプチャレジ スタ上位	PTPCH0	-	R/W	00000000
0E9316 <sub>H</sub> - 0E931F <sub>H</sub>	予約	-	-	-	-
0E9320 <sub>H</sub>	PPG1 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L1	EPCN21	R/W	00XX0X0X
0E9321 <sub>H</sub>	予約	-	-	-	-
0E9322 <sub>H</sub>	PPG1 - スタートディレイレジスタ下位	PSDRL1	PSDR1	R/W	00000000
0E9323 <sub>H</sub>	PPG1 - スタートディレイレジスタ上位	PSDRH1	-	R/W	00000000
0E9324 <sub>H</sub>	PPG1 - タイミングポイントキャプチャレジ スタ下位	PTPCL1	PTPC1	R/W	00000000
0E9325 <sub>H</sub>	PPG1 - タイミングポイントキャプチャレジ スタ上位	PTPCH1	-	R/W	00000000
0E9326 <sub>H</sub> - 0E932F <sub>H</sub>	予約	-	-	-	-
0E9330 <sub>H</sub>	PPG2 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L2	EPCN22	R/W	00XX0X0X
0E9331 <sub>H</sub>	予約	-	-	-	-
0E9332 <sub>H</sub>	PPG2 - スタートディレイレジスタ下位	PSDRL2	PSDR2	R/W	00000000
0E9333 <sub>H</sub>	PPG2 - スタートディレイレジスタ上位	PSDRH2	-	R/W	00000000
0E9334 <sub>H</sub>	PPG2 - タイミングポイントキャプチャレジ スタ下位	PTPCL2	PTPC2	R/W	00000000
0E9335 <sub>H</sub>	PPG2 - タイミングポイントキャプチャレジ スタ上位	PTPCH2	-	R/W	00000000
0E9336 <sub>H</sub> - 0E933F <sub>H</sub>	予約	-	-	-	-
0E9340 <sub>H</sub>	PPG3 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L3	EPCN23	R/W	00XX0X0X
0E9341 <sub>H</sub>	予約	-	-	-	-
0E9342 <sub>H</sub>	PPG3 - スタートディレイレジスタ下位	PSDRL3	PSDR3	R/W	00000000
0E9343 <sub>H</sub>	PPG3 - スタートディレイレジスタ上位	PSDRH3	-	R/W	00000000
0E9344 <sub>H</sub>	PPG3 - タイミングポイントキャプチャレジ スタ下位	PTPCL3	PTPC3	R/W	00000000
0E9345 <sub>H</sub>	PPG3 - タイミングポイントキャプチャレジ スタ上位	PTPCH3	-	R/W	00000000
0E9346 <sub>H</sub> - 0E9351 <sub>H</sub>	予約	-	-	-	-

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9352 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 4 下位	GCN4L1	GCN41	R/W	X110X110
0E9353 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 4 上位	GCN4H1	-	R/W	X110X110
0E9354 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 5 下位	GCN5L1	GCN51	R/W	00000000
0E9355 <sub>H</sub> - 0E935F <sub>H</sub>	予約	-	-	-	-
0E9360 <sub>H</sub>	PPG4 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L4	EPCN24	R/W	00XX0X0X
0E9361 <sub>H</sub>	予約	-	-	-	-
0E9362 <sub>H</sub>	PPG4 - スタートディレイレジスタ下位	PSDRL4	PSDR4	R/W	00000000
0E9363 <sub>H</sub>	PPG4 - スタートディレイレジスタ上位	PSDRH4	-	R/W	00000000
0E9364 <sub>H</sub>	PPG4 - タイミングポイントキャプチャレジ スタ下位	PTPCL4	PTPC4	R/W	00000000
0E9365 <sub>H</sub>	PPG4 - タイミングポイントキャプチャレジ スタ上位	PTPCH4	-	R/W	00000000
0E9366 <sub>H</sub> - 0E936F <sub>H</sub>	予約	-	-	-	-
0E9370 <sub>H</sub>	PPG5 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L5	EPCN25	R/W	00XX0X0X
0E9371 <sub>H</sub>	予約	-	-	-	-
0E9372 <sub>H</sub>	PPG5 - スタートディレイレジスタ下位	PSDRL5	PSDR5	R/W	00000000
0E9373 <sub>H</sub>	PPG5 - スタートディレイレジスタ上位	PSDRH5	-	R/W	00000000
0E9374 <sub>H</sub>	PPG5 - タイミングポイントキャプチャレジ スタ下位	PTPCL5	PTPC5	R/W	00000000
0E9375 <sub>H</sub>	PPG5 - タイミングポイントキャプチャレジ スタ上位	PTPCH5	-	R/W	00000000
0E9376 <sub>H</sub> - 0E937F <sub>H</sub>	予約	-	-	-	-
0E9380 <sub>H</sub>	PPG6 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L6	EPCN26	R/W	00XX0X0X
0E9381 <sub>H</sub>	予約	-	-	-	-
0E9382 <sub>H</sub>	PPG6 - スタートディレイレジスタ下位	PSDRL6	PSDR6	R/W	00000000
0E9383 <sub>H</sub>	PPG6 - スタートディレイレジスタ上位	PSDRH6	-	R/W	00000000
0E9384 <sub>H</sub>	PPG6 - タイミングポイントキャプチャレジ スタ下位	PTPCL6	PTPC6	R/W	00000000
0E9385 <sub>H</sub>	PPG6 - タイミングポイントキャプチャレジ スタ上位	PTPCH6	-	R/W	00000000
0E9386 <sub>H</sub> - 0E938F <sub>H</sub>	予約	-	-	-	-
0E9390 <sub>H</sub>	PPG7 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L7	EPCN27	R/W	00XX0X0X
0E9391 <sub>H</sub>	予約	-	-	-	-
0E9392 <sub>H</sub>	PPG7 - スタートディレイレジスタ下位	PSDRL7	PSDR7	R/W	00000000
0E9393 <sub>H</sub>	PPG7 - スタートディレイレジスタ上位	PSDRH7	-	R/W	00000000
0E9394 <sub>H</sub>	PPG7 - タイミングポイントキャプチャレジ スタ下位	PTPCL7	PTPC7	R/W	00000000
0E9395 <sub>H</sub>	PPG7 - タイミングポイントキャプチャレジ スタ上位	PTPCH7	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9396 <sub>H</sub> - 0E93A1 <sub>H</sub>	予約	-	-	-	-
0E93A2 <sub>H</sub>	PPG11-PPG8 - 汎用制御レジスタ 4 下位	GCN4L2	GCN42	R/W	X110X110
0E93A3 <sub>H</sub>	PPG11-PPG8 - 汎用制御レジスタ 4 上位	GCN4H2	-	R/W	X110X110
0E93A4 <sub>H</sub>	PPG11-PPG8 - 汎用制御レジスタ 5 下位	GCN5L2	GCN52	R/W	00000000
0E93A5 <sub>H</sub> - 0E93AF <sub>H</sub>	予約	-	-	-	-
0E93B0 <sub>H</sub>	PPG8 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L8	EPCN28	R/W	00XX0X0X
0E93B1 <sub>H</sub>	予約	-	-	-	-
0E93B2 <sub>H</sub>	PPG8 - スタートディレイレジスタ下位	PSDRL8	PSDR8	R/W	00000000
0E93B3 <sub>H</sub>	PPG8 - スタートディレイレジスタ上位	PSDRH8	-	R/W	00000000
0E93B4 <sub>H</sub>	PPG8 - タイミングポイントキャプチャレ ジスタ下位	PTPCL8	PTPC8	R/W	00000000
0E93B5 <sub>H</sub>	PPG8 - タイミングポイントキャプチャレ ジスタ上位	PTPCH8	-	R/W	00000000
0E93B6 <sub>H</sub> - 0E93BF <sub>H</sub>	予約	-	-	-	-
0E93C0 <sub>H</sub>	PPG9 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L9	EPCN29	R/W	00XX0X0X
0E93C1 <sub>H</sub>	予約	-	-	-	-
0E93C2 <sub>H</sub>	PPG9 - スタートディレイレジスタ下位	PSDRL9	PSDR9	R/W	00000000
0E93C3 <sub>H</sub>	PPG9 - スタートディレイレジスタ上位	PSDRH9	-	R/W	00000000
0E93C4 <sub>H</sub>	PPG9 - タイミングポイントキャプチャレ ジスタ下位	PTPCL9	PTPC9	R/W	00000000
0E93C5 <sub>H</sub>	PPG9 - タイミングポイントキャプチャレ ジスタ上位	PTPCH9	-	R/W	00000000
0E93C6 <sub>H</sub> - 0E93CF <sub>H</sub>	予約	-	-	-	-
0E93D0 <sub>H</sub>	PPG10 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L10	EPCN210	R/W	00XX0X0X
0E93D1 <sub>H</sub>	予約	-	-	-	-
0E93D2 <sub>H</sub>	PPG10 - スタートディレイレジスタ下位	PSDRL10	PSDR10	R/W	00000000
0E93D3 <sub>H</sub>	PPG10 - スタートディレイレジスタ上位	PSDRH10	-	R/W	00000000
0E93D4 <sub>H</sub>	PPG10 - タイミングポイントキャプチャレ ジスタ下位	PTPCL10	PTPC10	R/W	00000000
0E93D5 <sub>H</sub>	PPG10 - タイミングポイントキャプチャレ ジスタ上位	PTPCH10	-	R/W	00000000
0E93D6 <sub>H</sub> - 0E93DF <sub>H</sub>	予約	-	-	-	-
0E93E0 <sub>H</sub>	PPG11 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L11	EPCN211	R/W	00XX0X0X
0E93E1 <sub>H</sub>	予約	-	-	-	-
0E93E2 <sub>H</sub>	PPG11 - スタートディレイレジスタ下位	PSDRL11	PSDR11	R/W	00000000
0E93E3 <sub>H</sub>	PPG11 - スタートディレイレジスタ上位	PSDRH11	-	R/W	00000000
0E93E4 <sub>H</sub>	PPG11 - タイミングポイントキャプチャレ ジスタ下位	PTPCL11	PTPC11	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E93E5 <sub>H</sub>	PPG11 - タイミングポイントキャプチャレ ジスタ上位	PTPCH11	-	R/W	00000000
0E93E6 <sub>H</sub> - 0E9401 <sub>H</sub>	予約	-	-	-	-
0E9402 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 4 下位	GCN4L3	GCN43	R/W	X110X110
0E9403 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 4 上位	GCN4H3	-	R/W	X110X110
0E9404 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 5 下位	GCN5L3	GCN53	R/W	00000000
0E9405 <sub>H</sub> - 0E940F <sub>H</sub>	予約	-	-	-	-
0E9410 <sub>H</sub>	PPG12 - 拡張PPG制御ステータスレジスタ 2 下位	EPCN2L12	EPCN212	R/W	00XX0X0X
0E9411 <sub>H</sub>	予約	-	-	-	-
0E9412 <sub>H</sub>	PPG12 - スタートディレイレジスタ下位	PSDRL12	PSDR12	R/W	00000000
0E9413 <sub>H</sub>	PPG12 - スタートディレイレジスタ上位	PSDRH12	-	R/W	00000000
0E9414 <sub>H</sub>	PPG12 - タイミングポイントキャプチャレ ジスタ下位	PTPCL12	PTPC12	R/W	00000000
0E9415 <sub>H</sub>	PPG12 - タイミングポイントキャプチャレ ジスタ上位	PTPCH12	-	R/W	00000000
0E9416 <sub>H</sub> - 0E941F <sub>H</sub>	予約	-	-	-	-
0E9420 <sub>H</sub>	PPG13 - 拡張PPG制御ステータスレジスタ 2 下位	EPCN2L13	EPCN213	R/W	00XX0X0X
0E9421 <sub>H</sub>	予約	-	-	-	-
0E9422 <sub>H</sub>	PPG13 - スタートディレイレジスタ下位	PSDRL13	PSDR13	R/W	00000000
0E9423 <sub>H</sub>	PPG13 - スタートディレイレジスタ上位	PSDRH13	-	R/W	00000000
0E9424 <sub>H</sub>	PPG13 - タイミングポイントキャプチャレ ジスタ下位	PTPCL13	PTPC13	R/W	00000000
0E9425 <sub>H</sub>	PPG13 - タイミングポイントキャプチャレ ジスタ上位	PTPCH13	-	R/W	00000000
0E9426 <sub>H</sub> - 0E942F <sub>H</sub>	予約	-	-	-	-
0E9430 <sub>H</sub>	PPG14 - 拡張PPG制御ステータスレジスタ 2 下位	EPCN2L14	EPCN214	R/W	00XX0X0X
0E9431 <sub>H</sub>	予約	-	-	-	-
0E9432 <sub>H</sub>	PPG14 - スタートディレイレジスタ下位	PSDRL14	PSDR14	R/W	00000000
0E9433 <sub>H</sub>	PPG14 - スタートディレイレジスタ上位	PSDRH14	-	R/W	00000000
0E9434 <sub>H</sub>	PPG14 - タイミングポイントキャプチャレ ジスタ下位	PTPCL14	PTPC14	R/W	00000000
0E9435 <sub>H</sub>	PPG14 - タイミングポイントキャプチャレ ジスタ上位	PTPCH14	-	R/W	00000000
0E9436 <sub>H</sub> - 0E943F <sub>H</sub>	予約	-	-	-	-
0E9440 <sub>H</sub>	PPG15 - 拡張PPG制御ステータスレジスタ 2 下位	EPCN2L15	EPCN215	R/W	00XX0X0X
0E9441 <sub>H</sub>	予約	-	-	-	-
0E9442 <sub>H</sub>	PPG15 - スタートディレイレジスタ下位	PSDRL15	PSDR15	R/W	00000000
0E9443 <sub>H</sub>	PPG15 - スタートディレイレジスタ上位	PSDRH15	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9444 <sub>H</sub>	PPG15 - タイミングポイントキャプチャレジスタ 下位	PTPCL15	PTPC15	R/W	00000000
0E9445 <sub>H</sub>	PPG15 - タイミングポイントキャプチャレジスタ 上位	PTPCH15	-	R/W	00000000
0E9446 <sub>H</sub> - 0E949F <sub>H</sub>	予約	-	-	-	-
0E94A0 <sub>H</sub>	ADTG - ADC0 トリガ制御レジスタ 下位	ADTGCRLO	ADTGCR0	R/W	XXXXXXXX
0E94A1 <sub>H</sub>	ADTG - ADC0 トリガ制御レジスタ 上位	ADTGCRH0	-	R/W	XXXXXXXX1
0E94A2 <sub>H</sub>	ADTG - ADC0 トリガ入力選択 下位	ADTGISELLO	ADTGISELO	R/W	XXXXXX001
0E94A3 <sub>H</sub>	ADTG - ADC0 トリガ入力選択 上位	ADTGISELH0	-	R/W	XXX00000
0E94A4 <sub>H</sub> - 0E951F <sub>H</sub>	予約	-	-	-	-
0E9520 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 0 下位	ADRCOLL00	ADRCOL00	R/W	00000000
0E9521 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 0 上位	ADRCOLH00	-	R/W	00000000
0E9522 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 0 下位	ADRCOHL00	ADRCOH00	R/W	00000000
0E9523 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 0 上位	ADRCOHH00	-	R/W	00000000
0E9524 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 1 下位	ADRCOLL10	ADRCOL10	R/W	00000000
0E9525 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 1 上位	ADRCOLH10	-	R/W	00000000
0E9526 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 1 下位	ADRCOHL10	ADRCOH10	R/W	00000000
0E9527 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 1 上位	ADRCOHH10	-	R/W	00000000
0E9528 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 2 下位	ADRCOLL20	ADRCOL20	R/W	00000000
0E9529 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 2 上位	ADRCOLH20	-	R/W	00000000
0E952A <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 2 下位	ADRCOHL20	ADRCOH20	R/W	00000000
0E952B <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 2 上位	ADRCOHH20	-	R/W	00000000
0E952C <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 3 下位	ADRCOLL30	ADRCOL30	R/W	00000000
0E952D <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 3 上位	ADRCOLH30	-	R/W	00000000
0E952E <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 3 下位	ADRCOHL30	ADRCOH30	R/W	00000000
0E952F <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 3 上位	ADRCOHH30	-	R/W	00000000
0E9530 <sub>H</sub>	ADC0 - チャネルスキップレジスタ 0	ADDSCR00	-	R/W	00000000
0E9531 <sub>H</sub>	ADC0 - チャネルスキップレジスタ 1	ADDSCR10	-	R/W	00000000
0E9532 <sub>H</sub>	ADC0 - チャネルスキップレジスタ 2	ADDSCR20	-	R/W	00000000



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9533 <sub>H</sub>	ADC0 - チャネルスキップレジスタ 3	ADDSCR30	-	R/W	00000000
0E9534 <sub>H</sub> - 0E953F <sub>H</sub>	予約	-	-	-	-
0E9540 <sub>H</sub>	ADC0 - レンジ比較インバートレンジ選択 レジスタ 0	ADRCOIRS00	-	R/W	00000000
0E9541 <sub>H</sub>	ADC0 - レンジ比較インバートレンジ選択 レジスタ 1	ADRCOIRS10	-	R/W	00000000
0E9542 <sub>H</sub>	ADC0 - レンジ比較インバートレンジ選択 レジスタ 2	ADRCOIRS20	-	R/W	00000000
0E9543 <sub>H</sub>	ADC0 - レンジ比較インバートレンジ選択 レジスタ 3	ADRCOIRS30	-	R/W	00000000
0E9544 <sub>H</sub> - 0E9550 <sub>H</sub>	予約	-	-	-	-
0E9551 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 1	ADCC010	-	R/W	00000000
0E9552 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 2	ADCC020	-	R/W	00000000
0E9553 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 3	ADCC030	-	R/W	00000000
0E9554 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 4	ADCC040	-	R/W	00000000
0E9555 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 5	ADCC050	-	R/W	00000000
0E9556 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 6	ADCC060	-	R/W	00000000
0E9557 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 7	ADCC070	-	R/W	00000000
0E9558 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 8	ADCC080	-	R/W	00000000
0E9559 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 9	ADCC090	-	R/W	00000000
0E955A <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 10	ADCC100	-	R/W	00000000
0E955B <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 11	ADCC110	-	R/W	00000000
0E955C <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 12	ADCC120	-	R/W	00000000
0E955D <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 13	ADCC130	-	R/W	00000000
0E955E <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 14	ADCC140	-	R/W	00000000
0E955F <sub>H</sub> - 0E977F <sub>H</sub>	予約	-	-	-	-
0E9780 <sub>H</sub>	QPRC0 - 位置カウンタ比較レジスタ	-	QPCCR0	R/W	00000000
0E9781 <sub>H</sub>	QPRC0 - 位置カウンタ比較レジスタ	-	-	R/W	00000000
0E9782 <sub>H</sub>	QPRC0 - 位置&回転カウンタ比較レジスタ	-	QPRCR0	R/W	00000000
0E9783 <sub>H</sub>	QPRC0 - 位置&回転カウンタ比較レジスタ	-	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9784 <sub>H</sub>	QPRC0 - 最大位置レジスタ	-	QMPR0	R/W	11111111
0E9785 <sub>H</sub>	QPRC0 - 最大位置レジスタ	-	-	R/W	11111111
0E9786 <sub>H</sub>	QPRC0 - 制御レジスタ下位	QCRL0	QCR0	R/W	00000000
0E9787 <sub>H</sub>	QPRC0 - 制御レジスタ上位	QCRH0	-	R/W	00000000
0E9788 <sub>H</sub> - 0E978F <sub>H</sub>	予約	-	-	-	-
0E9790 <sub>H</sub>	QPRC1 - 位置カウンタ比較レジスタ	-	QPCCR1	R/W	00000000
0E9791 <sub>H</sub>	QPRC1 - 位置カウンタ比較レジスタ	-	-	R/W	00000000
0E9792 <sub>H</sub>	QPRC1 - 位置&回転カウンタ比較レジスタ	-	QPRCR1	R/W	00000000
0E9793 <sub>H</sub>	QPRC1 - 位置&回転カウンタ比較レジスタ	-	-	R/W	00000000
0E9794 <sub>H</sub>	QPRC1 - 最大位置レジスタ	-	QMPR1	R/W	11111111
0E9795 <sub>H</sub>	QPRC1 - 最大位置レジスタ	-	-	R/W	11111111
0E9796 <sub>H</sub>	QPRC1 - 制御レジスタ下位	QCRL1	QCR1	R/W	00000000
0E9797 <sub>H</sub>	QPRC1 - 制御レジスタ上位	QCRH1	-	R/W	00000000
0E9798 <sub>H</sub> - 0E97BF <sub>H</sub>	予約	-	-	-	-
0E97C0 <sub>H</sub>	USART0 - 拡張機能許可レジスタ下位	EFERL0	EFER0	R/W	00000000
0E97C1 <sub>H</sub>	USART0 - 拡張機能許可レジスタ上位	EFERH0	-	R/W	XX000000
0E97C2 <sub>H</sub> - 0E97C5 <sub>H</sub>	予約	-	-	-	-
0E97C6 <sub>H</sub>	USART0 - Sync Field タイムアウトレジスタ下位	SFTRL0	SFTR0	R/W	00000000
0E97C7 <sub>H</sub>	USART0 - Sync Field タイムアウトレジスタ上位	SFTRH0	-	R/W	00000000
0E97C8 <sub>H</sub>	USART0 - 拡張割込み許可レジスタ	EIER0	-	R/W	XX000000
0E97C9 <sub>H</sub> - 0E97CF <sub>H</sub>	予約	-	-	-	-
0E97D0 <sub>H</sub>	USART1 - 拡張機能許可レジスタ下位	EFERL1	EFER1	R/W	00000XXX
0E97D1 <sub>H</sub>	USART1 - 拡張機能許可レジスタ上位	EFERH1	-	R/W	XX00X0X0
0E97D2 <sub>H</sub> - 0E97D7 <sub>H</sub>	予約	-	-	-	-
0E97D8 <sub>H</sub>	USART1 - 拡張割込み許可レジスタ	EIER1	-	R/W	XXXXXX00
0E97D9 <sub>H</sub> - 0E97DF <sub>H</sub>	予約	-	-	-	-
0E97E0 <sub>H</sub>	USART2 - 拡張機能許可レジスタ下位	EFERL2	EFER2	R/W	00000XXX
0E97E1 <sub>H</sub>	USART2 - 拡張機能許可レジスタ上位	EFERH2	-	R/W	XX00X0X0
0E97E2 <sub>H</sub> - 0E97E7 <sub>H</sub>	予約	-	-	-	-
0E97E8 <sub>H</sub>	USART2 - 拡張割込み許可レジスタ	EIER2	-	R/W	XXXXXX00
0E97E9 <sub>H</sub> - 0E97FF <sub>H</sub>	予約	-	-	-	-
0E9800 <sub>H</sub>	USART4 - 拡張機能許可レジスタ下位	EFERL4	EFER4	R/W	00000XXX
0E9801 <sub>H</sub>	USART4 - 拡張機能許可レジスタ上位	EFERH4	-	R/W	XX00X0X0
0E9802 <sub>H</sub> - 0E9807 <sub>H</sub>	予約	-	-	-	-
0E9808 <sub>H</sub>	USART4 - 拡張割込み許可レジスタ	EIER4	-	R/W	XXXXXX00

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9809 <sub>H</sub> - 0E980F <sub>H</sub>	予約	-	-	-	-
0E9810 <sub>H</sub>	USART5 - 拡張機能許可レジスタ下位	EFERL5	EFER5	R/W	00000XXX
0E9811 <sub>H</sub>	USART5 - 拡張機能許可レジスタ上位	EFERH5	-	R/W	XX00X0X0
0E9812 <sub>H</sub> - 0E9817 <sub>H</sub>	予約	-	-	-	-
0E9818 <sub>H</sub>	USART5 - 拡張割込み許可レジスタ	EIER5	-	R/W	XXXXXX00
0E9819 <sub>H</sub> - 0E982F <sub>H</sub>	予約	-	-	-	-
0E9830 <sub>H</sub>	USART7 - 拡張機能許可レジスタ下位	EFERL7	EFER7	R/W	00000XXX
0E9831 <sub>H</sub>	USART7 - 拡張機能許可レジスタ上位	EFERH7	-	R/W	XX00X0X0
0E9832 <sub>H</sub> - 0E9837 <sub>H</sub>	予約	-	-	-	-
0E9838 <sub>H</sub>	USART7 - 拡張割込み許可レジスタ	EIER7	-	R/W	XXXXXX00
0E9839 <sub>H</sub> - 0FBFFF <sub>H</sub>	予約	-	-	-	-

## E. MB96650 の I/O マップ

各周辺機能のレジスタに割り当てられるアドレスを示します。

### ■ MB96650 の I/O マップ

表 E MB96650 の I/O マップ

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000000 <sub>H</sub>	I/O ポート P00 - ポートデータレジスタ	PDR00	-	R/W	XXXXXXXX
000001 <sub>H</sub>	I/O ポート P01 - ポートデータレジスタ	PDR01	-	R/W	XXXXXXXX
000002 <sub>H</sub>	I/O ポート P02 - ポートデータレジスタ	PDR02	-	R/W	XXXXXXXX
000003 <sub>H</sub>	I/O ポート P03 - ポートデータレジスタ	PDR03	-	R/W	XXXXXXXX
000004 <sub>H</sub>	I/O ポート P04 - ポートデータレジスタ	PDR04	-	R/W	XXXXXXXX
000005 <sub>H</sub>	I/O ポート P05 - ポートデータレジスタ	PDR05	-	R/W	XXXXXXXX
000006 <sub>H</sub>	I/O ポート P06 - ポートデータレジスタ	PDR06	-	R/W	XXXXXXXX
000007 <sub>H</sub>	予約	-	-	-	-
000008 <sub>H</sub>	I/O ポート P08 - ポートデータレジスタ	PDR08	-	R/W	XXXXXXXX
000009 <sub>H</sub>	I/O ポート P09 - ポートデータレジスタ	PDR09	-	R/W	XXXXXXXX
00000A <sub>H</sub>	I/O ポート P10 - ポートデータレジスタ	PDR10	-	R/W	XXXXXXXX
00000B <sub>H</sub>	I/O ポート P11 - ポートデータレジスタ	PDR11	-	R/W	XXXXXXXX
00000C <sub>H</sub>	I/O ポート P12 - ポートデータレジスタ	PDR12	-	R/W	XXXXXXXX
00000D <sub>H</sub>	I/O ポート P13 - ポートデータレジスタ	PDR13	-	R/W	XXXXXXXX
00000E <sub>H</sub> - 000010 <sub>H</sub>	予約	-	-	-	-
000011 <sub>H</sub>	I/O ポート P17 - ポートデータレジスタ	PDR17	-	R/W	XXXXXXXX
000012 <sub>H</sub> - 000017 <sub>H</sub>	予約	-	-	-	-
000018 <sub>H</sub>	ADC0 - 制御状態レジスタ下位	ADCSL	ADCS	R/W	00000000
000019 <sub>H</sub>	ADC0 - 制御状態レジスタ上位	ADCSH	-	R/W	00000000
00001A <sub>H</sub>	ADC0 - データレジスタ下位	ADCRL	ADCR	R	00000000
00001B <sub>H</sub>	ADC0 - データレジスタ上位	ADCRH	-	R	00000000
00001C <sub>H</sub>	ADC0 - 設定レジスタ	-	ADSR	R/W	00000000
00001D <sub>H</sub>	ADC0 - 設定レジスタ	-	-	R/W	00000000
00001E <sub>H</sub> , 00001F <sub>H</sub>	予約	-	-	-	-
000020 <sub>H</sub>	FRT0 - データレジスタ	-	TCDT0	R/W	00000000
000021 <sub>H</sub>	FRT0 - データレジスタ	-	-	R/W	00000000
000022 <sub>H</sub>	FRT0 - コントロールステータスレジスタ 下位	TCCSL0	TCCS0	R/W	00000000
000023 <sub>H</sub>	FRT0 - コントロールステータスレジスタ 上位	TCCSH0	-	R/W	01XXXXXX
000024 <sub>H</sub>	FRT1 - データレジスタ	-	TCDT1	R/W	00000000
000025 <sub>H</sub>	FRT1 - データレジスタ	-	-	R/W	00000000
000026 <sub>H</sub>	FRT1 - コントロールステータスレジスタ 下位	TCCSL1	TCCS1	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000027 <sub>H</sub>	FRT1 - コントロールステータスレジスタ 上位	TCCSH1	-	R/W	01XXXXXX
000028 <sub>H</sub>	OCU0 - コントロールステータスレジスタ	OCS0	-	R/W	0000XX00
000029 <sub>H</sub>	OCU1 - コントロールステータスレジスタ	OCS1	-	R/W	0XX00000
00002A <sub>H</sub>	OCU0 - コンペアレジスタ	-	OCCP0	R/W	XXXXXXXX
00002B <sub>H</sub>	OCU0 - コンペアレジスタ	-	-	R/W	XXXXXXXX
00002C <sub>H</sub>	OCU1 - コンペアレジスタ	-	OCCP1	R/W	XXXXXXXX
00002D <sub>H</sub>	OCU1 - コンペアレジスタ	-	-	R/W	XXXXXXXX
00002E <sub>H</sub>	OCU2 - コントロールステータスレジスタ	OCS2	-	R/W	0000XX00
00002F <sub>H</sub>	OCU3 - コントロールステータスレジスタ	OCS3	-	R/W	0XX00000
000030 <sub>H</sub>	OCU2 - コンペアレジスタ	-	OCCP2	R/W	XXXXXXXX
000031 <sub>H</sub>	OCU2 - コンペアレジスタ	-	-	R/W	XXXXXXXX
000032 <sub>H</sub>	OCU3 - コンペアレジスタ	-	OCCP3	R/W	XXXXXXXX
000033 <sub>H</sub>	OCU3 - コンペアレジスタ	-	-	R/W	XXXXXXXX
000034 <sub>H</sub>	OCU4 - コントロールステータスレジスタ	OCS4	-	R/W	0000XX00
000035 <sub>H</sub>	OCU5 - コントロールステータスレジスタ	OCS5	-	R/W	0XX00000
000036 <sub>H</sub>	OCU4 - コンペアレジスタ	-	OCCP4	R/W	XXXXXXXX
000037 <sub>H</sub>	OCU4 - コンペアレジスタ	-	-	R/W	XXXXXXXX
000038 <sub>H</sub> , 000039 <sub>H</sub>	予約	-	-	-	-
00003A <sub>H</sub>	OCU6 - コントロールステータスレジスタ	OCS6	-	R/W	0000XX00
00003B <sub>H</sub>	OCU7 - コントロールステータスレジスタ	OCS7	-	R/W	0XX00000
00003C <sub>H</sub>	OCU6 - コンペアレジスタ	-	OCCP6	R/W	XXXXXXXX
00003D <sub>H</sub>	OCU6 - コンペアレジスタ	-	-	R/W	XXXXXXXX
00003E <sub>H</sub>	OCU7 - コンペアレジスタ	-	OCCP7	R/W	XXXXXXXX
00003F <sub>H</sub>	OCU7 - コンペアレジスタ	-	-	R/W	XXXXXXXX
000040 <sub>H</sub>	ICU0/ICU1 - コントロールステータスレジスタ	ICS01	-	R/W	00000000
000041 <sub>H</sub>	ICU0/ICU1 - エッジレジスタ	ICE01	-	R/W	XXX0X000
000042 <sub>H</sub>	ICU0 - データレジスタ下位	IPCPL0	IPCP0	R	XXXXXXXX
000043 <sub>H</sub>	ICU0 - データレジスタ上位	IPCPL0	-	R	XXXXXXXX
000044 <sub>H</sub>	ICU1 - データレジスタ下位	IPCPL1	IPCP1	R	XXXXXXXX
000045 <sub>H</sub>	ICU1 - データレジスタ上位	IPCPL1	-	R	XXXXXXXX
000046 <sub>H</sub> - 00004B <sub>H</sub>	予約	-	-	-	-
00004C <sub>H</sub>	ICU4/ICU5 - 制御ステータスレジスタ	ICS45	-	R/W	00000000
00004D <sub>H</sub>	ICU4/ICU5 - エッジレジスタ	ICE45	-	R/W	XXX0X000
00004E <sub>H</sub>	ICU4 - データレジスタ下位	IPCPL4	IPCP4	R	XXXXXXXX
00004F <sub>H</sub>	ICU4 - データレジスタ上位	IPCPL4	-	R	XXXXXXXX
000050 <sub>H</sub>	ICU5 - データレジスタ下位	IPCPL5	IPCP5	R	XXXXXXXX
000051 <sub>H</sub>	ICU5 - データレジスタ上位	IPCPL5	-	R	XXXXXXXX
000052 <sub>H</sub>	ICU6/ICU7 - 制御ステータスレジスタ	ICS67	-	R/W	00000000
000053 <sub>H</sub>	ICU6/ICU7 - エッジレジスタ	ICE67	-	R/W	XXX0X000
000054 <sub>H</sub>	ICU6 - データレジスタ下位	IPCPL6	IPCP6	R	XXXXXXXX
000055 <sub>H</sub>	ICU6 - データレジスタ上位	IPCPL6	-	R	XXXXXXXX
000056 <sub>H</sub>	ICU7 - データレジスタ下位	IPCPL7	IPCP7	R	XXXXXXXX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000057 <sub>H</sub>	ICU7 - データレジスタ上位	IPCPH7	-	R	XXXXXXXXXX
000058 <sub>H</sub>	EXTINT0 - 外部割込み要求許可レジスタ	ENIR0	-	R/W	00000000
000059 <sub>H</sub>	EXTINT0 - 外部割込み要求レジスタ	EIRR0	-	R/W	00000000
00005A <sub>H</sub>	EXTINT0 - 外部割込みレベルレジスタ下位	ELVRL0	ELVR0	R/W	00000000
00005B <sub>H</sub>	EXTINT0 - 外部割込みレベルレジスタ上位	ELVRH0	-	R/W	00000000
00005C <sub>H</sub>	EXTINT1 - 外部割込み要求許可レジスタ	ENIR1	-	R/W	00000000
00005D <sub>H</sub>	EXTINT1 - 外部割込み要求レジスタ	EIRR1	-	R/W	00000000
00005E <sub>H</sub>	EXTINT1 - 外部割込みレベルレジスタ下位	ELVRL1	ELVR1	R/W	00000000
00005F <sub>H</sub>	EXTINT1 - 外部割込みレベルレジスタ上位	ELVRH1	-	R/W	00000000
000060 <sub>H</sub>	RLT0 - タイマ制御状態レジスタ下位	TMCSRL0	TMCSR0	R/W	00000000
000061 <sub>H</sub>	RLT0 - タイマ制御状態レジスタ上位	TMCSRH0	-	R/W	00X10000
000062 <sub>H</sub>	RLT0 - 16ビットリロードレジスタ下位	-	TMRLR0	W	XXXXXXXXXX
000062 <sub>H</sub>	RLT0 - 16ビットタイマレジスタ下位	-	TMR0	R	XXXXXXXXXX
000063 <sub>H</sub>	RLT0 - 16ビットリロードレジスタ上位	-	-	W	XXXXXXXXXX
000063 <sub>H</sub>	RLT0 - 16ビットタイマレジスタ上位	-	-	R	XXXXXXXXXX
000064 <sub>H</sub>	RLT1 - タイマ制御状態レジスタ下位	TMCSRL1	TMCSR1	R/W	00000000
000065 <sub>H</sub>	RLT1 - タイマ制御状態レジスタ上位	TMCSRH1	-	R/W	00X10000
000066 <sub>H</sub>	RLT1 - 16ビットリロードレジスタ下位	-	TMRLR1	W	XXXXXXXXXX
000066 <sub>H</sub>	RLT1 - 16ビットタイマレジスタ下位	-	TMR1	R	XXXXXXXXXX
000067 <sub>H</sub>	RLT1 - 16ビットリロードレジスタ上位	-	-	W	XXXXXXXXXX
000067 <sub>H</sub>	RLT1 - 16ビットタイマレジスタ上位	-	-	R	XXXXXXXXXX
000068 <sub>H</sub>	RLT2 - タイマ制御状態レジスタ下位	TMCSRL2	TMCSR2	R/W	00000000
000069 <sub>H</sub>	RLT2 - タイマ制御状態レジスタ上位	TMCSRH2	-	R/W	00X10000
00006A <sub>H</sub>	RLT2 - 16ビットリロードレジスタ下位	-	TMRLR2	W	XXXXXXXXXX
00006A <sub>H</sub>	RLT2 - 16ビットタイマレジスタ下位	-	TMR2	R	XXXXXXXXXX
00006B <sub>H</sub>	RLT2 - 16ビットリロードレジスタ上位	-	-	W	XXXXXXXXXX
00006B <sub>H</sub>	RLT2 - 16ビットタイマレジスタ上位	-	-	R	XXXXXXXXXX
00006C <sub>H</sub>	RLT3 - タイマ制御状態レジスタ下位	TMCSRL3	TMCSR3	R/W	00000000
00006D <sub>H</sub>	RLT3 - タイマ制御状態レジスタ上位	TMCSRH3	-	R/W	00X10000
00006E <sub>H</sub>	RLT3 - 16ビットリロードレジスタ下位	-	TMRLR3	W	XXXXXXXXXX
00006E <sub>H</sub>	RLT3 - 16ビットタイマレジスタ下位	-	TMR3	R	XXXXXXXXXX
00006F <sub>H</sub>	RLT3 - 16ビットリロードレジスタ上位	-	-	W	XXXXXXXXXX
00006F <sub>H</sub>	RLT3 - 16ビットタイマレジスタ上位	-	-	R	XXXXXXXXXX
000070 <sub>H</sub>	RLT6 - タイマ制御状態レジスタ下位	TMCSRL6	TMCSR6	R/W	00000000
000071 <sub>H</sub>	RLT6 - タイマ制御状態レジスタ上位	TMCSRH6	-	R/W	00X10000
000072 <sub>H</sub>	RLT6 - 16ビットリロードレジスタ下位	-	TMRLR6	W	XXXXXXXXXX
000072 <sub>H</sub>	RLT6 - 16ビットタイマレジスタ下位	-	TMR6	R	XXXXXXXXXX
000073 <sub>H</sub>	RLT6 - 16ビットリロードレジスタ上位	-	-	W	XXXXXXXXXX
000073 <sub>H</sub>	RLT6 - 16ビットタイマレジスタ	-	-	R	XXXXXXXXXX
000074 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 1 下位	GCN1L0	GCN10	R/W	00010000
000075 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 1 上位	GCN1H0	-	R/W	00110010
000076 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 2 下位	GCN2L0	GCN20	R/W	XXXX0000
000077 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 2 上位	GCN2H0	-	R/W	XXXX0000
000078 <sub>H</sub>	PPG0 - タイマレジスタ	-	PTMR0	R	11111111
000079 <sub>H</sub>	PPG0 - タイマレジスタ	-	-	R	11111111
00007A <sub>H</sub>	PPG0 - 周期設定レジスタ下位	PCSRL0	PCSR0	R/W	XXXXXXXXXX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
00007B <sub>H</sub>	PPG0 - 周期設定レジスタ上位	PCSRH0	-	R/W	XXXXXXXXXX
00007C <sub>H</sub>	PPG0 - デューティ設定レジスタ下位	PDUTL0	PDUT0	R/W	XXXXXXXXXX
00007D <sub>H</sub>	PPG0 - デューティ設定レジスタ上位	PDUTH0	-	R/W	XXXXXXXXXX
00007E <sub>H</sub>	PPG0 - 制御ステータスレジスタ下位	PCNL0	PCN0	R/W	00000000
00007F <sub>H</sub>	PPG0 - 制御ステータスレジスタ上位	PCNH0	-	R/W	00000000
000080 <sub>H</sub>	PPG1 - タイマレジスタ	-	PTMR1	R	11111111
000081 <sub>H</sub>	PPG1 - タイマレジスタ	-	-	R	11111111
000082 <sub>H</sub>	PPG1 - 周期設定レジスタ下位	PCSRL1	PCSR1	R/W	XXXXXXXXXX
000083 <sub>H</sub>	PPG1 - 周期設定レジスタ上位	PCSRH1	-	R/W	XXXXXXXXXX
000084 <sub>H</sub>	PPG1 - デューティ設定レジスタ下位	PDUTL1	PDUT1	R/W	XXXXXXXXXX
000085 <sub>H</sub>	PPG1 - デューティ設定レジスタ上位	PDUTH1	-	R/W	XXXXXXXXXX
000086 <sub>H</sub>	PPG1 - 制御ステータスレジスタ下位	PCNL1	PCN1	R/W	00000000
000087 <sub>H</sub>	PPG1 - 制御ステータスレジスタ上位	PCNH1	-	R/W	00000000
000088 <sub>H</sub>	PPG2 - タイマレジスタ	-	PTMR2	R	11111111
000089 <sub>H</sub>	PPG2 - タイマレジスタ	-	-	R	11111111
00008A <sub>H</sub>	PPG2 - 周期設定レジスタ下位	PCSRL2	PCSR2	R/W	XXXXXXXXXX
00008B <sub>H</sub>	PPG2 - 周期設定レジスタ上位	PCSRH2	-	R/W	XXXXXXXXXX
00008C <sub>H</sub>	PPG2 - デューティ設定レジスタ下位	PDUTL2	PDUT2	R/W	XXXXXXXXXX
00008D <sub>H</sub>	PPG2 - デューティ設定レジスタ上位	PDUTH2	-	R/W	XXXXXXXXXX
00008E <sub>H</sub>	PPG2 - 制御ステータスレジスタ下位	PCNL2	PCN2	R/W	00000000
00008F <sub>H</sub>	PPG2 - 制御ステータスレジスタ上位	PCNH2	-	R/W	00000000
000090 <sub>H</sub>	PPG3 - タイマレジスタ	-	PTMR3	R	11111111
000091 <sub>H</sub>	PPG3 - タイマレジスタ	-	-	R	11111111
000092 <sub>H</sub>	PPG3 - 周期設定レジスタ下位	PCSRL3	PCSR3	R/W	XXXXXXXXXX
000093 <sub>H</sub>	PPG3 - 周期設定レジスタ上位	PCSRH3	-	R/W	XXXXXXXXXX
000094 <sub>H</sub>	PPG3 - デューティ設定レジスタ下位	PDUTL3	PDUT3	R/W	XXXXXXXXXX
000095 <sub>H</sub>	PPG3 - デューティ設定レジスタ上位	PDUTH3	-	R/W	XXXXXXXXXX
000096 <sub>H</sub>	PPG3 - 制御ステータスレジスタ下位	PCNL3	PCN3	R/W	00000000
000097 <sub>H</sub>	PPG3 - 制御ステータスレジスタ上位	PCNH3	-	R/W	00000000
000098 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 1 下位	GCN1L1	GCN11	R/W	00010000
000099 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 1 上位	GCN1H1	-	R/W	00110010
00009A <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 2 下位	GCN2L1	GCN21	R/W	XXXX0000
00009B <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 2 上位	GCN2H1	-	R/W	XXXX0000
00009C <sub>H</sub>	PPG4 - タイマレジスタ	-	PTMR4	R	11111111
00009D <sub>H</sub>	PPG4 - タイマレジスタ	-	-	R	11111111
00009E <sub>H</sub>	PPG4 - 周期設定レジスタ下位	PCSRL4	PCSR4	R/W	XXXXXXXXXX
00009F <sub>H</sub>	PPG4 - 周期設定レジスタ上位	PCSRH4	-	R/W	XXXXXXXXXX
0000A0 <sub>H</sub>	PPG4 - デューティ設定レジスタ下位	PDUTL4	PDUT4	R/W	XXXXXXXXXX
0000A1 <sub>H</sub>	PPG4 - デューティ設定レジスタ上位	PDUTH4	-	R/W	XXXXXXXXXX
0000A2 <sub>H</sub>	PPG4 - 制御ステータスレジスタ下位	PCNL4	PCN4	R/W	00000000
0000A3 <sub>H</sub>	PPG4 - 制御ステータスレジスタ上位	PCNH4	-	R/W	00000000
0000A4 <sub>H</sub>	PPG5 - タイマレジスタ	-	PTMR5	R	11111111
0000A5 <sub>H</sub>	PPG5 - タイマレジスタ	-	-	R	11111111
0000A6 <sub>H</sub>	PPG5 - 周期設定レジスタ下位	PCSRL5	PCSR5	R/W	XXXXXXXXXX
0000A7 <sub>H</sub>	PPG5 - 周期設定レジスタ上位	PCSRH5	-	R/W	XXXXXXXXXX
0000A8 <sub>H</sub>	PPG5 - デューティ設定レジスタ下位	PDUTL5	PDUT5	R/W	XXXXXXXXXX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0000A9 <sub>H</sub>	PPG5 - デューティ設定レジスタ上位	PDUTH5	-	R/W	XXXXXXXX
0000AA <sub>H</sub>	PPG5 - 制御ステータスレジスタ下位	PCNL5	PCN5	R/W	00000000
0000AB <sub>H</sub>	PPG5 - 制御ステータスレジスタ上位	PCNH5	-	R/W	00000000
0000AC <sub>H</sub>	I <sup>2</sup> C0 - バスステータスレジスタ	IBSR0	-	R	00000000
0000AD <sub>H</sub>	I <sup>2</sup> C0 - バスコントロールレジスタ	IBCR0	-	R/W	00000000
0000AE <sub>H</sub>	I <sup>2</sup> C0 - 10 ビットスレーブアドレスレジスタ 下位	ITBAL0	ITBA0	R/W	00000000
0000AF <sub>H</sub>	I <sup>2</sup> C0 - 10 ビットスレーブアドレスレジスタ 上位	ITBAH0	-	R/W	00000000
0000B0 <sub>H</sub>	I <sup>2</sup> C0 - 10 ビットスレーブアドレスマスクレ ジスタ下位	ITMKL0	ITMK0	R/W	11111111
0000B1 <sub>H</sub>	I <sup>2</sup> C0 - 10 ビットスレーブアドレスマスクレ ジスタ上位	ITMKH0	-	R/W	00111111
0000B2 <sub>H</sub>	I <sup>2</sup> C0 - 7 ビットスレーブアドレスレジスタ	ISBA0	-	R/W	00000000
0000B3 <sub>H</sub>	I <sup>2</sup> C0 - 7 ビットスレーブアドレスマスクレ ジスタ	ISMK0	-	R/W	01111111
0000B4 <sub>H</sub>	I <sup>2</sup> C0 - データレジスタ	IDAR0	-	R/W	00000000
0000B5 <sub>H</sub>	I <sup>2</sup> C0 - クロックコントロールレジスタ	ICCR0	-	R/W	00011111
0000B6 <sub>H</sub>	I <sup>2</sup> C1 - バスステータスレジスタ	IBSR1	-	R	00000000
0000B7 <sub>H</sub>	I <sup>2</sup> C1 - バスコントロールレジスタ	IBCR1	-	R/W	00000000
0000B8 <sub>H</sub>	I <sup>2</sup> C1 - 10 ビットスレーブアドレスレジスタ 下位	ITBAL1	ITBA1	R/W	00000000
0000B9 <sub>H</sub>	I <sup>2</sup> C1 - 10 ビットスレーブアドレスレジスタ 上位	ITBAH1	-	R/W	00000000
0000BA <sub>H</sub>	I <sup>2</sup> C1 - 10 ビットスレーブアドレスマスクレ ジスタ下位	ITMKL1	ITMK1	R/W	11111111
0000BB <sub>H</sub>	I <sup>2</sup> C1 - 10 ビットスレーブアドレスマスクレ ジスタ上位	ITMKH1	-	R/W	00111111
0000BC <sub>H</sub>	I <sup>2</sup> C1 - 7 ビットスレーブアドレスレジスタ	ISBA1	-	R/W	00000000
0000BD <sub>H</sub>	I <sup>2</sup> C1 - 7 ビットスレーブアドレスマスクレ ジスタ	ISMK1	-	R/W	01111111
0000BE <sub>H</sub>	I <sup>2</sup> C1 - データレジスタ	IDAR1	-	R/W	00000000
0000BF <sub>H</sub>	I <sup>2</sup> C1 - クロックコントロールレジスタ	ICCR1	-	R/W	00011111
0000C0 <sub>H</sub>	USART0 - シリアルモードレジスタ	SMR0	-	R/W	00000000
0000C1 <sub>H</sub>	USART0 - シリアル制御レジスタ	SCR0	-	R/W	00000000
0000C2 <sub>H</sub>	USART0 - 送信データ レジスタ	TDR0	-	W	11111111
0000C2 <sub>H</sub>	USART0 - 受信データ レジスタ	RDR0	-	R	00000000
0000C3 <sub>H</sub>	USART0 - シリアルステータスレジスタ	SSR0	-	R/W	00001000
0000C4 <sub>H</sub>	USART0 - 拡張通信制御レジスタ	ECCR0	-	R/W	000000XX
0000C5 <sub>H</sub>	USART0 - 拡張ステータス制御レジスタ	ESCR0	-	R/W	00000100
0000C6 <sub>H</sub>	USART0 - ボーレート/リロードカウンタレ ジスタ下位	BGRL0	BGR0	R/W	00000000
0000C7 <sub>H</sub>	USART0 - ボーレート/リロードカウンタレ ジスタ上位	BGRH0	-	R/W	00000000
0000C8 <sub>H</sub>	USART0 - 拡張シリアル割込みレジスタ	ESIR0	-	R/W	XXXX10X0
0000C9 <sub>H</sub>	USART0 - フレーム ID データレジスタ	FIDR0	-	R/W	00000000
0000CA <sub>H</sub>	USART1 - シリアルモードレジスタ	SMR1	-	R/W	00000000



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0000CB <sub>H</sub>	USART1 - シリアル制御レジスタ	SCR1	-	R/W	00000000
0000CC <sub>H</sub>	USART1 - 送信データ レジスタ	TDR1	-	W	11111111
0000CC <sub>H</sub>	USART1 - 受信データ レジスタ	RDR1	-	R	00000000
0000CD <sub>H</sub>	USART1 - シリアルステータスレジスタ	SSR1	-	R/W	00001000
0000CE <sub>H</sub>	USART1 - 拡張通信制御レジスタ	ECCR1	-	R/W	000000XX
0000CF <sub>H</sub>	USART1 - 拡張ステータス制御レジスタ	ESCR1	-	R/W	00000100
0000D0 <sub>H</sub>	USART1 - ボーレート/リロードカウンタレジスタ下位	BGRL1	BGR1	R/W	00000000
0000D1 <sub>H</sub>	USART1 - ボーレート/リロードカウンタレジスタ上位	BGRH1	-	R/W	00000000
0000D2 <sub>H</sub>	USART1 - 拡張シリアル割込みレジスタ	ESIR1	-	R/W	XXXX10X0
0000D3 <sub>H</sub>	予約	-	-	-	-
0000D4 <sub>H</sub>	USART2 - シリアルモードレジスタ	SMR2	-	R/W	00000000
0000D5 <sub>H</sub>	USART2 - シリアル制御レジスタ	SCR2	-	R/W	00000000
0000D6 <sub>H</sub>	USART2 - 送信データ レジスタ	TDR2	-	W	11111111
0000D6 <sub>H</sub>	USART2 - 受信データ レジスタ	RDR2	-	R	00000000
0000D7 <sub>H</sub>	USART2 - シリアルステータスレジスタ	SSR2	-	R/W	00001000
0000D8 <sub>H</sub>	USART2 - 拡張通信制御レジスタ	ECCR2	-	R/W	000000XX
0000D9 <sub>H</sub>	USART2 - 拡張ステータス制御レジスタ	ESCR2	-	R/W	00000100
0000DA <sub>H</sub>	USART2 - ボーレート/リロードカウンタレジスタ下位	BGRL2	BGR2	R/W	00000000
0000DB <sub>H</sub>	USART2 - ボーレート/リロードカウンタレジスタ上位	BGRH2	-	R/W	00000000
0000DC <sub>H</sub>	USART2 - 拡張シリアル割込みレジスタ	ESIR2	-	R/W	XXXX10X0
0000DD <sub>H</sub> - 0000EB <sub>H</sub>	予約	-	-	-	-
0000EC <sub>H</sub>	PPG - 汎用制御レジスタ	GCNR0	-	R/W	XXXXXXX00
0000ED <sub>H</sub> - 0000FF <sub>H</sub>	予約	-	-	-	-
000100 <sub>H</sub>	DMA0 - バッファアドレスポインタ下位	BAPL0	-	R/W	XXXXXXXXXX
000101 <sub>H</sub>	DMA0 - バッファアドレスポインタ中位	BAPM0	-	R/W	XXXXXXXXXX
000102 <sub>H</sub>	DMA0 - バッファアドレスポインタ上位	BAPH0	-	R/W	XXXXXXXXXX
000103 <sub>H</sub>	DMA0 - 制御レジスタ	DMACS0	-	R/W	XXXXXXXXXX
000104 <sub>H</sub>	DMA0 - I/O レジスタアドレスポインタ下位	IOAL0	IOA0	R/W	XXXXXXXXXX
000105 <sub>H</sub>	DMA0 - I/O レジスタアドレスポインタ上位	IOAH0	-	R/W	XXXXXXXXXX
000106 <sub>H</sub>	DMA0 - データカウントレジスタ下位	DCTL0	DCT0	R/W	XXXXXXXXXX
000107 <sub>H</sub>	DMA0 - データカウントレジスタ上位	DCTH0	-	R/W	XXXXXXXXXX
000108 <sub>H</sub>	DMA1 - バッファアドレスポインタ下位	BAPL1	-	R/W	XXXXXXXXXX
000109 <sub>H</sub>	DMA1 - バッファアドレスポインタ中位	BAPM1	-	R/W	XXXXXXXXXX
00010A <sub>H</sub>	DMA1 - バッファアドレスポインタ上位	BAPH1	-	R/W	XXXXXXXXXX
00010B <sub>H</sub>	DMA1 - 制御レジスタ	DMACS1	-	R/W	XXXXXXXXXX
00010C <sub>H</sub>	DMA1 - I/O レジスタアドレスポインタ下位	IOAL1	IOA1	R/W	XXXXXXXXXX
00010D <sub>H</sub>	DMA1 - I/O レジスタアドレスポインタ上位	IOAH1	-	R/W	XXXXXXXXXX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
00010E <sub>H</sub>	DMA1 - データカウントレジスタ下位	DCTL1	DCT1	R/W	XXXXXXXX
00010F <sub>H</sub>	DMA1 - データカウントレジスタ上位	DCTH1	-	R/W	XXXXXXXX
000110 <sub>H</sub>	DMA2 - バッファアドレスポインタ下位	BAPL2	-	R/W	XXXXXXXX
000111 <sub>H</sub>	DMA2 - バッファアドレスポインタ中位	BAPM2	-	R/W	XXXXXXXX
000112 <sub>H</sub>	DMA2 - バッファアドレスポインタ上位	BAPH2	-	R/W	XXXXXXXX
000113 <sub>H</sub>	DMA2 - 制御レジスタ	DMACS2	-	R/W	XXXXXXXX
000114 <sub>H</sub>	DMA2 - I/O レジスタアドレスポインタ下位	IOAL2	IOA2	R/W	XXXXXXXX
000115 <sub>H</sub>	DMA2 - I/O レジスタアドレスポインタ上位	IOAH2	-	R/W	XXXXXXXX
000116 <sub>H</sub>	DMA2 - データカウントレジスタ下位	DCTL2	DCT2	R/W	XXXXXXXX
000117 <sub>H</sub>	DMA2 - データカウントレジスタ上位	DCTH2	-	R/W	XXXXXXXX
000118 <sub>H</sub>	DMA3 - バッファアドレスポインタ下位	BAPL3	-	R/W	XXXXXXXX
000119 <sub>H</sub>	DMA3 - バッファアドレスポインタ中位	BAPM3	-	R/W	XXXXXXXX
00011A <sub>H</sub>	DMA3 - バッファアドレスポインタ上位	BAPH3	-	R/W	XXXXXXXX
00011B <sub>H</sub>	DMA3 - 制御レジスタ	DMACS3	-	R/W	XXXXXXXX
00011C <sub>H</sub>	DMA3 - I/O レジスタアドレスポインタ下位	IOAL3	IOA3	R/W	XXXXXXXX
00011D <sub>H</sub>	DMA3 - I/O レジスタアドレスポインタ上位	IOAH3	-	R/W	XXXXXXXX
00011E <sub>H</sub>	DMA3 - データカウントレジスタ下位	DCTL3	DCT3	R/W	XXXXXXXX
00011F <sub>H</sub>	DMA3 - データカウントレジスタ上位	DCTH3	-	R/W	XXXXXXXX
000120 <sub>H</sub> - 00017F <sub>H</sub>	予約	-	-	-	-
000180 <sub>H</sub> - 00037F <sub>H</sub>	CPU - 汎用レジスタ(RAM アクセス)	GPR_RAM	-	R/W	-
000380 <sub>H</sub>	DMA0 - 割り込み要求選択レジスタ	DISEL0	-	R/W	00001100
000381 <sub>H</sub>	DMA1 - 割り込み要求選択レジスタ	DISEL1	-	R/W	00001100
000382 <sub>H</sub>	DMA2 - 割り込み要求選択レジスタ	DISEL2	-	R/W	00001100
000383 <sub>H</sub>	DMA3 - 割り込み要求選択レジスタ	DISEL3	-	R/W	00001100
000384 <sub>H</sub> - 00038F <sub>H</sub>	予約	-	-	-	-
000390 <sub>H</sub>	DMA - ステータスレジスタ下位	DSRL	DSR	R/W	00000000
000391 <sub>H</sub>	DMA - ステータスレジスタ上位	DSRH	-	R/W	00000000
000392 <sub>H</sub>	DMA - 停止ステータスレジスタ下位	DSSRL	DSSR	R/W	00000000
000393 <sub>H</sub>	DMA - 停止ステータスレジスタ上位	DSSRH	-	R/W	00000000
000394 <sub>H</sub>	DMA - 許可レジスタ下位	DERL	DER	R/W	00000000
000395 <sub>H</sub>	DMA - 許可レジスタ上位	DERH	-	R/W	00000000
000396 <sub>H</sub> - 00039F <sub>H</sub>	予約	-	-	-	-
0003A0 <sub>H</sub>	割り込み制御レジスタ 割り込みレベル	ILR	ICR	R/W	XXXXX111
0003A1 <sub>H</sub>	割り込み制御レジスタ インデックス	IDX	-	R/W	00001100
0003A2 <sub>H</sub>	割り込みベクタテーブルベースレジスタ下位	TBRL	TBR	R/W	11111100
0003A3 <sub>H</sub>	割り込みベクタテーブルベースレジスタ上位	TBRH	-	R/W	11111111
0003A4 <sub>H</sub>	遅延割り込み要求レジスタ	DIRR	-	R/W	XXXXXXXX0
0003A5 <sub>H</sub>	NMI 制御ステータスレジスタ	NMI	-	R/W	XXXXX10X

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0003A6 <sub>H</sub> - 0003AD <sub>H</sub>	予約	-	-	-	-
0003AE <sub>H</sub>	ROM ミラー機能選択レジスタ	ROMM	-	R/W	1111X111
0003AF <sub>H</sub> - 0003E7 <sub>H</sub>	予約	-	-	-	-
0003E8 <sub>H</sub>	デュアルオペレーションフラッシュ設定レジスタ A	DFCA	-	R/W	XXXXX000
0003E9 <sub>H</sub>	デュアルオペレーションフラッシュ割込み制御レジスタ A	DFICA	-	R/W	X0000000
0003EA <sub>H</sub>	デュアルオペレーションフラッシュステータスレジスタ A	DFSA	-	R	11000001
0003EB <sub>H</sub>	デュアルオペレーションフラッシュ割込みステータスレジスタ A	DFISA	-	R/W	X0000000
0003EC <sub>H</sub> - 0003F8 <sub>H</sub>	予約	-	-	-	-
0003F9 <sub>H</sub>	デュアルオペレーションフラッシュ書込みアクセス制御レジスタ 0A	DFWC0A	-	R/W	XXX00000
0003FA <sub>H</sub> - 0003FC <sub>H</sub>	予約	-	-	-	-
0003FD <sub>H</sub>	デュアルオペレーションフラッシュ書込みアクセス制御レジスタ 1A	DFWC1A	-	R/W	00000000
0003FE <sub>H</sub> , 0003FF <sub>H</sub>	予約	-	-	-	-
000400 <sub>H</sub>	スタンバイモード制御レジスタ	SMCR	-	R/W	XXX0X000
000401 <sub>H</sub>	クロック選択レジスタ	CKSR	-	R/W	10110000
000402 <sub>H</sub>	クロック安定化選択レジスタ	CKSSR	-	R/W	XX111111
000403 <sub>H</sub>	クロックモニタレジスタ	CKMR	-	R	*0*0XXXX *:リセット要因に依存
000404 <sub>H</sub>	クロック周波数制御レジスタ下位	CKFCRL	CKFCR	R/W	0000XXX1
000405 <sub>H</sub>	クロック周波数制御レジスタ上位	CKFCRH	-	R/W	00000000
000406 <sub>H</sub>	PLL 制御レジスタ下位	PLLCRL	PLLCR	R/W	000X0000
000407 <sub>H</sub>	PLL 制御レジスタ上位	PLLCRH	-	R/W	XXXXXXXXXX
000408 <sub>H</sub>	CR クロックタイマ制御レジスタ	RCTCR	-	R/W	X0010000
000409 <sub>H</sub>	メインクロックタイマ制御レジスタ	MCTCR	-	R/W	X0010000
00040A <sub>H</sub>	サブクロックタイマ制御レジスタ	SCTCR	-	R/W	X001X000
00040B <sub>H</sub>	リセット要因およびクロック状態レジスタ	RCCSRC	-	R	***** *:リセット要因に依存
00040C <sub>H</sub>	リセット構成レジスタ	RCR	-	R/W	XX000*0 *:リセット要因に依存
00040D <sub>H</sub>	リセット要因およびクロック状態レジスタ	RCCSR	-	R	***** *:リセット要因に依存

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
00040E <sub>H</sub>	ウォッチドッグタイマ構成レジスタ	WDTC	WDT	R/W	0000**** *:WICM Marker に依存
00040F <sub>H</sub>	ウォッチドッグタイマクリアパターンレジスタ	WDTCP	-	W	00000000
000410 <sub>H</sub> - 000414 <sub>H</sub>	予約	-	-	-	-
000415 <sub>H</sub>	クロック出力起動レジスタ	COAR	-	R/W	00000000
000416 <sub>H</sub>	クロック出力構成レジスタ 0	COCR0	-	R/W	X0000000
000417 <sub>H</sub>	クロック出力構成レジスタ 1	COCR1	-	R/W	X0000000
000418 <sub>H</sub> - 00041F <sub>H</sub>	予約	-	-	-	-
000420 <sub>H</sub>	ウォッチドッグタイマ拡張構成レジスタ	WDTEC	-	R/W	XXX00000
000421 <sub>H</sub> - 00042B <sub>H</sub>	予約	-	-	-	-
00042C <sub>H</sub>	電圧レギュレータ制御レジスタ	VRCR	-	R/W	10X10X10
00042D <sub>H</sub>	クロック入力および LVD 制御レジスタ	CILCR	-	R/W	00000000
00042E <sub>H</sub>	拡張スタンバイモード制御レジスタ	ESMCR	-	R/W	XXX00001
00042F <sub>H</sub>	予約	-	-	-	-
000430 <sub>H</sub>	I/O ポート P00 - データ方向レジスタ	DDR00	-	R/W	00000000
000431 <sub>H</sub>	I/O ポート P01 - データ方向レジスタ	DDR01	-	R/W	00000000
000432 <sub>H</sub>	I/O ポート P02 - データ方向レジスタ	DDR02	-	R/W	00000000
000433 <sub>H</sub>	I/O ポート P03 - データ方向レジスタ	DDR03	-	R/W	00000000
000434 <sub>H</sub>	I/O ポート P04 - データ方向レジスタ	DDR04	-	R/W	00000000
000435 <sub>H</sub>	I/O ポート P05 - データ方向レジスタ	DDR05	-	R/W	00000000
000436 <sub>H</sub>	I/O ポート P06 - データ方向レジスタ	DDR06	-	R/W	00000000
000437 <sub>H</sub>	予約	-	-	-	-
000438 <sub>H</sub>	I/O ポート P08 - データ方向レジスタ	DDR08	-	R/W	00000000
000439 <sub>H</sub>	I/O ポート P09 - データ方向レジスタ	DDR09	-	R/W	00000000
00043A <sub>H</sub>	I/O ポート P10 - データ方向レジスタ	DDR10	-	R/W	00000000
00043B <sub>H</sub>	I/O ポート P11 - データ方向レジスタ	DDR11	-	R/W	00000000
00043C <sub>H</sub>	I/O ポート P12 - データ方向レジスタ	DDR12	-	R/W	00000000
00043D <sub>H</sub>	I/O ポート P13 - データ方向レジスタ	DDR13	-	R/W	00000000
00043E <sub>H</sub> - 000440 <sub>H</sub>	予約	-	-	-	-
000441 <sub>H</sub>	I/O ポート P17 - データ方向レジスタ	DDR17	-	R/W	00000000
000442 <sub>H</sub> , 000443 <sub>H</sub>	予約	-	-	-	-
000444 <sub>H</sub>	I/O ポート P00 - ポート入力許可レジスタ	PIER00	-	R/W	00000000
000445 <sub>H</sub>	I/O ポート P01 - ポート入力許可レジスタ	PIER01	-	R/W	00000000
000446 <sub>H</sub>	I/O ポート P02 - ポート入力許可レジスタ	PIER02	-	R/W	00000000
000447 <sub>H</sub>	I/O ポート P03 - ポート入力許可レジスタ	PIER03	-	R/W	00000000
000448 <sub>H</sub>	I/O ポート P04 - ポート入力許可レジスタ	PIER04	-	R/W	00000000
000449 <sub>H</sub>	I/O ポート P05 - ポート入力許可レジスタ	PIER05	-	R/W	00000000
00044A <sub>H</sub>	I/O ポート P06 - ポート入力許可レジスタ	PIER06	-	R/W	00000000
00044B <sub>H</sub>	予約	-	-	-	-
00044C <sub>H</sub>	I/O ポート P08 - ポート入力許可レジスタ	PIER08	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
00044D <sub>H</sub>	I/O ポート P09 - ポート入力許可レジスタ	PIER09	-	R/W	00000000
00044E <sub>H</sub>	I/O ポート P10 - ポート入力許可レジスタ	PIER10	-	R/W	00000000
00044F <sub>H</sub>	I/O ポート P11 - ポート入力許可レジスタ	PIER11	-	R/W	00000000
000450 <sub>H</sub>	I/O ポート P12 - ポート入力許可レジスタ	PIER12	-	R/W	00000000
000451 <sub>H</sub>	I/O ポート P13 - ポート入力許可レジスタ	PIER13	-	R/W	00000000
000452 <sub>H</sub> - 000454 <sub>H</sub>	予約	-	-	-	-
000455 <sub>H</sub>	I/O ポート P17 - ポート入力許可レジスタ	PIER17	-	R/W	00000000
000456 <sub>H</sub> - 0004A7 <sub>H</sub>	予約	-	-	-	-
0004A8 <sub>H</sub>	I/O ポート P00 - ブルアップ制御レジスタ	PUCR00	-	R/W	00000000
0004A9 <sub>H</sub>	I/O ポート P01 - ブルアップ制御レジスタ	PUCR01	-	R/W	00000000
0004AA <sub>H</sub>	I/O ポート P02 - ブルアップ制御レジスタ	PUCR02	-	R/W	00000000
0004AB <sub>H</sub>	I/O ポート P03 - ブルアップ制御レジスタ	PUCR03	-	R/W	00000000
0004AC <sub>H</sub>	I/O ポート P04 - ブルアップ制御レジスタ	PUCR04	-	R/W	00000000
0004AD <sub>H</sub>	I/O ポート P05 - ブルアップ制御レジスタ	PUCR05	-	R/W	00000000
0004AE <sub>H</sub>	I/O ポート P06 - ブルアップ制御レジスタ	PUCR06	-	R/W	00000000
0004AF <sub>H</sub>	予約	-	-	-	-
0004B0 <sub>H</sub>	I/O ポート P08 - ブルアップ制御レジスタ	PUCR08	-	R/W	00000000
0004B1 <sub>H</sub>	I/O ポート P09 - ブルアップ制御レジスタ	PUCR09	-	R/W	00000000
0004B2 <sub>H</sub>	I/O ポート P10 - ブルアップ制御レジスタ	PUCR10	-	R/W	00000000
0004B3 <sub>H</sub>	I/O ポート P11 - ブルアップ制御レジスタ	PUCR11	-	R/W	00000000
0004B4 <sub>H</sub>	I/O ポート P12 - ブルアップ制御レジスタ	PUCR12	-	R/W	00000000
0004B5 <sub>H</sub>	I/O ポート P13 - ブルアップ制御レジスタ	PUCR13	-	R/W	00000000
0004B6 <sub>H</sub> - 0004B8 <sub>H</sub>	予約	-	-	-	-
0004B9 <sub>H</sub>	I/O ポート P17 - ブルアップ制御レジスタ	PUCR17	-	R/W	00000000
0004BA <sub>H</sub> , 0004BB <sub>H</sub>	予約	-	-	-	-
0004BC <sub>H</sub>	I/O ポート P00 - 外部端子状態レジスタ	EPSR00	-	R	XXXXXXXX
0004BD <sub>H</sub>	I/O ポート P01 - 外部端子状態レジスタ	EPSR01	-	R	XXXXXXXX
0004BE <sub>H</sub>	I/O ポート P02 - 外部端子状態レジスタ	EPSR02	-	R	XXXXXXXX
0004BF <sub>H</sub>	I/O ポート P03 - 外部端子状態レジスタ	EPSR03	-	R	XXXXXXXX
0004C0 <sub>H</sub>	I/O ポート P04 - 外部端子状態レジスタ	EPSR04	-	R	XXXXXXXX
0004C1 <sub>H</sub>	I/O ポート P05 - 外部端子状態レジスタ	EPSR05	-	R	XXXXXXXX
0004C2 <sub>H</sub>	I/O ポート P06 - 外部端子状態レジスタ	EPSR06	-	R	XXXXXXXX
0004C3 <sub>H</sub>	予約	-	-	-	-
0004C4 <sub>H</sub>	I/O ポート P08 - 外部端子状態レジスタ	EPSR08	-	R	XXXXXXXX
0004C5 <sub>H</sub>	I/O ポート P09 - 外部端子状態レジスタ	EPSR09	-	R	XXXXXXXX
0004C6 <sub>H</sub>	I/O ポート P10 - 外部端子状態レジスタ	EPSR10	-	R	XXXXXXXX
0004C7 <sub>H</sub>	I/O ポート P11 - 外部端子状態レジスタ	EPSR11	-	R	XXXXXXXX
0004C8 <sub>H</sub>	I/O ポート P12 - 外部端子状態レジスタ	EPSR12	-	R	XXXXXXXX
0004C9 <sub>H</sub>	I/O ポート P13 - 外部端子状態レジスタ	EPSR13	-	R	XXXXXXXX
0004CA <sub>H</sub> - 0004CC <sub>H</sub>	予約	-	-	-	-
0004CD <sub>H</sub>	I/O ポート P17 - 外部端子状態レジスタ	EPSR17	-	R	XXXXXXXX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0004CE <sub>H</sub> , 0004CF <sub>H</sub>	予約	-	-	-	-
0004D0 <sub>H</sub>	ADC0 アナログ入力許可レジスタ 0	ADER0	-	R/W	00000000
0004D1 <sub>H</sub>	ADC0 アナログ入力許可レジスタ 1	ADER1	-	R/W	00000000
0004D2 <sub>H</sub>	ADC0 アナログ入力許可レジスタ 2	ADER2	-	R/W	00000000
0004D3 <sub>H</sub>	ADC0 アナログ入力許可レジスタ 3	ADER3	-	R/W	00000000
0004D4 <sub>H</sub> , 0004D5 <sub>H</sub>	予約	-	-	-	-
0004D6 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 0	PRRR0	-	R/W	00000000
0004D7 <sub>H</sub>	予約	-	-	-	-
0004D8 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 2	PRRR2	-	R/W	00000000
0004D9 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 3	PRRR3	-	R/W	00000000
0004DA <sub>H</sub>	周辺リソース端子リロケーションレジスタ 4	PRRR4	-	R/W	00000000
0004DB <sub>H</sub>	周辺リソース端子リロケーションレジスタ 5	PRRR5	-	R/W	00XX0000
0004DC <sub>H</sub>	周辺リソース端子リロケーションレジスタ 6	PRRR6	-	R/W	00000000
0004DD <sub>H</sub>	予約	-	-	-	-
0004DE <sub>H</sub>	周辺リソース端子リロケーションレジスタ 8	PRRR8	-	R/W	00000000
0004DF <sub>H</sub>	周辺リソース端子リロケーションレジスタ 9	PRRR9	-	R/W	XX000000
0004E0 <sub>H</sub>	RTC - サブセカンドレジスタ L	WTBR0	WTBR0	R/W	XXXXXXXX
0004E1 <sub>H</sub>	RTC - サブセカンドレジスタ M	WTBRH0	-	R/W	XXXXXXXX
0004E2 <sub>H</sub>	RTC - サブセカンドレジスタ H	WTBR1	-	R/W	XXXXXXXX
0004E3 <sub>H</sub>	RTC - 秒レジスタ	WTSR	-	R/W	XX***** *:リセット要 因に依存
0004E4 <sub>H</sub>	RTC - 分レジスタ	WTMR	-	R/W	XX***** *:リセット要 因に依存
0004E5 <sub>H</sub>	RTC - 時レジスタ	WTHR	-	R/W	XXX***** *:リセット要 因に依存
0004E6 <sub>H</sub>	RTC - タイマ制御拡張レジスタ	WTCER	-	R/W	XXXXXX00
0004E7 <sub>H</sub>	RTC - クロック選択レジスタ	WTCKSR	-	R/W	XXXXXX00
0004E8 <sub>H</sub>	RTC - タイマ制御レジスタ下位	WTCRL	WTCR	R/W	XXXX0000
0004E9 <sub>H</sub>	RTC - タイマ制御レジスタ上位	WTCRH	-	R/W	00000000
0004EA <sub>H</sub>	CAL - クロック補正ユニット制御レジスタ	CUCR	-	R/W	XXX0X000
0004EB <sub>H</sub>	予約	-	-	-	-
0004EC <sub>H</sub>	CAL - クロック補正ユニット測定時間タイ マデータレジスタ下位	CUTDL	CUTD	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0004ED <sub>H</sub>	CAL - クロック補正ユニット測定時間タイマデータレジスタ上位	CUTDH	-	R/W	10000000
0004EE <sub>H</sub>	CAL - クロック補正ユニット補正タイマデータレジスタ 2 下位	CUTR2L	CUTR2	R	00000000
0004EF <sub>H</sub>	CAL - クロック補正ユニット補正タイマデータレジスタ 2 上位	CUTR2H	-	R	00000000
0004F0 <sub>H</sub>	CAL - クロック補正ユニット補正タイマデータレジスタ 1 下位	CUTR1L	CUTR1	R	00000000
0004F1 <sub>H</sub>	CAL - クロック補正ユニット補正タイマデータレジスタ 1 上位	CUTR1H	-	R	00000000
0004F2 <sub>H</sub> - 0004F9 <sub>H</sub>	予約	-	-	-	-
0004FA <sub>H</sub>	RLT - リロードタイマ入力選択レジスタ(カスケード用)	TMISR	-	R/W	XX000000
0004FB <sub>H</sub> - 0004FF <sub>H</sub>	予約	-	-	-	-
000500 <sub>H</sub>	FRT2 - データレジスタ	-	TCDT2	R/W	00000000
000501 <sub>H</sub>	FRT2 - データレジスタ	-	-	R/W	00000000
000502 <sub>H</sub>	FRT2 - コントロールステータスレジスタ下位	TCCSL2	TCCS2	R/W	00000000
000503 <sub>H</sub>	FRT2 - コントロールステータスレジスタ上位	TCCSH2	-	R/W	01XXXXXX
000504 <sub>H</sub> - 000513 <sub>H</sub>	予約	-	-	-	-
000514 <sub>H</sub>	ICU8/ICU9 - コントロールステータスレジスタ	ICS89	-	R/W	00000000
000515 <sub>H</sub>	ICU8/ICU9 - エッジレジスタ	ICE89	-	R/W	XXX0X000
000516 <sub>H</sub> , 000517 <sub>H</sub>	予約	-	-	-	-
000518 <sub>H</sub>	ICU9 - データレジスタ下位	IPCPL9	IPCP9	R	XXXXXXXX
000519 <sub>H</sub>	ICU9 - データレジスタ上位	IPCPH9	-	R	XXXXXXXX
00051A <sub>H</sub> - 00051F <sub>H</sub>	予約	-	-	-	-
000520 <sub>H</sub>	USART4 - シリアルモードレジスタ	SMR4	-	R/W	00000000
000521 <sub>H</sub>	USART4 - シリアル制御レジスタ	SCR4	-	R/W	00000000
000522 <sub>H</sub>	USART4 - 送信データ レジスタ	TDR4	-	W	11111111
000522 <sub>H</sub>	USART4 - 受信データ レジスタ	RDR4	-	R	00000000
000523 <sub>H</sub>	USART4 - シリアルステータスレジスタ	SSR4	-	R/W	00001000
000524 <sub>H</sub>	USART4 - 拡張通信制御レジスタ	ECCR4	-	R/W	000000XX
000525 <sub>H</sub>	USART4 - 拡張ステータス制御レジスタ	ESCR4	-	R/W	00000100
000526 <sub>H</sub>	USART4 - ボーレート/リロードカウンタレジスタ下位	BGRL4	BGR4	R/W	00000000
000527 <sub>H</sub>	USART4 - ボーレート/リロードカウンタレジスタ上位	BGRH4	-	R/W	00000000
000528 <sub>H</sub>	USART4 - 拡張シリアル割込みレジスタ	ESIR4	-	R/W	XXXX10X0
000529 <sub>H</sub>	予約	-	-	-	-
00052A <sub>H</sub>	USART5 - シリアルモードレジスタ	SMR5	-	R/W	00000000



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
00052B <sub>H</sub>	USART5 - シリアル制御レジスタ	SCR5	-	R/W	00000000
00052C <sub>H</sub>	USART5 - 送信データ レジスタ	TDR5	-	W	11111111
00052C <sub>H</sub>	USART5 - 受信データ レジスタ	RDR5	-	R	00000000
00052D <sub>H</sub>	USART5 - シリアルステータスレジスタ	SSR5	-	R/W	00001000
00052E <sub>H</sub>	USART5 - 拡張通信制御レジスタ	ECCR5	-	R/W	000000XX
00052F <sub>H</sub>	USART5 - 拡張ステータス制御レジスタ	ESCR5	-	R/W	00000100
000530 <sub>H</sub>	USART5 - ボーレート/リロードカウンタレジスタ下位	BGRL5	BGR5	R/W	00000000
000531 <sub>H</sub>	USART5 - ボーレート/リロードカウンタレジスタ上位	BGRH5	-	R/W	00000000
000532 <sub>H</sub>	USART5 - 拡張シリアル割込みレジスタ	ESIR5	-	R/W	XXXX10X0
000533 <sub>H</sub> - 00053D <sub>H</sub>	予約	-	-	-	-
00053E <sub>H</sub>	USART7 - シリアルモードレジスタ	SMR7	-	R/W	00000000
00053F <sub>H</sub>	USART7 - シリアル制御レジスタ	SCR7	-	R/W	00000000
000540 <sub>H</sub>	USART7 - 送信データ レジスタ	TDR7	-	W	11111111
000540 <sub>H</sub>	USART7 - 受信データ レジスタ	RDR7	-	R	00000000
000541 <sub>H</sub>	USART7 - シリアルステータスレジスタ	SSR7	-	R/W	00001000
000542 <sub>H</sub>	USART7 - 拡張通信制御レジスタ	ECCR7	-	R/W	000000XX
000543 <sub>H</sub>	USART7 - 拡張ステータス制御レジスタ	ESCR7	-	R/W	00000100
000544 <sub>H</sub>	USART7 - ボーレート/リロードカウンタレジスタ下位	BGRL7	BGR7	R/W	00000000
000545 <sub>H</sub>	USART7 - ボーレート/リロードカウンタレジスタ上位	BGRH7	-	R/W	00000000
000546 <sub>H</sub>	USART7 - 拡張シリアル割込みレジスタ	ESIR7	-	R/W	XXXX10X0
000547 <sub>H</sub> - 000563 <sub>H</sub>	予約	-	-	-	-
000564 <sub>H</sub>	PPG6 - タイマレジスタ	-	PTMR6	R	11111111
000565 <sub>H</sub>	PPG6 - タイマレジスタ	-	-	R	11111111
000566 <sub>H</sub>	PPG6 - 周期設定レジスタ下位	PCSRL6	PCSR6	R/W	XXXXXXXXXX
000567 <sub>H</sub>	PPG6 - 周期設定レジスタ上位	PCSRH6	-	R/W	XXXXXXXXXX
000568 <sub>H</sub>	PPG6 - デューティ設定レジスタ下位	PDUTL6	PDUT6	R/W	XXXXXXXXXX
000569 <sub>H</sub>	PPG6 - デューティ設定レジスタ上位	PDUTH6	-	R/W	XXXXXXXXXX
00056A <sub>H</sub>	PPG6 - 制御ステータスレジスタ下位	PCNL6	PCN6	R/W	00000000
00056B <sub>H</sub>	PPG6 - 制御ステータスレジスタ上位	PCNH6	-	R/W	00000000
00056C <sub>H</sub>	PPG7 - タイマレジスタ	-	PTMR7	R	11111111
00056D <sub>H</sub>	PPG7 - タイマレジスタ	-	-	R	11111111
00056E <sub>H</sub>	PPG7 - 周期設定レジスタ下位	PCSRL7	PCSR7	R/W	XXXXXXXXXX
00056F <sub>H</sub>	PPG7 - 周期設定レジスタ上位	PCSRH7	-	R/W	XXXXXXXXXX
000570 <sub>H</sub>	PPG7 - デューティ設定レジスタ下位	PDUTL7	PDUT7	R/W	XXXXXXXXXX
000571 <sub>H</sub>	PPG7 - デューティ設定レジスタ上位	PDUTH7	-	R/W	XXXXXXXXXX
000572 <sub>H</sub>	PPG7 - 制御ステータスレジスタ下位	PCNL7	PCN7	R/W	00000000
000573 <sub>H</sub>	PPG7 - 制御ステータスレジスタ上位	PCNH7	-	R/W	00000000
000574 <sub>H</sub>	PPG11-PPG8 - 汎用制御レジスタ 1 下位	GCN1L2	GCN12	R/W	00010000
000575 <sub>H</sub>	PPG11-PPG8 - 汎用制御レジスタ 1 上位	GCN1H2	-	R/W	00110010
000576 <sub>H</sub>	PPG11-PPG8 - 汎用制御レジスタ 2 下位	GCN2L2	GCN22	R/W	XXXX0000



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000577 <sub>H</sub>	PPG11-PPG8 - 汎用制御レジスタ 2 上位	GCN2H2	-	R/W	XXXX0000
000578 <sub>H</sub>	PPG8 - タイマレジスタ	-	PTMR8	R	11111111
000579 <sub>H</sub>	PPG8 - タイマレジスタ	-	-	R	11111111
00057A <sub>H</sub>	PPG8 - 周期設定レジスタ下位	PCSRL8	PCSR8	R/W	XXXXXXXX
00057B <sub>H</sub>	PPG8 - 周期設定レジスタ上位	PCSRH8	-	R/W	XXXXXXXX
00057C <sub>H</sub>	PPG8 - デューティ設定レジスタ下位	PDUTL8	PDUT8	R/W	XXXXXXXX
00057D <sub>H</sub>	PPG8 - デューティ設定レジスタ上位	PDUTH8	-	R/W	XXXXXXXX
00057E <sub>H</sub>	PPG8 - 制御ステータスレジスタ下位	PCNL8	PCN8	R/W	00000000
00057F <sub>H</sub>	PPG8 - 制御ステータスレジスタ上位	PCNH8	-	R/W	00000000
000580 <sub>H</sub>	PPG9 - タイマレジスタ	-	PTMR9	R	11111111
000581 <sub>H</sub>	PPG9 - タイマレジスタ	-	-	R	11111111
000582 <sub>H</sub>	PPG9 - 周期設定レジスタ下位	PCSRL9	PCSR9	R/W	XXXXXXXX
000583 <sub>H</sub>	PPG9 - 周期設定レジスタ上位	PCSRH9	-	R/W	XXXXXXXX
000584 <sub>H</sub>	PPG9 - デューティ設定レジスタ下位	PDUTL9	PDUT9	R/W	XXXXXXXX
000585 <sub>H</sub>	PPG9 - デューティ設定レジスタ上位	PDUTH9	-	R/W	XXXXXXXX
000586 <sub>H</sub>	PPG9 - 制御ステータスレジスタ下位	PCNL9	PCN9	R/W	00000000
000587 <sub>H</sub>	PPG9 - 制御ステータスレジスタ上位	PCNH9	-	R/W	00000000
000588 <sub>H</sub>	PPG10 - タイマレジスタ	-	PTMR10	R	11111111
000589 <sub>H</sub>	PPG10 - タイマレジスタ	-	-	R	11111111
00058A <sub>H</sub>	PPG10 - 周期設定レジスタ下位	PCSRL10	PCSR10	R/W	XXXXXXXX
00058B <sub>H</sub>	PPG10 - 周期設定レジスタ上位	PCSRH10	-	R/W	XXXXXXXX
00058C <sub>H</sub>	PPG10 - デューティ設定レジスタ下位	PDUTL10	PDUT10	R/W	XXXXXXXX
00058D <sub>H</sub>	PPG10 - デューティ設定レジスタ上位	PDUTH10	-	R/W	XXXXXXXX
00058E <sub>H</sub>	PPG10 - 制御ステータスレジスタ下位	PCNL10	PCN10	R/W	00000000
00058F <sub>H</sub>	PPG10 - 制御ステータスレジスタ上位	PCNH10	-	R/W	00000000
000590 <sub>H</sub>	PPG11 - タイマレジスタ	-	PTMR11	R	11111111
000591 <sub>H</sub>	PPG11 - タイマレジスタ	-	-	R	11111111
000592 <sub>H</sub>	PPG11 - 周期設定レジスタ下位	PCSRL11	PCSR11	R/W	XXXXXXXX
000593 <sub>H</sub>	PPG11 - 周期設定レジスタ上位	PCSRH11	-	R/W	XXXXXXXX
000594 <sub>H</sub>	PPG11 - デューティ設定レジスタ下位	PDUTL11	PDUT11	R/W	XXXXXXXX
000595 <sub>H</sub>	PPG11 - デューティ設定レジスタ上位	PDUTH11	-	R/W	XXXXXXXX
000596 <sub>H</sub>	PPG11 - 制御ステータスレジスタ下位	PCNL11	PCN11	R/W	00000000
000597 <sub>H</sub>	PPG11 - 制御ステータスレジスタ上位	PCNH11	-	R/W	00000000
000598 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 1 下位	GCN1L3	GCN13	R/W	00010000
000599 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 1 上位	GCN1H3	-	R/W	00110010
00059A <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 2 下位	GCN2L3	GCN23	R/W	XXXX0000
00059B <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 2 上位	GCN2H3	-	R/W	XXXX0000
00059C <sub>H</sub>	PPG12 - タイマレジスタ	-	PTMR12	R	11111111
00059D <sub>H</sub>	PPG12 - タイマレジスタ	-	-	R	11111111
00059E <sub>H</sub>	PPG12 - 周期設定レジスタ下位	PCSRL12	PCSR12	R/W	XXXXXXXX
00059F <sub>H</sub>	PPG12 - 周期設定レジスタ上位	PCSRH12	-	R/W	XXXXXXXX
0005A0 <sub>H</sub>	PPG12 - デューティ設定レジスタ下位	PDUTL12	PDUT12	R/W	XXXXXXXX
0005A1 <sub>H</sub>	PPG12 - デューティ設定レジスタ上位	PDUTH12	-	R/W	XXXXXXXX
0005A2 <sub>H</sub>	PPG12 - 制御ステータスレジスタ下位	PCNL12	PCN12	R/W	00000000
0005A3 <sub>H</sub>	PPG12 - 制御ステータスレジスタ上位	PCNH12	-	R/W	00000000
0005A4 <sub>H</sub>	PPG13 - タイマレジスタ	-	PTMR13	R	11111111

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0005A5 <sub>H</sub>	PPG13 - タイマレジスタ	-	-	R	11111111
0005A6 <sub>H</sub>	PPG13 - 周期設定レジスタ下位	PCSRL13	PCSR13	R/W	XXXXXXXXXX
0005A7 <sub>H</sub>	PPG13 - 周期設定レジスタ上位	PCSRH13	-	R/W	XXXXXXXXXX
0005A8 <sub>H</sub>	PPG13 - デューティ設定レジスタ下位	PDUTL13	PDUT13	R/W	XXXXXXXXXX
0005A9 <sub>H</sub>	PPG13 - デューティ設定レジスタ上位	PDUTH13	-	R/W	XXXXXXXXXX
0005AA <sub>H</sub>	PPG13 - 制御ステータスレジスタ下位	PCNL13	PCN13	R/W	00000000
0005AB <sub>H</sub>	PPG13 - 制御ステータスレジスタ上位	PCNH13	-	R/W	00000000
0005AC <sub>H</sub>	PPG14 - タイマレジスタ	-	PTMR14	R	11111111
0005AD <sub>H</sub>	PPG14 - タイマレジスタ	-	-	R	11111111
0005AE <sub>H</sub>	PPG14 - 周期設定レジスタ下位	PCSRL14	PCSR14	R/W	XXXXXXXXXX
0005AF <sub>H</sub>	PPG14 - 周期設定レジスタ上位	PCSRH14	-	R/W	XXXXXXXXXX
0005B0 <sub>H</sub>	PPG14 - デューティ設定レジスタ下位	PDUTL14	PDUT14	R/W	XXXXXXXXXX
0005B1 <sub>H</sub>	PPG14 - デューティ設定レジスタ上位	PDUTH14	-	R/W	XXXXXXXXXX
0005B2 <sub>H</sub>	PPG14 - 制御ステータスレジスタ下位	PCNL14	PCN14	R/W	00000000
0005B3 <sub>H</sub>	PPG14 - 制御ステータスレジスタ上位	PCNH14	-	R/W	00000000
0005B4 <sub>H</sub>	PPG15 - タイマレジスタ	-	PTMR15	R	11111111
0005B5 <sub>H</sub>	PPG15 - タイマレジスタ	-	-	R	11111111
0005B6 <sub>H</sub>	PPG15 - 周期設定レジスタ下位	PCSRL15	PCSR15	R/W	XXXXXXXXXX
0005B7 <sub>H</sub>	PPG15 - 周期設定レジスタ上位	PCSRH15	-	R/W	XXXXXXXXXX
0005B8 <sub>H</sub>	PPG15 - デューティ設定レジスタ下位	PDUTL15	PDUT15	R/W	XXXXXXXXXX
0005B9 <sub>H</sub>	PPG15 - デューティ設定レジスタ上位	PDUTH15	-	R/W	XXXXXXXXXX
0005BA <sub>H</sub>	PPG15 - 制御ステータスレジスタ下位	PCNL15	PCN15	R/W	00000000
0005BB <sub>H</sub>	PPG15 - 制御ステータスレジスタ上位	PCNH15	-	R/W	00000000
0005BC <sub>H</sub> - 00065F <sub>H</sub>	予約	-	-	-	-
000660 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 10	PRRR10	-	R/W	00000000
000661 <sub>H</sub>	予約	-	-	-	-
000662 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 12	PRRR12	-	R/W	00000000
000663 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 13	PRRR13	-	R/W	XXX0XX00
000664 <sub>H</sub> - 0006FF <sub>H</sub>	予約	-	-	-	-
000700 <sub>H</sub>	CAN0 - 制御レジスタ下位	CTRLRL0	CTRLR0	R/W	000X0001
000701 <sub>H</sub>	CAN0 - 制御レジスタ上位(予約)	CTRLRH0	-	R	XXXXXXXXXX
000702 <sub>H</sub>	CAN0 - ステータスレジスタ下位	STATRL0	STATR0	R/W	00000000
000703 <sub>H</sub>	CAN0 - ステータスレジスタ上位(予約)	STATRH0	-	R	XXXXXXXXXX
000704 <sub>H</sub>	CAN0 - エラーカウンタ下位(送信)	ERRCNTL0	ERRCNT0	R	00000000
000705 <sub>H</sub>	CAN0 - エラーカウンタ上位(受信)	ERRCNTH0	-	R	00000000
000706 <sub>H</sub>	CAN0 - ビットタイミングレジスタ下位	BTRL0	BTR0	R/W	00000001
000707 <sub>H</sub>	CAN0 - ビットタイミングレジスタ上位	BTRH0	-	R/W	X0100011
000708 <sub>H</sub>	CAN0 - 割込みレジスタ下位	INTRL0	INTR0	R	00000000
000709 <sub>H</sub>	CAN0 - 割込みレジスタ上位	INTRH0	-	R	00000000
00070A <sub>H</sub>	CAN0 - テストレジスタ下位	TESTRL0	TESTR0	R/W	X00000XX
00070B <sub>H</sub>	CAN0 - テストレジスタ上位(予約)	TESTRH0	-	R	XXXXXXXXXX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
00070C <sub>H</sub>	CAN0 - BRP 拡張レジスタ下位	BRPERL0	BRPER0	R/W	XXXX0000
00070D <sub>H</sub>	CAN0 - BRP 拡張レジスタ上位(予約)	BRPERH0	-	R	XXXXXXXX
00070E <sub>H</sub> , 00070F <sub>H</sub>	予約	-	-	-	-
000710 <sub>H</sub>	CAN0 - IF1 コマンドリクエストレジスタ 下位	IF1CREQL0	IF1CREQ0	R/W	00000001
000711 <sub>H</sub>	CAN0 - IF1 コマンドリクエストレジスタ 上位	IF1CREQH0	-	R/W	0XXXXXXXX
000712 <sub>H</sub>	CAN0 - IF1 コマンドマスクレジスタ下位	IF1CMSKL0	IF1CMSK0	R/W	00000000
000713 <sub>H</sub>	CAN0 - IF1 コマンドマスクレジスタ上位 (予約)	IF1CMSKH0	-	R	XXXXXXXX
000714 <sub>H</sub>	CAN0 - IF1 マスク 1 レジスタ下位	IF1MSK1L0	IF1MSK10	R/W	11111111
000715 <sub>H</sub>	CAN0 - IF1 マスク 1 レジスタ上位	IF1MSK1H0	-	R/W	11111111
000716 <sub>H</sub>	CAN0 - IF1 マスク 2 レジスタ下位	IF1MSK2L0	IF1MSK20	R/W	11111111
000717 <sub>H</sub>	CAN0 - IF1 マスク 2 レジスタ上位	IF1MSK2H0	-	R/W	11X11111
000718 <sub>H</sub>	CAN0 - IF1 アービトレーション 1 レジス タ下位	IF1ARB1L0	IF1ARB10	R/W	00000000
000719 <sub>H</sub>	CAN0 - IF1 アービトレーション 1 レジス タ上位	IF1ARB1H0	-	R/W	00000000
00071A <sub>H</sub>	CAN0 - IF1 アービトレーション 2 レジス タ下位	IF1ARB2L0	IF1ARB20	R/W	00000000
00071B <sub>H</sub>	CAN0 - IF1 アービトレーション 2 レジス タ上位	IF1ARB2H0	-	R/W	00000000
00071C <sub>H</sub>	CAN0 - IF1 メッセージ制御レジスタ下位	IF1MCTRL0	IF1MCTR0	R/W	0XXX0000
00071D <sub>H</sub>	CAN0 - IF1 メッセージ制御レジスタ上位	IF1MCTRH0	-	R/W	00000000
00071E <sub>H</sub>	CAN0 - IF1 データ A1 下位	IF1DTA1L0	IF1DTA10	R/W	00000000
00071F <sub>H</sub>	CAN0 - IF1 データ A1 上位	IF1DTA1H0	-	R/W	00000000
000720 <sub>H</sub>	CAN0 - IF1 データ A2 下位	IF1DTA2L0	IF1DTA20	R/W	00000000
000721 <sub>H</sub>	CAN0 - IF1 データ A2 上位	IF1DTA2H0	-	R/W	00000000
000722 <sub>H</sub>	CAN0 - IF1 データ B1 下位	IF1DTB1L0	IF1DTB10	R/W	00000000
000723 <sub>H</sub>	CAN0 - IF1 データ B1 上位	IF1DTB1H0	-	R/W	00000000
000724 <sub>H</sub>	CAN0 - IF1 データ B2 下位	IF1DTB2L0	IF1DTB20	R/W	00000000
000725 <sub>H</sub>	CAN0 - IF1 データ B2 上位	IF1DTB2H0	-	R/W	00000000
000726 <sub>H</sub> - 00073F <sub>H</sub>	予約	-	-	-	-
000740 <sub>H</sub>	CAN0 - IF2 コマンドリクエストレジスタ 下位	IF2CREQL0	IF2CREQ0	R/W	00000001
000741 <sub>H</sub>	CAN0 - IF2 コマンドリクエストレジスタ 上位	IF2CREQH0	-	R/W	0XXXXXXXX
000742 <sub>H</sub>	CAN0 - IF2 コマンドマスクレジスタ下位	IF2CMSKL0	IF2CMSK0	R/W	00000000
000743 <sub>H</sub>	CAN0 - IF2 コマンドマスクレジスタ上位 (予約)	IF2CMSKH0	-	R	XXXXXXXX
000744 <sub>H</sub>	CAN0 - IF2 マスク 1 レジスタ下位	IF2MSK1L0	IF2MSK10	R/W	11111111
000745 <sub>H</sub>	CAN0 - IF2 マスク 1 レジスタ上位	IF2MSK1H0	-	R/W	11111111
000746 <sub>H</sub>	CAN0 - IF2 マスク 2 レジスタ下位	IF2MSK2L0	IF2MSK20	R/W	11111111
000747 <sub>H</sub>	CAN0 - IF2 マスク 2 レジスタ上位	IF2MSK2H0	-	R/W	11X11111

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000748 <sub>H</sub>	CAN0 - IF2 アービトレーション 1 レジスタ下位	IF2ARB1L0	IF2ARB10	R/W	00000000
000749 <sub>H</sub>	CAN0 - IF2 アービトレーション 1 レジスタ上位	IF2ARB1H0	-	R/W	00000000
00074A <sub>H</sub>	CAN0 - IF2 アービトレーション 2 レジスタ下位	IF2ARB2L0	IF2ARB20	R/W	00000000
00074B <sub>H</sub>	CAN0 - IF2 アービトレーション 2 レジスタ上位	IF2ARB2H0	-	R/W	00000000
00074C <sub>H</sub>	CAN0 - IF2 メッセージ制御レジスタ下位	IF2MCTRL0	IF2MCTR0	R/W	0XXX0000
00074D <sub>H</sub>	CAN0 - IF2 メッセージ制御レジスタ上位	IF2MCTR0H0	-	R/W	00000000
00074E <sub>H</sub>	CAN0 - IF2 データ A1 下位	IF2DTA1L0	IF2DTA10	R/W	00000000
00074F <sub>H</sub>	CAN0 - IF2 データ A1 上位	IF2DTA1H0	-	R/W	00000000
000750 <sub>H</sub>	CAN0 - IF2 データ A2 下位	IF2DTA2L0	IF2DTA20	R/W	00000000
000751 <sub>H</sub>	CAN0 - IF2 データ A2 上位	IF2DTA2H0	-	R/W	00000000
000752 <sub>H</sub>	CAN0 - IF2 データ B1 下位	IF2DTB1L0	IF2DTB10	R/W	00000000
000753 <sub>H</sub>	CAN0 - IF2 データ B1 上位	IF2DTB1H0	-	R/W	00000000
000754 <sub>H</sub>	CAN0 - IF2 データ B2 下位	IF2DTB2L0	IF2DTB20	R/W	00000000
000755 <sub>H</sub>	CAN0 - IF2 データ B2 上位	IF2DTB2H0	-	R/W	00000000
000756 <sub>H</sub> - 00077F <sub>H</sub>	予約	-	-	-	-
000780 <sub>H</sub>	CAN0 - 送信リクエスト 1 レジスタ下位	TREQR1L0	TREQR10	R	00000000
000781 <sub>H</sub>	CAN0 - 送信リクエスト 1 レジスタ上位	TREQR1H0	-	R	00000000
000782 <sub>H</sub>	CAN0 - 送信リクエスト 2 レジスタ下位	TREQR2L0	TREQR20	R	00000000
000783 <sub>H</sub>	CAN0 - 送信リクエスト 2 レジスタ上位	TREQR2H0	-	R	00000000
000784 <sub>H</sub> - 00078F <sub>H</sub>	予約	-	-	-	-
000790 <sub>H</sub>	CAN0 - 新規データ 1 レジスタ下位	NEWDT1L0	NEWDT10	R	00000000
000791 <sub>H</sub>	CAN0 - 新規データ 1 レジスタ上位	NEWDT1H0	-	R	00000000
000792 <sub>H</sub>	CAN0 - 新規データ 2 レジスタ下位	NEWDT2L0	NEWDT20	R	00000000
000793 <sub>H</sub>	CAN0 - 新規データ 2 レジスタ上位	NEWDT2H0	-	R	00000000
000794 <sub>H</sub> - 00079F <sub>H</sub>	予約	-	-	-	-
0007A0 <sub>H</sub>	CAN0 - 割込み保留 1 レジスタ下位	INTPND1L0	INTPND10	R	00000000
0007A1 <sub>H</sub>	CAN0 - 割込み保留 1 レジスタ上位	INTPND1H0	-	R	00000000
0007A2 <sub>H</sub>	CAN0 - 割込み保留 2 レジスタ下位	INTPND2L0	INTPND20	R	00000000
0007A3 <sub>H</sub>	CAN0 - 割込み保留 2 レジスタ上位	INTPND2H0	-	R	00000000
0007A4 <sub>H</sub> - 0007AF <sub>H</sub>	予約	-	-	-	-
0007B0 <sub>H</sub>	CAN0 - メッセージ有効 1 レジスタ下位	MSGVAL1L0	MSGVAL10	R	00000000
0007B1 <sub>H</sub>	CAN0 - メッセージ有効 1 レジスタ上位	MSGVAL1H0	-	R	00000000
0007B2 <sub>H</sub>	CAN0 - メッセージ有効 2 レジスタ下位	MSGVAL2L0	MSGVAL20	R	00000000
0007B3 <sub>H</sub>	CAN0 - メッセージ有効 2 レジスタ上位	MSGVAL2H0	-	R	00000000
0007B4 <sub>H</sub> - 0007CD <sub>H</sub>	予約	-	-	-	-
0007CE <sub>H</sub>	CAN0 - 出力許可レジスタ	COER0	-	R/W	XXXXXXXX0
0007CF <sub>H</sub> - 0009FF <sub>H</sub>	予約	-	-	-	-

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000A00 <sub>H</sub>	DMA - I/O アドレスポインタバンク選択レジスタ 0	IOABK0	-	R/W	00000000
000A01 <sub>H</sub>	DMA - I/O アドレスポインタバンク選択レジスタ 1	IOABK1	-	R/W	00000000
000A02 <sub>H</sub>	DMA - I/O アドレスポインタバンク選択レジスタ 2	IOABK2	-	R/W	00000000
000A03 <sub>H</sub>	DMA - I/O アドレスポインタバンク選択レジスタ 3	IOABK3	-	R/W	00000000
000A04 <sub>H</sub> - 000A7F <sub>H</sub>	予約	-	-	-	-
000A80 <sub>H</sub>	PPG0 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L0	EPCN10	R/W	0XXXX000
000A81 <sub>H</sub>	PPG0 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H0	-	R/W	XXX00000
000A82 <sub>H</sub>	PPG1 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L1	EPCN11	R/W	0XXXX000
000A83 <sub>H</sub>	PPG1 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H1	-	R/W	XXX00000
000A84 <sub>H</sub>	PPG2 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L2	EPCN12	R/W	0XXXX000
000A85 <sub>H</sub>	PPG2 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H2	-	R/W	XXX00000
000A86 <sub>H</sub>	PPG3 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L3	EPCN13	R/W	0XXXX000
000A87 <sub>H</sub>	PPG3 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H3	-	R/W	XXX00000
000A88 <sub>H</sub>	PPG4 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L4	EPCN14	R/W	0XXXX000
000A89 <sub>H</sub>	PPG4 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H4	-	R/W	XXX00000
000A8A <sub>H</sub>	PPG5 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L5	EPCN15	R/W	0XXXX000
000A8B <sub>H</sub>	PPG5 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H5	-	R/W	XXX00000
000A8C <sub>H</sub>	PPG6 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L6	EPCN16	R/W	0XXXX000
000A8D <sub>H</sub>	PPG6 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H6	-	R/W	XXX00000
000A8E <sub>H</sub>	PPG7 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L7	EPCN17	R/W	0XXXX000
000A8F <sub>H</sub>	PPG7 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H7	-	R/W	XXX00000
000A90 <sub>H</sub>	PPG8 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L8	EPCN18	R/W	0XXXX000
000A91 <sub>H</sub>	PPG8 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H8	-	R/W	XXX00000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000A92 <sub>H</sub>	PPG9 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L9	EPCN19	R/W	0XXXXX000
000A93 <sub>H</sub>	PPG9 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H9	-	R/W	XXX00000
000A94 <sub>H</sub>	PPG10 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L10	EPCN110	R/W	0XXXXX000
000A95 <sub>H</sub>	PPG10 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H10	-	R/W	XXX00000
000A96 <sub>H</sub>	PPG11 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L11	EPCN111	R/W	0XXXXX000
000A97 <sub>H</sub>	PPG11 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H11	-	R/W	XXX00000
000A98 <sub>H</sub>	PPG12 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L12	EPCN112	R/W	0XXXXX000
000A99 <sub>H</sub>	PPG12 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H12	-	R/W	XXX00000
000A9A <sub>H</sub>	PPG13 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L13	EPCN113	R/W	0XXXXX000
000A9B <sub>H</sub>	PPG13 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H13	-	R/W	XXX00000
000A9C <sub>H</sub>	PPG14 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L14	EPCN114	R/W	0XXXXX000
000A9D <sub>H</sub>	PPG14 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H14	-	R/W	XXX00000
000A9E <sub>H</sub>	PPG15 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L15	EPCN115	R/W	0XXXXX000
000A9F <sub>H</sub>	PPG15 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H15	-	R/W	XXX00000
000AA0 <sub>H</sub> - 000AEF <sub>H</sub>	予約	-	-	-	-
000AF0 <sub>H</sub>	QPRC0 - 位置カウントレジスタ	-	QPCR0	R/W	00000000
000AF1 <sub>H</sub>	QPRC0 - 位置カウントレジスタ	-	-	R/W	00000000
000AF2 <sub>H</sub>	QPRC0 - 回転カウントレジスタ	-	QRCR0	R/W	00000000
000AF3 <sub>H</sub>	QPRC0 - 回転カウントレジスタ	-	-	R/W	00000000
000AF4 <sub>H</sub>	QPRC0 - 割込み制御レジスタ下位	QICRL0	QICR0	R/W	00000000
000AF5 <sub>H</sub>	QPRC0 - 割込み制御レジスタ上位	QICRH0	-	R/W	00000000
000AF6 <sub>H</sub>	QPRC0 - 拡張制御レジスタ下位	QECRL0	QECR0	R/W	00000000
000AF7 <sub>H</sub>	QPRC0 - 拡張制御レジスタ上位	QECRH0	-	R/W	00000000
000AF8 <sub>H</sub>	QPRC1 - 位置カウントレジスタ	-	QPCR1	R/W	00000000
000AF9 <sub>H</sub>	QPRC1 - 位置カウントレジスタ	-	-	R/W	00000000
000AFA <sub>H</sub>	QPRC1 - 回転カウントレジスタ	-	QRCR1	R/W	00000000
000AFB <sub>H</sub>	QPRC1 - 回転カウントレジスタ	-	-	R/W	00000000
000AFC <sub>H</sub>	QPRC1 - 割込み制御レジスタ下位	QICRL1	QICR1	R/W	00000000
000AFD <sub>H</sub>	QPRC1 - 割込み制御レジスタ上位	QICRH1	-	R/W	00000000
000AFE <sub>H</sub>	QPRC1 - 拡張制御レジスタ下位	QECRL1	QECR1	R/W	00000000
000AFF <sub>H</sub>	QPRC1 - 拡張制御レジスタ上位	QECRH1	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000B00 <sub>H</sub> - 000B53 <sub>H</sub>	予約	-	-	-	-
000B54 <sub>H</sub>	ADC0 - レンジ比較しきい値超過フラグレジスタ 0	ADRCOOF00	-	R	00000000
000B55 <sub>H</sub>	ADC0 - レンジ比較しきい値超過フラグレジスタ 1	ADRCOOF10	-	R	00000000
000B56 <sub>H</sub>	ADC0 - レンジ比較しきい値超過フラグレジスタ 2	ADRCOOF20	-	R	00000000
000B57 <sub>H</sub>	ADC0 - レンジ比較しきい値超過フラグレジスタ 3	ADRCOOF30	-	R	00000000
000B58 <sub>H</sub> - 000B5B <sub>H</sub>	予約	-	-	-	-
000B5C <sub>H</sub>	ADC0 - レンジ比較フラグレジスタ 0	ADRCOINTF00	-	R/W	00000000
000B5D <sub>H</sub>	ADC0 - レンジ比較フラグレジスタ 1	ADRCOINTF10	-	R/W	00000000
000B5E <sub>H</sub>	ADC0 - レンジ比較フラグレジスタ 2	ADRCOINTF20	-	R/W	00000000
000B5F <sub>H</sub>	ADC0 - レンジ比較フラグレジスタ 3	ADRCOINTF30	-	R/W	00000000
000B60 <sub>H</sub> - 000BA9 <sub>H</sub>	予約	-	-	-	-
000BAA <sub>H</sub>	USART0 - チェックサムステータス制御レジスタ	CSCR0	-	R/W	00000000
000BAB <sub>H</sub>	USART0 - 拡張ステータスレジスタ	ESR0	-	R/W	XX000000
000BAC <sub>H</sub>	予約	-	-	-	-
000BAD <sub>H</sub>	USART1 - 拡張ステータスレジスタ	ESR1	-	R/W	XXXX00XX
000BAE <sub>H</sub>	予約	-	-	-	-
000BAF <sub>H</sub>	USART2 - 拡張ステータスレジスタ	ESR2	-	R/W	XXXX00XX
000BB0 <sub>H</sub> - 000BB2 <sub>H</sub>	予約	-	-	-	-
000BB3 <sub>H</sub>	USART4 - 拡張ステータスレジスタ	ESR4	-	R/W	XXXX00XX
000BB4 <sub>H</sub>	予約	-	-	-	-
000BB5 <sub>H</sub>	USART5 - 拡張ステータスレジスタ	ESR5	-	R/W	XXXX00XX
000BB6 <sub>H</sub> - 000BB8 <sub>H</sub>	予約	-	-	-	-
000BB9 <sub>H</sub>	USART7 - 拡張ステータスレジスタ	ESR7	-	R/W	XXXX00XX
000BBA <sub>H</sub> - 000BEF <sub>H</sub>	予約	-	-	-	-
000BF0 <sub>H</sub>	DSU 制御レジスタ 下位	DSUCRL	DSUCR	R/W	XXXXXXXX0
000BF1 <sub>H</sub>	DSU 制御レジスタ 上位	DSUCRH	-	R/W	XXXXXXXXX
000BF2 <sub>H</sub> , 000BF3 <sub>H</sub>	予約	-	-	-	-
000BF4 <sub>H</sub>	ユーザイベントレジスタ 下位	UERL	UER	W	XXXXXXXXX
000BF5 <sub>H</sub>	ユーザイベントレジスタ 上位	UE RH	-	R/W	XXXXXXXXX
000BF6 <sub>H</sub>	メッセージバッファレジスタ 下位	MBRL	MBR	W	XXXXXXXXX
000BF7 <sub>H</sub>	メッセージバッファレジスタ 上位	MBRH	-	R/W	0XXXXXXXX
000BF8 <sub>H</sub> - 000BFF <sub>H</sub>	予約	-	-	-	-
0E9000 <sub>H</sub> - 0E9301 <sub>H</sub>	予約	-	-	-	-



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9302 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 4 下位	GCN4L0	GCN40	R/W	X110X110
0E9303 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 4 上位	GCN4H0	-	R/W	X110X110
0E9304 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 5 下位	GCN5L0	GCN50	R/W	00000000
0E9305 <sub>H</sub> - 0E930F <sub>H</sub>	予約	-	-	-	-
0E9310 <sub>H</sub>	PPG0 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L0	EPCN20	R/W	00XX0X0X
0E9311 <sub>H</sub>	予約	-	-	-	-
0E9312 <sub>H</sub>	PPG0 - スタートディレイレジスタ下位	PSDRL0	PSDR0	R/W	00000000
0E9313 <sub>H</sub>	PPG0 - スタートディレイレジスタ上位	PSDRH0	-	R/W	00000000
0E9314 <sub>H</sub>	PPG0 - タイミングポイントキャプチャレジ スタ下位	PTPCL0	PTPC0	R/W	00000000
0E9315 <sub>H</sub>	PPG0 - タイミングポイントキャプチャレジ スタ上位	PTPCH0	-	R/W	00000000
0E9316 <sub>H</sub> - 0E931F <sub>H</sub>	予約	-	-	-	-
0E9320 <sub>H</sub>	PPG1 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L1	EPCN21	R/W	00XX0X0X
0E9321 <sub>H</sub>	予約	-	-	-	-
0E9322 <sub>H</sub>	PPG1 - スタートディレイレジスタ下位	PSDRL1	PSDR1	R/W	00000000
0E9323 <sub>H</sub>	PPG1 - スタートディレイレジスタ上位	PSDRH1	-	R/W	00000000
0E9324 <sub>H</sub>	PPG1 - タイミングポイントキャプチャレジ スタ下位	PTPCL1	PTPC1	R/W	00000000
0E9325 <sub>H</sub>	PPG1 - タイミングポイントキャプチャレジ スタ上位	PTPCH1	-	R/W	00000000
0E9326 <sub>H</sub> - 0E932F <sub>H</sub>	予約	-	-	-	-
0E9330 <sub>H</sub>	PPG2 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L2	EPCN22	R/W	00XX0X0X
0E9331 <sub>H</sub>	予約	-	-	-	-
0E9332 <sub>H</sub>	PPG2 - スタートディレイレジスタ下位	PSDRL2	PSDR2	R/W	00000000
0E9333 <sub>H</sub>	PPG2 - スタートディレイレジスタ上位	PSDRH2	-	R/W	00000000
0E9334 <sub>H</sub>	PPG2 - タイミングポイントキャプチャレジ スタ下位	PTPCL2	PTPC2	R/W	00000000
0E9335 <sub>H</sub>	PPG2 - タイミングポイントキャプチャレジ スタ上位	PTPCH2	-	R/W	00000000
0E9336 <sub>H</sub> - 0E933F <sub>H</sub>	予約	-	-	-	-
0E9340 <sub>H</sub>	PPG3 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L3	EPCN23	R/W	00XX0X0X
0E9341 <sub>H</sub>	予約	-	-	-	-
0E9342 <sub>H</sub>	PPG3 - スタートディレイレジスタ下位	PSDRL3	PSDR3	R/W	00000000
0E9343 <sub>H</sub>	PPG3 - スタートディレイレジスタ上位	PSDRH3	-	R/W	00000000
0E9344 <sub>H</sub>	PPG3 - タイミングポイントキャプチャレジ スタ下位	PTPCL3	PTPC3	R/W	00000000
0E9345 <sub>H</sub>	PPG3 - タイミングポイントキャプチャレジ スタ上位	PTPCH3	-	R/W	00000000



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9346 <sub>H</sub> - 0E9351 <sub>H</sub>	予約	-	-	-	-
0E9352 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 4 下位	GCN4L1	GCN41	R/W	X110X110
0E9353 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 4 上位	GCN4H1	-	R/W	X110X110
0E9354 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 5 下位	GCN5L1	GCN51	R/W	00000000
0E9355 <sub>H</sub> - 0E935F <sub>H</sub>	予約	-	-	-	-
0E9360 <sub>H</sub>	PPG4 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L4	EPCN24	R/W	00XX0X0X
0E9361 <sub>H</sub>	予約	-	-	-	-
0E9362 <sub>H</sub>	PPG4 - スタートディレイレジスタ下位	PSDRL4	PSDR4	R/W	00000000
0E9363 <sub>H</sub>	PPG4 - スタートディレイレジスタ上位	PSDRH4	-	R/W	00000000
0E9364 <sub>H</sub>	PPG4 - タイミングポイントキャプチャレジ スタ下位	PTPCL4	PTPC4	R/W	00000000
0E9365 <sub>H</sub>	PPG4 - タイミングポイントキャプチャレジ スタ上位	PTPCH4	-	R/W	00000000
0E9366 <sub>H</sub> - 0E936F <sub>H</sub>	予約	-	-	-	-
0E9370 <sub>H</sub>	PPG5 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L5	EPCN25	R/W	00XX0X0X
0E9371 <sub>H</sub>	予約	-	-	-	-
0E9372 <sub>H</sub>	PPG5 - スタートディレイレジスタ下位	PSDRL5	PSDR5	R/W	00000000
0E9373 <sub>H</sub>	PPG5 - スタートディレイレジスタ上位	PSDRH5	-	R/W	00000000
0E9374 <sub>H</sub>	PPG5 - タイミングポイントキャプチャレジ スタ下位	PTPCL5	PTPC5	R/W	00000000
0E9375 <sub>H</sub>	PPG5 - タイミングポイントキャプチャレジ スタ上位	PTPCH5	-	R/W	00000000
0E9376 <sub>H</sub> - 0E937F <sub>H</sub>	予約	-	-	-	-
0E9380 <sub>H</sub>	PPG6 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L6	EPCN26	R/W	00XX0X0X
0E9381 <sub>H</sub>	予約	-	-	-	-
0E9382 <sub>H</sub>	PPG6 - スタートディレイレジスタ下位	PSDRL6	PSDR6	R/W	00000000
0E9383 <sub>H</sub>	PPG6 - スタートディレイレジスタ上位	PSDRH6	-	R/W	00000000
0E9384 <sub>H</sub>	PPG6 - タイミングポイントキャプチャレジ スタ下位	PTPCL6	PTPC6	R/W	00000000
0E9385 <sub>H</sub>	PPG6 - タイミングポイントキャプチャレジ スタ上位	PTPCH6	-	R/W	00000000
0E9386 <sub>H</sub> - 0E938F <sub>H</sub>	予約	-	-	-	-
0E9390 <sub>H</sub>	PPG7 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L7	EPCN27	R/W	00XX0X0X
0E9391 <sub>H</sub>	予約	-	-	-	-
0E9392 <sub>H</sub>	PPG7 - スタートディレイレジスタ下位	PSDRL7	PSDR7	R/W	00000000
0E9393 <sub>H</sub>	PPG7 - スタートディレイレジスタ上位	PSDRH7	-	R/W	00000000
0E9394 <sub>H</sub>	PPG7 - タイミングポイントキャプチャレジ スタ下位	PTPCL7	PTPC7	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9395 <sub>H</sub>	PPG7 - タイミングポイントキャプチャレジスタ上位	PTPCH7	-	R/W	00000000
0E9396 <sub>H</sub> - 0E93A1 <sub>H</sub>	予約	-	-	-	-
0E93A2 <sub>H</sub>	PPG11-PPG8 - 汎用制御レジスタ 4 下位	GCN4L2	GCN42	R/W	X110X110
0E93A3 <sub>H</sub>	PPG11-PPG8 - 汎用制御レジスタ 4 上位	GCN4H2	-	R/W	X110X110
0E93A4 <sub>H</sub>	PPG11-PPG8 - 汎用制御レジスタ 5 下位	GCN5L2	GCN52	R/W	00000000
0E93A5 <sub>H</sub> - 0E93AF <sub>H</sub>	予約	-	-	-	-
0E93B0 <sub>H</sub>	PPG8 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L8	EPCN28	R/W	00XX0X0X
0E93B1 <sub>H</sub>	予約	-	-	-	-
0E93B2 <sub>H</sub>	PPG8 - スタートディレイレジスタ下位	PSDRL8	PSDR8	R/W	00000000
0E93B3 <sub>H</sub>	PPG8 - スタートディレイレジスタ上位	PSDRH8	-	R/W	00000000
0E93B4 <sub>H</sub>	PPG8 - タイミングポイントキャプチャレジスタ下位	PTPCL8	PTPC8	R/W	00000000
0E93B5 <sub>H</sub>	PPG8 - タイミングポイントキャプチャレジスタ上位	PTPCH8	-	R/W	00000000
0E93B6 <sub>H</sub> - 0E93BF <sub>H</sub>	予約	-	-	-	-
0E93C0 <sub>H</sub>	PPG9 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L9	EPCN29	R/W	00XX0X0X
0E93C1 <sub>H</sub>	予約	-	-	-	-
0E93C2 <sub>H</sub>	PPG9 - スタートディレイレジスタ下位	PSDRL9	PSDR9	R/W	00000000
0E93C3 <sub>H</sub>	PPG9 - スタートディレイレジスタ上位	PSDRH9	-	R/W	00000000
0E93C4 <sub>H</sub>	PPG9 - タイミングポイントキャプチャレジスタ下位	PTPCL9	PTPC9	R/W	00000000
0E93C5 <sub>H</sub>	PPG9 - タイミングポイントキャプチャレジスタ上位	PTPCH9	-	R/W	00000000
0E93C6 <sub>H</sub> - 0E93CF <sub>H</sub>	予約	-	-	-	-
0E93D0 <sub>H</sub>	PPG10 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L10	EPCN210	R/W	00XX0X0X
0E93D1 <sub>H</sub>	予約	-	-	-	-
0E93D2 <sub>H</sub>	PPG10 - スタートディレイレジスタ下位	PSDRL10	PSDR10	R/W	00000000
0E93D3 <sub>H</sub>	PPG10 - スタートディレイレジスタ上位	PSDRH10	-	R/W	00000000
0E93D4 <sub>H</sub>	PPG10 - タイミングポイントキャプチャレジスタ下位	PTPCL10	PTPC10	R/W	00000000
0E93D5 <sub>H</sub>	PPG10 - タイミングポイントキャプチャレジスタ上位	PTPCH10	-	R/W	00000000
0E93D6 <sub>H</sub> - 0E93DF <sub>H</sub>	予約	-	-	-	-
0E93E0 <sub>H</sub>	PPG11 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L11	EPCN211	R/W	00XX0X0X
0E93E1 <sub>H</sub>	予約	-	-	-	-
0E93E2 <sub>H</sub>	PPG11 - スタートディレイレジスタ下位	PSDRL11	PSDR11	R/W	00000000
0E93E3 <sub>H</sub>	PPG11 - スタートディレイレジスタ上位	PSDRH11	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E93E4 <sub>H</sub>	PPG11 - タイミングポイントキャプチャレジスタ下位	PTPCL11	PTPC11	R/W	00000000
0E93E5 <sub>H</sub>	PPG11 - タイミングポイントキャプチャレジスタ上位	PTPCH11	-	R/W	00000000
0E93E6 <sub>H</sub> - 0E9401 <sub>H</sub>	予約	-	-	-	-
0E9402 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 4 下位	GCN4L3	GCN43	R/W	X110X110
0E9403 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 4 上位	GCN4H3	-	R/W	X110X110
0E9404 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 5 下位	GCN5L3	GCN53	R/W	00000000
0E9405 <sub>H</sub> - 0E940F <sub>H</sub>	予約	-	-	-	-
0E9410 <sub>H</sub>	PPG12 - 拡張PPG制御ステータスレジスタ 2 下位	EPCN2L12	EPCN212	R/W	00XX0X0X
0E9411 <sub>H</sub>	予約	-	-	-	-
0E9412 <sub>H</sub>	PPG12 - スタートディレイレジスタ下位	PSDRL12	PSDR12	R/W	00000000
0E9413 <sub>H</sub>	PPG12 - スタートディレイレジスタ上位	PSDRH12	-	R/W	00000000
0E9414 <sub>H</sub>	PPG12 - タイミングポイントキャプチャレジスタ下位	PTPCL12	PTPC12	R/W	00000000
0E9415 <sub>H</sub>	PPG12 - タイミングポイントキャプチャレジスタ上位	PTPCH12	-	R/W	00000000
0E9416 <sub>H</sub> - 0E941F <sub>H</sub>	予約	-	-	-	-
0E9420 <sub>H</sub>	PPG13 - 拡張PPG制御ステータスレジスタ 2 下位	EPCN2L13	EPCN213	R/W	00XX0X0X
0E9421 <sub>H</sub>	予約	-	-	-	-
0E9422 <sub>H</sub>	PPG13 - スタートディレイレジスタ下位	PSDRL13	PSDR13	R/W	00000000
0E9423 <sub>H</sub>	PPG13 - スタートディレイレジスタ上位	PSDRH13	-	R/W	00000000
0E9424 <sub>H</sub>	PPG13 - タイミングポイントキャプチャレジスタ下位	PTPCL13	PTPC13	R/W	00000000
0E9425 <sub>H</sub>	PPG13 - タイミングポイントキャプチャレジスタ上位	PTPCH13	-	R/W	00000000
0E9426 <sub>H</sub> - 0E942F <sub>H</sub>	予約	-	-	-	-
0E9430 <sub>H</sub>	PPG14 - 拡張PPG制御ステータスレジスタ 2 下位	EPCN2L14	EPCN214	R/W	00XX0X0X
0E9431 <sub>H</sub>	予約	-	-	-	-
0E9432 <sub>H</sub>	PPG14 - スタートディレイレジスタ下位	PSDRL14	PSDR14	R/W	00000000
0E9433 <sub>H</sub>	PPG14 - スタートディレイレジスタ上位	PSDRH14	-	R/W	00000000
0E9434 <sub>H</sub>	PPG14 - タイミングポイントキャプチャレジスタ下位	PTPCL14	PTPC14	R/W	00000000
0E9435 <sub>H</sub>	PPG14 - タイミングポイントキャプチャレジスタ上位	PTPCH14	-	R/W	00000000
0E9436 <sub>H</sub> - 0E943F <sub>H</sub>	予約	-	-	-	-
0E9440 <sub>H</sub>	PPG15 - 拡張PPG制御ステータスレジスタ 2 下位	EPCN2L15	EPCN215	R/W	00XX0X0X
0E9441 <sub>H</sub>	予約	-	-	-	-

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9442 <sub>H</sub>	PPG15 - スタートディレイレジスタ下位	PSDRL15	PSDR15	R/W	00000000
0E9443 <sub>H</sub>	PPG15 - スタートディレイレジスタ上位	PSDRH15	-	R/W	00000000
0E9444 <sub>H</sub>	PPG15 - タイミングポイントキャプチャレジスタ下位	PTPCL15	PTPC15	R/W	00000000
0E9445 <sub>H</sub>	PPG15 - タイミングポイントキャプチャレジスタ上位	PTPCH15	-	R/W	00000000
0E9446 <sub>H</sub> - 0E949F <sub>H</sub>	予約	-	-	-	-
0E94A0 <sub>H</sub>	ADTG - ADC0 トリガ制御レジスタ下位	ADTGCRLO	ADTGCR0	R/W	XXXXXXXX
0E94A1 <sub>H</sub>	ADTG - ADC0 トリガ制御レジスタ上位	ADTGCRHO	-	R/W	XXXXXXXX1
0E94A2 <sub>H</sub>	ADTG - ADC0 トリガ入力選択下位	ADTGISELO	ADTGISELO	R/W	XXXXXX001
0E94A3 <sub>H</sub>	ADTG - ADC0 トリガ入力選択上位	ADTGISELHO	-	R/W	XXX00000
0E94A4 <sub>H</sub> - 0E951F <sub>H</sub>	予約	-	-	-	-
0E9520 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 0 下位	ADRCOLL00	ADRCOL00	R/W	00000000
0E9521 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 0 上位	ADRCOLH00	-	R/W	00000000
0E9522 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 0 下位	ADRCOHL00	ADRCOH00	R/W	00000000
0E9523 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 0 上位	ADRCOHH00	-	R/W	00000000
0E9524 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 1 下位	ADRCOLL10	ADRCOL10	R/W	00000000
0E9525 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 1 上位	ADRCOLH10	-	R/W	00000000
0E9526 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 1 下位	ADRCOHL10	ADRCOH10	R/W	00000000
0E9527 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 1 上位	ADRCOHH10	-	R/W	00000000
0E9528 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 2 下位	ADRCOLL20	ADRCOL20	R/W	00000000
0E9529 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 2 上位	ADRCOLH20	-	R/W	00000000
0E952A <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 2 下位	ADRCOHL20	ADRCOH20	R/W	00000000
0E952B <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 2 上位	ADRCOHH20	-	R/W	00000000
0E952C <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 3 下位	ADRCOLL30	ADRCOL30	R/W	00000000
0E952D <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 3 上位	ADRCOLH30	-	R/W	00000000
0E952E <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 3 下位	ADRCOHL30	ADRCOH30	R/W	00000000
0E952F <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 3 上位	ADRCOHH30	-	R/W	00000000
0E9530 <sub>H</sub>	ADC0 - チャネルスキップレジスタ 0	ADDSCR00	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9531 <sub>H</sub>	ADC0 - チャネルスキップレジスタ 1	ADDSCR10	-	R/W	00000000
0E9532 <sub>H</sub>	ADC0 - チャネルスキップレジスタ 2	ADDSCR20	-	R/W	00000000
0E9533 <sub>H</sub>	ADC0 - チャネルスキップレジスタ 3	ADDSCR30	-	R/W	00000000
0E9534 <sub>H</sub> - 0E953F <sub>H</sub>	予約	-	-	-	-
0E9540 <sub>H</sub>	ADC0 - レンジ比較インバートレンジ選択 レジスタ 0	ADRCOIRS00	-	R/W	00000000
0E9541 <sub>H</sub>	ADC0 - レンジ比較インバートレンジ選択 レジスタ 1	ADRCOIRS10	-	R/W	00000000
0E9542 <sub>H</sub>	ADC0 - レンジ比較インバートレンジ選択 レジスタ 2	ADRCOIRS20	-	R/W	00000000
0E9543 <sub>H</sub>	ADC0 - レンジ比較インバートレンジ選択 レジスタ 3	ADRCOIRS30	-	R/W	00000000
0E9544 <sub>H</sub> - 0E954F <sub>H</sub>	予約	-	-	-	-
0E9550 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 0	ADCC000	-	R/W	00000000
0E9551 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 1	ADCC010	-	R/W	00000000
0E9552 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 2	ADCC020	-	R/W	00000000
0E9553 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 3	ADCC030	-	R/W	00000000
0E9554 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 4	ADCC040	-	R/W	00000000
0E9555 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 5	ADCC050	-	R/W	00000000
0E9556 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 6	ADCC060	-	R/W	00000000
0E9557 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 7	ADCC070	-	R/W	00000000
0E9558 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 8	ADCC080	-	R/W	00000000
0E9559 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 9	ADCC090	-	R/W	00000000
0E955A <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 10	ADCC100	-	R/W	00000000
0E955B <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 11	ADCC110	-	R/W	00000000
0E955C <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 12	ADCC120	-	R/W	00000000
0E955D <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 13	ADCC130	-	R/W	00000000
0E955E <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 14	ADCC140	-	R/W	00000000
0E955F <sub>H</sub> - 0E977F <sub>H</sub>	予約	-	-	-	-

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9780 <sub>H</sub>	QPRC0 - 位置カウンタ比較レジスタ	-	QPCCR0	R/W	00000000
0E9781 <sub>H</sub>	QPRC0 - 位置カウンタ比較レジスタ	-	-	R/W	00000000
0E9782 <sub>H</sub>	QPRC0 - 位置&回転カウンタ比較レジスタ	-	QPRCR0	R/W	00000000
0E9783 <sub>H</sub>	QPRC0 - 位置&回転カウンタ比較レジスタ	-	-	R/W	00000000
0E9784 <sub>H</sub>	QPRC0 - 最大位置レジスタ	-	QMPR0	R/W	11111111
0E9785 <sub>H</sub>	QPRC0 - 最大位置レジスタ	-	-	R/W	11111111
0E9786 <sub>H</sub>	QPRC0 - 制御レジスタ下位	QCRL0	QCR0	R/W	00000000
0E9787 <sub>H</sub>	QPRC0 - 制御レジスタ上位	QCRH0	-	R/W	00000000
0E9788 <sub>H</sub> - 0E978F <sub>H</sub>	予約	-	-	-	-
0E9790 <sub>H</sub>	QPRC1 - 位置カウンタ比較レジスタ	-	QPCCR1	R/W	00000000
0E9791 <sub>H</sub>	QPRC1 - 位置カウンタ比較レジスタ	-	-	R/W	00000000
0E9792 <sub>H</sub>	QPRC1 - 位置&回転カウンタ比較レジスタ	-	QPRCR1	R/W	00000000
0E9793 <sub>H</sub>	QPRC1 - 位置&回転カウンタ比較レジスタ	-	-	R/W	00000000
0E9794 <sub>H</sub>	QPRC1 - 最大位置レジスタ	-	QMPR1	R/W	11111111
0E9795 <sub>H</sub>	QPRC1 - 最大位置レジスタ	-	-	R/W	11111111
0E9796 <sub>H</sub>	QPRC1 - 制御レジスタ下位	QCRL1	QCR1	R/W	00000000
0E9797 <sub>H</sub>	QPRC1 - 制御レジスタ上位	QCRH1	-	R/W	00000000
0E9798 <sub>H</sub> - 0E97BF <sub>H</sub>	予約	-	-	-	-
0E97C0 <sub>H</sub>	USART0 - 拡張機能許可レジスタ下位	EFERL0	EFER0	R/W	00000000
0E97C1 <sub>H</sub>	USART0 - 拡張機能許可レジスタ上位	EFERH0	-	R/W	XX000000
0E97C2 <sub>H</sub> - 0E97C5 <sub>H</sub>	予約	-	-	-	-
0E97C6 <sub>H</sub>	USART0 - Sync Field タイムアウトレジスタ下位	SFTRL0	SFTR0	R/W	00000000
0E97C7 <sub>H</sub>	USART0 - Sync Field タイムアウトレジスタ上位	SFTRH0	-	R/W	00000000
0E97C8 <sub>H</sub>	USART0 - 拡張割込み許可レジスタ	EIER0	-	R/W	XX000000
0E97C9 <sub>H</sub> - 0E97CF <sub>H</sub>	予約	-	-	-	-
0E97D0 <sub>H</sub>	USART1 - 拡張機能許可レジスタ下位	EFERL1	EFER1	R/W	00000XXX
0E97D1 <sub>H</sub>	USART1 - 拡張機能許可レジスタ上位	EFERH1	-	R/W	XX00X0X0
0E97D2 <sub>H</sub> - 0E97D7 <sub>H</sub>	予約	-	-	-	-
0E97D8 <sub>H</sub>	USART1 - 拡張割込み許可レジスタ	EIER1	-	R/W	XXXXXX00
0E97D9 <sub>H</sub> - 0E97DF <sub>H</sub>	予約	-	-	-	-
0E97E0 <sub>H</sub>	USART2 - 拡張機能許可レジスタ下位	EFERL2	EFER2	R/W	00000XXX
0E97E1 <sub>H</sub>	USART2 - 拡張機能許可レジスタ上位	EFERH2	-	R/W	XX00X0X0
0E97E2 <sub>H</sub> - 0E97E7 <sub>H</sub>	予約	-	-	-	-
0E97E8 <sub>H</sub>	USART2 - 拡張割込み許可レジスタ	EIER2	-	R/W	XXXXXX00
0E97E9 <sub>H</sub> - 0E97FF <sub>H</sub>	予約	-	-	-	-
0E9800 <sub>H</sub>	USART4 - 拡張機能許可レジスタ下位	EFERL4	EFER4	R/W	00000XXX
0E9801 <sub>H</sub>	USART4 - 拡張機能許可レジスタ上位	EFERH4	-	R/W	XX00X0X0

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9802 <sub>H</sub> - 0E9807 <sub>H</sub>	予約	-	-	-	-
0E9808 <sub>H</sub>	USART4 - 拡張割込み許可レジスタ	EIER4	-	R/W	XXXXXX00
0E9809 <sub>H</sub> - 0E980F <sub>H</sub>	予約	-	-	-	-
0E9810 <sub>H</sub>	USART5 - 拡張機能許可レジスタ下位	EFERL5	EFER5	R/W	00000XXX
0E9811 <sub>H</sub>	USART5 - 拡張機能許可レジスタ上位	EFERH5	-	R/W	XX00X0X0
0E9812 <sub>H</sub> - 0E9817 <sub>H</sub>	予約	-	-	-	-
0E9818 <sub>H</sub>	USART5 - 拡張割込み許可レジスタ	EIER5	-	R/W	XXXXXX00
0E9819 <sub>H</sub> - 0E982F <sub>H</sub>	予約	-	-	-	-
0E9830 <sub>H</sub>	USART7 - 拡張機能許可レジスタ下位	EFERL7	EFER7	R/W	00000XXX
0E9831 <sub>H</sub>	USART7 - 拡張機能許可レジスタ上位	EFERH7	-	R/W	XX00X0X0
0E9832 <sub>H</sub> - 0E9837 <sub>H</sub>	予約	-	-	-	-
0E9838 <sub>H</sub>	USART7 - 拡張割込み許可レジスタ	EIER7	-	R/W	XXXXXX00
0E9839 <sub>H</sub> - 0FBFFF <sub>H</sub>	予約	-	-	-	-

## F. MB96670 の I/O マップ

各周辺機能のレジスタに割り当てられるアドレスを示します。

### ■ MB96670 の I/O マップ

表 F MB96670 の I/O マップ

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000000 <sub>H</sub>	I/O ポート P00 - ポートデータレジスタ	PDR00	-	R/W	XXXXXXXX
000001 <sub>H</sub>	I/O ポート P01 - ポートデータレジスタ	PDR01	-	R/W	XXXXXXXX
000002 <sub>H</sub>	I/O ポート P02 - ポートデータレジスタ	PDR02	-	R/W	XXXXXXXX
000003 <sub>H</sub>	I/O ポート P03 - ポートデータレジスタ	PDR03	-	R/W	XXXXXXXX
000004 <sub>H</sub>	I/O ポート P04 - ポートデータレジスタ	PDR04	-	R/W	XXXXXXXX
000005 <sub>H</sub>	I/O ポート P05 - ポートデータレジスタ	PDR05	-	R/W	XXXXXXXX
000006 <sub>H</sub>	I/O ポート P06 - ポートデータレジスタ	PDR06	-	R/W	XXXXXXXX
000007 <sub>H</sub>	予約	-	-	-	-
000008 <sub>H</sub>	I/O ポート P08 - ポートデータレジスタ	PDR08	-	R/W	XXXXXXXX
000009 <sub>H</sub> , 00000A <sub>H</sub>	予約	-	-	-	-
00000B <sub>H</sub>	I/O ポート P11 - ポートデータレジスタ	PDR11	-	R/W	XXXXXXXX
00000C <sub>H</sub>	I/O ポート P12 - ポートデータレジスタ	PDR12	-	R/W	XXXXXXXX
00000D <sub>H</sub>	I/O ポート P13 - ポートデータレジスタ	PDR13	-	R/W	XXXXXXXX
00000E <sub>H</sub> - 000010 <sub>H</sub>	予約	-	-	-	-
000011 <sub>H</sub>	I/O ポート P17 - ポートデータレジスタ	PDR17	-	R/W	XXXXXXXX
000012 <sub>H</sub> - 000017 <sub>H</sub>	予約	-	-	-	-
000018 <sub>H</sub>	ADC0 - 制御状態レジスタ下位	ADCSL	ADCS	R/W	00000000
000019 <sub>H</sub>	ADC0 - 制御状態レジスタ上位	ADCSH	-	R/W	00000000
00001A <sub>H</sub>	ADC0 - データレジスタ下位	ADCRL	ADCR	R	00000000
00001B <sub>H</sub>	ADC0 - データレジスタ上位	ADCRH	-	R	00000000
00001C <sub>H</sub>	ADC0 - 設定レジスタ	-	ADSR	R/W	00000000
00001D <sub>H</sub>	ADC0 - 設定レジスタ	-	-	R/W	00000000
00001E <sub>H</sub> , 00001F <sub>H</sub>	予約	-	-	-	-
000020 <sub>H</sub>	FRT0 - データレジスタ	-	TCDT0	R/W	00000000
000021 <sub>H</sub>	FRT0 - データレジスタ	-	-	R/W	00000000
000022 <sub>H</sub>	FRT0 - コントロールステータスレジスタ 下位	TCCSL0	TCCS0	R/W	00000000
000023 <sub>H</sub>	FRT0 - コントロールステータスレジスタ 上位	TCCSH0	-	R/W	01XXXXXX
000024 <sub>H</sub>	FRT1 - データレジスタ	-	TCDT1	R/W	00000000
000025 <sub>H</sub>	FRT1 - データレジスタ	-	-	R/W	00000000
000026 <sub>H</sub>	FRT1 - コントロールステータスレジスタ 下位	TCCSL1	TCCS1	R/W	00000000



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000027 <sub>H</sub>	FRT1 - コントロールステータスレジスタ 上位	TCCSH1	-	R/W	01XXXXXX
000028 <sub>H</sub> - 00003F <sub>H</sub>	予約	-	-	-	-
000040 <sub>H</sub>	ICU0/ICU1 - コントロールステータスレジ スタ	ICS01	-	R/W	00000000
000041 <sub>H</sub>	ICU0/ICU1 - エッジレジスタ	ICE01	-	R/W	XXX0X000
000042 <sub>H</sub>	ICU0 - データレジスタ下位	IPCPL0	IPCP0	R	XXXXXXXX
000043 <sub>H</sub>	ICU0 - データレジスタ上位	IPCPL0	-	R	XXXXXXXX
000044 <sub>H</sub>	ICU1 - データレジスタ下位	IPCPL1	IPCP1	R	XXXXXXXX
000045 <sub>H</sub>	ICU1 - データレジスタ上位	IPCPL1	-	R	XXXXXXXX
000046 <sub>H</sub> - 00004B <sub>H</sub>	予約	-	-	-	-
00004C <sub>H</sub>	ICU4/ICU5 - 制御ステータスレジスタ	ICS45	-	R/W	00000000
00004D <sub>H</sub>	ICU4/ICU5 - エッジレジスタ	ICE45	-	R/W	XXX0X000
00004E <sub>H</sub>	ICU4 - データレジスタ下位	IPCPL4	IPCP4	R	XXXXXXXX
00004F <sub>H</sub>	ICU4 - データレジスタ上位	IPCPL4	-	R	XXXXXXXX
000050 <sub>H</sub>	ICU5 - データレジスタ下位	IPCPL5	IPCP5	R	XXXXXXXX
000051 <sub>H</sub>	ICU5 - データレジスタ上位	IPCPL5	-	R	XXXXXXXX
000052 <sub>H</sub> - 000057 <sub>H</sub>	予約	-	-	-	-
000058 <sub>H</sub>	EXTINT0 - 外部割込み要求許可レジスタ	ENIR0	-	R/W	00000000
000059 <sub>H</sub>	EXTINT0 - 外部割込み要求レジスタ	EIRR0	-	R/W	00000000
00005A <sub>H</sub>	EXTINT0 - 外部割込みレベルレジスタ下位	ELVRL0	ELVR0	R/W	00000000
00005B <sub>H</sub>	EXTINT0 - 外部割込みレベルレジスタ上位	ELVRH0	-	R/W	00000000
00005C <sub>H</sub> - 000063 <sub>H</sub>	予約	-	-	-	-
000064 <sub>H</sub>	RLT1 - タイマ制御状態レジスタ下位	TMCSRL1	TMCSR1	R/W	00000000
000065 <sub>H</sub>	RLT1 - タイマ制御状態レジスタ上位	TMCSRH1	-	R/W	00X10000
000066 <sub>H</sub>	RLT1 - 16 ビットリロードレジスタ下位	-	TMRLR1	W	XXXXXXXX
000066 <sub>H</sub>	RLT1 - 16 ビットタイマレジスタ下位	-	TMR1	R	XXXXXXXX
000067 <sub>H</sub>	RLT1 - 16 ビットリロードレジスタ上位	-	-	W	XXXXXXXX
000067 <sub>H</sub>	RLT1 - 16 ビットタイマレジスタ上位	-	-	R	XXXXXXXX
000068 <sub>H</sub>	RLT2 - タイマ制御状態レジスタ下位	TMCSRL2	TMCSR2	R/W	00000000
000069 <sub>H</sub>	RLT2 - タイマ制御状態レジスタ上位	TMCSRH2	-	R/W	00X10000
00006A <sub>H</sub>	RLT2 - 16 ビットリロードレジスタ下位	-	TMRLR2	W	XXXXXXXX
00006A <sub>H</sub>	RLT2 - 16 ビットタイマレジスタ下位	-	TMR2	R	XXXXXXXX
00006B <sub>H</sub>	RLT2 - 16 ビットリロードレジスタ上位	-	-	W	XXXXXXXX
00006B <sub>H</sub>	RLT2 - 16 ビットタイマレジスタ上位	-	-	R	XXXXXXXX
00006C <sub>H</sub> - 00006F <sub>H</sub>	予約	-	-	-	-
000070 <sub>H</sub>	RLT6 - タイマ制御状態レジスタ下位	TMCSRL6	TMCSR6	R/W	00000000
000071 <sub>H</sub>	RLT6 - タイマ制御状態レジスタ上位	TMCSRH6	-	R/W	00X10000
000072 <sub>H</sub>	RLT6 - 16 ビットリロードレジスタ下位	-	TMRLR6	W	XXXXXXXX
000072 <sub>H</sub>	RLT6 - 16 ビットタイマレジスタ下位	-	TMR6	R	XXXXXXXX
000073 <sub>H</sub>	RLT6 - 16 ビットリロードレジスタ上位	-	-	W	XXXXXXXX
000073 <sub>H</sub>	RLT6 - 16 ビットタイマレジスタ	-	-	R	XXXXXXXX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000074 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 1 下位	GCN1L0	GCN10	R/W	00010000
000075 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 1 上位	GCN1H0	-	R/W	00110010
000076 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 2 下位	GCN2L0	GCN20	R/W	XXXX0000
000077 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 2 上位	GCN2H0	-	R/W	XXXX0000
000078 <sub>H</sub>	PPG0 - タイマレジスタ	-	PTMR0	R	11111111
000079 <sub>H</sub>	PPG0 - タイマレジスタ	-	-	R	11111111
00007A <sub>H</sub>	PPG0 - 周期設定レジスタ下位	PCSRL0	PCSR0	R/W	XXXXXXXXXX
00007B <sub>H</sub>	PPG0 - 周期設定レジスタ上位	PCSRH0	-	R/W	XXXXXXXXXX
00007C <sub>H</sub>	PPG0 - デューティ設定レジスタ下位	PDUTL0	PDUT0	R/W	XXXXXXXXXX
00007D <sub>H</sub>	PPG0 - デューティ設定レジスタ上位	PDUTH0	-	R/W	XXXXXXXXXX
00007E <sub>H</sub>	PPG0 - 制御ステータスレジスタ下位	PCNL0	PCN0	R/W	00000000
00007F <sub>H</sub>	PPG0 - 制御ステータスレジスタ上位	PCNH0	-	R/W	00000000
000080 <sub>H</sub>	PPG1 - タイマレジスタ	-	PTMR1	R	11111111
000081 <sub>H</sub>	PPG1 - タイマレジスタ	-	-	R	11111111
000082 <sub>H</sub>	PPG1 - 周期設定レジスタ下位	PCSRL1	PCSR1	R/W	XXXXXXXXXX
000083 <sub>H</sub>	PPG1 - 周期設定レジスタ上位	PCSRH1	-	R/W	XXXXXXXXXX
000084 <sub>H</sub>	PPG1 - デューティ設定レジスタ下位	PDUTL1	PDUT1	R/W	XXXXXXXXXX
000085 <sub>H</sub>	PPG1 - デューティ設定レジスタ上位	PDUTH1	-	R/W	XXXXXXXXXX
000086 <sub>H</sub>	PPG1 - 制御ステータスレジスタ下位	PCNL1	PCN1	R/W	00000000
000087 <sub>H</sub>	PPG1 - 制御ステータスレジスタ上位	PCNH1	-	R/W	00000000
000088 <sub>H</sub>	PPG2 - タイマレジスタ	-	PTMR2	R	11111111
000089 <sub>H</sub>	PPG2 - タイマレジスタ	-	-	R	11111111
00008A <sub>H</sub>	PPG2 - 周期設定レジスタ下位	PCSRL2	PCSR2	R/W	XXXXXXXXXX
00008B <sub>H</sub>	PPG2 - 周期設定レジスタ上位	PCSRH2	-	R/W	XXXXXXXXXX
00008C <sub>H</sub>	PPG2 - デューティ設定レジスタ下位	PDUTL2	PDUT2	R/W	XXXXXXXXXX
00008D <sub>H</sub>	PPG2 - デューティ設定レジスタ上位	PDUTH2	-	R/W	XXXXXXXXXX
00008E <sub>H</sub>	PPG2 - 制御ステータスレジスタ下位	PCNL2	PCN2	R/W	00000000
00008F <sub>H</sub>	PPG2 - 制御ステータスレジスタ上位	PCNH2	-	R/W	00000000
000090 <sub>H</sub>	PPG3 - タイマレジスタ	-	PTMR3	R	11111111
000091 <sub>H</sub>	PPG3 - タイマレジスタ	-	-	R	11111111
000092 <sub>H</sub>	PPG3 - 周期設定レジスタ下位	PCSRL3	PCSR3	R/W	XXXXXXXXXX
000093 <sub>H</sub>	PPG3 - 周期設定レジスタ上位	PCSRH3	-	R/W	XXXXXXXXXX
000094 <sub>H</sub>	PPG3 - デューティ設定レジスタ下位	PDUTL3	PDUT3	R/W	XXXXXXXXXX
000095 <sub>H</sub>	PPG3 - デューティ設定レジスタ上位	PDUTH3	-	R/W	XXXXXXXXXX
000096 <sub>H</sub>	PPG3 - 制御ステータスレジスタ下位	PCNL3	PCN3	R/W	00000000
000097 <sub>H</sub>	PPG3 - 制御ステータスレジスタ上位	PCNH3	-	R/W	00000000
000098 <sub>H</sub> - 0000AB <sub>H</sub>	予約	-	-	-	-
0000AC <sub>H</sub>	I <sup>2</sup> C0 - バスステータスレジスタ	IBSR0	-	R	00000000
0000AD <sub>H</sub>	I <sup>2</sup> C0 - バスコントロールレジスタ	IBCR0	-	R/W	00000000
0000AE <sub>H</sub>	I <sup>2</sup> C0 - 10 ビットスレーブアドレスレジスタ 下位	ITBAL0	ITBA0	R/W	00000000
0000AF <sub>H</sub>	I <sup>2</sup> C0 - 10 ビットスレーブアドレスレジスタ 上位	ITBAH0	-	R/W	00000000
0000B0 <sub>H</sub>	I <sup>2</sup> C0 - 10 ビットスレーブアドレスマスクレ ジスタ下位	ITMKL0	ITMK0	R/W	11111111

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0000B1 <sub>H</sub>	I <sup>2</sup> C0 - 10 ビットスレーブアドレスマスクレジスタ上位	ITMKH0	-	R/W	00111111
0000B2 <sub>H</sub>	I <sup>2</sup> C0 - 7 ビットスレーブアドレスレジスタ	ISBA0	-	R/W	00000000
0000B3 <sub>H</sub>	I <sup>2</sup> C0 - 7 ビットスレーブアドレスマスクレジスタ	ISMK0	-	R/W	01111111
0000B4 <sub>H</sub>	I <sup>2</sup> C0 - データレジスタ	IDAR0	-	R/W	00000000
0000B5 <sub>H</sub>	I <sup>2</sup> C0 - クロックコントロールレジスタ	ICCR0	-	R/W	00011111
0000B6 <sub>H</sub> - 0000BF <sub>H</sub>	予約	-	-	-	-
0000C0 <sub>H</sub>	USART0 - シリアルモードレジスタ	SMR0	-	R/W	00000000
0000C1 <sub>H</sub>	USART0 - シリアル制御レジスタ	SCR0	-	R/W	00000000
0000C2 <sub>H</sub>	USART0 - 送信データ レジスタ	TDR0	-	W	11111111
0000C2 <sub>H</sub>	USART0 - 受信データ レジスタ	RDR0	-	R	00000000
0000C3 <sub>H</sub>	USART0 - シリアルステータスレジスタ	SSR0	-	R/W	00001000
0000C4 <sub>H</sub>	USART0 - 拡張通信制御レジスタ	ECCR0	-	R/W	000000XX
0000C5 <sub>H</sub>	USART0 - 拡張ステータス制御レジスタ	ESCR0	-	R/W	00000100
0000C6 <sub>H</sub>	USART0 - ボーレート/リロードカウンタレジスタ下位	BGRL0	BGR0	R/W	00000000
0000C7 <sub>H</sub>	USART0 - ボーレート/リロードカウンタレジスタ上位	BGRH0	-	R/W	00000000
0000C8 <sub>H</sub>	USART0 - 拡張シリアル割込みレジスタ	ESIR0	-	R/W	XXXX10X0
0000C9 <sub>H</sub>	USART0 - フレーム ID データレジスタ	FIDR0	-	R/W	00000000
0000CA <sub>H</sub>	USART1 - シリアルモードレジスタ	SMR1	-	R/W	00000000
0000CB <sub>H</sub>	USART1 - シリアル制御レジスタ	SCR1	-	R/W	00000000
0000CC <sub>H</sub>	USART1 - 送信データ レジスタ	TDR1	-	W	11111111
0000CC <sub>H</sub>	USART1 - 受信データ レジスタ	RDR1	-	R	00000000
0000CD <sub>H</sub>	USART1 - シリアルステータスレジスタ	SSR1	-	R/W	00001000
0000CE <sub>H</sub>	USART1 - 拡張通信制御レジスタ	ECCR1	-	R/W	000000XX
0000CF <sub>H</sub>	USART1 - 拡張ステータス制御レジスタ	ESCR1	-	R/W	00000100
0000D0 <sub>H</sub>	USART1 - ボーレート/リロードカウンタレジスタ下位	BGRL1	BGR1	R/W	00000000
0000D1 <sub>H</sub>	USART1 - ボーレート/リロードカウンタレジスタ上位	BGRH1	-	R/W	00000000
0000D2 <sub>H</sub>	USART1 - 拡張シリアル割込みレジスタ	ESIR1	-	R/W	XXXX10X0
0000D3 <sub>H</sub> - 0000EB <sub>H</sub>	予約	-	-	-	-
0000EC <sub>H</sub>	PPG - 汎用制御レジスタ	GCNR0	-	R/W	XXXXXX00
0000ED <sub>H</sub> - 0000FF <sub>H</sub>	予約	-	-	-	-
000100 <sub>H</sub>	DMA0 - バッファアドレスポインタ下位	BAPL0	-	R/W	XXXXXXXXXX
000101 <sub>H</sub>	DMA0 - バッファアドレスポインタ中位	BAPM0	-	R/W	XXXXXXXXXX
000102 <sub>H</sub>	DMA0 - バッファアドレスポインタ上位	BAPH0	-	R/W	XXXXXXXXXX
000103 <sub>H</sub>	DMA0 - 制御レジスタ	DMACS0	-	R/W	XXXXXXXXXX
000104 <sub>H</sub>	DMA0 - I/O レジスタアドレスポインタ下位	IOAL0	IOA0	R/W	XXXXXXXXXX
000105 <sub>H</sub>	DMA0 - I/O レジスタアドレスポインタ上位	IOAH0	-	R/W	XXXXXXXXXX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000106 <sub>H</sub>	DMA0 - データカウントレジスタ下位	DCTL0	DCT0	R/W	XXXXXXXX
000107 <sub>H</sub>	DMA0 - データカウントレジスタ上位	DCTH0	-	R/W	XXXXXXXX
000108 <sub>H</sub>	DMA1 - バッファアドレスポインタ下位	BAPL1	-	R/W	XXXXXXXX
000109 <sub>H</sub>	DMA1 - バッファアドレスポインタ中位	BAPM1	-	R/W	XXXXXXXX
00010A <sub>H</sub>	DMA1 - バッファアドレスポインタ上位	BAPH1	-	R/W	XXXXXXXX
00010B <sub>H</sub>	DMA1 - 制御レジスタ	DMACS1	-	R/W	XXXXXXXX
00010C <sub>H</sub>	DMA1 - I/O レジスタアドレスポインタ下位	IOAL1	IOA1	R/W	XXXXXXXX
00010D <sub>H</sub>	DMA1 - I/O レジスタアドレスポインタ上位	IOAH1	-	R/W	XXXXXXXX
00010E <sub>H</sub>	DMA1 - データカウントレジスタ下位	DCTL1	DCT1	R/W	XXXXXXXX
00010F <sub>H</sub>	DMA1 - データカウントレジスタ上位	DCTH1	-	R/W	XXXXXXXX
000110 <sub>H</sub> - 00017F <sub>H</sub>	予約	-	-	-	-
000180 <sub>H</sub> - 00037F <sub>H</sub>	CPU - 汎用レジスタ(RAM アクセス)	GPR_RAM	-	R/W	-
000380 <sub>H</sub>	DMA0 - 割り込み要求選択レジスタ	DISEL0	-	R/W	00001100
000381 <sub>H</sub>	DMA1 - 割り込み要求選択レジスタ	DISEL1	-	R/W	00001100
000382 <sub>H</sub> - 00038F <sub>H</sub>	予約	-	-	-	-
000390 <sub>H</sub>	DMA - ステータスレジスタ下位	DSRL	DSR	R/W	00000000
000391 <sub>H</sub>	DMA - ステータスレジスタ上位	DSRH	-	R/W	00000000
000392 <sub>H</sub>	DMA - 停止ステータスレジスタ下位	DSSRL	DSSR	R/W	00000000
000393 <sub>H</sub>	DMA - 停止ステータスレジスタ上位	DSSRH	-	R/W	00000000
000394 <sub>H</sub>	DMA - 許可レジスタ下位	DERL	DER	R/W	00000000
000395 <sub>H</sub>	DMA - 許可レジスタ上位	DERH	-	R/W	00000000
000396 <sub>H</sub> - 00039F <sub>H</sub>	予約	-	-	-	-
0003A0 <sub>H</sub>	割り込み制御レジスタ 割り込みレベル	ILR	ICR	R/W	XXXXXX111
0003A1 <sub>H</sub>	割り込み制御レジスタ インデックス	IDX	-	R/W	00001100
0003A2 <sub>H</sub>	割り込みベクタテーブルベースレジスタ下位	TBRL	TBR	R/W	11111100
0003A3 <sub>H</sub>	割り込みベクタテーブルベースレジスタ上位	TBRH	-	R/W	11111111
0003A4 <sub>H</sub>	遅延割り込み要求レジスタ	DIRR	-	R/W	XXXXXXXX0
0003A5 <sub>H</sub>	NMI 制御ステータスレジスタ	NMI	-	R/W	XXXXXX10X
0003A6 <sub>H</sub> - 0003AD <sub>H</sub>	予約	-	-	-	-
0003AE <sub>H</sub>	ROM ミラー機能選択レジスタ	ROMM	-	R/W	1111X111
0003AF <sub>H</sub> - 0003E7 <sub>H</sub>	予約	-	-	-	-
0003E8 <sub>H</sub>	デュアルオペレーションフラッシュ設定レジスタ A	DFCA	-	R/W	XXXXXX000
0003E9 <sub>H</sub>	デュアルオペレーションフラッシュ割り込み制御レジスタ A	DFICA	-	R/W	X0000000
0003EA <sub>H</sub>	デュアルオペレーションフラッシュステータスレジスタ A	DFSA	-	R	11000001
0003EB <sub>H</sub>	デュアルオペレーションフラッシュ割り込みステータスレジスタ A	DFISA	-	R/W	X0000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0003EC <sub>H</sub> - 0003F8 <sub>H</sub>	予約	-	-	-	-
0003F9 <sub>H</sub>	デュアルオペレーションフラッシュ書込み アクセス制御レジスタ 0A	DFWC0A	-	R/W	XXX00000
0003FA <sub>H</sub> - 0003FC <sub>H</sub>	予約	-	-	-	-
0003FD <sub>H</sub>	デュアルオペレーションフラッシュ書込み アクセス制御レジスタ 1A	DFWC1A	-	R/W	00000000
0003FE <sub>H</sub> , 0003FF <sub>H</sub>	予約	-	-	-	-
000400 <sub>H</sub>	スタンバイモード制御レジスタ	SMCR	-	R/W	XXX0X000
000401 <sub>H</sub>	クロック選択レジスタ	CKSR	-	R/W	10110000
000402 <sub>H</sub>	クロック安定化選択レジスタ	CKSSR	-	R/W	XX111111
000403 <sub>H</sub>	クロックモニタレジスタ	CKMR	-	R	*0*0XXXX *:リセット要 因に依存
000404 <sub>H</sub>	クロック周波数制御レジスタ下位	CKFCRL	CKFCR	R/W	0000XXX1
000405 <sub>H</sub>	クロック周波数制御レジスタ上位	CKFCRH	-	R/W	00000000
000406 <sub>H</sub>	PLL 制御レジスタ下位	PLLCRL	PLLCR	R/W	000X0000
000407 <sub>H</sub>	PLL 制御レジスタ上位	PLLCRH	-	R/W	XXXXXXXX
000408 <sub>H</sub>	CR クロックタイマ制御レジスタ	RCTCR	-	R/W	X0010000
000409 <sub>H</sub>	メインクロックタイマ制御レジスタ	MCTCR	-	R/W	X0010000
00040A <sub>H</sub>	サブクロックタイマ制御レジスタ	SCTCR	-	R/W	X001X000
00040B <sub>H</sub>	リセット要因およびクロック状態レジスタ	RCCSRC	-	R	***** *:リセット要 因に依存
00040C <sub>H</sub>	リセット構成レジスタ	RCR	-	R/W	XX000**0 *:リセット要 因に依存
00040D <sub>H</sub>	リセット要因およびクロック状態レジスタ	RCCSR	-	R	***** *:リセット要 因に依存
00040E <sub>H</sub>	ウォッチドッグタイマ構成レジスタ	WDTC	WDT	R/W	0000**** *:WICM Marker に依存
00040F <sub>H</sub>	ウォッチドッグタイマクリアパターンレジ スタ	WDTCP	-	W	00000000
000410 <sub>H</sub> - 000414 <sub>H</sub>	予約	-	-	-	-
000415 <sub>H</sub>	クロック出力起動レジスタ	COAR	-	R/W	00000000
000416 <sub>H</sub>	クロック出力構成レジスタ 0	COCR0	-	R/W	X0000000
000417 <sub>H</sub>	クロック出力構成レジスタ 1	COCR1	-	R/W	X0000000
000418 <sub>H</sub> - 00041F <sub>H</sub>	予約	-	-	-	-
000420 <sub>H</sub>	ウォッチドッグタイマ拡張構成レジスタ	WDETC	-	R/W	XXX00000
000421 <sub>H</sub> - 00042B <sub>H</sub>	予約	-	-	-	-

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
00042C <sub>H</sub>	電圧レギュレータ制御レジスタ	VRCCR	-	R/W	10X10X10
00042D <sub>H</sub>	クロック入力および LVD 制御レジスタ	CILCR	-	R/W	00000000
00042E <sub>H</sub>	拡張スタンバイモード制御レジスタ	ESMCR	-	R/W	XXX00001
00042F <sub>H</sub>	予約	-	-	-	-
000430 <sub>H</sub>	I/O ポート P00 - データ方向レジスタ	DDR00	-	R/W	00000000
000431 <sub>H</sub>	I/O ポート P01 - データ方向レジスタ	DDR01	-	R/W	00000000
000432 <sub>H</sub>	I/O ポート P02 - データ方向レジスタ	DDR02	-	R/W	00000000
000433 <sub>H</sub>	I/O ポート P03 - データ方向レジスタ	DDR03	-	R/W	00000000
000434 <sub>H</sub>	I/O ポート P04 - データ方向レジスタ	DDR04	-	R/W	00000000
000435 <sub>H</sub>	I/O ポート P05 - データ方向レジスタ	DDR05	-	R/W	00000000
000436 <sub>H</sub>	I/O ポート P06 - データ方向レジスタ	DDR06	-	R/W	00000000
000437 <sub>H</sub>	予約	-	-	-	-
000438 <sub>H</sub>	I/O ポート P08 - データ方向レジスタ	DDR08	-	R/W	00000000
000439 <sub>H</sub> , 00043A <sub>H</sub>	予約	-	-	-	-
00043B <sub>H</sub>	I/O ポート P11 - データ方向レジスタ	DDR11	-	R/W	00000000
00043C <sub>H</sub>	I/O ポート P12 - データ方向レジスタ	DDR12	-	R/W	00000000
00043D <sub>H</sub>	I/O ポート P13 - データ方向レジスタ	DDR13	-	R/W	00000000
00043E <sub>H</sub> - 000440 <sub>H</sub>	予約	-	-	-	-
000441 <sub>H</sub>	I/O ポート P17 - データ方向レジスタ	DDR17	-	R/W	00000000
000442 <sub>H</sub> , 000443 <sub>H</sub>	予約	-	-	-	-
000444 <sub>H</sub>	I/O ポート P00 - ポート入力許可レジスタ	PIER00	-	R/W	00000000
000445 <sub>H</sub>	I/O ポート P01 - ポート入力許可レジスタ	PIER01	-	R/W	00000000
000446 <sub>H</sub>	I/O ポート P02 - ポート入力許可レジスタ	PIER02	-	R/W	00000000
000447 <sub>H</sub>	I/O ポート P03 - ポート入力許可レジスタ	PIER03	-	R/W	00000000
000448 <sub>H</sub>	I/O ポート P04 - ポート入力許可レジスタ	PIER04	-	R/W	00000000
000449 <sub>H</sub>	I/O ポート P05 - ポート入力許可レジスタ	PIER05	-	R/W	00000000
00044A <sub>H</sub>	I/O ポート P06 - ポート入力許可レジスタ	PIER06	-	R/W	00000000
00044B <sub>H</sub>	予約	-	-	-	-
00044C <sub>H</sub>	I/O ポート P08 - ポート入力許可レジスタ	PIER08	-	R/W	00000000
00044D <sub>H</sub> , 00044E <sub>H</sub>	予約	-	-	-	-
00044F <sub>H</sub>	I/O ポート P11 - ポート入力許可レジスタ	PIER11	-	R/W	00000000
000450 <sub>H</sub>	I/O ポート P12 - ポート入力許可レジスタ	PIER12	-	R/W	00000000
000451 <sub>H</sub>	I/O ポート P13 - ポート入力許可レジスタ	PIER13	-	R/W	00000000
000452 <sub>H</sub> - 000454 <sub>H</sub>	予約	-	-	-	-
000455 <sub>H</sub>	I/O ポート P17 - ポート入力許可レジスタ	PIER17	-	R/W	00000000
000456 <sub>H</sub> - 00049B <sub>H</sub>	予約	-	-	-	-
00049C <sub>H</sub>	I/O ポート P08 - ポート high 駆動レジスタ	PHDR08	-	R/W	00000000
00049D <sub>H</sub> - 0004A7 <sub>H</sub>	予約	-	-	-	-
0004A8 <sub>H</sub>	I/O ポート P00 - ブルアップ制御レジスタ	PUCR00	-	R/W	00000000
0004A9 <sub>H</sub>	I/O ポート P01 - ブルアップ制御レジスタ	PUCR01	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0004AA <sub>H</sub>	I/O ポート P02 - ブルアップ制御レジスタ	PUCR02	-	R/W	00000000
0004AB <sub>H</sub>	I/O ポート P03 - ブルアップ制御レジスタ	PUCR03	-	R/W	00000000
0004AC <sub>H</sub>	I/O ポート P04 - ブルアップ制御レジスタ	PUCR04	-	R/W	00000000
0004AD <sub>H</sub>	I/O ポート P05 - ブルアップ制御レジスタ	PUCR05	-	R/W	00000000
0004AE <sub>H</sub>	I/O ポート P06 - ブルアップ制御レジスタ	PUCR06	-	R/W	00000000
0004AF <sub>H</sub>	予約	-	-	-	-
0004B0 <sub>H</sub>	I/O ポート P08 - ブルアップ制御レジスタ	PUCR08	-	R/W	00000000
0004B1 <sub>H</sub> , 0004B2 <sub>H</sub>	予約	-	-	-	-
0004B3 <sub>H</sub>	I/O ポート P11 - ブルアップ制御レジスタ	PUCR11	-	R/W	00000000
0004B4 <sub>H</sub>	I/O ポート P12 - ブルアップ制御レジスタ	PUCR12	-	R/W	00000000
0004B5 <sub>H</sub>	I/O ポート P13 - ブルアップ制御レジスタ	PUCR13	-	R/W	00000000
0004B6 <sub>H</sub> - 0004B8 <sub>H</sub>	予約	-	-	-	-
0004B9 <sub>H</sub>	I/O ポート P17 - ブルアップ制御レジスタ	PUCR17	-	R/W	00000000
0004BA <sub>H</sub> , 0004BB <sub>H</sub>	予約	-	-	-	-
0004BC <sub>H</sub>	I/O ポート P00 - 外部端子状態レジスタ	EPSR00	-	R	XXXXXXXX
0004BD <sub>H</sub>	I/O ポート P01 - 外部端子状態レジスタ	EPSR01	-	R	XXXXXXXX
0004BE <sub>H</sub>	I/O ポート P02 - 外部端子状態レジスタ	EPSR02	-	R	XXXXXXXX
0004BF <sub>H</sub>	I/O ポート P03 - 外部端子状態レジスタ	EPSR03	-	R	XXXXXXXX
0004C0 <sub>H</sub>	I/O ポート P04 - 外部端子状態レジスタ	EPSR04	-	R	XXXXXXXX
0004C1 <sub>H</sub>	I/O ポート P05 - 外部端子状態レジスタ	EPSR05	-	R	XXXXXXXX
0004C2 <sub>H</sub>	I/O ポート P06 - 外部端子状態レジスタ	EPSR06	-	R	XXXXXXXX
0004C3 <sub>H</sub>	予約	-	-	-	-
0004C4 <sub>H</sub>	I/O ポート P08 - 外部端子状態レジスタ	EPSR08	-	R	XXXXXXXX
0004C5 <sub>H</sub> , 0004C6 <sub>H</sub>	予約	-	-	-	-
0004C7 <sub>H</sub>	I/O ポート P11 - 外部端子状態レジスタ	EPSR11	-	R	XXXXXXXX
0004C8 <sub>H</sub>	I/O ポート P12 - 外部端子状態レジスタ	EPSR12	-	R	XXXXXXXX
0004C9 <sub>H</sub>	I/O ポート P13 - 外部端子状態レジスタ	EPSR13	-	R	XXXXXXXX
0004CA <sub>H</sub> - 0004CC <sub>H</sub>	予約	-	-	-	-
0004CD <sub>H</sub>	I/O ポート P17 - 外部端子状態レジスタ	EPSR17	-	R	XXXXXXXX
0004CE <sub>H</sub> - 0004D0 <sub>H</sub>	予約	-	-	-	-
0004D1 <sub>H</sub>	ADC0 アナログ入力許可レジスタ 1	ADER1	-	R/W	00000000
0004D2 <sub>H</sub>	ADC0 アナログ入力許可レジスタ 2	ADER2	-	R/W	00000000
0004D3 <sub>H</sub> - 0004D5 <sub>H</sub>	予約	-	-	-	-
0004D6 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 0	PRRR0	-	R/W	00000000
0004D7 <sub>H</sub>	予約	-	-	-	-
0004D8 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 2	PRRR2	-	R/W	00000000
0004D9 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 3	PRRR3	-	R/W	00000000



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0004DA <sub>H</sub>	周辺リソース端子リロケーションレジスタ 4	PRRR4	-	R/W	00000000
0004DB <sub>H</sub> - 0004DE <sub>H</sub>	予約	-	-	-	-
0004DF <sub>H</sub>	周辺リソース端子リロケーションレジスタ 9	PRRR9	-	R/W	XX000000
0004E0 <sub>H</sub>	RTC - サブセカンドレジスタ L	WTBRL0	WTBR0	R/W	XXXXXXXX
0004E1 <sub>H</sub>	RTC - サブセカンドレジスタ M	WTBRH0	-	R/W	XXXXXXXX
0004E2 <sub>H</sub>	RTC - サブセカンドレジスタ H	WTBR1	-	R/W	XXXXXXXX
0004E3 <sub>H</sub>	RTC - 秒レジスタ	WTSR	-	R/W	XX***** *:リセット要 因に依存
0004E4 <sub>H</sub>	RTC - 分レジスタ	WTMR	-	R/W	XX***** *:リセット要 因に依存
0004E5 <sub>H</sub>	RTC - 時レジスタ	WTHR	-	R/W	XXX***** *:リセット要 因に依存
0004E6 <sub>H</sub>	RTC - タイマ制御拡張レジスタ	WTCER	-	R/W	XXXXXXXX00
0004E7 <sub>H</sub>	RTC - クロック選択レジスタ	WTCKSR	-	R/W	XXXXXXXX00
0004E8 <sub>H</sub>	RTC - タイマ制御レジスタ下位	WTCRL	WTCR	R/W	XXXX0000
0004E9 <sub>H</sub>	RTC - タイマ制御レジスタ上位	WTCRH	-	R/W	00000000
0004EA <sub>H</sub>	CAL - クロック補正ユニット制御レジスタ	CUCR	-	R/W	XXX0X000
0004EB <sub>H</sub>	予約	-	-	-	-
0004EC <sub>H</sub>	CAL - クロック補正ユニット測定時間タイ マデータレジスタ下位	CUTDL	CUTD	R/W	00000000
0004ED <sub>H</sub>	CAL - クロック補正ユニット測定時間タイ マデータレジスタ上位	CUTDH	-	R/W	10000000
0004EE <sub>H</sub>	CAL - クロック補正ユニット補正タイマ データレジスタ 2 下位	CUTR2L	CUTR2	R	00000000
0004EF <sub>H</sub>	CAL - クロック補正ユニット補正タイマ データレジスタ 2 上位	CUTR2H	-	R	00000000
0004F0 <sub>H</sub>	CAL - クロック補正ユニット補正タイマ データレジスタ 1 下位	CUTR1L	CUTR1	R	00000000
0004F1 <sub>H</sub>	CAL - クロック補正ユニット補正タイマ データレジスタ 1 上位	CUTR1H	-	R	00000000
0004F2 <sub>H</sub> - 0004F9 <sub>H</sub>	予約	-	-	-	-
0004FA <sub>H</sub>	RLT - リロードタイマ入力選択レジスタ(カ スケード用)	TMISR	-	R/W	XX000000
0004FB <sub>H</sub> - 0005DF <sub>H</sub>	予約	-	-	-	-
0005E0 <sub>H</sub>	SMC0 - PWM 制御レジスタ	PWC0	-	R/W	00000000
0005E1 <sub>H</sub>	SMC0 - PWM 拡張制御レジスタ	PWEC0	-	R/W	00000000
0005E2 <sub>H</sub>	SMC0 - PWM1 コンペアレジスタ	-	PWC10	R/W	XXXXXXXX
0005E3 <sub>H</sub>	SMC0 - PWM1 コンペアレジスタ	-	-	R/W	000000XX
0005E4 <sub>H</sub>	SMC0 - PWM2 コンペアレジスタ	-	PWC20	R/W	XXXXXXXX



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0005E5 <sub>H</sub>	SMC0 - PWM2 コンペアレジスタ	-	-	R/W	000000XX
0005E6 <sub>H</sub>	SMC0 - PWM1 選択レジスタ	PWS10	-	R/W	00000000
0005E7 <sub>H</sub>	SMC0 - PWM2 選択レジスタ	PWS20	-	R/W	00000000
0005E8 <sub>H</sub> , 0005E9 <sub>H</sub>	予約	-	-	-	-
0005EA <sub>H</sub>	SMC1 - PWM 制御レジスタ	PWC1	-	R/W	00000000
0005EB <sub>H</sub>	SMC1 - PWM 拡張制御レジスタ	PWEC1	-	R/W	00000000
0005EC <sub>H</sub>	SMC1 - PWM1 コンペアレジスタ	-	PWC11	R/W	XXXXXXXXXX
0005ED <sub>H</sub>	SMC1 - PWM1 コンペアレジスタ	-	-	R/W	000000XX
0005EE <sub>H</sub>	SMC1 - PWM2 コンペアレジスタ	-	PWC21	R/W	XXXXXXXXXX
0005EF <sub>H</sub>	SMC1 - PWM2 コンペアレジスタ	-	-	R/W	000000XX
0005F0 <sub>H</sub>	SMC1 - PWM1 選択レジスタ	PWS11	-	R/W	00000000
0005F1 <sub>H</sub>	SMC1 - PWM2 選択レジスタ	PWS21	-	R/W	00000000
0005F2 <sub>H</sub> - 00061B <sub>H</sub>	予約	-	-	-	-
00061C <sub>H</sub>	LCD - セグメント許可レジスタ 0 (セグメント 7 ~ 0)	LCDER0	-	R/W	00000000
00061D <sub>H</sub>	LCD - セグメント許可レジスタ 1 (セグメント 15 ~ 8)	LCDER1	-	R/W	00000000
00061E <sub>H</sub>	LCD - セグメント許可レジスタ 2 (セグメント 23 ~ 16)	LCDER2	-	R/W	00000000
00061F <sub>H</sub>	LCD - セグメント許可レジスタ 3 (セグメント 31 ~ 24)	LCDER3	-	R/W	00000000
000620 <sub>H</sub>	LCD - セグメント許可レジスタ 4 (セグメント 39 ~ 32)	LCDER4	-	R/W	00000000
000621 <sub>H</sub>	LCD - セグメント許可レジスタ 5 (セグメント 47 ~ 40)	LCDER5	-	R/W	00000000
000622 <sub>H</sub>	LCD - セグメント許可レジスタ 6 (セグメント 55 ~ 48)	LCDER6	-	R/W	00000000
000623 <sub>H</sub>	LCD - セグメント許可レジスタ 7 (セグメント 63 ~ 56)	LCDER7	-	R/W	00000000
000624 <sub>H</sub> , 000625 <sub>H</sub>	予約	-	-	-	-
000626 <sub>H</sub>	LCD - 電圧ライン許可レジスタ V (Vx)	LCDVER	-	R/W	XXXXX0000
000627 <sub>H</sub>	LCD - 拡張制御レジスタ	LECR	-	R/W	XXXXX000
000628 <sub>H</sub>	LCD - 共通端子切換えレジスタ	LCDCMR	-	R/W	0XXXX0000
000629 <sub>H</sub>	LCD - 制御レジスタ	LCR	-	R/W	00010000
00062A <sub>H</sub>	予約	-	-	-	-
00062B <sub>H</sub>	LCD - セグメント 3-2 の表示 RAM	VRAM1	-	R/W	XXXXXXXXXX
00062C <sub>H</sub>	LCD - セグメント 5-4 の表示 RAM	VRAM2	-	R/W	XXXXXXXXXX
00062D <sub>H</sub>	LCD - セグメント 7-6 の表示 RAM	VRAM3	-	R/W	XXXXXXXXXX
00062E <sub>H</sub>	LCD - セグメント 9-8 の表示 RAM	VRAM4	-	R/W	XXXXXXXXXX
00062F <sub>H</sub>	LCD - セグメント 11-10 の表示 RAM	VRAM5	-	R/W	XXXXXXXXXX
000630 <sub>H</sub> - 000632 <sub>H</sub>	予約	-	-	-	-
000633 <sub>H</sub>	LCD - セグメント 19-18 の表示 RAM	VRAM9	-	R/W	XXXXXXXXXX
000634 <sub>H</sub>	LCD - セグメント 21-20 の表示 RAM	VRAM10	-	R/W	XXXXXXXXXX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000635 <sub>H</sub>	LCD - セグメント 23-22 の表示 RAM	VRAM11	-	R/W	XXXXXXXX
000636 <sub>H</sub> - 000638 <sub>H</sub>	予約	-	-	-	-
000639 <sub>H</sub>	LCD - セグメント 31-30 の表示 RAM	VRAM15	-	R/W	XXXXXXXX
00063A <sub>H</sub> , 00063B <sub>H</sub>	予約	-	-	-	-
00063C <sub>H</sub>	LCD - セグメント 37-36 の表示 RAM	VRAM18	-	R/W	XXXXXXXX
00063D <sub>H</sub>	LCD - セグメント 39-38 の表示 RAM	VRAM19	-	R/W	XXXXXXXX
00063E <sub>H</sub>	予約	-	-	-	-
00063F <sub>H</sub>	LCD - セグメント 43-42 の表示 RAM	VRAM21	-	R/W	XXXXXXXX
000640 <sub>H</sub>	LCD - セグメント 45-44 の表示 RAM	VRAM22	-	R/W	XXXXXXXX
000641 <sub>H</sub>	LCD - セグメント 47-46 の表示 RAM	VRAM23	-	R/W	XXXXXXXX
000642 <sub>H</sub> - 000644 <sub>H</sub>	予約	-	-	-	-
000645 <sub>H</sub>	LCD - セグメント 55-54 の表示 RAM	VRAM27	-	R/W	XXXXXXXX
000646 <sub>H</sub>	LCD - セグメント 57-56 の表示 RAM	VRAM28	-	R/W	XXXXXXXX
000647 <sub>H</sub> - 000662 <sub>H</sub>	予約	-	-	-	-
000663 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 13	PRRR13	-	R/W	XXX0XX00
000664 <sub>H</sub> - 0006FF <sub>H</sub>	予約	-	-	-	-
000700 <sub>H</sub>	CAN0 - 制御レジスタ下位	CTRLRL0	CTRLR0	R/W	000X0001
000701 <sub>H</sub>	CAN0 - 制御レジスタ上位(予約)	CTRLRH0	-	R	XXXXXXXX
000702 <sub>H</sub>	CAN0 - ステータスレジスタ下位	STATRL0	STATR0	R/W	00000000
000703 <sub>H</sub>	CAN0 - ステータスレジスタ上位(予約)	STATRH0	-	R	XXXXXXXX
000704 <sub>H</sub>	CAN0 - エラーカウンタ下位(送信)	ERRCNTL0	ERRCNT0	R	00000000
000705 <sub>H</sub>	CAN0 - エラーカウンタ上位(受信)	ERRCNTH0	-	R	00000000
000706 <sub>H</sub>	CAN0 - ビットタイミングレジスタ下位	BTRL0	BTR0	R/W	00000001
000707 <sub>H</sub>	CAN0 - ビットタイミングレジスタ上位	BTRH0	-	R/W	X0100011
000708 <sub>H</sub>	CAN0 - 割込みレジスタ下位	INTRL0	INTR0	R	00000000
000709 <sub>H</sub>	CAN0 - 割込みレジスタ上位	INTRH0	-	R	00000000
00070A <sub>H</sub>	CAN0 - テストレジスタ下位	TESTRL0	TESTR0	R/W	X00000XX
00070B <sub>H</sub>	CAN0 - テストレジスタ上位(予約)	TESTRH0	-	R	XXXXXXXX
00070C <sub>H</sub>	CAN0 - BRP 拡張レジスタ下位	BRPERL0	BRPER0	R/W	XXXX0000
00070D <sub>H</sub>	CAN0 - BRP 拡張レジスタ上位(予約)	BRPERH0	-	R	XXXXXXXX
00070E <sub>H</sub> , 00070F <sub>H</sub>	予約	-	-	-	-
000710 <sub>H</sub>	CAN0 - IF1 コマンドリクエストレジスタ 下位	IF1CREQL0	IF1CREQ0	R/W	00000001
000711 <sub>H</sub>	CAN0 - IF1 コマンドリクエストレジスタ 上位	IF1CREQH0	-	R/W	0XXXXXXXX
000712 <sub>H</sub>	CAN0 - IF1 コマンドマスクレジスタ下位	IF1CMSKL0	IF1CMSK0	R/W	00000000
000713 <sub>H</sub>	CAN0 - IF1 コマンドマスクレジスタ上位 (予約)	IF1CMSKH0	-	R	XXXXXXXX
000714 <sub>H</sub>	CAN0 - IF1 マスク 1 レジスタ下位	IF1MSK1L0	IF1MSK10	R/W	11111111
000715 <sub>H</sub>	CAN0 - IF1 マスク 1 レジスタ上位	IF1MSK1H0	-	R/W	11111111

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000716 <sub>H</sub>	CAN0 - IF1 マスク 2 レジスタ下位	IF1MSK2L0	IF1MSK20	R/W	11111111
000717 <sub>H</sub>	CAN0 - IF1 マスク 2 レジスタ上位	IF1MSK2H0	-	R/W	11X11111
000718 <sub>H</sub>	CAN0 - IF1 アービトレーション 1 レジスタ下位	IF1ARB1L0	IF1ARB10	R/W	00000000
000719 <sub>H</sub>	CAN0 - IF1 アービトレーション 1 レジスタ上位	IF1ARB1H0	-	R/W	00000000
00071A <sub>H</sub>	CAN0 - IF1 アービトレーション 2 レジスタ下位	IF1ARB2L0	IF1ARB20	R/W	00000000
00071B <sub>H</sub>	CAN0 - IF1 アービトレーション 2 レジスタ上位	IF1ARB2H0	-	R/W	00000000
00071C <sub>H</sub>	CAN0 - IF1 メッセージ制御レジスタ下位	IF1MCTRL0	IF1MCTR0	R/W	0XXX0000
00071D <sub>H</sub>	CAN0 - IF1 メッセージ制御レジスタ上位	IF1MCTRH0	-	R/W	00000000
00071E <sub>H</sub>	CAN0 - IF1 データ A1 下位	IF1DTA1L0	IF1DTA10	R/W	00000000
00071F <sub>H</sub>	CAN0 - IF1 データ A1 上位	IF1DTA1H0	-	R/W	00000000
000720 <sub>H</sub>	CAN0 - IF1 データ A2 下位	IF1DTA2L0	IF1DTA20	R/W	00000000
000721 <sub>H</sub>	CAN0 - IF1 データ A2 上位	IF1DTA2H0	-	R/W	00000000
000722 <sub>H</sub>	CAN0 - IF1 データ B1 下位	IF1DTB1L0	IF1DTB10	R/W	00000000
000723 <sub>H</sub>	CAN0 - IF1 データ B1 上位	IF1DTB1H0	-	R/W	00000000
000724 <sub>H</sub>	CAN0 - IF1 データ B2 下位	IF1DTB2L0	IF1DTB20	R/W	00000000
000725 <sub>H</sub>	CAN0 - IF1 データ B2 上位	IF1DTB2H0	-	R/W	00000000
000726 <sub>H</sub> - 00073F <sub>H</sub>	予約	-	-	-	-
000740 <sub>H</sub>	CAN0 - IF2 コマンドリクエストレジスタ下位	IF2CREQL0	IF2CREQ0	R/W	00000001
000741 <sub>H</sub>	CAN0 - IF2 コマンドリクエストレジスタ上位	IF2CREQH0	-	R/W	0XXXXXXXX
000742 <sub>H</sub>	CAN0 - IF2 コマンドマスクレジスタ下位	IF2CMSKL0	IF2CMSK0	R/W	00000000
000743 <sub>H</sub>	CAN0 - IF2 コマンドマスクレジスタ上位 (予約)	IF2CMSKH0	-	R	XXXXXXXXX
000744 <sub>H</sub>	CAN0 - IF2 マスク 1 レジスタ下位	IF2MSK1L0	IF2MSK10	R/W	11111111
000745 <sub>H</sub>	CAN0 - IF2 マスク 1 レジスタ上位	IF2MSK1H0	-	R/W	11111111
000746 <sub>H</sub>	CAN0 - IF2 マスク 2 レジスタ下位	IF2MSK2L0	IF2MSK20	R/W	11111111
000747 <sub>H</sub>	CAN0 - IF2 マスク 2 レジスタ上位	IF2MSK2H0	-	R/W	11X11111
000748 <sub>H</sub>	CAN0 - IF2 アービトレーション 1 レジスタ下位	IF2ARB1L0	IF2ARB10	R/W	00000000
000749 <sub>H</sub>	CAN0 - IF2 アービトレーション 1 レジスタ上位	IF2ARB1H0	-	R/W	00000000
00074A <sub>H</sub>	CAN0 - IF2 アービトレーション 2 レジスタ下位	IF2ARB2L0	IF2ARB20	R/W	00000000
00074B <sub>H</sub>	CAN0 - IF2 アービトレーション 2 レジスタ上位	IF2ARB2H0	-	R/W	00000000
00074C <sub>H</sub>	CAN0 - IF2 メッセージ制御レジスタ下位	IF2MCTRL0	IF2MCTR0	R/W	0XXX0000
00074D <sub>H</sub>	CAN0 - IF2 メッセージ制御レジスタ上位	IF2MCTRH0	-	R/W	00000000
00074E <sub>H</sub>	CAN0 - IF2 データ A1 下位	IF2DTA1L0	IF2DTA10	R/W	00000000
00074F <sub>H</sub>	CAN0 - IF2 データ A1 上位	IF2DTA1H0	-	R/W	00000000
000750 <sub>H</sub>	CAN0 - IF2 データ A2 下位	IF2DTA2L0	IF2DTA20	R/W	00000000
000751 <sub>H</sub>	CAN0 - IF2 データ A2 上位	IF2DTA2H0	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000752 <sub>H</sub>	CAN0 - IF2 データ B1 下位	IF2DTB1L0	IF2DTB10	R/W	00000000
000753 <sub>H</sub>	CAN0 - IF2 データ B1 上位	IF2DTB1H0	-	R/W	00000000
000754 <sub>H</sub>	CAN0 - IF2 データ B2 下位	IF2DTB2L0	IF2DTB20	R/W	00000000
000755 <sub>H</sub>	CAN0 - IF2 データ B2 上位	IF2DTB2H0	-	R/W	00000000
000756 <sub>H</sub> - 00077F <sub>H</sub>	予約	-	-	-	-
000780 <sub>H</sub>	CAN0 - 送信リクエスト 1 レジスタ下位	TREQR1L0	TREQR10	R	00000000
000781 <sub>H</sub>	CAN0 - 送信リクエスト 1 レジスタ上位	TREQR1H0	-	R	00000000
000782 <sub>H</sub>	CAN0 - 送信リクエスト 2 レジスタ下位	TREQR2L0	TREQR20	R	00000000
000783 <sub>H</sub>	CAN0 - 送信リクエスト 2 レジスタ上位	TREQR2H0	-	R	00000000
000784 <sub>H</sub> - 00078F <sub>H</sub>	予約	-	-	-	-
000790 <sub>H</sub>	CAN0 - 新規データ 1 レジスタ下位	NEWDT1L0	NEWDT10	R	00000000
000791 <sub>H</sub>	CAN0 - 新規データ 1 レジスタ上位	NEWDT1H0	-	R	00000000
000792 <sub>H</sub>	CAN0 - 新規データ 2 レジスタ下位	NEWDT2L0	NEWDT20	R	00000000
000793 <sub>H</sub>	CAN0 - 新規データ 2 レジスタ上位	NEWDT2H0	-	R	00000000
000794 <sub>H</sub> - 00079F <sub>H</sub>	予約	-	-	-	-
0007A0 <sub>H</sub>	CAN0 - 割込み保留 1 レジスタ下位	INTPND1L0	INTPND10	R	00000000
0007A1 <sub>H</sub>	CAN0 - 割込み保留 1 レジスタ上位	INTPND1H0	-	R	00000000
0007A2 <sub>H</sub>	CAN0 - 割込み保留 2 レジスタ下位	INTPND2L0	INTPND20	R	00000000
0007A3 <sub>H</sub>	CAN0 - 割込み保留 2 レジスタ上位	INTPND2H0	-	R	00000000
0007A4 <sub>H</sub> - 0007AF <sub>H</sub>	予約	-	-	-	-
0007B0 <sub>H</sub>	CAN0 - メッセージ有効 1 レジスタ下位	MSGVAL1L0	MSGVAL10	R	00000000
0007B1 <sub>H</sub>	CAN0 - メッセージ有効 1 レジスタ上位	MSGVAL1H0	-	R	00000000
0007B2 <sub>H</sub>	CAN0 - メッセージ有効 2 レジスタ下位	MSGVAL2L0	MSGVAL20	R	00000000
0007B3 <sub>H</sub>	CAN0 - メッセージ有効 2 レジスタ上位	MSGVAL2H0	-	R	00000000
0007B4 <sub>H</sub> - 0007CD <sub>H</sub>	予約	-	-	-	-
0007CE <sub>H</sub>	CAN0 - 出力許可レジスタ	COER0	-	R/W	XXXXXXXX0
0007CF <sub>H</sub>	予約	-	-	-	-
0007D0 <sub>H</sub>	SG0 - サウンドコントロールレジスタ下位	SGCRL0	SGCR0	R/W	00000000
0007D1 <sub>H</sub>	SG0 - サウンドコントロールレジスタ上位	SGCRH0	-	R/W	XXXXXX100
0007D2 <sub>H</sub>	SG0 - 周波数データレジスタ	SGFR0	-	R/W	XXXXXXXXXX
0007D3 <sub>H</sub>	SG0 - 振幅データレジスタ	SGAR0	-	R/W	XXXXXXXXXX
0007D4 <sub>H</sub>	SG0 - デクリメントグレードレジスタ	SGDR0	-	R/W	XXXXXXXXXX
0007D5 <sub>H</sub>	SG0 - トーンカウントレジスタ	SGTR0	-	R/W	XXXXXXXXXX
0007D6 <sub>H</sub> - 0009FF <sub>H</sub>	予約	-	-	-	-
000A00 <sub>H</sub>	DMA - I/O アドレスポインタバンク選択レジスタ 0	IOABK0	-	R/W	00000000
000A01 <sub>H</sub>	DMA - I/O アドレスポインタバンク選択レジスタ 1	IOABK1	-	R/W	00000000
000A02 <sub>H</sub> - 000A7F <sub>H</sub>	予約	-	-	-	-

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000A80 <sub>H</sub>	PPG0 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L0	EPCN10	R/W	0XXXX00X
000A81 <sub>H</sub>	PPG0 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H0	-	R/W	XXX00000
000A82 <sub>H</sub>	PPG1 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L1	EPCN11	R/W	0XXXX00X
000A83 <sub>H</sub>	PPG1 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H1	-	R/W	XXX00000
000A84 <sub>H</sub>	PPG2 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L2	EPCN12	R/W	0XXXX00X
000A85 <sub>H</sub>	PPG2 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H2	-	R/W	XXX00000
000A86 <sub>H</sub>	PPG3 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L3	EPCN13	R/W	0XXXX00X
000A87 <sub>H</sub>	PPG3 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H3	-	R/W	XXX00000
000A88 <sub>H</sub> - 000B54 <sub>H</sub>	予約	-	-	-	-
000B55 <sub>H</sub>	ADC0 - レンジ比較しきい値超過フラグレ ジスタ 1	ADRCOOF10	-	R	00000000
000B56 <sub>H</sub>	ADC0 - レンジ比較しきい値超過フラグレ ジスタ 2	ADRCOOF20	-	R	00000000
000B57 <sub>H</sub> - 000B5C <sub>H</sub>	予約	-	-	-	-
000B5D <sub>H</sub>	ADC0 - レンジ比較フラグレジスタ 1	ADRCOINTF10	-	R/W	00000000
000B5E <sub>H</sub>	ADC0 - レンジ比較フラグレジスタ 2	ADRCOINTF20	-	R/W	00000000
000B5F <sub>H</sub> - 000B64 <sub>H</sub>	予約	-	-	-	-
000B65 <sub>H</sub>	ADC0 - パルスカウンタ割込みイネーブル レジスタ 1	ADPCIE10	-	R/W	00000000
000B66 <sub>H</sub>	ADC0 - パルスカウンタ割込みイネーブル レジスタ 2	ADPCIE20	-	R/W	00000000
000B67 <sub>H</sub> , 000B68 <sub>H</sub>	予約	-	-	-	-
000B69 <sub>H</sub>	ADC0 - パルスカウンタゼロフラグレジス タ 1	ADPCZF10	-	R/W	00000000
000B6A <sub>H</sub>	ADC0 - パルスカウンタゼロフラグレジス タ 2	ADPCZF20	-	R/W	00000000
000B6B <sub>H</sub> - 000BA9 <sub>H</sub>	予約	-	-	-	-
000BAA <sub>H</sub>	USART0 - チェックサムステータス制御レ ジスタ	CSCR0	-	R/W	00000000
000BAB <sub>H</sub>	USART0 - 拡張ステータスレジスタ	ESR0	-	R/W	XX000000
000BAC <sub>H</sub>	予約	-	-	-	-
000BAD <sub>H</sub>	USART1 - 拡張ステータスレジスタ	ESR1	-	R/W	XXXX00XX
000BAE <sub>H</sub> - 000BEF <sub>H</sub>	予約	-	-	-	-

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000BF0 <sub>H</sub>	DSU 制御レジスタ下位	DSUCRL	DSUCR	R/W	XXXXXXXX0
000BF1 <sub>H</sub>	DSU 制御レジスタ上位	DSUCRH	-	R/W	XXXXXXXXX
000BF2 <sub>H</sub> , 000BF3 <sub>H</sub>	予約	-	-	-	-
000BF4 <sub>H</sub>	ユーザイベントレジスタ下位	UERL	UER	W	XXXXXXXXX
000BF5 <sub>H</sub>	ユーザイベントレジスタ上位	UERH	-	R/W	XXXXXXXXX
000BF6 <sub>H</sub>	メッセージバッファレジスタ下位	MBRL	MBR	W	XXXXXXXXX
000BF7 <sub>H</sub>	メッセージバッファレジスタ上位	MBRH	-	R/W	0XXXXXXXX
000BF8 <sub>H</sub> - 000BFF <sub>H</sub>	予約	-	-	-	-
0E9000 <sub>H</sub> - 0E9301 <sub>H</sub>	予約	-	-	-	-
0E9302 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 4 下位	GCN4L0	GCN40	R/W	X110X110
0E9303 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 4 上位	GCN4H0	-	R/W	X110X110
0E9304 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 5 下位	GCN5L0	GCN50	R/W	00000000
0E9305 <sub>H</sub> - 0E930F <sub>H</sub>	予約	-	-	-	-
0E9310 <sub>H</sub>	PPG0 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L0	EPCN20	R/W	00XX0X0X
0E9311 <sub>H</sub> - 0E9313 <sub>H</sub>	予約	-	-	-	-
0E9314 <sub>H</sub>	PPG0 - タイミングポイントキャプチャレジ スタ下位	PTPCL0	PTPC0	R/W	00000000
0E9315 <sub>H</sub>	PPG0 - タイミングポイントキャプチャレジ スタ上位	PTPCH0	-	R/W	00000000
0E9316 <sub>H</sub> - 0E931F <sub>H</sub>	予約	-	-	-	-
0E9320 <sub>H</sub>	PPG1 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L1	EPCN21	R/W	00XX0X0X
0E9321 <sub>H</sub> - 0E9323 <sub>H</sub>	予約	-	-	-	-
0E9324 <sub>H</sub>	PPG1 - タイミングポイントキャプチャレジ スタ下位	PTPCL1	PTPC1	R/W	00000000
0E9325 <sub>H</sub>	PPG1 - タイミングポイントキャプチャレジ スタ上位	PTPCH1	-	R/W	00000000
0E9326 <sub>H</sub> - 0E932F <sub>H</sub>	予約	-	-	-	-
0E9330 <sub>H</sub>	PPG2 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L2	EPCN22	R/W	00XX0X0X
0E9331 <sub>H</sub> - 0E9333 <sub>H</sub>	予約	-	-	-	-
0E9334 <sub>H</sub>	PPG2 - タイミングポイントキャプチャレジ スタ下位	PTPCL2	PTPC2	R/W	00000000
0E9335 <sub>H</sub>	PPG2 - タイミングポイントキャプチャレジ スタ上位	PTPCH2	-	R/W	00000000
0E9336 <sub>H</sub> - 0E933F <sub>H</sub>	予約	-	-	-	-

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9340 <sub>H</sub>	PPG3 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L3	EPCN23	R/W	00XX0X0X
0E9341 <sub>H</sub> - 0E9343 <sub>H</sub>	予約	-	-	-	-
0E9344 <sub>H</sub>	PPG3 - タイミングポイントキャプチャレジ スタ下位	PTPCL3	PTPC3	R/W	00000000
0E9345 <sub>H</sub>	PPG3 - タイミングポイントキャプチャレジ スタ上位	PTPCH3	-	R/W	00000000
0E9346 <sub>H</sub> - 0E949F <sub>H</sub>	予約	-	-	-	-
0E94A0 <sub>H</sub>	ADTG - ADC0 トリガ制御レジスタ下位	ADTGCRL0	ADTGCR0	R/W	XXXXXXXX
0E94A1 <sub>H</sub>	ADTG - ADC0 トリガ制御レジスタ上位	ADTGCRH0	-	R/W	XXXXXXXX1
0E94A2 <sub>H</sub>	ADTG - ADC0 トリガ入力選択下位	ADTGISELL0	ADTGISEL0	R/W	XXXXXX001
0E94A3 <sub>H</sub>	ADTG - ADC0 トリガ入力選択上位	ADTGISELH0	-	R/W	XXX00000
0E94A4 <sub>H</sub> - 0E951F <sub>H</sub>	予約	-	-	-	-
0E9520 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 0 下位	ADRCOLL00	ADRCOL00	R/W	00000000
0E9521 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 0 上位	ADRCOLH00	-	R/W	00000000
0E9522 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 0 下位	ADRCOHL00	ADRCOH00	R/W	00000000
0E9523 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 0 上位	ADRCOHH00	-	R/W	00000000
0E9524 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 1 下位	ADRCOLL10	ADRCOL10	R/W	00000000
0E9525 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 1 上位	ADRCOLH10	-	R/W	00000000
0E9526 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 1 下位	ADRCOHL10	ADRCOH10	R/W	00000000
0E9527 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 1 上位	ADRCOHH10	-	R/W	00000000
0E9528 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 2 下位	ADRCOLL20	ADRCOL20	R/W	00000000
0E9529 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 2 上位	ADRCOLH20	-	R/W	00000000
0E952A <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 2 下位	ADRCOHL20	ADRCOH20	R/W	00000000
0E952B <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 2 上位	ADRCOHH20	-	R/W	00000000
0E952C <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 3 下位	ADRCOLL30	ADRCOL30	R/W	00000000
0E952D <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 3 上位	ADRCOLH30	-	R/W	00000000
0E952E <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 3 下位	ADRCOHL30	ADRCOH30	R/W	00000000

アドレス	レジスタ	8 ビット アクセス時の レジスタ略称名	16 ビット アクセス時の レジスタ略称名	属性	初期値
0E952F <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 3 上位	ADRCOHH30	-	R/W	00000000
0E9530 <sub>H</sub>	予約	-	-	-	-
0E9531 <sub>H</sub>	ADC0 - チャネルスキップレジスタ 1	ADDSCR10	-	R/W	00000000
0E9532 <sub>H</sub>	ADC0 - チャネルスキップレジスタ 2	ADDSCR20	-	R/W	00000000
0E9533 <sub>H</sub> - 0E9540 <sub>H</sub>	予約	-	-	-	-
0E9541 <sub>H</sub>	ADC0 - レンジ比較インバートレンジ選択 レジスタ 1	ADRCOIRS10	-	R/W	00000000
0E9542 <sub>H</sub>	ADC0 - レンジ比較インバートレンジ選択 レジスタ 2	ADRCOIRS20	-	R/W	00000000
0E9543 <sub>H</sub> - 0E9553 <sub>H</sub>	予約	-	-	-	-
0E9554 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 4	ADCC040	-	R/W	00000000
0E9555 <sub>H</sub>	予約	-	-	-	-
0E9556 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 6	ADCC060	-	R/W	00000000
0E9557 <sub>H</sub>	予約	-	-	-	-
0E9558 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 8	ADCC080	-	R/W	00000000
0E9559 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 9	ADCC090	-	R/W	00000000
0E955A <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 10	ADCC100	-	R/W	00000000
0E955B <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 11	ADCC110	-	R/W	00000000
0E955C <sub>H</sub> - 0E959F <sub>H</sub>	予約	-	-	-	-
0E95A0 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロード レジスタ 8	ADPCTPRD80	-	R/W	00000000
0E95A1 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロード レジスタ 8	ADPCTNRD80	-	R/W	00000000
0E95A2 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロード レジスタ 9	ADPCTPRD90	-	R/W	00000000
0E95A3 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロード レジスタ 9	ADPCTNRD90	-	R/W	00000000
0E95A4 <sub>H</sub> - 0E95A7 <sub>H</sub>	予約	-	-	-	-
0E95A8 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロード レジスタ 12	ADPCTPRD120	-	R/W	00000000
0E95A9 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロード レジスタ 12	ADPCTNRD120	-	R/W	00000000
0E95AA <sub>H</sub>	ADC0 - パルスポジティブカウンタリロード レジスタ 13	ADPCTPRD130	-	R/W	00000000
0E95AB <sub>H</sub>	ADC0 - パルスネガティブカウンタリロード レジスタ 13	ADPCTNRD130	-	R/W	00000000



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E95AC <sub>H</sub> - 0E95AF <sub>H</sub>	予約	-	-	-	-
0E95B0 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 16	ADPCTPRD160	-	R/W	00000000
0E95B1 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 16	ADPCTNRD160	-	R/W	00000000
0E95B2 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 17	ADPCTPRD170	-	R/W	00000000
0E95B3 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 17	ADPCTNRD170	-	R/W	00000000
0E95B4 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 18	ADPCTPRD180	-	R/W	00000000
0E95B5 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 18	ADPCTNRD180	-	R/W	00000000
0E95B6 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 19	ADPCTPRD190	-	R/W	00000000
0E95B7 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 19	ADPCTNRD190	-	R/W	00000000
0E95B8 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 20	ADPCTPRD200	-	R/W	00000000
0E95B9 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 20	ADPCTNRD200	-	R/W	00000000
0E95BA <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 21	ADPCTPRD210	-	R/W	00000000
0E95BB <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 21	ADPCTNRD210	-	R/W	00000000
0E95BC <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 22	ADPCTPRD220	-	R/W	00000000
0E95BD <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 22	ADPCTNRD220	-	R/W	00000000
0E95BE <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 23	ADPCTPRD230	-	R/W	00000000
0E95BF <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 23	ADPCTNRD230	-	R/W	00000000
0E95C0 <sub>H</sub> - 0E95DF <sub>H</sub>	予約	-	-	-	-
0E95E0 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 8	ADPCTPCT80	-	R	00000000
0E95E1 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 8	ADPCTNCT80	-	R	00000000
0E95E2 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 9	ADPCTPCT90	-	R	00000000
0E95E3 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 9	ADPCTNCT90	-	R	00000000
0E95E4 <sub>H</sub> - 0E95E7 <sub>H</sub>	予約	-	-	-	-
0E95E8 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 12	ADPCTPCT120	-	R	00000000
0E95E9 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 12	ADPCTNCT120	-	R	00000000
0E95EA <sub>H</sub>	ADC0 - パルスポジティブカウンタ 13	ADPCTPCT130	-	R	00000000
0E95EB <sub>H</sub>	ADC0 - パルスネガティブカウンタ 13	ADPCTNCT130	-	R	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E95EC <sub>H</sub> - 0E95EF <sub>H</sub>	予約	-	-	-	-
0E95F0 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 16	ADPCTPCT160	-	R	00000000
0E95F1 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 16	ADPCTNCT160	-	R	00000000
0E95F2 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 17	ADPCTPCT170	-	R	00000000
0E95F3 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 17	ADPCTNCT170	-	R	00000000
0E95F4 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 18	ADPCTPCT180	-	R	00000000
0E95F5 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 18	ADPCTNCT180	-	R	00000000
0E95F6 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 19	ADPCTPCT190	-	R	00000000
0E95F7 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 19	ADPCTNCT190	-	R	00000000
0E95F8 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 20	ADPCTPCT200	-	R	00000000
0E95F9 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 20	ADPCTNCT200	-	R	00000000
0E95FA <sub>H</sub>	ADC0 - パルスポジティブカウンタ 21	ADPCTPCT210	-	R	00000000
0E95FB <sub>H</sub>	ADC0 - パルスネガティブカウンタ 21	ADPCTNCT210	-	R	00000000
0E95FC <sub>H</sub>	ADC0 - パルスポジティブカウンタ 22	ADPCTPCT220	-	R	00000000
0E95FD <sub>H</sub>	ADC0 - パルスネガティブカウンタ 22	ADPCTNCT220	-	R	00000000
0E95FE <sub>H</sub>	ADC0 - パルスポジティブカウンタ 23	ADPCTPCT230	-	R	00000000
0E95FF <sub>H</sub>	ADC0 - パルスネガティブカウンタ 23	ADPCTNCT230	-	R	00000000
0E9600 <sub>H</sub> - 0E97BF <sub>H</sub>	予約	-	-	-	-
0E97C0 <sub>H</sub>	USART0 - 拡張機能許可レジスタ下位	EFERL0	EFER0	R/W	00000000
0E97C1 <sub>H</sub>	USART0 - 拡張機能許可レジスタ上位	EFERH0	-	R/W	XX000000
0E97C2 <sub>H</sub> - 0E97C5 <sub>H</sub>	予約	-	-	-	-
0E97C6 <sub>H</sub>	USART0 - Sync Field タイムアウトレジスタ下位	SFTRL0	SFTR0	R/W	00000000
0E97C7 <sub>H</sub>	USART0 - Sync Field タイムアウトレジスタ上位	SFTRH0	-	R/W	00000000
0E97C8 <sub>H</sub>	USART0 - 拡張割込み許可レジスタ	EIER0	-	R/W	XX000000
0E97C9 <sub>H</sub> - 0E97CF <sub>H</sub>	予約	-	-	-	-
0E97D0 <sub>H</sub>	USART1 - 拡張機能許可レジスタ下位	EFERL1	EFER1	R/W	00000XXX
0E97D1 <sub>H</sub>	USART1 - 拡張機能許可レジスタ上位	EFERH1	-	R/W	XX00X0X0
0E97D2 <sub>H</sub> - 0E97D7 <sub>H</sub>	予約	-	-	-	-
0E97D8 <sub>H</sub>	USART1 - 拡張割込み許可レジスタ	EIER1	-	R/W	XXXXXX00
0E97D9 <sub>H</sub> - 0E9897 <sub>H</sub>	予約	-	-	-	-
0E9898 <sub>H</sub>	I/O ポート P08 - プルダウン制御レジスタ	PDCR08		R/W	00000000
0E9899 <sub>H</sub> - 0FBFFF <sub>H</sub>	予約	-	-	-	-

## G. MB96680 の I/O マップ

各周辺機能のレジスタに割り当てられるアドレスを示します。

### ■ MB96680 の I/O マップ

表 G MB96680 の I/O マップ

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000000 <sub>H</sub>	I/O ポート P00 - ポートデータレジスタ	PDR00	-	R/W	XXXXXXXX
000001 <sub>H</sub>	I/O ポート P01 - ポートデータレジスタ	PDR01	-	R/W	XXXXXXXX
000002 <sub>H</sub>	I/O ポート P02 - ポートデータレジスタ	PDR02	-	R/W	XXXXXXXX
000003 <sub>H</sub>	I/O ポート P03 - ポートデータレジスタ	PDR03	-	R/W	XXXXXXXX
000004 <sub>H</sub>	I/O ポート P04 - ポートデータレジスタ	PDR04	-	R/W	XXXXXXXX
000005 <sub>H</sub>	I/O ポート P05 - ポートデータレジスタ	PDR05	-	R/W	XXXXXXXX
000006 <sub>H</sub>	I/O ポート P06 - ポートデータレジスタ	PDR06	-	R/W	XXXXXXXX
000007 <sub>H</sub>	予約	-	-	-	-
000008 <sub>H</sub>	I/O ポート P08 - ポートデータレジスタ	PDR08	-	R/W	XXXXXXXX
000009 <sub>H</sub> , 00000A <sub>H</sub>	予約	-	-	-	-
00000B <sub>H</sub>	I/O ポート P11 - ポートデータレジスタ	PDR11	-	R/W	XXXXXXXX
00000C <sub>H</sub>	I/O ポート P12 - ポートデータレジスタ	PDR12	-	R/W	XXXXXXXX
00000D <sub>H</sub>	I/O ポート P13 - ポートデータレジスタ	PDR13	-	R/W	XXXXXXXX
00000E <sub>H</sub> - 000010 <sub>H</sub>	予約	-	-	-	-
000011 <sub>H</sub>	I/O ポート P17 - ポートデータレジスタ	PDR17	-	R/W	XXXXXXXX
000012 <sub>H</sub> - 000017 <sub>H</sub>	予約	-	-	-	-
000018 <sub>H</sub>	ADC0 - 制御状態レジスタ下位	ADCSL	ADCS	R/W	00000000
000019 <sub>H</sub>	ADC0 - 制御状態レジスタ上位	ADCSH	-	R/W	00000000
00001A <sub>H</sub>	ADC0 - データレジスタ下位	ADCRL	ADCR	R	00000000
00001B <sub>H</sub>	ADC0 - データレジスタ上位	ADCRH	-	R	00000000
00001C <sub>H</sub>	ADC0 - 設定レジスタ	-	ADSR	R/W	00000000
00001D <sub>H</sub>	ADC0 - 設定レジスタ	-	-	R/W	00000000
00001E <sub>H</sub> , 00001F <sub>H</sub>	予約	-	-	-	-
000020 <sub>H</sub>	FRT0 - データレジスタ	-	TCDT0	R/W	00000000
000021 <sub>H</sub>	FRT0 - データレジスタ	-	-	R/W	00000000
000022 <sub>H</sub>	FRT0 - コントロールステータスレジスタ 下位	TCCSL0	TCCS0	R/W	00000000
000023 <sub>H</sub>	FRT0 - コントロールステータスレジスタ 上位	TCCSH0	-	R/W	01XXXXXX
000024 <sub>H</sub>	FRT1 - データレジスタ	-	TCDT1	R/W	00000000
000025 <sub>H</sub>	FRT1 - データレジスタ	-	-	R/W	00000000
000026 <sub>H</sub>	FRT1 - コントロールステータスレジスタ 下位	TCCSL1	TCCS1	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000027 <sub>H</sub>	FRT1 - コントロールステータスレジスタ 上位	TCCSH1	-	R/W	01XXXXXX
000028 <sub>H</sub> - 00003F <sub>H</sub>	予約	-	-	-	-
000040 <sub>H</sub>	ICU0/ICU1 - コントロールステータスレジ スタ	ICS01	-	R/W	00000000
000041 <sub>H</sub>	ICU0/ICU1 - エッジレジスタ	ICE01	-	R/W	XXX0X000
000042 <sub>H</sub>	ICU0 - データレジスタ下位	IPCPL0	IPCP0	R	XXXXXXXX
000043 <sub>H</sub>	ICU0 - データレジスタ上位	IPCPH0	-	R	XXXXXXXX
000044 <sub>H</sub>	ICU1 - データレジスタ下位	IPCPL1	IPCP1	R	XXXXXXXX
000045 <sub>H</sub>	ICU1 - データレジスタ上位	IPCPH1	-	R	XXXXXXXX
000046 <sub>H</sub> - 00004B <sub>H</sub>	予約	-	-	-	-
00004C <sub>H</sub>	ICU4/ICU5 - 制御ステータスレジスタ	ICS45	-	R/W	00000000
00004D <sub>H</sub>	ICU4/ICU5 - エッジレジスタ	ICE45	-	R/W	XXX0X000
00004E <sub>H</sub>	ICU4 - データレジスタ下位	IPCPL4	IPCP4	R	XXXXXXXX
00004F <sub>H</sub>	ICU4 - データレジスタ上位	IPCPH4	-	R	XXXXXXXX
000050 <sub>H</sub>	ICU5 - データレジスタ下位	IPCPL5	IPCP5	R	XXXXXXXX
000051 <sub>H</sub>	ICU5 - データレジスタ上位	IPCPH5	-	R	XXXXXXXX
000052 <sub>H</sub> - 000057 <sub>H</sub>	予約	-	-	-	-
000058 <sub>H</sub>	EXTINT0 - 外部割込み要求許可レジスタ	ENIR0	-	R/W	00000000
000059 <sub>H</sub>	EXTINT0 - 外部割込み要求レジスタ	EIRR0	-	R/W	00000000
00005A <sub>H</sub>	EXTINT0 - 外部割込みレベルレジスタ下位	ELVRL0	ELVR0	R/W	00000000
00005B <sub>H</sub>	EXTINT0 - 外部割込みレベルレジスタ上位	ELVRH0	-	R/W	00000000
00005C <sub>H</sub> - 000063 <sub>H</sub>	予約	-	-	-	-
000064 <sub>H</sub>	RLT1 - タイマ制御状態レジスタ下位	TMCSRL1	TMCSR1	R/W	00000000
000065 <sub>H</sub>	RLT1 - タイマ制御状態レジスタ上位	TMCSRH1	-	R/W	00X10000
000066 <sub>H</sub>	RLT1 - 16ビットリロードレジスタ下位	-	TMRLR1	W	XXXXXXXX
000066 <sub>H</sub>	RLT1 - 16ビットタイマレジスタ下位	-	TMR1	R	XXXXXXXX
000067 <sub>H</sub>	RLT1 - 16ビットリロードレジスタ上位	-	-	W	XXXXXXXX
000067 <sub>H</sub>	RLT1 - 16ビットタイマレジスタ上位	-	-	R	XXXXXXXX
000068 <sub>H</sub>	RLT2 - タイマ制御状態レジスタ下位	TMCSRL2	TMCSR2	R/W	00000000
000069 <sub>H</sub>	RLT2 - タイマ制御状態レジスタ上位	TMCSRH2	-	R/W	00X10000
00006A <sub>H</sub>	RLT2 - 16ビットリロードレジスタ下位	-	TMRLR2	W	XXXXXXXX
00006A <sub>H</sub>	RLT2 - 16ビットタイマレジスタ下位	-	TMR2	R	XXXXXXXX
00006B <sub>H</sub>	RLT2 - 16ビットリロードレジスタ上位	-	-	W	XXXXXXXX
00006B <sub>H</sub>	RLT2 - 16ビットタイマレジスタ上位	-	-	R	XXXXXXXX
00006C <sub>H</sub> - 00006F <sub>H</sub>	予約	-	-	-	-
000070 <sub>H</sub>	RLT6 - タイマ制御状態レジスタ下位	TMCSRL6	TMCSR6	R/W	00000000
000071 <sub>H</sub>	RLT6 - タイマ制御状態レジスタ上位	TMCSRH6	-	R/W	00X10000
000072 <sub>H</sub>	RLT6 - 16ビットリロードレジスタ下位	-	TMRLR6	W	XXXXXXXX
000072 <sub>H</sub>	RLT6 - 16ビットタイマレジスタ下位	-	TMR6	R	XXXXXXXX
000073 <sub>H</sub>	RLT6 - 16ビットリロードレジスタ上位	-	-	W	XXXXXXXX
000073 <sub>H</sub>	RLT6 - 16ビットタイマレジスタ	-	-	R	XXXXXXXX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000074 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 1 下位	GCN1L0	GCN10	R/W	00010000
000075 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 1 上位	GCN1H0	-	R/W	00110010
000076 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 2 下位	GCN2L0	GCN20	R/W	XXXXX0000
000077 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 2 上位	GCN2H0	-	R/W	XXXXX0000
000078 <sub>H</sub>	PPG0 - タイマレジスタ	-	PTMR0	R	11111111
000079 <sub>H</sub>	PPG0 - タイマレジスタ	-	-	R	11111111
00007A <sub>H</sub>	PPG0 - 周期設定レジスタ下位	PCSRL0	PCSR0	R/W	XXXXXXXXXX
00007B <sub>H</sub>	PPG0 - 周期設定レジスタ上位	PCSRH0	-	R/W	XXXXXXXXXX
00007C <sub>H</sub>	PPG0 - デューティ設定レジスタ下位	PDUTL0	PDUT0	R/W	XXXXXXXXXX
00007D <sub>H</sub>	PPG0 - デューティ設定レジスタ上位	PDUTH0	-	R/W	XXXXXXXXXX
00007E <sub>H</sub>	PPG0 - 制御ステータスレジスタ下位	PCNL0	PCN0	R/W	00000000
00007F <sub>H</sub>	PPG0 - 制御ステータスレジスタ上位	PCNH0	-	R/W	00000000
000080 <sub>H</sub>	PPG1 - タイマレジスタ	-	PTMR1	R	11111111
000081 <sub>H</sub>	PPG1 - タイマレジスタ	-	-	R	11111111
000082 <sub>H</sub>	PPG1 - 周期設定レジスタ下位	PCSRL1	PCSR1	R/W	XXXXXXXXXX
000083 <sub>H</sub>	PPG1 - 周期設定レジスタ上位	PCSRH1	-	R/W	XXXXXXXXXX
000084 <sub>H</sub>	PPG1 - デューティ設定レジスタ下位	PDUTL1	PDUT1	R/W	XXXXXXXXXX
000085 <sub>H</sub>	PPG1 - デューティ設定レジスタ上位	PDUTH1	-	R/W	XXXXXXXXXX
000086 <sub>H</sub>	PPG1 - 制御ステータスレジスタ下位	PCNL1	PCN1	R/W	00000000
000087 <sub>H</sub>	PPG1 - 制御ステータスレジスタ上位	PCNH1	-	R/W	00000000
000088 <sub>H</sub>	PPG2 - タイマレジスタ	-	PTMR2	R	11111111
000089 <sub>H</sub>	PPG2 - タイマレジスタ	-	-	R	11111111
00008A <sub>H</sub>	PPG2 - 周期設定レジスタ下位	PCSRL2	PCSR2	R/W	XXXXXXXXXX
00008B <sub>H</sub>	PPG2 - 周期設定レジスタ上位	PCSRH2	-	R/W	XXXXXXXXXX
00008C <sub>H</sub>	PPG2 - デューティ設定レジスタ下位	PDUTL2	PDUT2	R/W	XXXXXXXXXX
00008D <sub>H</sub>	PPG2 - デューティ設定レジスタ上位	PDUTH2	-	R/W	XXXXXXXXXX
00008E <sub>H</sub>	PPG2 - 制御ステータスレジスタ下位	PCNL2	PCN2	R/W	00000000
00008F <sub>H</sub>	PPG2 - 制御ステータスレジスタ上位	PCNH2	-	R/W	00000000
000090 <sub>H</sub>	PPG3 - タイマレジスタ	-	PTMR3	R	11111111
000091 <sub>H</sub>	PPG3 - タイマレジスタ	-	-	R	11111111
000092 <sub>H</sub>	PPG3 - 周期設定レジスタ下位	PCSRL3	PCSR3	R/W	XXXXXXXXXX
000093 <sub>H</sub>	PPG3 - 周期設定レジスタ上位	PCSRH3	-	R/W	XXXXXXXXXX
000094 <sub>H</sub>	PPG3 - デューティ設定レジスタ下位	PDUTL3	PDUT3	R/W	XXXXXXXXXX
000095 <sub>H</sub>	PPG3 - デューティ設定レジスタ上位	PDUTH3	-	R/W	XXXXXXXXXX
000096 <sub>H</sub>	PPG3 - 制御ステータスレジスタ下位	PCNL3	PCN3	R/W	00000000
000097 <sub>H</sub>	PPG3 - 制御ステータスレジスタ上位	PCNH3	-	R/W	00000000
000098 <sub>H</sub> - 0000AB <sub>H</sub>	予約	-	-	-	-
0000AC <sub>H</sub>	I <sup>2</sup> C0 - バスステータスレジスタ	IBSR0	-	R	00000000
0000AD <sub>H</sub>	I <sup>2</sup> C0 - バスコントロールレジスタ	IBCR0	-	R/W	00000000
0000AE <sub>H</sub>	I <sup>2</sup> C0 - 10 ビットスレーブアドレスレジスタ 下位	ITBAL0	ITBA0	R/W	00000000
0000AF <sub>H</sub>	I <sup>2</sup> C0 - 10 ビットスレーブアドレスレジスタ 上位	ITBAH0	-	R/W	00000000
0000B0 <sub>H</sub>	I <sup>2</sup> C0 - 10 ビットスレーブアドレスマスクレ ジスタ下位	ITMKL0	ITMK0	R/W	11111111

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0000B1 <sub>H</sub>	I <sup>2</sup> C0 - 10 ビットスレーブアドレスマスクレジスタ上位	ITMKH0	-	R/W	00111111
0000B2 <sub>H</sub>	I <sup>2</sup> C0 - 7 ビットスレーブアドレスレジスタ	ISBA0	-	R/W	00000000
0000B3 <sub>H</sub>	I <sup>2</sup> C0 - 7 ビットスレーブアドレスマスクレジスタ	ISMK0	-	R/W	01111111
0000B4 <sub>H</sub>	I <sup>2</sup> C0 - データレジスタ	IDAR0	-	R/W	00000000
0000B5 <sub>H</sub>	I <sup>2</sup> C0 - クロックコントロールレジスタ	ICCR0	-	R/W	00011111
0000B6 <sub>H</sub> - 0000BF <sub>H</sub>	予約	-	-	-	-
0000C0 <sub>H</sub>	USART0 - シリアルモードレジスタ	SMR0	-	R/W	00000000
0000C1 <sub>H</sub>	USART0 - シリアル制御レジスタ	SCR0	-	R/W	00000000
0000C2 <sub>H</sub>	USART0 - 送信データ レジスタ	TDR0	-	W	11111111
0000C2 <sub>H</sub>	USART0 - 受信データ レジスタ	RDR0	-	R	00000000
0000C3 <sub>H</sub>	USART0 - シリアルステータスレジスタ	SSR0	-	R/W	00001000
0000C4 <sub>H</sub>	USART0 - 拡張通信制御レジスタ	ECCR0	-	R/W	000000XX
0000C5 <sub>H</sub>	USART0 - 拡張ステータス制御レジスタ	ESCR0	-	R/W	00000100
0000C6 <sub>H</sub>	USART0 - ボーレート/リロードカウンタレジスタ下位	BGRL0	BGR0	R/W	00000000
0000C7 <sub>H</sub>	USART0 - ボーレート/リロードカウンタレジスタ上位	BGRH0	-	R/W	00000000
0000C8 <sub>H</sub>	USART0 - 拡張シリアル割込みレジスタ	ESIR0	-	R/W	XXXX10X0
0000C9 <sub>H</sub>	USART0 - フレーム ID データレジスタ	FIDR0	-	R/W	00000000
0000CA <sub>H</sub>	USART1 - シリアルモードレジスタ	SMR1	-	R/W	00000000
0000CB <sub>H</sub>	USART1 - シリアル制御レジスタ	SCR1	-	R/W	00000000
0000CC <sub>H</sub>	USART1 - 送信データ レジスタ	TDR1	-	W	11111111
0000CC <sub>H</sub>	USART1 - 受信データ レジスタ	RDR1	-	R	00000000
0000CD <sub>H</sub>	USART1 - シリアルステータスレジスタ	SSR1	-	R/W	00001000
0000CE <sub>H</sub>	USART1 - 拡張通信制御レジスタ	ECCR1	-	R/W	000000XX
0000CF <sub>H</sub>	USART1 - 拡張ステータス制御レジスタ	ESCR1	-	R/W	00000100
0000D0 <sub>H</sub>	USART1 - ボーレート/リロードカウンタレジスタ下位	BGRL1	BGR1	R/W	00000000
0000D1 <sub>H</sub>	USART1 - ボーレート/リロードカウンタレジスタ上位	BGRH1	-	R/W	00000000
0000D2 <sub>H</sub>	USART1 - 拡張シリアル割込みレジスタ	ESIR1	-	R/W	XXXX10X0
0000D3 <sub>H</sub> - 0000EB <sub>H</sub>	予約	-	-	-	-
0000EC <sub>H</sub>	PPG - 汎用制御レジスタ	GCNR0	-	R/W	XXXXXX00
0000ED <sub>H</sub> - 0000FF <sub>H</sub>	予約	-	-	-	-
000100 <sub>H</sub>	DMA0 - バッファアドレスポインタ下位	BAPL0	-	R/W	XXXXXXXXXX
000101 <sub>H</sub>	DMA0 - バッファアドレスポインタ中位	BAPM0	-	R/W	XXXXXXXXXX
000102 <sub>H</sub>	DMA0 - バッファアドレスポインタ上位	BAPH0	-	R/W	XXXXXXXXXX
000103 <sub>H</sub>	DMA0 - 制御レジスタ	DMACS0	-	R/W	XXXXXXXXXX
000104 <sub>H</sub>	DMA0 - I/O レジスタアドレスポインタ下位	IOAL0	IOA0	R/W	XXXXXXXXXX
000105 <sub>H</sub>	DMA0 - I/O レジスタアドレスポインタ上位	IOAH0	-	R/W	XXXXXXXXXX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000106 <sub>H</sub>	DMA0 - データカウントレジスタ下位	DCTL0	DCT0	R/W	XXXXXXXX
000107 <sub>H</sub>	DMA0 - データカウントレジスタ上位	DCTH0	-	R/W	XXXXXXXX
000108 <sub>H</sub>	DMA1 - バッファアドレスポインタ下位	BAPL1	-	R/W	XXXXXXXX
000109 <sub>H</sub>	DMA1 - バッファアドレスポインタ中位	BAPM1	-	R/W	XXXXXXXX
00010A <sub>H</sub>	DMA1 - バッファアドレスポインタ上位	BAPH1	-	R/W	XXXXXXXX
00010B <sub>H</sub>	DMA1 - 制御レジスタ	DMACS1	-	R/W	XXXXXXXX
00010C <sub>H</sub>	DMA1 - I/O レジスタアドレスポインタ下位	IOAL1	IOA1	R/W	XXXXXXXX
00010D <sub>H</sub>	DMA1 - I/O レジスタアドレスポインタ上位	IOAH1	-	R/W	XXXXXXXX
00010E <sub>H</sub>	DMA1 - データカウントレジスタ下位	DCTL1	DCT1	R/W	XXXXXXXX
00010F <sub>H</sub>	DMA1 - データカウントレジスタ上位	DCTH1	-	R/W	XXXXXXXX
000110 <sub>H</sub> - 00017F <sub>H</sub>	予約	-	-	-	-
000180 <sub>H</sub> - 00037F <sub>H</sub>	CPU - 汎用レジスタ(RAM アクセス)	GPR_RAM	-	R/W	-
000380 <sub>H</sub>	DMA0 - 割り込み要求選択レジスタ	DISEL0	-	R/W	00001100
000381 <sub>H</sub>	DMA1 - 割り込み要求選択レジスタ	DISEL1	-	R/W	00001100
000382 <sub>H</sub> - 00038F <sub>H</sub>	予約	-	-	-	-
000390 <sub>H</sub>	DMA - ステータスレジスタ下位	DSRL	DSR	R/W	00000000
000391 <sub>H</sub>	DMA - ステータスレジスタ上位	DSRH	-	R/W	00000000
000392 <sub>H</sub>	DMA - 停止ステータスレジスタ下位	DSSRL	DSSR	R/W	00000000
000393 <sub>H</sub>	DMA - 停止ステータスレジスタ上位	DSSRH	-	R/W	00000000
000394 <sub>H</sub>	DMA - 許可レジスタ下位	DERL	DER	R/W	00000000
000395 <sub>H</sub>	DMA - 許可レジスタ上位	DERH	-	R/W	00000000
000396 <sub>H</sub> - 00039F <sub>H</sub>	予約	-	-	-	-
0003A0 <sub>H</sub>	割り込み制御レジスタ 割り込みレベル	ILR	ICR	R/W	XXXXX111
0003A1 <sub>H</sub>	割り込み制御レジスタ インデックス	IDX	-	R/W	00001100
0003A2 <sub>H</sub>	割り込みベクタテーブルベースレジスタ下位	TBRL	TBR	R/W	11111100
0003A3 <sub>H</sub>	割り込みベクタテーブルベースレジスタ上位	TBRH	-	R/W	11111111
0003A4 <sub>H</sub>	遅延割り込み要求レジスタ	DIRR	-	R/W	XXXXXXXX0
0003A5 <sub>H</sub>	NMI 制御ステータスレジスタ	NMI	-	R/W	XXXXX10X
0003A6 <sub>H</sub> - 0003AD <sub>H</sub>	予約	-	-	-	-
0003AE <sub>H</sub>	ROM ミラー機能選択レジスタ	ROMM	-	R/W	1111X111
0003AF <sub>H</sub> - 0003E7 <sub>H</sub>	予約	-	-	-	-
0003E8 <sub>H</sub>	デュアルオペレーションフラッシュ設定レジスタ A	DFCA	-	R/W	XXXXX000
0003E9 <sub>H</sub>	デュアルオペレーションフラッシュ割り込み制御レジスタ A	DFICA	-	R/W	X0000000
0003EA <sub>H</sub>	デュアルオペレーションフラッシュステータスレジスタ A	DFSA	-	R	11000001
0003EB <sub>H</sub>	デュアルオペレーションフラッシュ割り込みステータスレジスタ A	DFISA	-	R/W	X0000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0003EC <sub>H</sub> - 0003F8 <sub>H</sub>	予約	-	-	-	-
0003F9 <sub>H</sub>	デュアルオペレーションフラッシュ書込み アクセス制御レジスタ 0A	DFWC0A	-	R/W	XXX00000
0003FA <sub>H</sub> - 0003FC <sub>H</sub>	予約	-	-	-	-
0003FD <sub>H</sub>	デュアルオペレーションフラッシュ書込み アクセス制御レジスタ 1A	DFWC1A	-	R/W	00000000
0003FE <sub>H</sub> , 0003FF <sub>H</sub>	予約	-	-	-	-
000400 <sub>H</sub>	スタンバイモード制御レジスタ	SMCR	-	R/W	XXX0X000
000401 <sub>H</sub>	クロック選択レジスタ	CKSR	-	R/W	10110000
000402 <sub>H</sub>	クロック安定化選択レジスタ	CKSSR	-	R/W	XX111111
000403 <sub>H</sub>	クロックモニタレジスタ	CKMR	-	R	*0*0XXXX *:リセット要 因に依存
000404 <sub>H</sub>	クロック周波数制御レジスタ下位	CKFCRL	CKFCR	R/W	0000XXX1
000405 <sub>H</sub>	クロック周波数制御レジスタ上位	CKFCRH	-	R/W	00000000
000406 <sub>H</sub>	PLL 制御レジスタ下位	PLLCRL	PLLCR	R/W	000X0000
000407 <sub>H</sub>	PLL 制御レジスタ上位	PLLCRH	-	R/W	XXXXXXXXXX
000408 <sub>H</sub>	CR クロックタイマ制御レジスタ	RCTCR	-	R/W	X0010000
000409 <sub>H</sub>	メインクロックタイマ制御レジスタ	MCTCR	-	R/W	X0010000
00040A <sub>H</sub>	サブクロックタイマ制御レジスタ	SCTCR	-	R/W	X001X000
00040B <sub>H</sub>	リセット要因およびクロック状態レジスタ	RCCSRC	-	R	***** *:リセット要 因に依存
00040C <sub>H</sub>	リセット構成レジスタ	RCR	-	R/W	XX000*0 *:リセット要 因に依存
00040D <sub>H</sub>	リセット要因およびクロック状態レジスタ	RCCSR	-	R	***** *:リセット要 因に依存
00040E <sub>H</sub>	ウォッチドッグタイマ構成レジスタ	WDTC	WDT	R/W	0000**** *:WICM Marker に依存
00040F <sub>H</sub>	ウォッチドッグタイマクリアパターンレジ スタ	WDTCP	-	W	00000000
000410 <sub>H</sub> - 000414 <sub>H</sub>	予約	-	-	-	-
000415 <sub>H</sub>	クロック出力起動レジスタ	COAR	-	R/W	00000000
000416 <sub>H</sub>	クロック出力構成レジスタ 0	COCR0	-	R/W	X0000000
000417 <sub>H</sub>	クロック出力構成レジスタ 1	COCR1	-	R/W	X0000000
000418 <sub>H</sub> - 00041F <sub>H</sub>	予約	-	-	-	-
000420 <sub>H</sub>	ウォッチドッグタイマ拡張構成レジスタ	WDTEC	-	R/W	XXX00000
000421 <sub>H</sub> - 00042B <sub>H</sub>	予約	-	-	-	-



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
00042C <sub>H</sub>	電圧レギュレータ制御レジスタ	VRCR	-	R/W	10X10X10
00042D <sub>H</sub>	クロック入力および LVD 制御レジスタ	CILCR	-	R/W	00000000
00042E <sub>H</sub>	拡張スタンバイモード制御レジスタ	ESMCR	-	R/W	XXX00001
00042F <sub>H</sub>	予約	-	-	-	-
000430 <sub>H</sub>	I/O ポート P00 - データ方向レジスタ	DDR00	-	R/W	00000000
000431 <sub>H</sub>	I/O ポート P01 - データ方向レジスタ	DDR01	-	R/W	00000000
000432 <sub>H</sub>	I/O ポート P02 - データ方向レジスタ	DDR02	-	R/W	00000000
000433 <sub>H</sub>	I/O ポート P03 - データ方向レジスタ	DDR03	-	R/W	00000000
000434 <sub>H</sub>	I/O ポート P04 - データ方向レジスタ	DDR04	-	R/W	00000000
000435 <sub>H</sub>	I/O ポート P05 - データ方向レジスタ	DDR05	-	R/W	00000000
000436 <sub>H</sub>	I/O ポート P06 - データ方向レジスタ	DDR06	-	R/W	00000000
000437 <sub>H</sub>	予約	-	-	-	-
000438 <sub>H</sub>	I/O ポート P08 - データ方向レジスタ	DDR08	-	R/W	00000000
000439 <sub>H</sub> , 00043A <sub>H</sub>	予約	-	-	-	-
00043B <sub>H</sub>	I/O ポート P11 - データ方向レジスタ	DDR11	-	R/W	00000000
00043C <sub>H</sub>	I/O ポート P12 - データ方向レジスタ	DDR12	-	R/W	00000000
00043D <sub>H</sub>	I/O ポート P13 - データ方向レジスタ	DDR13	-	R/W	00000000
00043E <sub>H</sub> - 000440 <sub>H</sub>	予約	-	-	-	-
000441 <sub>H</sub>	I/O ポート P17 - データ方向レジスタ	DDR17	-	R/W	00000000
000442 <sub>H</sub> , 000443 <sub>H</sub>	予約	-	-	-	-
000444 <sub>H</sub>	I/O ポート P00 - ポート入力許可レジスタ	PIER00	-	R/W	00000000
000445 <sub>H</sub>	I/O ポート P01 - ポート入力許可レジスタ	PIER01	-	R/W	00000000
000446 <sub>H</sub>	I/O ポート P02 - ポート入力許可レジスタ	PIER02	-	R/W	00000000
000447 <sub>H</sub>	I/O ポート P03 - ポート入力許可レジスタ	PIER03	-	R/W	00000000
000448 <sub>H</sub>	I/O ポート P04 - ポート入力許可レジスタ	PIER04	-	R/W	00000000
000449 <sub>H</sub>	I/O ポート P05 - ポート入力許可レジスタ	PIER05	-	R/W	00000000
00044A <sub>H</sub>	I/O ポート P06 - ポート入力許可レジスタ	PIER06	-	R/W	00000000
00044B <sub>H</sub>	予約	-	-	-	-
00044C <sub>H</sub>	I/O ポート P08 - ポート入力許可レジスタ	PIER08	-	R/W	00000000
00044D <sub>H</sub> , 00044E <sub>H</sub>	予約	-	-	-	-
00044F <sub>H</sub>	I/O ポート P11 - ポート入力許可レジスタ	PIER11	-	R/W	00000000
000450 <sub>H</sub>	I/O ポート P12 - ポート入力許可レジスタ	PIER12	-	R/W	00000000
000451 <sub>H</sub>	I/O ポート P13 - ポート入力許可レジスタ	PIER13	-	R/W	00000000
000452 <sub>H</sub> - 000454 <sub>H</sub>	予約	-	-	-	-
000455 <sub>H</sub>	I/O ポート P17 - ポート入力許可レジスタ	PIER17	-	R/W	00000000
000456 <sub>H</sub> - 00049B <sub>H</sub>	予約	-	-	-	-
00049C <sub>H</sub>	I/O ポート P08 - ポート high 駆動レジスタ	PHDR08	-	R/W	00000000
00049D <sub>H</sub> - 0004A7 <sub>H</sub>	予約	-	-	-	-
0004A8 <sub>H</sub>	I/O ポート P00 - ブルアップ制御レジスタ	PUCR00	-	R/W	00000000
0004A9 <sub>H</sub>	I/O ポート P01 - ブルアップ制御レジスタ	PUCR01	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0004AA <sub>H</sub>	I/O ポート P02 - ブルアップ制御レジスタ	PUCR02	-	R/W	00000000
0004AB <sub>H</sub>	I/O ポート P03 - ブルアップ制御レジスタ	PUCR03	-	R/W	00000000
0004AC <sub>H</sub>	I/O ポート P04 - ブルアップ制御レジスタ	PUCR04	-	R/W	00000000
0004AD <sub>H</sub>	I/O ポート P05 - ブルアップ制御レジスタ	PUCR05	-	R/W	00000000
0004AE <sub>H</sub>	I/O ポート P06 - ブルアップ制御レジスタ	PUCR06	-	R/W	00000000
0004AF <sub>H</sub>	予約	-	-	-	-
0004B0 <sub>H</sub>	I/O ポート P08 - ブルアップ制御レジスタ	PUCR08	-	R/W	00000000
0004B1 <sub>H</sub> , 0004B2 <sub>H</sub>	予約	-	-	-	-
0004B3 <sub>H</sub>	I/O ポート P11 - ブルアップ制御レジスタ	PUCR11	-	R/W	00000000
0004B4 <sub>H</sub>	I/O ポート P12 - ブルアップ制御レジスタ	PUCR12	-	R/W	00000000
0004B5 <sub>H</sub>	I/O ポート P13 - ブルアップ制御レジスタ	PUCR13	-	R/W	00000000
0004B6 <sub>H</sub> - 0004B8 <sub>H</sub>	予約	-	-	-	-
0004B9 <sub>H</sub>	I/O ポート P17 - ブルアップ制御レジスタ	PUCR17	-	R/W	00000000
0004BA <sub>H</sub> , 0004BB <sub>H</sub>	予約	-	-	-	-
0004BC <sub>H</sub>	I/O ポート P00 - 外部端子状態レジスタ	EPSR00	-	R	XXXXXXXX
0004BD <sub>H</sub>	I/O ポート P01 - 外部端子状態レジスタ	EPSR01	-	R	XXXXXXXX
0004BE <sub>H</sub>	I/O ポート P02 - 外部端子状態レジスタ	EPSR02	-	R	XXXXXXXX
0004BF <sub>H</sub>	I/O ポート P03 - 外部端子状態レジスタ	EPSR03	-	R	XXXXXXXX
0004C0 <sub>H</sub>	I/O ポート P04 - 外部端子状態レジスタ	EPSR04	-	R	XXXXXXXX
0004C1 <sub>H</sub>	I/O ポート P05 - 外部端子状態レジスタ	EPSR05	-	R	XXXXXXXX
0004C2 <sub>H</sub>	I/O ポート P06 - 外部端子状態レジスタ	EPSR06	-	R	XXXXXXXX
0004C3 <sub>H</sub>	予約	-	-	-	-
0004C4 <sub>H</sub>	I/O ポート P08 - 外部端子状態レジスタ	EPSR08	-	R	XXXXXXXX
0004C5 <sub>H</sub> , 0004C6 <sub>H</sub>	予約	-	-	-	-
0004C7 <sub>H</sub>	I/O ポート P11 - 外部端子状態レジスタ	EPSR11	-	R	XXXXXXXX
0004C8 <sub>H</sub>	I/O ポート P12 - 外部端子状態レジスタ	EPSR12	-	R	XXXXXXXX
0004C9 <sub>H</sub>	I/O ポート P13 - 外部端子状態レジスタ	EPSR13	-	R	XXXXXXXX
0004CA <sub>H</sub> - 0004CC <sub>H</sub>	予約	-	-	-	-
0004CD <sub>H</sub>	I/O ポート P17 - 外部端子状態レジスタ	EPSR17	-	R	XXXXXXXX
0004CE <sub>H</sub> - 0004D0 <sub>H</sub>	予約	-	-	-	-
0004D1 <sub>H</sub>	ADC0 アナログ入力許可レジスタ 1	ADER1	-	R/W	00000000
0004D2 <sub>H</sub>	ADC0 アナログ入力許可レジスタ 2	ADER2	-	R/W	00000000
0004D3 <sub>H</sub> - 0004D5 <sub>H</sub>	予約	-	-	-	-
0004D6 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 0	PRRR0	-	R/W	00000000
0004D7 <sub>H</sub>	予約	-	-	-	-
0004D8 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 2	PRRR2	-	R/W	00000000
0004D9 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 3	PRRR3	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0004DA <sub>H</sub>	周辺リソース端子リロケーションレジスタ 4	PRRR4	-	R/W	00000000
0004DB <sub>H</sub>	予約	-	-	-	-
0004DC <sub>H</sub>	周辺リソース端子リロケーションレジスタ 6	PRRR6	-	R/W	00000000
0004DD <sub>H</sub> , 0004DE <sub>H</sub>	予約	-	-	-	-
0004DF <sub>H</sub>	周辺リソース端子リロケーションレジスタ 9	PRRR9	-	R/W	XX000000
0004E0 <sub>H</sub>	RTC - サブセカンドレジスタ L	WTBRL0	WTBR0	R/W	XXXXXXXX
0004E1 <sub>H</sub>	RTC - サブセカンドレジスタ M	WTBRH0	-	R/W	XXXXXXXX
0004E2 <sub>H</sub>	RTC - サブセカンドレジスタ H	WTBR1	-	R/W	XXXXXXXX
0004E3 <sub>H</sub>	RTC - 秒レジスタ	WTSR	-	R/W	XX***** *:リセット要 因に依存
0004E4 <sub>H</sub>	RTC - 分レジスタ	WTMR	-	R/W	XX***** *:リセット要 因に依存
0004E5 <sub>H</sub>	RTC - 時レジスタ	WTHR	-	R/W	XXX***** *:リセット要 因に依存
0004E6 <sub>H</sub>	RTC - タイマ制御拡張レジスタ	WTCER	-	R/W	XXXXXXXX00
0004E7 <sub>H</sub>	RTC - クロック選択レジスタ	WTCKSR	-	R/W	XXXXXXXX00
0004E8 <sub>H</sub>	RTC - タイマ制御レジスタ下位	WTCRL	WTCR	R/W	XXXXX0000
0004E9 <sub>H</sub>	RTC - タイマ制御レジスタ上位	WTCRH	-	R/W	00000000
0004EA <sub>H</sub>	CAL - クロック補正ユニット制御レジスタ	CUCR	-	R/W	XXX0X000
0004EB <sub>H</sub>	予約	-	-	-	-
0004EC <sub>H</sub>	CAL - クロック補正ユニット測定時間タイ マデータレジスタ下位	CUTDL	CUTD	R/W	00000000
0004ED <sub>H</sub>	CAL - クロック補正ユニット測定時間タイ マデータレジスタ上位	CUTDH	-	R/W	10000000
0004EE <sub>H</sub>	CAL - クロック補正ユニット補正タイマ データレジスタ 2 下位	CUTR2L	CUTR2	R	00000000
0004EF <sub>H</sub>	CAL - クロック補正ユニット補正タイマ データレジスタ 2 上位	CUTR2H	-	R	00000000
0004F0 <sub>H</sub>	CAL - クロック補正ユニット補正タイマ データレジスタ 1 下位	CUTR1L	CUTR1	R	00000000
0004F1 <sub>H</sub>	CAL - クロック補正ユニット補正タイマ データレジスタ 1 上位	CUTR1H	-	R	00000000
0004F2 <sub>H</sub> - 0004F9 <sub>H</sub>	予約	-	-	-	-
0004FA <sub>H</sub>	RLT - リロードタイマ入力選択レジスタ(カ スケード用)	TMISR	-	R/W	XX000000
0004FB <sub>H</sub> - 0005DF <sub>H</sub>	予約	-	-	-	-
0005E0 <sub>H</sub>	SMC0 - PWM 制御レジスタ	PWC0	-	R/W	00000000
0005E1 <sub>H</sub>	SMC0 - PWM 拡張制御レジスタ	PWEC0	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0005E2 <sub>H</sub>	SMC0 - PWM1 コンペアレジスタ	-	PWC10	R/W	XXXXXXXXXX
0005E3 <sub>H</sub>	SMC0 - PWM1 コンペアレジスタ	-	-	R/W	000000XX
0005E4 <sub>H</sub>	SMC0 - PWM2 コンペアレジスタ	-	PWC20	R/W	XXXXXXXXXX
0005E5 <sub>H</sub>	SMC0 - PWM2 コンペアレジスタ	-	-	R/W	000000XX
0005E6 <sub>H</sub>	SMC0 - PWM1 選択レジスタ	PWS10	-	R/W	00000000
0005E7 <sub>H</sub>	SMC0 - PWM2 選択レジスタ	PWS20	-	R/W	00000000
0005E8 <sub>H</sub> , 0005E9 <sub>H</sub>	予約	-	-	-	-
0005EA <sub>H</sub>	SMC1 - PWM 制御レジスタ	PWC1	-	R/W	00000000
0005EB <sub>H</sub>	SMC1 - PWM 拡張制御レジスタ	PWEC1	-	R/W	00000000
0005EC <sub>H</sub>	SMC1 - PWM1 コンペアレジスタ	-	PWC11	R/W	XXXXXXXXXX
0005ED <sub>H</sub>	SMC1 - PWM1 コンペアレジスタ	-	-	R/W	000000XX
0005EE <sub>H</sub>	SMC1 - PWM2 コンペアレジスタ	-	PWC21	R/W	XXXXXXXXXX
0005EF <sub>H</sub>	SMC1 - PWM2 コンペアレジスタ	-	-	R/W	000000XX
0005F0 <sub>H</sub>	SMC1 - PWM1 選択レジスタ	PWS11	-	R/W	00000000
0005F1 <sub>H</sub>	SMC1 - PWM2 選択レジスタ	PWS21	-	R/W	00000000
0005F2 <sub>H</sub> - 00061B <sub>H</sub>	予約	-	-	-	-
00061C <sub>H</sub>	LCD - セグメント許可レジスタ 0 (セグメント 7 ~ 0)	LCDER0	-	R/W	00000000
00061D <sub>H</sub>	LCD - セグメント許可レジスタ 1 (セグメント 15 ~ 8)	LCDER1	-	R/W	00000000
00061E <sub>H</sub>	LCD - セグメント許可レジスタ 2 (セグメント 23 ~ 16)	LCDER2	-	R/W	00000000
00061F <sub>H</sub>	LCD - セグメント許可レジスタ 3 (セグメント 31 ~ 24)	LCDER3	-	R/W	00000000
000620 <sub>H</sub>	LCD - セグメント許可レジスタ 4 (セグメント 39 ~ 32)	LCDER4	-	R/W	00000000
000621 <sub>H</sub>	LCD - セグメント許可レジスタ 5 (セグメント 47 ~ 40)	LCDER5	-	R/W	00000000
000622 <sub>H</sub>	LCD - セグメント許可レジスタ 6 (セグメント 55 ~ 48)	LCDER6	-	R/W	00000000
000623 <sub>H</sub>	LCD - セグメント許可レジスタ 7 (セグメント 63 ~ 56)	LCDER7	-	R/W	00000000
000624 <sub>H</sub> , 000625 <sub>H</sub>	予約	-	-	-	-
000626 <sub>H</sub>	LCD - 電圧ライン許可レジスタ V (Vx)	LCDVER	-	R/W	XXXXX000
000627 <sub>H</sub>	LCD - 拡張制御レジスタ	LECR	-	R/W	XXXXX000
000628 <sub>H</sub>	LCD - 共通端子切換えレジスタ	LCDCMR	-	R/W	0XXXX000
000629 <sub>H</sub>	LCD - 制御レジスタ	LCR	-	R/W	00010000
00062A <sub>H</sub>	LCD - セグメント 1-0 の表示 RAM	VRAM0	-	R/W	XXXXXXXXXX
00062B <sub>H</sub>	LCD - セグメント 3-2 の表示 RAM	VRAM1	-	R/W	XXXXXXXXXX
00062C <sub>H</sub>	LCD - セグメント 5-4 の表示 RAM	VRAM2	-	R/W	XXXXXXXXXX
00062D <sub>H</sub>	LCD - セグメント 7-6 の表示 RAM	VRAM3	-	R/W	XXXXXXXXXX
00062E <sub>H</sub>	LCD - セグメント 9-8 の表示 RAM	VRAM4	-	R/W	XXXXXXXXXX
00062F <sub>H</sub>	LCD - セグメント 11-10 の表示 RAM	VRAM5	-	R/W	XXXXXXXXXX
000630 <sub>H</sub>	LCD - セグメント 13-12 の表示 RAM	VRAM6	-	R/W	XXXXXXXXXX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000631 <sub>H</sub> , 000632 <sub>H</sub>	予約	-	-	-	-
000633 <sub>H</sub>	LCD - セグメント 19-18 の表示 RAM	VRAM9	-	R/W	XXXXXXXXXX
000634 <sub>H</sub>	LCD - セグメント 21-20 の表示 RAM	VRAM10	-	R/W	XXXXXXXXXX
000635 <sub>H</sub>	LCD - セグメント 23-22 の表示 RAM	VRAM11	-	R/W	XXXXXXXXXX
000636 <sub>H</sub>	LCD - セグメント 25-24 の表示 RAM	VRAM12	-	R/W	XXXXXXXXXX
000637 <sub>H</sub> , 000638 <sub>H</sub>	予約	-	-	-	-
000639 <sub>H</sub>	LCD - セグメント 31-30 の表示 RAM	VRAM15	-	R/W	XXXXXXXXXX
00063A <sub>H</sub> , 00063B <sub>H</sub>	予約	-	-	-	-
00063C <sub>H</sub>	LCD - セグメント 37-36 の表示 RAM	VRAM18	-	R/W	XXXXXXXXXX
00063D <sub>H</sub>	LCD - セグメント 39-38 の表示 RAM	VRAM19	-	R/W	XXXXXXXXXX
00063E <sub>H</sub>	予約	-	-	-	-
00063F <sub>H</sub>	LCD - セグメント 43-42 の表示 RAM	VRAM21	-	R/W	XXXXXXXXXX
000640 <sub>H</sub>	LCD - セグメント 45-44 の表示 RAM	VRAM22	-	R/W	XXXXXXXXXX
000641 <sub>H</sub>	LCD - セグメント 47-46 の表示 RAM	VRAM23	-	R/W	XXXXXXXXXX
000642 <sub>H</sub> , 000643 <sub>H</sub>	予約	-	-	-	-
000644 <sub>H</sub>	LCD - セグメント 53-52 の表示 RAM	VRAM26	-	R/W	XXXXXXXXXX
000645 <sub>H</sub>	LCD - セグメント 55-54 の表示 RAM	VRAM27	-	R/W	XXXXXXXXXX
000646 <sub>H</sub>	LCD - セグメント 57-56 の表示 RAM	VRAM28	-	R/W	XXXXXXXXXX
000647 <sub>H</sub> - 000662 <sub>H</sub>	予約	-	-	-	-
000663 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 13	PRRR13	-	R/W	XXX0XX00
000664 <sub>H</sub> - 0006FF <sub>H</sub>	予約	-	-	-	-
000700 <sub>H</sub>	CAN0 - 制御レジスタ下位	CTRLRL0	CTRLR0	R/W	000X0001
000701 <sub>H</sub>	CAN0 - 制御レジスタ上位(予約)	CTRLRH0	-	R	XXXXXXXXXX
000702 <sub>H</sub>	CAN0 - ステータスレジスタ下位	STATRL0	STATR0	R/W	00000000
000703 <sub>H</sub>	CAN0 - ステータスレジスタ上位(予約)	STATRH0	-	R	XXXXXXXXXX
000704 <sub>H</sub>	CAN0 - エラーカウンタ下位(送信)	ERRCNTL0	ERRCNT0	R	00000000
000705 <sub>H</sub>	CAN0 - エラーカウンタ上位(受信)	ERRCNTH0	-	R	00000000
000706 <sub>H</sub>	CAN0 - ビットタイミングレジスタ下位	BTRL0	BTR0	R/W	00000001
000707 <sub>H</sub>	CAN0 - ビットタイミングレジスタ上位	BTRH0	-	R/W	X0100011
000708 <sub>H</sub>	CAN0 - 割込みレジスタ下位	INTRL0	INTR0	R	00000000
000709 <sub>H</sub>	CAN0 - 割込みレジスタ上位	INTRH0	-	R	00000000
00070A <sub>H</sub>	CAN0 - テストレジスタ下位	TESTRL0	TESTR0	R/W	X00000XX
00070B <sub>H</sub>	CAN0 - テストレジスタ上位(予約)	TESTRH0	-	R	XXXXXXXXXX
00070C <sub>H</sub>	CAN0 - BRP 拡張レジスタ下位	BRPERL0	BRPER0	R/W	XXXX0000
00070D <sub>H</sub>	CAN0 - BRP 拡張レジスタ上位(予約)	BRPERH0	-	R	XXXXXXXXXX
00070E <sub>H</sub> , 00070F <sub>H</sub>	予約	-	-	-	-
000710 <sub>H</sub>	CAN0 - IF1 コマンドリクエストレジスタ 下位	IF1CREQL0	IF1CREQ0	R/W	00000001

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000711 <sub>H</sub>	CAN0 - IF1 コマンドリクエストレジスタ 上位	IF1CREQH0	-	R/W	0XXXXXXXX
000712 <sub>H</sub>	CAN0 - IF1 コマンドマスクレジスタ下位	IF1CMSKL0	IF1CMSK0	R/W	00000000
000713 <sub>H</sub>	CAN0 - IF1 コマンドマスクレジスタ上位 (予約)	IF1CMSKH0	-	R	XXXXXXXXX
000714 <sub>H</sub>	CAN0 - IF1 マスク 1 レジスタ下位	IF1MSK1L0	IF1MSK10	R/W	11111111
000715 <sub>H</sub>	CAN0 - IF1 マスク 1 レジスタ上位	IF1MSK1H0	-	R/W	11111111
000716 <sub>H</sub>	CAN0 - IF1 マスク 2 レジスタ下位	IF1MSK2L0	IF1MSK20	R/W	11111111
000717 <sub>H</sub>	CAN0 - IF1 マスク 2 レジスタ上位	IF1MSK2H0	-	R/W	11X11111
000718 <sub>H</sub>	CAN0 - IF1 アービトレーション 1 レジス タ下位	IF1ARB1L0	IF1ARB10	R/W	00000000
000719 <sub>H</sub>	CAN0 - IF1 アービトレーション 1 レジス タ上位	IF1ARB1H0	-	R/W	00000000
00071A <sub>H</sub>	CAN0 - IF1 アービトレーション 2 レジス タ下位	IF1ARB2L0	IF1ARB20	R/W	00000000
00071B <sub>H</sub>	CAN0 - IF1 アービトレーション 2 レジス タ上位	IF1ARB2H0	-	R/W	00000000
00071C <sub>H</sub>	CAN0 - IF1 メッセージ制御レジスタ下位	IF1MCTRL0	IF1MCTR0	R/W	0XXX0000
00071D <sub>H</sub>	CAN0 - IF1 メッセージ制御レジスタ上位	IF1MCTRH0	-	R/W	00000000
00071E <sub>H</sub>	CAN0 - IF1 データ A1 下位	IF1DTA1L0	IF1DTA10	R/W	00000000
00071F <sub>H</sub>	CAN0 - IF1 データ A1 上位	IF1DTA1H0	-	R/W	00000000
000720 <sub>H</sub>	CAN0 - IF1 データ A2 下位	IF1DTA2L0	IF1DTA20	R/W	00000000
000721 <sub>H</sub>	CAN0 - IF1 データ A2 上位	IF1DTA2H0	-	R/W	00000000
000722 <sub>H</sub>	CAN0 - IF1 データ B1 下位	IF1DTB1L0	IF1DTB10	R/W	00000000
000723 <sub>H</sub>	CAN0 - IF1 データ B1 上位	IF1DTB1H0	-	R/W	00000000
000724 <sub>H</sub>	CAN0 - IF1 データ B2 下位	IF1DTB2L0	IF1DTB20	R/W	00000000
000725 <sub>H</sub>	CAN0 - IF1 データ B2 上位	IF1DTB2H0	-	R/W	00000000
000726 <sub>H</sub> - 00073F <sub>H</sub>	予約	-	-	-	-
000740 <sub>H</sub>	CAN0 - IF2 コマンドリクエストレジスタ 下位	IF2CREQL0	IF2CREQ0	R/W	00000001
000741 <sub>H</sub>	CAN0 - IF2 コマンドリクエストレジスタ 上位	IF2CREQH0	-	R/W	0XXXXXXXX
000742 <sub>H</sub>	CAN0 - IF2 コマンドマスクレジスタ下位	IF2CMSKL0	IF2CMSK0	R/W	00000000
000743 <sub>H</sub>	CAN0 - IF2 コマンドマスクレジスタ上位 (予約)	IF2CMSKH0	-	R	XXXXXXXXX
000744 <sub>H</sub>	CAN0 - IF2 マスク 1 レジスタ下位	IF2MSK1L0	IF2MSK10	R/W	11111111
000745 <sub>H</sub>	CAN0 - IF2 マスク 1 レジスタ上位	IF2MSK1H0	-	R/W	11111111
000746 <sub>H</sub>	CAN0 - IF2 マスク 2 レジスタ下位	IF2MSK2L0	IF2MSK20	R/W	11111111
000747 <sub>H</sub>	CAN0 - IF2 マスク 2 レジスタ上位	IF2MSK2H0	-	R/W	11X11111
000748 <sub>H</sub>	CAN0 - IF2 アービトレーション 1 レジス タ下位	IF2ARB1L0	IF2ARB10	R/W	00000000
000749 <sub>H</sub>	CAN0 - IF2 アービトレーション 1 レジス タ上位	IF2ARB1H0	-	R/W	00000000
00074A <sub>H</sub>	CAN0 - IF2 アービトレーション 2 レジス タ下位	IF2ARB2L0	IF2ARB20	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
00074B <sub>H</sub>	CAN0 - IF2 アービトレーション 2 レジスタ上位	IF2ARB2H0	-	R/W	00000000
00074C <sub>H</sub>	CAN0 - IF2 メッセージ制御レジスタ下位	IF2MCTRL0	IF2MCTR0	R/W	0XXX0000
00074D <sub>H</sub>	CAN0 - IF2 メッセージ制御レジスタ上位	IF2MCTRH0	-	R/W	00000000
00074E <sub>H</sub>	CAN0 - IF2 データ A1 下位	IF2DTA1L0	IF2DTA10	R/W	00000000
00074F <sub>H</sub>	CAN0 - IF2 データ A1 上位	IF2DTA1H0	-	R/W	00000000
000750 <sub>H</sub>	CAN0 - IF2 データ A2 下位	IF2DTA2L0	IF2DTA20	R/W	00000000
000751 <sub>H</sub>	CAN0 - IF2 データ A2 上位	IF2DTA2H0	-	R/W	00000000
000752 <sub>H</sub>	CAN0 - IF2 データ B1 下位	IF2DTB1L0	IF2DTB10	R/W	00000000
000753 <sub>H</sub>	CAN0 - IF2 データ B1 上位	IF2DTB1H0	-	R/W	00000000
000754 <sub>H</sub>	CAN0 - IF2 データ B2 下位	IF2DTB2L0	IF2DTB20	R/W	00000000
000755 <sub>H</sub>	CAN0 - IF2 データ B2 上位	IF2DTB2H0	-	R/W	00000000
000756 <sub>H</sub> - 00077F <sub>H</sub>	予約	-	-	-	-
000780 <sub>H</sub>	CAN0 - 送信リクエスト 1 レジスタ下位	TREQR1L0	TREQR10	R	00000000
000781 <sub>H</sub>	CAN0 - 送信リクエスト 1 レジスタ上位	TREQR1H0	-	R	00000000
000782 <sub>H</sub>	CAN0 - 送信リクエスト 2 レジスタ下位	TREQR2L0	TREQR20	R	00000000
000783 <sub>H</sub>	CAN0 - 送信リクエスト 2 レジスタ上位	TREQR2H0	-	R	00000000
000784 <sub>H</sub> - 00078F <sub>H</sub>	予約	-	-	-	-
000790 <sub>H</sub>	CAN0 - 新規データ 1 レジスタ下位	NEWDT1L0	NEWDT10	R	00000000
000791 <sub>H</sub>	CAN0 - 新規データ 1 レジスタ上位	NEWDT1H0	-	R	00000000
000792 <sub>H</sub>	CAN0 - 新規データ 2 レジスタ下位	NEWDT2L0	NEWDT20	R	00000000
000793 <sub>H</sub>	CAN0 - 新規データ 2 レジスタ上位	NEWDT2H0	-	R	00000000
000794 <sub>H</sub> - 00079F <sub>H</sub>	予約	-	-	-	-
0007A0 <sub>H</sub>	CAN0 - 割込み保留 1 レジスタ下位	INTPND1L0	INTPND10	R	00000000
0007A1 <sub>H</sub>	CAN0 - 割込み保留 1 レジスタ上位	INTPND1H0	-	R	00000000
0007A2 <sub>H</sub>	CAN0 - 割込み保留 2 レジスタ下位	INTPND2L0	INTPND20	R	00000000
0007A3 <sub>H</sub>	CAN0 - 割込み保留 2 レジスタ上位	INTPND2H0	-	R	00000000
0007A4 <sub>H</sub> - 0007AF <sub>H</sub>	予約	-	-	-	-
0007B0 <sub>H</sub>	CAN0 - メッセージ有効 1 レジスタ下位	MSGVAL1L0	MSGVAL10	R	00000000
0007B1 <sub>H</sub>	CAN0 - メッセージ有効 1 レジスタ上位	MSGVAL1H0	-	R	00000000
0007B2 <sub>H</sub>	CAN0 - メッセージ有効 2 レジスタ下位	MSGVAL2L0	MSGVAL20	R	00000000
0007B3 <sub>H</sub>	CAN0 - メッセージ有効 2 レジスタ上位	MSGVAL2H0	-	R	00000000
0007B4 <sub>H</sub> - 0007CD <sub>H</sub>	予約	-	-	-	-
0007CE <sub>H</sub>	CAN0 - 出力許可レジスタ	COER0	-	R/W	XXXXXXXX0
0007CF <sub>H</sub>	予約	-	-	-	-
0007D0 <sub>H</sub>	SG0 - サウンドコントロールレジスタ下位	SGCRL0	SGCR0	R/W	00000000
0007D1 <sub>H</sub>	SG0 - サウンドコントロールレジスタ上位	SGCRH0	-	R/W	XXXXXX100
0007D2 <sub>H</sub>	SG0 - 周波数データレジスタ	SGFR0	-	R/W	XXXXXXXXXX
0007D3 <sub>H</sub>	SG0 - 振幅データレジスタ	SGAR0	-	R/W	XXXXXXXXXX
0007D4 <sub>H</sub>	SG0 - デクリメントグレードレジスタ	SGDR0	-	R/W	XXXXXXXXXX
0007D5 <sub>H</sub>	SG0 - トーンカウントレジスタ	SGTR0	-	R/W	XXXXXXXXXX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0007D6 <sub>H</sub> - 0009FF <sub>H</sub>	予約	-	-	-	-
000A00 <sub>H</sub>	DMA - I/O アドレスポインタバンク選択レジスタ 0	IOABK0	-	R/W	00000000
000A01 <sub>H</sub>	DMA - I/O アドレスポインタバンク選択レジスタ 1	IOABK1	-	R/W	00000000
000A02 <sub>H</sub> - 000A7F <sub>H</sub>	予約	-	-	-	-
000A80 <sub>H</sub>	PPG0 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L0	EPCN10	R/W	0XXXX00X
000A81 <sub>H</sub>	PPG0 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H0	-	R/W	XXX00000
000A82 <sub>H</sub>	PPG1 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L1	EPCN11	R/W	0XXXX00X
000A83 <sub>H</sub>	PPG1 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H1	-	R/W	XXX00000
000A84 <sub>H</sub>	PPG2 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L2	EPCN12	R/W	0XXXX00X
000A85 <sub>H</sub>	PPG2 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H2	-	R/W	XXX00000
000A86 <sub>H</sub>	PPG3 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L3	EPCN13	R/W	0XXXX00X
000A87 <sub>H</sub>	PPG3 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H3	-	R/W	XXX00000
000A88 <sub>H</sub> - 000B54 <sub>H</sub>	予約	-	-	-	-
000B55 <sub>H</sub>	ADC0 - レンジ比較しきい値超過フラグレジスタ 1	ADRCOOF10	-	R	00000000
000B56 <sub>H</sub>	ADC0 - レンジ比較しきい値超過フラグレジスタ 2	ADRCOOF20	-	R	00000000
000B57 <sub>H</sub> - 000B5C <sub>H</sub>	予約	-	-	-	-
000B5D <sub>H</sub>	ADC0 - レンジ比較フラグレジスタ 1	ADRCOINTF10	-	R/W	00000000
000B5E <sub>H</sub>	ADC0 - レンジ比較フラグレジスタ 2	ADRCOINTF20	-	R/W	00000000
000B5F <sub>H</sub> - 000B64 <sub>H</sub>	予約	-	-	-	-
000B65 <sub>H</sub>	ADC0 - パルスカウンタ割込みイネーブルレジスタ 1	ADPCIE10	-	R/W	00000000
000B66 <sub>H</sub>	ADC0 - パルスカウンタ割込みイネーブルレジスタ 2	ADPCIE20	-	R/W	00000000
000B67 <sub>H</sub> - 000B68 <sub>H</sub>	予約	-	-	-	-
000B69 <sub>H</sub>	ADC0 - パルスカウンタゼロフラグレジスタ 1	ADPCZF10	-	R/W	00000000
000B6A <sub>H</sub>	ADC0 - パルスカウンタゼロフラグレジスタ 2	ADPCZF20	-	R/W	00000000



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000B6B <sub>H</sub> - 000BA9 <sub>H</sub>	予約	-	-	-	-
000BAA <sub>H</sub>	USART0 - チェックサムステータス制御レジスタ	CSCR0	-	R/W	00000000
000BAB <sub>H</sub>	USART0 - 拡張ステータスレジスタ	ESR0	-	R/W	XX000000
000BAC <sub>H</sub>	予約	-	-	-	-
000BAD <sub>H</sub>	USART1 - 拡張ステータスレジスタ	ESR1	-	R/W	XXXX00XX
000BAE <sub>H</sub> - 000BEF <sub>H</sub>	予約	-	-	-	-
000BF0 <sub>H</sub>	DSU 制御レジスタ 下位	DSUCRL	DSUCR	R/W	XXXXXXXX0
000BF1 <sub>H</sub>	DSU 制御レジスタ 上位	DSUCRH	-	R/W	XXXXXXXXX
000BF2 <sub>H</sub> , 000BF3 <sub>H</sub>	予約	-	-	-	-
000BF4 <sub>H</sub>	ユーザイベントレジスタ 下位	UERL	UER	W	XXXXXXXXX
000BF5 <sub>H</sub>	ユーザイベントレジスタ 上位	UERH	-	R/W	XXXXXXXXX
000BF6 <sub>H</sub>	メッセージバッファレジスタ 下位	MBRL	MBR	W	XXXXXXXXX
000BF7 <sub>H</sub>	メッセージバッファレジスタ 上位	MBRH	-	R/W	0XXXXXXXX
000BF8 <sub>H</sub> - 000BFF <sub>H</sub>	予約	-	-	-	-
0E9000 <sub>H</sub> - 0E9301 <sub>H</sub>	予約	-	-	-	-
0E9302 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 4 下位	GCN4L0	GCN40	R/W	X110X110
0E9303 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 4 上位	GCN4H0	-	R/W	X110X110
0E9304 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 5 下位	GCN5L0	GCN50	R/W	00000000
0E9305 <sub>H</sub> - 0E930F <sub>H</sub>	予約	-	-	-	-
0E9310 <sub>H</sub>	PPG0 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L0	EPCN20	R/W	00XX0X0X
0E9311 <sub>H</sub> - 0E9313 <sub>H</sub>	予約	-	-	-	-
0E9314 <sub>H</sub>	PPG0 - タイミングポイントキャプチャレジスタ 下位	PTPCL0	PTPC0	R/W	00000000
0E9315 <sub>H</sub>	PPG0 - タイミングポイントキャプチャレジスタ 上位	PTPCH0	-	R/W	00000000
0E9316 <sub>H</sub> - 0E931F <sub>H</sub>	予約	-	-	-	-
0E9320 <sub>H</sub>	PPG1 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L1	EPCN21	R/W	00XX0X0X
0E9321 <sub>H</sub> - 0E9323 <sub>H</sub>	予約	-	-	-	-
0E9324 <sub>H</sub>	PPG1 - タイミングポイントキャプチャレジスタ 下位	PTPCL1	PTPC1	R/W	00000000
0E9325 <sub>H</sub>	PPG1 - タイミングポイントキャプチャレジスタ 上位	PTPCH1	-	R/W	00000000
0E9326 <sub>H</sub> - 0E932F <sub>H</sub>	予約	-	-	-	-

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9330 <sub>H</sub>	PPG2 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L2	EPCN22	R/W	00XX0X0X
0E9331 <sub>H</sub> - 0E9333 <sub>H</sub>	予約	-	-	-	-
0E9334 <sub>H</sub>	PPG2 - タイミングポイントキャプチャレジ スタ下位	PTPCL2	PTPC2	R/W	00000000
0E9335 <sub>H</sub>	PPG2 - タイミングポイントキャプチャレジ スタ上位	PTPCH2	-	R/W	00000000
0E9336 <sub>H</sub> - 0E933F <sub>H</sub>	予約	-	-	-	-
0E9340 <sub>H</sub>	PPG3 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L3	EPCN23	R/W	00XX0X0X
0E9341 <sub>H</sub> - 0E9343 <sub>H</sub>	予約	-	-	-	-
0E9344 <sub>H</sub>	PPG3 - タイミングポイントキャプチャレジ スタ下位	PTPCL3	PTPC3	R/W	00000000
0E9345 <sub>H</sub>	PPG3 - タイミングポイントキャプチャレジ スタ上位	PTPCH3	-	R/W	00000000
0E9346 <sub>H</sub> - 0E949F <sub>H</sub>	予約	-	-	-	-
0E94A0 <sub>H</sub>	ADTG - ADC0 トリガ制御レジスタ下位	ADTGCRLO	ADTGCR0	R/W	XXXXXXXX
0E94A1 <sub>H</sub>	ADTG - ADC0 トリガ制御レジスタ上位	ADTGCRHO	-	R/W	XXXXXXXX1
0E94A2 <sub>H</sub>	ADTG - ADC0 トリガ入力選択下位	ADTGISELLO	ADTGISELO	R/W	XXXXXX001
0E94A3 <sub>H</sub>	ADTG - ADC0 トリガ入力選択上位	ADTGISELHO	-	R/W	XXX00000
0E94A4 <sub>H</sub> - 0E951F <sub>H</sub>	予約	-	-	-	-
0E9520 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 0 下位	ADRCOLL00	ADRCOL00	R/W	00000000
0E9521 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 0 上位	ADRCOLH00	-	R/W	00000000
0E9522 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 0 下位	ADRCOHL00	ADRCOH00	R/W	00000000
0E9523 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 0 上位	ADRCOHH00	-	R/W	00000000
0E9524 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 1 下位	ADRCOLL10	ADRCOL10	R/W	00000000
0E9525 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 1 上位	ADRCOLH10	-	R/W	00000000
0E9526 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 1 下位	ADRCOHL10	ADRCOH10	R/W	00000000
0E9527 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 1 上位	ADRCOHH10	-	R/W	00000000
0E9528 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 2 下位	ADRCOLL20	ADRCOL20	R/W	00000000
0E9529 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 2 上位	ADRCOLH20	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E952A <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 2 下位	ADRCOHL20	ADRCOH20	R/W	00000000
0E952B <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 2 上位	ADRCOHH20	-	R/W	00000000
0E952C <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 3 下位	ADRCOLL30	ADRCOL30	R/W	00000000
0E952D <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 3 上位	ADRCOLH30	-	R/W	00000000
0E952E <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 3 下位	ADRCOHL30	ADRCOH30	R/W	00000000
0E952F <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 3 上位	ADRCOHH30	-	R/W	00000000
0E9530 <sub>H</sub>	予約	-	-	-	-
0E9531 <sub>H</sub>	ADC0 - チャネルスキップレジスタ 1	ADDSCR10	-	R/W	00000000
0E9532 <sub>H</sub>	ADC0 - チャネルスキップレジスタ 2	ADDSCR20	-	R/W	00000000
0E9533 <sub>H</sub> - 0E9540 <sub>H</sub>	予約	-	-	-	-
0E9541 <sub>H</sub>	ADC0 - レンジ比較インバートレンジ選択 レジスタ 1	ADRCOIRS10	-	R/W	00000000
0E9542 <sub>H</sub>	ADC0 - レンジ比較インバートレンジ選択 レジスタ 2	ADRCOIRS20	-	R/W	00000000
0E9543 <sub>H</sub> - 0E9553 <sub>H</sub>	予約	-	-	-	-
0E9554 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 4	ADCC040	-	R/W	00000000
0E9555 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 5	ADCC050	-	R/W	00000000
0E9556 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 6	ADCC060	-	R/W	00000000
0E9557 <sub>H</sub>	予約	-	-	-	-
0E9558 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 8	ADCC080	-	R/W	00000000
0E9559 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 9	ADCC090	-	R/W	00000000
0E955A <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 10	ADCC100	-	R/W	00000000
0E955B <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 11	ADCC110	-	R/W	00000000
0E955C <sub>H</sub> - 0E959F <sub>H</sub>	予約	-	-	-	-
0E95A0 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロード レジスタ 8	ADPCTPRD80	-	R/W	00000000
0E95A1 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロード レジスタ 8	ADPCTNRD80	-	R/W	00000000
0E95A2 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロード レジスタ 9	ADPCTPRD90	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E95A3 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 9	ADPCTNRD90	-	R/W	00000000
0E95A4 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 10	ADPCTPRD100	-	R/W	00000000
0E95A5 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 10	ADPCTNRD100	-	R/W	00000000
0E95A6 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 11	ADPCTPRD110	-	R/W	00000000
0E95A7 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 11	ADPCTNRD110	-	R/W	00000000
0E95A8 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 12	ADPCTPRD120	-	R/W	00000000
0E95A9 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 12	ADPCTNRD120	-	R/W	00000000
0E95AA <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 13	ADPCTPRD130	-	R/W	00000000
0E95AB <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 13	ADPCTNRD130	-	R/W	00000000
0E95AC <sub>H</sub> - 0E95AF <sub>H</sub>	予約	-	-	-	-
0E95B0 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 16	ADPCTPRD160	-	R/W	00000000
0E95B1 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 16	ADPCTNRD160	-	R/W	00000000
0E95B2 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 17	ADPCTPRD170	-	R/W	00000000
0E95B3 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 17	ADPCTNRD170	-	R/W	00000000
0E95B4 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 18	ADPCTPRD180	-	R/W	00000000
0E95B5 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 18	ADPCTNRD180	-	R/W	00000000
0E95B6 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 19	ADPCTPRD190	-	R/W	00000000
0E95B7 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 19	ADPCTNRD190	-	R/W	00000000
0E95B8 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 20	ADPCTPRD200	-	R/W	00000000
0E95B9 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 20	ADPCTNRD200	-	R/W	00000000
0E95BA <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 21	ADPCTPRD210	-	R/W	00000000
0E95BB <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 21	ADPCTNRD210	-	R/W	00000000
0E95BC <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 22	ADPCTPRD220	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E95BD <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 22	ADPCTNRD220	-	R/W	00000000
0E95BE <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 23	ADPCTPRD230	-	R/W	00000000
0E95BF <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 23	ADPCTNRD230	-	R/W	00000000
0E95C0 <sub>H</sub> - 0E95DF <sub>H</sub>	予約	-	-	-	-
0E95E0 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 8	ADPCTPCT80	-	R	00000000
0E95E1 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 8	ADPCTNCT80	-	R	00000000
0E95E2 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 9	ADPCTPCT90	-	R	00000000
0E95E3 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 9	ADPCTNCT90	-	R	00000000
0E95E4 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 10	ADPCTPCT100	-	R	00000000
0E95E5 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 10	ADPCTNCT100	-	R	00000000
0E95E6 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 11	ADPCTPCT110	-	R	00000000
0E95E7 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 11	ADPCTNCT110	-	R	00000000
0E95E8 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 12	ADPCTPCT120	-	R	00000000
0E95E9 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 12	ADPCTNCT120	-	R	00000000
0E95EA <sub>H</sub>	ADC0 - パルスポジティブカウンタ 13	ADPCTPCT130	-	R	00000000
0E95EB <sub>H</sub>	ADC0 - パルスネガティブカウンタ 13	ADPCTNCT130	-	R	00000000
0E95EC <sub>H</sub> - 0E95EF <sub>H</sub>	予約	-	-	-	-
0E95F0 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 16	ADPCTPCT160	-	R	00000000
0E95F1 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 16	ADPCTNCT160	-	R	00000000
0E95F2 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 17	ADPCTPCT170	-	R	00000000
0E95F3 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 17	ADPCTNCT170	-	R	00000000
0E95F4 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 18	ADPCTPCT180	-	R	00000000
0E95F5 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 18	ADPCTNCT180	-	R	00000000
0E95F6 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 19	ADPCTPCT190	-	R	00000000
0E95F7 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 19	ADPCTNCT190	-	R	00000000
0E95F8 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 20	ADPCTPCT200	-	R	00000000
0E95F9 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 20	ADPCTNCT200	-	R	00000000
0E95FA <sub>H</sub>	ADC0 - パルスポジティブカウンタ 21	ADPCTPCT210	-	R	00000000
0E95FB <sub>H</sub>	ADC0 - パルスネガティブカウンタ 21	ADPCTNCT210	-	R	00000000
0E95FC <sub>H</sub>	ADC0 - パルスポジティブカウンタ 22	ADPCTPCT220	-	R	00000000
0E95FD <sub>H</sub>	ADC0 - パルスネガティブカウンタ 22	ADPCTNCT220	-	R	00000000
0E95FE <sub>H</sub>	ADC0 - パルスポジティブカウンタ 23	ADPCTPCT230	-	R	00000000
0E95FF <sub>H</sub>	ADC0 - パルスネガティブカウンタ 23	ADPCTNCT230	-	R	00000000
0E9600 <sub>H</sub> - 0E97BF <sub>H</sub>	予約	-	-	-	-
0E97C0 <sub>H</sub>	USART0 - 拡張機能許可レジスタ下位	EFERL0	EFER0	R/W	00000000
0E97C1 <sub>H</sub>	USART0 - 拡張機能許可レジスタ上位	EFERH0	-	R/W	XX000000
0E97C2 <sub>H</sub> - 0E97C5 <sub>H</sub>	予約	-	-	-	-
0E97C6 <sub>H</sub>	USART0 - Sync Field タイムアウトレジスタ下位	SFTRL0	SFTR0	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E97C7 <sub>H</sub>	USART0 - Sync Field タイムアウトレジスタ上位	SFTRH0	-	R/W	00000000
0E97C8 <sub>H</sub>	USART0 - 拡張割込み許可レジスタ	EIER0	-	R/W	XX000000
0E97C9 <sub>H</sub> - 0E97CF <sub>H</sub>	予約	-	-	-	-
0E97D0 <sub>H</sub>	USART1 - 拡張機能許可レジスタ下位	EFERL1	EFER1	R/W	00000XXX
0E97D1 <sub>H</sub>	USART1 - 拡張機能許可レジスタ上位	EFERH1	-	R/W	XX00X0X0
0E97D2 <sub>H</sub> - 0E97D7 <sub>H</sub>	予約	-	-	-	-
0E97D8 <sub>H</sub>	USART1 - 拡張割込み許可レジスタ	EIER1	-	R/W	XXXXXX00
0E97D9 <sub>H</sub> - 0E9897 <sub>H</sub>	予約	-	-	-	-
0E9898 <sub>H</sub>	I/O ポート P08 - プルダウン制御レジスタ	PDCR08		R/W	00000000
0E9899 <sub>H</sub> - 0FBFFF <sub>H</sub>	予約	-	-	-	-

## H. MB96690 の I/O マップ

各周辺機能のレジスタに割り当てられるアドレスを示します。

### ■ MB96690 の I/O マップ

表 H MB96690 の I/O マップ

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000000 <sub>H</sub>	I/O ポート P00 - ポートデータレジスタ	PDR00	-	R/W	XXXXXXXX
000001 <sub>H</sub>	I/O ポート P01 - ポートデータレジスタ	PDR01	-	R/W	XXXXXXXX
000002 <sub>H</sub>	I/O ポート P02 - ポートデータレジスタ	PDR02	-	R/W	XXXXXXXX
000003 <sub>H</sub>	I/O ポート P03 - ポートデータレジスタ	PDR03	-	R/W	XXXXXXXX
000004 <sub>H</sub>	I/O ポート P04 - ポートデータレジスタ	PDR04	-	R/W	XXXXXXXX
000005 <sub>H</sub>	I/O ポート P05 - ポートデータレジスタ	PDR05	-	R/W	XXXXXXXX
000006 <sub>H</sub>	I/O ポート P06 - ポートデータレジスタ	PDR06	-	R/W	XXXXXXXX
000007 <sub>H</sub>	予約	-	-	-	-
000008 <sub>H</sub>	I/O ポート P08 - ポートデータレジスタ	PDR08	-	R/W	XXXXXXXX
000009 <sub>H</sub>	I/O ポート P09 - ポートデータレジスタ	PDR09	-	R/W	XXXXXXXX
00000A <sub>H</sub>	I/O ポート P10 - ポートデータレジスタ	PDR10	-	R/W	XXXXXXXX
00000B <sub>H</sub>	I/O ポート P11 - ポートデータレジスタ	PDR11	-	R/W	XXXXXXXX
00000C <sub>H</sub>	I/O ポート P12 - ポートデータレジスタ	PDR12	-	R/W	XXXXXXXX
00000D <sub>H</sub>	I/O ポート P13 - ポートデータレジスタ	PDR13	-	R/W	XXXXXXXX
00000E <sub>H</sub> - 000010 <sub>H</sub>	予約	-	-	-	-
000011 <sub>H</sub>	I/O ポート P17 - ポートデータレジスタ	PDR17	-	R/W	XXXXXXXX
000012 <sub>H</sub> - 000017 <sub>H</sub>	予約	-	-	-	-
000018 <sub>H</sub>	ADC0 - 制御状態レジスタ下位	ADCSL	ADCS	R/W	00000000
000019 <sub>H</sub>	ADC0 - 制御状態レジスタ上位	ADCSH	-	R/W	00000000
00001A <sub>H</sub>	ADC0 - データレジスタ下位	ADCRL	ADCR	R	00000000
00001B <sub>H</sub>	ADC0 - データレジスタ上位	ADCRH	-	R	00000000
00001C <sub>H</sub>	ADC0 - 設定レジスタ	-	ADSR	R/W	00000000
00001D <sub>H</sub>	ADC0 - 設定レジスタ	-	-	R/W	00000000
00001E <sub>H</sub> , 00001F <sub>H</sub>	予約	-	-	-	-
000020 <sub>H</sub>	FRT0 - データレジスタ	-	TCDT0	R/W	00000000
000021 <sub>H</sub>	FRT0 - データレジスタ	-	-	R/W	00000000
000022 <sub>H</sub>	FRT0 - コントロールステータスレジスタ 下位	TCCSL0	TCCS0	R/W	00000000
000023 <sub>H</sub>	FRT0 - コントロールステータスレジスタ 上位	TCCSH0	-	R/W	01XXXXXX
000024 <sub>H</sub>	FRT1 - データレジスタ	-	TCDT1	R/W	00000000
000025 <sub>H</sub>	FRT1 - データレジスタ	-	-	R/W	00000000
000026 <sub>H</sub>	FRT1 - コントロールステータスレジスタ 下位	TCCSL1	TCCS1	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000027 <sub>H</sub>	FRT1 - コントロールステータスレジスタ 上位	TCCSH1	-	R/W	01XXXXXX
000028 <sub>H</sub>	OCU0 - コントロールステータスレジスタ	OCS0	-	R/W	0000XX00
000029 <sub>H</sub>	OCU1 - コントロールステータスレジスタ	OCS1	-	R/W	0XX00000
00002A <sub>H</sub>	OCU0 - コンペアレジスタ	-	OCCP0	R/W	XXXXXXXX
00002B <sub>H</sub>	OCU0 - コンペアレジスタ	-	-	R/W	XXXXXXXX
00002C <sub>H</sub>	OCU1 - コンペアレジスタ	-	OCCP1	R/W	XXXXXXXX
00002D <sub>H</sub>	OCU1 - コンペアレジスタ	-	-	R/W	XXXXXXXX
00002E <sub>H</sub>	OCU2 - コントロールステータスレジスタ	OCS2	-	R/W	0000XX00
00002F <sub>H</sub>	OCU3 - コントロールステータスレジスタ	OCS3	-	R/W	0XX00000
000030 <sub>H</sub>	OCU2 - コンペアレジスタ	-	OCCP2	R/W	XXXXXXXX
000031 <sub>H</sub>	OCU2 - コンペアレジスタ	-	-	R/W	XXXXXXXX
000032 <sub>H</sub>	OCU3 - コンペアレジスタ	-	OCCP3	R/W	XXXXXXXX
000033 <sub>H</sub>	OCU3 - コンペアレジスタ	-	-	R/W	XXXXXXXX
000034 <sub>H</sub> - 00003F <sub>H</sub>	予約	-	-	-	-
000040 <sub>H</sub>	ICU0/ICU1 - コントロールステータスレジスタ	ICS01	-	R/W	00000000
000041 <sub>H</sub>	ICU0/ICU1 - エッジレジスタ	ICE01	-	R/W	XXX0X000
000042 <sub>H</sub>	ICU0 - データレジスタ下位	IPCPL0	IPCP0	R	XXXXXXXX
000043 <sub>H</sub>	ICU0 - データレジスタ上位	IPCPH0	-	R	XXXXXXXX
000044 <sub>H</sub>	ICU1 - データレジスタ下位	IPCPL1	IPCP1	R	XXXXXXXX
000045 <sub>H</sub>	ICU1 - データレジスタ上位	IPCPH1	-	R	XXXXXXXX
000046 <sub>H</sub> - 00004B <sub>H</sub>	予約	-	-	-	-
00004C <sub>H</sub>	ICU4/ICU5 - 制御ステータスレジスタ	ICS45	-	R/W	00000000
00004D <sub>H</sub>	ICU4/ICU5 - エッジレジスタ	ICE45	-	R/W	XXX0X000
00004E <sub>H</sub>	ICU4 - データレジスタ下位	IPCPL4	IPCP4	R	XXXXXXXX
00004F <sub>H</sub>	ICU4 - データレジスタ上位	IPCPH4	-	R	XXXXXXXX
000050 <sub>H</sub>	ICU5 - データレジスタ下位	IPCPL5	IPCP5	R	XXXXXXXX
000051 <sub>H</sub>	ICU5 - データレジスタ上位	IPCPH5	-	R	XXXXXXXX
000052 <sub>H</sub>	ICU6/ICU7 - 制御ステータスレジスタ	ICS67	-	R/W	00000000
000053 <sub>H</sub>	ICU6/ICU7 - エッジレジスタ	ICE67	-	R/W	XXX0X000
000054 <sub>H</sub>	ICU6 - データレジスタ下位	IPCPL6	IPCP6	R	XXXXXXXX
000055 <sub>H</sub>	ICU6 - データレジスタ上位	IPCPH6	-	R	XXXXXXXX
000056 <sub>H</sub>	ICU7 - データレジスタ下位	IPCPL7	IPCP7	R	XXXXXXXX
000057 <sub>H</sub>	ICU7 - データレジスタ上位	IPCPH7	-	R	XXXXXXXX
000058 <sub>H</sub>	EXTINT0 - 外部割込み要求許可レジスタ	ENIR0	-	R/W	00000000
000059 <sub>H</sub>	EXTINT0 - 外部割込み要求レジスタ	EIRR0	-	R/W	00000000
00005A <sub>H</sub>	EXTINT0 - 外部割込みレベルレジスタ下位	ELVRL0	ELVR0	R/W	00000000
00005B <sub>H</sub>	EXTINT0 - 外部割込みレベルレジスタ上位	ELVRH0	-	R/W	00000000
00005C <sub>H</sub>	EXTINT1 - 外部割込み要求許可レジスタ	ENIR1	-	R/W	00000000
00005D <sub>H</sub>	EXTINT1 - 外部割込み要求レジスタ	EIRR1	-	R/W	00000000
00005E <sub>H</sub>	EXTINT1 - 外部割込みレベルレジスタ下位	ELVRL1	ELVR1	R/W	00000000
00005F <sub>H</sub>	EXTINT1 - 外部割込みレベルレジスタ上位	ELVRH1	-	R/W	00000000
000060 <sub>H</sub>	RLT0 - タイマ制御状態レジスタ下位	TMCSR0	TMCSR0	R/W	00000000



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000061 <sub>H</sub>	RLT0 - タイマ制御状態レジスタ上位	TMCSRH0	-	R/W	00X10000
000062 <sub>H</sub>	RLT0 - 16 ビットリロードレジスタ下位	-	TMRLR0	W	XXXXXXXXXX
000062 <sub>H</sub>	RLT0 - 16 ビットタイマレジスタ下位	-	TMR0	R	XXXXXXXXXX
000063 <sub>H</sub>	RLT0 - 16 ビットリロードレジスタ上位	-	-	W	XXXXXXXXXX
000063 <sub>H</sub>	RLT0 - 16 ビットタイマレジスタ上位	-	-	R	XXXXXXXXXX
000064 <sub>H</sub>	RLT1 - タイマ制御状態レジスタ下位	TMCSRL1	TMCSR1	R/W	00000000
000065 <sub>H</sub>	RLT1 - タイマ制御状態レジスタ上位	TMCSRH1	-	R/W	00X10000
000066 <sub>H</sub>	RLT1 - 16 ビットリロードレジスタ下位	-	TMRLR1	W	XXXXXXXXXX
000066 <sub>H</sub>	RLT1 - 16 ビットタイマレジスタ下位	-	TMR1	R	XXXXXXXXXX
000067 <sub>H</sub>	RLT1 - 16 ビットリロードレジスタ上位	-	-	W	XXXXXXXXXX
000067 <sub>H</sub>	RLT1 - 16 ビットタイマレジスタ上位	-	-	R	XXXXXXXXXX
000068 <sub>H</sub>	RLT2 - タイマ制御状態レジスタ下位	TMCSRL2	TMCSR2	R/W	00000000
000069 <sub>H</sub>	RLT2 - タイマ制御状態レジスタ上位	TMCSRH2	-	R/W	00X10000
00006A <sub>H</sub>	RLT2 - 16 ビットリロードレジスタ下位	-	TMRLR2	W	XXXXXXXXXX
00006A <sub>H</sub>	RLT2 - 16 ビットタイマレジスタ下位	-	TMR2	R	XXXXXXXXXX
00006B <sub>H</sub>	RLT2 - 16 ビットリロードレジスタ上位	-	-	W	XXXXXXXXXX
00006B <sub>H</sub>	RLT2 - 16 ビットタイマレジスタ上位	-	-	R	XXXXXXXXXX
00006C <sub>H</sub>	RLT3 - タイマ制御状態レジスタ下位	TMCSRL3	TMCSR3	R/W	00000000
00006D <sub>H</sub>	RLT3 - タイマ制御状態レジスタ上位	TMCSRH3	-	R/W	00X10000
00006E <sub>H</sub>	RLT3 - 16 ビットリロードレジスタ下位	-	TMRLR3	W	XXXXXXXXXX
00006E <sub>H</sub>	RLT3 - 16 ビットタイマレジスタ下位	-	TMR3	R	XXXXXXXXXX
00006F <sub>H</sub>	RLT3 - 16 ビットリロードレジスタ上位	-	-	W	XXXXXXXXXX
00006F <sub>H</sub>	RLT3 - 16 ビットタイマレジスタ上位	-	-	R	XXXXXXXXXX
000070 <sub>H</sub>	RLT6 - タイマ制御状態レジスタ下位	TMCSRL6	TMCSR6	R/W	00000000
000071 <sub>H</sub>	RLT6 - タイマ制御状態レジスタ上位	TMCSRH6	-	R/W	00X10000
000072 <sub>H</sub>	RLT6 - 16 ビットリロードレジスタ下位	-	TMRLR6	W	XXXXXXXXXX
000072 <sub>H</sub>	RLT6 - 16 ビットタイマレジスタ下位	-	TMR6	R	XXXXXXXXXX
000073 <sub>H</sub>	RLT6 - 16 ビットリロードレジスタ上位	-	-	W	XXXXXXXXXX
000073 <sub>H</sub>	RLT6 - 16 ビットタイマレジスタ	-	-	R	XXXXXXXXXX
000074 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 1 下位	GCN1L0	GCN10	R/W	00010000
000075 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 1 上位	GCN1H0	-	R/W	00110010
000076 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 2 下位	GCN2L0	GCN20	R/W	XXXX0000
000077 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 2 上位	GCN2H0	-	R/W	XXXX0000
000078 <sub>H</sub>	PPG0 - タイマレジスタ	-	PTMR0	R	11111111
000079 <sub>H</sub>	PPG0 - タイマレジスタ	-	-	R	11111111
00007A <sub>H</sub>	PPG0 - 周期設定レジスタ下位	PCSRL0	PCSR0	R/W	XXXXXXXXXX
00007B <sub>H</sub>	PPG0 - 周期設定レジスタ上位	PCSRH0	-	R/W	XXXXXXXXXX
00007C <sub>H</sub>	PPG0 - デューティ設定レジスタ下位	PDUTL0	PDUT0	R/W	XXXXXXXXXX
00007D <sub>H</sub>	PPG0 - デューティ設定レジスタ上位	PDUTH0	-	R/W	XXXXXXXXXX
00007E <sub>H</sub>	PPG0 - 制御ステータスレジスタ下位	PCNL0	PCN0	R/W	00000000
00007F <sub>H</sub>	PPG0 - 制御ステータスレジスタ上位	PCNH0	-	R/W	00000000
000080 <sub>H</sub>	PPG1 - タイマレジスタ	-	PTMR1	R	11111111
000081 <sub>H</sub>	PPG1 - タイマレジスタ	-	-	R	11111111
000082 <sub>H</sub>	PPG1 - 周期設定レジスタ下位	PCSRL1	PCSR1	R/W	XXXXXXXXXX
000083 <sub>H</sub>	PPG1 - 周期設定レジスタ上位	PCSRH1	-	R/W	XXXXXXXXXX
000084 <sub>H</sub>	PPG1 - デューティ設定レジスタ下位	PDUTL1	PDUT1	R/W	XXXXXXXXXX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000085 <sub>H</sub>	PPG1 - デューティ設定レジスタ上位	PDUTH1	-	R/W	XXXXXXXX
000086 <sub>H</sub>	PPG1 - 制御ステータスレジスタ下位	PCNL1	PCN1	R/W	00000000
000087 <sub>H</sub>	PPG1 - 制御ステータスレジスタ上位	PCNH1	-	R/W	00000000
000088 <sub>H</sub>	PPG2 - タイマレジスタ	-	PTMR2	R	11111111
000089 <sub>H</sub>	PPG2 - タイマレジスタ	-	-	R	11111111
00008A <sub>H</sub>	PPG2 - 周期設定レジスタ下位	PCSRL2	PCSR2	R/W	XXXXXXXX
00008B <sub>H</sub>	PPG2 - 周期設定レジスタ上位	PCSRH2	-	R/W	XXXXXXXX
00008C <sub>H</sub>	PPG2 - デューティ設定レジスタ下位	PDUTL2	PDUT2	R/W	XXXXXXXX
00008D <sub>H</sub>	PPG2 - デューティ設定レジスタ上位	PDUTH2	-	R/W	XXXXXXXX
00008E <sub>H</sub>	PPG2 - 制御ステータスレジスタ下位	PCNL2	PCN2	R/W	00000000
00008F <sub>H</sub>	PPG2 - 制御ステータスレジスタ上位	PCNH2	-	R/W	00000000
000090 <sub>H</sub>	PPG3 - タイマレジスタ	-	PTMR3	R	11111111
000091 <sub>H</sub>	PPG3 - タイマレジスタ	-	-	R	11111111
000092 <sub>H</sub>	PPG3 - 周期設定レジスタ下位	PCSRL3	PCSR3	R/W	XXXXXXXX
000093 <sub>H</sub>	PPG3 - 周期設定レジスタ上位	PCSRH3	-	R/W	XXXXXXXX
000094 <sub>H</sub>	PPG3 - デューティ設定レジスタ下位	PDUTL3	PDUT3	R/W	XXXXXXXX
000095 <sub>H</sub>	PPG3 - デューティ設定レジスタ上位	PDUTH3	-	R/W	XXXXXXXX
000096 <sub>H</sub>	PPG3 - 制御ステータスレジスタ下位	PCNL3	PCN3	R/W	00000000
000097 <sub>H</sub>	PPG3 - 制御ステータスレジスタ上位	PCNH3	-	R/W	00000000
000098 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 1 下位	GCN1L1	GCN11	R/W	00010000
000099 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 1 上位	GCN1H1	-	R/W	00110010
00009A <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 2 下位	GCN2L1	GCN21	R/W	XXXX0000
00009B <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 2 上位	GCN2H1	-	R/W	XXXX0000
00009C <sub>H</sub>	PPG4 - タイマレジスタ	-	PTMR4	R	11111111
00009D <sub>H</sub>	PPG4 - タイマレジスタ	-	-	R	11111111
00009E <sub>H</sub>	PPG4 - 周期設定レジスタ下位	PCSRL4	PCSR4	R/W	XXXXXXXX
00009F <sub>H</sub>	PPG4 - 周期設定レジスタ上位	PCSRH4	-	R/W	XXXXXXXX
0000A0 <sub>H</sub>	PPG4 - デューティ設定レジスタ下位	PDUTL4	PDUT4	R/W	XXXXXXXX
0000A1 <sub>H</sub>	PPG4 - デューティ設定レジスタ上位	PDUTH4	-	R/W	XXXXXXXX
0000A2 <sub>H</sub>	PPG4 - 制御ステータスレジスタ下位	PCNL4	PCN4	R/W	00000000
0000A3 <sub>H</sub>	PPG4 - 制御ステータスレジスタ上位	PCNH4	-	R/W	00000000
0000A4 <sub>H</sub>	PPG5 - タイマレジスタ	-	PTMR5	R	11111111
0000A5 <sub>H</sub>	PPG5 - タイマレジスタ	-	-	R	11111111
0000A6 <sub>H</sub>	PPG5 - 周期設定レジスタ下位	PCSRL5	PCSR5	R/W	XXXXXXXX
0000A7 <sub>H</sub>	PPG5 - 周期設定レジスタ上位	PCSRH5	-	R/W	XXXXXXXX
0000A8 <sub>H</sub>	PPG5 - デューティ設定レジスタ下位	PDUTL5	PDUT5	R/W	XXXXXXXX
0000A9 <sub>H</sub>	PPG5 - デューティ設定レジスタ上位	PDUTH5	-	R/W	XXXXXXXX
0000AA <sub>H</sub>	PPG5 - 制御ステータスレジスタ下位	PCNL5	PCN5	R/W	00000000
0000AB <sub>H</sub>	PPG5 - 制御ステータスレジスタ上位	PCNH5	-	R/W	00000000
0000AC <sub>H</sub>	ÎC0 - バスステータスレジスタ	IBSR0	-	R	00000000
0000AD <sub>H</sub>	ÎC0 - バスコントロールレジスタ	IBCR0	-	R/W	00000000
0000AE <sub>H</sub>	ÎC0 - 10 ビットスレーブアドレスレジスタ 下位	ITBAL0	ITBA0	R/W	00000000
0000AF <sub>H</sub>	ÎC0 - 10 ビットスレーブアドレスレジスタ 上位	ITBAH0	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0000B0 <sub>H</sub>	I <sup>2</sup> C0 - 10 ビットスレーブアドレスマスクレジスタ下位	ITMKL0	ITMK0	R/W	11111111
0000B1 <sub>H</sub>	I <sup>2</sup> C0 - 10 ビットスレーブアドレスマスクレジスタ上位	ITMKH0	-	R/W	00111111
0000B2 <sub>H</sub>	I <sup>2</sup> C0 - 7 ビットスレーブアドレスレジスタ	ISBA0	-	R/W	00000000
0000B3 <sub>H</sub>	I <sup>2</sup> C0 - 7 ビットスレーブアドレスマスクレジスタ	ISMK0	-	R/W	01111111
0000B4 <sub>H</sub>	I <sup>2</sup> C0 - データレジスタ	IDAR0	-	R/W	00000000
0000B5 <sub>H</sub>	I <sup>2</sup> C0 - クロックコントロールレジスタ	ICCR0	-	R/W	00011111
0000B6 <sub>H</sub> - 0000BF <sub>H</sub>	予約	-	-	-	-
0000C0 <sub>H</sub>	USART0 - シリアルモードレジスタ	SMR0	-	R/W	00000000
0000C1 <sub>H</sub>	USART0 - シリアル制御レジスタ	SCR0	-	R/W	00000000
0000C2 <sub>H</sub>	USART0 - 送信データ レジスタ	TDR0	-	W	11111111
0000C2 <sub>H</sub>	USART0 - 受信データ レジスタ	RDR0	-	R	00000000
0000C3 <sub>H</sub>	USART0 - シリアルステータスレジスタ	SSR0	-	R/W	00001000
0000C4 <sub>H</sub>	USART0 - 拡張通信制御レジスタ	ECCR0	-	R/W	000000XX
0000C5 <sub>H</sub>	USART0 - 拡張ステータス制御レジスタ	ESCR0	-	R/W	00000100
0000C6 <sub>H</sub>	USART0 - ボーレート/リロードカウンタレジスタ下位	BGRL0	BGR0	R/W	00000000
0000C7 <sub>H</sub>	USART0 - ボーレート/リロードカウンタレジスタ上位	BGRH0	-	R/W	00000000
0000C8 <sub>H</sub>	USART0 - 拡張シリアル割込みレジスタ	ESIR0	-	R/W	XXXX10X0
0000C9 <sub>H</sub>	USART0 - フレーム ID データレジスタ	FIDR0	-	R/W	00000000
0000CA <sub>H</sub>	USART1 - シリアルモードレジスタ	SMR1	-	R/W	00000000
0000CB <sub>H</sub>	USART1 - シリアル制御レジスタ	SCR1	-	R/W	00000000
0000CC <sub>H</sub>	USART1 - 送信データ レジスタ	TDR1	-	W	11111111
0000CC <sub>H</sub>	USART1 - 受信データ レジスタ	RDR1	-	R	00000000
0000CD <sub>H</sub>	USART1 - シリアルステータスレジスタ	SSR1	-	R/W	00001000
0000CE <sub>H</sub>	USART1 - 拡張通信制御レジスタ	ECCR1	-	R/W	000000XX
0000CF <sub>H</sub>	USART1 - 拡張ステータス制御レジスタ	ESCR1	-	R/W	00000100
0000D0 <sub>H</sub>	USART1 - ボーレート/リロードカウンタレジスタ下位	BGRL1	BGR1	R/W	00000000
0000D1 <sub>H</sub>	USART1 - ボーレート/リロードカウンタレジスタ上位	BGRH1	-	R/W	00000000
0000D2 <sub>H</sub>	USART1 - 拡張シリアル割込みレジスタ	ESIR1	-	R/W	XXXX10X0
0000D3 <sub>H</sub>	USART1 - フレーム ID データレジスタ	FIDR1	-	R/W	00000000
0000D4 <sub>H</sub>	USART2 - シリアルモードレジスタ	SMR2	-	R/W	00000000
0000D5 <sub>H</sub>	USART2 - シリアル制御レジスタ	SCR2	-	R/W	00000000
0000D6 <sub>H</sub>	USART2 - 送信データ レジスタ	TDR2	-	W	11111111
0000D6 <sub>H</sub>	USART2 - 受信データ レジスタ	RDR2	-	R	00000000
0000D7 <sub>H</sub>	USART2 - シリアルステータスレジスタ	SSR2	-	R/W	00001000
0000D8 <sub>H</sub>	USART2 - 拡張通信制御レジスタ	ECCR2	-	R/W	000000XX
0000D9 <sub>H</sub>	USART2 - 拡張ステータス制御レジスタ	ESCR2	-	R/W	00000100
0000DA <sub>H</sub>	USART2 - ボーレート/リロードカウンタレジスタ下位	BGRL2	BGR2	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0000DB <sub>H</sub>	USART2 - ボーレート/リロードカウンタレジスタ上位	BGRH2	-	R/W	00000000
0000DC <sub>H</sub>	USART2 - 拡張シリアル割込みレジスタ	ESIR2	-	R/W	XXXX10X0
0000DD <sub>H</sub> - 0000EB <sub>H</sub>	予約	-	-	-	-
0000EC <sub>H</sub>	PPG - 汎用制御レジスタ	GCNR0	-	R/W	XXXXXX00
0000ED <sub>H</sub> - 0000FF <sub>H</sub>	予約	-	-	-	-
000100 <sub>H</sub>	DMA0 - バッファアドレスポインタ下位	BAPL0	-	R/W	XXXXXXXX
000101 <sub>H</sub>	DMA0 - バッファアドレスポインタ中位	BAPM0	-	R/W	XXXXXXXX
000102 <sub>H</sub>	DMA0 - バッファアドレスポインタ上位	BAPH0	-	R/W	XXXXXXXX
000103 <sub>H</sub>	DMA0 - 制御レジスタ	DMACS0	-	R/W	XXXXXXXX
000104 <sub>H</sub>	DMA0 - I/O レジスタアドレスポインタ下位	IOAL0	IOA0	R/W	XXXXXXXX
000105 <sub>H</sub>	DMA0 - I/O レジスタアドレスポインタ上位	IOAH0	-	R/W	XXXXXXXX
000106 <sub>H</sub>	DMA0 - データカウントレジスタ下位	DCTL0	DCT0	R/W	XXXXXXXX
000107 <sub>H</sub>	DMA0 - データカウントレジスタ上位	DCTH0	-	R/W	XXXXXXXX
000108 <sub>H</sub>	DMA1 - バッファアドレスポインタ下位	BAPL1	-	R/W	XXXXXXXX
000109 <sub>H</sub>	DMA1 - バッファアドレスポインタ中位	BAPM1	-	R/W	XXXXXXXX
00010A <sub>H</sub>	DMA1 - バッファアドレスポインタ上位	BAPH1	-	R/W	XXXXXXXX
00010B <sub>H</sub>	DMA1 - 制御レジスタ	DMACS1	-	R/W	XXXXXXXX
00010C <sub>H</sub>	DMA1 - I/O レジスタアドレスポインタ下位	IOAL1	IOA1	R/W	XXXXXXXX
00010D <sub>H</sub>	DMA1 - I/O レジスタアドレスポインタ上位	IOAH1	-	R/W	XXXXXXXX
00010E <sub>H</sub>	DMA1 - データカウントレジスタ下位	DCTL1	DCT1	R/W	XXXXXXXX
00010F <sub>H</sub>	DMA1 - データカウントレジスタ上位	DCTH1	-	R/W	XXXXXXXX
000110 <sub>H</sub>	DMA2 - バッファアドレスポインタ下位	BAPL2	-	R/W	XXXXXXXX
000111 <sub>H</sub>	DMA2 - バッファアドレスポインタ中位	BAPM2	-	R/W	XXXXXXXX
000112 <sub>H</sub>	DMA2 - バッファアドレスポインタ上位	BAPH2	-	R/W	XXXXXXXX
000113 <sub>H</sub>	DMA2 - 制御レジスタ	DMACS2	-	R/W	XXXXXXXX
000114 <sub>H</sub>	DMA2 - I/O レジスタアドレスポインタ下位	IOAL2	IOA2	R/W	XXXXXXXX
000115 <sub>H</sub>	DMA2 - I/O レジスタアドレスポインタ上位	IOAH2	-	R/W	XXXXXXXX
000116 <sub>H</sub>	DMA2 - データカウントレジスタ下位	DCTL2	DCT2	R/W	XXXXXXXX
000117 <sub>H</sub>	DMA2 - データカウントレジスタ上位	DCTH2	-	R/W	XXXXXXXX
000118 <sub>H</sub>	DMA3 - バッファアドレスポインタ下位	BAPL3	-	R/W	XXXXXXXX
000119 <sub>H</sub>	DMA3 - バッファアドレスポインタ中位	BAPM3	-	R/W	XXXXXXXX
00011A <sub>H</sub>	DMA3 - バッファアドレスポインタ上位	BAPH3	-	R/W	XXXXXXXX
00011B <sub>H</sub>	DMA3 - 制御レジスタ	DMACS3	-	R/W	XXXXXXXX
00011C <sub>H</sub>	DMA3 - I/O レジスタアドレスポインタ下位	IOAL3	IOA3	R/W	XXXXXXXX
00011D <sub>H</sub>	DMA3 - I/O レジスタアドレスポインタ上位	IOAH3	-	R/W	XXXXXXXX
00011E <sub>H</sub>	DMA3 - データカウントレジスタ下位	DCTL3	DCT3	R/W	XXXXXXXX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
00011F <sub>H</sub>	DMA3 - データカウントレジスタ上位	DCTH3	-	R/W	XXXXXXXX
000120 <sub>H</sub> - 00017F <sub>H</sub>	予約	-	-	-	-
000180 <sub>H</sub> - 00037F <sub>H</sub>	CPU - 汎用レジスタ(RAM アクセス)	GPR_RAM	-	R/W	-
000380 <sub>H</sub>	DMA0 - 割込み要求選択レジスタ	DISEL0	-	R/W	00001100
000381 <sub>H</sub>	DMA1 - 割込み要求選択レジスタ	DISEL1	-	R/W	00001100
000382 <sub>H</sub>	DMA2 - 割込み要求選択レジスタ	DISEL2	-	R/W	00001100
000383 <sub>H</sub>	DMA3 - 割込み要求選択レジスタ	DISEL3	-	R/W	00001100
000384 <sub>H</sub> - 00038F <sub>H</sub>	予約	-	-	-	-
000390 <sub>H</sub>	DMA - ステータスレジスタ下位	DSRL	DSR	R/W	00000000
000391 <sub>H</sub>	DMA - ステータスレジスタ上位	DSRH	-	R/W	00000000
000392 <sub>H</sub>	DMA - 停止ステータスレジスタ下位	DSSRL	DSSR	R/W	00000000
000393 <sub>H</sub>	DMA - 停止ステータスレジスタ上位	DSSRH	-	R/W	00000000
000394 <sub>H</sub>	DMA - 許可レジスタ下位	DERL	DER	R/W	00000000
000395 <sub>H</sub>	DMA - 許可レジスタ上位	DERH	-	R/W	00000000
000396 <sub>H</sub> - 00039F <sub>H</sub>	予約	-	-	-	-
0003A0 <sub>H</sub>	割込み制御レジスタ 割込みレベル	ILR	ICR	R/W	XXXXX111
0003A1 <sub>H</sub>	割込み制御レジスタ インデックス	IDX	-	R/W	00001100
0003A2 <sub>H</sub>	割込みベクタテーブルベースレジスタ下位	TBRL	TBR	R/W	11111100
0003A3 <sub>H</sub>	割込みベクタテーブルベースレジスタ上位	TBRH	-	R/W	11111111
0003A4 <sub>H</sub>	遅延割込み要求レジスタ	DIRR	-	R/W	XXXXXXXX0
0003A5 <sub>H</sub>	NMI 制御ステータスレジスタ	NMI	-	R/W	XXXXX10X
0003A6 <sub>H</sub> - 0003AD <sub>H</sub>	予約	-	-	-	-
0003AE <sub>H</sub>	ROM ミラー機能選択レジスタ	ROMM	-	R/W	1111X111
0003AF <sub>H</sub> - 0003E7 <sub>H</sub>	予約	-	-	-	-
0003E8 <sub>H</sub>	デュアルオペレーションフラッシュ設定レジスタ A	DFCA	-	R/W	XXXXX000
0003E9 <sub>H</sub>	デュアルオペレーションフラッシュ割込み制御レジスタ A	DFICA	-	R/W	X0000000
0003EA <sub>H</sub>	デュアルオペレーションフラッシュステータスレジスタ A	DFSA	-	R	11000001
0003EB <sub>H</sub>	デュアルオペレーションフラッシュ割込みステータスレジスタ A	DFISA	-	R/W	X0000000
0003EC <sub>H</sub> - 0003F8 <sub>H</sub>	予約	-	-	-	-
0003F9 <sub>H</sub>	デュアルオペレーションフラッシュ書込みアクセス制御レジスタ 0A	DFWC0A	-	R/W	XXX00000
0003FA <sub>H</sub> - 0003FC <sub>H</sub>	予約	-	-	-	-
0003FD <sub>H</sub>	デュアルオペレーションフラッシュ書込みアクセス制御レジスタ 1A	DFWC1A	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0003FE <sub>H</sub> , 0003FF <sub>H</sub>	予約	-	-	-	-
000400 <sub>H</sub>	スタンバイモード制御レジスタ	SMCR	-	R/W	XXX0X000
000401 <sub>H</sub>	クロック選択レジスタ	CKSR	-	R/W	10110000
000402 <sub>H</sub>	クロック安定化選択レジスタ	CKSSR	-	R/W	XX111111
000403 <sub>H</sub>	クロックモニタレジスタ	CKMR	-	R	*0*0XXXX *:リセット要 因に依存
000404 <sub>H</sub>	クロック周波数制御レジスタ下位	CKFCRL	CKFCR	R/W	0000XXX1
000405 <sub>H</sub>	クロック周波数制御レジスタ上位	CKFCRH	-	R/W	00000000
000406 <sub>H</sub>	PLL 制御レジスタ下位	PLLCRL	PLLCR	R/W	000X0000
000407 <sub>H</sub>	PLL 制御レジスタ上位	PLLCRH	-	R/W	XXXXXXXXXX
000408 <sub>H</sub>	CR クロックタイマ制御レジスタ	RCTCR	-	R/W	X0010000
000409 <sub>H</sub>	メインクロックタイマ制御レジスタ	MCTCR	-	R/W	X0010000
00040A <sub>H</sub>	サブクロックタイマ制御レジスタ	SCTCR	-	R/W	X001X000
00040B <sub>H</sub>	リセット要因およびクロック状態レジスタ	RCCSRC	-	R	***** *:リセット要 因に依存
00040C <sub>H</sub>	リセット構成レジスタ	RCR	-	R/W	XX000**0 *:リセット要 因に依存
00040D <sub>H</sub>	リセット要因およびクロック状態レジスタ	RCCSR	-	R	***** *:リセット要 因に依存
00040E <sub>H</sub>	ウォッチドッグタイマ構成レジスタ	WDTC	WDT	R/W	0000**** *:WICM Marker に依存
00040F <sub>H</sub>	ウォッチドッグタイマクリアパターンレジスタ	WDTCP	-	W	00000000
000410 <sub>H</sub> - 000414 <sub>H</sub>	予約	-	-	-	-
000415 <sub>H</sub>	クロック出力起動レジスタ	COAR	-	R/W	00000000
000416 <sub>H</sub>	クロック出力構成レジスタ 0	COCR0	-	R/W	X0000000
000417 <sub>H</sub>	クロック出力構成レジスタ 1	COCR1	-	R/W	X0000000
000418 <sub>H</sub> - 00041F <sub>H</sub>	予約	-	-	-	-
000420 <sub>H</sub>	ウォッチドッグタイマ拡張構成レジスタ	WDTEC	-	R/W	XXX00000
000421 <sub>H</sub> - 00042B <sub>H</sub>	予約	-	-	-	-
00042C <sub>H</sub>	電圧レギュレータ制御レジスタ	VRCR	-	R/W	10X10X10
00042D <sub>H</sub>	クロック入力および LVD 制御レジスタ	CILCR	-	R/W	00000000
00042E <sub>H</sub>	拡張スタンバイモード制御レジスタ	ESMCR	-	R/W	XXX00001
00042F <sub>H</sub>	予約	-	-	-	-
000430 <sub>H</sub>	I/O ポート P00 - データ方向レジスタ	DDR00	-	R/W	00000000
000431 <sub>H</sub>	I/O ポート P01 - データ方向レジスタ	DDR01	-	R/W	00000000
000432 <sub>H</sub>	I/O ポート P02 - データ方向レジスタ	DDR02	-	R/W	00000000
000433 <sub>H</sub>	I/O ポート P03 - データ方向レジスタ	DDR03	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000434 <sub>H</sub>	I/O ポート P04 - データ方向レジスタ	DDR04	-	R/W	00000000
000435 <sub>H</sub>	I/O ポート P05 - データ方向レジスタ	DDR05	-	R/W	00000000
000436 <sub>H</sub>	I/O ポート P06 - データ方向レジスタ	DDR06	-	R/W	00000000
000437 <sub>H</sub>	予約	-	-	-	-
000438 <sub>H</sub>	I/O ポート P08 - データ方向レジスタ	DDR08	-	R/W	00000000
000439 <sub>H</sub>	I/O ポート P09 - データ方向レジスタ	DDR09	-	R/W	00000000
00043A <sub>H</sub>	I/O ポート P10 - データ方向レジスタ	DDR10	-	R/W	00000000
00043B <sub>H</sub>	I/O ポート P11 - データ方向レジスタ	DDR11	-	R/W	00000000
00043C <sub>H</sub>	I/O ポート P12 - データ方向レジスタ	DDR12	-	R/W	00000000
00043D <sub>H</sub>	I/O ポート P13 - データ方向レジスタ	DDR13	-	R/W	00000000
00043E <sub>H</sub> - 000440 <sub>H</sub>	予約	-	-	-	-
000441 <sub>H</sub>	I/O ポート P17 - データ方向レジスタ	DDR17	-	R/W	00000000
000442 <sub>H</sub> , 000443 <sub>H</sub>	予約	-	-	-	-
000444 <sub>H</sub>	I/O ポート P00 - ポート入力許可レジスタ	PIER00	-	R/W	00000000
000445 <sub>H</sub>	I/O ポート P01 - ポート入力許可レジスタ	PIER01	-	R/W	00000000
000446 <sub>H</sub>	I/O ポート P02 - ポート入力許可レジスタ	PIER02	-	R/W	00000000
000447 <sub>H</sub>	I/O ポート P03 - ポート入力許可レジスタ	PIER03	-	R/W	00000000
000448 <sub>H</sub>	I/O ポート P04 - ポート入力許可レジスタ	PIER04	-	R/W	00000000
000449 <sub>H</sub>	I/O ポート P05 - ポート入力許可レジスタ	PIER05	-	R/W	00000000
00044A <sub>H</sub>	I/O ポート P06 - ポート入力許可レジスタ	PIER06	-	R/W	00000000
00044B <sub>H</sub>	予約	-	-	-	-
00044C <sub>H</sub>	I/O ポート P08 - ポート入力許可レジスタ	PIER08	-	R/W	00000000
00044D <sub>H</sub>	I/O ポート P09 - ポート入力許可レジスタ	PIER09	-	R/W	00000000
00044E <sub>H</sub>	I/O ポート P10 - ポート入力許可レジスタ	PIER10	-	R/W	00000000
00044F <sub>H</sub>	I/O ポート P11 - ポート入力許可レジスタ	PIER11	-	R/W	00000000
000450 <sub>H</sub>	I/O ポート P12 - ポート入力許可レジスタ	PIER12	-	R/W	00000000
000451 <sub>H</sub>	I/O ポート P13 - ポート入力許可レジスタ	PIER13	-	R/W	00000000
000452 <sub>H</sub> - 000454 <sub>H</sub>	予約	-	-	-	-
000455 <sub>H</sub>	I/O ポート P17 - ポート入力許可レジスタ	PIER17	-	R/W	00000000
000456 <sub>H</sub> - 00049B <sub>H</sub>	予約	-	-	-	-
00049C <sub>H</sub>	I/O ポート P08 - ポート high 駆動レジスタ	PHDR08	-	R/W	00000000
00049D <sub>H</sub>	I/O ポート P09 - ポート high 駆動レジスタ	PHDR09	-	R/W	00000000
00049E <sub>H</sub>	I/O ポート P10 - ポート high 駆動レジスタ	PHDR10	-	R/W	00000000
00049F <sub>H</sub> - 0004A7 <sub>H</sub>	予約	-	-	-	-
0004A8 <sub>H</sub>	I/O ポート P00 - ブルアップ制御レジスタ	PUCR00	-	R/W	00000000
0004A9 <sub>H</sub>	I/O ポート P01 - ブルアップ制御レジスタ	PUCR01	-	R/W	00000000
0004AA <sub>H</sub>	I/O ポート P02 - ブルアップ制御レジスタ	PUCR02	-	R/W	00000000
0004AB <sub>H</sub>	I/O ポート P03 - ブルアップ制御レジスタ	PUCR03	-	R/W	00000000
0004AC <sub>H</sub>	I/O ポート P04 - ブルアップ制御レジスタ	PUCR04	-	R/W	00000000
0004AD <sub>H</sub>	I/O ポート P05 - ブルアップ制御レジスタ	PUCR05	-	R/W	00000000
0004AE <sub>H</sub>	I/O ポート P06 - ブルアップ制御レジスタ	PUCR06	-	R/W	00000000



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0004AF <sub>H</sub>	予約	-	-	-	-
0004B0 <sub>H</sub>	I/O ポート P08 - ブルアップ制御レジスタ	PUCR08	-	R/W	00000000
0004B1 <sub>H</sub>	I/O ポート P09 - ブルアップ制御レジスタ	PUCR09	-	R/W	00000000
0004B2 <sub>H</sub>	I/O ポート P10 - ブルアップ制御レジスタ	PUCR10	-	R/W	00000000
0004B3 <sub>H</sub>	I/O ポート P11 - ブルアップ制御レジスタ	PUCR11	-	R/W	00000000
0004B4 <sub>H</sub>	I/O ポート P12 - ブルアップ制御レジスタ	PUCR12	-	R/W	00000000
0004B5 <sub>H</sub>	I/O ポート P13 - ブルアップ制御レジスタ	PUCR13	-	R/W	00000000
0004B6 <sub>H</sub> - 0004B8 <sub>H</sub>	予約	-	-	-	-
0004B9 <sub>H</sub>	I/O ポート P17 - ブルアップ制御レジスタ	PUCR17	-	R/W	00000000
0004BA <sub>H</sub> , 0004BB <sub>H</sub>	予約	-	-	-	-
0004BC <sub>H</sub>	I/O ポート P00 - 外部端子状態レジスタ	EPSR00	-	R	XXXXXXXX
0004BD <sub>H</sub>	I/O ポート P01 - 外部端子状態レジスタ	EPSR01	-	R	XXXXXXXX
0004BE <sub>H</sub>	I/O ポート P02 - 外部端子状態レジスタ	EPSR02	-	R	XXXXXXXX
0004BF <sub>H</sub>	I/O ポート P03 - 外部端子状態レジスタ	EPSR03	-	R	XXXXXXXX
0004C0 <sub>H</sub>	I/O ポート P04 - 外部端子状態レジスタ	EPSR04	-	R	XXXXXXXX
0004C1 <sub>H</sub>	I/O ポート P05 - 外部端子状態レジスタ	EPSR05	-	R	XXXXXXXX
0004C2 <sub>H</sub>	I/O ポート P06 - 外部端子状態レジスタ	EPSR06	-	R	XXXXXXXX
0004C3 <sub>H</sub>	予約	-	-	-	-
0004C4 <sub>H</sub>	I/O ポート P08 - 外部端子状態レジスタ	EPSR08	-	R	XXXXXXXX
0004C5 <sub>H</sub>	I/O ポート P09 - 外部端子状態レジスタ	EPSR09	-	R	XXXXXXXX
0004C6 <sub>H</sub>	I/O ポート P10 - 外部端子状態レジスタ	EPSR10	-	R	XXXXXXXX
0004C7 <sub>H</sub>	I/O ポート P11 - 外部端子状態レジスタ	EPSR11	-	R	XXXXXXXX
0004C8 <sub>H</sub>	I/O ポート P12 - 外部端子状態レジスタ	EPSR12	-	R	XXXXXXXX
0004C9 <sub>H</sub>	I/O ポート P13 - 外部端子状態レジスタ	EPSR13	-	R	XXXXXXXX
0004CA <sub>H</sub> - 0004CC <sub>H</sub>	予約	-	-	-	-
0004CD <sub>H</sub>	I/O ポート P17 - 外部端子状態レジスタ	EPSR17	-	R	XXXXXXXX
0004CE <sub>H</sub> , 0004CF <sub>H</sub>	予約	-	-	-	-
0004D0 <sub>H</sub>	ADC0 アナログ入力許可レジスタ 0	ADER0	-	R/W	00000000
0004D1 <sub>H</sub>	ADC0 アナログ入力許可レジスタ 1	ADER1	-	R/W	00000000
0004D2 <sub>H</sub>	ADC0 アナログ入力許可レジスタ 2	ADER2	-	R/W	00000000
0004D3 <sub>H</sub>	ADC0 アナログ入力許可レジスタ 3	ADER3	-	R/W	00000000
0004D4 <sub>H</sub> , 0004D5 <sub>H</sub>	予約	-	-	-	-
0004D6 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 0	PRRR0	-	R/W	00000000
0004D7 <sub>H</sub>	予約	-	-	-	-
0004D8 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 2	PRRR2	-	R/W	00000000
0004D9 <sub>H</sub>	予約	-	-	-	-
0004DA <sub>H</sub>	周辺リソース端子リロケーションレジスタ 4	PRRR4	-	R/W	00000000
0004DB <sub>H</sub>	周辺リソース端子リロケーションレジスタ 5	PRRR5	-	R/W	00XX0000



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0004DC <sub>H</sub>	周辺リソース端子リロケーションレジスタ 6	PRRR6	-	R/W	00000000
0004DD <sub>H</sub> , 0004DE <sub>H</sub>	予約	-	-	-	-
0004DF <sub>H</sub>	周辺リソース端子リロケーションレジスタ 9	PRRR9	-	R/W	XX000000
0004E0 <sub>H</sub>	RTC - サブセカンドレジスタ L	WTBRL0	WTBR0	R/W	XXXXXXXX
0004E1 <sub>H</sub>	RTC - サブセカンドレジスタ M	WTBRH0	-	R/W	XXXXXXXX
0004E2 <sub>H</sub>	RTC - サブセカンドレジスタ H	WTBR1	-	R/W	XXXXXXXX
0004E3 <sub>H</sub>	RTC - 秒レジスタ	WTSR	-	R/W	XX***** *:リセット要 因に依存
0004E4 <sub>H</sub>	RTC - 分レジスタ	WTMR	-	R/W	XX***** *:リセット要 因に依存
0004E5 <sub>H</sub>	RTC - 時レジスタ	WTHR	-	R/W	XXX***** *:リセット要 因に依存
0004E6 <sub>H</sub>	RTC - タイマ制御拡張レジスタ	WTCER	-	R/W	XXXXXXXX00
0004E7 <sub>H</sub>	RTC - クロック選択レジスタ	WTCKSR	-	R/W	XXXXXXXX00
0004E8 <sub>H</sub>	RTC - タイマ制御レジスタ下位	WTCRL	WTCR	R/W	XXXX0000
0004E9 <sub>H</sub>	RTC - タイマ制御レジスタ上位	WTCRH	-	R/W	00000000
0004EA <sub>H</sub>	CAL - クロック補正ユニット制御レジスタ	CUCR	-	R/W	XXX0X000
0004EB <sub>H</sub>	予約	-	-	-	-
0004EC <sub>H</sub>	CAL - クロック補正ユニット測定時間タイ マデータレジスタ下位	CUTDL	CUTD	R/W	00000000
0004ED <sub>H</sub>	CAL - クロック補正ユニット測定時間タイ マデータレジスタ上位	CUTDH	-	R/W	10000000
0004EE <sub>H</sub>	CAL - クロック補正ユニット補正タイマ データレジスタ 2 下位	CUTR2L	CUTR2	R	00000000
0004EF <sub>H</sub>	CAL - クロック補正ユニット補正タイマ データレジスタ 2 上位	CUTR2H	-	R	00000000
0004F0 <sub>H</sub>	CAL - クロック補正ユニット補正タイマ データレジスタ 1 下位	CUTR1L	CUTR1	R	00000000
0004F1 <sub>H</sub>	CAL - クロック補正ユニット補正タイマ データレジスタ 1 上位	CUTR1H	-	R	00000000
0004F2 <sub>H</sub> - 0004F9 <sub>H</sub>	予約	-	-	-	-
0004FA <sub>H</sub>	RLT - リロードタイマ入力選択レジスタ(カ スケード用)	TMISR	-	R/W	XX000000
0004FB <sub>H</sub> - 00051F <sub>H</sub>	予約	-	-	-	-
000520 <sub>H</sub>	USART4 - シリアルモードレジスタ	SMR4	-	R/W	00000000
000521 <sub>H</sub>	USART4 - シリアル制御レジスタ	SCR4	-	R/W	00000000
000522 <sub>H</sub>	USART4 - 送信データ レジスタ	TDR4	-	W	11111111
000522 <sub>H</sub>	USART4 - 受信データ レジスタ	RDR4	-	R	00000000
000523 <sub>H</sub>	USART4 - シリアルステータスレジスタ	SSR4	-	R/W	00001000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000524 <sub>H</sub>	USART4 - 拡張通信制御レジスタ	ECCR4	-	R/W	000000XX
000525 <sub>H</sub>	USART4 - 拡張ステータス制御レジスタ	ESCR4	-	R/W	00000100
000526 <sub>H</sub>	USART4 - ボーレート/リロードカウンタレジスタ下位	BGRL4	BGR4	R/W	00000000
000527 <sub>H</sub>	USART4 - ボーレート/リロードカウンタレジスタ上位	BGRH4	-	R/W	00000000
000528 <sub>H</sub>	USART4 - 拡張シリアル割込みレジスタ	ESIR4	-	R/W	XXXX10X0
000529 <sub>H</sub>	予約	-	-	-	-
00052A <sub>H</sub>	USART5 - シリアルモードレジスタ	SMR5	-	R/W	00000000
00052B <sub>H</sub>	USART5 - シリアル制御レジスタ	SCR5	-	R/W	00000000
00052C <sub>H</sub>	USART5 - 送信データ レジスタ	TDR5	-	W	11111111
00052C <sub>H</sub>	USART5 - 受信データ レジスタ	RDR5	-	R	00000000
00052D <sub>H</sub>	USART5 - シリアルステータスレジスタ	SSR5	-	R/W	00001000
00052E <sub>H</sub>	USART5 - 拡張通信制御レジスタ	ECCR5	-	R/W	000000XX
00052F <sub>H</sub>	USART5 - 拡張ステータス制御レジスタ	ESCR5	-	R/W	00000100
000530 <sub>H</sub>	USART5 - ボーレート/リロードカウンタレジスタ下位	BGRL5	BGR5	R/W	00000000
000531 <sub>H</sub>	USART5 - ボーレート/リロードカウンタレジスタ上位	BGRH5	-	R/W	00000000
000532 <sub>H</sub>	USART5 - 拡張シリアル割込みレジスタ	ESIR5	-	R/W	XXXX10X0
000533 <sub>H</sub> - 000563 <sub>H</sub>	予約	-	-	-	-
000564 <sub>H</sub>	PPG6 - タイマレジスタ	-	PTMR6	R	11111111
000565 <sub>H</sub>	PPG6 - タイマレジスタ	-	-	R	11111111
000566 <sub>H</sub>	PPG6 - 周期設定レジスタ下位	PCSRL6	PCSR6	R/W	XXXXXXXXXX
000567 <sub>H</sub>	PPG6 - 周期設定レジスタ上位	PCSRH6	-	R/W	XXXXXXXXXX
000568 <sub>H</sub>	PPG6 - デューティ設定レジスタ下位	PDUTL6	PDUT6	R/W	XXXXXXXXXX
000569 <sub>H</sub>	PPG6 - デューティ設定レジスタ上位	PDUTH6	-	R/W	XXXXXXXXXX
00056A <sub>H</sub>	PPG6 - 制御ステータスレジスタ下位	PCNL6	PCN6	R/W	00000000
00056B <sub>H</sub>	PPG6 - 制御ステータスレジスタ上位	PCNH6	-	R/W	00000000
00056C <sub>H</sub>	PPG7 - タイマレジスタ	-	PTMR7	R	11111111
00056D <sub>H</sub>	PPG7 - タイマレジスタ	-	-	R	11111111
00056E <sub>H</sub>	PPG7 - 周期設定レジスタ下位	PCSRL7	PCSR7	R/W	XXXXXXXXXX
00056F <sub>H</sub>	PPG7 - 周期設定レジスタ上位	PCSRH7	-	R/W	XXXXXXXXXX
000570 <sub>H</sub>	PPG7 - デューティ設定レジスタ下位	PDUTL7	PDUT7	R/W	XXXXXXXXXX
000571 <sub>H</sub>	PPG7 - デューティ設定レジスタ上位	PDUTH7	-	R/W	XXXXXXXXXX
000572 <sub>H</sub>	PPG7 - 制御ステータスレジスタ下位	PCNL7	PCN7	R/W	00000000
000573 <sub>H</sub>	PPG7 - 制御ステータスレジスタ上位	PCNH7	-	R/W	00000000
000574 <sub>H</sub> - 000597 <sub>H</sub>	予約	-	-	-	-
000598 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 1 下位	GCN1L3	GCN13	R/W	00010000
000599 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 1 上位	GCN1H3	-	R/W	00110010
00059A <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 2 下位	GCN2L3	GCN23	R/W	XXXX0000
00059B <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 2 上位	GCN2H3	-	R/W	XXXX0000
00059C <sub>H</sub> - 0005AB <sub>H</sub>	予約	-	-	-	-
0005AC <sub>H</sub>	PPG14 - タイマレジスタ	-	PTMR14	R	11111111

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0005AD <sub>H</sub>	PPG14 - タイマレジスタ	-	-	R	11111111
0005AE <sub>H</sub>	PPG14 - 周期設定レジスタ下位	PCSRL14	PCSR14	R/W	XXXXXXXXXX
0005AF <sub>H</sub>	PPG14 - 周期設定レジスタ上位	PCSRH14	-	R/W	XXXXXXXXXX
0005B0 <sub>H</sub>	PPG14 - デューティ設定レジスタ下位	PDUTL14	PDUT14	R/W	XXXXXXXXXX
0005B1 <sub>H</sub>	PPG14 - デューティ設定レジスタ上位	PDUTH14	-	R/W	XXXXXXXXXX
0005B2 <sub>H</sub>	PPG14 - 制御ステータスレジスタ下位	PCNL14	PCN14	R/W	00000000
0005B3 <sub>H</sub>	PPG14 - 制御ステータスレジスタ上位	PCNH14	-	R/W	00000000
0005B4 <sub>H</sub>	PPG15 - タイマレジスタ	-	PTMR15	R	11111111
0005B5 <sub>H</sub>	PPG15 - タイマレジスタ	-	-	R	11111111
0005B6 <sub>H</sub>	PPG15 - 周期設定レジスタ下位	PCSRL15	PCSR15	R/W	XXXXXXXXXX
0005B7 <sub>H</sub>	PPG15 - 周期設定レジスタ上位	PCSRH15	-	R/W	XXXXXXXXXX
0005B8 <sub>H</sub>	PPG15 - デューティ設定レジスタ下位	PDUTL15	PDUT15	R/W	XXXXXXXXXX
0005B9 <sub>H</sub>	PPG15 - デューティ設定レジスタ上位	PDUTH15	-	R/W	XXXXXXXXXX
0005BA <sub>H</sub>	PPG15 - 制御ステータスレジスタ下位	PCNL15	PCN15	R/W	00000000
0005BB <sub>H</sub>	PPG15 - 制御ステータスレジスタ上位	PCNH15	-	R/W	00000000
0005BC <sub>H</sub> - 0005DF <sub>H</sub>	予約	-	-	-	-
0005E0 <sub>H</sub>	SMC0 - PWM 制御レジスタ	PWC0	-	R/W	00000000
0005E1 <sub>H</sub>	SMC0 - PWM 拡張制御レジスタ	PWEC0	-	R/W	00000000
0005E2 <sub>H</sub>	SMC0 - PWM1 コンペアレジスタ	-	PWC10	R/W	XXXXXXXXXX
0005E3 <sub>H</sub>	SMC0 - PWM1 コンペアレジスタ	-	-	R/W	000000XX
0005E4 <sub>H</sub>	SMC0 - PWM2 コンペアレジスタ	-	PWC20	R/W	XXXXXXXXXX
0005E5 <sub>H</sub>	SMC0 - PWM2 コンペアレジスタ	-	-	R/W	000000XX
0005E6 <sub>H</sub>	SMC0 - PWM1 選択レジスタ	PWS10	-	R/W	00000000
0005E7 <sub>H</sub>	SMC0 - PWM2 選択レジスタ	PWS20	-	R/W	00000000
0005E8 <sub>H</sub> , 0005E9 <sub>H</sub>	予約	-	-	-	-
0005EA <sub>H</sub>	SMC1 - PWM 制御レジスタ	PWC1	-	R/W	00000000
0005EB <sub>H</sub>	SMC1 - PWM 拡張制御レジスタ	PWEC1	-	R/W	00000000
0005EC <sub>H</sub>	SMC1 - PWM1 コンペアレジスタ	-	PWC11	R/W	XXXXXXXXXX
0005ED <sub>H</sub>	SMC1 - PWM1 コンペアレジスタ	-	-	R/W	000000XX
0005EE <sub>H</sub>	SMC1 - PWM2 コンペアレジスタ	-	PWC21	R/W	XXXXXXXXXX
0005EF <sub>H</sub>	SMC1 - PWM2 コンペアレジスタ	-	-	R/W	000000XX
0005F0 <sub>H</sub>	SMC1 - PWM1 選択レジスタ	PWS11	-	R/W	00000000
0005F1 <sub>H</sub>	SMC1 - PWM2 選択レジスタ	PWS21	-	R/W	00000000
0005F2 <sub>H</sub> , 0005F3 <sub>H</sub>	予約	-	-	-	-
0005F4 <sub>H</sub>	SMC2 - PWM 制御レジスタ	PWC2	-	R/W	00000000
0005F5 <sub>H</sub>	SMC2 - PWM 拡張制御レジスタ	PWEC2	-	R/W	00000000
0005F6 <sub>H</sub>	SMC2 - PWM1 コンペアレジスタ	-	PWC12	R/W	XXXXXXXXXX
0005F7 <sub>H</sub>	SMC2 - PWM1 コンペアレジスタ	-	-	R/W	000000XX
0005F8 <sub>H</sub>	SMC2 - PWM2 コンペアレジスタ	-	PWC22	R/W	XXXXXXXXXX
0005F9 <sub>H</sub>	SMC2 - PWM2 コンペアレジスタ	-	-	R/W	000000XX
0005FA <sub>H</sub>	SMC2 - PWM1 選択レジスタ	PWS12	-	R/W	00000000
0005FB <sub>H</sub>	SMC2 - PWM2 選択レジスタ	PWS22	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0005FC <sub>H</sub> - 000607 <sub>H</sub>	予約	-	-	-	-
000608 <sub>H</sub>	SMC4 - PWM 制御レジスタ	PWC4	-	R/W	00000000
000609 <sub>H</sub>	SMC4 - PWM 拡張制御レジスタ	PWEC4	-	R/W	00000000
00060A <sub>H</sub>	SMC4 - PWM1 コンペアレジスタ	-	PWC14	R/W	XXXXXXXX
00060B <sub>H</sub>	SMC4 - PWM1 コンペアレジスタ	-	-	R/W	000000XX
00060C <sub>H</sub>	SMC4 - PWM2 コンペアレジスタ	-	PWC24	R/W	XXXXXXXX
00060D <sub>H</sub>	SMC4 - PWM2 コンペアレジスタ	-	-	R/W	000000XX
00060E <sub>H</sub>	SMC4 - PWM1 選択レジスタ	PWS14	-	R/W	00000000
00060F <sub>H</sub>	SMC4 - PWM2 選択レジスタ	PWS24	-	R/W	00000000
000610 <sub>H</sub> - 00061B <sub>H</sub>	予約	-	-	-	-
00061C <sub>H</sub>	LCD - セグメント許可レジスタ 0 (セグメント 7 ~ 0)	LCDER0	-	R/W	00000000
00061D <sub>H</sub>	LCD - セグメント許可レジスタ 1 (セグメント 15 ~ 8)	LCDER1	-	R/W	00000000
00061E <sub>H</sub>	LCD - セグメント許可レジスタ 2 (セグメント 23 ~ 16)	LCDER2	-	R/W	00000000
00061F <sub>H</sub>	LCD - セグメント許可レジスタ 3 (セグメント 31 ~ 24)	LCDER3	-	R/W	00000000
000620 <sub>H</sub>	LCD - セグメント許可レジスタ 4 (セグメント 39 ~ 32)	LCDER4	-	R/W	00000000
000621 <sub>H</sub>	LCD - セグメント許可レジスタ 5 (セグメント 47 ~ 40)	LCDER5	-	R/W	00000000
000622 <sub>H</sub> - 000625 <sub>H</sub>	予約	-	-	-	-
000626 <sub>H</sub>	LCD - 電圧ライン許可レジスタ V (V <sub>x</sub> )	LCDVER	-	R/W	XXXX0000
000627 <sub>H</sub>	LCD - 拡張制御レジスタ	LECR	-	R/W	XXXXXX00
000628 <sub>H</sub>	LCD - 共通端子切換えレジスタ	LCDCMR	-	R/W	0XXXX000
000629 <sub>H</sub>	LCD - 制御レジスタ	LCR	-	R/W	00010000
00062A <sub>H</sub>	LCD - セグメント 1-0 の表示 RAM	VRAM0	-	R/W	XXXXXXXX
00062B <sub>H</sub>	LCD - セグメント 3-2 の表示 RAM	VRAM1	-	R/W	XXXXXXXX
00062C <sub>H</sub>	LCD - セグメント 5-4 の表示 RAM	VRAM2	-	R/W	XXXXXXXX
00062D <sub>H</sub>	LCD - セグメント 7-6 の表示 RAM	VRAM3	-	R/W	XXXXXXXX
00062E <sub>H</sub>	予約	-	-	-	-
00062F <sub>H</sub>	LCD - セグメント 11-10 の表示 RAM	VRAM5	-	R/W	XXXXXXXX
000630 <sub>H</sub>	LCD - セグメント 13-12 の表示 RAM	VRAM6	-	R/W	XXXXXXXX
000631 <sub>H</sub>	LCD - セグメント 15-14 の表示 RAM	VRAM7	-	R/W	XXXXXXXX
000632 <sub>H</sub>	LCD - セグメント 17-16 の表示 RAM	VRAM8	-	R/W	XXXXXXXX
000633 <sub>H</sub>	LCD - セグメント 19-18 の表示 RAM	VRAM9	-	R/W	XXXXXXXX
000634 <sub>H</sub>	LCD - セグメント 21-20 の表示 RAM	VRAM10	-	R/W	XXXXXXXX
000635 <sub>H</sub>	LCD - セグメント 23-22 の表示 RAM	VRAM11	-	R/W	XXXXXXXX
000636 <sub>H</sub>	LCD - セグメント 25-24 の表示 RAM	VRAM12	-	R/W	XXXXXXXX
000637 <sub>H</sub>	LCD - セグメント 27-26 の表示 RAM	VRAM13	-	R/W	XXXXXXXX
000638 <sub>H</sub>	LCD - セグメント 29-28 の表示 RAM	VRAM14	-	R/W	XXXXXXXX
000639 <sub>H</sub>	LCD - セグメント 31-30 の表示 RAM	VRAM15	-	R/W	XXXXXXXX
00063A <sub>H</sub>	LCD - セグメント 33-32 の表示 RAM	VRAM16	-	R/W	XXXXXXXX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
00063B <sub>H</sub>	予約	-	-	-	-
00063C <sub>H</sub>	LCD - セグメント 37-36 の表示 RAM	VRAM18	-	R/W	XXXXXXXXXX
00063D <sub>H</sub>	LCD - セグメント 39-38 の表示 RAM	VRAM19	-	R/W	XXXXXXXXXX
00063E <sub>H</sub>	LCD - セグメント 41-40 の表示 RAM	VRAM20	-	R/W	XXXXXXXXXX
00063F <sub>H</sub>	LCD - セグメント 43-42 の表示 RAM	VRAM21	-	R/W	XXXXXXXXXX
000640 <sub>H</sub>	LCD - セグメント 45-44 の表示 RAM	VRAM22	-	R/W	XXXXXXXXXX
000641 <sub>H</sub> - 000661 <sub>H</sub>	予約	-	-	-	-
000662 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 12	PRRR12	-	R/W	00000000
000663 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 13	PRRR13	-	R/W	XXX0XX00
000664 <sub>H</sub> - 0006FF <sub>H</sub>	予約	-	-	-	-
000700 <sub>H</sub>	CAN0 - 制御レジスタ下位	CTRLRL0	CTRLR0	R/W	000X0001
000701 <sub>H</sub>	CAN0 - 制御レジスタ上位(予約)	CTRLRH0	-	R	XXXXXXXXXX
000702 <sub>H</sub>	CAN0 - ステータスレジスタ下位	STATRL0	STATR0	R/W	00000000
000703 <sub>H</sub>	CAN0 - ステータスレジスタ上位(予約)	STATRH0	-	R	XXXXXXXXXX
000704 <sub>H</sub>	CAN0 - エラーカウンタ下位(送信)	ERRCNTL0	ERRCNT0	R	00000000
000705 <sub>H</sub>	CAN0 - エラーカウンタ上位(受信)	ERRCNTH0	-	R	00000000
000706 <sub>H</sub>	CAN0 - ビットタイミングレジスタ下位	BTRL0	BTR0	R/W	00000001
000707 <sub>H</sub>	CAN0 - ビットタイミングレジスタ上位	BTRH0	-	R/W	X0100011
000708 <sub>H</sub>	CAN0 - 割込みレジスタ下位	INTRL0	INTR0	R	00000000
000709 <sub>H</sub>	CAN0 - 割込みレジスタ上位	INTRH0	-	R	00000000
00070A <sub>H</sub>	CAN0 - テストレジスタ下位	TESTRL0	TESTR0	R/W	X00000XX
00070B <sub>H</sub>	CAN0 - テストレジスタ上位(予約)	TESTRH0	-	R	XXXXXXXXXX
00070C <sub>H</sub>	CAN0 - BRP 拡張レジスタ下位	BRPERL0	BRPER0	R/W	XXXX0000
00070D <sub>H</sub>	CAN0 - BRP 拡張レジスタ上位(予約)	BRPERH0	-	R	XXXXXXXXXX
00070E <sub>H</sub> , 00070F <sub>H</sub>	予約	-	-	-	-
000710 <sub>H</sub>	CAN0 - IF1 コマンドリクエストレジスタ 下位	IF1CREQL0	IF1CREQ0	R/W	00000001
000711 <sub>H</sub>	CAN0 - IF1 コマンドリクエストレジスタ 上位	IF1CREQH0	-	R/W	0XXXXXXXXX
000712 <sub>H</sub>	CAN0 - IF1 コマンドマスクレジスタ下位	IF1CMSKL0	IF1CMSK0	R/W	00000000
000713 <sub>H</sub>	CAN0 - IF1 コマンドマスクレジスタ上位 (予約)	IF1CMSKH0	-	R	XXXXXXXXXX
000714 <sub>H</sub>	CAN0 - IF1 マスク 1 レジスタ下位	IF1MSK1L0	IF1MSK10	R/W	11111111
000715 <sub>H</sub>	CAN0 - IF1 マスク 1 レジスタ上位	IF1MSK1H0	-	R/W	11111111
000716 <sub>H</sub>	CAN0 - IF1 マスク 2 レジスタ下位	IF1MSK2L0	IF1MSK20	R/W	11111111
000717 <sub>H</sub>	CAN0 - IF1 マスク 2 レジスタ上位	IF1MSK2H0	-	R/W	11X11111
000718 <sub>H</sub>	CAN0 - IF1 アービトレーション 1 レジス タ下位	IF1ARB1L0	IF1ARB10	R/W	00000000
000719 <sub>H</sub>	CAN0 - IF1 アービトレーション 1 レジス タ上位	IF1ARB1H0	-	R/W	00000000
00071A <sub>H</sub>	CAN0 - IF1 アービトレーション 2 レジス タ下位	IF1ARB2L0	IF1ARB20	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
00071B <sub>H</sub>	CAN0 - IF1 アービトレーション 2 レジスタ上位	IF1ARB2H0	-	R/W	00000000
00071C <sub>H</sub>	CAN0 - IF1 メッセージ制御レジスタ下位	IF1MCTRL0	IF1MCTR0	R/W	0XXX0000
00071D <sub>H</sub>	CAN0 - IF1 メッセージ制御レジスタ上位	IF1MCTRH0	-	R/W	00000000
00071E <sub>H</sub>	CAN0 - IF1 データ A1 下位	IF1DTA1L0	IF1DTA10	R/W	00000000
00071F <sub>H</sub>	CAN0 - IF1 データ A1 上位	IF1DTA1H0	-	R/W	00000000
000720 <sub>H</sub>	CAN0 - IF1 データ A2 下位	IF1DTA2L0	IF1DTA20	R/W	00000000
000721 <sub>H</sub>	CAN0 - IF1 データ A2 上位	IF1DTA2H0	-	R/W	00000000
000722 <sub>H</sub>	CAN0 - IF1 データ B1 下位	IF1DTB1L0	IF1DTB10	R/W	00000000
000723 <sub>H</sub>	CAN0 - IF1 データ B1 上位	IF1DTB1H0	-	R/W	00000000
000724 <sub>H</sub>	CAN0 - IF1 データ B2 下位	IF1DTB2L0	IF1DTB20	R/W	00000000
000725 <sub>H</sub>	CAN0 - IF1 データ B2 上位	IF1DTB2H0	-	R/W	00000000
000726 <sub>H</sub> - 00073F <sub>H</sub>	予約	-	-	-	-
000740 <sub>H</sub>	CAN0 - IF2 コマンドリクエストレジスタ下位	IF2CREQL0	IF2CREQ0	R/W	00000001
000741 <sub>H</sub>	CAN0 - IF2 コマンドリクエストレジスタ上位	IF2CREQH0	-	R/W	0XXXXXXXX
000742 <sub>H</sub>	CAN0 - IF2 コマンドマスクレジスタ下位	IF2CMSKL0	IF2CMSK0	R/W	00000000
000743 <sub>H</sub>	CAN0 - IF2 コマンドマスクレジスタ上位 (予約)	IF2CMSKH0	-	R	XXXXXXXXX
000744 <sub>H</sub>	CAN0 - IF2 マスク 1 レジスタ下位	IF2MSK1L0	IF2MSK10	R/W	11111111
000745 <sub>H</sub>	CAN0 - IF2 マスク 1 レジスタ上位	IF2MSK1H0	-	R/W	11111111
000746 <sub>H</sub>	CAN0 - IF2 マスク 2 レジスタ下位	IF2MSK2L0	IF2MSK20	R/W	11111111
000747 <sub>H</sub>	CAN0 - IF2 マスク 2 レジスタ上位	IF2MSK2H0	-	R/W	11X11111
000748 <sub>H</sub>	CAN0 - IF2 アービトレーション 1 レジスタ下位	IF2ARB1L0	IF2ARB10	R/W	00000000
000749 <sub>H</sub>	CAN0 - IF2 アービトレーション 1 レジスタ上位	IF2ARB1H0	-	R/W	00000000
00074A <sub>H</sub>	CAN0 - IF2 アービトレーション 2 レジスタ下位	IF2ARB2L0	IF2ARB20	R/W	00000000
00074B <sub>H</sub>	CAN0 - IF2 アービトレーション 2 レジスタ上位	IF2ARB2H0	-	R/W	00000000
00074C <sub>H</sub>	CAN0 - IF2 メッセージ制御レジスタ下位	IF2MCTRL0	IF2MCTR0	R/W	0XXX0000
00074D <sub>H</sub>	CAN0 - IF2 メッセージ制御レジスタ上位	IF2MCTRH0	-	R/W	00000000
00074E <sub>H</sub>	CAN0 - IF2 データ A1 下位	IF2DTA1L0	IF2DTA10	R/W	00000000
00074F <sub>H</sub>	CAN0 - IF2 データ A1 上位	IF2DTA1H0	-	R/W	00000000
000750 <sub>H</sub>	CAN0 - IF2 データ A2 下位	IF2DTA2L0	IF2DTA20	R/W	00000000
000751 <sub>H</sub>	CAN0 - IF2 データ A2 上位	IF2DTA2H0	-	R/W	00000000
000752 <sub>H</sub>	CAN0 - IF2 データ B1 下位	IF2DTB1L0	IF2DTB10	R/W	00000000
000753 <sub>H</sub>	CAN0 - IF2 データ B1 上位	IF2DTB1H0	-	R/W	00000000
000754 <sub>H</sub>	CAN0 - IF2 データ B2 下位	IF2DTB2L0	IF2DTB20	R/W	00000000
000755 <sub>H</sub>	CAN0 - IF2 データ B2 上位	IF2DTB2H0	-	R/W	00000000
000756 <sub>H</sub> - 00077F <sub>H</sub>	予約	-	-	-	-
000780 <sub>H</sub>	CAN0 - 送信リクエスト 1 レジスタ下位	TREQR1L0	TREQR10	R	00000000
000781 <sub>H</sub>	CAN0 - 送信リクエスト 1 レジスタ上位	TREQR1H0	-	R	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000782 <sub>H</sub>	CAN0 - 送信リクエスト 2 レジスタ下位	TREQR2L0	TREQR20	R	00000000
000783 <sub>H</sub>	CAN0 - 送信リクエスト 2 レジスタ上位	TREQR2H0	-	R	00000000
000784 <sub>H</sub> - 00078F <sub>H</sub>	予約	-	-	-	-
000790 <sub>H</sub>	CAN0 - 新規データ 1 レジスタ下位	NEWDT1L0	NEWDT10	R	00000000
000791 <sub>H</sub>	CAN0 - 新規データ 1 レジスタ上位	NEWDT1H0	-	R	00000000
000792 <sub>H</sub>	CAN0 - 新規データ 2 レジスタ下位	NEWDT2L0	NEWDT20	R	00000000
000793 <sub>H</sub>	CAN0 - 新規データ 2 レジスタ上位	NEWDT2H0	-	R	00000000
000794 <sub>H</sub> - 00079F <sub>H</sub>	予約	-	-	-	-
0007A0 <sub>H</sub>	CAN0 - 割込み保留 1 レジスタ下位	INTPND1L0	INTPND10	R	00000000
0007A1 <sub>H</sub>	CAN0 - 割込み保留 1 レジスタ上位	INTPND1H0	-	R	00000000
0007A2 <sub>H</sub>	CAN0 - 割込み保留 2 レジスタ下位	INTPND2L0	INTPND20	R	00000000
0007A3 <sub>H</sub>	CAN0 - 割込み保留 2 レジスタ上位	INTPND2H0	-	R	00000000
0007A4 <sub>H</sub> - 0007AF <sub>H</sub>	予約	-	-	-	-
0007B0 <sub>H</sub>	CAN0 - メッセージ有効 1 レジスタ下位	MSGVAL1L0	MSGVAL10	R	00000000
0007B1 <sub>H</sub>	CAN0 - メッセージ有効 1 レジスタ上位	MSGVAL1H0	-	R	00000000
0007B2 <sub>H</sub>	CAN0 - メッセージ有効 2 レジスタ下位	MSGVAL2L0	MSGVAL20	R	00000000
0007B3 <sub>H</sub>	CAN0 - メッセージ有効 2 レジスタ上位	MSGVAL2H0	-	R	00000000
0007B4 <sub>H</sub> - 0007CD <sub>H</sub>	予約	-	-	-	-
0007CE <sub>H</sub>	CAN0 - 出力許可レジスタ	COER0	-	R/W	XXXXXXXX0
0007CF <sub>H</sub>	予約	-	-	-	-
0007D0 <sub>H</sub>	SG0 - サウンドコントロールレジスタ下位	SGCRL0	SGCR0	R/W	00000000
0007D1 <sub>H</sub>	SG0 - サウンドコントロールレジスタ上位	SGCRH0	-	R/W	XXXXXX100
0007D2 <sub>H</sub>	SG0 - 周波数データレジスタ	SGFR0	-	R/W	XXXXXXXXXX
0007D3 <sub>H</sub>	SG0 - 振幅データレジスタ	SGAR0	-	R/W	XXXXXXXXXX
0007D4 <sub>H</sub>	SG0 - デクリメントグレードレジスタ	SGDR0	-	R/W	XXXXXXXXXX
0007D5 <sub>H</sub>	SG0 - トーンカウントレジスタ	SGTR0	-	R/W	XXXXXXXXXX
0007D6 <sub>H</sub>	SG1 - サウンドコントロールレジスタ下位	SGCRL1	SGCR1	R/W	00000000
0007D7 <sub>H</sub>	SG1 - サウンドコントロールレジスタ上位	SGCRH1	-	R/W	XXXXXX100
0007D8 <sub>H</sub>	SG1 - 周波数データレジスタ	SGFR1	-	R/W	XXXXXXXXXX
0007D9 <sub>H</sub>	SG1 - 振幅データレジスタ	SGAR1	-	R/W	XXXXXXXXXX
0007DA <sub>H</sub>	SG1 - デクリメントグレードレジスタ	SGDR1	-	R/W	XXXXXXXXXX
0007DB <sub>H</sub>	SG1 - トーンカウントレジスタ	SGTR1	-	R/W	XXXXXXXXXX
0007DC <sub>H</sub> - 0009FF <sub>H</sub>	予約	-	-	-	-
000A00 <sub>H</sub>	DMA - I/O アドレスポインタバンク選択レジスタ 0	IOABK0	-	R/W	00000000
000A01 <sub>H</sub>	DMA - I/O アドレスポインタバンク選択レジスタ 1	IOABK1	-	R/W	00000000
000A02 <sub>H</sub>	DMA - I/O アドレスポインタバンク選択レジスタ 2	IOABK2	-	R/W	00000000
000A03 <sub>H</sub>	DMA - I/O アドレスポインタバンク選択レジスタ 3	IOABK3	-	R/W	00000000



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000A04 <sub>H</sub> - 000A7F <sub>H</sub>	予約	-	-	-	-
000A80 <sub>H</sub>	PPG0 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L0	EPCN10	R/W	0XXXXX000
000A81 <sub>H</sub>	PPG0 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H0	-	R/W	XXX00000
000A82 <sub>H</sub>	PPG1 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L1	EPCN11	R/W	0XXXXX000
000A83 <sub>H</sub>	PPG1 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H1	-	R/W	XXX00000
000A84 <sub>H</sub>	PPG2 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L2	EPCN12	R/W	0XXXXX000
000A85 <sub>H</sub>	PPG2 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H2	-	R/W	XXX00000
000A86 <sub>H</sub>	PPG3 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L3	EPCN13	R/W	0XXXXX000
000A87 <sub>H</sub>	PPG3 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H3	-	R/W	XXX00000
000A88 <sub>H</sub>	PPG4 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L4	EPCN14	R/W	0XXXXX000
000A89 <sub>H</sub>	PPG4 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H4	-	R/W	XXX00000
000A8A <sub>H</sub>	PPG5 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L5	EPCN15	R/W	0XXXXX000
000A8B <sub>H</sub>	PPG5 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H5	-	R/W	XXX00000
000A8C <sub>H</sub>	PPG6 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L6	EPCN16	R/W	0XXXXX000
000A8D <sub>H</sub>	PPG6 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H6	-	R/W	XXX00000
000A8E <sub>H</sub>	PPG7 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L7	EPCN17	R/W	0XXXXX000
000A8F <sub>H</sub>	PPG7 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H7	-	R/W	XXX00000
000A90 <sub>H</sub> - 000A9B <sub>H</sub>	予約	-	-	-	-
000A9C <sub>H</sub>	PPG14 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L14	EPCN114	R/W	0XXXXX000
000A9D <sub>H</sub>	PPG14 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H14	-	R/W	XXX00000
000A9E <sub>H</sub>	PPG15 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L15	EPCN115	R/W	0XXXXX000
000A9F <sub>H</sub>	PPG15 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H15	-	R/W	XXX00000
000AA0 <sub>H</sub> - 000B53 <sub>H</sub>	予約	-	-	-	-



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000B54 <sub>H</sub>	ADC0 - レンジ比較しきい値超過フラグレジスタ 0	ADRCOOF00	-	R	00000000
000B55 <sub>H</sub>	ADC0 - レンジ比較しきい値超過フラグレジスタ 1	ADRCOOF10	-	R	00000000
000B56 <sub>H</sub>	ADC0 - レンジ比較しきい値超過フラグレジスタ 2	ADRCOOF20	-	R	00000000
000B57 <sub>H</sub>	ADC0 - レンジ比較しきい値超過フラグレジスタ 3	ADRCOOF30	-	R	00000000
000B58 <sub>H</sub> - 000B5B <sub>H</sub>	予約	-	-	-	-
000B5C <sub>H</sub>	ADC0 - レンジ比較フラグレジスタ 0	ADRCOINTF00	-	R/W	00000000
000B5D <sub>H</sub>	ADC0 - レンジ比較フラグレジスタ 1	ADRCOINTF10	-	R/W	00000000
000B5E <sub>H</sub>	ADC0 - レンジ比較フラグレジスタ 2	ADRCOINTF20	-	R/W	00000000
000B5F <sub>H</sub>	ADC0 - レンジ比較フラグレジスタ 3	ADRCOINTF30	-	R/W	00000000
000B60 <sub>H</sub> - 000B63 <sub>H</sub>	予約	-	-	-	-
000B64 <sub>H</sub>	ADC0 - パルスカウンタ割込みイネーブルレジスタ 0	ADPCIE00	-	R/W	00000000
000B65 <sub>H</sub>	ADC0 - パルスカウンタ割込みイネーブルレジスタ 1	ADPCIE10	-	R/W	00000000
000B66 <sub>H</sub>	ADC0 - パルスカウンタ割込みイネーブルレジスタ 2	ADPCIE20	-	R/W	00000000
000B67 <sub>H</sub>	ADC0 - パルスカウンタ割込みイネーブルレジスタ 3	ADPCIE30	-	R/W	00000000
000B68 <sub>H</sub>	ADC0 - パルスカウンタゼロフラグレジスタ 0	ADPCZF00	-	R/W	00000000
000B69 <sub>H</sub>	ADC0 - パルスカウンタゼロフラグレジスタ 1	ADPCZF10	-	R/W	00000000
000B6A <sub>H</sub>	ADC0 - パルスカウンタゼロフラグレジスタ 2	ADPCZF20	-	R/W	00000000
000B6B <sub>H</sub>	ADC0 - パルスカウンタゼロフラグレジスタ 3	ADPCZF30	-	R/W	00000000
000B6C <sub>H</sub> - 000BA9 <sub>H</sub>	予約	-	-	-	-
000BAA <sub>H</sub>	USART0 - チェックサムステータス制御レジスタ	CSCR0	-	R/W	00000000
000BAB <sub>H</sub>	USART0 - 拡張ステータスレジスタ	ESR0	-	R/W	XX000000
000BAC <sub>H</sub>	USART1 - チェックサムステータス制御レジスタ	CSCR1	-	R/W	00000000
000BAD <sub>H</sub>	USART1 - 拡張ステータスレジスタ	ESR1	-	R/W	XX000000
000BAE <sub>H</sub>	予約	-	-	-	-
000BAF <sub>H</sub>	USART2 - 拡張ステータスレジスタ	ESR2	-	R/W	XXXX00XX
000BB0 <sub>H</sub> - 000BB2 <sub>H</sub>	予約	-	-	-	-
000BB3 <sub>H</sub>	USART4 - 拡張ステータスレジスタ	ESR4	-	R/W	XXXX00XX
000BB4 <sub>H</sub>	予約	-	-	-	-
000BB5 <sub>H</sub>	USART5 - 拡張ステータスレジスタ	ESR5	-	R/W	XXXX00XX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000BB6 <sub>H</sub> - 000BEF <sub>H</sub>	予約	-	-	-	-
000BF0 <sub>H</sub>	DSU 制御レジスタ下位	DSUCRL	DSUCR	R/W	XXXXXXXX0
000BF1 <sub>H</sub>	DSU 制御レジスタ上位	DSUCRH	-	R/W	XXXXXXXXX
000BF2 <sub>H</sub> , 000BF3 <sub>H</sub>	予約	-	-	-	-
000BF4 <sub>H</sub>	ユーザイベントレジスタ下位	UERL	UER	W	XXXXXXXXX
000BF5 <sub>H</sub>	ユーザイベントレジスタ上位	UERH	-	R/W	XXXXXXXXX
000BF6 <sub>H</sub>	メッセージバッファレジスタ下位	MBRL	MBR	W	XXXXXXXXX
000BF7 <sub>H</sub>	メッセージバッファレジスタ上位	MBRH	-	R/W	0XXXXXXXX
000BF8 <sub>H</sub> - 000BFF <sub>H</sub>	予約	-	-	-	-
0E9000 <sub>H</sub> - 0E9301 <sub>H</sub>	予約	-	-	-	-
0E9302 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 4 下位	GCN4L0	GCN40	R/W	X110X110
0E9303 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 4 上位	GCN4H0	-	R/W	X110X110
0E9304 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 5 下位	GCN5L0	GCN50	R/W	00000000
0E9305 <sub>H</sub> - 0E930F <sub>H</sub>	予約	-	-	-	-
0E9310 <sub>H</sub>	PPG0 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L0	EPCN20	R/W	00XX0X0X
0E9311 <sub>H</sub>	予約	-	-	-	-
0E9312 <sub>H</sub>	PPG0 - スタートディレイレジスタ下位	PSDRL0	PSDR0	R/W	00000000
0E9313 <sub>H</sub>	PPG0 - スタートディレイレジスタ上位	PSDRH0	-	R/W	00000000
0E9314 <sub>H</sub>	PPG0 - タイミングポイントキャプチャレジ スタ下位	PTPCL0	PTPC0	R/W	00000000
0E9315 <sub>H</sub>	PPG0 - タイミングポイントキャプチャレジ スタ上位	PTPCH0	-	R/W	00000000
0E9316 <sub>H</sub> - 0E931F <sub>H</sub>	予約	-	-	-	-
0E9320 <sub>H</sub>	PPG1 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L1	EPCN21	R/W	00XX0X0X
0E9321 <sub>H</sub>	予約	-	-	-	-
0E9322 <sub>H</sub>	PPG1 - スタートディレイレジスタ下位	PSDRL1	PSDR1	R/W	00000000
0E9323 <sub>H</sub>	PPG1 - スタートディレイレジスタ上位	PSDRH1	-	R/W	00000000
0E9324 <sub>H</sub>	PPG1 - タイミングポイントキャプチャレジ スタ下位	PTPCL1	PTPC1	R/W	00000000
0E9325 <sub>H</sub>	PPG1 - タイミングポイントキャプチャレジ スタ上位	PTPCH1	-	R/W	00000000
0E9326 <sub>H</sub> - 0E932F <sub>H</sub>	予約	-	-	-	-
0E9330 <sub>H</sub>	PPG2 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L2	EPCN22	R/W	00XX0X0X
0E9331 <sub>H</sub>	予約	-	-	-	-
0E9332 <sub>H</sub>	PPG2 - スタートディレイレジスタ下位	PSDRL2	PSDR2	R/W	00000000
0E9333 <sub>H</sub>	PPG2 - スタートディレイレジスタ上位	PSDRH2	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9334 <sub>H</sub>	PPG2 - タイミングポイントキャプチャレジスタ下位	PTPCL2	PTPC2	R/W	00000000
0E9335 <sub>H</sub>	PPG2 - タイミングポイントキャプチャレジスタ上位	PTPCH2	-	R/W	00000000
0E9336 <sub>H</sub> - 0E933F <sub>H</sub>	予約	-	-	-	-
0E9340 <sub>H</sub>	PPG3 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L3	EPCN23	R/W	00XX0X0X
0E9341 <sub>H</sub>	予約	-	-	-	-
0E9342 <sub>H</sub>	PPG3 - スタートディレイレジスタ下位	PSDRL3	PSDR3	R/W	00000000
0E9343 <sub>H</sub>	PPG3 - スタートディレイレジスタ上位	PSDRH3	-	R/W	00000000
0E9344 <sub>H</sub>	PPG3 - タイミングポイントキャプチャレジスタ下位	PTPCL3	PTPC3	R/W	00000000
0E9345 <sub>H</sub>	PPG3 - タイミングポイントキャプチャレジスタ上位	PTPCH3	-	R/W	00000000
0E9346 <sub>H</sub> - 0E9351 <sub>H</sub>	予約	-	-	-	-
0E9352 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 4 下位	GCN4L1	GCN41	R/W	X110X110
0E9353 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 4 上位	GCN4H1	-	R/W	X110X110
0E9354 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 5 下位	GCN5L1	GCN51	R/W	00000000
0E9355 <sub>H</sub> - 0E935F <sub>H</sub>	予約	-	-	-	-
0E9360 <sub>H</sub>	PPG4 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L4	EPCN24	R/W	00XX0X0X
0E9361 <sub>H</sub>	予約	-	-	-	-
0E9362 <sub>H</sub>	PPG4 - スタートディレイレジスタ下位	PSDRL4	PSDR4	R/W	00000000
0E9363 <sub>H</sub>	PPG4 - スタートディレイレジスタ上位	PSDRH4	-	R/W	00000000
0E9364 <sub>H</sub>	PPG4 - タイミングポイントキャプチャレジスタ下位	PTPCL4	PTPC4	R/W	00000000
0E9365 <sub>H</sub>	PPG4 - タイミングポイントキャプチャレジスタ上位	PTPCH4	-	R/W	00000000
0E9366 <sub>H</sub> - 0E936F <sub>H</sub>	予約	-	-	-	-
0E9370 <sub>H</sub>	PPG5 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L5	EPCN25	R/W	00XX0X0X
0E9371 <sub>H</sub>	予約	-	-	-	-
0E9372 <sub>H</sub>	PPG5 - スタートディレイレジスタ下位	PSDRL5	PSDR5	R/W	00000000
0E9373 <sub>H</sub>	PPG5 - スタートディレイレジスタ上位	PSDRH5	-	R/W	00000000
0E9374 <sub>H</sub>	PPG5 - タイミングポイントキャプチャレジスタ下位	PTPCL5	PTPC5	R/W	00000000
0E9375 <sub>H</sub>	PPG5 - タイミングポイントキャプチャレジスタ上位	PTPCH5	-	R/W	00000000
0E9376 <sub>H</sub> - 0E937F <sub>H</sub>	予約	-	-	-	-
0E9380 <sub>H</sub>	PPG6 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L6	EPCN26	R/W	00XX0X0X
0E9381 <sub>H</sub>	予約	-	-	-	-

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9382 <sub>H</sub>	PPG6 - スタートディレイレジスタ下位	PSDRL6	PSDR6	R/W	00000000
0E9383 <sub>H</sub>	PPG6 - スタートディレイレジスタ上位	PSDRH6	-	R/W	00000000
0E9384 <sub>H</sub>	PPG6 - タイミングポイントキャプチャレジスタ下位	PTPCL6	PTPC6	R/W	00000000
0E9385 <sub>H</sub>	PPG6 - タイミングポイントキャプチャレジスタ上位	PTPCH6	-	R/W	00000000
0E9386 <sub>H</sub> - 0E938F <sub>H</sub>	予約	-	-	-	-
0E9390 <sub>H</sub>	PPG7 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L7	EPCN27	R/W	00XX0X0X
0E9391 <sub>H</sub>	予約	-	-	-	-
0E9392 <sub>H</sub>	PPG7 - スタートディレイレジスタ下位	PSDRL7	PSDR7	R/W	00000000
0E9393 <sub>H</sub>	PPG7 - スタートディレイレジスタ上位	PSDRH7	-	R/W	00000000
0E9394 <sub>H</sub>	PPG7 - タイミングポイントキャプチャレジスタ下位	PTPCL7	PTPC7	R/W	00000000
0E9395 <sub>H</sub>	PPG7 - タイミングポイントキャプチャレジスタ上位	PTPCH7	-	R/W	00000000
0E9396 <sub>H</sub> - 0E9401 <sub>H</sub>	予約	-	-	-	-
0E9402 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 4 下位	GCN4L3	GCN43	R/W	X110X110
0E9403 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 4 上位	GCN4H3	-	R/W	X110X110
0E9404 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 5 下位	GCN5L3	GCN53	R/W	00000000
0E9405 <sub>H</sub> - 0E942F <sub>H</sub>	予約	-	-	-	-
0E9430 <sub>H</sub>	PPG14 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L14	EPCN214	R/W	00XX0X0X
0E9431 <sub>H</sub>	予約	-	-	-	-
0E9432 <sub>H</sub>	PPG14 - スタートディレイレジスタ下位	PSDRL14	PSDR14	R/W	00000000
0E9433 <sub>H</sub>	PPG14 - スタートディレイレジスタ上位	PSDRH14	-	R/W	00000000
0E9434 <sub>H</sub>	PPG14 - タイミングポイントキャプチャレジスタ下位	PTPCL14	PTPC14	R/W	00000000
0E9435 <sub>H</sub>	PPG14 - タイミングポイントキャプチャレジスタ上位	PTPCH14	-	R/W	00000000
0E9436 <sub>H</sub> - 0E943F <sub>H</sub>	予約	-	-	-	-
0E9440 <sub>H</sub>	PPG15 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L15	EPCN215	R/W	00XX0X0X
0E9441 <sub>H</sub>	予約	-	-	-	-
0E9442 <sub>H</sub>	PPG15 - スタートディレイレジスタ下位	PSDRL15	PSDR15	R/W	00000000
0E9443 <sub>H</sub>	PPG15 - スタートディレイレジスタ上位	PSDRH15	-	R/W	00000000
0E9444 <sub>H</sub>	PPG15 - タイミングポイントキャプチャレジスタ下位	PTPCL15	PTPC15	R/W	00000000
0E9445 <sub>H</sub>	PPG15 - タイミングポイントキャプチャレジスタ上位	PTPCH15	-	R/W	00000000
0E9446 <sub>H</sub> - 0E949F <sub>H</sub>	予約	-	-	-	-
0E94A0 <sub>H</sub>	ADTG - ADC0 トリガ制御レジスタ下位	ADTGCRL0	ADTGCR0	R/W	XXXXXXXX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E94A1 <sub>H</sub>	ADTG - ADC0 トリガ制御レジスタ上位	ADTGCRH0	-	R/W	XXXXXXXX1
0E94A2 <sub>H</sub>	ADTG - ADC0 トリガ入力選択下位	ADTGISELL0	ADTGISEL0	R/W	XXXXXX001
0E94A3 <sub>H</sub>	ADTG - ADC0 トリガ入力選択上位	ADTGISELH0	-	R/W	XXX00000
0E94A4 <sub>H</sub> - 0E951F <sub>H</sub>	予約	-	-	-	-
0E9520 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 0 下位	ADRCOLL00	ADRCOL00	R/W	00000000
0E9521 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 0 上位	ADRCOLH00	-	R/W	00000000
0E9522 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 0 下位	ADRCOHL00	ADRCOH00	R/W	00000000
0E9523 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 0 上位	ADRCOHH00	-	R/W	00000000
0E9524 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 1 下位	ADRCOLL10	ADRCOL10	R/W	00000000
0E9525 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 1 上位	ADRCOLH10	-	R/W	00000000
0E9526 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 1 下位	ADRCOHL10	ADRCOH10	R/W	00000000
0E9527 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 1 上位	ADRCOHH10	-	R/W	00000000
0E9528 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 2 下位	ADRCOLL20	ADRCOL20	R/W	00000000
0E9529 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 2 上位	ADRCOLH20	-	R/W	00000000
0E952A <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 2 下位	ADRCOHL20	ADRCOH20	R/W	00000000
0E952B <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 2 上位	ADRCOHH20	-	R/W	00000000
0E952C <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 3 下位	ADRCOLL30	ADRCOL30	R/W	00000000
0E952D <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 3 上位	ADRCOLH30	-	R/W	00000000
0E952E <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 3 下位	ADRCOHL30	ADRCOH30	R/W	00000000
0E952F <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 3 上位	ADRCOHH30	-	R/W	00000000
0E9530 <sub>H</sub>	ADC0 - チャネルスキップレジスタ 0	ADDSCR00	-	R/W	00000000
0E9531 <sub>H</sub>	ADC0 - チャネルスキップレジスタ 1	ADDSCR10	-	R/W	00000000
0E9532 <sub>H</sub>	ADC0 - チャネルスキップレジスタ 2	ADDSCR20	-	R/W	00000000
0E9533 <sub>H</sub>	ADC0 - チャネルスキップレジスタ 3	ADDSCR30	-	R/W	00000000
0E9534 <sub>H</sub> - 0E953F <sub>H</sub>	予約	-	-	-	-
0E9540 <sub>H</sub>	ADC0 - レンジ比較インバートレンジ選択 レジスタ 0	ADRCOIRS00	-	R/W	00000000
0E9541 <sub>H</sub>	ADC0 - レンジ比較インバートレンジ選択 レジスタ 1	ADRCOIRS10	-	R/W	00000000

アドレス	レジスタ	8 ビット アクセス時の レジスタ略称名	16 ビット アクセス時の レジスタ略称名	属性	初期値
0E9542 <sub>H</sub>	ADC0 - レンジ比較インバートレンジ選択 レジスタ 2	ADRCOIRS20	-	R/W	00000000
0E9543 <sub>H</sub>	ADC0 - レンジ比較インバートレンジ選択 レジスタ 3	ADRCOIRS30	-	R/W	00000000
0E9544 <sub>H</sub> - 0E9550 <sub>H</sub>	予約	-	-	-	-
0E9551 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 1	ADCC010	-	R/W	00000000
0E9552 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 2	ADCC020	-	R/W	00000000
0E9553 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 3	ADCC030	-	R/W	00000000
0E9554 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 4	ADCC040	-	R/W	00000000
0E9555 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 5	ADCC050	-	R/W	00000000
0E9556 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 6	ADCC060	-	R/W	00000000
0E9557 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 7	ADCC070	-	R/W	00000000
0E9558 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 8	ADCC080	-	R/W	00000000
0E9559 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 9	ADCC090	-	R/W	00000000
0E955A <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 10	ADCC100	-	R/W	00000000
0E955B <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 11	ADCC110	-	R/W	00000000
0E955C <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 12	ADCC120	-	R/W	00000000
0E955D <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 13	ADCC130	-	R/W	00000000
0E955E <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 14	ADCC140	-	R/W	00000000
0E955F <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 15	ADCC150	-	R/W	00000000
0E9560 <sub>H</sub> - 0E9593 <sub>H</sub>	予約	-	-	-	-
0E9594 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロード レジスタ 2	ADPCTPRD20	-	R/W	00000000
0E9595 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロード レジスタ 2	ADPCTNRD20	-	R/W	00000000
0E9596 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロード レジスタ 3	ADPCTPRD30	-	R/W	00000000
0E9597 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロード レジスタ 3	ADPCTNRD30	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9598 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 4	ADPCTPRD40	-	R/W	00000000
0E9599 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 4	ADPCTNRD40	-	R/W	00000000
0E959A <sub>H</sub> , 0E959B <sub>H</sub>	予約	-	-	-	-
0E959C <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 6	ADPCTPRD60	-	R/W	00000000
0E959D <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 6	ADPCTNRD60	-	R/W	00000000
0E959E <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 7	ADPCTPRD70	-	R/W	00000000
0E959F <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 7	ADPCTNRD70	-	R/W	00000000
0E95A0 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 8	ADPCTPRD80	-	R/W	00000000
0E95A1 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 8	ADPCTNRD80	-	R/W	00000000
0E95A2 <sub>H</sub> , 0E95A3 <sub>H</sub>	予約	-	-	-	-
0E95A4 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 10	ADPCTPRD100	-	R/W	00000000
0E95A5 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 10	ADPCTNRD100	-	R/W	00000000
0E95A6 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 11	ADPCTPRD110	-	R/W	00000000
0E95A7 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 11	ADPCTNRD110	-	R/W	00000000
0E95A8 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 12	ADPCTPRD120	-	R/W	00000000
0E95A9 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 12	ADPCTNRD120	-	R/W	00000000
0E95AA <sub>H</sub> , 0E95AB <sub>H</sub>	予約	-	-	-	-
0E95AC <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 14	ADPCTPRD140	-	R/W	00000000
0E95AD <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 14	ADPCTNRD140	-	R/W	00000000
0E95AE <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 15	ADPCTPRD150	-	R/W	00000000
0E95AF <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 15	ADPCTNRD150	-	R/W	00000000
0E95B0 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 16	ADPCTPRD160	-	R/W	00000000
0E95B1 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 16	ADPCTNRD160	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E95B2 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 17	ADPCTPRD170	-	R/W	00000000
0E95B3 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 17	ADPCTNRD170	-	R/W	00000000
0E95B4 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 18	ADPCTPRD180	-	R/W	00000000
0E95B5 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 18	ADPCTNRD180	-	R/W	00000000
0E95B6 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 19	ADPCTPRD190	-	R/W	00000000
0E95B7 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 19	ADPCTNRD190	-	R/W	00000000
0E95B8 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 20	ADPCTPRD200	-	R/W	00000000
0E95B9 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 20	ADPCTNRD200	-	R/W	00000000
0E95BA <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 21	ADPCTPRD210	-	R/W	00000000
0E95BB <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 21	ADPCTNRD210	-	R/W	00000000
0E95BC <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 22	ADPCTPRD220	-	R/W	00000000
0E95BD <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 22	ADPCTNRD220	-	R/W	00000000
0E95BE <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 23	ADPCTPRD230	-	R/W	00000000
0E95BF <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 23	ADPCTNRD230	-	R/W	00000000
0E95C0 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 24	ADPCTPRD240	-	R/W	00000000
0E95C1 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 24	ADPCTNRD240	-	R/W	00000000
0E95C2 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 25	ADPCTPRD250	-	R/W	00000000
0E95C3 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 25	ADPCTNRD250	-	R/W	00000000
0E95C4 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 26	ADPCTPRD260	-	R/W	00000000
0E95C5 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 26	ADPCTNRD260	-	R/W	00000000
0E95C6 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 27	ADPCTPRD270	-	R/W	00000000
0E95C7 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 27	ADPCTNRD270	-	R/W	00000000
0E95C8 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 28	ADPCTPRD280	-	R/W	00000000



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E95C9 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 28	ADPCTNRD280	-	R/W	00000000
0E95CA <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 29	ADPCTPRD290	-	R/W	00000000
0E95CB <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 29	ADPCTNRD290	-	R/W	00000000
0E95CC <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 30	ADPCTPRD300	-	R/W	00000000
0E95CD <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 30	ADPCTNRD300	-	R/W	00000000
0E95CE <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 31	ADPCTPRD310	-	R/W	00000000
0E95CF <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 31	ADPCTNRD310	-	R/W	00000000
0E95D0 <sub>H</sub> - 0E95D3 <sub>H</sub>	予約	-	-	-	-
0E95D4 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 2	ADPCTPCT20	-	R	00000000
0E95D5 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 2	ADPCTNCT20	-	R	00000000
0E95D6 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 3	ADPCTPCT30	-	R	00000000
0E95D7 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 3	ADPCTNCT30	-	R	00000000
0E95D8 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 4	ADPCTPCT40	-	R	00000000
0E95D9 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 4	ADPCTNCT40	-	R	00000000
0E95DA <sub>H</sub> , 0E95DB <sub>H</sub>	予約	-	-	-	-
0E95DC <sub>H</sub>	ADC0 - パルスポジティブカウンタ 6	ADPCTPCT60	-	R	00000000
0E95DD <sub>H</sub>	ADC0 - パルスネガティブカウンタ 6	ADPCTNCT60	-	R	00000000
0E95DE <sub>H</sub>	ADC0 - パルスポジティブカウンタ 7	ADPCTPCT70	-	R	00000000
0E95DF <sub>H</sub>	ADC0 - パルスネガティブカウンタ 7	ADPCTNCT70	-	R	00000000
0E95E0 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 8	ADPCTPCT80	-	R	00000000
0E95E1 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 8	ADPCTNCT80	-	R	00000000
0E95E2 <sub>H</sub> , 0E95E3 <sub>H</sub>	予約	-	-	-	-
0E95E4 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 10	ADPCTPCT100	-	R	00000000
0E95E5 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 10	ADPCTNCT100	-	R	00000000
0E95E6 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 11	ADPCTPCT110	-	R	00000000
0E95E7 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 11	ADPCTNCT110	-	R	00000000
0E95E8 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 12	ADPCTPCT120	-	R	00000000
0E95E9 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 12	ADPCTNCT120	-	R	00000000
0E95EA <sub>H</sub> , 0E95EB <sub>H</sub>	予約	-	-	-	-
0E95EC <sub>H</sub>	ADC0 - パルスポジティブカウンタ 14	ADPCTPCT140	-	R	00000000
0E95ED <sub>H</sub>	ADC0 - パルスネガティブカウンタ 14	ADPCTNCT140	-	R	00000000
0E95EE <sub>H</sub>	ADC0 - パルスポジティブカウンタ 15	ADPCTPCT150	-	R	00000000
0E95EF <sub>H</sub>	ADC0 - パルスネガティブカウンタ 15	ADPCTNCT150	-	R	00000000
0E95F0 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 16	ADPCTPCT160	-	R	00000000
0E95F1 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 16	ADPCTNCT160	-	R	00000000
0E95F2 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 17	ADPCTPCT170	-	R	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E95F3 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 17	ADPCTNCT170	-	R	00000000
0E95F4 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 18	ADPCTPCT180	-	R	00000000
0E95F5 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 18	ADPCTNCT180	-	R	00000000
0E95F6 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 19	ADPCTPCT190	-	R	00000000
0E95F7 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 19	ADPCTNCT190	-	R	00000000
0E95F8 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 20	ADPCTPCT200	-	R	00000000
0E95F9 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 20	ADPCTNCT200	-	R	00000000
0E95FA <sub>H</sub>	ADC0 - パルスポジティブカウンタ 21	ADPCTPCT210	-	R	00000000
0E95FB <sub>H</sub>	ADC0 - パルスネガティブカウンタ 21	ADPCTNCT210	-	R	00000000
0E95FC <sub>H</sub>	ADC0 - パルスポジティブカウンタ 22	ADPCTPCT220	-	R	00000000
0E95FD <sub>H</sub>	ADC0 - パルスネガティブカウンタ 22	ADPCTNCT220	-	R	00000000
0E95FE <sub>H</sub>	ADC0 - パルスポジティブカウンタ 23	ADPCTPCT230	-	R	00000000
0E95FF <sub>H</sub>	ADC0 - パルスネガティブカウンタ 23	ADPCTNCT230	-	R	00000000
0E9600 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 24	ADPCTPCT240	-	R	00000000
0E9601 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 24	ADPCTNCT240	-	R	00000000
0E9602 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 25	ADPCTPCT250	-	R	00000000
0E9603 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 25	ADPCTNCT250	-	R	00000000
0E9604 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 26	ADPCTPCT260	-	R	00000000
0E9605 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 26	ADPCTNCT260	-	R	00000000
0E9606 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 27	ADPCTPCT270	-	R	00000000
0E9607 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 27	ADPCTNCT270	-	R	00000000
0E9608 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 28	ADPCTPCT280	-	R	00000000
0E9609 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 28	ADPCTNCT280	-	R	00000000
0E960A <sub>H</sub>	ADC0 - パルスポジティブカウンタ 29	ADPCTPCT290	-	R	00000000
0E960B <sub>H</sub>	ADC0 - パルスネガティブカウンタ 29	ADPCTNCT290	-	R	00000000
0E960C <sub>H</sub>	ADC0 - パルスポジティブカウンタ 30	ADPCTPCT300	-	R	00000000
0E960D <sub>H</sub>	ADC0 - パルスネガティブカウンタ 30	ADPCTNCT300	-	R	00000000
0E960E <sub>H</sub>	ADC0 - パルスポジティブカウンタ 31	ADPCTPCT310	-	R	00000000
0E960F <sub>H</sub>	ADC0 - パルスネガティブカウンタ 31	ADPCTNCT310	-	R	00000000
0E9610 <sub>H</sub> - 0E97BF <sub>H</sub>	予約	-	-	-	-
0E97C0 <sub>H</sub>	USART0 - 拡張機能許可レジスタ下位	EFERL0	EFER0	R/W	00000000
0E97C1 <sub>H</sub>	USART0 - 拡張機能許可レジスタ上位	EFERH0	-	R/W	XX000000
0E97C2 <sub>H</sub>	USART0 - 受信 FIFO 制御レジスタ	RFCR0	-	R/W	00X00000
0E97C3 <sub>H</sub>	USART0 - 送信 FIFO 制御レジスタ	TFCR0	-	R/W	00X00000
0E97C4 <sub>H</sub>	USART0 - 受信 FIFO ステータスレジスタ	RFSR0	-	R	XXX00000
0E97C5 <sub>H</sub>	USART0 - 送信 FIFO ステータスレジスタ	TFSR0	-	R	XXX00000
0E97C6 <sub>H</sub>	USART0 - Sync Field タイムアウトレジスタ下位	SFTRL0	SFTR0	R/W	00000000
0E97C7 <sub>H</sub>	USART0 - Sync Field タイムアウトレジスタ上位	SFTRH0	-	R/W	00000000
0E97C8 <sub>H</sub>	USART0 - 拡張割込み許可レジスタ	EIER0	-	R/W	00000000
0E97C9 <sub>H</sub> - 0E97CF <sub>H</sub>	予約	-	-	-	-
0E97D0 <sub>H</sub>	USART1 - 拡張機能許可レジスタ下位	EFERL1	EFER1	R/W	00000000
0E97D1 <sub>H</sub>	USART1 - 拡張機能許可レジスタ上位	EFERH1	-	R/W	XX000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E97D2 <sub>H</sub>	USART1 - 受信 FIFO 制御レジスタ	RFCR1	-	R/W	00X00000
0E97D3 <sub>H</sub>	USART1 - 送信 FIFO 制御レジスタ	TFCR1	-	R/W	00X00000
0E97D4 <sub>H</sub>	USART1 - 受信 FIFO ステータスレジスタ	RFSR1	-	R	XXX00000
0E97D5 <sub>H</sub>	USART1 - 送信 FIFO ステータスレジスタ	TFSR1	-	R	XXX00000
0E97D6 <sub>H</sub>	USART1 - Sync Field タイムアウトレジスタ下位	SFTRL1	SFTR1	R/W	00000000
0E97D7 <sub>H</sub>	USART1 - Sync Field タイムアウトレジスタ上位	SFTRH1	-	R/W	00000000
0E97D8 <sub>H</sub>	USART1 - 拡張割込み許可レジスタ	EIER1	-	R/W	00000000
0E97D9 <sub>H</sub> - 0E97DF <sub>H</sub>	予約	-	-	-	-
0E97E0 <sub>H</sub>	USART2 - 拡張機能許可レジスタ下位	EFERL2	EFER2	R/W	00000XXX
0E97E1 <sub>H</sub>	USART2 - 拡張機能許可レジスタ上位	EFERH2	-	R/W	XX00X0X0
0E97E2 <sub>H</sub> - 0E97E7 <sub>H</sub>	予約	-	-	-	-
0E97E8 <sub>H</sub>	USART2 - 拡張割込み許可レジスタ	EIER2	-	R/W	XXXXXX00
0E97E9 <sub>H</sub> - 0E97FF <sub>H</sub>	予約	-	-	-	-
0E9800 <sub>H</sub>	USART4 - 拡張機能許可レジスタ下位	EFERL4	EFER4	R/W	00000XXX
0E9801 <sub>H</sub>	USART4 - 拡張機能許可レジスタ上位	EFERH4	-	R/W	XX00X0X0
0E9802 <sub>H</sub> - 0E9807 <sub>H</sub>	予約	-	-	-	-
0E9808 <sub>H</sub>	USART4 - 拡張割込み許可レジスタ	EIER4	-	R/W	XXXXXX00
0E9809 <sub>H</sub> - 0E980F <sub>H</sub>	予約	-	-	-	-
0E9810 <sub>H</sub>	USART5 - 拡張機能許可レジスタ下位	EFERL5	EFER5	R/W	00000XXX
0E9811 <sub>H</sub>	USART5 - 拡張機能許可レジスタ上位	EFERH5	-	R/W	XX00X0X0
0E9812 <sub>H</sub> - 0E9817 <sub>H</sub>	予約	-	-	-	-
0E9818 <sub>H</sub>	USART5 - 拡張割込み許可レジスタ	EIER5	-	R/W	XXXXXX00
0E9819 <sub>H</sub> - 0E9897 <sub>H</sub>	予約	-	-	-	-
0E9898 <sub>H</sub>	I/O ポート P08 - ブルダウン制御レジスタ	PDCR08		R/W	00000000
0E9899 <sub>H</sub>	I/O ポート P09 - ブルダウン制御レジスタ	PDCR09	-	R/W	00000000
0E989A <sub>H</sub>	I/O ポート P10 - ブルダウン制御レジスタ	PDCR10	-	R/W	00000000
0E989B <sub>H</sub> - 0FBFFF <sub>H</sub>	予約	-	-	-	-

## I. MB966A0 の I/O マップ

各周辺機能のレジスタに割り当てられるアドレスを示します。

### ■ MB966A0 の I/O マップ

表 I MB966A0 の I/O マップ

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000000 <sub>H</sub>	I/O ポート P00 - ポートデータレジスタ	PDR00	-	R/W	XXXXXXXX
000001 <sub>H</sub>	I/O ポート P01 - ポートデータレジスタ	PDR01	-	R/W	XXXXXXXX
000002 <sub>H</sub>	I/O ポート P02 - ポートデータレジスタ	PDR02	-	R/W	XXXXXXXX
000003 <sub>H</sub>	I/O ポート P03 - ポートデータレジスタ	PDR03	-	R/W	XXXXXXXX
000004 <sub>H</sub>	I/O ポート P04 - ポートデータレジスタ	PDR04	-	R/W	XXXXXXXX
000005 <sub>H</sub>	I/O ポート P05 - ポートデータレジスタ	PDR05	-	R/W	XXXXXXXX
000006 <sub>H</sub>	I/O ポート P06 - ポートデータレジスタ	PDR06	-	R/W	XXXXXXXX
000007 <sub>H</sub>	予約	-	-	-	-
000008 <sub>H</sub>	I/O ポート P08 - ポートデータレジスタ	PDR08	-	R/W	XXXXXXXX
000009 <sub>H</sub>	I/O ポート P09 - ポートデータレジスタ	PDR09	-	R/W	XXXXXXXX
00000A <sub>H</sub>	I/O ポート P10 - ポートデータレジスタ	PDR10	-	R/W	XXXXXXXX
00000B <sub>H</sub>	I/O ポート P11 - ポートデータレジスタ	PDR11	-	R/W	XXXXXXXX
00000C <sub>H</sub>	I/O ポート P12 - ポートデータレジスタ	PDR12	-	R/W	XXXXXXXX
00000D <sub>H</sub>	I/O ポート P13 - ポートデータレジスタ	PDR13	-	R/W	XXXXXXXX
00000E <sub>H</sub> - 000010 <sub>H</sub>	予約	-	-	-	-
000011 <sub>H</sub>	I/O ポート P17 - ポートデータレジスタ	PDR17	-	R/W	XXXXXXXX
000012 <sub>H</sub> - 000017 <sub>H</sub>	予約	-	-	-	-
000018 <sub>H</sub>	ADC0 - 制御状態レジスタ下位	ADCSL	ADCS	R/W	00000000
000019 <sub>H</sub>	ADC0 - 制御状態レジスタ上位	ADCSH	-	R/W	00000000
00001A <sub>H</sub>	ADC0 - データレジスタ下位	ADCRL	ADCR	R	00000000
00001B <sub>H</sub>	ADC0 - データレジスタ上位	ADCRH	-	R	00000000
00001C <sub>H</sub>	ADC0 - 設定レジスタ	-	ADSR	R/W	00000000
00001D <sub>H</sub>	ADC0 - 設定レジスタ	-	-	R/W	00000000
00001E <sub>H</sub> , 00001F <sub>H</sub>	予約	-	-	-	-
000020 <sub>H</sub>	FRT0 - データレジスタ	-	TCDT0	R/W	00000000
000021 <sub>H</sub>	FRT0 - データレジスタ	-	-	R/W	00000000
000022 <sub>H</sub>	FRT0 - コントロールステータスレジスタ 下位	TCCSL0	TCCS0	R/W	00000000
000023 <sub>H</sub>	FRT0 - コントロールステータスレジスタ 上位	TCCSH0	-	R/W	01XXXXXX
000024 <sub>H</sub>	FRT1 - データレジスタ	-	TCDT1	R/W	00000000
000025 <sub>H</sub>	FRT1 - データレジスタ	-	-	R/W	00000000
000026 <sub>H</sub>	FRT1 - コントロールステータスレジスタ 下位	TCCSL1	TCCS1	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000027 <sub>H</sub>	FRT1 - コントロールステータスレジスタ 上位	TCCSH1	-	R/W	01XXXXXX
000028 <sub>H</sub>	OCU0 - コントロールステータスレジスタ	OCS0	-	R/W	0000XX00
000029 <sub>H</sub>	OCU1 - コントロールステータスレジスタ	OCS1	-	R/W	0XX00000
00002A <sub>H</sub>	OCU0 - コンペアレジスタ	-	OCCP0	R/W	XXXXXXXX
00002B <sub>H</sub>	OCU0 - コンペアレジスタ	-	-	R/W	XXXXXXXX
00002C <sub>H</sub>	OCU1 - コンペアレジスタ	-	OCCP1	R/W	XXXXXXXX
00002D <sub>H</sub>	OCU1 - コンペアレジスタ	-	-	R/W	XXXXXXXX
00002E <sub>H</sub>	OCU2 - コントロールステータスレジスタ	OCS2	-	R/W	0000XX00
00002F <sub>H</sub>	OCU3 - コントロールステータスレジスタ	OCS3	-	R/W	0XX00000
000030 <sub>H</sub>	OCU2 - コンペアレジスタ	-	OCCP2	R/W	XXXXXXXX
000031 <sub>H</sub>	OCU2 - コンペアレジスタ	-	-	R/W	XXXXXXXX
000032 <sub>H</sub>	OCU3 - コンペアレジスタ	-	OCCP3	R/W	XXXXXXXX
000033 <sub>H</sub>	OCU3 - コンペアレジスタ	-	-	R/W	XXXXXXXX
000034 <sub>H</sub> - 00003F <sub>H</sub>	予約	-	-	-	-
000040 <sub>H</sub>	ICU0/ICU1 - コントロールステータスレジスタ	ICS01	-	R/W	00000000
000041 <sub>H</sub>	ICU0/ICU1 - エッジレジスタ	ICE01	-	R/W	XXX0X000
000042 <sub>H</sub>	ICU0 - データレジスタ下位	IPCPL0	IPCP0	R	XXXXXXXX
000043 <sub>H</sub>	ICU0 - データレジスタ上位	IPCPH0	-	R	XXXXXXXX
000044 <sub>H</sub>	ICU1 - データレジスタ下位	IPCPL1	IPCP1	R	XXXXXXXX
000045 <sub>H</sub>	ICU1 - データレジスタ上位	IPCPH1	-	R	XXXXXXXX
000046 <sub>H</sub>	ICU2/ICU3 - コントロールステータスレジスタ	ICS23	-	R/W	00000000
000047 <sub>H</sub>	ICU2/ICU3 - エッジレジスタ	ICE23	-	R/W	XXX0X000
000048 <sub>H</sub>	ICU2 - データレジスタ下位	IPCPL2	IPCP2	R	XXXXXXXX
000049 <sub>H</sub>	ICU2 - データレジスタ上位	IPCPH2	-	R	XXXXXXXX
00004A <sub>H</sub>	ICU3 - データレジスタ下位	IPCPL3	IPCP3	R	XXXXXXXX
00004B <sub>H</sub>	ICU3 - データレジスタ上位	IPCPH3	-	R	XXXXXXXX
00004C <sub>H</sub>	ICU4/ICU5 - 制御ステータスレジスタ	ICS45	-	R/W	00000000
00004D <sub>H</sub>	ICU4/ICU5 - エッジレジスタ	ICE45	-	R/W	XXX0X000
00004E <sub>H</sub>	ICU4 - データレジスタ下位	IPCPL4	IPCP4	R	XXXXXXXX
00004F <sub>H</sub>	ICU4 - データレジスタ上位	IPCPH4	-	R	XXXXXXXX
000050 <sub>H</sub>	ICU5 - データレジスタ下位	IPCPL5	IPCP5	R	XXXXXXXX
000051 <sub>H</sub>	ICU5 - データレジスタ上位	IPCPH5	-	R	XXXXXXXX
000052 <sub>H</sub>	ICU6/ICU7 - 制御ステータスレジスタ	ICS67	-	R/W	00000000
000053 <sub>H</sub>	ICU6/ICU7 - エッジレジスタ	ICE67	-	R/W	XXX0X000
000054 <sub>H</sub>	ICU6 - データレジスタ下位	IPCPL6	IPCP6	R	XXXXXXXX
000055 <sub>H</sub>	ICU6 - データレジスタ上位	IPCPH6	-	R	XXXXXXXX
000056 <sub>H</sub>	ICU7 - データレジスタ下位	IPCPL7	IPCP7	R	XXXXXXXX
000057 <sub>H</sub>	ICU7 - データレジスタ上位	IPCPH7	-	R	XXXXXXXX
000058 <sub>H</sub>	EXTINT0 - 外部割込み要求許可レジスタ	ENIR0	-	R/W	00000000
000059 <sub>H</sub>	EXTINT0 - 外部割込み要求レジスタ	EIRR0	-	R/W	00000000
00005A <sub>H</sub>	EXTINT0 - 外部割込みレベルレジスタ下位	ELVRL0	ELVR0	R/W	00000000
00005B <sub>H</sub>	EXTINT0 - 外部割込みレベルレジスタ上位	ELVRH0	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
00005C <sub>H</sub>	EXTINT1 - 外部割込み要求許可レジスタ	ENIR1	-	R/W	00000000
00005D <sub>H</sub>	EXTINT1 - 外部割込み要求レジスタ	EIRR1	-	R/W	00000000
00005E <sub>H</sub>	EXTINT1 - 外部割込みレベルレジスタ下位	ELVRL1	ELVR1	R/W	00000000
00005F <sub>H</sub>	EXTINT1 - 外部割込みレベルレジスタ上位	ELVRH1	-	R/W	00000000
000060 <sub>H</sub>	RLT0 - タイマ制御状態レジスタ下位	TMCSRL0	TMCSR0	R/W	00000000
000061 <sub>H</sub>	RLT0 - タイマ制御状態レジスタ上位	TMCSRH0	-	R/W	00X10000
000062 <sub>H</sub>	RLT0 - 16ビットリロードレジスタ下位	-	TMRLR0	W	XXXXXXXXXX
000062 <sub>H</sub>	RLT0 - 16ビットタイマレジスタ下位	-	TMR0	R	XXXXXXXXXX
000063 <sub>H</sub>	RLT0 - 16ビットリロードレジスタ上位	-	-	W	XXXXXXXXXX
000063 <sub>H</sub>	RLT0 - 16ビットタイマレジスタ上位	-	-	R	XXXXXXXXXX
000064 <sub>H</sub>	RLT1 - タイマ制御状態レジスタ下位	TMCSRL1	TMCSR1	R/W	00000000
000065 <sub>H</sub>	RLT1 - タイマ制御状態レジスタ上位	TMCSRH1	-	R/W	00X10000
000066 <sub>H</sub>	RLT1 - 16ビットリロードレジスタ下位	-	TMRLR1	W	XXXXXXXXXX
000066 <sub>H</sub>	RLT1 - 16ビットタイマレジスタ下位	-	TMR1	R	XXXXXXXXXX
000067 <sub>H</sub>	RLT1 - 16ビットリロードレジスタ上位	-	-	W	XXXXXXXXXX
000067 <sub>H</sub>	RLT1 - 16ビットタイマレジスタ上位	-	-	R	XXXXXXXXXX
000068 <sub>H</sub>	RLT2 - タイマ制御状態レジスタ下位	TMCSRL2	TMCSR2	R/W	00000000
000069 <sub>H</sub>	RLT2 - タイマ制御状態レジスタ上位	TMCSRH2	-	R/W	00X10000
00006A <sub>H</sub>	RLT2 - 16ビットリロードレジスタ下位	-	TMRLR2	W	XXXXXXXXXX
00006A <sub>H</sub>	RLT2 - 16ビットタイマレジスタ下位	-	TMR2	R	XXXXXXXXXX
00006B <sub>H</sub>	RLT2 - 16ビットリロードレジスタ上位	-	-	W	XXXXXXXXXX
00006B <sub>H</sub>	RLT2 - 16ビットタイマレジスタ上位	-	-	R	XXXXXXXXXX
00006C <sub>H</sub>	RLT3 - タイマ制御状態レジスタ下位	TMCSRL3	TMCSR3	R/W	00000000
00006D <sub>H</sub>	RLT3 - タイマ制御状態レジスタ上位	TMCSRH3	-	R/W	00X10000
00006E <sub>H</sub>	RLT3 - 16ビットリロードレジスタ下位	-	TMRLR3	W	XXXXXXXXXX
00006E <sub>H</sub>	RLT3 - 16ビットタイマレジスタ下位	-	TMR3	R	XXXXXXXXXX
00006F <sub>H</sub>	RLT3 - 16ビットリロードレジスタ上位	-	-	W	XXXXXXXXXX
00006F <sub>H</sub>	RLT3 - 16ビットタイマレジスタ上位	-	-	R	XXXXXXXXXX
000070 <sub>H</sub>	RLT6 - タイマ制御状態レジスタ下位	TMCSRL6	TMCSR6	R/W	00000000
000071 <sub>H</sub>	RLT6 - タイマ制御状態レジスタ上位	TMCSRH6	-	R/W	00X10000
000072 <sub>H</sub>	RLT6 - 16ビットリロードレジスタ下位	-	TMRLR6	W	XXXXXXXXXX
000072 <sub>H</sub>	RLT6 - 16ビットタイマレジスタ下位	-	TMR6	R	XXXXXXXXXX
000073 <sub>H</sub>	RLT6 - 16ビットリロードレジスタ上位	-	-	W	XXXXXXXXXX
000073 <sub>H</sub>	RLT6 - 16ビットタイマレジスタ	-	-	R	XXXXXXXXXX
000074 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 1 下位	GCN1L0	GCN10	R/W	00010000
000075 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 1 上位	GCN1H0	-	R/W	00110010
000076 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 2 下位	GCN2L0	GCN20	R/W	XXXX0000
000077 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 2 上位	GCN2H0	-	R/W	XXXX0000
000078 <sub>H</sub>	PPG0 - タイマレジスタ	-	PTMR0	R	11111111
000079 <sub>H</sub>	PPG0 - タイマレジスタ	-	-	R	11111111
00007A <sub>H</sub>	PPG0 - 周期設定レジスタ下位	PCSRL0	PCSR0	R/W	XXXXXXXXXX
00007B <sub>H</sub>	PPG0 - 周期設定レジスタ上位	PCSRH0	-	R/W	XXXXXXXXXX
00007C <sub>H</sub>	PPG0 - デューティ設定レジスタ下位	PDUTL0	PDUT0	R/W	XXXXXXXXXX
00007D <sub>H</sub>	PPG0 - デューティ設定レジスタ上位	PDUTH0	-	R/W	XXXXXXXXXX
00007E <sub>H</sub>	PPG0 - 制御ステータスレジスタ下位	PCNL0	PCN0	R/W	00000000
00007F <sub>H</sub>	PPG0 - 制御ステータスレジスタ上位	PCNH0	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000080 <sub>H</sub>	PPG1 - タイマレジスタ	-	PTMR1	R	11111111
000081 <sub>H</sub>	PPG1 - タイマレジスタ	-	-	R	11111111
000082 <sub>H</sub>	PPG1 - 周期設定レジスタ下位	PCSRL1	PCSR1	R/W	XXXXXXXXXX
000083 <sub>H</sub>	PPG1 - 周期設定レジスタ上位	PCSRH1	-	R/W	XXXXXXXXXX
000084 <sub>H</sub>	PPG1 - デューティ設定レジスタ下位	PDUTL1	PDUT1	R/W	XXXXXXXXXX
000085 <sub>H</sub>	PPG1 - デューティ設定レジスタ上位	PDUTH1	-	R/W	XXXXXXXXXX
000086 <sub>H</sub>	PPG1 - 制御ステータスレジスタ下位	PCNL1	PCN1	R/W	00000000
000087 <sub>H</sub>	PPG1 - 制御ステータスレジスタ上位	PCNH1	-	R/W	00000000
000088 <sub>H</sub>	PPG2 - タイマレジスタ	-	PTMR2	R	11111111
000089 <sub>H</sub>	PPG2 - タイマレジスタ	-	-	R	11111111
00008A <sub>H</sub>	PPG2 - 周期設定レジスタ下位	PCSRL2	PCSR2	R/W	XXXXXXXXXX
00008B <sub>H</sub>	PPG2 - 周期設定レジスタ上位	PCSRH2	-	R/W	XXXXXXXXXX
00008C <sub>H</sub>	PPG2 - デューティ設定レジスタ下位	PDUTL2	PDUT2	R/W	XXXXXXXXXX
00008D <sub>H</sub>	PPG2 - デューティ設定レジスタ上位	PDUTH2	-	R/W	XXXXXXXXXX
00008E <sub>H</sub>	PPG2 - 制御ステータスレジスタ下位	PCNL2	PCN2	R/W	00000000
00008F <sub>H</sub>	PPG2 - 制御ステータスレジスタ上位	PCNH2	-	R/W	00000000
000090 <sub>H</sub>	PPG3 - タイマレジスタ	-	PTMR3	R	11111111
000091 <sub>H</sub>	PPG3 - タイマレジスタ	-	-	R	11111111
000092 <sub>H</sub>	PPG3 - 周期設定レジスタ下位	PCSRL3	PCSR3	R/W	XXXXXXXXXX
000093 <sub>H</sub>	PPG3 - 周期設定レジスタ上位	PCSRH3	-	R/W	XXXXXXXXXX
000094 <sub>H</sub>	PPG3 - デューティ設定レジスタ下位	PDUTL3	PDUT3	R/W	XXXXXXXXXX
000095 <sub>H</sub>	PPG3 - デューティ設定レジスタ上位	PDUTH3	-	R/W	XXXXXXXXXX
000096 <sub>H</sub>	PPG3 - 制御ステータスレジスタ下位	PCNL3	PCN3	R/W	00000000
000097 <sub>H</sub>	PPG3 - 制御ステータスレジスタ上位	PCNH3	-	R/W	00000000
000098 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 1 下位	GCN1L1	GCN11	R/W	00010000
000099 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 1 上位	GCN1H1	-	R/W	00110010
00009A <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 2 下位	GCN2L1	GCN21	R/W	XXXX0000
00009B <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 2 上位	GCN2H1	-	R/W	XXXX0000
00009C <sub>H</sub>	PPG4 - タイマレジスタ	-	PTMR4	R	11111111
00009D <sub>H</sub>	PPG4 - タイマレジスタ	-	-	R	11111111
00009E <sub>H</sub>	PPG4 - 周期設定レジスタ下位	PCSRL4	PCSR4	R/W	XXXXXXXXXX
00009F <sub>H</sub>	PPG4 - 周期設定レジスタ上位	PCSRH4	-	R/W	XXXXXXXXXX
0000A0 <sub>H</sub>	PPG4 - デューティ設定レジスタ下位	PDUTL4	PDUT4	R/W	XXXXXXXXXX
0000A1 <sub>H</sub>	PPG4 - デューティ設定レジスタ上位	PDUTH4	-	R/W	XXXXXXXXXX
0000A2 <sub>H</sub>	PPG4 - 制御ステータスレジスタ下位	PCNL4	PCN4	R/W	00000000
0000A3 <sub>H</sub>	PPG4 - 制御ステータスレジスタ上位	PCNH4	-	R/W	00000000
0000A4 <sub>H</sub>	PPG5 - タイマレジスタ	-	PTMR5	R	11111111
0000A5 <sub>H</sub>	PPG5 - タイマレジスタ	-	-	R	11111111
0000A6 <sub>H</sub>	PPG5 - 周期設定レジスタ下位	PCSRL5	PCSR5	R/W	XXXXXXXXXX
0000A7 <sub>H</sub>	PPG5 - 周期設定レジスタ上位	PCSRH5	-	R/W	XXXXXXXXXX
0000A8 <sub>H</sub>	PPG5 - デューティ設定レジスタ下位	PDUTL5	PDUT5	R/W	XXXXXXXXXX
0000A9 <sub>H</sub>	PPG5 - デューティ設定レジスタ上位	PDUTH5	-	R/W	XXXXXXXXXX
0000AA <sub>H</sub>	PPG5 - 制御ステータスレジスタ下位	PCNL5	PCN5	R/W	00000000
0000AB <sub>H</sub>	PPG5 - 制御ステータスレジスタ上位	PCNH5	-	R/W	00000000
0000AC <sub>H</sub>	I <sup>2</sup> C0 - バスステータスレジスタ	IBSR0	-	R	00000000
0000AD <sub>H</sub>	I <sup>2</sup> C0 - バスコントロールレジスタ	IBCR0	-	R/W	00000000



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0000AE <sub>H</sub>	I <sup>2</sup> C0 - 10 ビットスレーブアドレスレジスタ 下位	ITBAL0	ITBA0	R/W	00000000
0000AF <sub>H</sub>	I <sup>2</sup> C0 - 10 ビットスレーブアドレスレジスタ 上位	ITBAH0	-	R/W	00000000
0000B0 <sub>H</sub>	I <sup>2</sup> C0 - 10 ビットスレーブアドレスマスクレ ジスタ下位	ITMKL0	ITMK0	R/W	11111111
0000B1 <sub>H</sub>	I <sup>2</sup> C0 - 10 ビットスレーブアドレスマスクレ ジスタ上位	ITMKH0	-	R/W	00111111
0000B2 <sub>H</sub>	I <sup>2</sup> C0 - 7 ビットスレーブアドレスレジスタ	ISBA0	-	R/W	00000000
0000B3 <sub>H</sub>	I <sup>2</sup> C0 - 7 ビットスレーブアドレスマスクレ ジスタ	ISMK0	-	R/W	01111111
0000B4 <sub>H</sub>	I <sup>2</sup> C0 - データレジスタ	IDAR0	-	R/W	00000000
0000B5 <sub>H</sub>	I <sup>2</sup> C0 - クロックコントロールレジスタ	ICCR0	-	R/W	00011111
0000B6 <sub>H</sub> - 0000BF <sub>H</sub>	予約	-	-	-	-
0000C0 <sub>H</sub>	USART0 - シリアルモードレジスタ	SMR0	-	R/W	00000000
0000C1 <sub>H</sub>	USART0 - シリアル制御レジスタ	SCR0	-	R/W	00000000
0000C2 <sub>H</sub>	USART0 - 送信データ レジスタ	TDR0	-	W	11111111
0000C2 <sub>H</sub>	USART0 - 受信データ レジスタ	RDR0	-	R	00000000
0000C3 <sub>H</sub>	USART0 - シリアルステータスレジスタ	SSR0	-	R/W	00001000
0000C4 <sub>H</sub>	USART0 - 拡張通信制御レジスタ	ECCR0	-	R/W	000000XX
0000C5 <sub>H</sub>	USART0 - 拡張ステータス制御レジスタ	ESCR0	-	R/W	00000100
0000C6 <sub>H</sub>	USART0 - ボーレート/リロードカウンタレ ジスタ下位	BGRL0	BGR0	R/W	00000000
0000C7 <sub>H</sub>	USART0 - ボーレート/リロードカウンタレ ジスタ上位	BGRH0	-	R/W	00000000
0000C8 <sub>H</sub>	USART0 - 拡張シリアル割込みレジスタ	ESIR0	-	R/W	XXXX10X0
0000C9 <sub>H</sub>	USART0 - フレーム ID データレジスタ	FIDR0	-	R/W	00000000
0000CA <sub>H</sub>	USART1 - シリアルモードレジスタ	SMR1	-	R/W	00000000
0000CB <sub>H</sub>	USART1 - シリアル制御レジスタ	SCR1	-	R/W	00000000
0000CC <sub>H</sub>	USART1 - 送信データ レジスタ	TDR1	-	W	11111111
0000CC <sub>H</sub>	USART1 - 受信データ レジスタ	RDR1	-	R	00000000
0000CD <sub>H</sub>	USART1 - シリアルステータスレジスタ	SSR1	-	R/W	00001000
0000CE <sub>H</sub>	USART1 - 拡張通信制御レジスタ	ECCR1	-	R/W	000000XX
0000CF <sub>H</sub>	USART1 - 拡張ステータス制御レジスタ	ESCR1	-	R/W	00000100
0000D0 <sub>H</sub>	USART1 - ボーレート/リロードカウンタレ ジスタ下位	BGRL1	BGR1	R/W	00000000
0000D1 <sub>H</sub>	USART1 - ボーレート/リロードカウンタレ ジスタ上位	BGRH1	-	R/W	00000000
0000D2 <sub>H</sub>	USART1 - 拡張シリアル割込みレジスタ	ESIR1	-	R/W	XXXX10X0
0000D3 <sub>H</sub>	USART1 - フレーム ID データレジスタ	FIDR1	-	R/W	00000000
0000D4 <sub>H</sub>	USART2 - シリアルモードレジスタ	SMR2	-	R/W	00000000
0000D5 <sub>H</sub>	USART2 - シリアル制御レジスタ	SCR2	-	R/W	00000000
0000D6 <sub>H</sub>	USART2 - 送信データ レジスタ	TDR2	-	W	11111111
0000D6 <sub>H</sub>	USART2 - 受信データ レジスタ	RDR2	-	R	00000000
0000D7 <sub>H</sub>	USART2 - シリアルステータスレジスタ	SSR2	-	R/W	00001000
0000D8 <sub>H</sub>	USART2 - 拡張通信制御レジスタ	ECCR2	-	R/W	000000XX



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0000D9 <sub>H</sub>	USART2 - 拡張ステータス制御レジスタ	ESCR2	-	R/W	00000100
0000DA <sub>H</sub>	USART2 - ボーレート/リロードカウンタレジスタ下位	BGRL2	BGR2	R/W	00000000
0000DB <sub>H</sub>	USART2 - ボーレート/リロードカウンタレジスタ上位	BGRH2	-	R/W	00000000
0000DC <sub>H</sub>	USART2 - 拡張シリアル割込みレジスタ	ESIR2	-	R/W	XXXX10X0
0000DD <sub>H</sub> - 0000EB <sub>H</sub>	予約	-	-	-	-
0000EC <sub>H</sub>	PPG - 汎用制御レジスタ	GCNR0	-	R/W	XXXXXX00
0000ED <sub>H</sub> - 0000FF <sub>H</sub>	予約	-	-	-	-
000100 <sub>H</sub>	DMA0 - バッファアドレスポインタ下位	BAPL0	-	R/W	XXXXXXXX
000101 <sub>H</sub>	DMA0 - バッファアドレスポインタ中位	BAPM0	-	R/W	XXXXXXXX
000102 <sub>H</sub>	DMA0 - バッファアドレスポインタ上位	BAPH0	-	R/W	XXXXXXXX
000103 <sub>H</sub>	DMA0 - 制御レジスタ	DMACS0	-	R/W	XXXXXXXX
000104 <sub>H</sub>	DMA0 - I/O レジスタアドレスポインタ下位	IOAL0	IOA0	R/W	XXXXXXXX
000105 <sub>H</sub>	DMA0 - I/O レジスタアドレスポインタ上位	IOAH0	-	R/W	XXXXXXXX
000106 <sub>H</sub>	DMA0 - データカウントレジスタ下位	DCTL0	DCT0	R/W	XXXXXXXX
000107 <sub>H</sub>	DMA0 - データカウントレジスタ上位	DCTH0	-	R/W	XXXXXXXX
000108 <sub>H</sub>	DMA1 - バッファアドレスポインタ下位	BAPL1	-	R/W	XXXXXXXX
000109 <sub>H</sub>	DMA1 - バッファアドレスポインタ中位	BAPM1	-	R/W	XXXXXXXX
00010A <sub>H</sub>	DMA1 - バッファアドレスポインタ上位	BAPH1	-	R/W	XXXXXXXX
00010B <sub>H</sub>	DMA1 - 制御レジスタ	DMACS1	-	R/W	XXXXXXXX
00010C <sub>H</sub>	DMA1 - I/O レジスタアドレスポインタ下位	IOAL1	IOA1	R/W	XXXXXXXX
00010D <sub>H</sub>	DMA1 - I/O レジスタアドレスポインタ上位	IOAH1	-	R/W	XXXXXXXX
00010E <sub>H</sub>	DMA1 - データカウントレジスタ下位	DCTL1	DCT1	R/W	XXXXXXXX
00010F <sub>H</sub>	DMA1 - データカウントレジスタ上位	DCTH1	-	R/W	XXXXXXXX
000110 <sub>H</sub>	DMA2 - バッファアドレスポインタ下位	BAPL2	-	R/W	XXXXXXXX
000111 <sub>H</sub>	DMA2 - バッファアドレスポインタ中位	BAPM2	-	R/W	XXXXXXXX
000112 <sub>H</sub>	DMA2 - バッファアドレスポインタ上位	BAPH2	-	R/W	XXXXXXXX
000113 <sub>H</sub>	DMA2 - 制御レジスタ	DMACS2	-	R/W	XXXXXXXX
000114 <sub>H</sub>	DMA2 - I/O レジスタアドレスポインタ下位	IOAL2	IOA2	R/W	XXXXXXXX
000115 <sub>H</sub>	DMA2 - I/O レジスタアドレスポインタ上位	IOAH2	-	R/W	XXXXXXXX
000116 <sub>H</sub>	DMA2 - データカウントレジスタ下位	DCTL2	DCT2	R/W	XXXXXXXX
000117 <sub>H</sub>	DMA2 - データカウントレジスタ上位	DCTH2	-	R/W	XXXXXXXX
000118 <sub>H</sub>	DMA3 - バッファアドレスポインタ下位	BAPL3	-	R/W	XXXXXXXX
000119 <sub>H</sub>	DMA3 - バッファアドレスポインタ中位	BAPM3	-	R/W	XXXXXXXX
00011A <sub>H</sub>	DMA3 - バッファアドレスポインタ上位	BAPH3	-	R/W	XXXXXXXX
00011B <sub>H</sub>	DMA3 - 制御レジスタ	DMACS3	-	R/W	XXXXXXXX
00011C <sub>H</sub>	DMA3 - I/O レジスタアドレスポインタ下位	IOAL3	IOA3	R/W	XXXXXXXX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
00011D <sub>H</sub>	DMA3 - I/O レジスタアドレスポインタ上位	IOAH3	-	R/W	XXXXXXXX
00011E <sub>H</sub>	DMA3 - データカウントレジスタ下位	DCTL3	DCT3	R/W	XXXXXXXX
00011F <sub>H</sub>	DMA3 - データカウントレジスタ上位	DCTH3	-	R/W	XXXXXXXX
000120 <sub>H</sub> - 00017F <sub>H</sub>	予約	-	-	-	-
000180 <sub>H</sub> - 00037F <sub>H</sub>	CPU - 汎用レジスタ(RAM アクセス)	GPR_RAM	-	R/W	-
000380 <sub>H</sub>	DMA0 - 割込み要求選択レジスタ	DISEL0	-	R/W	00001100
000381 <sub>H</sub>	DMA1 - 割込み要求選択レジスタ	DISEL1	-	R/W	00001100
000382 <sub>H</sub>	DMA2 - 割込み要求選択レジスタ	DISEL2	-	R/W	00001100
000383 <sub>H</sub>	DMA3 - 割込み要求選択レジスタ	DISEL3	-	R/W	00001100
000384 <sub>H</sub> - 00038F <sub>H</sub>	予約	-	-	-	-
000390 <sub>H</sub>	DMA - ステータスレジスタ下位	DSRL	DSR	R/W	00000000
000391 <sub>H</sub>	DMA - ステータスレジスタ上位	DSRH	-	R/W	00000000
000392 <sub>H</sub>	DMA - 停止ステータスレジスタ下位	DSSRL	DSSR	R/W	00000000
000393 <sub>H</sub>	DMA - 停止ステータスレジスタ上位	DSSRH	-	R/W	00000000
000394 <sub>H</sub>	DMA - 許可レジスタ下位	DERL	DER	R/W	00000000
000395 <sub>H</sub>	DMA - 許可レジスタ上位	DERH	-	R/W	00000000
000396 <sub>H</sub> - 00039F <sub>H</sub>	予約	-	-	-	-
0003A0 <sub>H</sub>	割込み制御レジスタ 割込みレベル	ILR	ICR	R/W	XXXXX111
0003A1 <sub>H</sub>	割込み制御レジスタ インデックス	IDX	-	R/W	00001100
0003A2 <sub>H</sub>	割込みベクタテーブルベースレジスタ下位	TBRL	TBR	R/W	11111100
0003A3 <sub>H</sub>	割込みベクタテーブルベースレジスタ上位	TBRH	-	R/W	11111111
0003A4 <sub>H</sub>	遅延割込み要求レジスタ	DIRR	-	R/W	XXXXXXXX0
0003A5 <sub>H</sub>	NMI 制御ステータスレジスタ	NMI	-	R/W	XXXXX10X
0003A6 <sub>H</sub> - 0003AD <sub>H</sub>	予約	-	-	-	-
0003AE <sub>H</sub>	ROM ミラー機能選択レジスタ	ROMM	-	R/W	1111X111
0003AF <sub>H</sub> - 0003E7 <sub>H</sub>	予約	-	-	-	-
0003E8 <sub>H</sub>	デュアルオペレーションフラッシュ設定レジスタ A	DFCA	-	R/W	XXXXX000
0003E9 <sub>H</sub>	デュアルオペレーションフラッシュ割込み制御レジスタ A	DFICA	-	R/W	X0000000
0003EA <sub>H</sub>	デュアルオペレーションフラッシュステータスレジスタ A	DFSA	-	R	11000001
0003EB <sub>H</sub>	デュアルオペレーションフラッシュ割込みステータスレジスタ A	DFISA	-	R/W	X0000000
0003EC <sub>H</sub> - 0003F8 <sub>H</sub>	予約	-	-	-	-
0003F9 <sub>H</sub>	デュアルオペレーションフラッシュ書込みアクセス制御レジスタ 0A	DFWC0A	-	R/W	XXX00000
0003FA <sub>H</sub> - 0003FC <sub>H</sub>	予約	-	-	-	-

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0003FD <sub>H</sub>	デュアルオペレーションフラッシュ書込み アクセス制御レジスタ 1A	DFWC1A	-	R/W	00000000
0003FE <sub>H</sub> , 0003FF <sub>H</sub>	予約	-	-	-	-
000400 <sub>H</sub>	スタンバイモード制御レジスタ	SMCR	-	R/W	XXX0X000
000401 <sub>H</sub>	クロック選択レジスタ	CKSR	-	R/W	10110000
000402 <sub>H</sub>	クロック安定化選択レジスタ	CKSSR	-	R/W	XX111111
000403 <sub>H</sub>	クロックモニタレジスタ	CKMR	-	R	*0*0XXXX *:リセット要 因に依存
000404 <sub>H</sub>	クロック周波数制御レジスタ下位	CKFCRL	CKFCR	R/W	0000XXX1
000405 <sub>H</sub>	クロック周波数制御レジスタ上位	CKFCRH	-	R/W	00000000
000406 <sub>H</sub>	PLL 制御レジスタ下位	PLLCLRL	PLLCR	R/W	000X0000
000407 <sub>H</sub>	PLL 制御レジスタ上位	PLLCRH	-	R/W	XXXXXXXXXX
000408 <sub>H</sub>	CR クロックタイマ制御レジスタ	RCTCR	-	R/W	X0010000
000409 <sub>H</sub>	メインクロックタイマ制御レジスタ	MCTCR	-	R/W	X0010000
00040A <sub>H</sub>	サブクロックタイマ制御レジスタ	SCTCR	-	R/W	X001X000
00040B <sub>H</sub>	リセット要因およびクロック状態レジスタ	RCCSRC	-	R	***** *:リセット要 因に依存
00040C <sub>H</sub>	リセット構成レジスタ	RCR	-	R/W	XX000**0 *:リセット要 因に依存
00040D <sub>H</sub>	リセット要因およびクロック状態レジスタ	RCCSR	-	R	***** *:リセット要 因に依存
00040E <sub>H</sub>	ウォッチドッグタイマ構成レジスタ	WDTC	WDT	R/W	0000**** *:WICM Marker に依存
00040F <sub>H</sub>	ウォッチドッグタイマクリアパターンレジ スタ	WDTCP	-	W	00000000
000410 <sub>H</sub> - 000414 <sub>H</sub>	予約	-	-	-	-
000415 <sub>H</sub>	クロック出力起動レジスタ	COAR	-	R/W	00000000
000416 <sub>H</sub>	クロック出力構成レジスタ 0	COCR0	-	R/W	X0000000
000417 <sub>H</sub>	クロック出力構成レジスタ 1	COCR1	-	R/W	X0000000
000418 <sub>H</sub> - 00041F <sub>H</sub>	予約	-	-	-	-
000420 <sub>H</sub>	ウォッチドッグタイマ拡張構成レジスタ	WDTEC	-	R/W	XXX00000
000421 <sub>H</sub> - 00042B <sub>H</sub>	予約	-	-	-	-
00042C <sub>H</sub>	電圧レギュレータ制御レジスタ	VRCR	-	R/W	10X10X10
00042D <sub>H</sub>	クロック入力および LVD 制御レジスタ	CILCR	-	R/W	00000000
00042E <sub>H</sub>	拡張スタンバイモード制御レジスタ	ESMCR	-	R/W	XXX00001
00042F <sub>H</sub>	予約	-	-	-	-
000430 <sub>H</sub>	I/O ポート P00 - データ方向レジスタ	DDR00	-	R/W	00000000
000431 <sub>H</sub>	I/O ポート P01 - データ方向レジスタ	DDR01	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000432 <sub>H</sub>	I/O ポート P02 - データ方向レジスタ	DDR02	-	R/W	00000000
000433 <sub>H</sub>	I/O ポート P03 - データ方向レジスタ	DDR03	-	R/W	00000000
000434 <sub>H</sub>	I/O ポート P04 - データ方向レジスタ	DDR04	-	R/W	00000000
000435 <sub>H</sub>	I/O ポート P05 - データ方向レジスタ	DDR05	-	R/W	00000000
000436 <sub>H</sub>	I/O ポート P06 - データ方向レジスタ	DDR06	-	R/W	00000000
000437 <sub>H</sub>	予約	-	-	-	-
000438 <sub>H</sub>	I/O ポート P08 - データ方向レジスタ	DDR08	-	R/W	00000000
000439 <sub>H</sub>	I/O ポート P09 - データ方向レジスタ	DDR09	-	R/W	00000000
00043A <sub>H</sub>	I/O ポート P10 - データ方向レジスタ	DDR10	-	R/W	00000000
00043B <sub>H</sub>	I/O ポート P11 - データ方向レジスタ	DDR11	-	R/W	00000000
00043C <sub>H</sub>	I/O ポート P12 - データ方向レジスタ	DDR12	-	R/W	00000000
00043D <sub>H</sub>	I/O ポート P13 - データ方向レジスタ	DDR13	-	R/W	00000000
00043E <sub>H</sub> - 000440 <sub>H</sub>	予約	-	-	-	-
000441 <sub>H</sub>	I/O ポート P17 - データ方向レジスタ	DDR17	-	R/W	00000000
000442 <sub>H</sub> , 000443 <sub>H</sub>	予約	-	-	-	-
000444 <sub>H</sub>	I/O ポート P00 - ポート入力許可レジスタ	PIER00	-	R/W	00000000
000445 <sub>H</sub>	I/O ポート P01 - ポート入力許可レジスタ	PIER01	-	R/W	00000000
000446 <sub>H</sub>	I/O ポート P02 - ポート入力許可レジスタ	PIER02	-	R/W	00000000
000447 <sub>H</sub>	I/O ポート P03 - ポート入力許可レジスタ	PIER03	-	R/W	00000000
000448 <sub>H</sub>	I/O ポート P04 - ポート入力許可レジスタ	PIER04	-	R/W	00000000
000449 <sub>H</sub>	I/O ポート P05 - ポート入力許可レジスタ	PIER05	-	R/W	00000000
00044A <sub>H</sub>	I/O ポート P06 - ポート入力許可レジスタ	PIER06	-	R/W	00000000
00044B <sub>H</sub>	予約	-	-	-	-
00044C <sub>H</sub>	I/O ポート P08 - ポート入力許可レジスタ	PIER08	-	R/W	00000000
00044D <sub>H</sub>	I/O ポート P09 - ポート入力許可レジスタ	PIER09	-	R/W	00000000
00044E <sub>H</sub>	I/O ポート P10 - ポート入力許可レジスタ	PIER10	-	R/W	00000000
00044F <sub>H</sub>	I/O ポート P11 - ポート入力許可レジスタ	PIER11	-	R/W	00000000
000450 <sub>H</sub>	I/O ポート P12 - ポート入力許可レジスタ	PIER12	-	R/W	00000000
000451 <sub>H</sub>	I/O ポート P13 - ポート入力許可レジスタ	PIER13	-	R/W	00000000
000452 <sub>H</sub> - 000454 <sub>H</sub>	予約	-	-	-	-
000455 <sub>H</sub>	I/O ポート P17 - ポート入力許可レジスタ	PIER17	-	R/W	00000000
000456 <sub>H</sub> - 00049B <sub>H</sub>	予約	-	-	-	-
00049C <sub>H</sub>	I/O ポート P08 - ポート high 駆動レジスタ	PHDR08	-	R/W	00000000
00049D <sub>H</sub>	I/O ポート P09 - ポート high 駆動レジスタ	PHDR09	-	R/W	00000000
00049E <sub>H</sub>	I/O ポート P10 - ポート high 駆動レジスタ	PHDR10	-	R/W	00000000
00049F <sub>H</sub> - 0004A7 <sub>H</sub>	予約	-	-	-	-
0004A8 <sub>H</sub>	I/O ポート P00 - ブルアップ制御レジスタ	PUCR00	-	R/W	00000000
0004A9 <sub>H</sub>	I/O ポート P01 - ブルアップ制御レジスタ	PUCR01	-	R/W	00000000
0004AA <sub>H</sub>	I/O ポート P02 - ブルアップ制御レジスタ	PUCR02	-	R/W	00000000
0004AB <sub>H</sub>	I/O ポート P03 - ブルアップ制御レジスタ	PUCR03	-	R/W	00000000
0004AC <sub>H</sub>	I/O ポート P04 - ブルアップ制御レジスタ	PUCR04	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0004AD <sub>H</sub>	I/O ポート P05 - ブルアップ制御レジスタ	PUCR05	-	R/W	00000000
0004AE <sub>H</sub>	I/O ポート P06 - ブルアップ制御レジスタ	PUCR06	-	R/W	00000000
0004AF <sub>H</sub>	予約	-	-	-	-
0004B0 <sub>H</sub>	I/O ポート P08 - ブルアップ制御レジスタ	PUCR08	-	R/W	00000000
0004B1 <sub>H</sub>	I/O ポート P09 - ブルアップ制御レジスタ	PUCR09	-	R/W	00000000
0004B2 <sub>H</sub>	I/O ポート P10 - ブルアップ制御レジスタ	PUCR10	-	R/W	00000000
0004B3 <sub>H</sub>	I/O ポート P11 - ブルアップ制御レジスタ	PUCR11	-	R/W	00000000
0004B4 <sub>H</sub>	I/O ポート P12 - ブルアップ制御レジスタ	PUCR12	-	R/W	00000000
0004B5 <sub>H</sub>	I/O ポート P13 - ブルアップ制御レジスタ	PUCR13	-	R/W	00000000
0004B6 <sub>H</sub> - 0004B8 <sub>H</sub>	予約	-	-	-	-
0004B9 <sub>H</sub>	I/O ポート P17 - ブルアップ制御レジスタ	PUCR17	-	R/W	00000000
0004BA <sub>H</sub> , 0004BB <sub>H</sub>	予約	-	-	-	-
0004BC <sub>H</sub>	I/O ポート P00 - 外部端子状態レジスタ	EPSR00	-	R	XXXXXXXX
0004BD <sub>H</sub>	I/O ポート P01 - 外部端子状態レジスタ	EPSR01	-	R	XXXXXXXX
0004BE <sub>H</sub>	I/O ポート P02 - 外部端子状態レジスタ	EPSR02	-	R	XXXXXXXX
0004BF <sub>H</sub>	I/O ポート P03 - 外部端子状態レジスタ	EPSR03	-	R	XXXXXXXX
0004C0 <sub>H</sub>	I/O ポート P04 - 外部端子状態レジスタ	EPSR04	-	R	XXXXXXXX
0004C1 <sub>H</sub>	I/O ポート P05 - 外部端子状態レジスタ	EPSR05	-	R	XXXXXXXX
0004C2 <sub>H</sub>	I/O ポート P06 - 外部端子状態レジスタ	EPSR06	-	R	XXXXXXXX
0004C3 <sub>H</sub>	予約	-	-	-	-
0004C4 <sub>H</sub>	I/O ポート P08 - 外部端子状態レジスタ	EPSR08	-	R	XXXXXXXX
0004C5 <sub>H</sub>	I/O ポート P09 - 外部端子状態レジスタ	EPSR09	-	R	XXXXXXXX
0004C6 <sub>H</sub>	I/O ポート P10 - 外部端子状態レジスタ	EPSR10	-	R	XXXXXXXX
0004C7 <sub>H</sub>	I/O ポート P11 - 外部端子状態レジスタ	EPSR11	-	R	XXXXXXXX
0004C8 <sub>H</sub>	I/O ポート P12 - 外部端子状態レジスタ	EPSR12	-	R	XXXXXXXX
0004C9 <sub>H</sub>	I/O ポート P13 - 外部端子状態レジスタ	EPSR13	-	R	XXXXXXXX
0004CA <sub>H</sub> - 0004CC <sub>H</sub>	予約	-	-	-	-
0004CD <sub>H</sub>	I/O ポート P17 - 外部端子状態レジスタ	EPSR17	-	R	XXXXXXXX
0004CE <sub>H</sub> , 0004CF <sub>H</sub>	予約	-	-	-	-
0004D0 <sub>H</sub>	ADC0 アナログ入力許可レジスタ 0	ADER0	-	R/W	00000000
0004D1 <sub>H</sub>	ADC0 アナログ入力許可レジスタ 1	ADER1	-	R/W	00000000
0004D2 <sub>H</sub>	ADC0 アナログ入力許可レジスタ 2	ADER2	-	R/W	00000000
0004D3 <sub>H</sub>	ADC0 アナログ入力許可レジスタ 3	ADER3	-	R/W	00000000
0004D4 <sub>H</sub> , 0004D5 <sub>H</sub>	予約	-	-	-	-
0004D6 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 0	PRRR0	-	R/W	00000000
0004D7 <sub>H</sub>	予約	-	-	-	-
0004D8 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 2	PRRR2	-	R/W	00000000
0004D9 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 3	PRRR3	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0004DA <sub>H</sub>	周辺リソース端子リロケーションレジスタ 4	PRRR4	-	R/W	00000000
0004DB <sub>H</sub>	周辺リソース端子リロケーションレジスタ 5	PRRR5	-	R/W	00XX0000
0004DC <sub>H</sub>	周辺リソース端子リロケーションレジスタ 6	PRRR6	-	R/W	00000000
0004DD <sub>H</sub> , 0004DE <sub>H</sub>	予約	-	-	-	-
0004DF <sub>H</sub>	周辺リソース端子リロケーションレジスタ 9	PRRR9	-	R/W	XX000000
0004E0 <sub>H</sub>	RTC - サブセカンドレジスタ L	WTBRL0	WTBR0	R/W	XXXXXXXX
0004E1 <sub>H</sub>	RTC - サブセカンドレジスタ M	WTBRH0	-	R/W	XXXXXXXX
0004E2 <sub>H</sub>	RTC - サブセカンドレジスタ H	WTBR1	-	R/W	XXXXXXXX
0004E3 <sub>H</sub>	RTC - 秒レジスタ	WTSR	-	R/W	XX***** *:リセット要 因に依存
0004E4 <sub>H</sub>	RTC - 分レジスタ	WTMR	-	R/W	XX***** *:リセット要 因に依存
0004E5 <sub>H</sub>	RTC - 時レジスタ	WTHR	-	R/W	XXX***** *:リセット要 因に依存
0004E6 <sub>H</sub>	RTC - タイマ制御拡張レジスタ	WTCER	-	R/W	XXXXXXXX00
0004E7 <sub>H</sub>	RTC - クロック選択レジスタ	WTCKSR	-	R/W	XXXXXXXX00
0004E8 <sub>H</sub>	RTC - タイマ制御レジスタ下位	WTCRL	WTCR	R/W	XXXX0000
0004E9 <sub>H</sub>	RTC - タイマ制御レジスタ上位	WTCRH	-	R/W	00000000
0004EA <sub>H</sub>	CAL - クロック補正ユニット制御レジスタ	CUCR	-	R/W	XXX0X000
0004EB <sub>H</sub>	予約	-	-	-	-
0004EC <sub>H</sub>	CAL - クロック補正ユニット測定時間タイ マデータレジスタ下位	CUTDL	CUTD	R/W	00000000
0004ED <sub>H</sub>	CAL - クロック補正ユニット測定時間タイ マデータレジスタ上位	CUTDH	-	R/W	10000000
0004EE <sub>H</sub>	CAL - クロック補正ユニット補正タイマ データレジスタ 2 下位	CUTR2L	CUTR2	R	00000000
0004EF <sub>H</sub>	CAL - クロック補正ユニット補正タイマ データレジスタ 2 上位	CUTR2H	-	R	00000000
0004F0 <sub>H</sub>	CAL - クロック補正ユニット補正タイマ データレジスタ 1 下位	CUTR1L	CUTR1	R	00000000
0004F1 <sub>H</sub>	CAL - クロック補正ユニット補正タイマ データレジスタ 1 上位	CUTR1H	-	R	00000000
0004F2 <sub>H</sub> - 0004F9 <sub>H</sub>	予約	-	-	-	-
0004FA <sub>H</sub>	RLT - リロードタイマ入力選択レジスタ(カ スケード用)	TMISR	-	R/W	XX000000
0004FB <sub>H</sub> - 00051F <sub>H</sub>	予約	-	-	-	-
000520 <sub>H</sub>	USART4 - シリアルモードレジスタ	SMR4	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000521 <sub>H</sub>	USART4 - シリアル制御レジスタ	SCR4	-	R/W	00000000
000522 <sub>H</sub>	USART4 - 送信データ レジスタ	TDR4	-	W	11111111
000522 <sub>H</sub>	USART4 - 受信データ レジスタ	RDR4	-	R	00000000
000523 <sub>H</sub>	USART4 - シリアルステータスレジスタ	SSR4	-	R/W	00001000
000524 <sub>H</sub>	USART4 - 拡張通信制御レジスタ	ECCR4	-	R/W	000000XX
000525 <sub>H</sub>	USART4 - 拡張ステータス制御レジスタ	ESCR4	-	R/W	00000100
000526 <sub>H</sub>	USART4 - ボーレート/リロードカウンタレジスタ下位	BGRL4	BGR4	R/W	00000000
000527 <sub>H</sub>	USART4 - ボーレート/リロードカウンタレジスタ上位	BGRH4	-	R/W	00000000
000528 <sub>H</sub>	USART4 - 拡張シリアル割込みレジスタ	ESIR4	-	R/W	XXXX10X0
000529 <sub>H</sub>	予約	-	-	-	-
00052A <sub>H</sub>	USART5 - シリアルモードレジスタ	SMR5	-	R/W	00000000
00052B <sub>H</sub>	USART5 - シリアル制御レジスタ	SCR5	-	R/W	00000000
00052C <sub>H</sub>	USART5 - 送信データ レジスタ	TDR5	-	W	11111111
00052C <sub>H</sub>	USART5 - 受信データ レジスタ	RDR5	-	R	00000000
00052D <sub>H</sub>	USART5 - シリアルステータスレジスタ	SSR5	-	R/W	00001000
00052E <sub>H</sub>	USART5 - 拡張通信制御レジスタ	ECCR5	-	R/W	000000XX
00052F <sub>H</sub>	USART5 - 拡張ステータス制御レジスタ	ESCR5	-	R/W	00000100
000530 <sub>H</sub>	USART5 - ボーレート/リロードカウンタレジスタ下位	BGRL5	BGR5	R/W	00000000
000531 <sub>H</sub>	USART5 - ボーレート/リロードカウンタレジスタ上位	BGRH5	-	R/W	00000000
000532 <sub>H</sub>	USART5 - 拡張シリアル割込みレジスタ	ESIR5	-	R/W	XXXX10X0
000533 <sub>H</sub> - 000563 <sub>H</sub>	予約	-	-	-	-
000564 <sub>H</sub>	PPG6 - タイマレジスタ	-	PTMR6	R	11111111
000565 <sub>H</sub>	PPG6 - タイマレジスタ	-	-	R	11111111
000566 <sub>H</sub>	PPG6 - 周期設定レジスタ下位	PCSRL6	PCSR6	R/W	XXXXXXXXXX
000567 <sub>H</sub>	PPG6 - 周期設定レジスタ上位	PCSRH6	-	R/W	XXXXXXXXXX
000568 <sub>H</sub>	PPG6 - デューティ設定レジスタ下位	PDUTL6	PDUT6	R/W	XXXXXXXXXX
000569 <sub>H</sub>	PPG6 - デューティ設定レジスタ上位	PDUTH6	-	R/W	XXXXXXXXXX
00056A <sub>H</sub>	PPG6 - 制御ステータスレジスタ下位	PCNL6	PCN6	R/W	00000000
00056B <sub>H</sub>	PPG6 - 制御ステータスレジスタ上位	PCNH6	-	R/W	00000000
00056C <sub>H</sub>	PPG7 - タイマレジスタ	-	PTMR7	R	11111111
00056D <sub>H</sub>	PPG7 - タイマレジスタ	-	-	R	11111111
00056E <sub>H</sub>	PPG7 - 周期設定レジスタ下位	PCSRL7	PCSR7	R/W	XXXXXXXXXX
00056F <sub>H</sub>	PPG7 - 周期設定レジスタ上位	PCSRH7	-	R/W	XXXXXXXXXX
000570 <sub>H</sub>	PPG7 - デューティ設定レジスタ下位	PDUTL7	PDUT7	R/W	XXXXXXXXXX
000571 <sub>H</sub>	PPG7 - デューティ設定レジスタ上位	PDUTH7	-	R/W	XXXXXXXXXX
000572 <sub>H</sub>	PPG7 - 制御ステータスレジスタ下位	PCNL7	PCN7	R/W	00000000
000573 <sub>H</sub>	PPG7 - 制御ステータスレジスタ上位	PCNH7	-	R/W	00000000
000574 <sub>H</sub> - 000597 <sub>H</sub>	予約	-	-	-	-
000598 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 1 下位	GCN1L3	GCN13	R/W	00010000
000599 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 1 上位	GCN1H3	-	R/W	00110010



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
00059A <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 2 下位	GCN2L3	GCN23	R/W	XXXX0000
00059B <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 2 上位	GCN2H3	-	R/W	XXXX0000
00059C <sub>H</sub>	PPG12 - タイマレジスタ	-	PTMR12	R	11111111
00059D <sub>H</sub>	PPG12 - タイマレジスタ	-	-	R	11111111
00059E <sub>H</sub>	PPG12 - 周期設定レジスタ下位	PCSRL12	PCSR12	R/W	XXXXXXXX
00059F <sub>H</sub>	PPG12 - 周期設定レジスタ上位	PCSRH12	-	R/W	XXXXXXXX
0005A0 <sub>H</sub>	PPG12 - デューティ設定レジスタ下位	PDUTL12	PDUT12	R/W	XXXXXXXX
0005A1 <sub>H</sub>	PPG12 - デューティ設定レジスタ上位	PDUTH12	-	R/W	XXXXXXXX
0005A2 <sub>H</sub>	PPG12 - 制御ステータスレジスタ下位	PCNL12	PCN12	R/W	00000000
0005A3 <sub>H</sub>	PPG12 - 制御ステータスレジスタ上位	PCNH12	-	R/W	00000000
0005A4 <sub>H</sub>	PPG13 - タイマレジスタ	-	PTMR13	R	11111111
0005A5 <sub>H</sub>	PPG13 - タイマレジスタ	-	-	R	11111111
0005A6 <sub>H</sub>	PPG13 - 周期設定レジスタ下位	PCSRL13	PCSR13	R/W	XXXXXXXX
0005A7 <sub>H</sub>	PPG13 - 周期設定レジスタ上位	PCSRH13	-	R/W	XXXXXXXX
0005A8 <sub>H</sub>	PPG13 - デューティ設定レジスタ下位	PDUTL13	PDUT13	R/W	XXXXXXXX
0005A9 <sub>H</sub>	PPG13 - デューティ設定レジスタ上位	PDUTH13	-	R/W	XXXXXXXX
0005AA <sub>H</sub>	PPG13 - 制御ステータスレジスタ下位	PCNL13	PCN13	R/W	00000000
0005AB <sub>H</sub>	PPG13 - 制御ステータスレジスタ上位	PCNH13	-	R/W	00000000
0005AC <sub>H</sub>	PPG14 - タイマレジスタ	-	PTMR14	R	11111111
0005AD <sub>H</sub>	PPG14 - タイマレジスタ	-	-	R	11111111
0005AE <sub>H</sub>	PPG14 - 周期設定レジスタ下位	PCSRL14	PCSR14	R/W	XXXXXXXX
0005AF <sub>H</sub>	PPG14 - 周期設定レジスタ上位	PCSRH14	-	R/W	XXXXXXXX
0005B0 <sub>H</sub>	PPG14 - デューティ設定レジスタ下位	PDUTL14	PDUT14	R/W	XXXXXXXX
0005B1 <sub>H</sub>	PPG14 - デューティ設定レジスタ上位	PDUTH14	-	R/W	XXXXXXXX
0005B2 <sub>H</sub>	PPG14 - 制御ステータスレジスタ下位	PCNL14	PCN14	R/W	00000000
0005B3 <sub>H</sub>	PPG14 - 制御ステータスレジスタ上位	PCNH14	-	R/W	00000000
0005B4 <sub>H</sub>	PPG15 - タイマレジスタ	-	PTMR15	R	11111111
0005B5 <sub>H</sub>	PPG15 - タイマレジスタ	-	-	R	11111111
0005B6 <sub>H</sub>	PPG15 - 周期設定レジスタ下位	PCSRL15	PCSR15	R/W	XXXXXXXX
0005B7 <sub>H</sub>	PPG15 - 周期設定レジスタ上位	PCSRH15	-	R/W	XXXXXXXX
0005B8 <sub>H</sub>	PPG15 - デューティ設定レジスタ下位	PDUTL15	PDUT15	R/W	XXXXXXXX
0005B9 <sub>H</sub>	PPG15 - デューティ設定レジスタ上位	PDUTH15	-	R/W	XXXXXXXX
0005BA <sub>H</sub>	PPG15 - 制御ステータスレジスタ下位	PCNL15	PCN15	R/W	00000000
0005BB <sub>H</sub>	PPG15 - 制御ステータスレジスタ上位	PCNH15	-	R/W	00000000
0005BC <sub>H</sub> - 0005DF <sub>H</sub>	予約	-	-	-	-
0005E0 <sub>H</sub>	SMC0 - PWM 制御レジスタ	PWC0	-	R/W	00000000
0005E1 <sub>H</sub>	SMC0 - PWM 拡張制御レジスタ	PWEC0	-	R/W	00000000
0005E2 <sub>H</sub>	SMC0 - PWM1 コンペアレジスタ	-	PWC10	R/W	XXXXXXXX
0005E3 <sub>H</sub>	SMC0 - PWM1 コンペアレジスタ	-	-	R/W	000000XX
0005E4 <sub>H</sub>	SMC0 - PWM2 コンペアレジスタ	-	PWC20	R/W	XXXXXXXX
0005E5 <sub>H</sub>	SMC0 - PWM2 コンペアレジスタ	-	-	R/W	000000XX
0005E6 <sub>H</sub>	SMC0 - PWM1 選択レジスタ	PWS10	-	R/W	00000000
0005E7 <sub>H</sub>	SMC0 - PWM2 選択レジスタ	PWS20	-	R/W	00000000
0005E8 <sub>H</sub> , 0005E9 <sub>H</sub>	予約	-	-	-	-



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0005EA <sub>H</sub>	SMC1 - PWM 制御レジスタ	PWC1	-	R/W	00000000
0005EB <sub>H</sub>	SMC1 - PWM 拡張制御レジスタ	PWEC1	-	R/W	00000000
0005EC <sub>H</sub>	SMC1 - PWM1 コンペアレジスタ	-	PWC11	R/W	XXXXXXXXXX
0005ED <sub>H</sub>	SMC1 - PWM1 コンペアレジスタ	-	-	R/W	000000XX
0005EE <sub>H</sub>	SMC1 - PWM2 コンペアレジスタ	-	PWC21	R/W	XXXXXXXXXX
0005EF <sub>H</sub>	SMC1 - PWM2 コンペアレジスタ	-	-	R/W	000000XX
0005F0 <sub>H</sub>	SMC1 - PWM1 選択レジスタ	PWS11	-	R/W	00000000
0005F1 <sub>H</sub>	SMC1 - PWM2 選択レジスタ	PWS21	-	R/W	00000000
0005F2 <sub>H</sub> , 0005F3 <sub>H</sub>	予約	-	-	-	-
0005F4 <sub>H</sub>	SMC2 - PWM 制御レジスタ	PWC2	-	R/W	00000000
0005F5 <sub>H</sub>	SMC2 - PWM 拡張制御レジスタ	PWEC2	-	R/W	00000000
0005F6 <sub>H</sub>	SMC2 - PWM1 コンペアレジスタ	-	PWC12	R/W	XXXXXXXXXX
0005F7 <sub>H</sub>	SMC2 - PWM1 コンペアレジスタ	-	-	R/W	000000XX
0005F8 <sub>H</sub>	SMC2 - PWM2 コンペアレジスタ	-	PWC22	R/W	XXXXXXXXXX
0005F9 <sub>H</sub>	SMC2 - PWM2 コンペアレジスタ	-	-	R/W	000000XX
0005FA <sub>H</sub>	SMC2 - PWM1 選択レジスタ	PWS12	-	R/W	00000000
0005FB <sub>H</sub>	SMC2 - PWM2 選択レジスタ	PWS22	-	R/W	00000000
0005FC <sub>H</sub> , 0005FD <sub>H</sub>	予約	-	-	-	-
0005FE <sub>H</sub>	SMC3 - PWM 制御レジスタ	PWC3	-	R/W	00000000
0005FF <sub>H</sub>	SMC3 - PWM 拡張制御レジスタ	PWEC3	-	R/W	00000000
000600 <sub>H</sub>	SMC3 - PWM1 コンペアレジスタ	-	PWC13	R/W	XXXXXXXXXX
000601 <sub>H</sub>	SMC3 - PWM1 コンペアレジスタ	-	-	R/W	000000XX
000602 <sub>H</sub>	SMC3 - PWM2 コンペアレジスタ	-	PWC23	R/W	XXXXXXXXXX
000603 <sub>H</sub>	SMC3 - PWM2 コンペアレジスタ	-	-	R/W	000000XX
000604 <sub>H</sub>	SMC3 - PWM1 選択レジスタ	PWS13	-	R/W	00000000
000605 <sub>H</sub>	SMC3 - PWM2 選択レジスタ	PWS23	-	R/W	00000000
000606 <sub>H</sub> , 000607 <sub>H</sub>	予約	-	-	-	-
000608 <sub>H</sub>	SMC4 - PWM 制御レジスタ	PWC4	-	R/W	00000000
000609 <sub>H</sub>	SMC4 - PWM 拡張制御レジスタ	PWEC4	-	R/W	00000000
00060A <sub>H</sub>	SMC4 - PWM1 コンペアレジスタ	-	PWC14	R/W	XXXXXXXXXX
00060B <sub>H</sub>	SMC4 - PWM1 コンペアレジスタ	-	-	R/W	000000XX
00060C <sub>H</sub>	SMC4 - PWM2 コンペアレジスタ	-	PWC24	R/W	XXXXXXXXXX
00060D <sub>H</sub>	SMC4 - PWM2 コンペアレジスタ	-	-	R/W	000000XX
00060E <sub>H</sub>	SMC4 - PWM1 選択レジスタ	PWS14	-	R/W	00000000
00060F <sub>H</sub>	SMC4 - PWM2 選択レジスタ	PWS24	-	R/W	00000000
000610 <sub>H</sub> - 00061B <sub>H</sub>	予約	-	-	-	-
00061C <sub>H</sub>	LCD - セグメント許可レジスタ 0 (セグメント 7 ~ 0)	LCDER0	-	R/W	00000000
00061D <sub>H</sub>	LCD - セグメント許可レジスタ 1 (セグメント 15 ~ 8)	LCDER1	-	R/W	00000000
00061E <sub>H</sub>	LCD - セグメント許可レジスタ 2 (セグメント 23 ~ 16)	LCDER2	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
00061F <sub>H</sub>	LCD - セグメント許可レジスタ 3 (セグメント 31 ~ 24)	LCDER3	-	R/W	00000000
000620 <sub>H</sub>	LCD - セグメント許可レジスタ 4 (セグメント 39 ~ 32)	LCDER4	-	R/W	00000000
000621 <sub>H</sub>	LCD - セグメント許可レジスタ 5 (セグメント 47 ~ 40)	LCDER5	-	R/W	00000000
000622 <sub>H</sub> - 000625 <sub>H</sub>	予約	-	-	-	-
000626 <sub>H</sub>	LCD - 電圧ライン許可レジスタ V (V <sub>x</sub> )	LCDVER	-	R/W	XXXX0000
000627 <sub>H</sub>	LCD - 拡張制御レジスタ	LECR	-	R/W	XXXXXX00
000628 <sub>H</sub>	LCD - 共通端子切換えレジスタ	LCDCMR	-	R/W	0XXXX000
000629 <sub>H</sub>	LCD - 制御レジスタ	LCR	-	R/W	00010000
00062A <sub>H</sub>	LCD - セグメント 1-0 の表示 RAM	VRAM0	-	R/W	XXXXXXXX
00062B <sub>H</sub>	LCD - セグメント 3-2 の表示 RAM	VRAM1	-	R/W	XXXXXXXX
00062C <sub>H</sub>	LCD - セグメント 5-4 の表示 RAM	VRAM2	-	R/W	XXXXXXXX
00062D <sub>H</sub>	LCD - セグメント 7-6 の表示 RAM	VRAM3	-	R/W	XXXXXXXX
00062E <sub>H</sub>	LCD - セグメント 9-8 の表示 RAM	VRAM4	-	R/W	XXXXXXXX
00062F <sub>H</sub>	LCD - セグメント 11-10 の表示 RAM	VRAM5	-	R/W	XXXXXXXX
000630 <sub>H</sub>	LCD - セグメント 13-12 の表示 RAM	VRAM6	-	R/W	XXXXXXXX
000631 <sub>H</sub>	LCD - セグメント 15-14 の表示 RAM	VRAM7	-	R/W	XXXXXXXX
000632 <sub>H</sub>	LCD - セグメント 17-16 の表示 RAM	VRAM8	-	R/W	XXXXXXXX
000633 <sub>H</sub>	LCD - セグメント 19-18 の表示 RAM	VRAM9	-	R/W	XXXXXXXX
000634 <sub>H</sub>	LCD - セグメント 21-20 の表示 RAM	VRAM10	-	R/W	XXXXXXXX
000635 <sub>H</sub>	LCD - セグメント 23-22 の表示 RAM	VRAM11	-	R/W	XXXXXXXX
000636 <sub>H</sub>	LCD - セグメント 25-24 の表示 RAM	VRAM12	-	R/W	XXXXXXXX
000637 <sub>H</sub>	LCD - セグメント 27-26 の表示 RAM	VRAM13	-	R/W	XXXXXXXX
000638 <sub>H</sub>	LCD - セグメント 29-28 の表示 RAM	VRAM14	-	R/W	XXXXXXXX
000639 <sub>H</sub>	LCD - セグメント 31-30 の表示 RAM	VRAM15	-	R/W	XXXXXXXX
00063A <sub>H</sub>	LCD - セグメント 33-32 の表示 RAM	VRAM16	-	R/W	XXXXXXXX
00063B <sub>H</sub>	LCD - セグメント 35-34 の表示 RAM	VRAM17	-	R/W	XXXXXXXX
00063C <sub>H</sub>	LCD - セグメント 37-36 の表示 RAM	VRAM18	-	R/W	XXXXXXXX
00063D <sub>H</sub>	LCD - セグメント 39-38 の表示 RAM	VRAM19	-	R/W	XXXXXXXX
00063E <sub>H</sub>	LCD - セグメント 41-40 の表示 RAM	VRAM20	-	R/W	XXXXXXXX
00063F <sub>H</sub>	LCD - セグメント 43-42 の表示 RAM	VRAM21	-	R/W	XXXXXXXX
000640 <sub>H</sub>	LCD - セグメント 45-44 の表示 RAM	VRAM22	-	R/W	XXXXXXXX
000641 <sub>H</sub> - 000661 <sub>H</sub>	予約	-	-	-	-
000662 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 12	PRRR12	-	R/W	00000000
000663 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 13	PRRR13	-	R/W	XXX0XX00
000664 <sub>H</sub> - 0006FF <sub>H</sub>	予約	-	-	-	-
000700 <sub>H</sub>	CAN0 - 制御レジスタ下位	CTRLRL0	CTRLR0	R/W	000X0001
000701 <sub>H</sub>	CAN0 - 制御レジスタ上位(予約)	CTRLRH0	-	R	XXXXXXXX
000702 <sub>H</sub>	CAN0 - ステータスレジスタ下位	STATRL0	STATR0	R/W	00000000
000703 <sub>H</sub>	CAN0 - ステータスレジスタ上位(予約)	STATRH0	-	R	XXXXXXXX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000704 <sub>H</sub>	CAN0 - エラーカウンタ下位(送信)	ERRCNTL0	ERRCNT0	R	00000000
000705 <sub>H</sub>	CAN0 - エラーカウンタ上位(受信)	ERRCNTH0	-	R	00000000
000706 <sub>H</sub>	CAN0 - ビットタイミングレジスタ下位	BTRL0	BTR0	R/W	00000001
000707 <sub>H</sub>	CAN0 - ビットタイミングレジスタ上位	BTRH0	-	R/W	X0100011
000708 <sub>H</sub>	CAN0 - 割込みレジスタ下位	INTRL0	INTR0	R	00000000
000709 <sub>H</sub>	CAN0 - 割込みレジスタ上位	INTRH0	-	R	00000000
00070A <sub>H</sub>	CAN0 - テストレジスタ下位	TESTRL0	TESTR0	R/W	X00000XX
00070B <sub>H</sub>	CAN0 - テストレジスタ上位(予約)	TESTRH0	-	R	XXXXXXXXXX
00070C <sub>H</sub>	CAN0 - BRP 拡張レジスタ下位	BRPERL0	BRPER0	R/W	XXXX0000
00070D <sub>H</sub>	CAN0 - BRP 拡張レジスタ上位(予約)	BRPERH0	-	R	XXXXXXXXXX
00070E <sub>H</sub> , 00070F <sub>H</sub>	予約	-	-	-	-
000710 <sub>H</sub>	CAN0 - IF1 コマンドリクエストレジスタ 下位	IF1CREQL0	IF1CREQ0	R/W	00000001
000711 <sub>H</sub>	CAN0 - IF1 コマンドリクエストレジスタ 上位	IF1CREQH0	-	R/W	0XXXXXXXX
000712 <sub>H</sub>	CAN0 - IF1 コマンドマスクレジスタ下位	IF1CMSKL0	IF1CMSK0	R/W	00000000
000713 <sub>H</sub>	CAN0 - IF1 コマンドマスクレジスタ上位 (予約)	IF1CMSKH0	-	R	XXXXXXXXXX
000714 <sub>H</sub>	CAN0 - IF1 マスク 1 レジスタ下位	IF1MSK1L0	IF1MSK10	R/W	11111111
000715 <sub>H</sub>	CAN0 - IF1 マスク 1 レジスタ上位	IF1MSK1H0	-	R/W	11111111
000716 <sub>H</sub>	CAN0 - IF1 マスク 2 レジスタ下位	IF1MSK2L0	IF1MSK20	R/W	11111111
000717 <sub>H</sub>	CAN0 - IF1 マスク 2 レジスタ上位	IF1MSK2H0	-	R/W	11X11111
000718 <sub>H</sub>	CAN0 - IF1 アービトレーション 1 レジス タ下位	IF1ARB1L0	IF1ARB10	R/W	00000000
000719 <sub>H</sub>	CAN0 - IF1 アービトレーション 1 レジス タ上位	IF1ARB1H0	-	R/W	00000000
00071A <sub>H</sub>	CAN0 - IF1 アービトレーション 2 レジス タ下位	IF1ARB2L0	IF1ARB20	R/W	00000000
00071B <sub>H</sub>	CAN0 - IF1 アービトレーション 2 レジス タ上位	IF1ARB2H0	-	R/W	00000000
00071C <sub>H</sub>	CAN0 - IF1 メッセージ制御レジスタ下位	IF1MCTRL0	IF1MCTR0	R/W	0XXX0000
00071D <sub>H</sub>	CAN0 - IF1 メッセージ制御レジスタ上位	IF1MCTRH0	-	R/W	00000000
00071E <sub>H</sub>	CAN0 - IF1 データ A1 下位	IF1DTA1L0	IF1DTA10	R/W	00000000
00071F <sub>H</sub>	CAN0 - IF1 データ A1 上位	IF1DTA1H0	-	R/W	00000000
000720 <sub>H</sub>	CAN0 - IF1 データ A2 下位	IF1DTA2L0	IF1DTA20	R/W	00000000
000721 <sub>H</sub>	CAN0 - IF1 データ A2 上位	IF1DTA2H0	-	R/W	00000000
000722 <sub>H</sub>	CAN0 - IF1 データ B1 下位	IF1DTB1L0	IF1DTB10	R/W	00000000
000723 <sub>H</sub>	CAN0 - IF1 データ B1 上位	IF1DTB1H0	-	R/W	00000000
000724 <sub>H</sub>	CAN0 - IF1 データ B2 下位	IF1DTB2L0	IF1DTB20	R/W	00000000
000725 <sub>H</sub>	CAN0 - IF1 データ B2 上位	IF1DTB2H0	-	R/W	00000000
000726 <sub>H</sub> - 00073F <sub>H</sub>	予約	-	-	-	-
000740 <sub>H</sub>	CAN0 - IF2 コマンドリクエストレジスタ 下位	IF2CREQL0	IF2CREQ0	R/W	00000001
000741 <sub>H</sub>	CAN0 - IF2 コマンドリクエストレジスタ 上位	IF2CREQH0	-	R/W	0XXXXXXXX

アドレス	レジスタ	8 ビット アクセス時の レジスタ略称名	16 ビット アクセス時の レジスタ略称名	属性	初期値
000742 <sub>H</sub>	CAN0 - IF2 コマンドマスクレジスタ下位	IF2CMSKL0	IF2CMSK0	R/W	00000000
000743 <sub>H</sub>	CAN0 - IF2 コマンドマスクレジスタ上位 (予約)	IF2CMSKH0	-	R	XXXXXXXX
000744 <sub>H</sub>	CAN0 - IF2 マスク 1 レジスタ下位	IF2MSK1L0	IF2MSK10	R/W	11111111
000745 <sub>H</sub>	CAN0 - IF2 マスク 1 レジスタ上位	IF2MSK1H0	-	R/W	11111111
000746 <sub>H</sub>	CAN0 - IF2 マスク 2 レジスタ下位	IF2MSK2L0	IF2MSK20	R/W	11111111
000747 <sub>H</sub>	CAN0 - IF2 マスク 2 レジスタ上位	IF2MSK2H0	-	R/W	11X11111
000748 <sub>H</sub>	CAN0 - IF2 アービトレーション 1 レジスタ下位	IF2ARB1L0	IF2ARB10	R/W	00000000
000749 <sub>H</sub>	CAN0 - IF2 アービトレーション 1 レジスタ上位	IF2ARB1H0	-	R/W	00000000
00074A <sub>H</sub>	CAN0 - IF2 アービトレーション 2 レジスタ下位	IF2ARB2L0	IF2ARB20	R/W	00000000
00074B <sub>H</sub>	CAN0 - IF2 アービトレーション 2 レジスタ上位	IF2ARB2H0	-	R/W	00000000
00074C <sub>H</sub>	CAN0 - IF2 メッセージ制御レジスタ下位	IF2MCTRL0	IF2MCTR0	R/W	0XXX0000
00074D <sub>H</sub>	CAN0 - IF2 メッセージ制御レジスタ上位	IF2MCTRH0	-	R/W	00000000
00074E <sub>H</sub>	CAN0 - IF2 データ A1 下位	IF2DTA1L0	IF2DTA10	R/W	00000000
00074F <sub>H</sub>	CAN0 - IF2 データ A1 上位	IF2DTA1H0	-	R/W	00000000
000750 <sub>H</sub>	CAN0 - IF2 データ A2 下位	IF2DTA2L0	IF2DTA20	R/W	00000000
000751 <sub>H</sub>	CAN0 - IF2 データ A2 上位	IF2DTA2H0	-	R/W	00000000
000752 <sub>H</sub>	CAN0 - IF2 データ B1 下位	IF2DTB1L0	IF2DTB10	R/W	00000000
000753 <sub>H</sub>	CAN0 - IF2 データ B1 上位	IF2DTB1H0	-	R/W	00000000
000754 <sub>H</sub>	CAN0 - IF2 データ B2 下位	IF2DTB2L0	IF2DTB20	R/W	00000000
000755 <sub>H</sub>	CAN0 - IF2 データ B2 上位	IF2DTB2H0	-	R/W	00000000
000756 <sub>H</sub> - 00077F <sub>H</sub>	予約	-	-	-	-
000780 <sub>H</sub>	CAN0 - 送信リクエスト 1 レジスタ下位	TREQR1L0	TREQR10	R	00000000
000781 <sub>H</sub>	CAN0 - 送信リクエスト 1 レジスタ上位	TREQR1H0	-	R	00000000
000782 <sub>H</sub>	CAN0 - 送信リクエスト 2 レジスタ下位	TREQR2L0	TREQR20	R	00000000
000783 <sub>H</sub>	CAN0 - 送信リクエスト 2 レジスタ上位	TREQR2H0	-	R	00000000
000784 <sub>H</sub> - 00078F <sub>H</sub>	予約	-	-	-	-
000790 <sub>H</sub>	CAN0 - 新規データ 1 レジスタ下位	NEWDT1L0	NEWDT10	R	00000000
000791 <sub>H</sub>	CAN0 - 新規データ 1 レジスタ上位	NEWDT1H0	-	R	00000000
000792 <sub>H</sub>	CAN0 - 新規データ 2 レジスタ下位	NEWDT2L0	NEWDT20	R	00000000
000793 <sub>H</sub>	CAN0 - 新規データ 2 レジスタ上位	NEWDT2H0	-	R	00000000
000794 <sub>H</sub> - 00079F <sub>H</sub>	予約	-	-	-	-
0007A0 <sub>H</sub>	CAN0 - 割込み保留 1 レジスタ下位	INTPND1L0	INTPND10	R	00000000
0007A1 <sub>H</sub>	CAN0 - 割込み保留 1 レジスタ上位	INTPND1H0	-	R	00000000
0007A2 <sub>H</sub>	CAN0 - 割込み保留 2 レジスタ下位	INTPND2L0	INTPND20	R	00000000
0007A3 <sub>H</sub>	CAN0 - 割込み保留 2 レジスタ上位	INTPND2H0	-	R	00000000
0007A4 <sub>H</sub> - 0007AF <sub>H</sub>	予約	-	-	-	-
0007B0 <sub>H</sub>	CAN0 - メッセージ有効 1 レジスタ下位	MSGVAL1L0	MSGVAL10	R	00000000
0007B1 <sub>H</sub>	CAN0 - メッセージ有効 1 レジスタ上位	MSGVAL1H0	-	R	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0007B2 <sub>H</sub>	CAN0 - メッセージ有効 2 レジスタ下位	MSGVAL2L0	MSGVAL20	R	00000000
0007B3 <sub>H</sub>	CAN0 - メッセージ有効 2 レジスタ上位	MSGVAL2H0	-	R	00000000
0007B4 <sub>H</sub> - 0007CD <sub>H</sub>	予約	-	-	-	-
0007CE <sub>H</sub>	CAN0 - 出力許可レジスタ	COER0	-	R/W	XXXXXXXX0
0007CF <sub>H</sub>	予約	-	-	-	-
0007D0 <sub>H</sub>	SG0 - サウンドコントロールレジスタ下位	SGCRL0	SGCR0	R/W	00000000
0007D1 <sub>H</sub>	SG0 - サウンドコントロールレジスタ上位	SGCRH0	-	R/W	XXXXX100
0007D2 <sub>H</sub>	SG0 - 周波数データレジスタ	SGFR0	-	R/W	XXXXXXXXXX
0007D3 <sub>H</sub>	SG0 - 振幅データレジスタ	SGAR0	-	R/W	XXXXXXXXXX
0007D4 <sub>H</sub>	SG0 - デクリメントグレードレジスタ	SGDR0	-	R/W	XXXXXXXXXX
0007D5 <sub>H</sub>	SG0 - トーンカウントレジスタ	SGTR0	-	R/W	XXXXXXXXXX
0007D6 <sub>H</sub>	SG1 - サウンドコントロールレジスタ下位	SGCRL1	SGCR1	R/W	00000000
0007D7 <sub>H</sub>	SG1 - サウンドコントロールレジスタ上位	SGCRH1	-	R/W	XXXXX100
0007D8 <sub>H</sub>	SG1 - 周波数データレジスタ	SGFR1	-	R/W	XXXXXXXXXX
0007D9 <sub>H</sub>	SG1 - 振幅データレジスタ	SGAR1	-	R/W	XXXXXXXXXX
0007DA <sub>H</sub>	SG1 - デクリメントグレードレジスタ	SGDR1	-	R/W	XXXXXXXXXX
0007DB <sub>H</sub>	SG1 - トーンカウントレジスタ	SGTR1	-	R/W	XXXXXXXXXX
0007DC <sub>H</sub> - 0009FF <sub>H</sub>	予約	-	-	-	-
000A00 <sub>H</sub>	DMA - I/O アドレスポインタバンク選択レジスタ 0	IOABK0	-	R/W	00000000
000A01 <sub>H</sub>	DMA - I/O アドレスポインタバンク選択レジスタ 1	IOABK1	-	R/W	00000000
000A02 <sub>H</sub>	DMA - I/O アドレスポインタバンク選択レジスタ 2	IOABK2	-	R/W	00000000
000A03 <sub>H</sub>	DMA - I/O アドレスポインタバンク選択レジスタ 3	IOABK3	-	R/W	00000000
000A04 <sub>H</sub> - 000A7F <sub>H</sub>	予約	-	-	-	-
000A80 <sub>H</sub>	PPG0 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L0	EPCN10	R/W	0XXXXX000
000A81 <sub>H</sub>	PPG0 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H0	-	R/W	XXX00000
000A82 <sub>H</sub>	PPG1 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L1	EPCN11	R/W	0XXXXX000
000A83 <sub>H</sub>	PPG1 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H1	-	R/W	XXX00000
000A84 <sub>H</sub>	PPG2 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L2	EPCN12	R/W	0XXXXX000
000A85 <sub>H</sub>	PPG2 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H2	-	R/W	XXX00000
000A86 <sub>H</sub>	PPG3 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L3	EPCN13	R/W	0XXXXX000
000A87 <sub>H</sub>	PPG3 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H3	-	R/W	XXX00000

アドレス	レジスタ	8 ビット アクセス時の レジスタ略称名	16 ビット アクセス時の レジスタ略称名	属性	初期値
000A88 <sub>H</sub>	PPG4 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L4	EPCN14	R/W	0XXXXX000
000A89 <sub>H</sub>	PPG4 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H4	-	R/W	XXX00000
000A8A <sub>H</sub>	PPG5 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L5	EPCN15	R/W	0XXXXX000
000A8B <sub>H</sub>	PPG5 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H5	-	R/W	XXX00000
000A8C <sub>H</sub>	PPG6 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L6	EPCN16	R/W	0XXXXX000
000A8D <sub>H</sub>	PPG6 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H6	-	R/W	XXX00000
000A8E <sub>H</sub>	PPG7 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L7	EPCN17	R/W	0XXXXX000
000A8F <sub>H</sub>	PPG7 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H7	-	R/W	XXX00000
000A90 <sub>H</sub> - 000A97 <sub>H</sub>	予約	-	-	-	-
000A98 <sub>H</sub>	PPG12 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L12	EPCN112	R/W	0XXXXX000
000A99 <sub>H</sub>	PPG12 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H12	-	R/W	XXX00000
000A9A <sub>H</sub>	PPG13 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L13	EPCN113	R/W	0XXXXX000
000A9B <sub>H</sub>	PPG13 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H13	-	R/W	XXX00000
000A9C <sub>H</sub>	PPG14 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L14	EPCN114	R/W	0XXXXX000
000A9D <sub>H</sub>	PPG14 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H14	-	R/W	XXX00000
000A9E <sub>H</sub>	PPG15 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L15	EPCN115	R/W	0XXXXX000
000A9F <sub>H</sub>	PPG15 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H15	-	R/W	XXX00000
000AA0 <sub>H</sub> - 000B53 <sub>H</sub>	予約	-	-	-	-
000B54 <sub>H</sub>	ADC0 - レンジ比較しきい値超過フラグレ ジスタ 0	ADRCOOF00	-	R	00000000
000B55 <sub>H</sub>	ADC0 - レンジ比較しきい値超過フラグレ ジスタ 1	ADRCOOF10	-	R	00000000
000B56 <sub>H</sub>	ADC0 - レンジ比較しきい値超過フラグレ ジスタ 2	ADRCOOF20	-	R	00000000
000B57 <sub>H</sub>	ADC0 - レンジ比較しきい値超過フラグレ ジスタ 3	ADRCOOF30	-	R	00000000
000B58 <sub>H</sub> - 000B5B <sub>H</sub>	予約	-	-	-	-
000B5C <sub>H</sub>	ADC0 - レンジ比較フラグレジスタ 0	ADRCOINTF00	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000B5D <sub>H</sub>	ADC0 - レンジ比較フラグレジスタ 1	ADRCOINTF10	-	R/W	00000000
000B5E <sub>H</sub>	ADC0 - レンジ比較フラグレジスタ 2	ADRCOINTF20	-	R/W	00000000
000B5F <sub>H</sub>	ADC0 - レンジ比較フラグレジスタ 3	ADRCOINTF30	-	R/W	00000000
000B60 <sub>H</sub> - 000B63 <sub>H</sub>	予約	-	-	-	-
000B64 <sub>H</sub>	ADC0 - パルスカウンタ割込みイネーブル レジスタ 0	ADPCIE00	-	R/W	00000000
000B65 <sub>H</sub>	ADC0 - パルスカウンタ割込みイネーブル レジスタ 1	ADPCIE10	-	R/W	00000000
000B66 <sub>H</sub>	ADC0 - パルスカウンタ割込みイネーブル レジスタ 2	ADPCIE20	-	R/W	00000000
000B67 <sub>H</sub>	ADC0 - パルスカウンタ割込みイネーブル レジスタ 3	ADPCIE30	-	R/W	00000000
000B68 <sub>H</sub>	ADC0 - パルスカウンタゼロフラグレジス タ 0	ADPCZF00	-	R/W	00000000
000B69 <sub>H</sub>	ADC0 - パルスカウンタゼロフラグレジス タ 1	ADPCZF10	-	R/W	00000000
000B6A <sub>H</sub>	ADC0 - パルスカウンタゼロフラグレジス タ 2	ADPCZF20	-	R/W	00000000
000B6B <sub>H</sub>	ADC0 - パルスカウンタゼロフラグレジス タ 3	ADPCZF30	-	R/W	00000000
000B6C <sub>H</sub> - 000BA9 <sub>H</sub>	予約	-	-	-	-
000BAA <sub>H</sub>	USART0 - チェックサムステータス制御レ ジスタ	CSCR0	-	R/W	00000000
000BAB <sub>H</sub>	USART0 - 拡張ステータスレジスタ	ESR0	-	R/W	XX000000
000BAC <sub>H</sub>	USART1 - チェックサムステータス制御レ ジスタ	CSCR1	-	R/W	00000000
000BAD <sub>H</sub>	USART1 - 拡張ステータスレジスタ	ESR1	-	R/W	XX000000
000BAE <sub>H</sub>	予約	-	-	-	-
000BAF <sub>H</sub>	USART2 - 拡張ステータスレジスタ	ESR2	-	R/W	XXXX00XX
000BB0 <sub>H</sub> - 000BB2 <sub>H</sub>	予約	-	-	-	-
000BB3 <sub>H</sub>	USART4 - 拡張ステータスレジスタ	ESR4	-	R/W	XXXX00XX
000BB4 <sub>H</sub>	予約	-	-	-	-
000BB5 <sub>H</sub>	USART5 - 拡張ステータスレジスタ	ESR5	-	R/W	XXXX00XX
000BB6 <sub>H</sub> - 000BEF <sub>H</sub>	予約	-	-	-	-
000BF0 <sub>H</sub>	DSU 制御レジスタ下位	DSUCRL	DSUCR	R/W	XXXXXXXX0
000BF1 <sub>H</sub>	DSU 制御レジスタ上位	DSUCRH	-	R/W	XXXXXXXXX
000BF2 <sub>H</sub> , 000BF3 <sub>H</sub>	予約	-	-	-	-
000BF4 <sub>H</sub>	ユーザイベントレジスタ下位	UERL	UER	W	XXXXXXXXX
000BF5 <sub>H</sub>	ユーザイベントレジスタ上位	UE RH	-	R/W	XXXXXXXXX
000BF6 <sub>H</sub>	メッセージバッファレジスタ下位	MBRL	MBR	W	XXXXXXXXX
000BF7 <sub>H</sub>	メッセージバッファレジスタ上位	MBRH	-	R/W	0XXXXXXXX



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000BF8 <sub>H</sub> - 000BFF <sub>H</sub>	予約	-	-	-	-
0E9000 <sub>H</sub> - 0E9301 <sub>H</sub>	予約	-	-	-	-
0E9302 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 4 下位	GCN4L0	GCN40	R/W	X110X110
0E9303 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 4 上位	GCN4H0	-	R/W	X110X110
0E9304 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 5 下位	GCN5L0	GCN50	R/W	00000000
0E9305 <sub>H</sub> - 0E930F <sub>H</sub>	予約	-	-	-	-
0E9310 <sub>H</sub>	PPG0 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L0	EPCN20	R/W	00XX0X0X
0E9311 <sub>H</sub>	予約	-	-	-	-
0E9312 <sub>H</sub>	PPG0 - スタートディレイレジスタ下位	PSDRL0	PSDR0	R/W	00000000
0E9313 <sub>H</sub>	PPG0 - スタートディレイレジスタ上位	PSDRH0	-	R/W	00000000
0E9314 <sub>H</sub>	PPG0 - タイミングポイントキャプチャレジ スタ下位	PTPCL0	PTPC0	R/W	00000000
0E9315 <sub>H</sub>	PPG0 - タイミングポイントキャプチャレジ スタ上位	PTPCH0	-	R/W	00000000
0E9316 <sub>H</sub> - 0E931F <sub>H</sub>	予約	-	-	-	-
0E9320 <sub>H</sub>	PPG1 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L1	EPCN21	R/W	00XX0X0X
0E9321 <sub>H</sub>	予約	-	-	-	-
0E9322 <sub>H</sub>	PPG1 - スタートディレイレジスタ下位	PSDRL1	PSDR1	R/W	00000000
0E9323 <sub>H</sub>	PPG1 - スタートディレイレジスタ上位	PSDRH1	-	R/W	00000000
0E9324 <sub>H</sub>	PPG1 - タイミングポイントキャプチャレジ スタ下位	PTPCL1	PTPC1	R/W	00000000
0E9325 <sub>H</sub>	PPG1 - タイミングポイントキャプチャレジ スタ上位	PTPCH1	-	R/W	00000000
0E9326 <sub>H</sub> - 0E932F <sub>H</sub>	予約	-	-	-	-
0E9330 <sub>H</sub>	PPG2 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L2	EPCN22	R/W	00XX0X0X
0E9331 <sub>H</sub>	予約	-	-	-	-
0E9332 <sub>H</sub>	PPG2 - スタートディレイレジスタ下位	PSDRL2	PSDR2	R/W	00000000
0E9333 <sub>H</sub>	PPG2 - スタートディレイレジスタ上位	PSDRH2	-	R/W	00000000
0E9334 <sub>H</sub>	PPG2 - タイミングポイントキャプチャレジ スタ下位	PTPCL2	PTPC2	R/W	00000000
0E9335 <sub>H</sub>	PPG2 - タイミングポイントキャプチャレジ スタ上位	PTPCH2	-	R/W	00000000
0E9336 <sub>H</sub> - 0E933F <sub>H</sub>	予約	-	-	-	-
0E9340 <sub>H</sub>	PPG3 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L3	EPCN23	R/W	00XX0X0X
0E9341 <sub>H</sub>	予約	-	-	-	-
0E9342 <sub>H</sub>	PPG3 - スタートディレイレジスタ下位	PSDRL3	PSDR3	R/W	00000000
0E9343 <sub>H</sub>	PPG3 - スタートディレイレジスタ上位	PSDRH3	-	R/W	00000000



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9344 <sub>H</sub>	PPG3 - タイミングポイントキャプチャレジスタ下位	PTPCL3	PTPC3	R/W	00000000
0E9345 <sub>H</sub>	PPG3 - タイミングポイントキャプチャレジスタ上位	PTPCH3	-	R/W	00000000
0E9346 <sub>H</sub> - 0E9351 <sub>H</sub>	予約	-	-	-	-
0E9352 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 4 下位	GCN4L1	GCN41	R/W	X110X110
0E9353 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 4 上位	GCN4H1	-	R/W	X110X110
0E9354 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 5 下位	GCN5L1	GCN51	R/W	00000000
0E9355 <sub>H</sub> - 0E935F <sub>H</sub>	予約	-	-	-	-
0E9360 <sub>H</sub>	PPG4 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L4	EPCN24	R/W	00XX0X0X
0E9361 <sub>H</sub>	予約	-	-	-	-
0E9362 <sub>H</sub>	PPG4 - スタートディレイレジスタ下位	PSDRL4	PSDR4	R/W	00000000
0E9363 <sub>H</sub>	PPG4 - スタートディレイレジスタ上位	PSDRH4	-	R/W	00000000
0E9364 <sub>H</sub>	PPG4 - タイミングポイントキャプチャレジスタ下位	PTPCL4	PTPC4	R/W	00000000
0E9365 <sub>H</sub>	PPG4 - タイミングポイントキャプチャレジスタ上位	PTPCH4	-	R/W	00000000
0E9366 <sub>H</sub> - 0E936F <sub>H</sub>	予約	-	-	-	-
0E9370 <sub>H</sub>	PPG5 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L5	EPCN25	R/W	00XX0X0X
0E9371 <sub>H</sub>	予約	-	-	-	-
0E9372 <sub>H</sub>	PPG5 - スタートディレイレジスタ下位	PSDRL5	PSDR5	R/W	00000000
0E9373 <sub>H</sub>	PPG5 - スタートディレイレジスタ上位	PSDRH5	-	R/W	00000000
0E9374 <sub>H</sub>	PPG5 - タイミングポイントキャプチャレジスタ下位	PTPCL5	PTPC5	R/W	00000000
0E9375 <sub>H</sub>	PPG5 - タイミングポイントキャプチャレジスタ上位	PTPCH5	-	R/W	00000000
0E9376 <sub>H</sub> - 0E937F <sub>H</sub>	予約	-	-	-	-
0E9380 <sub>H</sub>	PPG6 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L6	EPCN26	R/W	00XX0X0X
0E9381 <sub>H</sub>	予約	-	-	-	-
0E9382 <sub>H</sub>	PPG6 - スタートディレイレジスタ下位	PSDRL6	PSDR6	R/W	00000000
0E9383 <sub>H</sub>	PPG6 - スタートディレイレジスタ上位	PSDRH6	-	R/W	00000000
0E9384 <sub>H</sub>	PPG6 - タイミングポイントキャプチャレジスタ下位	PTPCL6	PTPC6	R/W	00000000
0E9385 <sub>H</sub>	PPG6 - タイミングポイントキャプチャレジスタ上位	PTPCH6	-	R/W	00000000
0E9386 <sub>H</sub> - 0E938F <sub>H</sub>	予約	-	-	-	-
0E9390 <sub>H</sub>	PPG7 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L7	EPCN27	R/W	00XX0X0X
0E9391 <sub>H</sub>	予約	-	-	-	-

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9392 <sub>H</sub>	PPG7 - スタートディレイレジスタ下位	PSDRL7	PSDR7	R/W	00000000
0E9393 <sub>H</sub>	PPG7 - スタートディレイレジスタ上位	PSDRH7	-	R/W	00000000
0E9394 <sub>H</sub>	PPG7 - タイミングポイントキャプチャレジスタ下位	PTPCL7	PTPC7	R/W	00000000
0E9395 <sub>H</sub>	PPG7 - タイミングポイントキャプチャレジスタ上位	PTPCH7	-	R/W	00000000
0E9396 <sub>H</sub> - 0E9401 <sub>H</sub>	予約	-	-	-	-
0E9402 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 4 下位	GCN4L3	GCN43	R/W	X110X110
0E9403 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 4 上位	GCN4H3	-	R/W	X110X110
0E9404 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 5 下位	GCN5L3	GCN53	R/W	00000000
0E9405 <sub>H</sub> - 0E940F <sub>H</sub>	予約	-	-	-	-
0E9410 <sub>H</sub>	PPG12 - 拡張PPG制御ステータスレジスタ 2 下位	EPCN2L12	EPCN212	R/W	00XX0X0X
0E9411 <sub>H</sub>	予約	-	-	-	-
0E9412 <sub>H</sub>	PPG12 - スタートディレイレジスタ下位	PSDRL12	PSDR12	R/W	00000000
0E9413 <sub>H</sub>	PPG12 - スタートディレイレジスタ上位	PSDRH12	-	R/W	00000000
0E9414 <sub>H</sub>	PPG12 - タイミングポイントキャプチャレジスタ下位	PTPCL12	PTPC12	R/W	00000000
0E9415 <sub>H</sub>	PPG12 - タイミングポイントキャプチャレジスタ上位	PTPCH12	-	R/W	00000000
0E9416 <sub>H</sub> - 0E941F <sub>H</sub>	予約	-	-	-	-
0E9420 <sub>H</sub>	PPG13 - 拡張PPG制御ステータスレジスタ 2 下位	EPCN2L13	EPCN213	R/W	00XX0X0X
0E9421 <sub>H</sub>	予約	-	-	-	-
0E9422 <sub>H</sub>	PPG13 - スタートディレイレジスタ下位	PSDRL13	PSDR13	R/W	00000000
0E9423 <sub>H</sub>	PPG13 - スタートディレイレジスタ上位	PSDRH13	-	R/W	00000000
0E9424 <sub>H</sub>	PPG13 - タイミングポイントキャプチャレジスタ下位	PTPCL13	PTPC13	R/W	00000000
0E9425 <sub>H</sub>	PPG13 - タイミングポイントキャプチャレジスタ上位	PTPCH13	-	R/W	00000000
0E9426 <sub>H</sub> - 0E942F <sub>H</sub>	予約	-	-	-	-
0E9430 <sub>H</sub>	PPG14 - 拡張PPG制御ステータスレジスタ 2 下位	EPCN2L14	EPCN214	R/W	00XX0X0X
0E9431 <sub>H</sub>	予約	-	-	-	-
0E9432 <sub>H</sub>	PPG14 - スタートディレイレジスタ下位	PSDRL14	PSDR14	R/W	00000000
0E9433 <sub>H</sub>	PPG14 - スタートディレイレジスタ上位	PSDRH14	-	R/W	00000000
0E9434 <sub>H</sub>	PPG14 - タイミングポイントキャプチャレジスタ下位	PTPCL14	PTPC14	R/W	00000000
0E9435 <sub>H</sub>	PPG14 - タイミングポイントキャプチャレジスタ上位	PTPCH14	-	R/W	00000000
0E9436 <sub>H</sub> - 0E943F <sub>H</sub>	予約	-	-	-	-

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9440 <sub>H</sub>	PPG15 - 拡張PPG制御ステータスレジスタ 2 下位	EPCN2L15	EPCN215	R/W	00XX0X0X
0E9441 <sub>H</sub>	予約	-	-	-	-
0E9442 <sub>H</sub>	PPG15 - スタートディレイレジスタ下位	PSDRL15	PSDR15	R/W	00000000
0E9443 <sub>H</sub>	PPG15 - スタートディレイレジスタ上位	PSDRH15	-	R/W	00000000
0E9444 <sub>H</sub>	PPG15 - タイミングポイントキャプチャレ ジスタ下位	PTPCL15	PTPC15	R/W	00000000
0E9445 <sub>H</sub>	PPG15 - タイミングポイントキャプチャレ ジスタ上位	PTPCH15	-	R/W	00000000
0E9446 <sub>H</sub> - 0E949F <sub>H</sub>	予約	-	-	-	-
0E94A0 <sub>H</sub>	ADTG - ADC0 トリガ制御レジスタ下位	ADTGCR0L0	ADTGCR0	R/W	XXXXXXXX
0E94A1 <sub>H</sub>	ADTG - ADC0 トリガ制御レジスタ上位	ADTGCRH0	-	R/W	XXXXXXXX1
0E94A2 <sub>H</sub>	ADTG - ADC0 トリガ入力選択下位	ADTGISEL0	ADTGISEL0	R/W	XXXXX001
0E94A3 <sub>H</sub>	ADTG - ADC0 トリガ入力選択上位	ADTGISELH0	-	R/W	XXX00000
0E94A4 <sub>H</sub> - 0E951F <sub>H</sub>	予約	-	-	-	-
0E9520 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 0 下位	ADRCOLL00	ADRCOL00	R/W	00000000
0E9521 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 0 上位	ADRCOLH00	-	R/W	00000000
0E9522 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 0 下位	ADRCOHL00	ADRCOH00	R/W	00000000
0E9523 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 0 上位	ADRCOHH00	-	R/W	00000000
0E9524 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 1 下位	ADRCOLL10	ADRCOL10	R/W	00000000
0E9525 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 1 上位	ADRCOLH10	-	R/W	00000000
0E9526 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 1 下位	ADRCOHL10	ADRCOH10	R/W	00000000
0E9527 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 1 上位	ADRCOHH10	-	R/W	00000000
0E9528 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 2 下位	ADRCOLL20	ADRCOL20	R/W	00000000
0E9529 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 2 上位	ADRCOLH20	-	R/W	00000000
0E952A <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 2 下位	ADRCOHL20	ADRCOH20	R/W	00000000
0E952B <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 2 上位	ADRCOHH20	-	R/W	00000000
0E952C <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 3 下位	ADRCOLL30	ADRCOL30	R/W	00000000
0E952D <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 3 上位	ADRCOLH30	-	R/W	00000000
0E952E <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 3 下位	ADRCOHL30	ADRCOH30	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E952F <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 3 上位	ADRCOHH30	-	R/W	00000000
0E9530 <sub>H</sub>	ADC0 - チャネルスキップレジスタ 0	ADDSCR00	-	R/W	00000000
0E9531 <sub>H</sub>	ADC0 - チャネルスキップレジスタ 1	ADDSCR10	-	R/W	00000000
0E9532 <sub>H</sub>	ADC0 - チャネルスキップレジスタ 2	ADDSCR20	-	R/W	00000000
0E9533 <sub>H</sub>	ADC0 - チャネルスキップレジスタ 3	ADDSCR30	-	R/W	00000000
0E9534 <sub>H</sub> - 0E953F <sub>H</sub>	予約	-	-	-	-
0E9540 <sub>H</sub>	ADC0 - レンジ比較インバートレンジ選択 レジスタ 0	ADRCOIRS00	-	R/W	00000000
0E9541 <sub>H</sub>	ADC0 - レンジ比較インバートレンジ選択 レジスタ 1	ADRCOIRS10	-	R/W	00000000
0E9542 <sub>H</sub>	ADC0 - レンジ比較インバートレンジ選択 レジスタ 2	ADRCOIRS20	-	R/W	00000000
0E9543 <sub>H</sub>	ADC0 - レンジ比較インバートレンジ選択 レジスタ 3	ADRCOIRS30	-	R/W	00000000
0E9544 <sub>H</sub> - 0E954F <sub>H</sub>	予約	-	-	-	-
0E9550 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 0	ADCC000	-	R/W	00000000
0E9551 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 1	ADCC010	-	R/W	00000000
0E9552 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 2	ADCC020	-	R/W	00000000
0E9553 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 3	ADCC030	-	R/W	00000000
0E9554 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 4	ADCC040	-	R/W	00000000
0E9555 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 5	ADCC050	-	R/W	00000000
0E9556 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 6	ADCC060	-	R/W	00000000
0E9557 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 7	ADCC070	-	R/W	00000000
0E9558 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 8	ADCC080	-	R/W	00000000
0E9559 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 9	ADCC090	-	R/W	00000000
0E955A <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 10	ADCC100	-	R/W	00000000
0E955B <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 11	ADCC110	-	R/W	00000000
0E955C <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 12	ADCC120	-	R/W	00000000
0E955D <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 13	ADCC130	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E955E <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 14	ADCC140	-	R/W	00000000
0E955F <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 15	ADCC150	-	R/W	00000000
0E9560 <sub>H</sub> - 0E958F <sub>H</sub>	予約	-	-	-	-
0E9590 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロー ドレジスタ 0	ADPCTPRD00	-	R/W	00000000
0E9591 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロー ドレジスタ 0	ADPCTNRD00	-	R/W	00000000
0E9592 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロー ドレジスタ 1	ADPCTPRD10	-	R/W	00000000
0E9593 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロー ドレジスタ 1	ADPCTNRD10	-	R/W	00000000
0E9594 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロー ドレジスタ 2	ADPCTPRD20	-	R/W	00000000
0E9595 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロー ドレジスタ 2	ADPCTNRD20	-	R/W	00000000
0E9596 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロー ドレジスタ 3	ADPCTPRD30	-	R/W	00000000
0E9597 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロー ドレジスタ 3	ADPCTNRD30	-	R/W	00000000
0E9598 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロー ドレジスタ 4	ADPCTPRD40	-	R/W	00000000
0E9599 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロー ドレジスタ 4	ADPCTNRD40	-	R/W	00000000
0E959A <sub>H</sub>	ADC0 - パルスポジティブカウンタリロー ドレジスタ 5	ADPCTPRD50	-	R/W	00000000
0E959B <sub>H</sub>	ADC0 - パルスネガティブカウンタリロー ドレジスタ 5	ADPCTNRD50	-	R/W	00000000
0E959C <sub>H</sub>	ADC0 - パルスポジティブカウンタリロー ドレジスタ 6	ADPCTPRD60	-	R/W	00000000
0E959D <sub>H</sub>	ADC0 - パルスネガティブカウンタリロー ドレジスタ 6	ADPCTNRD60	-	R/W	00000000
0E959E <sub>H</sub>	ADC0 - パルスポジティブカウンタリロー ドレジスタ 7	ADPCTPRD70	-	R/W	00000000
0E959F <sub>H</sub>	ADC0 - パルスネガティブカウンタリロー ドレジスタ 7	ADPCTNRD70	-	R/W	00000000
0E95A0 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロー ドレジスタ 8	ADPCTPRD80	-	R/W	00000000
0E95A1 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロー ドレジスタ 8	ADPCTNRD80	-	R/W	00000000
0E95A2 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロー ドレジスタ 9	ADPCTPRD90	-	R/W	00000000
0E95A3 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロー ドレジスタ 9	ADPCTNRD90	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E95A4 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 10	ADPCTPRD100	-	R/W	00000000
0E95A5 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 10	ADPCTNRD100	-	R/W	00000000
0E95A6 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 11	ADPCTPRD110	-	R/W	00000000
0E95A7 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 11	ADPCTNRD110	-	R/W	00000000
0E95A8 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 12	ADPCTPRD120	-	R/W	00000000
0E95A9 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 12	ADPCTNRD120	-	R/W	00000000
0E95AA <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 13	ADPCTPRD130	-	R/W	00000000
0E95AB <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 13	ADPCTNRD130	-	R/W	00000000
0E95AC <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 14	ADPCTPRD140	-	R/W	00000000
0E95AD <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 14	ADPCTNRD140	-	R/W	00000000
0E95AE <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 15	ADPCTPRD150	-	R/W	00000000
0E95AF <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 15	ADPCTNRD150	-	R/W	00000000
0E95B0 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 16	ADPCTPRD160	-	R/W	00000000
0E95B1 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 16	ADPCTNRD160	-	R/W	00000000
0E95B2 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 17	ADPCTPRD170	-	R/W	00000000
0E95B3 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 17	ADPCTNRD170	-	R/W	00000000
0E95B4 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 18	ADPCTPRD180	-	R/W	00000000
0E95B5 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 18	ADPCTNRD180	-	R/W	00000000
0E95B6 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 19	ADPCTPRD190	-	R/W	00000000
0E95B7 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 19	ADPCTNRD190	-	R/W	00000000
0E95B8 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 20	ADPCTPRD200	-	R/W	00000000
0E95B9 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 20	ADPCTNRD200	-	R/W	00000000
0E95BA <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 21	ADPCTPRD210	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E95BB <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 21	ADPCTNRD210	-	R/W	00000000
0E95BC <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 22	ADPCTPRD220	-	R/W	00000000
0E95BD <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 22	ADPCTNRD220	-	R/W	00000000
0E95BE <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 23	ADPCTPRD230	-	R/W	00000000
0E95BF <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 23	ADPCTNRD230	-	R/W	00000000
0E95C0 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 24	ADPCTPRD240	-	R/W	00000000
0E95C1 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 24	ADPCTNRD240	-	R/W	00000000
0E95C2 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 25	ADPCTPRD250	-	R/W	00000000
0E95C3 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 25	ADPCTNRD250	-	R/W	00000000
0E95C4 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 26	ADPCTPRD260	-	R/W	00000000
0E95C5 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 26	ADPCTNRD260	-	R/W	00000000
0E95C6 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 27	ADPCTPRD270	-	R/W	00000000
0E95C7 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 27	ADPCTNRD270	-	R/W	00000000
0E95C8 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 28	ADPCTPRD280	-	R/W	00000000
0E95C9 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 28	ADPCTNRD280	-	R/W	00000000
0E95CA <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 29	ADPCTPRD290	-	R/W	00000000
0E95CB <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 29	ADPCTNRD290	-	R/W	00000000
0E95CC <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 30	ADPCTPRD300	-	R/W	00000000
0E95CD <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 30	ADPCTNRD300	-	R/W	00000000
0E95CE <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 31	ADPCTPRD310	-	R/W	00000000
0E95CF <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 31	ADPCTNRD310	-	R/W	00000000
0E95D0 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 0	ADPCTPCT00	-	R	00000000
0E95D1 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 0	ADPCTNCT00	-	R	00000000
0E95D2 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 1	ADPCTPCT10	-	R	00000000
0E95D3 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 1	ADPCTNCT10	-	R	00000000
0E95D4 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 2	ADPCTPCT20	-	R	00000000



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E95D5 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 2	ADPCTNCT20	-	R	00000000
0E95D6 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 3	ADPCTPCT30	-	R	00000000
0E95D7 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 3	ADPCTNCT30	-	R	00000000
0E95D8 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 4	ADPCTPCT40	-	R	00000000
0E95D9 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 4	ADPCTNCT40	-	R	00000000
0E95DA <sub>H</sub>	ADC0 - パルスポジティブカウンタ 5	ADPCTPCT50	-	R	00000000
0E95DB <sub>H</sub>	ADC0 - パルスネガティブカウンタ 5	ADPCTNCT50	-	R	00000000
0E95DC <sub>H</sub>	ADC0 - パルスポジティブカウンタ 6	ADPCTPCT60	-	R	00000000
0E95DD <sub>H</sub>	ADC0 - パルスネガティブカウンタ 6	ADPCTNCT60	-	R	00000000
0E95DE <sub>H</sub>	ADC0 - パルスポジティブカウンタ 7	ADPCTPCT70	-	R	00000000
0E95DF <sub>H</sub>	ADC0 - パルスネガティブカウンタ 7	ADPCTNCT70	-	R	00000000
0E95E0 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 8	ADPCTPCT80	-	R	00000000
0E95E1 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 8	ADPCTNCT80	-	R	00000000
0E95E2 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 9	ADPCTPCT90	-	R	00000000
0E95E3 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 9	ADPCTNCT90	-	R	00000000
0E95E4 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 10	ADPCTPCT100	-	R	00000000
0E95E5 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 10	ADPCTNCT100	-	R	00000000
0E95E6 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 11	ADPCTPCT110	-	R	00000000
0E95E7 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 11	ADPCTNCT110	-	R	00000000
0E95E8 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 12	ADPCTPCT120	-	R	00000000
0E95E9 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 12	ADPCTNCT120	-	R	00000000
0E95EA <sub>H</sub>	ADC0 - パルスポジティブカウンタ 13	ADPCTPCT130	-	R	00000000
0E95EB <sub>H</sub>	ADC0 - パルスネガティブカウンタ 13	ADPCTNCT130	-	R	00000000
0E95EC <sub>H</sub>	ADC0 - パルスポジティブカウンタ 14	ADPCTPCT140	-	R	00000000
0E95ED <sub>H</sub>	ADC0 - パルスネガティブカウンタ 14	ADPCTNCT140	-	R	00000000
0E95EE <sub>H</sub>	ADC0 - パルスポジティブカウンタ 15	ADPCTPCT150	-	R	00000000
0E95EF <sub>H</sub>	ADC0 - パルスネガティブカウンタ 15	ADPCTNCT150	-	R	00000000
0E95F0 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 16	ADPCTPCT160	-	R	00000000
0E95F1 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 16	ADPCTNCT160	-	R	00000000
0E95F2 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 17	ADPCTPCT170	-	R	00000000
0E95F3 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 17	ADPCTNCT170	-	R	00000000
0E95F4 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 18	ADPCTPCT180	-	R	00000000
0E95F5 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 18	ADPCTNCT180	-	R	00000000
0E95F6 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 19	ADPCTPCT190	-	R	00000000
0E95F7 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 19	ADPCTNCT190	-	R	00000000
0E95F8 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 20	ADPCTPCT200	-	R	00000000
0E95F9 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 20	ADPCTNCT200	-	R	00000000
0E95FA <sub>H</sub>	ADC0 - パルスポジティブカウンタ 21	ADPCTPCT210	-	R	00000000
0E95FB <sub>H</sub>	ADC0 - パルスネガティブカウンタ 21	ADPCTNCT210	-	R	00000000
0E95FC <sub>H</sub>	ADC0 - パルスポジティブカウンタ 22	ADPCTPCT220	-	R	00000000
0E95FD <sub>H</sub>	ADC0 - パルスネガティブカウンタ 22	ADPCTNCT220	-	R	00000000
0E95FE <sub>H</sub>	ADC0 - パルスポジティブカウンタ 23	ADPCTPCT230	-	R	00000000
0E95FF <sub>H</sub>	ADC0 - パルスネガティブカウンタ 23	ADPCTNCT230	-	R	00000000
0E9600 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 24	ADPCTPCT240	-	R	00000000
0E9601 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 24	ADPCTNCT240	-	R	00000000
0E9602 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 25	ADPCTPCT250	-	R	00000000



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9603 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 25	ADPCTNCT250	-	R	00000000
0E9604 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 26	ADPCTPCT260	-	R	00000000
0E9605 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 26	ADPCTNCT260	-	R	00000000
0E9606 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 27	ADPCTPCT270	-	R	00000000
0E9607 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 27	ADPCTNCT270	-	R	00000000
0E9608 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 28	ADPCTPCT280	-	R	00000000
0E9609 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 28	ADPCTNCT280	-	R	00000000
0E960A <sub>H</sub>	ADC0 - パルスポジティブカウンタ 29	ADPCTPCT290	-	R	00000000
0E960B <sub>H</sub>	ADC0 - パルスネガティブカウンタ 29	ADPCTNCT290	-	R	00000000
0E960C <sub>H</sub>	ADC0 - パルスポジティブカウンタ 30	ADPCTPCT300	-	R	00000000
0E960D <sub>H</sub>	ADC0 - パルスネガティブカウンタ 30	ADPCTNCT300	-	R	00000000
0E960E <sub>H</sub>	ADC0 - パルスポジティブカウンタ 31	ADPCTPCT310	-	R	00000000
0E960F <sub>H</sub>	ADC0 - パルスネガティブカウンタ 31	ADPCTNCT310	-	R	00000000
0E9610 <sub>H</sub> - 0E97BF <sub>H</sub>	予約	-	-	-	-
0E97C0 <sub>H</sub>	USART0 - 拡張機能許可レジスタ下位	EFERL0	EFER0	R/W	00000000
0E97C1 <sub>H</sub>	USART0 - 拡張機能許可レジスタ上位	EFERH0	-	R/W	XX000000
0E97C2 <sub>H</sub>	USART0 - 受信 FIFO 制御レジスタ	RFCR0	-	R/W	00X00000
0E97C3 <sub>H</sub>	USART0 - 送信 FIFO 制御レジスタ	TFCR0	-	R/W	00X00000
0E97C4 <sub>H</sub>	USART0 - 受信 FIFO ステータスレジスタ	RFSR0	-	R	XXX00000
0E97C5 <sub>H</sub>	USART0 - 送信 FIFO ステータスレジスタ	TFSR0	-	R	XXX00000
0E97C6 <sub>H</sub>	USART0 - Sync Field タイムアウトレジスタ下位	SFTRL0	SFTR0	R/W	00000000
0E97C7 <sub>H</sub>	USART0 - Sync Field タイムアウトレジスタ上位	SFTRH0	-	R/W	00000000
0E97C8 <sub>H</sub>	USART0 - 拡張割込み許可レジスタ	EIER0	-	R/W	00000000
0E97C9 <sub>H</sub> - 0E97CF <sub>H</sub>	予約	-	-	-	-
0E97D0 <sub>H</sub>	USART1 - 拡張機能許可レジスタ下位	EFERL1	EFER1	R/W	00000000
0E97D1 <sub>H</sub>	USART1 - 拡張機能許可レジスタ上位	EFERH1	-	R/W	XX000000
0E97D2 <sub>H</sub>	USART1 - 受信 FIFO 制御レジスタ	RFCR1	-	R/W	00X00000
0E97D3 <sub>H</sub>	USART1 - 送信 FIFO 制御レジスタ	TFCR1	-	R/W	00X00000
0E97D4 <sub>H</sub>	USART1 - 受信 FIFO ステータスレジスタ	RFSR1	-	R	XXX00000
0E97D5 <sub>H</sub>	USART1 - 送信 FIFO ステータスレジスタ	TFSR1	-	R	XXX00000
0E97D6 <sub>H</sub>	USART1 - Sync Field タイムアウトレジスタ下位	SFTRL1	SFTR1	R/W	00000000
0E97D7 <sub>H</sub>	USART1 - Sync Field タイムアウトレジスタ上位	SFTRH1	-	R/W	00000000
0E97D8 <sub>H</sub>	USART1 - 拡張割込み許可レジスタ	EIER1	-	R/W	00000000
0E97D9 <sub>H</sub> - 0E97DF <sub>H</sub>	予約	-	-	-	-
0E97E0 <sub>H</sub>	USART2 - 拡張機能許可レジスタ下位	EFERL2	EFER2	R/W	00000XXX
0E97E1 <sub>H</sub>	USART2 - 拡張機能許可レジスタ上位	EFERH2	-	R/W	XX00X0X0
0E97E2 <sub>H</sub> - 0E97E7 <sub>H</sub>	予約	-	-	-	-
0E97E8 <sub>H</sub>	USART2 - 拡張割込み許可レジスタ	EIER2	-	R/W	XXXXXX00

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E97E9 <sub>H</sub> - 0E97FF <sub>H</sub>	予約	-	-	-	-
0E9800 <sub>H</sub>	USART4 - 拡張機能許可レジスタ下位	EFERL4	EFER4	R/W	00000XXX
0E9801 <sub>H</sub>	USART4 - 拡張機能許可レジスタ上位	EFERH4	-	R/W	XX00X0X0
0E9802 <sub>H</sub> - 0E9807 <sub>H</sub>	予約	-	-	-	-
0E9808 <sub>H</sub>	USART4 - 拡張割込み許可レジスタ	EIER4	-	R/W	XXXXXX00
0E9809 <sub>H</sub> - 0E980F <sub>H</sub>	予約	-	-	-	-
0E9810 <sub>H</sub>	USART5 - 拡張機能許可レジスタ下位	EFERL5	EFER5	R/W	00000XXX
0E9811 <sub>H</sub>	USART5 - 拡張機能許可レジスタ上位	EFERH5	-	R/W	XX00X0X0
0E9812 <sub>H</sub> - 0E9817 <sub>H</sub>	予約	-	-	-	-
0E9818 <sub>H</sub>	USART5 - 拡張割込み許可レジスタ	EIER5	-	R/W	XXXXXX00
0E9819 <sub>H</sub> - 0E9897 <sub>H</sub>	予約	-	-	-	-
0E9898 <sub>H</sub>	I/O ポート P08 - プルダウン制御レジスタ	PDCR08		R/W	00000000
0E9899 <sub>H</sub>	I/O ポート P09 - プルダウン制御レジスタ	PDCR09	-	R/W	00000000
0E989A <sub>H</sub>	I/O ポート P10 - プルダウン制御レジスタ	PDCR10	-	R/W	00000000
0E989B <sub>H</sub> - 0FBFFF <sub>H</sub>	予約	-	-	-	-

## J. MB966B0 の I/O マップ

各周辺機能のレジスタに割り当てられるアドレスを示します。

### ■ MB966B0 の I/O マップ

表 J MB966B0 の I/O マップ

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000000 <sub>H</sub>	I/O ポート P00 - ポートデータレジスタ	PDR00	-	R/W	XXXXXXXX
000001 <sub>H</sub>	I/O ポート P01 - ポートデータレジスタ	PDR01	-	R/W	XXXXXXXX
000002 <sub>H</sub>	I/O ポート P02 - ポートデータレジスタ	PDR02	-	R/W	XXXXXXXX
000003 <sub>H</sub>	I/O ポート P03 - ポートデータレジスタ	PDR03	-	R/W	XXXXXXXX
000004 <sub>H</sub>	I/O ポート P04 - ポートデータレジスタ	PDR04	-	R/W	XXXXXXXX
000005 <sub>H</sub>	I/O ポート P05 - ポートデータレジスタ	PDR05	-	R/W	XXXXXXXX
000006 <sub>H</sub>	I/O ポート P06 - ポートデータレジスタ	PDR06	-	R/W	XXXXXXXX
000007 <sub>H</sub>	予約	-	-	-	-
000008 <sub>H</sub>	I/O ポート P08 - ポートデータレジスタ	PDR08	-	R/W	XXXXXXXX
000009 <sub>H</sub>	I/O ポート P09 - ポートデータレジスタ	PDR09	-	R/W	XXXXXXXX
00000A <sub>H</sub>	I/O ポート P10 - ポートデータレジスタ	PDR10	-	R/W	XXXXXXXX
00000B <sub>H</sub>	I/O ポート P11 - ポートデータレジスタ	PDR11	-	R/W	XXXXXXXX
00000C <sub>H</sub>	I/O ポート P12 - ポートデータレジスタ	PDR12	-	R/W	XXXXXXXX
00000D <sub>H</sub>	I/O ポート P13 - ポートデータレジスタ	PDR13	-	R/W	XXXXXXXX
00000E <sub>H</sub> - 000010 <sub>H</sub>	予約	-	-	-	-
000011 <sub>H</sub>	I/O ポート P17 - ポートデータレジスタ	PDR17	-	R/W	XXXXXXXX
000012 <sub>H</sub> - 000017 <sub>H</sub>	予約	-	-	-	-
000018 <sub>H</sub>	ADC0 - 制御状態レジスタ下位	ADCSL	ADCS	R/W	00000000
000019 <sub>H</sub>	ADC0 - 制御状態レジスタ上位	ADCSH	-	R/W	00000000
00001A <sub>H</sub>	ADC0 - データレジスタ下位	ADCRL	ADCR	R	00000000
00001B <sub>H</sub>	ADC0 - データレジスタ上位	ADCRH	-	R	00000000
00001C <sub>H</sub>	ADC0 - 設定レジスタ	-	ADSR	R/W	00000000
00001D <sub>H</sub>	ADC0 - 設定レジスタ	-	-	R/W	00000000
00001E <sub>H</sub> , 00001F <sub>H</sub>	予約	-	-	-	-
000020 <sub>H</sub>	FRT0 - データレジスタ	-	TCDT0	R/W	00000000
000021 <sub>H</sub>	FRT0 - データレジスタ	-	-	R/W	00000000
000022 <sub>H</sub>	FRT0 - コントロールステータスレジスタ 下位	TCCSL0	TCCS0	R/W	00000000
000023 <sub>H</sub>	FRT0 - コントロールステータスレジスタ 上位	TCCSH0	-	R/W	01XXXXXX
000024 <sub>H</sub>	FRT1 - データレジスタ	-	TCDT1	R/W	00000000
000025 <sub>H</sub>	FRT1 - データレジスタ	-	-	R/W	00000000
000026 <sub>H</sub>	FRT1 - コントロールステータスレジスタ 下位	TCCSL1	TCCS1	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000027 <sub>H</sub>	FRT1 - コントロールステータスレジスタ 上位	TCCSH1	-	R/W	01XXXXXX
000028 <sub>H</sub>	OCU0 - コントロールステータスレジスタ	OCS0	-	R/W	0000XX00
000029 <sub>H</sub>	OCU1 - コントロールステータスレジスタ	OCS1	-	R/W	0XX00000
00002A <sub>H</sub>	OCU0 - コンペアレジスタ	-	OCCP0	R/W	XXXXXXXX
00002B <sub>H</sub>	OCU0 - コンペアレジスタ	-	-	R/W	XXXXXXXX
00002C <sub>H</sub>	OCU1 - コンペアレジスタ	-	OCCP1	R/W	XXXXXXXX
00002D <sub>H</sub>	OCU1 - コンペアレジスタ	-	-	R/W	XXXXXXXX
00002E <sub>H</sub>	OCU2 - コントロールステータスレジスタ	OCS2	-	R/W	0000XX00
00002F <sub>H</sub>	OCU3 - コントロールステータスレジスタ	OCS3	-	R/W	0XX00000
000030 <sub>H</sub>	OCU2 - コンペアレジスタ	-	OCCP2	R/W	XXXXXXXX
000031 <sub>H</sub>	OCU2 - コンペアレジスタ	-	-	R/W	XXXXXXXX
000032 <sub>H</sub>	OCU3 - コンペアレジスタ	-	OCCP3	R/W	XXXXXXXX
000033 <sub>H</sub>	OCU3 - コンペアレジスタ	-	-	R/W	XXXXXXXX
000034 <sub>H</sub> - 00003F <sub>H</sub>	予約	-	-	-	-
000040 <sub>H</sub>	ICU0/ICU1 - コントロールステータスレジスタ	ICS01	-	R/W	00000000
000041 <sub>H</sub>	ICU0/ICU1 - エッジレジスタ	ICE01	-	R/W	XXX0X000
000042 <sub>H</sub>	ICU0 - データレジスタ下位	IPCPL0	IPCP0	R	XXXXXXXX
000043 <sub>H</sub>	ICU0 - データレジスタ上位	IPCPH0	-	R	XXXXXXXX
000044 <sub>H</sub>	ICU1 - データレジスタ下位	IPCPL1	IPCP1	R	XXXXXXXX
000045 <sub>H</sub>	ICU1 - データレジスタ上位	IPCPH1	-	R	XXXXXXXX
000046 <sub>H</sub> - 00004B <sub>H</sub>	予約	-	-	-	-
00004C <sub>H</sub>	ICU4/ICU5 - 制御ステータスレジスタ	ICS45	-	R/W	00000000
00004D <sub>H</sub>	ICU4/ICU5 - エッジレジスタ	ICE45	-	R/W	XXX0X000
00004E <sub>H</sub>	ICU4 - データレジスタ下位	IPCPL4	IPCP4	R	XXXXXXXX
00004F <sub>H</sub>	ICU4 - データレジスタ上位	IPCPH4	-	R	XXXXXXXX
000050 <sub>H</sub>	ICU5 - データレジスタ下位	IPCPL5	IPCP5	R	XXXXXXXX
000051 <sub>H</sub>	ICU5 - データレジスタ上位	IPCPH5	-	R	XXXXXXXX
000052 <sub>H</sub>	ICU6/ICU7 - 制御ステータスレジスタ	ICS67	-	R/W	00000000
000053 <sub>H</sub>	ICU6/ICU7 - エッジレジスタ	ICE67	-	R/W	XXX0X000
000054 <sub>H</sub>	ICU6 - データレジスタ下位	IPCPL6	IPCP6	R	XXXXXXXX
000055 <sub>H</sub>	ICU6 - データレジスタ上位	IPCPH6	-	R	XXXXXXXX
000056 <sub>H</sub>	ICU7 - データレジスタ下位	IPCPL7	IPCP7	R	XXXXXXXX
000057 <sub>H</sub>	ICU7 - データレジスタ上位	IPCPH7	-	R	XXXXXXXX
000058 <sub>H</sub>	EXTINT0 - 外部割込み要求許可レジスタ	ENIR0	-	R/W	00000000
000059 <sub>H</sub>	EXTINT0 - 外部割込み要求レジスタ	EIRR0	-	R/W	00000000
00005A <sub>H</sub>	EXTINT0 - 外部割込みレベルレジスタ下位	ELVRL0	ELVR0	R/W	00000000
00005B <sub>H</sub>	EXTINT0 - 外部割込みレベルレジスタ上位	ELVRH0	-	R/W	00000000
00005C <sub>H</sub>	EXTINT1 - 外部割込み要求許可レジスタ	ENIR1	-	R/W	00000000
00005D <sub>H</sub>	EXTINT1 - 外部割込み要求レジスタ	EIRR1	-	R/W	00000000
00005E <sub>H</sub>	EXTINT1 - 外部割込みレベルレジスタ下位	ELVRL1	ELVR1	R/W	00000000
00005F <sub>H</sub>	EXTINT1 - 外部割込みレベルレジスタ上位	ELVRH1	-	R/W	00000000
000060 <sub>H</sub>	RLT0 - タイマ制御状態レジスタ下位	TMCSR0	TMCSR0	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000061 <sub>H</sub>	RLT0 - タイマ制御状態レジスタ上位	TMCSRH0	-	R/W	00X10000
000062 <sub>H</sub>	RLT0 - 16 ビットリロードレジスタ下位	-	TMRLR0	W	XXXXXXXXXX
000062 <sub>H</sub>	RLT0 - 16 ビットタイマレジスタ下位	-	TMR0	R	XXXXXXXXXX
000063 <sub>H</sub>	RLT0 - 16 ビットリロードレジスタ上位	-	-	W	XXXXXXXXXX
000063 <sub>H</sub>	RLT0 - 16 ビットタイマレジスタ上位	-	-	R	XXXXXXXXXX
000064 <sub>H</sub>	RLT1 - タイマ制御状態レジスタ下位	TMCSRL1	TMCSR1	R/W	00000000
000065 <sub>H</sub>	RLT1 - タイマ制御状態レジスタ上位	TMCSRH1	-	R/W	00X10000
000066 <sub>H</sub>	RLT1 - 16 ビットリロードレジスタ下位	-	TMRLR1	W	XXXXXXXXXX
000066 <sub>H</sub>	RLT1 - 16 ビットタイマレジスタ下位	-	TMR1	R	XXXXXXXXXX
000067 <sub>H</sub>	RLT1 - 16 ビットリロードレジスタ上位	-	-	W	XXXXXXXXXX
000067 <sub>H</sub>	RLT1 - 16 ビットタイマレジスタ上位	-	-	R	XXXXXXXXXX
000068 <sub>H</sub>	RLT2 - タイマ制御状態レジスタ下位	TMCSRL2	TMCSR2	R/W	00000000
000069 <sub>H</sub>	RLT2 - タイマ制御状態レジスタ上位	TMCSRH2	-	R/W	00X10000
00006A <sub>H</sub>	RLT2 - 16 ビットリロードレジスタ下位	-	TMRLR2	W	XXXXXXXXXX
00006A <sub>H</sub>	RLT2 - 16 ビットタイマレジスタ下位	-	TMR2	R	XXXXXXXXXX
00006B <sub>H</sub>	RLT2 - 16 ビットリロードレジスタ上位	-	-	W	XXXXXXXXXX
00006B <sub>H</sub>	RLT2 - 16 ビットタイマレジスタ上位	-	-	R	XXXXXXXXXX
00006C <sub>H</sub>	RLT3 - タイマ制御状態レジスタ下位	TMCSRL3	TMCSR3	R/W	00000000
00006D <sub>H</sub>	RLT3 - タイマ制御状態レジスタ上位	TMCSRH3	-	R/W	00X10000
00006E <sub>H</sub>	RLT3 - 16 ビットリロードレジスタ下位	-	TMRLR3	W	XXXXXXXXXX
00006E <sub>H</sub>	RLT3 - 16 ビットタイマレジスタ下位	-	TMR3	R	XXXXXXXXXX
00006F <sub>H</sub>	RLT3 - 16 ビットリロードレジスタ上位	-	-	W	XXXXXXXXXX
00006F <sub>H</sub>	RLT3 - 16 ビットタイマレジスタ上位	-	-	R	XXXXXXXXXX
000070 <sub>H</sub>	RLT6 - タイマ制御状態レジスタ下位	TMCSRL6	TMCSR6	R/W	00000000
000071 <sub>H</sub>	RLT6 - タイマ制御状態レジスタ上位	TMCSRH6	-	R/W	00X10000
000072 <sub>H</sub>	RLT6 - 16 ビットリロードレジスタ下位	-	TMRLR6	W	XXXXXXXXXX
000072 <sub>H</sub>	RLT6 - 16 ビットタイマレジスタ下位	-	TMR6	R	XXXXXXXXXX
000073 <sub>H</sub>	RLT6 - 16 ビットリロードレジスタ上位	-	-	W	XXXXXXXXXX
000073 <sub>H</sub>	RLT6 - 16 ビットタイマレジスタ	-	-	R	XXXXXXXXXX
000074 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 1 下位	GCN1L0	GCN10	R/W	00010000
000075 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 1 上位	GCN1H0	-	R/W	00110010
000076 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 2 下位	GCN2L0	GCN20	R/W	XXXX0000
000077 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 2 上位	GCN2H0	-	R/W	XXXX0000
000078 <sub>H</sub>	PPG0 - タイマレジスタ	-	PTMR0	R	11111111
000079 <sub>H</sub>	PPG0 - タイマレジスタ	-	-	R	11111111
00007A <sub>H</sub>	PPG0 - 周期設定レジスタ下位	PCSRL0	PCSR0	R/W	XXXXXXXXXX
00007B <sub>H</sub>	PPG0 - 周期設定レジスタ上位	PCSRH0	-	R/W	XXXXXXXXXX
00007C <sub>H</sub>	PPG0 - デューティ設定レジスタ下位	PDUTL0	PDUT0	R/W	XXXXXXXXXX
00007D <sub>H</sub>	PPG0 - デューティ設定レジスタ上位	PDUTH0	-	R/W	XXXXXXXXXX
00007E <sub>H</sub>	PPG0 - 制御ステータスレジスタ下位	PCNL0	PCN0	R/W	00000000
00007F <sub>H</sub>	PPG0 - 制御ステータスレジスタ上位	PCNH0	-	R/W	00000000
000080 <sub>H</sub>	PPG1 - タイマレジスタ	-	PTMR1	R	11111111
000081 <sub>H</sub>	PPG1 - タイマレジスタ	-	-	R	11111111
000082 <sub>H</sub>	PPG1 - 周期設定レジスタ下位	PCSRL1	PCSR1	R/W	XXXXXXXXXX
000083 <sub>H</sub>	PPG1 - 周期設定レジスタ上位	PCSRH1	-	R/W	XXXXXXXXXX
000084 <sub>H</sub>	PPG1 - デューティ設定レジスタ下位	PDUTL1	PDUT1	R/W	XXXXXXXXXX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000085 <sub>H</sub>	PPG1 - デューティ設定レジスタ上位	PDUTH1	-	R/W	XXXXXXXX
000086 <sub>H</sub>	PPG1 - 制御ステータスレジスタ下位	PCNL1	PCN1	R/W	00000000
000087 <sub>H</sub>	PPG1 - 制御ステータスレジスタ上位	PCNH1	-	R/W	00000000
000088 <sub>H</sub>	PPG2 - タイマレジスタ	-	PTMR2	R	11111111
000089 <sub>H</sub>	PPG2 - タイマレジスタ	-	-	R	11111111
00008A <sub>H</sub>	PPG2 - 周期設定レジスタ下位	PCSRL2	PCSR2	R/W	XXXXXXXX
00008B <sub>H</sub>	PPG2 - 周期設定レジスタ上位	PCSRH2	-	R/W	XXXXXXXX
00008C <sub>H</sub>	PPG2 - デューティ設定レジスタ下位	PDUTL2	PDUT2	R/W	XXXXXXXX
00008D <sub>H</sub>	PPG2 - デューティ設定レジスタ上位	PDUTH2	-	R/W	XXXXXXXX
00008E <sub>H</sub>	PPG2 - 制御ステータスレジスタ下位	PCNL2	PCN2	R/W	00000000
00008F <sub>H</sub>	PPG2 - 制御ステータスレジスタ上位	PCNH2	-	R/W	00000000
000090 <sub>H</sub>	PPG3 - タイマレジスタ	-	PTMR3	R	11111111
000091 <sub>H</sub>	PPG3 - タイマレジスタ	-	-	R	11111111
000092 <sub>H</sub>	PPG3 - 周期設定レジスタ下位	PCSRL3	PCSR3	R/W	XXXXXXXX
000093 <sub>H</sub>	PPG3 - 周期設定レジスタ上位	PCSRH3	-	R/W	XXXXXXXX
000094 <sub>H</sub>	PPG3 - デューティ設定レジスタ下位	PDUTL3	PDUT3	R/W	XXXXXXXX
000095 <sub>H</sub>	PPG3 - デューティ設定レジスタ上位	PDUTH3	-	R/W	XXXXXXXX
000096 <sub>H</sub>	PPG3 - 制御ステータスレジスタ下位	PCNL3	PCN3	R/W	00000000
000097 <sub>H</sub>	PPG3 - 制御ステータスレジスタ上位	PCNH3	-	R/W	00000000
000098 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 1 下位	GCN1L1	GCN11	R/W	00010000
000099 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 1 上位	GCN1H1	-	R/W	00110010
00009A <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 2 下位	GCN2L1	GCN21	R/W	XXXX0000
00009B <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 2 上位	GCN2H1	-	R/W	XXXX0000
00009C <sub>H</sub>	PPG4 - タイマレジスタ	-	PTMR4	R	11111111
00009D <sub>H</sub>	PPG4 - タイマレジスタ	-	-	R	11111111
00009E <sub>H</sub>	PPG4 - 周期設定レジスタ下位	PCSRL4	PCSR4	R/W	XXXXXXXX
00009F <sub>H</sub>	PPG4 - 周期設定レジスタ上位	PCSRH4	-	R/W	XXXXXXXX
0000A0 <sub>H</sub>	PPG4 - デューティ設定レジスタ下位	PDUTL4	PDUT4	R/W	XXXXXXXX
0000A1 <sub>H</sub>	PPG4 - デューティ設定レジスタ上位	PDUTH4	-	R/W	XXXXXXXX
0000A2 <sub>H</sub>	PPG4 - 制御ステータスレジスタ下位	PCNL4	PCN4	R/W	00000000
0000A3 <sub>H</sub>	PPG4 - 制御ステータスレジスタ上位	PCNH4	-	R/W	00000000
0000A4 <sub>H</sub>	PPG5 - タイマレジスタ	-	PTMR5	R	11111111
0000A5 <sub>H</sub>	PPG5 - タイマレジスタ	-	-	R	11111111
0000A6 <sub>H</sub>	PPG5 - 周期設定レジスタ下位	PCSRL5	PCSR5	R/W	XXXXXXXX
0000A7 <sub>H</sub>	PPG5 - 周期設定レジスタ上位	PCSRH5	-	R/W	XXXXXXXX
0000A8 <sub>H</sub>	PPG5 - デューティ設定レジスタ下位	PDUTL5	PDUT5	R/W	XXXXXXXX
0000A9 <sub>H</sub>	PPG5 - デューティ設定レジスタ上位	PDUTH5	-	R/W	XXXXXXXX
0000AA <sub>H</sub>	PPG5 - 制御ステータスレジスタ下位	PCNL5	PCN5	R/W	00000000
0000AB <sub>H</sub>	PPG5 - 制御ステータスレジスタ上位	PCNH5	-	R/W	00000000
0000AC <sub>H</sub>	I <sup>2</sup> C0 - バスステータスレジスタ	IBSR0	-	R	00000000
0000AD <sub>H</sub>	I <sup>2</sup> C0 - バスコントロールレジスタ	IBCR0	-	R/W	00000000
0000AE <sub>H</sub>	I <sup>2</sup> C0 - 10 ビットスレーブアドレスレジスタ 下位	ITBAL0	ITBA0	R/W	00000000
0000AF <sub>H</sub>	I <sup>2</sup> C0 - 10 ビットスレーブアドレスレジスタ 上位	ITBAH0	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0000B0 <sub>H</sub>	I <sup>2</sup> C0 - 10 ビットスレーブアドレスマスクレジスタ下位	ITMKL0	ITMK0	R/W	11111111
0000B1 <sub>H</sub>	I <sup>2</sup> C0 - 10 ビットスレーブアドレスマスクレジスタ上位	ITMKH0	-	R/W	00111111
0000B2 <sub>H</sub>	I <sup>2</sup> C0 - 7 ビットスレーブアドレスレジスタ	ISBA0	-	R/W	00000000
0000B3 <sub>H</sub>	I <sup>2</sup> C0 - 7 ビットスレーブアドレスマスクレジスタ	ISMK0	-	R/W	01111111
0000B4 <sub>H</sub>	I <sup>2</sup> C0 - データレジスタ	IDAR0	-	R/W	00000000
0000B5 <sub>H</sub>	I <sup>2</sup> C0 - クロックコントロールレジスタ	ICCR0	-	R/W	00011111
0000B6 <sub>H</sub> - 0000BF <sub>H</sub>	予約	-	-	-	-
0000C0 <sub>H</sub>	USART0 - シリアルモードレジスタ	SMR0	-	R/W	00000000
0000C1 <sub>H</sub>	USART0 - シリアル制御レジスタ	SCR0	-	R/W	00000000
0000C2 <sub>H</sub>	USART0 - 送信データ レジスタ	TDR0	-	W	11111111
0000C2 <sub>H</sub>	USART0 - 受信データ レジスタ	RDR0	-	R	00000000
0000C3 <sub>H</sub>	USART0 - シリアルステータスレジスタ	SSR0	-	R/W	00001000
0000C4 <sub>H</sub>	USART0 - 拡張通信制御レジスタ	ECCR0	-	R/W	000000XX
0000C5 <sub>H</sub>	USART0 - 拡張ステータス制御レジスタ	ESCR0	-	R/W	00000100
0000C6 <sub>H</sub>	USART0 - ボーレート/リロードカウンタレジスタ下位	BGRL0	BGR0	R/W	00000000
0000C7 <sub>H</sub>	USART0 - ボーレート/リロードカウンタレジスタ上位	BGRH0	-	R/W	00000000
0000C8 <sub>H</sub>	USART0 - 拡張シリアル割込みレジスタ	ESIR0	-	R/W	XXXX10X0
0000C9 <sub>H</sub>	USART0 - フレーム ID データレジスタ	FIDR0	-	R/W	00000000
0000CA <sub>H</sub>	USART1 - シリアルモードレジスタ	SMR1	-	R/W	00000000
0000CB <sub>H</sub>	USART1 - シリアル制御レジスタ	SCR1	-	R/W	00000000
0000CC <sub>H</sub>	USART1 - 送信データ レジスタ	TDR1	-	W	11111111
0000CC <sub>H</sub>	USART1 - 受信データ レジスタ	RDR1	-	R	00000000
0000CD <sub>H</sub>	USART1 - シリアルステータスレジスタ	SSR1	-	R/W	00001000
0000CE <sub>H</sub>	USART1 - 拡張通信制御レジスタ	ECCR1	-	R/W	000000XX
0000CF <sub>H</sub>	USART1 - 拡張ステータス制御レジスタ	ESCR1	-	R/W	00000100
0000D0 <sub>H</sub>	USART1 - ボーレート/リロードカウンタレジスタ下位	BGRL1	BGR1	R/W	00000000
0000D1 <sub>H</sub>	USART1 - ボーレート/リロードカウンタレジスタ上位	BGRH1	-	R/W	00000000
0000D2 <sub>H</sub>	USART1 - 拡張シリアル割込みレジスタ	ESIR1	-	R/W	XXXX10X0
0000D3 <sub>H</sub>	USART1 - フレーム ID データレジスタ	FIDR1	-	R/W	00000000
0000D4 <sub>H</sub>	USART2 - シリアルモードレジスタ	SMR2	-	R/W	00000000
0000D5 <sub>H</sub>	USART2 - シリアル制御レジスタ	SCR2	-	R/W	00000000
0000D6 <sub>H</sub>	USART2 - 送信データ レジスタ	TDR2	-	W	11111111
0000D6 <sub>H</sub>	USART2 - 受信データ レジスタ	RDR2	-	R	00000000
0000D7 <sub>H</sub>	USART2 - シリアルステータスレジスタ	SSR2	-	R/W	00001000
0000D8 <sub>H</sub>	USART2 - 拡張通信制御レジスタ	ECCR2	-	R/W	000000XX
0000D9 <sub>H</sub>	USART2 - 拡張ステータス制御レジスタ	ESCR2	-	R/W	00000100
0000DA <sub>H</sub>	USART2 - ボーレート/リロードカウンタレジスタ下位	BGRL2	BGR2	R/W	00000000



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0000DB <sub>H</sub>	USART2 - ボーレート/リロードカウンタレジスタ上位	BGRH2	-	R/W	00000000
0000DC <sub>H</sub>	USART2 - 拡張シリアル割込みレジスタ	ESIR2	-	R/W	XXXX10X0
0000DD <sub>H</sub> - 0000EB <sub>H</sub>	予約	-	-	-	-
0000EC <sub>H</sub>	PPG - 汎用制御レジスタ	GCNR0	-	R/W	XXXXXX00
0000ED <sub>H</sub> - 0000FF <sub>H</sub>	予約	-	-	-	-
000100 <sub>H</sub>	DMA0 - バッファアドレスポインタ下位	BAPL0	-	R/W	XXXXXXXX
000101 <sub>H</sub>	DMA0 - バッファアドレスポインタ中位	BAPM0	-	R/W	XXXXXXXX
000102 <sub>H</sub>	DMA0 - バッファアドレスポインタ上位	BAPH0	-	R/W	XXXXXXXX
000103 <sub>H</sub>	DMA0 - 制御レジスタ	DMACS0	-	R/W	XXXXXXXX
000104 <sub>H</sub>	DMA0 - I/O レジスタアドレスポインタ下位	IOAL0	IOA0	R/W	XXXXXXXX
000105 <sub>H</sub>	DMA0 - I/O レジスタアドレスポインタ上位	IOAH0	-	R/W	XXXXXXXX
000106 <sub>H</sub>	DMA0 - データカウントレジスタ下位	DCTL0	DCT0	R/W	XXXXXXXX
000107 <sub>H</sub>	DMA0 - データカウントレジスタ上位	DCTH0	-	R/W	XXXXXXXX
000108 <sub>H</sub>	DMA1 - バッファアドレスポインタ下位	BAPL1	-	R/W	XXXXXXXX
000109 <sub>H</sub>	DMA1 - バッファアドレスポインタ中位	BAPM1	-	R/W	XXXXXXXX
00010A <sub>H</sub>	DMA1 - バッファアドレスポインタ上位	BAPH1	-	R/W	XXXXXXXX
00010B <sub>H</sub>	DMA1 - 制御レジスタ	DMACS1	-	R/W	XXXXXXXX
00010C <sub>H</sub>	DMA1 - I/O レジスタアドレスポインタ下位	IOAL1	IOA1	R/W	XXXXXXXX
00010D <sub>H</sub>	DMA1 - I/O レジスタアドレスポインタ上位	IOAH1	-	R/W	XXXXXXXX
00010E <sub>H</sub>	DMA1 - データカウントレジスタ下位	DCTL1	DCT1	R/W	XXXXXXXX
00010F <sub>H</sub>	DMA1 - データカウントレジスタ上位	DCTH1	-	R/W	XXXXXXXX
000110 <sub>H</sub>	DMA2 - バッファアドレスポインタ下位	BAPL2	-	R/W	XXXXXXXX
000111 <sub>H</sub>	DMA2 - バッファアドレスポインタ中位	BAPM2	-	R/W	XXXXXXXX
000112 <sub>H</sub>	DMA2 - バッファアドレスポインタ上位	BAPH2	-	R/W	XXXXXXXX
000113 <sub>H</sub>	DMA2 - 制御レジスタ	DMACS2	-	R/W	XXXXXXXX
000114 <sub>H</sub>	DMA2 - I/O レジスタアドレスポインタ下位	IOAL2	IOA2	R/W	XXXXXXXX
000115 <sub>H</sub>	DMA2 - I/O レジスタアドレスポインタ上位	IOAH2	-	R/W	XXXXXXXX
000116 <sub>H</sub>	DMA2 - データカウントレジスタ下位	DCTL2	DCT2	R/W	XXXXXXXX
000117 <sub>H</sub>	DMA2 - データカウントレジスタ上位	DCTH2	-	R/W	XXXXXXXX
000118 <sub>H</sub>	DMA3 - バッファアドレスポインタ下位	BAPL3	-	R/W	XXXXXXXX
000119 <sub>H</sub>	DMA3 - バッファアドレスポインタ中位	BAPM3	-	R/W	XXXXXXXX
00011A <sub>H</sub>	DMA3 - バッファアドレスポインタ上位	BAPH3	-	R/W	XXXXXXXX
00011B <sub>H</sub>	DMA3 - 制御レジスタ	DMACS3	-	R/W	XXXXXXXX
00011C <sub>H</sub>	DMA3 - I/O レジスタアドレスポインタ下位	IOAL3	IOA3	R/W	XXXXXXXX
00011D <sub>H</sub>	DMA3 - I/O レジスタアドレスポインタ上位	IOAH3	-	R/W	XXXXXXXX
00011E <sub>H</sub>	DMA3 - データカウントレジスタ下位	DCTL3	DCT3	R/W	XXXXXXXX



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
00011F <sub>H</sub>	DMA3 - データカウンタレジスタ上位	DCTH3	-	R/W	XXXXXXXX
000120 <sub>H</sub> - 00017F <sub>H</sub>	予約	-	-	-	-
000180 <sub>H</sub> - 00037F <sub>H</sub>	CPU - 汎用レジスタ(RAM アクセス)	GPR_RAM	-	R/W	-
000380 <sub>H</sub>	DMA0 - 割込み要求選択レジスタ	DISEL0	-	R/W	00001100
000381 <sub>H</sub>	DMA1 - 割込み要求選択レジスタ	DISEL1	-	R/W	00001100
000382 <sub>H</sub>	DMA2 - 割込み要求選択レジスタ	DISEL2	-	R/W	00001100
000383 <sub>H</sub>	DMA3 - 割込み要求選択レジスタ	DISEL3	-	R/W	00001100
000384 <sub>H</sub> - 00038F <sub>H</sub>	予約	-	-	-	-
000390 <sub>H</sub>	DMA - ステータスレジスタ下位	DSRL	DSR	R/W	00000000
000391 <sub>H</sub>	DMA - ステータスレジスタ上位	DSRH	-	R/W	00000000
000392 <sub>H</sub>	DMA - 停止ステータスレジスタ下位	DSSRL	DSSR	R/W	00000000
000393 <sub>H</sub>	DMA - 停止ステータスレジスタ上位	DSSRH	-	R/W	00000000
000394 <sub>H</sub>	DMA - 許可レジスタ下位	DERL	DER	R/W	00000000
000395 <sub>H</sub>	DMA - 許可レジスタ上位	DERH	-	R/W	00000000
000396 <sub>H</sub> - 00039F <sub>H</sub>	予約	-	-	-	-
0003A0 <sub>H</sub>	割込み制御レジスタ 割込みレベル	ILR	ICR	R/W	XXXXXX111
0003A1 <sub>H</sub>	割込み制御レジスタ インデックス	IDX	-	R/W	00001100
0003A2 <sub>H</sub>	割込みベクタテーブルベースレジスタ下位	TBRL	TBR	R/W	11111100
0003A3 <sub>H</sub>	割込みベクタテーブルベースレジスタ上位	TBRH	-	R/W	11111111
0003A4 <sub>H</sub>	遅延割込み要求レジスタ	DIRR	-	R/W	XXXXXXXX0
0003A5 <sub>H</sub>	NMI 制御ステータスレジスタ	NMI	-	R/W	XXXXXX10X
0003A6 <sub>H</sub> - 0003AD <sub>H</sub>	予約	-	-	-	-
0003AE <sub>H</sub>	ROM ミラー機能選択レジスタ	ROMM	-	R/W	1111X111
0003AF <sub>H</sub> - 0003E7 <sub>H</sub>	予約	-	-	-	-
0003E8 <sub>H</sub>	デュアルオペレーションフラッシュ設定レジスタ A	DFCA	-	R/W	XXXXXX000
0003E9 <sub>H</sub>	デュアルオペレーションフラッシュ割込み制御レジスタ A	DFICA	-	R/W	X0000000
0003EA <sub>H</sub>	デュアルオペレーションフラッシュステータスレジスタ A	DFSA	-	R	11000001
0003EB <sub>H</sub>	デュアルオペレーションフラッシュ割込みステータスレジスタ A	DFISA	-	R/W	X0000000
0003EC <sub>H</sub> - 0003F8 <sub>H</sub>	予約	-	-	-	-
0003F9 <sub>H</sub>	デュアルオペレーションフラッシュ書込みアクセス制御レジスタ 0A	DFWC0A	-	R/W	XXX00000
0003FA <sub>H</sub> - 0003FC <sub>H</sub>	予約	-	-	-	-
0003FD <sub>H</sub>	デュアルオペレーションフラッシュ書込みアクセス制御レジスタ 1A	DFWC1A	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0003FE <sub>H</sub> , 0003FF <sub>H</sub>	予約	-	-	-	-
000400 <sub>H</sub>	スタンバイモード制御レジスタ	SMCR	-	R/W	XXX0X000
000401 <sub>H</sub>	クロック選択レジスタ	CKSR	-	R/W	10110000
000402 <sub>H</sub>	クロック安定化選択レジスタ	CKSSR	-	R/W	XX111111
000403 <sub>H</sub>	クロックモニタレジスタ	CKMR	-	R	*0*0XXXX *:リセット要 因に依存
000404 <sub>H</sub>	クロック周波数制御レジスタ下位	CKFCRL	CKFCR	R/W	0000XXX1
000405 <sub>H</sub>	クロック周波数制御レジスタ上位	CKFCRH	-	R/W	00000000
000406 <sub>H</sub>	PLL 制御レジスタ下位	PLLCRL	PLLCR	R/W	000X0000
000407 <sub>H</sub>	PLL 制御レジスタ上位	PLLCRH	-	R/W	XXXXXXXX
000408 <sub>H</sub>	CR クロックタイマ制御レジスタ	RCTCR	-	R/W	X0010000
000409 <sub>H</sub>	メインクロックタイマ制御レジスタ	MCTCR	-	R/W	X0010000
00040A <sub>H</sub>	サブクロックタイマ制御レジスタ	SCTCR	-	R/W	X001X000
00040B <sub>H</sub>	リセット要因およびクロック状態レジスタ	RCCSRC	-	R	***** *:リセット要 因に依存
00040C <sub>H</sub>	リセット構成レジスタ	RCR	-	R/W	XX000**0 *:リセット要 因に依存
00040D <sub>H</sub>	リセット要因およびクロック状態レジスタ	RCCSR	-	R	***** *:リセット要 因に依存
00040E <sub>H</sub>	ウォッチドッグタイマ構成レジスタ	WDTC	WDT	R/W	0000**** *:WICM Marker に依存
00040F <sub>H</sub>	ウォッチドッグタイマクリアパターンレジスタ	WDTCP	-	W	00000000
000410 <sub>H</sub> - 000414 <sub>H</sub>	予約	-	-	-	-
000415 <sub>H</sub>	クロック出力起動レジスタ	COAR	-	R/W	00000000
000416 <sub>H</sub>	クロック出力構成レジスタ 0	COCR0	-	R/W	X0000000
000417 <sub>H</sub>	クロック出力構成レジスタ 1	COCR1	-	R/W	X0000000
000418 <sub>H</sub> - 00041F <sub>H</sub>	予約	-	-	-	-
000420 <sub>H</sub>	ウォッチドッグタイマ拡張構成レジスタ	WDTEC	-	R/W	XXX00000
000421 <sub>H</sub> - 00042B <sub>H</sub>	予約	-	-	-	-
00042C <sub>H</sub>	電圧レギュレータ制御レジスタ	VRCR	-	R/W	10X10X10
00042D <sub>H</sub>	クロック入力および LVD 制御レジスタ	CILCR	-	R/W	00000000
00042E <sub>H</sub>	拡張スタンバイモード制御レジスタ	ESMCR	-	R/W	XXX00001
00042F <sub>H</sub>	予約	-	-	-	-
000430 <sub>H</sub>	I/O ポート P00 - データ方向レジスタ	DDR00	-	R/W	00000000
000431 <sub>H</sub>	I/O ポート P01 - データ方向レジスタ	DDR01	-	R/W	00000000
000432 <sub>H</sub>	I/O ポート P02 - データ方向レジスタ	DDR02	-	R/W	00000000
000433 <sub>H</sub>	I/O ポート P03 - データ方向レジスタ	DDR03	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000434 <sub>H</sub>	I/O ポート P04 - データ方向レジスタ	DDR04	-	R/W	00000000
000435 <sub>H</sub>	I/O ポート P05 - データ方向レジスタ	DDR05	-	R/W	00000000
000436 <sub>H</sub>	I/O ポート P06 - データ方向レジスタ	DDR06	-	R/W	00000000
000437 <sub>H</sub>	予約	-	-	-	-
000438 <sub>H</sub>	I/O ポート P08 - データ方向レジスタ	DDR08	-	R/W	00000000
000439 <sub>H</sub>	I/O ポート P09 - データ方向レジスタ	DDR09	-	R/W	00000000
00043A <sub>H</sub>	I/O ポート P10 - データ方向レジスタ	DDR10	-	R/W	00000000
00043B <sub>H</sub>	I/O ポート P11 - データ方向レジスタ	DDR11	-	R/W	00000000
00043C <sub>H</sub>	I/O ポート P12 - データ方向レジスタ	DDR12	-	R/W	00000000
00043D <sub>H</sub>	I/O ポート P13 - データ方向レジスタ	DDR13	-	R/W	00000000
00043E <sub>H</sub> - 000440 <sub>H</sub>	予約	-	-	-	-
000441 <sub>H</sub>	I/O ポート P17 - データ方向レジスタ	DDR17	-	R/W	00000000
000442 <sub>H</sub> , 000443 <sub>H</sub>	予約	-	-	-	-
000444 <sub>H</sub>	I/O ポート P00 - ポート入力許可レジスタ	PIER00	-	R/W	00000000
000445 <sub>H</sub>	I/O ポート P01 - ポート入力許可レジスタ	PIER01	-	R/W	00000000
000446 <sub>H</sub>	I/O ポート P02 - ポート入力許可レジスタ	PIER02	-	R/W	00000000
000447 <sub>H</sub>	I/O ポート P03 - ポート入力許可レジスタ	PIER03	-	R/W	00000000
000448 <sub>H</sub>	I/O ポート P04 - ポート入力許可レジスタ	PIER04	-	R/W	00000000
000449 <sub>H</sub>	I/O ポート P05 - ポート入力許可レジスタ	PIER05	-	R/W	00000000
00044A <sub>H</sub>	I/O ポート P06 - ポート入力許可レジスタ	PIER06	-	R/W	00000000
00044B <sub>H</sub>	予約	-	-	-	-
00044C <sub>H</sub>	I/O ポート P08 - ポート入力許可レジスタ	PIER08	-	R/W	00000000
00044D <sub>H</sub>	I/O ポート P09 - ポート入力許可レジスタ	PIER09	-	R/W	00000000
00044E <sub>H</sub>	I/O ポート P10 - ポート入力許可レジスタ	PIER10	-	R/W	00000000
00044F <sub>H</sub>	I/O ポート P11 - ポート入力許可レジスタ	PIER11	-	R/W	00000000
000450 <sub>H</sub>	I/O ポート P12 - ポート入力許可レジスタ	PIER12	-	R/W	00000000
000451 <sub>H</sub>	I/O ポート P13 - ポート入力許可レジスタ	PIER13	-	R/W	00000000
000452 <sub>H</sub> - 000454 <sub>H</sub>	予約	-	-	-	-
000455 <sub>H</sub>	I/O ポート P17 - ポート入力許可レジスタ	PIER17	-	R/W	00000000
000456 <sub>H</sub> - 00049B <sub>H</sub>	予約	-	-	-	-
00049C <sub>H</sub>	I/O ポート P08 - ポート high 駆動レジスタ	PHDR08	-	R/W	00000000
00049D <sub>H</sub>	I/O ポート P09 - ポート high 駆動レジスタ	PHDR09	-	R/W	00000000
00049E <sub>H</sub>	I/O ポート P10 - ポート high 駆動レジスタ	PHDR10	-	R/W	00000000
00049F <sub>H</sub> - 0004A7 <sub>H</sub>	予約	-	-	-	-
0004A8 <sub>H</sub>	I/O ポート P00 - ブルアップ制御レジスタ	PUCR00	-	R/W	00000000
0004A9 <sub>H</sub>	I/O ポート P01 - ブルアップ制御レジスタ	PUCR01	-	R/W	00000000
0004AA <sub>H</sub>	I/O ポート P02 - ブルアップ制御レジスタ	PUCR02	-	R/W	00000000
0004AB <sub>H</sub>	I/O ポート P03 - ブルアップ制御レジスタ	PUCR03	-	R/W	00000000
0004AC <sub>H</sub>	I/O ポート P04 - ブルアップ制御レジスタ	PUCR04	-	R/W	00000000
0004AD <sub>H</sub>	I/O ポート P05 - ブルアップ制御レジスタ	PUCR05	-	R/W	00000000
0004AE <sub>H</sub>	I/O ポート P06 - ブルアップ制御レジスタ	PUCR06	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0004AF <sub>H</sub>	予約	-	-	-	-
0004B0 <sub>H</sub>	I/O ポート P08 - ブルアップ制御レジスタ	PUCR08	-	R/W	00000000
0004B1 <sub>H</sub>	I/O ポート P09 - ブルアップ制御レジスタ	PUCR09	-	R/W	00000000
0004B2 <sub>H</sub>	I/O ポート P10 - ブルアップ制御レジスタ	PUCR10	-	R/W	00000000
0004B3 <sub>H</sub>	I/O ポート P11 - ブルアップ制御レジスタ	PUCR11	-	R/W	00000000
0004B4 <sub>H</sub>	I/O ポート P12 - ブルアップ制御レジスタ	PUCR12	-	R/W	00000000
0004B5 <sub>H</sub>	I/O ポート P13 - ブルアップ制御レジスタ	PUCR13	-	R/W	00000000
0004B6 <sub>H</sub> - 0004B8 <sub>H</sub>	予約	-	-	-	-
0004B9 <sub>H</sub>	I/O ポート P17 - ブルアップ制御レジスタ	PUCR17	-	R/W	00000000
0004BA <sub>H</sub> , 0004BB <sub>H</sub>	予約	-	-	-	-
0004BC <sub>H</sub>	I/O ポート P00 - 外部端子状態レジスタ	EPSR00	-	R	XXXXXXXX
0004BD <sub>H</sub>	I/O ポート P01 - 外部端子状態レジスタ	EPSR01	-	R	XXXXXXXX
0004BE <sub>H</sub>	I/O ポート P02 - 外部端子状態レジスタ	EPSR02	-	R	XXXXXXXX
0004BF <sub>H</sub>	I/O ポート P03 - 外部端子状態レジスタ	EPSR03	-	R	XXXXXXXX
0004C0 <sub>H</sub>	I/O ポート P04 - 外部端子状態レジスタ	EPSR04	-	R	XXXXXXXX
0004C1 <sub>H</sub>	I/O ポート P05 - 外部端子状態レジスタ	EPSR05	-	R	XXXXXXXX
0004C2 <sub>H</sub>	I/O ポート P06 - 外部端子状態レジスタ	EPSR06	-	R	XXXXXXXX
0004C3 <sub>H</sub>	予約	-	-	-	-
0004C4 <sub>H</sub>	I/O ポート P08 - 外部端子状態レジスタ	EPSR08	-	R	XXXXXXXX
0004C5 <sub>H</sub>	I/O ポート P09 - 外部端子状態レジスタ	EPSR09	-	R	XXXXXXXX
0004C6 <sub>H</sub>	I/O ポート P10 - 外部端子状態レジスタ	EPSR10	-	R	XXXXXXXX
0004C7 <sub>H</sub>	I/O ポート P11 - 外部端子状態レジスタ	EPSR11	-	R	XXXXXXXX
0004C8 <sub>H</sub>	I/O ポート P12 - 外部端子状態レジスタ	EPSR12	-	R	XXXXXXXX
0004C9 <sub>H</sub>	I/O ポート P13 - 外部端子状態レジスタ	EPSR13	-	R	XXXXXXXX
0004CA <sub>H</sub> - 0004CC <sub>H</sub>	予約	-	-	-	-
0004CD <sub>H</sub>	I/O ポート P17 - 外部端子状態レジスタ	EPSR17	-	R	XXXXXXXX
0004CE <sub>H</sub> , 0004CF <sub>H</sub>	予約	-	-	-	-
0004D0 <sub>H</sub>	ADC0 アナログ入力許可レジスタ 0	ADER0	-	R/W	00000000
0004D1 <sub>H</sub>	ADC0 アナログ入力許可レジスタ 1	ADER1	-	R/W	00000000
0004D2 <sub>H</sub>	ADC0 アナログ入力許可レジスタ 2	ADER2	-	R/W	00000000
0004D3 <sub>H</sub>	ADC0 アナログ入力許可レジスタ 3	ADER3	-	R/W	00000000
0004D4 <sub>H</sub> , 0004D5 <sub>H</sub>	予約	-	-	-	-
0004D6 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 0	PRRR0	-	R/W	00000000
0004D7 <sub>H</sub>	予約	-	-	-	-
0004D8 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 2	PRRR2	-	R/W	00000000
0004D9 <sub>H</sub>	予約	-	-	-	-
0004DA <sub>H</sub>	周辺リソース端子リロケーションレジスタ 4	PRRR4	-	R/W	00000000
0004DB <sub>H</sub>	周辺リソース端子リロケーションレジスタ 5	PRRR5	-	R/W	00XX0000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0004DC <sub>H</sub>	周辺リソース端子リロケーションレジスタ 6	PRRR6	-	R/W	00000000
0004DD <sub>H</sub> , 0004DE <sub>H</sub>	予約	-	-	-	-
0004DF <sub>H</sub>	周辺リソース端子リロケーションレジスタ 9	PRRR9	-	R/W	XX000000
0004E0 <sub>H</sub>	RTC - サブセカンドレジスタ L	WTBRL0	WTBR0	R/W	XXXXXXXX
0004E1 <sub>H</sub>	RTC - サブセカンドレジスタ M	WTBRH0	-	R/W	XXXXXXXX
0004E2 <sub>H</sub>	RTC - サブセカンドレジスタ H	WTBR1	-	R/W	XXXXXXXX
0004E3 <sub>H</sub>	RTC - 秒レジスタ	WTSR	-	R/W	XX***** *:リセット要 因に依存
0004E4 <sub>H</sub>	RTC - 分レジスタ	WTMR	-	R/W	XX***** *:リセット要 因に依存
0004E5 <sub>H</sub>	RTC - 時レジスタ	WTHR	-	R/W	XXX***** *:リセット要 因に依存
0004E6 <sub>H</sub>	RTC - タイマ制御拡張レジスタ	WTCER	-	R/W	XXXXXXXX00
0004E7 <sub>H</sub>	RTC - クロック選択レジスタ	WTCKSR	-	R/W	XXXXXXXX00
0004E8 <sub>H</sub>	RTC - タイマ制御レジスタ下位	WTCRL	WTCR	R/W	XXXX0000
0004E9 <sub>H</sub>	RTC - タイマ制御レジスタ上位	WTCRH	-	R/W	00000000
0004EA <sub>H</sub>	CAL - クロック補正ユニット制御レジスタ	CUCR	-	R/W	XXX0X000
0004EB <sub>H</sub>	予約	-	-	-	-
0004EC <sub>H</sub>	CAL - クロック補正ユニット測定時間タイ マデータレジスタ下位	CUTDL	CUTD	R/W	00000000
0004ED <sub>H</sub>	CAL - クロック補正ユニット測定時間タイ マデータレジスタ上位	CUTDH	-	R/W	10000000
0004EE <sub>H</sub>	CAL - クロック補正ユニット補正タイマ データレジスタ 2 下位	CUTR2L	CUTR2	R	00000000
0004EF <sub>H</sub>	CAL - クロック補正ユニット補正タイマ データレジスタ 2 上位	CUTR2H	-	R	00000000
0004F0 <sub>H</sub>	CAL - クロック補正ユニット補正タイマ データレジスタ 1 下位	CUTR1L	CUTR1	R	00000000
0004F1 <sub>H</sub>	CAL - クロック補正ユニット補正タイマ データレジスタ 1 上位	CUTR1H	-	R	00000000
0004F2 <sub>H</sub> - 0004F9 <sub>H</sub>	予約	-	-	-	-
0004FA <sub>H</sub>	RLT - リロードタイマ入力選択レジスタ(カ スケード用)	TMISR	-	R/W	XX000000
0004FB <sub>H</sub> - 00051F <sub>H</sub>	予約	-	-	-	-
000520 <sub>H</sub>	USART4 - シリアルモードレジスタ	SMR4	-	R/W	00000000
000521 <sub>H</sub>	USART4 - シリアル制御レジスタ	SCR4	-	R/W	00000000
000522 <sub>H</sub>	USART4 - 送信データ レジスタ	TDR4	-	W	11111111
000522 <sub>H</sub>	USART4 - 受信データ レジスタ	RDR4	-	R	00000000
000523 <sub>H</sub>	USART4 - シリアルステータスレジスタ	SSR4	-	R/W	00001000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000524 <sub>H</sub>	USART4 - 拡張通信制御レジスタ	ECCR4	-	R/W	000000XX
000525 <sub>H</sub>	USART4 - 拡張ステータス制御レジスタ	ESCR4	-	R/W	00000100
000526 <sub>H</sub>	USART4 - ボーレート/リロードカウンタレジスタ下位	BGRL4	BGR4	R/W	00000000
000527 <sub>H</sub>	USART4 - ボーレート/リロードカウンタレジスタ上位	BGRH4	-	R/W	00000000
000528 <sub>H</sub>	USART4 - 拡張シリアル割込みレジスタ	ESIR4	-	R/W	XXXX10X0
000529 <sub>H</sub>	予約	-	-	-	-
00052A <sub>H</sub>	USART5 - シリアルモードレジスタ	SMR5	-	R/W	00000000
00052B <sub>H</sub>	USART5 - シリアル制御レジスタ	SCR5	-	R/W	00000000
00052C <sub>H</sub>	USART5 - 送信データ レジスタ	TDR5	-	W	11111111
00052C <sub>H</sub>	USART5 - 受信データ レジスタ	RDR5	-	R	00000000
00052D <sub>H</sub>	USART5 - シリアルステータスレジスタ	SSR5	-	R/W	00001000
00052E <sub>H</sub>	USART5 - 拡張通信制御レジスタ	ECCR5	-	R/W	000000XX
00052F <sub>H</sub>	USART5 - 拡張ステータス制御レジスタ	ESCR5	-	R/W	00000100
000530 <sub>H</sub>	USART5 - ボーレート/リロードカウンタレジスタ下位	BGRL5	BGR5	R/W	00000000
000531 <sub>H</sub>	USART5 - ボーレート/リロードカウンタレジスタ上位	BGRH5	-	R/W	00000000
000532 <sub>H</sub>	USART5 - 拡張シリアル割込みレジスタ	ESIR5	-	R/W	XXXX10X0
000533 <sub>H</sub> - 000563 <sub>H</sub>	予約	-	-	-	-
000564 <sub>H</sub>	PPG6 - タイマレジスタ	-	PTMR6	R	11111111
000565 <sub>H</sub>	PPG6 - タイマレジスタ	-	-	R	11111111
000566 <sub>H</sub>	PPG6 - 周期設定レジスタ下位	PCSRL6	PCSR6	R/W	XXXXXXXXXX
000567 <sub>H</sub>	PPG6 - 周期設定レジスタ上位	PCSRH6	-	R/W	XXXXXXXXXX
000568 <sub>H</sub>	PPG6 - デューティ設定レジスタ下位	PDUTL6	PDUT6	R/W	XXXXXXXXXX
000569 <sub>H</sub>	PPG6 - デューティ設定レジスタ上位	PDUTH6	-	R/W	XXXXXXXXXX
00056A <sub>H</sub>	PPG6 - 制御ステータスレジスタ下位	PCNL6	PCN6	R/W	00000000
00056B <sub>H</sub>	PPG6 - 制御ステータスレジスタ上位	PCNH6	-	R/W	00000000
00056C <sub>H</sub>	PPG7 - タイマレジスタ	-	PTMR7	R	11111111
00056D <sub>H</sub>	PPG7 - タイマレジスタ	-	-	R	11111111
00056E <sub>H</sub>	PPG7 - 周期設定レジスタ下位	PCSRL7	PCSR7	R/W	XXXXXXXXXX
00056F <sub>H</sub>	PPG7 - 周期設定レジスタ上位	PCSRH7	-	R/W	XXXXXXXXXX
000570 <sub>H</sub>	PPG7 - デューティ設定レジスタ下位	PDUTL7	PDUT7	R/W	XXXXXXXXXX
000571 <sub>H</sub>	PPG7 - デューティ設定レジスタ上位	PDUTH7	-	R/W	XXXXXXXXXX
000572 <sub>H</sub>	PPG7 - 制御ステータスレジスタ下位	PCNL7	PCN7	R/W	00000000
000573 <sub>H</sub>	PPG7 - 制御ステータスレジスタ上位	PCNH7	-	R/W	00000000
000574 <sub>H</sub> - 000597 <sub>H</sub>	予約	-	-	-	-
000598 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 1 下位	GCN1L3	GCN13	R/W	00010000
000599 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 1 上位	GCN1H3	-	R/W	00110010
00059A <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 2 下位	GCN2L3	GCN23	R/W	XXXX0000
00059B <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 2 上位	GCN2H3	-	R/W	XXXX0000
00059C <sub>H</sub>	PPG12 - タイマレジスタ	-	PTMR12	R	11111111
00059D <sub>H</sub>	PPG12 - タイマレジスタ	-	-	R	11111111

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
00059E <sub>H</sub>	PPG12 - 周期設定レジスタ下位	PCSRL12	PCSR12	R/W	XXXXXXXXXX
00059F <sub>H</sub>	PPG12 - 周期設定レジスタ上位	PCSRH12	-	R/W	XXXXXXXXXX
0005A0 <sub>H</sub>	PPG12 - デューティ設定レジスタ下位	PDUTL12	PDUT12	R/W	XXXXXXXXXX
0005A1 <sub>H</sub>	PPG12 - デューティ設定レジスタ上位	PDUTH12	-	R/W	XXXXXXXXXX
0005A2 <sub>H</sub>	PPG12 - 制御ステータスレジスタ下位	PCNL12	PCN12	R/W	00000000
0005A3 <sub>H</sub>	PPG12 - 制御ステータスレジスタ上位	PCNH12	-	R/W	00000000
0005A4 <sub>H</sub>	PPG13 - タイマレジスタ	-	PTMR13	R	11111111
0005A5 <sub>H</sub>	PPG13 - タイマレジスタ	-	-	R	11111111
0005A6 <sub>H</sub>	PPG13 - 周期設定レジスタ下位	PCSRL13	PCSR13	R/W	XXXXXXXXXX
0005A7 <sub>H</sub>	PPG13 - 周期設定レジスタ上位	PCSRH13	-	R/W	XXXXXXXXXX
0005A8 <sub>H</sub>	PPG13 - デューティ設定レジスタ下位	PDUTL13	PDUT13	R/W	XXXXXXXXXX
0005A9 <sub>H</sub>	PPG13 - デューティ設定レジスタ上位	PDUTH13	-	R/W	XXXXXXXXXX
0005AA <sub>H</sub>	PPG13 - 制御ステータスレジスタ下位	PCNL13	PCN13	R/W	00000000
0005AB <sub>H</sub>	PPG13 - 制御ステータスレジスタ上位	PCNH13	-	R/W	00000000
0005AC <sub>H</sub>	PPG14 - タイマレジスタ	-	PTMR14	R	11111111
0005AD <sub>H</sub>	PPG14 - タイマレジスタ	-	-	R	11111111
0005AE <sub>H</sub>	PPG14 - 周期設定レジスタ下位	PCSRL14	PCSR14	R/W	XXXXXXXXXX
0005AF <sub>H</sub>	PPG14 - 周期設定レジスタ上位	PCSRH14	-	R/W	XXXXXXXXXX
0005B0 <sub>H</sub>	PPG14 - デューティ設定レジスタ下位	PDUTL14	PDUT14	R/W	XXXXXXXXXX
0005B1 <sub>H</sub>	PPG14 - デューティ設定レジスタ上位	PDUTH14	-	R/W	XXXXXXXXXX
0005B2 <sub>H</sub>	PPG14 - 制御ステータスレジスタ下位	PCNL14	PCN14	R/W	00000000
0005B3 <sub>H</sub>	PPG14 - 制御ステータスレジスタ上位	PCNH14	-	R/W	00000000
0005B4 <sub>H</sub>	PPG15 - タイマレジスタ	-	PTMR15	R	11111111
0005B5 <sub>H</sub>	PPG15 - タイマレジスタ	-	-	R	11111111
0005B6 <sub>H</sub>	PPG15 - 周期設定レジスタ下位	PCSRL15	PCSR15	R/W	XXXXXXXXXX
0005B7 <sub>H</sub>	PPG15 - 周期設定レジスタ上位	PCSRH15	-	R/W	XXXXXXXXXX
0005B8 <sub>H</sub>	PPG15 - デューティ設定レジスタ下位	PDUTL15	PDUT15	R/W	XXXXXXXXXX
0005B9 <sub>H</sub>	PPG15 - デューティ設定レジスタ上位	PDUTH15	-	R/W	XXXXXXXXXX
0005BA <sub>H</sub>	PPG15 - 制御ステータスレジスタ下位	PCNL15	PCN15	R/W	00000000
0005BB <sub>H</sub>	PPG15 - 制御ステータスレジスタ上位	PCNH15	-	R/W	00000000
0005BC <sub>H</sub> - 00061B <sub>H</sub>	予約	-	-	-	-
00061C <sub>H</sub>	LCD - セグメント許可レジスタ 0 (セグメント 7 ~ 0)	LCDER0	-	R/W	00000000
00061D <sub>H</sub>	LCD - セグメント許可レジスタ 1 (セグメント 15 ~ 8)	LCDER1	-	R/W	00000000
00061E <sub>H</sub>	LCD - セグメント許可レジスタ 2 (セグメント 23 ~ 16)	LCDER2	-	R/W	00000000
00061F <sub>H</sub>	LCD - セグメント許可レジスタ 3 (セグメント 31 ~ 24)	LCDER3	-	R/W	00000000
000620 <sub>H</sub>	LCD - セグメント許可レジスタ 4 (セグメント 39 ~ 32)	LCDER4	-	R/W	00000000
000621 <sub>H</sub>	LCD - セグメント許可レジスタ 5 (セグメント 47 ~ 40)	LCDER5	-	R/W	00000000
000622 <sub>H</sub> - 000625 <sub>H</sub>	予約	-	-	-	-
000626 <sub>H</sub>	LCD - 電圧ライン許可レジスタ V (Vx)	LCDVER	-	R/W	XXXX0000



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000627 <sub>H</sub>	LCD - 拡張制御レジスタ	LECR	-	R/W	XXXXXX000
000628 <sub>H</sub>	LCD - 共通端子切換えレジスタ	LCDCMR	-	R/W	0XXXX0000
000629 <sub>H</sub>	LCD - 制御レジスタ	LCR	-	R/W	00010000
00062A <sub>H</sub>	LCD - セグメント 1-0 の表示 RAM	VRAM0	-	R/W	XXXXXXXXXX
00062B <sub>H</sub>	LCD - セグメント 3-2 の表示 RAM	VRAM1	-	R/W	XXXXXXXXXX
00062C <sub>H</sub>	LCD - セグメント 5-4 の表示 RAM	VRAM2	-	R/W	XXXXXXXXXX
00062D <sub>H</sub>	LCD - セグメント 7-6 の表示 RAM	VRAM3	-	R/W	XXXXXXXXXX
00062E <sub>H</sub>	予約	-	-	-	-
00062F <sub>H</sub>	LCD - セグメント 11-10 の表示 RAM	VRAM5	-	R/W	XXXXXXXXXX
000630 <sub>H</sub>	LCD - セグメント 13-12 の表示 RAM	VRAM6	-	R/W	XXXXXXXXXX
000631 <sub>H</sub>	LCD - セグメント 15-14 の表示 RAM	VRAM7	-	R/W	XXXXXXXXXX
000632 <sub>H</sub>	LCD - セグメント 17-16 の表示 RAM	VRAM8	-	R/W	XXXXXXXXXX
000633 <sub>H</sub>	LCD - セグメント 19-18 の表示 RAM	VRAM9	-	R/W	XXXXXXXXXX
000634 <sub>H</sub>	LCD - セグメント 21-20 の表示 RAM	VRAM10	-	R/W	XXXXXXXXXX
000635 <sub>H</sub>	LCD - セグメント 23-22 の表示 RAM	VRAM11	-	R/W	XXXXXXXXXX
000636 <sub>H</sub>	LCD - セグメント 25-24 の表示 RAM	VRAM12	-	R/W	XXXXXXXXXX
000637 <sub>H</sub>	LCD - セグメント 27-26 の表示 RAM	VRAM13	-	R/W	XXXXXXXXXX
000638 <sub>H</sub>	LCD - セグメント 29-28 の表示 RAM	VRAM14	-	R/W	XXXXXXXXXX
000639 <sub>H</sub>	LCD - セグメント 31-30 の表示 RAM	VRAM15	-	R/W	XXXXXXXXXX
00063A <sub>H</sub>	LCD - セグメント 33-32 の表示 RAM	VRAM16	-	R/W	XXXXXXXXXX
00063B <sub>H</sub>	予約	-	-	-	-
00063C <sub>H</sub>	LCD - セグメント 37-36 の表示 RAM	VRAM18	-	R/W	XXXXXXXXXX
00063D <sub>H</sub>	LCD - セグメント 39-38 の表示 RAM	VRAM19	-	R/W	XXXXXXXXXX
00063E <sub>H</sub>	LCD - セグメント 41-40 の表示 RAM	VRAM20	-	R/W	XXXXXXXXXX
00063F <sub>H</sub>	LCD - セグメント 43-42 の表示 RAM	VRAM21	-	R/W	XXXXXXXXXX
000640 <sub>H</sub>	LCD - セグメント 45-44 の表示 RAM	VRAM22	-	R/W	XXXXXXXXXX
000641 <sub>H</sub> - 000661 <sub>H</sub>	予約	-	-	-	-
000662 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 12	PRRR12	-	R/W	00000000
000663 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 13	PRRR13	-	R/W	XXX0XX00
000664 <sub>H</sub> - 0006FF <sub>H</sub>	予約	-	-	-	-
000700 <sub>H</sub>	CAN0 - 制御レジスタ下位	CTRLRL0	CTRLR0	R/W	000X0001
000701 <sub>H</sub>	CAN0 - 制御レジスタ上位(予約)	CTRLRH0	-	R	XXXXXXXXXX
000702 <sub>H</sub>	CAN0 - ステータスレジスタ下位	STATRL0	STATR0	R/W	00000000
000703 <sub>H</sub>	CAN0 - ステータスレジスタ上位(予約)	STATRH0	-	R	XXXXXXXXXX
000704 <sub>H</sub>	CAN0 - エラーカウンタ下位(送信)	ERRCNTL0	ERRCNT0	R	00000000
000705 <sub>H</sub>	CAN0 - エラーカウンタ上位(受信)	ERRCNTH0	-	R	00000000
000706 <sub>H</sub>	CAN0 - ビットタイミングレジスタ下位	BTRL0	BTR0	R/W	00000001
000707 <sub>H</sub>	CAN0 - ビットタイミングレジスタ上位	BTRH0	-	R/W	X0100011
000708 <sub>H</sub>	CAN0 - 割込みレジスタ下位	INTRL0	INTR0	R	00000000
000709 <sub>H</sub>	CAN0 - 割込みレジスタ上位	INTRH0	-	R	00000000
00070A <sub>H</sub>	CAN0 - テストレジスタ下位	TESTRL0	TESTR0	R/W	X00000XX
00070B <sub>H</sub>	CAN0 - テストレジスタ上位(予約)	TESTRH0	-	R	XXXXXXXXXX



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
00070C <sub>H</sub>	CAN0 - BRP 拡張レジスタ下位	BRPERL0	BRPER0	R/W	XXXX0000
00070D <sub>H</sub>	CAN0 - BRP 拡張レジスタ上位(予約)	BRPERH0	-	R	XXXXXXXXXX
00070E <sub>H</sub> , 00070F <sub>H</sub>	予約	-	-	-	-
000710 <sub>H</sub>	CAN0 - IF1 コマンドリクエストレジスタ 下位	IF1CREQL0	IF1CREQ0	R/W	00000001
000711 <sub>H</sub>	CAN0 - IF1 コマンドリクエストレジスタ 上位	IF1CREQH0	-	R/W	0XXXXXXXXX
000712 <sub>H</sub>	CAN0 - IF1 コマンドマスクレジスタ下位	IF1CMSKL0	IF1CMSK0	R/W	00000000
000713 <sub>H</sub>	CAN0 - IF1 コマンドマスクレジスタ上位 (予約)	IF1CMSKH0	-	R	XXXXXXXXXX
000714 <sub>H</sub>	CAN0 - IF1 マスク 1 レジスタ下位	IF1MSK1L0	IF1MSK10	R/W	11111111
000715 <sub>H</sub>	CAN0 - IF1 マスク 1 レジスタ上位	IF1MSK1H0	-	R/W	11111111
000716 <sub>H</sub>	CAN0 - IF1 マスク 2 レジスタ下位	IF1MSK2L0	IF1MSK20	R/W	11111111
000717 <sub>H</sub>	CAN0 - IF1 マスク 2 レジスタ上位	IF1MSK2H0	-	R/W	11X11111
000718 <sub>H</sub>	CAN0 - IF1 アービトレーション 1 レジス タ下位	IF1ARB1L0	IF1ARB10	R/W	00000000
000719 <sub>H</sub>	CAN0 - IF1 アービトレーション 1 レジス タ上位	IF1ARB1H0	-	R/W	00000000
00071A <sub>H</sub>	CAN0 - IF1 アービトレーション 2 レジス タ下位	IF1ARB2L0	IF1ARB20	R/W	00000000
00071B <sub>H</sub>	CAN0 - IF1 アービトレーション 2 レジス タ上位	IF1ARB2H0	-	R/W	00000000
00071C <sub>H</sub>	CAN0 - IF1 メッセージ制御レジスタ下位	IF1MCTRL0	IF1MCTR0	R/W	0XXX0000
00071D <sub>H</sub>	CAN0 - IF1 メッセージ制御レジスタ上位	IF1MCTRH0	-	R/W	00000000
00071E <sub>H</sub>	CAN0 - IF1 データ A1 下位	IF1DTA1L0	IF1DTA10	R/W	00000000
00071F <sub>H</sub>	CAN0 - IF1 データ A1 上位	IF1DTA1H0	-	R/W	00000000
000720 <sub>H</sub>	CAN0 - IF1 データ A2 下位	IF1DTA2L0	IF1DTA20	R/W	00000000
000721 <sub>H</sub>	CAN0 - IF1 データ A2 上位	IF1DTA2H0	-	R/W	00000000
000722 <sub>H</sub>	CAN0 - IF1 データ B1 下位	IF1DTB1L0	IF1DTB10	R/W	00000000
000723 <sub>H</sub>	CAN0 - IF1 データ B1 上位	IF1DTB1H0	-	R/W	00000000
000724 <sub>H</sub>	CAN0 - IF1 データ B2 下位	IF1DTB2L0	IF1DTB20	R/W	00000000
000725 <sub>H</sub>	CAN0 - IF1 データ B2 上位	IF1DTB2H0	-	R/W	00000000
000726 <sub>H</sub> - 00073F <sub>H</sub>	予約	-	-	-	-
000740 <sub>H</sub>	CAN0 - IF2 コマンドリクエストレジスタ 下位	IF2CREQL0	IF2CREQ0	R/W	00000001
000741 <sub>H</sub>	CAN0 - IF2 コマンドリクエストレジスタ 上位	IF2CREQH0	-	R/W	0XXXXXXXXX
000742 <sub>H</sub>	CAN0 - IF2 コマンドマスクレジスタ下位	IF2CMSKL0	IF2CMSK0	R/W	00000000
000743 <sub>H</sub>	CAN0 - IF2 コマンドマスクレジスタ上位 (予約)	IF2CMSKH0	-	R	XXXXXXXXXX
000744 <sub>H</sub>	CAN0 - IF2 マスク 1 レジスタ下位	IF2MSK1L0	IF2MSK10	R/W	11111111
000745 <sub>H</sub>	CAN0 - IF2 マスク 1 レジスタ上位	IF2MSK1H0	-	R/W	11111111
000746 <sub>H</sub>	CAN0 - IF2 マスク 2 レジスタ下位	IF2MSK2L0	IF2MSK20	R/W	11111111
000747 <sub>H</sub>	CAN0 - IF2 マスク 2 レジスタ上位	IF2MSK2H0	-	R/W	11X11111

アドレス	レジスタ	8 ビット アクセス時の レジスタ略称名	16 ビット アクセス時の レジスタ略称名	属性	初期値
000748 <sub>H</sub>	CAN0 - IF2 アービトレーション 1 レジスタ下位	IF2ARB1L0	IF2ARB10	R/W	00000000
000749 <sub>H</sub>	CAN0 - IF2 アービトレーション 1 レジスタ上位	IF2ARB1H0	-	R/W	00000000
00074A <sub>H</sub>	CAN0 - IF2 アービトレーション 2 レジスタ下位	IF2ARB2L0	IF2ARB20	R/W	00000000
00074B <sub>H</sub>	CAN0 - IF2 アービトレーション 2 レジスタ上位	IF2ARB2H0	-	R/W	00000000
00074C <sub>H</sub>	CAN0 - IF2 メッセージ制御レジスタ下位	IF2MCTRL0	IF2MCTR0	R/W	0XXX0000
00074D <sub>H</sub>	CAN0 - IF2 メッセージ制御レジスタ上位	IF2MCTR0	-	R/W	00000000
00074E <sub>H</sub>	CAN0 - IF2 データ A1 下位	IF2DTA1L0	IF2DTA10	R/W	00000000
00074F <sub>H</sub>	CAN0 - IF2 データ A1 上位	IF2DTA1H0	-	R/W	00000000
000750 <sub>H</sub>	CAN0 - IF2 データ A2 下位	IF2DTA2L0	IF2DTA20	R/W	00000000
000751 <sub>H</sub>	CAN0 - IF2 データ A2 上位	IF2DTA2H0	-	R/W	00000000
000752 <sub>H</sub>	CAN0 - IF2 データ B1 下位	IF2DTB1L0	IF2DTB10	R/W	00000000
000753 <sub>H</sub>	CAN0 - IF2 データ B1 上位	IF2DTB1H0	-	R/W	00000000
000754 <sub>H</sub>	CAN0 - IF2 データ B2 下位	IF2DTB2L0	IF2DTB20	R/W	00000000
000755 <sub>H</sub>	CAN0 - IF2 データ B2 上位	IF2DTB2H0	-	R/W	00000000
000756 <sub>H</sub> - 00077F <sub>H</sub>	予約	-	-	-	-
000780 <sub>H</sub>	CAN0 - 送信リクエスト 1 レジスタ下位	TREQR1L0	TREQR10	R	00000000
000781 <sub>H</sub>	CAN0 - 送信リクエスト 1 レジスタ上位	TREQR1H0	-	R	00000000
000782 <sub>H</sub>	CAN0 - 送信リクエスト 2 レジスタ下位	TREQR2L0	TREQR20	R	00000000
000783 <sub>H</sub>	CAN0 - 送信リクエスト 2 レジスタ上位	TREQR2H0	-	R	00000000
000784 <sub>H</sub> - 00078F <sub>H</sub>	予約	-	-	-	-
000790 <sub>H</sub>	CAN0 - 新規データ 1 レジスタ下位	NEWDT1L0	NEWDT10	R	00000000
000791 <sub>H</sub>	CAN0 - 新規データ 1 レジスタ上位	NEWDT1H0	-	R	00000000
000792 <sub>H</sub>	CAN0 - 新規データ 2 レジスタ下位	NEWDT2L0	NEWDT20	R	00000000
000793 <sub>H</sub>	CAN0 - 新規データ 2 レジスタ上位	NEWDT2H0	-	R	00000000
000794 <sub>H</sub> - 00079F <sub>H</sub>	予約	-	-	-	-
0007A0 <sub>H</sub>	CAN0 - 割込み保留 1 レジスタ下位	INTPND1L0	INTPND10	R	00000000
0007A1 <sub>H</sub>	CAN0 - 割込み保留 1 レジスタ上位	INTPND1H0	-	R	00000000
0007A2 <sub>H</sub>	CAN0 - 割込み保留 2 レジスタ下位	INTPND2L0	INTPND20	R	00000000
0007A3 <sub>H</sub>	CAN0 - 割込み保留 2 レジスタ上位	INTPND2H0	-	R	00000000
0007A4 <sub>H</sub> - 0007AF <sub>H</sub>	予約	-	-	-	-
0007B0 <sub>H</sub>	CAN0 - メッセージ有効 1 レジスタ下位	MSGVAL1L0	MSGVAL10	R	00000000
0007B1 <sub>H</sub>	CAN0 - メッセージ有効 1 レジスタ上位	MSGVAL1H0	-	R	00000000
0007B2 <sub>H</sub>	CAN0 - メッセージ有効 2 レジスタ下位	MSGVAL2L0	MSGVAL20	R	00000000
0007B3 <sub>H</sub>	CAN0 - メッセージ有効 2 レジスタ上位	MSGVAL2H0	-	R	00000000
0007B4 <sub>H</sub> - 0007CD <sub>H</sub>	予約	-	-	-	-
0007CE <sub>H</sub>	CAN0 - 出力許可レジスタ	COER0	-	R/W	XXXXXXXX0
0007CF <sub>H</sub>	予約	-	-	-	-
0007D0 <sub>H</sub>	SG0 - サウンドコントロールレジスタ下位	SGCRL0	SGCR0	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0007D1 <sub>H</sub>	SG0 - サウンドコントロールレジスタ上位	SGCRH0	-	R/W	XXXXXX100
0007D2 <sub>H</sub>	SG0 - 周波数データレジスタ	SGFR0	-	R/W	XXXXXXXXXX
0007D3 <sub>H</sub>	SG0 - 振幅データレジスタ	SGAR0	-	R/W	XXXXXXXXXX
0007D4 <sub>H</sub>	SG0 - デクリメントグレードレジスタ	SGDR0	-	R/W	XXXXXXXXXX
0007D5 <sub>H</sub>	SG0 - トーンカウントレジスタ	SGTR0	-	R/W	XXXXXXXXXX
0007D6 <sub>H</sub>	SG1 - サウンドコントロールレジスタ下位	SGCRL1	SGCR1	R/W	00000000
0007D7 <sub>H</sub>	SG1 - サウンドコントロールレジスタ上位	SGCRH1	-	R/W	XXXXXX100
0007D8 <sub>H</sub>	SG1 - 周波数データレジスタ	SGFR1	-	R/W	XXXXXXXXXX
0007D9 <sub>H</sub>	SG1 - 振幅データレジスタ	SGAR1	-	R/W	XXXXXXXXXX
0007DA <sub>H</sub>	SG1 - デクリメントグレードレジスタ	SGDR1	-	R/W	XXXXXXXXXX
0007DB <sub>H</sub>	SG1 - トーンカウントレジスタ	SGTR1	-	R/W	XXXXXXXXXX
0007DC <sub>H</sub> - 0009FF <sub>H</sub>	予約	-	-	-	-
000A00 <sub>H</sub>	DMA - I/O アドレスポインタバンク選択レジスタ 0	IOABK0	-	R/W	00000000
000A01 <sub>H</sub>	DMA - I/O アドレスポインタバンク選択レジスタ 1	IOABK1	-	R/W	00000000
000A02 <sub>H</sub>	DMA - I/O アドレスポインタバンク選択レジスタ 2	IOABK2	-	R/W	00000000
000A03 <sub>H</sub>	DMA - I/O アドレスポインタバンク選択レジスタ 3	IOABK3	-	R/W	00000000
000A04 <sub>H</sub> - 000A7F <sub>H</sub>	予約	-	-	-	-
000A80 <sub>H</sub>	PPG0 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L0	EPCN10	R/W	0XXXXX000
000A81 <sub>H</sub>	PPG0 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H0	-	R/W	XXX00000
000A82 <sub>H</sub>	PPG1 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L1	EPCN11	R/W	0XXXXX000
000A83 <sub>H</sub>	PPG1 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H1	-	R/W	XXX00000
000A84 <sub>H</sub>	PPG2 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L2	EPCN12	R/W	0XXXXX000
000A85 <sub>H</sub>	PPG2 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H2	-	R/W	XXX00000
000A86 <sub>H</sub>	PPG3 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L3	EPCN13	R/W	0XXXXX000
000A87 <sub>H</sub>	PPG3 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H3	-	R/W	XXX00000
000A88 <sub>H</sub>	PPG4 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L4	EPCN14	R/W	0XXXXX000
000A89 <sub>H</sub>	PPG4 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H4	-	R/W	XXX00000
000A8A <sub>H</sub>	PPG5 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L5	EPCN15	R/W	0XXXXX000
000A8B <sub>H</sub>	PPG5 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H5	-	R/W	XXX00000

アドレス	レジスタ	8 ビット アクセス時の レジスタ略称名	16 ビット アクセス時の レジスタ略称名	属性	初期値
000A8C <sub>H</sub>	PPG6 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L6	EPCN16	R/W	0XXXXX000
000A8D <sub>H</sub>	PPG6 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H6	-	R/W	XXX00000
000A8E <sub>H</sub>	PPG7 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L7	EPCN17	R/W	0XXXXX000
000A8F <sub>H</sub>	PPG7 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H7	-	R/W	XXX00000
000A90 <sub>H</sub> - 000A97 <sub>H</sub>	予約	-	-	-	-
000A98 <sub>H</sub>	PPG12 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L12	EPCN112	R/W	0XXXXX000
000A99 <sub>H</sub>	PPG12 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H12	-	R/W	XXX00000
000A9A <sub>H</sub>	PPG13 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L13	EPCN113	R/W	0XXXXX000
000A9B <sub>H</sub>	PPG13 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H13	-	R/W	XXX00000
000A9C <sub>H</sub>	PPG14 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L14	EPCN114	R/W	0XXXXX000
000A9D <sub>H</sub>	PPG14 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H14	-	R/W	XXX00000
000A9E <sub>H</sub>	PPG15 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L15	EPCN115	R/W	0XXXXX000
000A9F <sub>H</sub>	PPG15 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H15	-	R/W	XXX00000
000AA0 <sub>H</sub> - 000AEF <sub>H</sub>	予約	-	-	-	-
000AF0 <sub>H</sub>	QPRC0 - 位置カウントレジスタ	-	QPCR0	R/W	00000000
000AF1 <sub>H</sub>	QPRC0 - 位置カウントレジスタ	-	-	R/W	00000000
000AF2 <sub>H</sub>	QPRC0 - 回転カウントレジスタ	-	QRCR0	R/W	00000000
000AF3 <sub>H</sub>	QPRC0 - 回転カウントレジスタ	-	-	R/W	00000000
000AF4 <sub>H</sub>	QPRC0 - 割込み制御レジスタ下位	QICRL0	QICR0	R/W	00000000
000AF5 <sub>H</sub>	QPRC0 - 割込み制御レジスタ上位	QICRH0	-	R/W	00000000
000AF6 <sub>H</sub>	QPRC0 - 拡張制御レジスタ下位	QECRL0	QECR0	R/W	00000000
000AF7 <sub>H</sub>	QPRC0 - 拡張制御レジスタ上位	QECRH0	-	R/W	00000000
000AF8 <sub>H</sub>	QPRC1 - 位置カウントレジスタ	-	QPCR1	R/W	00000000
000AF9 <sub>H</sub>	QPRC1 - 位置カウントレジスタ	-	-	R/W	00000000
000AFA <sub>H</sub>	QPRC1 - 回転カウントレジスタ	-	QRCR1	R/W	00000000
000AFB <sub>H</sub>	QPRC1 - 回転カウントレジスタ	-	-	R/W	00000000
000AFC <sub>H</sub>	QPRC1 - 割込み制御レジスタ下位	QICRL1	QICR1	R/W	00000000
000AFD <sub>H</sub>	QPRC1 - 割込み制御レジスタ上位	QICRH1	-	R/W	00000000
000AFE <sub>H</sub>	QPRC1 - 拡張制御レジスタ下位	QECRL1	QECR1	R/W	00000000
000AFF <sub>H</sub>	QPRC1 - 拡張制御レジスタ上位	QECRH1	-	R/W	00000000
000B00 <sub>H</sub> - 000B53 <sub>H</sub>	予約	-	-	-	-
000B54 <sub>H</sub>	ADC0 - レンジ比較しきい値超過フラグ レジスタ 0	ADRCOOF00	-	R	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000B55 <sub>H</sub>	ADC0 - レンジ比較しきい値超過フラグレジスタ 1	ADRCOOF10	-	R	00000000
000B56 <sub>H</sub>	ADC0 - レンジ比較しきい値超過フラグレジスタ 2	ADRCOOF20	-	R	00000000
000B57 <sub>H</sub>	ADC0 - レンジ比較しきい値超過フラグレジスタ 3	ADRCOOF30	-	R	00000000
000B58 <sub>H</sub> - 000B5B <sub>H</sub>	予約	-	-	-	-
000B5C <sub>H</sub>	ADC0 - レンジ比較フラグレジスタ 0	ADRCOINTF00	-	R/W	00000000
000B5D <sub>H</sub>	ADC0 - レンジ比較フラグレジスタ 1	ADRCOINTF10	-	R/W	00000000
000B5E <sub>H</sub>	ADC0 - レンジ比較フラグレジスタ 2	ADRCOINTF20	-	R/W	00000000
000B5F <sub>H</sub>	ADC0 - レンジ比較フラグレジスタ 3	ADRCOINTF30	-	R/W	00000000
000B60 <sub>H</sub> - 000B63 <sub>H</sub>	予約	-	-	-	-
000B64 <sub>H</sub>	ADC0 - パルスカウンタ割込みイネーブルレジスタ 0	ADPCIE00	-	R/W	00000000
000B65 <sub>H</sub>	ADC0 - パルスカウンタ割込みイネーブルレジスタ 1	ADPCIE10	-	R/W	00000000
000B66 <sub>H</sub>	ADC0 - パルスカウンタ割込みイネーブルレジスタ 2	ADPCIE20	-	R/W	00000000
000B67 <sub>H</sub>	ADC0 - パルスカウンタ割込みイネーブルレジスタ 3	ADPCIE30	-	R/W	00000000
000B68 <sub>H</sub>	ADC0 - パルスカウンタゼロフラグレジスタ 0	ADPCZF00	-	R/W	00000000
000B69 <sub>H</sub>	ADC0 - パルスカウンタゼロフラグレジスタ 1	ADPCZF10	-	R/W	00000000
000B6A <sub>H</sub>	ADC0 - パルスカウンタゼロフラグレジスタ 2	ADPCZF20	-	R/W	00000000
000B6B <sub>H</sub>	ADC0 - パルスカウンタゼロフラグレジスタ 3	ADPCZF30	-	R/W	00000000
000B6C <sub>H</sub> - 000BA9 <sub>H</sub>	予約	-	-	-	-
000BAA <sub>H</sub>	USART0 - チェックサムステータス制御レジスタ	CSCR0	-	R/W	00000000
000BAB <sub>H</sub>	USART0 - 拡張ステータスレジスタ	ESR0	-	R/W	XX000000
000BAC <sub>H</sub>	USART1 - チェックサムステータス制御レジスタ	CSCR1	-	R/W	00000000
000BAD <sub>H</sub>	USART1 - 拡張ステータスレジスタ	ESR1	-	R/W	XX000000
000BAE <sub>H</sub>	予約	-	-	-	-
000BAF <sub>H</sub>	USART2 - 拡張ステータスレジスタ	ESR2	-	R/W	XXXX00XX
000BB0 <sub>H</sub> - 000BB2 <sub>H</sub>	予約	-	-	-	-
000BB3 <sub>H</sub>	USART4 - 拡張ステータスレジスタ	ESR4	-	R/W	XXXX00XX
000BB4 <sub>H</sub>	予約	-	-	-	-
000BB5 <sub>H</sub>	USART5 - 拡張ステータスレジスタ	ESR5	-	R/W	XXXX00XX
000BB6 <sub>H</sub> - 000BEF <sub>H</sub>	予約	-	-	-	-

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000BF0 <sub>H</sub>	DSU 制御レジスタ下位	DSUCRL	DSUCR	R/W	XXXXXXXX0
000BF1 <sub>H</sub>	DSU 制御レジスタ上位	DSUCRH	-	R/W	XXXXXXXXX
000BF2 <sub>H</sub> - 000BF3 <sub>H</sub>	予約	-	-	-	-
000BF4 <sub>H</sub>	ユーザイベントレジスタ下位	UERL	UER	W	XXXXXXXXX
000BF5 <sub>H</sub>	ユーザイベントレジスタ上位	UERH	-	R/W	XXXXXXXXX
000BF6 <sub>H</sub>	メッセージバッファレジスタ下位	MBRL	MBR	W	XXXXXXXXX
000BF7 <sub>H</sub>	メッセージバッファレジスタ上位	MBRH	-	R/W	0XXXXXXXX
000BF8 <sub>H</sub> - 000BFF <sub>H</sub>	予約	-	-	-	-
0E9000 <sub>H</sub> - 0E9301 <sub>H</sub>	予約	-	-	-	-
0E9302 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 4 下位	GCN4L0	GCN40	R/W	X110X110
0E9303 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 4 上位	GCN4H0	-	R/W	X110X110
0E9304 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 5 下位	GCN5L0	GCN50	R/W	00000000
0E9305 <sub>H</sub> - 0E930F <sub>H</sub>	予約	-	-	-	-
0E9310 <sub>H</sub>	PPG0 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L0	EPCN20	R/W	00XX0X0X
0E9311 <sub>H</sub>	予約	-	-	-	-
0E9312 <sub>H</sub>	PPG0 - スタートディレイレジスタ下位	PSDRL0	PSDR0	R/W	00000000
0E9313 <sub>H</sub>	PPG0 - スタートディレイレジスタ上位	PSDRH0	-	R/W	00000000
0E9314 <sub>H</sub>	PPG0 - タイミングポイントキャプチャレジ スタ下位	PTPCL0	PTPC0	R/W	00000000
0E9315 <sub>H</sub>	PPG0 - タイミングポイントキャプチャレジ スタ上位	PTPCH0	-	R/W	00000000
0E9316 <sub>H</sub> - 0E931F <sub>H</sub>	予約	-	-	-	-
0E9320 <sub>H</sub>	PPG1 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L1	EPCN21	R/W	00XX0X0X
0E9321 <sub>H</sub>	予約	-	-	-	-
0E9322 <sub>H</sub>	PPG1 - スタートディレイレジスタ下位	PSDRL1	PSDR1	R/W	00000000
0E9323 <sub>H</sub>	PPG1 - スタートディレイレジスタ上位	PSDRH1	-	R/W	00000000
0E9324 <sub>H</sub>	PPG1 - タイミングポイントキャプチャレジ スタ下位	PTPCL1	PTPC1	R/W	00000000
0E9325 <sub>H</sub>	PPG1 - タイミングポイントキャプチャレジ スタ上位	PTPCH1	-	R/W	00000000
0E9326 <sub>H</sub> - 0E932F <sub>H</sub>	予約	-	-	-	-
0E9330 <sub>H</sub>	PPG2 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L2	EPCN22	R/W	00XX0X0X
0E9331 <sub>H</sub>	予約	-	-	-	-
0E9332 <sub>H</sub>	PPG2 - スタートディレイレジスタ下位	PSDRL2	PSDR2	R/W	00000000
0E9333 <sub>H</sub>	PPG2 - スタートディレイレジスタ上位	PSDRH2	-	R/W	00000000
0E9334 <sub>H</sub>	PPG2 - タイミングポイントキャプチャレジ スタ下位	PTPCL2	PTPC2	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9335 <sub>H</sub>	PPG2 - タイミングポイントキャプチャレジスタ上位	PTPCH2	-	R/W	00000000
0E9336 <sub>H</sub> - 0E933F <sub>H</sub>	予約	-	-	-	-
0E9340 <sub>H</sub>	PPG3 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L3	EPCN23	R/W	00XX0X0X
0E9341 <sub>H</sub>	予約	-	-	-	-
0E9342 <sub>H</sub>	PPG3 - スタートディレイレジスタ下位	PSDRL3	PSDR3	R/W	00000000
0E9343 <sub>H</sub>	PPG3 - スタートディレイレジスタ上位	PSDRH3	-	R/W	00000000
0E9344 <sub>H</sub>	PPG3 - タイミングポイントキャプチャレジスタ下位	PTPCL3	PTPC3	R/W	00000000
0E9345 <sub>H</sub>	PPG3 - タイミングポイントキャプチャレジスタ上位	PTPCH3	-	R/W	00000000
0E9346 <sub>H</sub> - 0E9351 <sub>H</sub>	予約	-	-	-	-
0E9352 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 4 下位	GCN4L1	GCN41	R/W	X110X110
0E9353 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 4 上位	GCN4H1	-	R/W	X110X110
0E9354 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 5 下位	GCN5L1	GCN51	R/W	00000000
0E9355 <sub>H</sub> - 0E935F <sub>H</sub>	予約	-	-	-	-
0E9360 <sub>H</sub>	PPG4 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L4	EPCN24	R/W	00XX0X0X
0E9361 <sub>H</sub>	予約	-	-	-	-
0E9362 <sub>H</sub>	PPG4 - スタートディレイレジスタ下位	PSDRL4	PSDR4	R/W	00000000
0E9363 <sub>H</sub>	PPG4 - スタートディレイレジスタ上位	PSDRH4	-	R/W	00000000
0E9364 <sub>H</sub>	PPG4 - タイミングポイントキャプチャレジスタ下位	PTPCL4	PTPC4	R/W	00000000
0E9365 <sub>H</sub>	PPG4 - タイミングポイントキャプチャレジスタ上位	PTPCH4	-	R/W	00000000
0E9366 <sub>H</sub> - 0E936F <sub>H</sub>	予約	-	-	-	-
0E9370 <sub>H</sub>	PPG5 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L5	EPCN25	R/W	00XX0X0X
0E9371 <sub>H</sub>	予約	-	-	-	-
0E9372 <sub>H</sub>	PPG5 - スタートディレイレジスタ下位	PSDRL5	PSDR5	R/W	00000000
0E9373 <sub>H</sub>	PPG5 - スタートディレイレジスタ上位	PSDRH5	-	R/W	00000000
0E9374 <sub>H</sub>	PPG5 - タイミングポイントキャプチャレジスタ下位	PTPCL5	PTPC5	R/W	00000000
0E9375 <sub>H</sub>	PPG5 - タイミングポイントキャプチャレジスタ上位	PTPCH5	-	R/W	00000000
0E9376 <sub>H</sub> - 0E937F <sub>H</sub>	予約	-	-	-	-
0E9380 <sub>H</sub>	PPG6 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L6	EPCN26	R/W	00XX0X0X
0E9381 <sub>H</sub>	予約	-	-	-	-
0E9382 <sub>H</sub>	PPG6 - スタートディレイレジスタ下位	PSDRL6	PSDR6	R/W	00000000
0E9383 <sub>H</sub>	PPG6 - スタートディレイレジスタ上位	PSDRH6	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9384 <sub>H</sub>	PPG6 - タイミングポイントキャプチャレジスタ下位	PTPCL6	PTPC6	R/W	00000000
0E9385 <sub>H</sub>	PPG6 - タイミングポイントキャプチャレジスタ上位	PTPCH6	-	R/W	00000000
0E9386 <sub>H</sub> - 0E938F <sub>H</sub>	予約	-	-	-	-
0E9390 <sub>H</sub>	PPG7 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L7	EPCN27	R/W	00XX0X0X
0E9391 <sub>H</sub>	予約	-	-	-	-
0E9392 <sub>H</sub>	PPG7 - スタートディレイレジスタ下位	PSDRL7	PSDR7	R/W	00000000
0E9393 <sub>H</sub>	PPG7 - スタートディレイレジスタ上位	PSDRH7	-	R/W	00000000
0E9394 <sub>H</sub>	PPG7 - タイミングポイントキャプチャレジスタ下位	PTPCL7	PTPC7	R/W	00000000
0E9395 <sub>H</sub>	PPG7 - タイミングポイントキャプチャレジスタ上位	PTPCH7	-	R/W	00000000
0E9396 <sub>H</sub> - 0E9401 <sub>H</sub>	予約	-	-	-	-
0E9402 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 4 下位	GCN4L3	GCN43	R/W	X110X110
0E9403 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 4 上位	GCN4H3	-	R/W	X110X110
0E9404 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 5 下位	GCN5L3	GCN53	R/W	00000000
0E9405 <sub>H</sub> - 0E940F <sub>H</sub>	予約	-	-	-	-
0E9410 <sub>H</sub>	PPG12 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L12	EPCN212	R/W	00XX0X0X
0E9411 <sub>H</sub>	予約	-	-	-	-
0E9412 <sub>H</sub>	PPG12 - スタートディレイレジスタ下位	PSDRL12	PSDR12	R/W	00000000
0E9413 <sub>H</sub>	PPG12 - スタートディレイレジスタ上位	PSDRH12	-	R/W	00000000
0E9414 <sub>H</sub>	PPG12 - タイミングポイントキャプチャレジスタ下位	PTPCL12	PTPC12	R/W	00000000
0E9415 <sub>H</sub>	PPG12 - タイミングポイントキャプチャレジスタ上位	PTPCH12	-	R/W	00000000
0E9416 <sub>H</sub> - 0E941F <sub>H</sub>	予約	-	-	-	-
0E9420 <sub>H</sub>	PPG13 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L13	EPCN213	R/W	00XX0X0X
0E9421 <sub>H</sub>	予約	-	-	-	-
0E9422 <sub>H</sub>	PPG13 - スタートディレイレジスタ下位	PSDRL13	PSDR13	R/W	00000000
0E9423 <sub>H</sub>	PPG13 - スタートディレイレジスタ上位	PSDRH13	-	R/W	00000000
0E9424 <sub>H</sub>	PPG13 - タイミングポイントキャプチャレジスタ下位	PTPCL13	PTPC13	R/W	00000000
0E9425 <sub>H</sub>	PPG13 - タイミングポイントキャプチャレジスタ上位	PTPCH13	-	R/W	00000000
0E9426 <sub>H</sub> - 0E942F <sub>H</sub>	予約	-	-	-	-
0E9430 <sub>H</sub>	PPG14 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L14	EPCN214	R/W	00XX0X0X
0E9431 <sub>H</sub>	予約	-	-	-	-



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9432 <sub>H</sub>	PPG14 - スタートディレイレジスタ下位	PSDRL14	PSDR14	R/W	00000000
0E9433 <sub>H</sub>	PPG14 - スタートディレイレジスタ上位	PSDRH14	-	R/W	00000000
0E9434 <sub>H</sub>	PPG14 - タイミングポイントキャプチャレジスタ下位	PTPCL14	PTPC14	R/W	00000000
0E9435 <sub>H</sub>	PPG14 - タイミングポイントキャプチャレジスタ上位	PTPCH14	-	R/W	00000000
0E9436 <sub>H</sub> - 0E943F <sub>H</sub>	予約	-	-	-	-
0E9440 <sub>H</sub>	PPG15 - 拡張PPG制御ステータスレジスタ2 下位	EPCN2L15	EPCN215	R/W	00XX0X0X
0E9441 <sub>H</sub>	予約	-	-	-	-
0E9442 <sub>H</sub>	PPG15 - スタートディレイレジスタ下位	PSDRL15	PSDR15	R/W	00000000
0E9443 <sub>H</sub>	PPG15 - スタートディレイレジスタ上位	PSDRH15	-	R/W	00000000
0E9444 <sub>H</sub>	PPG15 - タイミングポイントキャプチャレジスタ下位	PTPCL15	PTPC15	R/W	00000000
0E9445 <sub>H</sub>	PPG15 - タイミングポイントキャプチャレジスタ上位	PTPCH15	-	R/W	00000000
0E9446 <sub>H</sub> - 0E949F <sub>H</sub>	予約	-	-	-	-
0E94A0 <sub>H</sub>	ADTG - ADC0 トリガ制御レジスタ下位	ADTGCRLO	ADTGCR0	R/W	XXXXXXXX
0E94A1 <sub>H</sub>	ADTG - ADC0 トリガ制御レジスタ上位	ADTGCRHO	-	R/W	XXXXXXXX1
0E94A2 <sub>H</sub>	ADTG - ADC0 トリガ入力選択下位	ADTGISELLO	ADTGISELO	R/W	XXXXXX001
0E94A3 <sub>H</sub>	ADTG - ADC0 トリガ入力選択上位	ADTGISELHO	-	R/W	XXX00000
0E94A4 <sub>H</sub> - 0E951F <sub>H</sub>	予約	-	-	-	-
0E9520 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ0 下位	ADRCOLL00	ADRCOL00	R/W	00000000
0E9521 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ0 上位	ADRCOLH00	-	R/W	00000000
0E9522 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ0 下位	ADRCOHL00	ADRCOH00	R/W	00000000
0E9523 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ0 上位	ADRCOHH00	-	R/W	00000000
0E9524 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ1 下位	ADRCOLL10	ADRCOL10	R/W	00000000
0E9525 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ1 上位	ADRCOLH10	-	R/W	00000000
0E9526 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ1 下位	ADRCOHL10	ADRCOH10	R/W	00000000
0E9527 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ1 上位	ADRCOHH10	-	R/W	00000000
0E9528 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ2 下位	ADRCOLL20	ADRCOL20	R/W	00000000
0E9529 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ2 上位	ADRCOLH20	-	R/W	00000000
0E952A <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ2 下位	ADRCOHL20	ADRCOH20	R/W	00000000

アドレス	レジスタ	8 ビット アクセス時の レジスタ略称名	16 ビット アクセス時の レジスタ略称名	属性	初期値
0E952B <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 2 上位	ADRCOHH20	-	R/W	00000000
0E952C <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 3 下位	ADRCOLL30	ADRCOL30	R/W	00000000
0E952D <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 3 上位	ADRCOLH30	-	R/W	00000000
0E952E <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 3 下位	ADRCOHL30	ADRCOH30	R/W	00000000
0E952F <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 3 上位	ADRCOHH30	-	R/W	00000000
0E9530 <sub>H</sub>	ADC0 - チャネルスキップレジスタ 0	ADDSCR00	-	R/W	00000000
0E9531 <sub>H</sub>	ADC0 - チャネルスキップレジスタ 1	ADDSCR10	-	R/W	00000000
0E9532 <sub>H</sub>	ADC0 - チャネルスキップレジスタ 2	ADDSCR20	-	R/W	00000000
0E9533 <sub>H</sub>	ADC0 - チャネルスキップレジスタ 3	ADDSCR30	-	R/W	00000000
0E9534 <sub>H</sub> - 0E953F <sub>H</sub>	予約	-	-	-	-
0E9540 <sub>H</sub>	ADC0 - レンジ比較インパートレンジ選択 レジスタ 0	ADRCOIRS00	-	R/W	00000000
0E9541 <sub>H</sub>	ADC0 - レンジ比較インパートレンジ選択 レジスタ 1	ADRCOIRS10	-	R/W	00000000
0E9542 <sub>H</sub>	ADC0 - レンジ比較インパートレンジ選択 レジスタ 2	ADRCOIRS20	-	R/W	00000000
0E9543 <sub>H</sub>	ADC0 - レンジ比較インパートレンジ選択 レジスタ 3	ADRCOIRS30	-	R/W	00000000
0E9544 <sub>H</sub> - 0E9550 <sub>H</sub>	予約	-	-	-	-
0E9551 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 1	ADCC010	-	R/W	00000000
0E9552 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 2	ADCC020	-	R/W	00000000
0E9553 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 3	ADCC030	-	R/W	00000000
0E9554 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 4	ADCC040	-	R/W	00000000
0E9555 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 5	ADCC050	-	R/W	00000000
0E9556 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 6	ADCC060	-	R/W	00000000
0E9557 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 7	ADCC070	-	R/W	00000000
0E9558 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 8	ADCC080	-	R/W	00000000
0E9559 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 9	ADCC090	-	R/W	00000000
0E955A <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 10	ADCC100	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E955B <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 11	ADCC110	-	R/W	00000000
0E955C <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 12	ADCC120	-	R/W	00000000
0E955D <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 13	ADCC130	-	R/W	00000000
0E955E <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 14	ADCC140	-	R/W	00000000
0E955F <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 15	ADCC150	-	R/W	00000000
0E9560 <sub>H</sub> - 0E9593 <sub>H</sub>	予約	-	-	-	-
0E9594 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロー ドレジスタ 2	ADPCTPRD20	-	R/W	00000000
0E9595 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロー ドレジスタ 2	ADPCTNRD20	-	R/W	00000000
0E9596 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロー ドレジスタ 3	ADPCTPRD30	-	R/W	00000000
0E9597 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロー ドレジスタ 3	ADPCTNRD30	-	R/W	00000000
0E9598 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロー ドレジスタ 4	ADPCTPRD40	-	R/W	00000000
0E9599 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロー ドレジスタ 4	ADPCTNRD40	-	R/W	00000000
0E959A <sub>H</sub> , 0E959B <sub>H</sub>	予約	-	-	-	-
0E959C <sub>H</sub>	ADC0 - パルスポジティブカウンタリロー ドレジスタ 6	ADPCTPRD60	-	R/W	00000000
0E959D <sub>H</sub>	ADC0 - パルスネガティブカウンタリロー ドレジスタ 6	ADPCTNRD60	-	R/W	00000000
0E959E <sub>H</sub>	ADC0 - パルスポジティブカウンタリロー ドレジスタ 7	ADPCTPRD70	-	R/W	00000000
0E959F <sub>H</sub>	ADC0 - パルスネガティブカウンタリロー ドレジスタ 7	ADPCTNRD70	-	R/W	00000000
0E95A0 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロー ドレジスタ 8	ADPCTPRD80	-	R/W	00000000
0E95A1 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロー ドレジスタ 8	ADPCTNRD80	-	R/W	00000000
0E95A2 <sub>H</sub> , 0E95A3 <sub>H</sub>	予約	-	-	-	-
0E95A4 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロー ドレジスタ 10	ADPCTPRD100	-	R/W	00000000
0E95A5 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロー ドレジスタ 10	ADPCTNRD100	-	R/W	00000000
0E95A6 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロー ドレジスタ 11	ADPCTPRD110	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E95A7 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 11	ADPCTNRD110	-	R/W	00000000
0E95A8 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 12	ADPCTPRD120	-	R/W	00000000
0E95A9 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 12	ADPCTNRD120	-	R/W	00000000
0E95AA <sub>H</sub> , 0E95AB <sub>H</sub>	予約	-	-	-	-
0E95AC <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 14	ADPCTPRD140	-	R/W	00000000
0E95AD <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 14	ADPCTNRD140	-	R/W	00000000
0E95AE <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 15	ADPCTPRD150	-	R/W	00000000
0E95AF <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 15	ADPCTNRD150	-	R/W	00000000
0E95B0 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 16	ADPCTPRD160	-	R/W	00000000
0E95B1 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 16	ADPCTNRD160	-	R/W	00000000
0E95B2 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 17	ADPCTPRD170	-	R/W	00000000
0E95B3 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 17	ADPCTNRD170	-	R/W	00000000
0E95B4 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 18	ADPCTPRD180	-	R/W	00000000
0E95B5 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 18	ADPCTNRD180	-	R/W	00000000
0E95B6 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 19	ADPCTPRD190	-	R/W	00000000
0E95B7 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 19	ADPCTNRD190	-	R/W	00000000
0E95B8 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 20	ADPCTPRD200	-	R/W	00000000
0E95B9 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 20	ADPCTNRD200	-	R/W	00000000
0E95BA <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 21	ADPCTPRD210	-	R/W	00000000
0E95BB <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 21	ADPCTNRD210	-	R/W	00000000
0E95BC <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 22	ADPCTPRD220	-	R/W	00000000
0E95BD <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 22	ADPCTNRD220	-	R/W	00000000
0E95BE <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 23	ADPCTPRD230	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E95BF <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 23	ADPCTNRD230	-	R/W	00000000
0E95C0 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 24	ADPCTPRD240	-	R/W	00000000
0E95C1 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 24	ADPCTNRD240	-	R/W	00000000
0E95C2 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 25	ADPCTPRD250	-	R/W	00000000
0E95C3 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 25	ADPCTNRD250	-	R/W	00000000
0E95C4 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 26	ADPCTPRD260	-	R/W	00000000
0E95C5 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 26	ADPCTNRD260	-	R/W	00000000
0E95C6 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 27	ADPCTPRD270	-	R/W	00000000
0E95C7 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 27	ADPCTNRD270	-	R/W	00000000
0E95C8 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 28	ADPCTPRD280	-	R/W	00000000
0E95C9 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 28	ADPCTNRD280	-	R/W	00000000
0E95CA <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 29	ADPCTPRD290	-	R/W	00000000
0E95CB <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 29	ADPCTNRD290	-	R/W	00000000
0E95CC <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 30	ADPCTPRD300	-	R/W	00000000
0E95CD <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 30	ADPCTNRD300	-	R/W	00000000
0E95CE <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 31	ADPCTPRD310	-	R/W	00000000
0E95CF <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 31	ADPCTNRD310	-	R/W	00000000
0E95D0 <sub>H</sub> - 0E95D3 <sub>H</sub>	予約	-	-	-	-
0E95D4 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 2	ADPCTPCT20	-	R	00000000
0E95D5 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 2	ADPCTNCT20	-	R	00000000
0E95D6 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 3	ADPCTPCT30	-	R	00000000
0E95D7 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 3	ADPCTNCT30	-	R	00000000
0E95D8 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 4	ADPCTPCT40	-	R	00000000
0E95D9 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 4	ADPCTNCT40	-	R	00000000
0E95DA <sub>H</sub> , 0E95DB <sub>H</sub>	予約	-	-	-	-
0E95DC <sub>H</sub>	ADC0 - パルスポジティブカウンタ 6	ADPCTPCT60	-	R	00000000
0E95DD <sub>H</sub>	ADC0 - パルスネガティブカウンタ 6	ADPCTNCT60	-	R	00000000
0E95DE <sub>H</sub>	ADC0 - パルスポジティブカウンタ 7	ADPCTPCT70	-	R	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E95DF <sub>H</sub>	ADC0 - パルスネガティブカウンタ 7	ADPCTNCT70	-	R	00000000
0E95E0 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 8	ADPCTPCT80	-	R	00000000
0E95E1 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 8	ADPCTNCT80	-	R	00000000
0E95E2 <sub>H</sub> , 0E95E3 <sub>H</sub>	予約	-	-	-	-
0E95E4 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 10	ADPCTPCT100	-	R	00000000
0E95E5 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 10	ADPCTNCT100	-	R	00000000
0E95E6 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 11	ADPCTPCT110	-	R	00000000
0E95E7 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 11	ADPCTNCT110	-	R	00000000
0E95E8 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 12	ADPCTPCT120	-	R	00000000
0E95E9 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 12	ADPCTNCT120	-	R	00000000
0E95EA <sub>H</sub> , 0E95EB <sub>H</sub>	予約	-	-	-	-
0E95EC <sub>H</sub>	ADC0 - パルスポジティブカウンタ 14	ADPCTPCT140	-	R	00000000
0E95ED <sub>H</sub>	ADC0 - パルスネガティブカウンタ 14	ADPCTNCT140	-	R	00000000
0E95EE <sub>H</sub>	ADC0 - パルスポジティブカウンタ 15	ADPCTPCT150	-	R	00000000
0E95EF <sub>H</sub>	ADC0 - パルスネガティブカウンタ 15	ADPCTNCT150	-	R	00000000
0E95F0 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 16	ADPCTPCT160	-	R	00000000
0E95F1 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 16	ADPCTNCT160	-	R	00000000
0E95F2 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 17	ADPCTPCT170	-	R	00000000
0E95F3 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 17	ADPCTNCT170	-	R	00000000
0E95F4 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 18	ADPCTPCT180	-	R	00000000
0E95F5 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 18	ADPCTNCT180	-	R	00000000
0E95F6 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 19	ADPCTPCT190	-	R	00000000
0E95F7 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 19	ADPCTNCT190	-	R	00000000
0E95F8 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 20	ADPCTPCT200	-	R	00000000
0E95F9 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 20	ADPCTNCT200	-	R	00000000
0E95FA <sub>H</sub>	ADC0 - パルスポジティブカウンタ 21	ADPCTPCT210	-	R	00000000
0E95FB <sub>H</sub>	ADC0 - パルスネガティブカウンタ 21	ADPCTNCT210	-	R	00000000
0E95FC <sub>H</sub>	ADC0 - パルスポジティブカウンタ 22	ADPCTPCT220	-	R	00000000
0E95FD <sub>H</sub>	ADC0 - パルスネガティブカウンタ 22	ADPCTNCT220	-	R	00000000
0E95FE <sub>H</sub>	ADC0 - パルスポジティブカウンタ 23	ADPCTPCT230	-	R	00000000
0E95FF <sub>H</sub>	ADC0 - パルスネガティブカウンタ 23	ADPCTNCT230	-	R	00000000
0E9600 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 24	ADPCTPCT240	-	R	00000000
0E9601 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 24	ADPCTNCT240	-	R	00000000
0E9602 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 25	ADPCTPCT250	-	R	00000000
0E9603 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 25	ADPCTNCT250	-	R	00000000
0E9604 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 26	ADPCTPCT260	-	R	00000000
0E9605 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 26	ADPCTNCT260	-	R	00000000
0E9606 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 27	ADPCTPCT270	-	R	00000000
0E9607 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 27	ADPCTNCT270	-	R	00000000
0E9608 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 28	ADPCTPCT280	-	R	00000000
0E9609 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 28	ADPCTNCT280	-	R	00000000
0E960A <sub>H</sub>	ADC0 - パルスポジティブカウンタ 29	ADPCTPCT290	-	R	00000000
0E960B <sub>H</sub>	ADC0 - パルスネガティブカウンタ 29	ADPCTNCT290	-	R	00000000
0E960C <sub>H</sub>	ADC0 - パルスポジティブカウンタ 30	ADPCTPCT300	-	R	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E960D <sub>H</sub>	ADC0 - パルスネガティブカウンタ 30	ADPCTNCT300	-	R	00000000
0E960E <sub>H</sub>	ADC0 - パルスポジティブカウンタ 31	ADPCTPCT310	-	R	00000000
0E960F <sub>H</sub>	ADC0 - パルスネガティブカウンタ 31	ADPCTNCT310	-	R	00000000
0E9610 <sub>H</sub> - 0E977F <sub>H</sub>	予約	-	-	-	-
0E9780 <sub>H</sub>	QPRC0 - 位置カウンタ比較レジスタ	-	QPCCR0	R/W	00000000
0E9781 <sub>H</sub>	QPRC0 - 位置カウンタ比較レジスタ	-	-	R/W	00000000
0E9782 <sub>H</sub>	QPRC0 - 位置&回転カウンタ比較レジスタ	-	QPRCR0	R/W	00000000
0E9783 <sub>H</sub>	QPRC0 - 位置&回転カウンタ比較レジスタ	-	-	R/W	00000000
0E9784 <sub>H</sub>	QPRC0 - 最大位置レジスタ	-	QMPR0	R/W	11111111
0E9785 <sub>H</sub>	QPRC0 - 最大位置レジスタ	-	-	R/W	11111111
0E9786 <sub>H</sub>	QPRC0 - 制御レジスタ下位	QCRL0	QCR0	R/W	00000000
0E9787 <sub>H</sub>	QPRC0 - 制御レジスタ上位	QCRH0	-	R/W	00000000
0E9788 <sub>H</sub> - 0E978F <sub>H</sub>	予約	-	-	-	-
0E9790 <sub>H</sub>	QPRC1 - 位置カウンタ比較レジスタ	-	QPCCR1	R/W	00000000
0E9791 <sub>H</sub>	QPRC1 - 位置カウンタ比較レジスタ	-	-	R/W	00000000
0E9792 <sub>H</sub>	QPRC1 - 位置&回転カウンタ比較レジスタ	-	QPRCR1	R/W	00000000
0E9793 <sub>H</sub>	QPRC1 - 位置&回転カウンタ比較レジスタ	-	-	R/W	00000000
0E9794 <sub>H</sub>	QPRC1 - 最大位置レジスタ	-	QMPR1	R/W	11111111
0E9795 <sub>H</sub>	QPRC1 - 最大位置レジスタ	-	-	R/W	11111111
0E9796 <sub>H</sub>	QPRC1 - 制御レジスタ下位	QCRL1	QCR1	R/W	00000000
0E9797 <sub>H</sub>	QPRC1 - 制御レジスタ上位	QCRH1	-	R/W	00000000
0E9798 <sub>H</sub> - 0E97BF <sub>H</sub>	予約	-	-	-	-
0E97C0 <sub>H</sub>	USART0 - 拡張機能許可レジスタ下位	EFERL0	EFER0	R/W	00000000
0E97C1 <sub>H</sub>	USART0 - 拡張機能許可レジスタ上位	EFERH0	-	R/W	XX000000
0E97C2 <sub>H</sub>	USART0 - 受信 FIFO 制御レジスタ	RFCR0	-	R/W	00X00000
0E97C3 <sub>H</sub>	USART0 - 送信 FIFO 制御レジスタ	TFCR0	-	R/W	00X00000
0E97C4 <sub>H</sub>	USART0 - 受信 FIFO ステータスレジスタ	RFSR0	-	R	XXX00000
0E97C5 <sub>H</sub>	USART0 - 送信 FIFO ステータスレジスタ	TFSR0	-	R	XXX00000
0E97C6 <sub>H</sub>	USART0 - Sync Field タイムアウトレジスタ下位	SFTRL0	SFTR0	R/W	00000000
0E97C7 <sub>H</sub>	USART0 - Sync Field タイムアウトレジスタ上位	SFTRH0	-	R/W	00000000
0E97C8 <sub>H</sub>	USART0 - 拡張割込み許可レジスタ	EIER0	-	R/W	00000000
0E97C9 <sub>H</sub> - 0E97CF <sub>H</sub>	予約	-	-	-	-
0E97D0 <sub>H</sub>	USART1 - 拡張機能許可レジスタ下位	EFERL1	EFER1	R/W	00000000
0E97D1 <sub>H</sub>	USART1 - 拡張機能許可レジスタ上位	EFERH1	-	R/W	XX000000
0E97D2 <sub>H</sub>	USART1 - 受信 FIFO 制御レジスタ	RFCR1	-	R/W	00X00000
0E97D3 <sub>H</sub>	USART1 - 送信 FIFO 制御レジスタ	TFCR1	-	R/W	00X00000
0E97D4 <sub>H</sub>	USART1 - 受信 FIFO ステータスレジスタ	RFSR1	-	R	XXX00000
0E97D5 <sub>H</sub>	USART1 - 送信 FIFO ステータスレジスタ	TFSR1	-	R	XXX00000
0E97D6 <sub>H</sub>	USART1 - Sync Field タイムアウトレジスタ下位	SFTRL1	SFTR1	R/W	00000000
0E97D7 <sub>H</sub>	USART1 - Sync Field タイムアウトレジスタ上位	SFTRH1	-	R/W	00000000



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E97D8 <sub>H</sub>	USART1 - 拡張割込み許可レジスタ	EIER1	-	R/W	00000000
0E97D9 <sub>H</sub> - 0E97DF <sub>H</sub>	予約	-	-	-	-
0E97E0 <sub>H</sub>	USART2 - 拡張機能許可レジスタ下位	EFERL2	EFER2	R/W	00000XXX
0E97E1 <sub>H</sub>	USART2 - 拡張機能許可レジスタ上位	EFERH2	-	R/W	XX00X0X0
0E97E2 <sub>H</sub> - 0E97E7 <sub>H</sub>	予約	-	-	-	-
0E97E8 <sub>H</sub>	USART2 - 拡張割込み許可レジスタ	EIER2	-	R/W	XXXXXX00
0E97E9 <sub>H</sub> - 0E97FF <sub>H</sub>	予約	-	-	-	-
0E9800 <sub>H</sub>	USART4 - 拡張機能許可レジスタ下位	EFERL4	EFER4	R/W	00000XXX
0E9801 <sub>H</sub>	USART4 - 拡張機能許可レジスタ上位	EFERH4	-	R/W	XX00X0X0
0E9802 <sub>H</sub> - 0E9807 <sub>H</sub>	予約	-	-	-	-
0E9808 <sub>H</sub>	USART4 - 拡張割込み許可レジスタ	EIER4	-	R/W	XXXXXX00
0E9809 <sub>H</sub> - 0E980F <sub>H</sub>	予約	-	-	-	-
0E9810 <sub>H</sub>	USART5 - 拡張機能許可レジスタ下位	EFERL5	EFER5	R/W	00000XXX
0E9811 <sub>H</sub>	USART5 - 拡張機能許可レジスタ上位	EFERH5	-	R/W	XX00X0X0
0E9812 <sub>H</sub> - 0E9817 <sub>H</sub>	予約	-	-	-	-
0E9818 <sub>H</sub>	USART5 - 拡張割込み許可レジスタ	EIER5	-	R/W	XXXXXX00
0E9819 <sub>H</sub> - 0FBFFF <sub>H</sub>	予約	-	-	-	-



## K. MB966C0 の I/O マップ

各周辺機能のレジスタに割り当てられるアドレスを示します。

### ■ MB966C0 の I/O マップ

表 K MB966C0 の I/O マップ

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000000 <sub>H</sub>	I/O ポート P00 - ポートデータレジスタ	PDR00	-	R/W	XXXXXXXX
000001 <sub>H</sub>	I/O ポート P01 - ポートデータレジスタ	PDR01	-	R/W	XXXXXXXX
000002 <sub>H</sub>	I/O ポート P02 - ポートデータレジスタ	PDR02	-	R/W	XXXXXXXX
000003 <sub>H</sub>	I/O ポート P03 - ポートデータレジスタ	PDR03	-	R/W	XXXXXXXX
000004 <sub>H</sub>	I/O ポート P04 - ポートデータレジスタ	PDR04	-	R/W	XXXXXXXX
000005 <sub>H</sub>	I/O ポート P05 - ポートデータレジスタ	PDR05	-	R/W	XXXXXXXX
000006 <sub>H</sub>	I/O ポート P06 - ポートデータレジスタ	PDR06	-	R/W	XXXXXXXX
000007 <sub>H</sub>	予約	-	-	-	-
000008 <sub>H</sub>	I/O ポート P08 - ポートデータレジスタ	PDR08	-	R/W	XXXXXXXX
000009 <sub>H</sub>	I/O ポート P09 - ポートデータレジスタ	PDR09	-	R/W	XXXXXXXX
00000A <sub>H</sub>	I/O ポート P10 - ポートデータレジスタ	PDR10	-	R/W	XXXXXXXX
00000B <sub>H</sub>	I/O ポート P11 - ポートデータレジスタ	PDR11	-	R/W	XXXXXXXX
00000C <sub>H</sub>	I/O ポート P12 - ポートデータレジスタ	PDR12	-	R/W	XXXXXXXX
00000D <sub>H</sub>	I/O ポート P13 - ポートデータレジスタ	PDR13	-	R/W	XXXXXXXX
00000E <sub>H</sub> - 000010 <sub>H</sub>	予約	-	-	-	-
000011 <sub>H</sub>	I/O ポート P17 - ポートデータレジスタ	PDR17	-	R/W	XXXXXXXX
000012 <sub>H</sub> - 000017 <sub>H</sub>	予約	-	-	-	-
000018 <sub>H</sub>	ADC0 - 制御状態レジスタ下位	ADCSL	ADCS	R/W	00000000
000019 <sub>H</sub>	ADC0 - 制御状態レジスタ上位	ADCSH	-	R/W	00000000
00001A <sub>H</sub>	ADC0 - データレジスタ下位	ADCRL	ADCR	R	00000000
00001B <sub>H</sub>	ADC0 - データレジスタ上位	ADCRH	-	R	00000000
00001C <sub>H</sub>	ADC0 - 設定レジスタ	-	ADSR	R/W	00000000
00001D <sub>H</sub>	ADC0 - 設定レジスタ	-	-	R/W	00000000
00001E <sub>H</sub> , 00001F <sub>H</sub>	予約	-	-	-	-
000020 <sub>H</sub>	FRT0 - データレジスタ	-	TCDT0	R/W	00000000
000021 <sub>H</sub>	FRT0 - データレジスタ	-	-	R/W	00000000
000022 <sub>H</sub>	FRT0 - コントロールステータスレジスタ 下位	TCCSL0	TCCS0	R/W	00000000
000023 <sub>H</sub>	FRT0 - コントロールステータスレジスタ 上位	TCCSH0	-	R/W	01XXXXXX
000024 <sub>H</sub>	FRT1 - データレジスタ	-	TCDT1	R/W	00000000
000025 <sub>H</sub>	FRT1 - データレジスタ	-	-	R/W	00000000
000026 <sub>H</sub>	FRT1 - コントロールステータスレジスタ 下位	TCCSL1	TCCS1	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000027 <sub>H</sub>	FRT1 - コントロールステータスレジスタ 上位	TCCSH1	-	R/W	01XXXXXX
000028 <sub>H</sub>	OCU0 - コントロールステータスレジスタ	OCS0	-	R/W	0000XX00
000029 <sub>H</sub>	OCU1 - コントロールステータスレジスタ	OCS1	-	R/W	0XX00000
00002A <sub>H</sub>	OCU0 - コンペアレジスタ	-	OCCP0	R/W	XXXXXXXX
00002B <sub>H</sub>	OCU0 - コンペアレジスタ	-	-	R/W	XXXXXXXX
00002C <sub>H</sub>	OCU1 - コンペアレジスタ	-	OCCP1	R/W	XXXXXXXX
00002D <sub>H</sub>	OCU1 - コンペアレジスタ	-	-	R/W	XXXXXXXX
00002E <sub>H</sub>	OCU2 - コントロールステータスレジスタ	OCS2	-	R/W	0000XX00
00002F <sub>H</sub>	OCU3 - コントロールステータスレジスタ	OCS3	-	R/W	0XX00000
000030 <sub>H</sub>	OCU2 - コンペアレジスタ	-	OCCP2	R/W	XXXXXXXX
000031 <sub>H</sub>	OCU2 - コンペアレジスタ	-	-	R/W	XXXXXXXX
000032 <sub>H</sub>	OCU3 - コンペアレジスタ	-	OCCP3	R/W	XXXXXXXX
000033 <sub>H</sub>	OCU3 - コンペアレジスタ	-	-	R/W	XXXXXXXX
000034 <sub>H</sub> - 00003F <sub>H</sub>	予約	-	-	-	-
000040 <sub>H</sub>	ICU0/ICU1 - コントロールステータスレジスタ	ICS01	-	R/W	00000000
000041 <sub>H</sub>	ICU0/ICU1 - エッジレジスタ	ICE01	-	R/W	XXX0X000
000042 <sub>H</sub>	ICU0 - データレジスタ下位	IPCPL0	IPCP0	R	XXXXXXXX
000043 <sub>H</sub>	ICU0 - データレジスタ上位	IPCPH0	-	R	XXXXXXXX
000044 <sub>H</sub>	ICU1 - データレジスタ下位	IPCPL1	IPCP1	R	XXXXXXXX
000045 <sub>H</sub>	ICU1 - データレジスタ上位	IPCPH1	-	R	XXXXXXXX
000046 <sub>H</sub>	ICU2/ICU3 - コントロールステータスレジスタ	ICS23	-	R/W	00000000
000047 <sub>H</sub>	ICU2/ICU3 - エッジレジスタ	ICE23	-	R/W	XXX0X000
000048 <sub>H</sub>	ICU2 - データレジスタ下位	IPCPL2	IPCP2	R	XXXXXXXX
000049 <sub>H</sub>	ICU2 - データレジスタ上位	IPCPH2	-	R	XXXXXXXX
00004A <sub>H</sub>	ICU3 - データレジスタ下位	IPCPL3	IPCP3	R	XXXXXXXX
00004B <sub>H</sub>	ICU3 - データレジスタ上位	IPCPH3	-	R	XXXXXXXX
00004C <sub>H</sub>	ICU4/ICU5 - 制御ステータスレジスタ	ICS45	-	R/W	00000000
00004D <sub>H</sub>	ICU4/ICU5 - エッジレジスタ	ICE45	-	R/W	XXX0X000
00004E <sub>H</sub>	ICU4 - データレジスタ下位	IPCPL4	IPCP4	R	XXXXXXXX
00004F <sub>H</sub>	ICU4 - データレジスタ上位	IPCPH4	-	R	XXXXXXXX
000050 <sub>H</sub>	ICU5 - データレジスタ下位	IPCPL5	IPCP5	R	XXXXXXXX
000051 <sub>H</sub>	ICU5 - データレジスタ上位	IPCPH5	-	R	XXXXXXXX
000052 <sub>H</sub>	ICU6/ICU7 - 制御ステータスレジスタ	ICS67	-	R/W	00000000
000053 <sub>H</sub>	ICU6/ICU7 - エッジレジスタ	ICE67	-	R/W	XXX0X000
000054 <sub>H</sub>	ICU6 - データレジスタ下位	IPCPL6	IPCP6	R	XXXXXXXX
000055 <sub>H</sub>	ICU6 - データレジスタ上位	IPCPH6	-	R	XXXXXXXX
000056 <sub>H</sub>	ICU7 - データレジスタ下位	IPCPL7	IPCP7	R	XXXXXXXX
000057 <sub>H</sub>	ICU7 - データレジスタ上位	IPCPH7	-	R	XXXXXXXX
000058 <sub>H</sub>	EXTINT0 - 外部割込み要求許可レジスタ	ENIR0	-	R/W	00000000
000059 <sub>H</sub>	EXTINT0 - 外部割込み要求レジスタ	EIRR0	-	R/W	00000000
00005A <sub>H</sub>	EXTINT0 - 外部割込みレベルレジスタ下位	ELVRL0	ELVR0	R/W	00000000
00005B <sub>H</sub>	EXTINT0 - 外部割込みレベルレジスタ上位	ELVRH0	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
00005C <sub>H</sub>	EXTINT1 - 外部割込み要求許可レジスタ	ENIR1	-	R/W	00000000
00005D <sub>H</sub>	EXTINT1 - 外部割込み要求レジスタ	EIRR1	-	R/W	00000000
00005E <sub>H</sub>	EXTINT1 - 外部割込みレベルレジスタ下位	ELVRL1	ELVR1	R/W	00000000
00005F <sub>H</sub>	EXTINT1 - 外部割込みレベルレジスタ上位	ELVRH1	-	R/W	00000000
000060 <sub>H</sub>	RLT0 - タイマ制御状態レジスタ下位	TMCSRL0	TMCSR0	R/W	00000000
000061 <sub>H</sub>	RLT0 - タイマ制御状態レジスタ上位	TMCSRH0	-	R/W	00X10000
000062 <sub>H</sub>	RLT0 - 16ビットリロードレジスタ下位	-	TMRLR0	W	XXXXXXXXXX
000062 <sub>H</sub>	RLT0 - 16ビットタイマレジスタ下位	-	TMR0	R	XXXXXXXXXX
000063 <sub>H</sub>	RLT0 - 16ビットリロードレジスタ上位	-	-	W	XXXXXXXXXX
000063 <sub>H</sub>	RLT0 - 16ビットタイマレジスタ上位	-	-	R	XXXXXXXXXX
000064 <sub>H</sub>	RLT1 - タイマ制御状態レジスタ下位	TMCSRL1	TMCSR1	R/W	00000000
000065 <sub>H</sub>	RLT1 - タイマ制御状態レジスタ上位	TMCSRH1	-	R/W	00X10000
000066 <sub>H</sub>	RLT1 - 16ビットリロードレジスタ下位	-	TMRLR1	W	XXXXXXXXXX
000066 <sub>H</sub>	RLT1 - 16ビットタイマレジスタ下位	-	TMR1	R	XXXXXXXXXX
000067 <sub>H</sub>	RLT1 - 16ビットリロードレジスタ上位	-	-	W	XXXXXXXXXX
000067 <sub>H</sub>	RLT1 - 16ビットタイマレジスタ上位	-	-	R	XXXXXXXXXX
000068 <sub>H</sub>	RLT2 - タイマ制御状態レジスタ下位	TMCSRL2	TMCSR2	R/W	00000000
000069 <sub>H</sub>	RLT2 - タイマ制御状態レジスタ上位	TMCSRH2	-	R/W	00X10000
00006A <sub>H</sub>	RLT2 - 16ビットリロードレジスタ下位	-	TMRLR2	W	XXXXXXXXXX
00006A <sub>H</sub>	RLT2 - 16ビットタイマレジスタ下位	-	TMR2	R	XXXXXXXXXX
00006B <sub>H</sub>	RLT2 - 16ビットリロードレジスタ上位	-	-	W	XXXXXXXXXX
00006B <sub>H</sub>	RLT2 - 16ビットタイマレジスタ上位	-	-	R	XXXXXXXXXX
00006C <sub>H</sub>	RLT3 - タイマ制御状態レジスタ下位	TMCSRL3	TMCSR3	R/W	00000000
00006D <sub>H</sub>	RLT3 - タイマ制御状態レジスタ上位	TMCSRH3	-	R/W	00X10000
00006E <sub>H</sub>	RLT3 - 16ビットリロードレジスタ下位	-	TMRLR3	W	XXXXXXXXXX
00006E <sub>H</sub>	RLT3 - 16ビットタイマレジスタ下位	-	TMR3	R	XXXXXXXXXX
00006F <sub>H</sub>	RLT3 - 16ビットリロードレジスタ上位	-	-	W	XXXXXXXXXX
00006F <sub>H</sub>	RLT3 - 16ビットタイマレジスタ上位	-	-	R	XXXXXXXXXX
000070 <sub>H</sub>	RLT6 - タイマ制御状態レジスタ下位	TMCSRL6	TMCSR6	R/W	00000000
000071 <sub>H</sub>	RLT6 - タイマ制御状態レジスタ上位	TMCSRH6	-	R/W	00X10000
000072 <sub>H</sub>	RLT6 - 16ビットリロードレジスタ下位	-	TMRLR6	W	XXXXXXXXXX
000072 <sub>H</sub>	RLT6 - 16ビットタイマレジスタ下位	-	TMR6	R	XXXXXXXXXX
000073 <sub>H</sub>	RLT6 - 16ビットリロードレジスタ上位	-	-	W	XXXXXXXXXX
000073 <sub>H</sub>	RLT6 - 16ビットタイマレジスタ	-	-	R	XXXXXXXXXX
000074 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 1 下位	GCN1L0	GCN10	R/W	00010000
000075 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 1 上位	GCN1H0	-	R/W	00110010
000076 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 2 下位	GCN2L0	GCN20	R/W	XXXX0000
000077 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 2 上位	GCN2H0	-	R/W	XXXX0000
000078 <sub>H</sub>	PPG0 - タイマレジスタ	-	PTMR0	R	11111111
000079 <sub>H</sub>	PPG0 - タイマレジスタ	-	-	R	11111111
00007A <sub>H</sub>	PPG0 - 周期設定レジスタ下位	PCSRL0	PCSR0	R/W	XXXXXXXXXX
00007B <sub>H</sub>	PPG0 - 周期設定レジスタ上位	PCSRH0	-	R/W	XXXXXXXXXX
00007C <sub>H</sub>	PPG0 - デューティ設定レジスタ下位	PDUTL0	PDUT0	R/W	XXXXXXXXXX
00007D <sub>H</sub>	PPG0 - デューティ設定レジスタ上位	PDUTH0	-	R/W	XXXXXXXXXX
00007E <sub>H</sub>	PPG0 - 制御ステータスレジスタ下位	PCNL0	PCN0	R/W	00000000
00007F <sub>H</sub>	PPG0 - 制御ステータスレジスタ上位	PCNH0	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000080 <sub>H</sub>	PPG1 - タイマレジスタ	-	PTMR1	R	11111111
000081 <sub>H</sub>	PPG1 - タイマレジスタ	-	-	R	11111111
000082 <sub>H</sub>	PPG1 - 周期設定レジスタ下位	PCSRL1	PCSR1	R/W	XXXXXXXX
000083 <sub>H</sub>	PPG1 - 周期設定レジスタ上位	PCSRH1	-	R/W	XXXXXXXX
000084 <sub>H</sub>	PPG1 - デューティ設定レジスタ下位	PDUTL1	PDUT1	R/W	XXXXXXXX
000085 <sub>H</sub>	PPG1 - デューティ設定レジスタ上位	PDUTH1	-	R/W	XXXXXXXX
000086 <sub>H</sub>	PPG1 - 制御ステータスレジスタ下位	PCNL1	PCN1	R/W	00000000
000087 <sub>H</sub>	PPG1 - 制御ステータスレジスタ上位	PCNH1	-	R/W	00000000
000088 <sub>H</sub>	PPG2 - タイマレジスタ	-	PTMR2	R	11111111
000089 <sub>H</sub>	PPG2 - タイマレジスタ	-	-	R	11111111
00008A <sub>H</sub>	PPG2 - 周期設定レジスタ下位	PCSRL2	PCSR2	R/W	XXXXXXXX
00008B <sub>H</sub>	PPG2 - 周期設定レジスタ上位	PCSRH2	-	R/W	XXXXXXXX
00008C <sub>H</sub>	PPG2 - デューティ設定レジスタ下位	PDUTL2	PDUT2	R/W	XXXXXXXX
00008D <sub>H</sub>	PPG2 - デューティ設定レジスタ上位	PDUTH2	-	R/W	XXXXXXXX
00008E <sub>H</sub>	PPG2 - 制御ステータスレジスタ下位	PCNL2	PCN2	R/W	00000000
00008F <sub>H</sub>	PPG2 - 制御ステータスレジスタ上位	PCNH2	-	R/W	00000000
000090 <sub>H</sub>	PPG3 - タイマレジスタ	-	PTMR3	R	11111111
000091 <sub>H</sub>	PPG3 - タイマレジスタ	-	-	R	11111111
000092 <sub>H</sub>	PPG3 - 周期設定レジスタ下位	PCSRL3	PCSR3	R/W	XXXXXXXX
000093 <sub>H</sub>	PPG3 - 周期設定レジスタ上位	PCSRH3	-	R/W	XXXXXXXX
000094 <sub>H</sub>	PPG3 - デューティ設定レジスタ下位	PDUTL3	PDUT3	R/W	XXXXXXXX
000095 <sub>H</sub>	PPG3 - デューティ設定レジスタ上位	PDUTH3	-	R/W	XXXXXXXX
000096 <sub>H</sub>	PPG3 - 制御ステータスレジスタ下位	PCNL3	PCN3	R/W	00000000
000097 <sub>H</sub>	PPG3 - 制御ステータスレジスタ上位	PCNH3	-	R/W	00000000
000098 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 1 下位	GCN1L1	GCN11	R/W	00010000
000099 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 1 上位	GCN1H1	-	R/W	00110010
00009A <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 2 下位	GCN2L1	GCN21	R/W	XXXX0000
00009B <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 2 上位	GCN2H1	-	R/W	XXXX0000
00009C <sub>H</sub>	PPG4 - タイマレジスタ	-	PTMR4	R	11111111
00009D <sub>H</sub>	PPG4 - タイマレジスタ	-	-	R	11111111
00009E <sub>H</sub>	PPG4 - 周期設定レジスタ下位	PCSRL4	PCSR4	R/W	XXXXXXXX
00009F <sub>H</sub>	PPG4 - 周期設定レジスタ上位	PCSRH4	-	R/W	XXXXXXXX
0000A0 <sub>H</sub>	PPG4 - デューティ設定レジスタ下位	PDUTL4	PDUT4	R/W	XXXXXXXX
0000A1 <sub>H</sub>	PPG4 - デューティ設定レジスタ上位	PDUTH4	-	R/W	XXXXXXXX
0000A2 <sub>H</sub>	PPG4 - 制御ステータスレジスタ下位	PCNL4	PCN4	R/W	00000000
0000A3 <sub>H</sub>	PPG4 - 制御ステータスレジスタ上位	PCNH4	-	R/W	00000000
0000A4 <sub>H</sub>	PPG5 - タイマレジスタ	-	PTMR5	R	11111111
0000A5 <sub>H</sub>	PPG5 - タイマレジスタ	-	-	R	11111111
0000A6 <sub>H</sub>	PPG5 - 周期設定レジスタ下位	PCSRL5	PCSR5	R/W	XXXXXXXX
0000A7 <sub>H</sub>	PPG5 - 周期設定レジスタ上位	PCSRH5	-	R/W	XXXXXXXX
0000A8 <sub>H</sub>	PPG5 - デューティ設定レジスタ下位	PDUTL5	PDUT5	R/W	XXXXXXXX
0000A9 <sub>H</sub>	PPG5 - デューティ設定レジスタ上位	PDUTH5	-	R/W	XXXXXXXX
0000AA <sub>H</sub>	PPG5 - 制御ステータスレジスタ下位	PCNL5	PCN5	R/W	00000000
0000AB <sub>H</sub>	PPG5 - 制御ステータスレジスタ上位	PCNH5	-	R/W	00000000
0000AC <sub>H</sub>	I <sup>2</sup> C0 - バスステータスレジスタ	IBSR0	-	R	00000000
0000AD <sub>H</sub>	I <sup>2</sup> C0 - バスコントロールレジスタ	IBCR0	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0000AE <sub>H</sub>	I <sup>2</sup> C0 - 10 ビットスレーブアドレスレジスタ 下位	ITBAL0	ITBA0	R/W	00000000
0000AF <sub>H</sub>	I <sup>2</sup> C0 - 10 ビットスレーブアドレスレジスタ 上位	ITBAH0	-	R/W	00000000
0000B0 <sub>H</sub>	I <sup>2</sup> C0 - 10 ビットスレーブアドレスマスクレ ジスタ下位	ITMKL0	ITMK0	R/W	11111111
0000B1 <sub>H</sub>	I <sup>2</sup> C0 - 10 ビットスレーブアドレスマスクレ ジスタ上位	ITMKH0	-	R/W	00111111
0000B2 <sub>H</sub>	I <sup>2</sup> C0 - 7 ビットスレーブアドレスレジスタ	ISBA0	-	R/W	00000000
0000B3 <sub>H</sub>	I <sup>2</sup> C0 - 7 ビットスレーブアドレスマスクレ ジスタ	ISMK0	-	R/W	01111111
0000B4 <sub>H</sub>	I <sup>2</sup> C0 - データレジスタ	IDAR0	-	R/W	00000000
0000B5 <sub>H</sub>	I <sup>2</sup> C0 - クロックコントロールレジスタ	ICCR0	-	R/W	00011111
0000B6 <sub>H</sub> - 0000BF <sub>H</sub>	予約	-	-	-	-
0000C0 <sub>H</sub>	USART0 - シリアルモードレジスタ	SMR0	-	R/W	00000000
0000C1 <sub>H</sub>	USART0 - シリアル制御レジスタ	SCR0	-	R/W	00000000
0000C2 <sub>H</sub>	USART0 - 送信データ レジスタ	TDR0	-	W	11111111
0000C2 <sub>H</sub>	USART0 - 受信データ レジスタ	RDR0	-	R	00000000
0000C3 <sub>H</sub>	USART0 - シリアルステータスレジスタ	SSR0	-	R/W	00001000
0000C4 <sub>H</sub>	USART0 - 拡張通信制御レジスタ	ECCR0	-	R/W	000000XX
0000C5 <sub>H</sub>	USART0 - 拡張ステータス制御レジスタ	ESCR0	-	R/W	00000100
0000C6 <sub>H</sub>	USART0 - ボーレート/リロードカウンタレ ジスタ下位	BGRL0	BGR0	R/W	00000000
0000C7 <sub>H</sub>	USART0 - ボーレート/リロードカウンタレ ジスタ上位	BGRH0	-	R/W	00000000
0000C8 <sub>H</sub>	USART0 - 拡張シリアル割込みレジスタ	ESIR0	-	R/W	XXXX10X0
0000C9 <sub>H</sub>	USART0 - フレーム ID データレジスタ	FIDR0	-	R/W	00000000
0000CA <sub>H</sub>	USART1 - シリアルモードレジスタ	SMR1	-	R/W	00000000
0000CB <sub>H</sub>	USART1 - シリアル制御レジスタ	SCR1	-	R/W	00000000
0000CC <sub>H</sub>	USART1 - 送信データ レジスタ	TDR1	-	W	11111111
0000CC <sub>H</sub>	USART1 - 受信データ レジスタ	RDR1	-	R	00000000
0000CD <sub>H</sub>	USART1 - シリアルステータスレジスタ	SSR1	-	R/W	00001000
0000CE <sub>H</sub>	USART1 - 拡張通信制御レジスタ	ECCR1	-	R/W	000000XX
0000CF <sub>H</sub>	USART1 - 拡張ステータス制御レジスタ	ESCR1	-	R/W	00000100
0000D0 <sub>H</sub>	USART1 - ボーレート/リロードカウンタレ ジスタ下位	BGRL1	BGR1	R/W	00000000
0000D1 <sub>H</sub>	USART1 - ボーレート/リロードカウンタレ ジスタ上位	BGRH1	-	R/W	00000000
0000D2 <sub>H</sub>	USART1 - 拡張シリアル割込みレジスタ	ESIR1	-	R/W	XXXX10X0
0000D3 <sub>H</sub>	USART1 - フレーム ID データレジスタ	FIDR1	-	R/W	00000000
0000D4 <sub>H</sub>	USART2 - シリアルモードレジスタ	SMR2	-	R/W	00000000
0000D5 <sub>H</sub>	USART2 - シリアル制御レジスタ	SCR2	-	R/W	00000000
0000D6 <sub>H</sub>	USART2 - 送信データ レジスタ	TDR2	-	W	11111111
0000D6 <sub>H</sub>	USART2 - 受信データ レジスタ	RDR2	-	R	00000000
0000D7 <sub>H</sub>	USART2 - シリアルステータスレジスタ	SSR2	-	R/W	00001000
0000D8 <sub>H</sub>	USART2 - 拡張通信制御レジスタ	ECCR2	-	R/W	000000XX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0000D9 <sub>H</sub>	USART2 - 拡張ステータス制御レジスタ	ESCR2	-	R/W	00000100
0000DA <sub>H</sub>	USART2 - ボーレート/リロードカウンタレジスタ下位	BGRL2	BGR2	R/W	00000000
0000DB <sub>H</sub>	USART2 - ボーレート/リロードカウンタレジスタ上位	BGRH2	-	R/W	00000000
0000DC <sub>H</sub>	USART2 - 拡張シリアル割込みレジスタ	ESIR2	-	R/W	XXXX10X0
0000DD <sub>H</sub> - 0000EB <sub>H</sub>	予約	-	-	-	-
0000EC <sub>H</sub>	PPG - 汎用制御レジスタ	GCNR0	-	R/W	XXXXXX00
0000ED <sub>H</sub> - 0000FF <sub>H</sub>	予約	-	-	-	-
000100 <sub>H</sub>	DMA0 - バッファアドレスポインタ下位	BAPL0	-	R/W	XXXXXXXX
000101 <sub>H</sub>	DMA0 - バッファアドレスポインタ中位	BAPM0	-	R/W	XXXXXXXX
000102 <sub>H</sub>	DMA0 - バッファアドレスポインタ上位	BAPH0	-	R/W	XXXXXXXX
000103 <sub>H</sub>	DMA0 - 制御レジスタ	DMACS0	-	R/W	XXXXXXXX
000104 <sub>H</sub>	DMA0 - I/O レジスタアドレスポインタ下位	IOAL0	IOA0	R/W	XXXXXXXX
000105 <sub>H</sub>	DMA0 - I/O レジスタアドレスポインタ上位	IOAH0	-	R/W	XXXXXXXX
000106 <sub>H</sub>	DMA0 - データカウントレジスタ下位	DCTL0	DCT0	R/W	XXXXXXXX
000107 <sub>H</sub>	DMA0 - データカウントレジスタ上位	DCTH0	-	R/W	XXXXXXXX
000108 <sub>H</sub>	DMA1 - バッファアドレスポインタ下位	BAPL1	-	R/W	XXXXXXXX
000109 <sub>H</sub>	DMA1 - バッファアドレスポインタ中位	BAPM1	-	R/W	XXXXXXXX
00010A <sub>H</sub>	DMA1 - バッファアドレスポインタ上位	BAPH1	-	R/W	XXXXXXXX
00010B <sub>H</sub>	DMA1 - 制御レジスタ	DMACS1	-	R/W	XXXXXXXX
00010C <sub>H</sub>	DMA1 - I/O レジスタアドレスポインタ下位	IOAL1	IOA1	R/W	XXXXXXXX
00010D <sub>H</sub>	DMA1 - I/O レジスタアドレスポインタ上位	IOAH1	-	R/W	XXXXXXXX
00010E <sub>H</sub>	DMA1 - データカウントレジスタ下位	DCTL1	DCT1	R/W	XXXXXXXX
00010F <sub>H</sub>	DMA1 - データカウントレジスタ上位	DCTH1	-	R/W	XXXXXXXX
000110 <sub>H</sub>	DMA2 - バッファアドレスポインタ下位	BAPL2	-	R/W	XXXXXXXX
000111 <sub>H</sub>	DMA2 - バッファアドレスポインタ中位	BAPM2	-	R/W	XXXXXXXX
000112 <sub>H</sub>	DMA2 - バッファアドレスポインタ上位	BAPH2	-	R/W	XXXXXXXX
000113 <sub>H</sub>	DMA2 - 制御レジスタ	DMACS2	-	R/W	XXXXXXXX
000114 <sub>H</sub>	DMA2 - I/O レジスタアドレスポインタ下位	IOAL2	IOA2	R/W	XXXXXXXX
000115 <sub>H</sub>	DMA2 - I/O レジスタアドレスポインタ上位	IOAH2	-	R/W	XXXXXXXX
000116 <sub>H</sub>	DMA2 - データカウントレジスタ下位	DCTL2	DCT2	R/W	XXXXXXXX
000117 <sub>H</sub>	DMA2 - データカウントレジスタ上位	DCTH2	-	R/W	XXXXXXXX
000118 <sub>H</sub>	DMA3 - バッファアドレスポインタ下位	BAPL3	-	R/W	XXXXXXXX
000119 <sub>H</sub>	DMA3 - バッファアドレスポインタ中位	BAPM3	-	R/W	XXXXXXXX
00011A <sub>H</sub>	DMA3 - バッファアドレスポインタ上位	BAPH3	-	R/W	XXXXXXXX
00011B <sub>H</sub>	DMA3 - 制御レジスタ	DMACS3	-	R/W	XXXXXXXX
00011C <sub>H</sub>	DMA3 - I/O レジスタアドレスポインタ下位	IOAL3	IOA3	R/W	XXXXXXXX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
00011D <sub>H</sub>	DMA3 - I/O レジスタアドレスポインタ上位	IOAH3	-	R/W	XXXXXXXX
00011E <sub>H</sub>	DMA3 - データカウントレジスタ下位	DCTL3	DCT3	R/W	XXXXXXXX
00011F <sub>H</sub>	DMA3 - データカウントレジスタ上位	DCTH3	-	R/W	XXXXXXXX
000120 <sub>H</sub> - 00017F <sub>H</sub>	予約	-	-	-	-
000180 <sub>H</sub> - 00037F <sub>H</sub>	CPU - 汎用レジスタ(RAM アクセス)	GPR_RAM	-	R/W	-
000380 <sub>H</sub>	DMA0 - 割込み要求選択レジスタ	DISEL0	-	R/W	00001100
000381 <sub>H</sub>	DMA1 - 割込み要求選択レジスタ	DISEL1	-	R/W	00001100
000382 <sub>H</sub>	DMA2 - 割込み要求選択レジスタ	DISEL2	-	R/W	00001100
000383 <sub>H</sub>	DMA3 - 割込み要求選択レジスタ	DISEL3	-	R/W	00001100
000384 <sub>H</sub> - 00038F <sub>H</sub>	予約	-	-	-	-
000390 <sub>H</sub>	DMA - ステータスレジスタ下位	DSRL	DSR	R/W	00000000
000391 <sub>H</sub>	DMA - ステータスレジスタ上位	DSRH	-	R/W	00000000
000392 <sub>H</sub>	DMA - 停止ステータスレジスタ下位	DSSRL	DSSR	R/W	00000000
000393 <sub>H</sub>	DMA - 停止ステータスレジスタ上位	DSSRH	-	R/W	00000000
000394 <sub>H</sub>	DMA - 許可レジスタ下位	DERL	DER	R/W	00000000
000395 <sub>H</sub>	DMA - 許可レジスタ上位	DERH	-	R/W	00000000
000396 <sub>H</sub> - 00039F <sub>H</sub>	予約	-	-	-	-
0003A0 <sub>H</sub>	割込み制御レジスタ 割込みレベル	ILR	ICR	R/W	XXXXX111
0003A1 <sub>H</sub>	割込み制御レジスタ インデックス	IDX	-	R/W	00001100
0003A2 <sub>H</sub>	割込みベクタテーブルベースレジスタ下位	TBRL	TBR	R/W	11111100
0003A3 <sub>H</sub>	割込みベクタテーブルベースレジスタ上位	TBRH	-	R/W	11111111
0003A4 <sub>H</sub>	遅延割込み要求レジスタ	DIRR	-	R/W	XXXXXXXX0
0003A5 <sub>H</sub>	NMI 制御ステータスレジスタ	NMI	-	R/W	XXXXX10X
0003A6 <sub>H</sub> - 0003AD <sub>H</sub>	予約	-	-	-	-
0003AE <sub>H</sub>	ROM ミラー機能選択レジスタ	ROMM	-	R/W	1111X111
0003AF <sub>H</sub> - 0003E7 <sub>H</sub>	予約	-	-	-	-
0003E8 <sub>H</sub>	デュアルオペレーションフラッシュ設定レジスタ A	DFCA	-	R/W	XXXXX000
0003E9 <sub>H</sub>	デュアルオペレーションフラッシュ割込み制御レジスタ A	DFICA	-	R/W	X0000000
0003EA <sub>H</sub>	デュアルオペレーションフラッシュステータスレジスタ A	DFSA	-	R	11000001
0003EB <sub>H</sub>	デュアルオペレーションフラッシュ割込みステータスレジスタ A	DFISA	-	R/W	X0000000
0003EC <sub>H</sub> - 0003F8 <sub>H</sub>	予約	-	-	-	-
0003F9 <sub>H</sub>	デュアルオペレーションフラッシュ書込みアクセス制御レジスタ 0A	DFWC0A	-	R/W	XXX00000
0003FA <sub>H</sub> - 0003FC <sub>H</sub>	予約	-	-	-	-



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0003FD <sub>H</sub>	デュアルオペレーションフラッシュ書込み アクセス制御レジスタ 1A	DFWC1A	-	R/W	00000000
0003FE <sub>H</sub> , 0003FF <sub>H</sub>	予約	-	-	-	-
000400 <sub>H</sub>	スタンバイモード制御レジスタ	SMCR	-	R/W	XXX0X000
000401 <sub>H</sub>	クロック選択レジスタ	CKSR	-	R/W	10110000
000402 <sub>H</sub>	クロック安定化選択レジスタ	CKSSR	-	R/W	XX111111
000403 <sub>H</sub>	クロックモニタレジスタ	CKMR	-	R	*0*0XXXX *:リセット要 因に依存
000404 <sub>H</sub>	クロック周波数制御レジスタ下位	CKFCRL	CKFCR	R/W	0000XXX1
000405 <sub>H</sub>	クロック周波数制御レジスタ上位	CKFCRH	-	R/W	00000000
000406 <sub>H</sub>	PLL 制御レジスタ下位	PLLCRL	PLLCR	R/W	000X0000
000407 <sub>H</sub>	PLL 制御レジスタ上位	PLLCRH	-	R/W	XXXXXXXX
000408 <sub>H</sub>	CR クロックタイマ制御レジスタ	RCTCR	-	R/W	X0010000
000409 <sub>H</sub>	メインクロックタイマ制御レジスタ	MCTCR	-	R/W	X0010000
00040A <sub>H</sub>	サブクロックタイマ制御レジスタ	SCTCR	-	R/W	X001X000
00040B <sub>H</sub>	リセット要因およびクロック状態レジスタ	RCCSRC	-	R	***** *:リセット要 因に依存
00040C <sub>H</sub>	リセット構成レジスタ	RCR	-	R/W	XX000*0 *:リセット要 因に依存
00040D <sub>H</sub>	リセット要因およびクロック状態レジスタ	RCCSR	-	R	***** *:リセット要 因に依存
00040E <sub>H</sub>	ウォッチドッグタイマ構成レジスタ	WDTC	WDT	R/W	0000**** *:WICM Marker に依存
00040F <sub>H</sub>	ウォッチドッグタイマクリアパターンレジ スタ	WDTCP	-	W	00000000
000410 <sub>H</sub> - 000414 <sub>H</sub>	予約	-	-	-	-
000415 <sub>H</sub>	クロック出力起動レジスタ	COAR	-	R/W	00000000
000416 <sub>H</sub>	クロック出力構成レジスタ 0	COCR0	-	R/W	X0000000
000417 <sub>H</sub>	クロック出力構成レジスタ 1	COCR1	-	R/W	X0000000
000418 <sub>H</sub> - 00041F <sub>H</sub>	予約	-	-	-	-
000420 <sub>H</sub>	ウォッチドッグタイマ拡張構成レジスタ	WDTEC	-	R/W	XXX00000
000421 <sub>H</sub> - 00042B <sub>H</sub>	予約	-	-	-	-
00042C <sub>H</sub>	電圧レギュレータ制御レジスタ	VRCR	-	R/W	10X10X10
00042D <sub>H</sub>	クロック入力および LVD 制御レジスタ	CILCR	-	R/W	00000000
00042E <sub>H</sub>	拡張スタンバイモード制御レジスタ	ESMCR	-	R/W	XXX00001
00042F <sub>H</sub>	予約	-	-	-	-
000430 <sub>H</sub>	I/O ポート P00 - データ方向レジスタ	DDR00	-	R/W	00000000
000431 <sub>H</sub>	I/O ポート P01 - データ方向レジスタ	DDR01	-	R/W	00000000



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000432 <sub>H</sub>	I/O ポート P02 - データ方向レジスタ	DDR02	-	R/W	00000000
000433 <sub>H</sub>	I/O ポート P03 - データ方向レジスタ	DDR03	-	R/W	00000000
000434 <sub>H</sub>	I/O ポート P04 - データ方向レジスタ	DDR04	-	R/W	00000000
000435 <sub>H</sub>	I/O ポート P05 - データ方向レジスタ	DDR05	-	R/W	00000000
000436 <sub>H</sub>	I/O ポート P06 - データ方向レジスタ	DDR06	-	R/W	00000000
000437 <sub>H</sub>	予約	-	-	-	-
000438 <sub>H</sub>	I/O ポート P08 - データ方向レジスタ	DDR08	-	R/W	00000000
000439 <sub>H</sub>	I/O ポート P09 - データ方向レジスタ	DDR09	-	R/W	00000000
00043A <sub>H</sub>	I/O ポート P10 - データ方向レジスタ	DDR10	-	R/W	00000000
00043B <sub>H</sub>	I/O ポート P11 - データ方向レジスタ	DDR11	-	R/W	00000000
00043C <sub>H</sub>	I/O ポート P12 - データ方向レジスタ	DDR12	-	R/W	00000000
00043D <sub>H</sub>	I/O ポート P13 - データ方向レジスタ	DDR13	-	R/W	00000000
00043E <sub>H</sub> - 000440 <sub>H</sub>	予約	-	-	-	-
000441 <sub>H</sub>	I/O ポート P17 - データ方向レジスタ	DDR17	-	R/W	00000000
000442 <sub>H</sub> , 000443 <sub>H</sub>	予約	-	-	-	-
000444 <sub>H</sub>	I/O ポート P00 - ポート入力許可レジスタ	PIER00	-	R/W	00000000
000445 <sub>H</sub>	I/O ポート P01 - ポート入力許可レジスタ	PIER01	-	R/W	00000000
000446 <sub>H</sub>	I/O ポート P02 - ポート入力許可レジスタ	PIER02	-	R/W	00000000
000447 <sub>H</sub>	I/O ポート P03 - ポート入力許可レジスタ	PIER03	-	R/W	00000000
000448 <sub>H</sub>	I/O ポート P04 - ポート入力許可レジスタ	PIER04	-	R/W	00000000
000449 <sub>H</sub>	I/O ポート P05 - ポート入力許可レジスタ	PIER05	-	R/W	00000000
00044A <sub>H</sub>	I/O ポート P06 - ポート入力許可レジスタ	PIER06	-	R/W	00000000
00044B <sub>H</sub>	予約	-	-	-	-
00044C <sub>H</sub>	I/O ポート P08 - ポート入力許可レジスタ	PIER08	-	R/W	00000000
00044D <sub>H</sub>	I/O ポート P09 - ポート入力許可レジスタ	PIER09	-	R/W	00000000
00044E <sub>H</sub>	I/O ポート P10 - ポート入力許可レジスタ	PIER10	-	R/W	00000000
00044F <sub>H</sub>	I/O ポート P11 - ポート入力許可レジスタ	PIER11	-	R/W	00000000
000450 <sub>H</sub>	I/O ポート P12 - ポート入力許可レジスタ	PIER12	-	R/W	00000000
000451 <sub>H</sub>	I/O ポート P13 - ポート入力許可レジスタ	PIER13	-	R/W	00000000
000452 <sub>H</sub> - 000454 <sub>H</sub>	予約	-	-	-	-
000455 <sub>H</sub>	I/O ポート P17 - ポート入力許可レジスタ	PIER17	-	R/W	00000000
000456 <sub>H</sub> - 00049B <sub>H</sub>	予約	-	-	-	-
00049C <sub>H</sub>	I/O ポート P08 - ポート high 駆動レジスタ	PHDR08	-	R/W	00000000
00049D <sub>H</sub>	I/O ポート P09 - ポート high 駆動レジスタ	PHDR09	-	R/W	00000000
00049E <sub>H</sub>	I/O ポート P10 - ポート high 駆動レジスタ	PHDR10	-	R/W	00000000
00049F <sub>H</sub> - 0004A7 <sub>H</sub>	予約	-	-	-	-
0004A8 <sub>H</sub>	I/O ポート P00 - ブルアップ制御レジスタ	PUCR00	-	R/W	00000000
0004A9 <sub>H</sub>	I/O ポート P01 - ブルアップ制御レジスタ	PUCR01	-	R/W	00000000
0004AA <sub>H</sub>	I/O ポート P02 - ブルアップ制御レジスタ	PUCR02	-	R/W	00000000
0004AB <sub>H</sub>	I/O ポート P03 - ブルアップ制御レジスタ	PUCR03	-	R/W	00000000
0004AC <sub>H</sub>	I/O ポート P04 - ブルアップ制御レジスタ	PUCR04	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0004AD <sub>H</sub>	I/O ポート P05 - ブルアップ制御レジスタ	PUCR05	-	R/W	00000000
0004AE <sub>H</sub>	I/O ポート P06 - ブルアップ制御レジスタ	PUCR06	-	R/W	00000000
0004AF <sub>H</sub>	予約	-	-	-	-
0004B0 <sub>H</sub>	I/O ポート P08 - ブルアップ制御レジスタ	PUCR08	-	R/W	00000000
0004B1 <sub>H</sub>	I/O ポート P09 - ブルアップ制御レジスタ	PUCR09	-	R/W	00000000
0004B2 <sub>H</sub>	I/O ポート P10 - ブルアップ制御レジスタ	PUCR10	-	R/W	00000000
0004B3 <sub>H</sub>	I/O ポート P11 - ブルアップ制御レジスタ	PUCR11	-	R/W	00000000
0004B4 <sub>H</sub>	I/O ポート P12 - ブルアップ制御レジスタ	PUCR12	-	R/W	00000000
0004B5 <sub>H</sub>	I/O ポート P13 - ブルアップ制御レジスタ	PUCR13	-	R/W	00000000
0004B6 <sub>H</sub> - 0004B8 <sub>H</sub>	予約	-	-	-	-
0004B9 <sub>H</sub>	I/O ポート P17 - ブルアップ制御レジスタ	PUCR17	-	R/W	00000000
0004BA <sub>H</sub> , 0004BB <sub>H</sub>	予約	-	-	-	-
0004BC <sub>H</sub>	I/O ポート P00 - 外部端子状態レジスタ	EPSR00	-	R	XXXXXXXX
0004BD <sub>H</sub>	I/O ポート P01 - 外部端子状態レジスタ	EPSR01	-	R	XXXXXXXX
0004BE <sub>H</sub>	I/O ポート P02 - 外部端子状態レジスタ	EPSR02	-	R	XXXXXXXX
0004BF <sub>H</sub>	I/O ポート P03 - 外部端子状態レジスタ	EPSR03	-	R	XXXXXXXX
0004C0 <sub>H</sub>	I/O ポート P04 - 外部端子状態レジスタ	EPSR04	-	R	XXXXXXXX
0004C1 <sub>H</sub>	I/O ポート P05 - 外部端子状態レジスタ	EPSR05	-	R	XXXXXXXX
0004C2 <sub>H</sub>	I/O ポート P06 - 外部端子状態レジスタ	EPSR06	-	R	XXXXXXXX
0004C3 <sub>H</sub>	予約	-	-	-	-
0004C4 <sub>H</sub>	I/O ポート P08 - 外部端子状態レジスタ	EPSR08	-	R	XXXXXXXX
0004C5 <sub>H</sub>	I/O ポート P09 - 外部端子状態レジスタ	EPSR09	-	R	XXXXXXXX
0004C6 <sub>H</sub>	I/O ポート P10 - 外部端子状態レジスタ	EPSR10	-	R	XXXXXXXX
0004C7 <sub>H</sub>	I/O ポート P11 - 外部端子状態レジスタ	EPSR11	-	R	XXXXXXXX
0004C8 <sub>H</sub>	I/O ポート P12 - 外部端子状態レジスタ	EPSR12	-	R	XXXXXXXX
0004C9 <sub>H</sub>	I/O ポート P13 - 外部端子状態レジスタ	EPSR13	-	R	XXXXXXXX
0004CA <sub>H</sub> - 0004CC <sub>H</sub>	予約	-	-	-	-
0004CD <sub>H</sub>	I/O ポート P17 - 外部端子状態レジスタ	EPSR17	-	R	XXXXXXXX
0004CE <sub>H</sub> , 0004CF <sub>H</sub>	予約	-	-	-	-
0004D0 <sub>H</sub>	ADC0 アナログ入力許可レジスタ 0	ADER0	-	R/W	00000000
0004D1 <sub>H</sub>	ADC0 アナログ入力許可レジスタ 1	ADER1	-	R/W	00000000
0004D2 <sub>H</sub>	ADC0 アナログ入力許可レジスタ 2	ADER2	-	R/W	00000000
0004D3 <sub>H</sub>	ADC0 アナログ入力許可レジスタ 3	ADER3	-	R/W	00000000
0004D4 <sub>H</sub> , 0004D5 <sub>H</sub>	予約	-	-	-	-
0004D6 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 0	PRRR0	-	R/W	00000000
0004D7 <sub>H</sub>	予約	-	-	-	-
0004D8 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 2	PRRR2	-	R/W	00000000
0004D9 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 3	PRRR3	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0004DA <sub>H</sub>	周辺リソース端子リロケーションレジスタ 4	PRRR4	-	R/W	00000000
0004DB <sub>H</sub>	周辺リソース端子リロケーションレジスタ 5	PRRR5	-	R/W	00XX0000
0004DC <sub>H</sub>	周辺リソース端子リロケーションレジスタ 6	PRRR6	-	R/W	00000000
0004DD <sub>H</sub> , 0004DE <sub>H</sub>	予約	-	-	-	-
0004DF <sub>H</sub>	周辺リソース端子リロケーションレジスタ 9	PRRR9	-	R/W	XX000000
0004E0 <sub>H</sub>	RTC - サブセカンドレジスタ L	WTBRL0	WTBR0	R/W	XXXXXXXX
0004E1 <sub>H</sub>	RTC - サブセカンドレジスタ M	WTBRH0	-	R/W	XXXXXXXX
0004E2 <sub>H</sub>	RTC - サブセカンドレジスタ H	WTBR1	-	R/W	XXXXXXXX
0004E3 <sub>H</sub>	RTC - 秒レジスタ	WTSR	-	R/W	XX***** *:リセット要 因に依存
0004E4 <sub>H</sub>	RTC - 分レジスタ	WTMR	-	R/W	XX***** *:リセット要 因に依存
0004E5 <sub>H</sub>	RTC - 時レジスタ	WTHR	-	R/W	XXX***** *:リセット要 因に依存
0004E6 <sub>H</sub>	RTC - タイマ制御拡張レジスタ	WTCER	-	R/W	XXXXXX00
0004E7 <sub>H</sub>	RTC - クロック選択レジスタ	WTCKSR	-	R/W	XXXXXX00
0004E8 <sub>H</sub>	RTC - タイマ制御レジスタ下位	WTCRL	WTCR	R/W	XXXX0000
0004E9 <sub>H</sub>	RTC - タイマ制御レジスタ上位	WTCRH	-	R/W	00000000
0004EA <sub>H</sub>	CAL - クロック補正ユニット制御レジスタ	CUCR	-	R/W	XXX0X000
0004EB <sub>H</sub>	予約	-	-	-	-
0004EC <sub>H</sub>	CAL - クロック補正ユニット測定時間タイ マデータレジスタ下位	CUTDL	CUTD	R/W	00000000
0004ED <sub>H</sub>	CAL - クロック補正ユニット測定時間タイ マデータレジスタ上位	CUTDH	-	R/W	10000000
0004EE <sub>H</sub>	CAL - クロック補正ユニット補正タイマ データレジスタ 2 下位	CUTR2L	CUTR2	R	00000000
0004EF <sub>H</sub>	CAL - クロック補正ユニット補正タイマ データレジスタ 2 上位	CUTR2H	-	R	00000000
0004F0 <sub>H</sub>	CAL - クロック補正ユニット補正タイマ データレジスタ 1 下位	CUTR1L	CUTR1	R	00000000
0004F1 <sub>H</sub>	CAL - クロック補正ユニット補正タイマ データレジスタ 1 上位	CUTR1H	-	R	00000000
0004F2 <sub>H</sub> - 0004F9 <sub>H</sub>	予約	-	-	-	-
0004FA <sub>H</sub>	RLT - リロードタイマ入力選択レジスタ(カ スケード用)	TMISR	-	R/W	XX000000
0004FB <sub>H</sub> - 00051F <sub>H</sub>	予約	-	-	-	-
000520 <sub>H</sub>	USART4 - シリアルモードレジスタ	SMR4	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000521 <sub>H</sub>	USART4 - シリアル制御レジスタ	SCR4	-	R/W	00000000
000522 <sub>H</sub>	USART4 - 送信データ レジスタ	TDR4	-	W	11111111
000522 <sub>H</sub>	USART4 - 受信データ レジスタ	RDR4	-	R	00000000
000523 <sub>H</sub>	USART4 - シリアルステータスレジスタ	SSR4	-	R/W	00001000
000524 <sub>H</sub>	USART4 - 拡張通信制御レジスタ	ECCR4	-	R/W	000000XX
000525 <sub>H</sub>	USART4 - 拡張ステータス制御レジスタ	ESCR4	-	R/W	00000100
000526 <sub>H</sub>	USART4 - ボーレート/リロードカウンタレジスタ下位	BGRL4	BGR4	R/W	00000000
000527 <sub>H</sub>	USART4 - ボーレート/リロードカウンタレジスタ上位	BGRH4	-	R/W	00000000
000528 <sub>H</sub>	USART4 - 拡張シリアル割込みレジスタ	ESIR4	-	R/W	XXXX10X0
000529 <sub>H</sub>	予約	-	-	-	-
00052A <sub>H</sub>	USART5 - シリアルモードレジスタ	SMR5	-	R/W	00000000
00052B <sub>H</sub>	USART5 - シリアル制御レジスタ	SCR5	-	R/W	00000000
00052C <sub>H</sub>	USART5 - 送信データ レジスタ	TDR5	-	W	11111111
00052C <sub>H</sub>	USART5 - 受信データ レジスタ	RDR5	-	R	00000000
00052D <sub>H</sub>	USART5 - シリアルステータスレジスタ	SSR5	-	R/W	00001000
00052E <sub>H</sub>	USART5 - 拡張通信制御レジスタ	ECCR5	-	R/W	000000XX
00052F <sub>H</sub>	USART5 - 拡張ステータス制御レジスタ	ESCR5	-	R/W	00000100
000530 <sub>H</sub>	USART5 - ボーレート/リロードカウンタレジスタ下位	BGRL5	BGR5	R/W	00000000
000531 <sub>H</sub>	USART5 - ボーレート/リロードカウンタレジスタ上位	BGRH5	-	R/W	00000000
000532 <sub>H</sub>	USART5 - 拡張シリアル割込みレジスタ	ESIR5	-	R/W	XXXX10X0
000533 <sub>H</sub> - 000563 <sub>H</sub>	予約	-	-	-	-
000564 <sub>H</sub>	PPG6 - タイマレジスタ	-	PTMR6	R	11111111
000565 <sub>H</sub>	PPG6 - タイマレジスタ	-	-	R	11111111
000566 <sub>H</sub>	PPG6 - 周期設定レジスタ下位	PCSRL6	PCSR6	R/W	XXXXXXXXXX
000567 <sub>H</sub>	PPG6 - 周期設定レジスタ上位	PCSRH6	-	R/W	XXXXXXXXXX
000568 <sub>H</sub>	PPG6 - デューティ設定レジスタ下位	PDUTL6	PDUT6	R/W	XXXXXXXXXX
000569 <sub>H</sub>	PPG6 - デューティ設定レジスタ上位	PDUTH6	-	R/W	XXXXXXXXXX
00056A <sub>H</sub>	PPG6 - 制御ステータスレジスタ下位	PCNL6	PCN6	R/W	00000000
00056B <sub>H</sub>	PPG6 - 制御ステータスレジスタ上位	PCNH6	-	R/W	00000000
00056C <sub>H</sub>	PPG7 - タイマレジスタ	-	PTMR7	R	11111111
00056D <sub>H</sub>	PPG7 - タイマレジスタ	-	-	R	11111111
00056E <sub>H</sub>	PPG7 - 周期設定レジスタ下位	PCSRL7	PCSR7	R/W	XXXXXXXXXX
00056F <sub>H</sub>	PPG7 - 周期設定レジスタ上位	PCSRH7	-	R/W	XXXXXXXXXX
000570 <sub>H</sub>	PPG7 - デューティ設定レジスタ下位	PDUTL7	PDUT7	R/W	XXXXXXXXXX
000571 <sub>H</sub>	PPG7 - デューティ設定レジスタ上位	PDUTH7	-	R/W	XXXXXXXXXX
000572 <sub>H</sub>	PPG7 - 制御ステータスレジスタ下位	PCNL7	PCN7	R/W	00000000
000573 <sub>H</sub>	PPG7 - 制御ステータスレジスタ上位	PCNH7	-	R/W	00000000
000574 <sub>H</sub> - 000597 <sub>H</sub>	予約	-	-	-	-
000598 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 1 下位	GCN1L3	GCN13	R/W	00010000
000599 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 1 上位	GCN1H3	-	R/W	00110010

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
00059A <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 2 下位	GCN2L3	GCN23	R/W	XXXXX0000
00059B <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 2 上位	GCN2H3	-	R/W	XXXXX0000
00059C <sub>H</sub>	PPG12 - タイマレジスタ	-	PTMR12	R	11111111
00059D <sub>H</sub>	PPG12 - タイマレジスタ	-	-	R	11111111
00059E <sub>H</sub>	PPG12 - 周期設定レジスタ下位	PCSRL12	PCSR12	R/W	XXXXXXXXXX
00059F <sub>H</sub>	PPG12 - 周期設定レジスタ上位	PCSRH12	-	R/W	XXXXXXXXXX
0005A0 <sub>H</sub>	PPG12 - デューティ設定レジスタ下位	PDUTL12	PDUT12	R/W	XXXXXXXXXX
0005A1 <sub>H</sub>	PPG12 - デューティ設定レジスタ上位	PDUTH12	-	R/W	XXXXXXXXXX
0005A2 <sub>H</sub>	PPG12 - 制御ステータスレジスタ下位	PCNL12	PCN12	R/W	00000000
0005A3 <sub>H</sub>	PPG12 - 制御ステータスレジスタ上位	PCNH12	-	R/W	00000000
0005A4 <sub>H</sub>	PPG13 - タイマレジスタ	-	PTMR13	R	11111111
0005A5 <sub>H</sub>	PPG13 - タイマレジスタ	-	-	R	11111111
0005A6 <sub>H</sub>	PPG13 - 周期設定レジスタ下位	PCSRL13	PCSR13	R/W	XXXXXXXXXX
0005A7 <sub>H</sub>	PPG13 - 周期設定レジスタ上位	PCSRH13	-	R/W	XXXXXXXXXX
0005A8 <sub>H</sub>	PPG13 - デューティ設定レジスタ下位	PDUTL13	PDUT13	R/W	XXXXXXXXXX
0005A9 <sub>H</sub>	PPG13 - デューティ設定レジスタ上位	PDUTH13	-	R/W	XXXXXXXXXX
0005AA <sub>H</sub>	PPG13 - 制御ステータスレジスタ下位	PCNL13	PCN13	R/W	00000000
0005AB <sub>H</sub>	PPG13 - 制御ステータスレジスタ上位	PCNH13	-	R/W	00000000
0005AC <sub>H</sub>	PPG14 - タイマレジスタ	-	PTMR14	R	11111111
0005AD <sub>H</sub>	PPG14 - タイマレジスタ	-	-	R	11111111
0005AE <sub>H</sub>	PPG14 - 周期設定レジスタ下位	PCSRL14	PCSR14	R/W	XXXXXXXXXX
0005AF <sub>H</sub>	PPG14 - 周期設定レジスタ上位	PCSRH14	-	R/W	XXXXXXXXXX
0005B0 <sub>H</sub>	PPG14 - デューティ設定レジスタ下位	PDUTL14	PDUT14	R/W	XXXXXXXXXX
0005B1 <sub>H</sub>	PPG14 - デューティ設定レジスタ上位	PDUTH14	-	R/W	XXXXXXXXXX
0005B2 <sub>H</sub>	PPG14 - 制御ステータスレジスタ下位	PCNL14	PCN14	R/W	00000000
0005B3 <sub>H</sub>	PPG14 - 制御ステータスレジスタ上位	PCNH14	-	R/W	00000000
0005B4 <sub>H</sub>	PPG15 - タイマレジスタ	-	PTMR15	R	11111111
0005B5 <sub>H</sub>	PPG15 - タイマレジスタ	-	-	R	11111111
0005B6 <sub>H</sub>	PPG15 - 周期設定レジスタ下位	PCSRL15	PCSR15	R/W	XXXXXXXXXX
0005B7 <sub>H</sub>	PPG15 - 周期設定レジスタ上位	PCSRH15	-	R/W	XXXXXXXXXX
0005B8 <sub>H</sub>	PPG15 - デューティ設定レジスタ下位	PDUTL15	PDUT15	R/W	XXXXXXXXXX
0005B9 <sub>H</sub>	PPG15 - デューティ設定レジスタ上位	PDUTH15	-	R/W	XXXXXXXXXX
0005BA <sub>H</sub>	PPG15 - 制御ステータスレジスタ下位	PCNL15	PCN15	R/W	00000000
0005BB <sub>H</sub>	PPG15 - 制御ステータスレジスタ上位	PCNH15	-	R/W	00000000
0005BC <sub>H</sub> - 00061B <sub>H</sub>	予約	-	-	-	-
00061C <sub>H</sub>	LCD - セグメント許可レジスタ 0 (セグメント 7 ~ 0)	LCDER0	-	R/W	00000000
00061D <sub>H</sub>	LCD - セグメント許可レジスタ 1 (セグメント 15 ~ 8)	LCDER1	-	R/W	00000000
00061E <sub>H</sub>	LCD - セグメント許可レジスタ 2 (セグメント 23 ~ 16)	LCDER2	-	R/W	00000000
00061F <sub>H</sub>	LCD - セグメント許可レジスタ 3 (セグメント 31 ~ 24)	LCDER3	-	R/W	00000000
000620 <sub>H</sub>	LCD - セグメント許可レジスタ 4 (セグメント 39 ~ 32)	LCDER4	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000621 <sub>H</sub>	LCD - セグメント許可レジスタ 5 (セグメント 47 ~ 40)	LCDER5	-	R/W	00000000
000622 <sub>H</sub> - 000625 <sub>H</sub>	予約	-	-	-	-
000626 <sub>H</sub>	LCD - 電圧ライン許可レジスタ V (V <sub>x</sub> )	LCDVER	-	R/W	XXXX0000
000627 <sub>H</sub>	LCD - 拡張制御レジスタ	LECR	-	R/W	XXXXXX00
000628 <sub>H</sub>	LCD - 共通端子切換えレジスタ	LCDCMR	-	R/W	0XXXX000
000629 <sub>H</sub>	LCD - 制御レジスタ	LCR	-	R/W	00010000
00062A <sub>H</sub>	LCD - セグメント 1-0 の表示 RAM	VRAM0	-	R/W	XXXXXXXX
00062B <sub>H</sub>	LCD - セグメント 3-2 の表示 RAM	VRAM1	-	R/W	XXXXXXXX
00062C <sub>H</sub>	LCD - セグメント 5-4 の表示 RAM	VRAM2	-	R/W	XXXXXXXX
00062D <sub>H</sub>	LCD - セグメント 7-6 の表示 RAM	VRAM3	-	R/W	XXXXXXXX
00062E <sub>H</sub>	LCD - セグメント 9-8 の表示 RAM	VRAM4	-	R/W	XXXXXXXX
00062F <sub>H</sub>	LCD - セグメント 11-10 の表示 RAM	VRAM5	-	R/W	XXXXXXXX
000630 <sub>H</sub>	LCD - セグメント 13-12 の表示 RAM	VRAM6	-	R/W	XXXXXXXX
000631 <sub>H</sub>	LCD - セグメント 15-14 の表示 RAM	VRAM7	-	R/W	XXXXXXXX
000632 <sub>H</sub>	LCD - セグメント 17-16 の表示 RAM	VRAM8	-	R/W	XXXXXXXX
000633 <sub>H</sub>	LCD - セグメント 19-18 の表示 RAM	VRAM9	-	R/W	XXXXXXXX
000634 <sub>H</sub>	LCD - セグメント 21-20 の表示 RAM	VRAM10	-	R/W	XXXXXXXX
000635 <sub>H</sub>	LCD - セグメント 23-22 の表示 RAM	VRAM11	-	R/W	XXXXXXXX
000636 <sub>H</sub>	LCD - セグメント 25-24 の表示 RAM	VRAM12	-	R/W	XXXXXXXX
000637 <sub>H</sub>	LCD - セグメント 27-26 の表示 RAM	VRAM13	-	R/W	XXXXXXXX
000638 <sub>H</sub>	LCD - セグメント 29-28 の表示 RAM	VRAM14	-	R/W	XXXXXXXX
000639 <sub>H</sub>	LCD - セグメント 31-30 の表示 RAM	VRAM15	-	R/W	XXXXXXXX
00063A <sub>H</sub>	LCD - セグメント 33-32 の表示 RAM	VRAM16	-	R/W	XXXXXXXX
00063B <sub>H</sub>	LCD - セグメント 35-34 の表示 RAM	VRAM17	-	R/W	XXXXXXXX
00063C <sub>H</sub>	LCD - セグメント 37-36 の表示 RAM	VRAM18	-	R/W	XXXXXXXX
00063D <sub>H</sub>	LCD - セグメント 39-38 の表示 RAM	VRAM19	-	R/W	XXXXXXXX
00063E <sub>H</sub>	LCD - セグメント 41-40 の表示 RAM	VRAM20	-	R/W	XXXXXXXX
00063F <sub>H</sub>	LCD - セグメント 43-42 の表示 RAM	VRAM21	-	R/W	XXXXXXXX
000640 <sub>H</sub>	LCD - セグメント 45-44 の表示 RAM	VRAM22	-	R/W	XXXXXXXX
000641 <sub>H</sub> - 000661 <sub>H</sub>	予約	-	-	-	-
000662 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 12	PRRR12	-	R/W	00000000
000663 <sub>H</sub>	周辺リソース端子リロケーションレジスタ 13	PRRR13	-	R/W	XXX0XX00
000664 <sub>H</sub> - 0006FF <sub>H</sub>	予約	-	-	-	-
000700 <sub>H</sub>	CAN0 - 制御レジスタ下位	CTRLRL0	CTRLR0	R/W	000X0001
000701 <sub>H</sub>	CAN0 - 制御レジスタ上位(予約)	CTRLRH0	-	R	XXXXXXXX
000702 <sub>H</sub>	CAN0 - ステータスレジスタ下位	STATRL0	STATR0	R/W	00000000
000703 <sub>H</sub>	CAN0 - ステータスレジスタ上位(予約)	STATRH0	-	R	XXXXXXXX
000704 <sub>H</sub>	CAN0 - エラーカウンタ下位(送信)	ERRCNTL0	ERRCNT0	R	00000000
000705 <sub>H</sub>	CAN0 - エラーカウンタ上位(受信)	ERRCNTH0	-	R	00000000
000706 <sub>H</sub>	CAN0 - ビットタイミングレジスタ下位	BTRL0	BTR0	R/W	00000001

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000707 <sub>H</sub>	CAN0 - ビットタイミングレジスタ上位	BTRH0	-	R/W	X0100011
000708 <sub>H</sub>	CAN0 - 割込みレジスタ下位	INTRL0	INTR0	R	00000000
000709 <sub>H</sub>	CAN0 - 割込みレジスタ上位	INTRH0	-	R	00000000
00070A <sub>H</sub>	CAN0 - テストレジスタ下位	TESTRL0	TESTR0	R/W	X00000XX
00070B <sub>H</sub>	CAN0 - テストレジスタ上位(予約)	TESTRH0	-	R	XXXXXXXXX
00070C <sub>H</sub>	CAN0 - BRP 拡張レジスタ下位	BRPERL0	BRPER0	R/W	XXXXX000
00070D <sub>H</sub>	CAN0 - BRP 拡張レジスタ上位(予約)	BRPERH0	-	R	XXXXXXXXX
00070E <sub>H</sub> , 00070F <sub>H</sub>	予約	-	-	-	-
000710 <sub>H</sub>	CAN0 - IF1 コマンドリクエストレジスタ 下位	IF1CREQL0	IF1CREQ0	R/W	00000001
000711 <sub>H</sub>	CAN0 - IF1 コマンドリクエストレジスタ 上位	IF1CREQH0	-	R/W	0XXXXXXXX
000712 <sub>H</sub>	CAN0 - IF1 コマンドマスクレジスタ下位	IF1CMSKL0	IF1CMSK0	R/W	00000000
000713 <sub>H</sub>	CAN0 - IF1 コマンドマスクレジスタ上位 (予約)	IF1CMSKH0	-	R	XXXXXXXXX
000714 <sub>H</sub>	CAN0 - IF1 マスク 1 レジスタ下位	IF1MSK1L0	IF1MSK10	R/W	11111111
000715 <sub>H</sub>	CAN0 - IF1 マスク 1 レジスタ上位	IF1MSK1H0	-	R/W	11111111
000716 <sub>H</sub>	CAN0 - IF1 マスク 2 レジスタ下位	IF1MSK2L0	IF1MSK20	R/W	11111111
000717 <sub>H</sub>	CAN0 - IF1 マスク 2 レジスタ上位	IF1MSK2H0	-	R/W	11X11111
000718 <sub>H</sub>	CAN0 - IF1 アービトレーション 1 レジス タ下位	IF1ARB1L0	IF1ARB10	R/W	00000000
000719 <sub>H</sub>	CAN0 - IF1 アービトレーション 1 レジス タ上位	IF1ARB1H0	-	R/W	00000000
00071A <sub>H</sub>	CAN0 - IF1 アービトレーション 2 レジス タ下位	IF1ARB2L0	IF1ARB20	R/W	00000000
00071B <sub>H</sub>	CAN0 - IF1 アービトレーション 2 レジス タ上位	IF1ARB2H0	-	R/W	00000000
00071C <sub>H</sub>	CAN0 - IF1 メッセージ制御レジスタ下位	IF1MCTRL0	IF1MCTR0	R/W	0XXX0000
00071D <sub>H</sub>	CAN0 - IF1 メッセージ制御レジスタ上位	IF1MCTRH0	-	R/W	00000000
00071E <sub>H</sub>	CAN0 - IF1 データ A1 下位	IF1DTA1L0	IF1DTA10	R/W	00000000
00071F <sub>H</sub>	CAN0 - IF1 データ A1 上位	IF1DTA1H0	-	R/W	00000000
000720 <sub>H</sub>	CAN0 - IF1 データ A2 下位	IF1DTA2L0	IF1DTA20	R/W	00000000
000721 <sub>H</sub>	CAN0 - IF1 データ A2 上位	IF1DTA2H0	-	R/W	00000000
000722 <sub>H</sub>	CAN0 - IF1 データ B1 下位	IF1DTB1L0	IF1DTB10	R/W	00000000
000723 <sub>H</sub>	CAN0 - IF1 データ B1 上位	IF1DTB1H0	-	R/W	00000000
000724 <sub>H</sub>	CAN0 - IF1 データ B2 下位	IF1DTB2L0	IF1DTB20	R/W	00000000
000725 <sub>H</sub>	CAN0 - IF1 データ B2 上位	IF1DTB2H0	-	R/W	00000000
000726 <sub>H</sub> - 00073F <sub>H</sub>	予約	-	-	-	-
000740 <sub>H</sub>	CAN0 - IF2 コマンドリクエストレジスタ 下位	IF2CREQL0	IF2CREQ0	R/W	00000001
000741 <sub>H</sub>	CAN0 - IF2 コマンドリクエストレジスタ 上位	IF2CREQH0	-	R/W	0XXXXXXXX
000742 <sub>H</sub>	CAN0 - IF2 コマンドマスクレジスタ下位	IF2CMSKL0	IF2CMSK0	R/W	00000000
000743 <sub>H</sub>	CAN0 - IF2 コマンドマスクレジスタ上位 (予約)	IF2CMSKH0	-	R	XXXXXXXXX



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000744 <sub>H</sub>	CAN0 - IF2 マスク 1 レジスタ下位	IF2MSK1L0	IF2MSK10	R/W	11111111
000745 <sub>H</sub>	CAN0 - IF2 マスク 1 レジスタ上位	IF2MSK1H0	-	R/W	11111111
000746 <sub>H</sub>	CAN0 - IF2 マスク 2 レジスタ下位	IF2MSK2L0	IF2MSK20	R/W	11111111
000747 <sub>H</sub>	CAN0 - IF2 マスク 2 レジスタ上位	IF2MSK2H0	-	R/W	11X11111
000748 <sub>H</sub>	CAN0 - IF2 アービトレーション 1 レジスタ下位	IF2ARB1L0	IF2ARB10	R/W	00000000
000749 <sub>H</sub>	CAN0 - IF2 アービトレーション 1 レジスタ上位	IF2ARB1H0	-	R/W	00000000
00074A <sub>H</sub>	CAN0 - IF2 アービトレーション 2 レジスタ下位	IF2ARB2L0	IF2ARB20	R/W	00000000
00074B <sub>H</sub>	CAN0 - IF2 アービトレーション 2 レジスタ上位	IF2ARB2H0	-	R/W	00000000
00074C <sub>H</sub>	CAN0 - IF2 メッセージ制御レジスタ下位	IF2MCTRL0	IF2MCTR0	R/W	0XXX0000
00074D <sub>H</sub>	CAN0 - IF2 メッセージ制御レジスタ上位	IF2MCTRH0	-	R/W	00000000
00074E <sub>H</sub>	CAN0 - IF2 データ A1 下位	IF2DTA1L0	IF2DTA10	R/W	00000000
00074F <sub>H</sub>	CAN0 - IF2 データ A1 上位	IF2DTA1H0	-	R/W	00000000
000750 <sub>H</sub>	CAN0 - IF2 データ A2 下位	IF2DTA2L0	IF2DTA20	R/W	00000000
000751 <sub>H</sub>	CAN0 - IF2 データ A2 上位	IF2DTA2H0	-	R/W	00000000
000752 <sub>H</sub>	CAN0 - IF2 データ B1 下位	IF2DTB1L0	IF2DTB10	R/W	00000000
000753 <sub>H</sub>	CAN0 - IF2 データ B1 上位	IF2DTB1H0	-	R/W	00000000
000754 <sub>H</sub>	CAN0 - IF2 データ B2 下位	IF2DTB2L0	IF2DTB20	R/W	00000000
000755 <sub>H</sub>	CAN0 - IF2 データ B2 上位	IF2DTB2H0	-	R/W	00000000
000756 <sub>H</sub> - 00077F <sub>H</sub>	予約	-	-	-	-
000780 <sub>H</sub>	CAN0 - 送信リクエスト 1 レジスタ下位	TREQR1L0	TREQR10	R	00000000
000781 <sub>H</sub>	CAN0 - 送信リクエスト 1 レジスタ上位	TREQR1H0	-	R	00000000
000782 <sub>H</sub>	CAN0 - 送信リクエスト 2 レジスタ下位	TREQR2L0	TREQR20	R	00000000
000783 <sub>H</sub>	CAN0 - 送信リクエスト 2 レジスタ上位	TREQR2H0	-	R	00000000
000784 <sub>H</sub> - 00078F <sub>H</sub>	予約	-	-	-	-
000790 <sub>H</sub>	CAN0 - 新規データ 1 レジスタ下位	NEWDT1L0	NEWDT10	R	00000000
000791 <sub>H</sub>	CAN0 - 新規データ 1 レジスタ上位	NEWDT1H0	-	R	00000000
000792 <sub>H</sub>	CAN0 - 新規データ 2 レジスタ下位	NEWDT2L0	NEWDT20	R	00000000
000793 <sub>H</sub>	CAN0 - 新規データ 2 レジスタ上位	NEWDT2H0	-	R	00000000
000794 <sub>H</sub> - 00079F <sub>H</sub>	予約	-	-	-	-
0007A0 <sub>H</sub>	CAN0 - 割込み保留 1 レジスタ下位	INTPND1L0	INTPND10	R	00000000
0007A1 <sub>H</sub>	CAN0 - 割込み保留 1 レジスタ上位	INTPND1H0	-	R	00000000
0007A2 <sub>H</sub>	CAN0 - 割込み保留 2 レジスタ下位	INTPND2L0	INTPND20	R	00000000
0007A3 <sub>H</sub>	CAN0 - 割込み保留 2 レジスタ上位	INTPND2H0	-	R	00000000
0007A4 <sub>H</sub> - 0007AF <sub>H</sub>	予約	-	-	-	-
0007B0 <sub>H</sub>	CAN0 - メッセージ有効 1 レジスタ下位	MSGVAL1L0	MSGVAL10	R	00000000
0007B1 <sub>H</sub>	CAN0 - メッセージ有効 1 レジスタ上位	MSGVAL1H0	-	R	00000000
0007B2 <sub>H</sub>	CAN0 - メッセージ有効 2 レジスタ下位	MSGVAL2L0	MSGVAL20	R	00000000
0007B3 <sub>H</sub>	CAN0 - メッセージ有効 2 レジスタ上位	MSGVAL2H0	-	R	00000000



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0007B4 <sub>H</sub> - 0007CD <sub>H</sub>	予約	-	-	-	-
0007CE <sub>H</sub>	CAN0 - 出力許可レジスタ	COER0	-	R/W	XXXXXXXX0
0007CF <sub>H</sub>	予約	-	-	-	-
0007D0 <sub>H</sub>	SG0 - サウンドコントロールレジスタ下位	SGCRL0	SGCR0	R/W	00000000
0007D1 <sub>H</sub>	SG0 - サウンドコントロールレジスタ上位	SGCRH0	-	R/W	XXXXXX100
0007D2 <sub>H</sub>	SG0 - 周波数データレジスタ	SGFR0	-	R/W	XXXXXXXXXX
0007D3 <sub>H</sub>	SG0 - 振幅データレジスタ	SGAR0	-	R/W	XXXXXXXXXX
0007D4 <sub>H</sub>	SG0 - デクリメントグレードレジスタ	SGDR0	-	R/W	XXXXXXXXXX
0007D5 <sub>H</sub>	SG0 - トーンカウントレジスタ	SGTR0	-	R/W	XXXXXXXXXX
0007D6 <sub>H</sub>	SG1 - サウンドコントロールレジスタ下位	SGCRL1	SGCR1	R/W	00000000
0007D7 <sub>H</sub>	SG1 - サウンドコントロールレジスタ上位	SGCRH1	-	R/W	XXXXXX100
0007D8 <sub>H</sub>	SG1 - 周波数データレジスタ	SGFR1	-	R/W	XXXXXXXXXX
0007D9 <sub>H</sub>	SG1 - 振幅データレジスタ	SGAR1	-	R/W	XXXXXXXXXX
0007DA <sub>H</sub>	SG1 - デクリメントグレードレジスタ	SGDR1	-	R/W	XXXXXXXXXX
0007DB <sub>H</sub>	SG1 - トーンカウントレジスタ	SGTR1	-	R/W	XXXXXXXXXX
0007DC <sub>H</sub> - 0009FF <sub>H</sub>	予約	-	-	-	-
000A00 <sub>H</sub>	DMA - I/O アドレスポインタバンク選択レジスタ 0	IOABK0	-	R/W	00000000
000A01 <sub>H</sub>	DMA - I/O アドレスポインタバンク選択レジスタ 1	IOABK1	-	R/W	00000000
000A02 <sub>H</sub>	DMA - I/O アドレスポインタバンク選択レジスタ 2	IOABK2	-	R/W	00000000
000A03 <sub>H</sub>	DMA - I/O アドレスポインタバンク選択レジスタ 3	IOABK3	-	R/W	00000000
000A04 <sub>H</sub> - 000A7F <sub>H</sub>	予約	-	-	-	-
000A80 <sub>H</sub>	PPG0 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L0	EPCN10	R/W	0XXXXX000
000A81 <sub>H</sub>	PPG0 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H0	-	R/W	XXX00000
000A82 <sub>H</sub>	PPG1 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L1	EPCN11	R/W	0XXXXX000
000A83 <sub>H</sub>	PPG1 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H1	-	R/W	XXX00000
000A84 <sub>H</sub>	PPG2 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L2	EPCN12	R/W	0XXXXX000
000A85 <sub>H</sub>	PPG2 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H2	-	R/W	XXX00000
000A86 <sub>H</sub>	PPG3 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L3	EPCN13	R/W	0XXXXX000
000A87 <sub>H</sub>	PPG3 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H3	-	R/W	XXX00000
000A88 <sub>H</sub>	PPG4 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L4	EPCN14	R/W	0XXXXX000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000A89 <sub>H</sub>	PPG4 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H4	-	R/W	XXX00000
000A8A <sub>H</sub>	PPG5 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L5	EPCN15	R/W	0XXXX000
000A8B <sub>H</sub>	PPG5 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H5	-	R/W	XXX00000
000A8C <sub>H</sub>	PPG6 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L6	EPCN16	R/W	0XXXX000
000A8D <sub>H</sub>	PPG6 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H6	-	R/W	XXX00000
000A8E <sub>H</sub>	PPG7 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L7	EPCN17	R/W	0XXXX000
000A8F <sub>H</sub>	PPG7 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H7	-	R/W	XXX00000
000A90 <sub>H</sub> - 000A97 <sub>H</sub>	予約	-	-	-	-
000A98 <sub>H</sub>	PPG12 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L12	EPCN112	R/W	0XXXX000
000A99 <sub>H</sub>	PPG12 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H12	-	R/W	XXX00000
000A9A <sub>H</sub>	PPG13 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L13	EPCN113	R/W	0XXXX000
000A9B <sub>H</sub>	PPG13 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H13	-	R/W	XXX00000
000A9C <sub>H</sub>	PPG14 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L14	EPCN114	R/W	0XXXX000
000A9D <sub>H</sub>	PPG14 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H14	-	R/W	XXX00000
000A9E <sub>H</sub>	PPG15 - 拡張 PPG 制御ステータスレジスタ 1 下位	EPCN1L15	EPCN115	R/W	0XXXX000
000A9F <sub>H</sub>	PPG15 - 拡張 PPG 制御ステータスレジスタ 1 上位	EPCN1H15	-	R/W	XXX00000
000AA0 <sub>H</sub> - 000AEF <sub>H</sub>	予約	-	-	-	-
000AF0 <sub>H</sub>	QPRC0 - 位置カウントレジスタ	-	QPCR0	R/W	00000000
000AF1 <sub>H</sub>	QPRC0 - 位置カウントレジスタ	-	-	R/W	00000000
000AF2 <sub>H</sub>	QPRC0 - 回転カウントレジスタ	-	QRCR0	R/W	00000000
000AF3 <sub>H</sub>	QPRC0 - 回転カウントレジスタ	-	-	R/W	00000000
000AF4 <sub>H</sub>	QPRC0 - 割込み制御レジスタ下位	QICRL0	QICR0	R/W	00000000
000AF5 <sub>H</sub>	QPRC0 - 割込み制御レジスタ上位	QICRH0	-	R/W	00000000
000AF6 <sub>H</sub>	QPRC0 - 拡張制御レジスタ下位	QECRL0	QECR0	R/W	00000000
000AF7 <sub>H</sub>	QPRC0 - 拡張制御レジスタ上位	QECRH0	-	R/W	00000000
000AF8 <sub>H</sub>	QPRC1 - 位置カウントレジスタ	-	QPCR1	R/W	00000000
000AF9 <sub>H</sub>	QPRC1 - 位置カウントレジスタ	-	-	R/W	00000000
000AFA <sub>H</sub>	QPRC1 - 回転カウントレジスタ	-	QRCR1	R/W	00000000
000AFB <sub>H</sub>	QPRC1 - 回転カウントレジスタ	-	-	R/W	00000000
000AFC <sub>H</sub>	QPRC1 - 割込み制御レジスタ下位	QICRL1	QICR1	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000AFD <sub>H</sub>	QPRC1 - 割込み制御レジスタ上位	QICRH1	-	R/W	00000000
000AFE <sub>H</sub>	QPRC1 - 拡張制御レジスタ下位	QECRL1	QECR1	R/W	00000000
000AFF <sub>H</sub>	QPRC1 - 拡張制御レジスタ上位	QECRH1	-	R/W	00000000
000B00 <sub>H</sub> - 000B53 <sub>H</sub>	予約	-	-	-	-
000B54 <sub>H</sub>	ADC0 - レンジ比較しきい値超過フラグレジスタ 0	ADRCOOF00	-	R	00000000
000B55 <sub>H</sub>	ADC0 - レンジ比較しきい値超過フラグレジスタ 1	ADRCOOF10	-	R	00000000
000B56 <sub>H</sub>	ADC0 - レンジ比較しきい値超過フラグレジスタ 2	ADRCOOF20	-	R	00000000
000B57 <sub>H</sub>	ADC0 - レンジ比較しきい値超過フラグレジスタ 3	ADRCOOF30	-	R	00000000
000B58 <sub>H</sub> - 000B5B <sub>H</sub>	予約	-	-	-	-
000B5C <sub>H</sub>	ADC0 - レンジ比較フラグレジスタ 0	ADRCOINTF00	-	R/W	00000000
000B5D <sub>H</sub>	ADC0 - レンジ比較フラグレジスタ 1	ADRCOINTF10	-	R/W	00000000
000B5E <sub>H</sub>	ADC0 - レンジ比較フラグレジスタ 2	ADRCOINTF20	-	R/W	00000000
000B5F <sub>H</sub>	ADC0 - レンジ比較フラグレジスタ 3	ADRCOINTF30	-	R/W	00000000
000B60 <sub>H</sub> - 000B63 <sub>H</sub>	予約	-	-	-	-
000B64 <sub>H</sub>	ADC0 - パルスカウンタ割込みイネーブルレジスタ 0	ADPCIE00	-	R/W	00000000
000B65 <sub>H</sub>	ADC0 - パルスカウンタ割込みイネーブルレジスタ 1	ADPCIE10	-	R/W	00000000
000B66 <sub>H</sub>	ADC0 - パルスカウンタ割込みイネーブルレジスタ 2	ADPCIE20	-	R/W	00000000
000B67 <sub>H</sub>	ADC0 - パルスカウンタ割込みイネーブルレジスタ 3	ADPCIE30	-	R/W	00000000
000B68 <sub>H</sub>	ADC0 - パルスカウンタゼロフラグレジスタ 0	ADPCZF00	-	R/W	00000000
000B69 <sub>H</sub>	ADC0 - パルスカウンタゼロフラグレジスタ 1	ADPCZF10	-	R/W	00000000
000B6A <sub>H</sub>	ADC0 - パルスカウンタゼロフラグレジスタ 2	ADPCZF20	-	R/W	00000000
000B6B <sub>H</sub>	ADC0 - パルスカウンタゼロフラグレジスタ 3	ADPCZF30	-	R/W	00000000
000B6C <sub>H</sub> - 000BA9 <sub>H</sub>	予約	-	-	-	-
000BAA <sub>H</sub>	USART0 - チェックサムステータス制御レジスタ	CSCR0	-	R/W	00000000
000BAB <sub>H</sub>	USART0 - 拡張ステータスレジスタ	ESR0	-	R/W	XX000000
000BAC <sub>H</sub>	USART1 - チェックサムステータス制御レジスタ	CSCR1	-	R/W	00000000
000BAD <sub>H</sub>	USART1 - 拡張ステータスレジスタ	ESR1	-	R/W	XX000000
000BAE <sub>H</sub>	予約	-	-	-	-
000BAF <sub>H</sub>	USART2 - 拡張ステータスレジスタ	ESR2	-	R/W	XXXX00XX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
000BB0 <sub>H</sub> - 000BB2 <sub>H</sub>	予約	-	-	-	-
000BB3 <sub>H</sub>	USART4 - 拡張ステータスレジスタ	ESR4	-	R/W	XXXX00XX
000BB4 <sub>H</sub>	予約	-	-	-	-
000BB5 <sub>H</sub>	USART5 - 拡張ステータスレジスタ	ESR5	-	R/W	XXXX00XX
000BB6 <sub>H</sub> - 000BEF <sub>H</sub>	予約	-	-	-	-
000BF0 <sub>H</sub>	DSU 制御レジスタ下位	DSUCRL	DSUCR	R/W	XXXXXXXX0
000BF1 <sub>H</sub>	DSU 制御レジスタ上位	DSUCRH	-	R/W	XXXXXXXXX
000BF2 <sub>H</sub> , 000BF3 <sub>H</sub>	予約	-	-	-	-
000BF4 <sub>H</sub>	ユーザイベントレジスタ下位	UERL	UER	W	XXXXXXXXX
000BF5 <sub>H</sub>	ユーザイベントレジスタ上位	UERH	-	R/W	XXXXXXXXX
000BF6 <sub>H</sub>	メッセージバッファレジスタ下位	MBRL	MBR	W	XXXXXXXXX
000BF7 <sub>H</sub>	メッセージバッファレジスタ上位	MBRH	-	R/W	0XXXXXXXX
000BF8 <sub>H</sub> - 000BFF <sub>H</sub>	予約	-	-	-	-
0E9000 <sub>H</sub> - 0E9301 <sub>H</sub>	予約	-	-	-	-
0E9302 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 4 下位	GCN4L0	GCN40	R/W	X110X110
0E9303 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 4 上位	GCN4H0	-	R/W	X110X110
0E9304 <sub>H</sub>	PPG3-PPG0 - 汎用制御レジスタ 5 下位	GCN5L0	GCN50	R/W	00000000
0E9305 <sub>H</sub> - 0E930F <sub>H</sub>	予約	-	-	-	-
0E9310 <sub>H</sub>	PPG0 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L0	EPCN20	R/W	00XX0X0X
0E9311 <sub>H</sub>	予約	-	-	-	-
0E9312 <sub>H</sub>	PPG0 - スタートディレイレジスタ下位	PSDRL0	PSDR0	R/W	00000000
0E9313 <sub>H</sub>	PPG0 - スタートディレイレジスタ上位	PSDRH0	-	R/W	00000000
0E9314 <sub>H</sub>	PPG0 - タイミングポイントキャプチャレジ スタ下位	PTPCL0	PTPC0	R/W	00000000
0E9315 <sub>H</sub>	PPG0 - タイミングポイントキャプチャレジ スタ上位	PTPCH0	-	R/W	00000000
0E9316 <sub>H</sub> - 0E931F <sub>H</sub>	予約	-	-	-	-
0E9320 <sub>H</sub>	PPG1 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L1	EPCN21	R/W	00XX0X0X
0E9321 <sub>H</sub>	予約	-	-	-	-
0E9322 <sub>H</sub>	PPG1 - スタートディレイレジスタ下位	PSDRL1	PSDR1	R/W	00000000
0E9323 <sub>H</sub>	PPG1 - スタートディレイレジスタ上位	PSDRH1	-	R/W	00000000
0E9324 <sub>H</sub>	PPG1 - タイミングポイントキャプチャレジ スタ下位	PTPCL1	PTPC1	R/W	00000000
0E9325 <sub>H</sub>	PPG1 - タイミングポイントキャプチャレジ スタ上位	PTPCH1	-	R/W	00000000
0E9326 <sub>H</sub> - 0E932F <sub>H</sub>	予約	-	-	-	-

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9330 <sub>H</sub>	PPG2 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L2	EPCN22	R/W	00XX0X0X
0E9331 <sub>H</sub>	予約	-	-	-	-
0E9332 <sub>H</sub>	PPG2 - スタートディレイレジスタ下位	PSDRL2	PSDR2	R/W	00000000
0E9333 <sub>H</sub>	PPG2 - スタートディレイレジスタ上位	PSDRH2	-	R/W	00000000
0E9334 <sub>H</sub>	PPG2 - タイミングポイントキャプチャレジ スタ下位	PTPCL2	PTPC2	R/W	00000000
0E9335 <sub>H</sub>	PPG2 - タイミングポイントキャプチャレジ スタ上位	PTPCH2	-	R/W	00000000
0E9336 <sub>H</sub> - 0E933F <sub>H</sub>	予約	-	-	-	-
0E9340 <sub>H</sub>	PPG3 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L3	EPCN23	R/W	00XX0X0X
0E9341 <sub>H</sub>	予約	-	-	-	-
0E9342 <sub>H</sub>	PPG3 - スタートディレイレジスタ下位	PSDRL3	PSDR3	R/W	00000000
0E9343 <sub>H</sub>	PPG3 - スタートディレイレジスタ上位	PSDRH3	-	R/W	00000000
0E9344 <sub>H</sub>	PPG3 - タイミングポイントキャプチャレジ スタ下位	PTPCL3	PTPC3	R/W	00000000
0E9345 <sub>H</sub>	PPG3 - タイミングポイントキャプチャレジ スタ上位	PTPCH3	-	R/W	00000000
0E9346 <sub>H</sub> - 0E9351 <sub>H</sub>	予約	-	-	-	-
0E9352 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 4 下位	GCN4L1	GCN41	R/W	X110X110
0E9353 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 4 上位	GCN4H1	-	R/W	X110X110
0E9354 <sub>H</sub>	PPG7-PPG4 - 汎用制御レジスタ 5 下位	GCN5L1	GCN51	R/W	00000000
0E9355 <sub>H</sub> - 0E935F <sub>H</sub>	予約	-	-	-	-
0E9360 <sub>H</sub>	PPG4 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L4	EPCN24	R/W	00XX0X0X
0E9361 <sub>H</sub>	予約	-	-	-	-
0E9362 <sub>H</sub>	PPG4 - スタートディレイレジスタ下位	PSDRL4	PSDR4	R/W	00000000
0E9363 <sub>H</sub>	PPG4 - スタートディレイレジスタ上位	PSDRH4	-	R/W	00000000
0E9364 <sub>H</sub>	PPG4 - タイミングポイントキャプチャレジ スタ下位	PTPCL4	PTPC4	R/W	00000000
0E9365 <sub>H</sub>	PPG4 - タイミングポイントキャプチャレジ スタ上位	PTPCH4	-	R/W	00000000
0E9366 <sub>H</sub> - 0E936F <sub>H</sub>	予約	-	-	-	-
0E9370 <sub>H</sub>	PPG5 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L5	EPCN25	R/W	00XX0X0X
0E9371 <sub>H</sub>	予約	-	-	-	-
0E9372 <sub>H</sub>	PPG5 - スタートディレイレジスタ下位	PSDRL5	PSDR5	R/W	00000000
0E9373 <sub>H</sub>	PPG5 - スタートディレイレジスタ上位	PSDRH5	-	R/W	00000000
0E9374 <sub>H</sub>	PPG5 - タイミングポイントキャプチャレジ スタ下位	PTPCL5	PTPC5	R/W	00000000
0E9375 <sub>H</sub>	PPG5 - タイミングポイントキャプチャレジ スタ上位	PTPCH5	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9376 <sub>H</sub> - 0E937F <sub>H</sub>	予約	-	-	-	-
0E9380 <sub>H</sub>	PPG6 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L6	EPCN26	R/W	00XX0X0X
0E9381 <sub>H</sub>	予約	-	-	-	-
0E9382 <sub>H</sub>	PPG6 - スタートディレイレジスタ下位	PSDRL6	PSDR6	R/W	00000000
0E9383 <sub>H</sub>	PPG6 - スタートディレイレジスタ上位	PSDRH6	-	R/W	00000000
0E9384 <sub>H</sub>	PPG6 - タイミングポイントキャプチャレジ スタ下位	PTPCL6	PTPC6	R/W	00000000
0E9385 <sub>H</sub>	PPG6 - タイミングポイントキャプチャレジ スタ上位	PTPCH6	-	R/W	00000000
0E9386 <sub>H</sub> - 0E938F <sub>H</sub>	予約	-	-	-	-
0E9390 <sub>H</sub>	PPG7 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L7	EPCN27	R/W	00XX0X0X
0E9391 <sub>H</sub>	予約	-	-	-	-
0E9392 <sub>H</sub>	PPG7 - スタートディレイレジスタ下位	PSDRL7	PSDR7	R/W	00000000
0E9393 <sub>H</sub>	PPG7 - スタートディレイレジスタ上位	PSDRH7	-	R/W	00000000
0E9394 <sub>H</sub>	PPG7 - タイミングポイントキャプチャレジ スタ下位	PTPCL7	PTPC7	R/W	00000000
0E9395 <sub>H</sub>	PPG7 - タイミングポイントキャプチャレジ スタ上位	PTPCH7	-	R/W	00000000
0E9396 <sub>H</sub> - 0E9401 <sub>H</sub>	予約	-	-	-	-
0E9402 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 4 下位	GCN4L3	GCN43	R/W	X110X110
0E9403 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 4 上位	GCN4H3	-	R/W	X110X110
0E9404 <sub>H</sub>	PPG15-PPG12 - 汎用制御レジスタ 5 下位	GCN5L3	GCN53	R/W	00000000
0E9405 <sub>H</sub> - 0E940F <sub>H</sub>	予約	-	-	-	-
0E9410 <sub>H</sub>	PPG12 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L12	EPCN212	R/W	00XX0X0X
0E9411 <sub>H</sub>	予約	-	-	-	-
0E9412 <sub>H</sub>	PPG12 - スタートディレイレジスタ下位	PSDRL12	PSDR12	R/W	00000000
0E9413 <sub>H</sub>	PPG12 - スタートディレイレジスタ上位	PSDRH12	-	R/W	00000000
0E9414 <sub>H</sub>	PPG12 - タイミングポイントキャプチャレ ジスタ下位	PTPCL12	PTPC12	R/W	00000000
0E9415 <sub>H</sub>	PPG12 - タイミングポイントキャプチャレ ジスタ上位	PTPCH12	-	R/W	00000000
0E9416 <sub>H</sub> - 0E941F <sub>H</sub>	予約	-	-	-	-
0E9420 <sub>H</sub>	PPG13 - 拡張 PPG 制御ステータスレジスタ 2 下位	EPCN2L13	EPCN213	R/W	00XX0X0X
0E9421 <sub>H</sub>	予約	-	-	-	-
0E9422 <sub>H</sub>	PPG13 - スタートディレイレジスタ下位	PSDRL13	PSDR13	R/W	00000000
0E9423 <sub>H</sub>	PPG13 - スタートディレイレジスタ上位	PSDRH13	-	R/W	00000000
0E9424 <sub>H</sub>	PPG13 - タイミングポイントキャプチャレ ジスタ下位	PTPCL13	PTPC13	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9425 <sub>H</sub>	PPG13 - タイミングポイントキャプチャレジスタ上位	PTPCH13	-	R/W	00000000
0E9426 <sub>H</sub> - 0E942F <sub>H</sub>	予約	-	-	-	-
0E9430 <sub>H</sub>	PPG14 - 拡張PPG制御ステータスレジスタ2 下位	EPCN2L14	EPCN214	R/W	00XX0X0X
0E9431 <sub>H</sub>	予約	-	-	-	-
0E9432 <sub>H</sub>	PPG14 - スタートディレイレジスタ下位	PSDRL14	PSDR14	R/W	00000000
0E9433 <sub>H</sub>	PPG14 - スタートディレイレジスタ上位	PSDRH14	-	R/W	00000000
0E9434 <sub>H</sub>	PPG14 - タイミングポイントキャプチャレジスタ下位	PTPCL14	PTPC14	R/W	00000000
0E9435 <sub>H</sub>	PPG14 - タイミングポイントキャプチャレジスタ上位	PTPCH14	-	R/W	00000000
0E9436 <sub>H</sub> - 0E943F <sub>H</sub>	予約	-	-	-	-
0E9440 <sub>H</sub>	PPG15 - 拡張PPG制御ステータスレジスタ2 下位	EPCN2L15	EPCN215	R/W	00XX0X0X
0E9441 <sub>H</sub>	予約	-	-	-	-
0E9442 <sub>H</sub>	PPG15 - スタートディレイレジスタ下位	PSDRL15	PSDR15	R/W	00000000
0E9443 <sub>H</sub>	PPG15 - スタートディレイレジスタ上位	PSDRH15	-	R/W	00000000
0E9444 <sub>H</sub>	PPG15 - タイミングポイントキャプチャレジスタ下位	PTPCL15	PTPC15	R/W	00000000
0E9445 <sub>H</sub>	PPG15 - タイミングポイントキャプチャレジスタ上位	PTPCH15	-	R/W	00000000
0E9446 <sub>H</sub> - 0E949F <sub>H</sub>	予約	-	-	-	-
0E94A0 <sub>H</sub>	ADTG - ADC0 トリガ制御レジスタ下位	ADTGCRLO	ADTGCR0	R/W	XXXXXXXX
0E94A1 <sub>H</sub>	ADTG - ADC0 トリガ制御レジスタ上位	ADTGCRHO	-	R/W	XXXXXXXX1
0E94A2 <sub>H</sub>	ADTG - ADC0 トリガ入力選択下位	ADTGISELLO	ADTGISELO	R/W	XXXXX001
0E94A3 <sub>H</sub>	ADTG - ADC0 トリガ入力選択上位	ADTGISELHO	-	R/W	XXX00000
0E94A4 <sub>H</sub> - 0E951F <sub>H</sub>	予約	-	-	-	-
0E9520 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ0 下位	ADRCOLL00	ADRCOL00	R/W	00000000
0E9521 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ0 上位	ADRCOLH00	-	R/W	00000000
0E9522 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ0 下位	ADRCOHL00	ADRCOH00	R/W	00000000
0E9523 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ0 上位	ADRCOHH00	-	R/W	00000000
0E9524 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ1 下位	ADRCOLL10	ADRCOL10	R/W	00000000
0E9525 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ1 上位	ADRCOLH10	-	R/W	00000000
0E9526 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ1 下位	ADRCOHL10	ADRCOH10	R/W	00000000

アドレス	レジスタ	8 ビット アクセス時の レジスタ略称名	16 ビット アクセス時の レジスタ略称名	属性	初期値
0E9527 <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 1 上位	ADRCOHH10	-	R/W	00000000
0E9528 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 2 下位	ADRCOLL20	ADRCOL20	R/W	00000000
0E9529 <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 2 上位	ADRCOLH20	-	R/W	00000000
0E952A <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 2 下位	ADRCOHL20	ADRCOH20	R/W	00000000
0E952B <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 2 上位	ADRCOHH20	-	R/W	00000000
0E952C <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 3 下位	ADRCOLL30	ADRCOL30	R/W	00000000
0E952D <sub>H</sub>	ADC0 - レンジ比較下限しきい値レジスタ 3 上位	ADRCOLH30	-	R/W	00000000
0E952E <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 3 下位	ADRCOHL30	ADRCOH30	R/W	00000000
0E952F <sub>H</sub>	ADC0 - レンジ比較上限しきい値レジスタ 3 上位	ADRCOHH30	-	R/W	00000000
0E9530 <sub>H</sub>	ADC0 - チャネルスキップレジスタ 0	ADDSCR00	-	R/W	00000000
0E9531 <sub>H</sub>	ADC0 - チャネルスキップレジスタ 1	ADDSCR10	-	R/W	00000000
0E9532 <sub>H</sub>	ADC0 - チャネルスキップレジスタ 2	ADDSCR20	-	R/W	00000000
0E9533 <sub>H</sub>	ADC0 - チャネルスキップレジスタ 3	ADDSCR30	-	R/W	00000000
0E9534 <sub>H</sub> - 0E953F <sub>H</sub>	予約	-	-	-	-
0E9540 <sub>H</sub>	ADC0 - レンジ比較インバートレンジ選択 レジスタ 0	ADRCOIRS00	-	R/W	00000000
0E9541 <sub>H</sub>	ADC0 - レンジ比較インバートレンジ選択 レジスタ 1	ADRCOIRS10	-	R/W	00000000
0E9542 <sub>H</sub>	ADC0 - レンジ比較インバートレンジ選択 レジスタ 2	ADRCOIRS20	-	R/W	00000000
0E9543 <sub>H</sub>	ADC0 - レンジ比較インバートレンジ選択 レジスタ 3	ADRCOIRS30	-	R/W	00000000
0E9544 <sub>H</sub> - 0E954F <sub>H</sub>	予約	-	-	-	-
0E9550 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 0	ADCC000	-	R/W	00000000
0E9551 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 1	ADCC010	-	R/W	00000000
0E9552 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 2	ADCC020	-	R/W	00000000
0E9553 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 3	ADCC030	-	R/W	00000000
0E9554 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 4	ADCC040	-	R/W	00000000
0E9555 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 5	ADCC050	-	R/W	00000000



アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9556 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 6	ADCC060	-	R/W	00000000
0E9557 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 7	ADCC070	-	R/W	00000000
0E9558 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 8	ADCC080	-	R/W	00000000
0E9559 <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 9	ADCC090	-	R/W	00000000
0E955A <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 10	ADCC100	-	R/W	00000000
0E955B <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 11	ADCC110	-	R/W	00000000
0E955C <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 12	ADCC120	-	R/W	00000000
0E955D <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 13	ADCC130	-	R/W	00000000
0E955E <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 14	ADCC140	-	R/W	00000000
0E955F <sub>H</sub>	ADC0 - レンジ比較チャネル制御レジスタ 15	ADCC150	-	R/W	00000000
0E9560 <sub>H</sub> - 0E958F <sub>H</sub>	予約	-	-	-	-
0E9590 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロード レジスタ 0	ADPCTPRD00	-	R/W	00000000
0E9591 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロード レジスタ 0	ADPCTNRD00	-	R/W	00000000
0E9592 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロード レジスタ 1	ADPCTPRD10	-	R/W	00000000
0E9593 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロード レジスタ 1	ADPCTNRD10	-	R/W	00000000
0E9594 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロード レジスタ 2	ADPCTPRD20	-	R/W	00000000
0E9595 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロード レジスタ 2	ADPCTNRD20	-	R/W	00000000
0E9596 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロード レジスタ 3	ADPCTPRD30	-	R/W	00000000
0E9597 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロード レジスタ 3	ADPCTNRD30	-	R/W	00000000
0E9598 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロード レジスタ 4	ADPCTPRD40	-	R/W	00000000
0E9599 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロード レジスタ 4	ADPCTNRD40	-	R/W	00000000
0E959A <sub>H</sub>	ADC0 - パルスポジティブカウンタリロード レジスタ 5	ADPCTPRD50	-	R/W	00000000
0E959B <sub>H</sub>	ADC0 - パルスネガティブカウンタリロード レジスタ 5	ADPCTNRD50	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E959C <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 6	ADPCTPRD60	-	R/W	00000000
0E959D <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 6	ADPCTNRD60	-	R/W	00000000
0E959E <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 7	ADPCTPRD70	-	R/W	00000000
0E959F <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 7	ADPCTNRD70	-	R/W	00000000
0E95A0 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 8	ADPCTPRD80	-	R/W	00000000
0E95A1 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 8	ADPCTNRD80	-	R/W	00000000
0E95A2 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 9	ADPCTPRD90	-	R/W	00000000
0E95A3 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 9	ADPCTNRD90	-	R/W	00000000
0E95A4 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 10	ADPCTPRD100	-	R/W	00000000
0E95A5 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 10	ADPCTNRD100	-	R/W	00000000
0E95A6 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 11	ADPCTPRD110	-	R/W	00000000
0E95A7 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 11	ADPCTNRD110	-	R/W	00000000
0E95A8 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 12	ADPCTPRD120	-	R/W	00000000
0E95A9 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 12	ADPCTNRD120	-	R/W	00000000
0E95AA <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 13	ADPCTPRD130	-	R/W	00000000
0E95AB <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 13	ADPCTNRD130	-	R/W	00000000
0E95AC <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 14	ADPCTPRD140	-	R/W	00000000
0E95AD <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 14	ADPCTNRD140	-	R/W	00000000
0E95AE <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 15	ADPCTPRD150	-	R/W	00000000
0E95AF <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 15	ADPCTNRD150	-	R/W	00000000
0E95B0 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 16	ADPCTPRD160	-	R/W	00000000
0E95B1 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 16	ADPCTNRD160	-	R/W	00000000
0E95B2 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 17	ADPCTPRD170	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E95B3 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 17	ADPCTNRD170	-	R/W	00000000
0E95B4 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 18	ADPCTPRD180	-	R/W	00000000
0E95B5 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 18	ADPCTNRD180	-	R/W	00000000
0E95B6 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 19	ADPCTPRD190	-	R/W	00000000
0E95B7 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 19	ADPCTNRD190	-	R/W	00000000
0E95B8 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 20	ADPCTPRD200	-	R/W	00000000
0E95B9 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 20	ADPCTNRD200	-	R/W	00000000
0E95BA <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 21	ADPCTPRD210	-	R/W	00000000
0E95BB <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 21	ADPCTNRD210	-	R/W	00000000
0E95BC <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 22	ADPCTPRD220	-	R/W	00000000
0E95BD <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 22	ADPCTNRD220	-	R/W	00000000
0E95BE <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 23	ADPCTPRD230	-	R/W	00000000
0E95BF <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 23	ADPCTNRD230	-	R/W	00000000
0E95C0 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 24	ADPCTPRD240	-	R/W	00000000
0E95C1 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 24	ADPCTNRD240	-	R/W	00000000
0E95C2 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 25	ADPCTPRD250	-	R/W	00000000
0E95C3 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 25	ADPCTNRD250	-	R/W	00000000
0E95C4 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 26	ADPCTPRD260	-	R/W	00000000
0E95C5 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 26	ADPCTNRD260	-	R/W	00000000
0E95C6 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 27	ADPCTPRD270	-	R/W	00000000
0E95C7 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 27	ADPCTNRD270	-	R/W	00000000
0E95C8 <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 28	ADPCTPRD280	-	R/W	00000000
0E95C9 <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 28	ADPCTNRD280	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E95CA <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 29	ADPCTPRD290	-	R/W	00000000
0E95CB <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 29	ADPCTNRD290	-	R/W	00000000
0E95CC <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 30	ADPCTPRD300	-	R/W	00000000
0E95CD <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 30	ADPCTNRD300	-	R/W	00000000
0E95CE <sub>H</sub>	ADC0 - パルスポジティブカウンタリロードレジスタ 31	ADPCTPRD310	-	R/W	00000000
0E95CF <sub>H</sub>	ADC0 - パルスネガティブカウンタリロードレジスタ 31	ADPCTNRD310	-	R/W	00000000
0E95D0 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 0	ADPCTPCT00	-	R	00000000
0E95D1 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 0	ADPCTNCT00	-	R	00000000
0E95D2 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 1	ADPCTPCT10	-	R	00000000
0E95D3 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 1	ADPCTNCT10	-	R	00000000
0E95D4 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 2	ADPCTPCT20	-	R	00000000
0E95D5 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 2	ADPCTNCT20	-	R	00000000
0E95D6 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 3	ADPCTPCT30	-	R	00000000
0E95D7 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 3	ADPCTNCT30	-	R	00000000
0E95D8 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 4	ADPCTPCT40	-	R	00000000
0E95D9 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 4	ADPCTNCT40	-	R	00000000
0E95DA <sub>H</sub>	ADC0 - パルスポジティブカウンタ 5	ADPCTPCT50	-	R	00000000
0E95DB <sub>H</sub>	ADC0 - パルスネガティブカウンタ 5	ADPCTNCT50	-	R	00000000
0E95DC <sub>H</sub>	ADC0 - パルスポジティブカウンタ 6	ADPCTPCT60	-	R	00000000
0E95DD <sub>H</sub>	ADC0 - パルスネガティブカウンタ 6	ADPCTNCT60	-	R	00000000
0E95DE <sub>H</sub>	ADC0 - パルスポジティブカウンタ 7	ADPCTPCT70	-	R	00000000
0E95DF <sub>H</sub>	ADC0 - パルスネガティブカウンタ 7	ADPCTNCT70	-	R	00000000
0E95E0 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 8	ADPCTPCT80	-	R	00000000
0E95E1 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 8	ADPCTNCT80	-	R	00000000
0E95E2 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 9	ADPCTPCT90	-	R	00000000
0E95E3 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 9	ADPCTNCT90	-	R	00000000
0E95E4 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 10	ADPCTPCT100	-	R	00000000
0E95E5 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 10	ADPCTNCT100	-	R	00000000
0E95E6 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 11	ADPCTPCT110	-	R	00000000
0E95E7 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 11	ADPCTNCT110	-	R	00000000
0E95E8 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 12	ADPCTPCT120	-	R	00000000
0E95E9 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 12	ADPCTNCT120	-	R	00000000
0E95EA <sub>H</sub>	ADC0 - パルスポジティブカウンタ 13	ADPCTPCT130	-	R	00000000
0E95EB <sub>H</sub>	ADC0 - パルスネガティブカウンタ 13	ADPCTNCT130	-	R	00000000
0E95EC <sub>H</sub>	ADC0 - パルスポジティブカウンタ 14	ADPCTPCT140	-	R	00000000
0E95ED <sub>H</sub>	ADC0 - パルスネガティブカウンタ 14	ADPCTNCT140	-	R	00000000
0E95EE <sub>H</sub>	ADC0 - パルスポジティブカウンタ 15	ADPCTPCT150	-	R	00000000
0E95EF <sub>H</sub>	ADC0 - パルスネガティブカウンタ 15	ADPCTNCT150	-	R	00000000
0E95F0 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 16	ADPCTPCT160	-	R	00000000
0E95F1 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 16	ADPCTNCT160	-	R	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E95F2 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 17	ADPCTPCT170	-	R	00000000
0E95F3 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 17	ADPCTNCT170	-	R	00000000
0E95F4 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 18	ADPCTPCT180	-	R	00000000
0E95F5 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 18	ADPCTNCT180	-	R	00000000
0E95F6 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 19	ADPCTPCT190	-	R	00000000
0E95F7 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 19	ADPCTNCT190	-	R	00000000
0E95F8 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 20	ADPCTPCT200	-	R	00000000
0E95F9 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 20	ADPCTNCT200	-	R	00000000
0E95FA <sub>H</sub>	ADC0 - パルスポジティブカウンタ 21	ADPCTPCT210	-	R	00000000
0E95FB <sub>H</sub>	ADC0 - パルスネガティブカウンタ 21	ADPCTNCT210	-	R	00000000
0E95FC <sub>H</sub>	ADC0 - パルスポジティブカウンタ 22	ADPCTPCT220	-	R	00000000
0E95FD <sub>H</sub>	ADC0 - パルスネガティブカウンタ 22	ADPCTNCT220	-	R	00000000
0E95FE <sub>H</sub>	ADC0 - パルスポジティブカウンタ 23	ADPCTPCT230	-	R	00000000
0E95FF <sub>H</sub>	ADC0 - パルスネガティブカウンタ 23	ADPCTNCT230	-	R	00000000
0E9600 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 24	ADPCTPCT240	-	R	00000000
0E9601 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 24	ADPCTNCT240	-	R	00000000
0E9602 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 25	ADPCTPCT250	-	R	00000000
0E9603 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 25	ADPCTNCT250	-	R	00000000
0E9604 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 26	ADPCTPCT260	-	R	00000000
0E9605 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 26	ADPCTNCT260	-	R	00000000
0E9606 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 27	ADPCTPCT270	-	R	00000000
0E9607 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 27	ADPCTNCT270	-	R	00000000
0E9608 <sub>H</sub>	ADC0 - パルスポジティブカウンタ 28	ADPCTPCT280	-	R	00000000
0E9609 <sub>H</sub>	ADC0 - パルスネガティブカウンタ 28	ADPCTNCT280	-	R	00000000
0E960A <sub>H</sub>	ADC0 - パルスポジティブカウンタ 29	ADPCTPCT290	-	R	00000000
0E960B <sub>H</sub>	ADC0 - パルスネガティブカウンタ 29	ADPCTNCT290	-	R	00000000
0E960C <sub>H</sub>	ADC0 - パルスポジティブカウンタ 30	ADPCTPCT300	-	R	00000000
0E960D <sub>H</sub>	ADC0 - パルスネガティブカウンタ 30	ADPCTNCT300	-	R	00000000
0E960E <sub>H</sub>	ADC0 - パルスポジティブカウンタ 31	ADPCTPCT310	-	R	00000000
0E960F <sub>H</sub>	ADC0 - パルスネガティブカウンタ 31	ADPCTNCT310	-	R	00000000
0E9610 <sub>H</sub> - 0E977F <sub>H</sub>	予約	-	-	-	-
0E9780 <sub>H</sub>	QPRC0 - 位置カウンタ比較レジスタ	-	QPCCR0	R/W	00000000
0E9781 <sub>H</sub>	QPRC0 - 位置カウンタ比較レジスタ	-	-	R/W	00000000
0E9782 <sub>H</sub>	QPRC0 - 位置&回転カウンタ比較レジスタ	-	QPRCR0	R/W	00000000
0E9783 <sub>H</sub>	QPRC0 - 位置&回転カウンタ比較レジスタ	-	-	R/W	00000000
0E9784 <sub>H</sub>	QPRC0 - 最大位置レジスタ	-	QMPR0	R/W	11111111
0E9785 <sub>H</sub>	QPRC0 - 最大位置レジスタ	-	-	R/W	11111111
0E9786 <sub>H</sub>	QPRC0 - 制御レジスタ下位	QCRL0	QCR0	R/W	00000000
0E9787 <sub>H</sub>	QPRC0 - 制御レジスタ上位	QCRH0	-	R/W	00000000
0E9788 <sub>H</sub> - 0E978F <sub>H</sub>	予約	-	-	-	-
0E9790 <sub>H</sub>	QPRC1 - 位置カウンタ比較レジスタ	-	QPCCR1	R/W	00000000
0E9791 <sub>H</sub>	QPRC1 - 位置カウンタ比較レジスタ	-	-	R/W	00000000
0E9792 <sub>H</sub>	QPRC1 - 位置&回転カウンタ比較レジスタ	-	QPRCR1	R/W	00000000
0E9793 <sub>H</sub>	QPRC1 - 位置&回転カウンタ比較レジスタ	-	-	R/W	00000000

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9794 <sub>H</sub>	QPRC1 - 最大位置レジスタ	-	QMPR1	R/W	11111111
0E9795 <sub>H</sub>	QPRC1 - 最大位置レジスタ	-	-	R/W	11111111
0E9796 <sub>H</sub>	QPRC1 - 制御レジスタ下位	QCRL1	QCR1	R/W	00000000
0E9797 <sub>H</sub>	QPRC1 - 制御レジスタ上位	QCRH1	-	R/W	00000000
0E9798 <sub>H</sub> - 0E97BF <sub>H</sub>	予約	-	-	-	-
0E97C0 <sub>H</sub>	USART0 - 拡張機能許可レジスタ下位	EFERL0	EFER0	R/W	00000000
0E97C1 <sub>H</sub>	USART0 - 拡張機能許可レジスタ上位	EFERH0	-	R/W	XX000000
0E97C2 <sub>H</sub>	USART0 - 受信 FIFO 制御レジスタ	RFCR0	-	R/W	00X00000
0E97C3 <sub>H</sub>	USART0 - 送信 FIFO 制御レジスタ	TFCR0	-	R/W	00X00000
0E97C4 <sub>H</sub>	USART0 - 受信 FIFO ステータスレジスタ	RFSR0	-	R	XXX00000
0E97C5 <sub>H</sub>	USART0 - 送信 FIFO ステータスレジスタ	TFSR0	-	R	XXX00000
0E97C6 <sub>H</sub>	USART0 - Sync Field タイムアウトレジスタ下位	SFTRL0	SFTR0	R/W	00000000
0E97C7 <sub>H</sub>	USART0 - Sync Field タイムアウトレジスタ上位	SFTRH0	-	R/W	00000000
0E97C8 <sub>H</sub>	USART0 - 拡張割込み許可レジスタ	EIER0	-	R/W	00000000
0E97C9 <sub>H</sub> - 0E97CF <sub>H</sub>	予約	-	-	-	-
0E97D0 <sub>H</sub>	USART1 - 拡張機能許可レジスタ下位	EFERL1	EFER1	R/W	00000000
0E97D1 <sub>H</sub>	USART1 - 拡張機能許可レジスタ上位	EFERH1	-	R/W	XX000000
0E97D2 <sub>H</sub>	USART1 - 受信 FIFO 制御レジスタ	RFCR1	-	R/W	00X00000
0E97D3 <sub>H</sub>	USART1 - 送信 FIFO 制御レジスタ	TFCR1	-	R/W	00X00000
0E97D4 <sub>H</sub>	USART1 - 受信 FIFO ステータスレジスタ	RFSR1	-	R	XXX00000
0E97D5 <sub>H</sub>	USART1 - 送信 FIFO ステータスレジスタ	TFSR1	-	R	XXX00000
0E97D6 <sub>H</sub>	USART1 - Sync Field タイムアウトレジスタ下位	SFTRL1	SFTR1	R/W	00000000
0E97D7 <sub>H</sub>	USART1 - Sync Field タイムアウトレジスタ上位	SFTRH1	-	R/W	00000000
0E97D8 <sub>H</sub>	USART1 - 拡張割込み許可レジスタ	EIER1	-	R/W	00000000
0E97D9 <sub>H</sub> - 0E97DF <sub>H</sub>	予約	-	-	-	-
0E97E0 <sub>H</sub>	USART2 - 拡張機能許可レジスタ下位	EFERL2	EFER2	R/W	00000XXX
0E97E1 <sub>H</sub>	USART2 - 拡張機能許可レジスタ上位	EFERH2	-	R/W	XX00X0X0
0E97E2 <sub>H</sub> - 0E97E7 <sub>H</sub>	予約	-	-	-	-
0E97E8 <sub>H</sub>	USART2 - 拡張割込み許可レジスタ	EIER2	-	R/W	XXXXXX00
0E97E9 <sub>H</sub> - 0E97FF <sub>H</sub>	予約	-	-	-	-
0E9800 <sub>H</sub>	USART4 - 拡張機能許可レジスタ下位	EFERL4	EFER4	R/W	00000XXX
0E9801 <sub>H</sub>	USART4 - 拡張機能許可レジスタ上位	EFERH4	-	R/W	XX00X0X0
0E9802 <sub>H</sub> - 0E9807 <sub>H</sub>	予約	-	-	-	-
0E9808 <sub>H</sub>	USART4 - 拡張割込み許可レジスタ	EIER4	-	R/W	XXXXXX00
0E9809 <sub>H</sub> - 0E980F <sub>H</sub>	予約	-	-	-	-
0E9810 <sub>H</sub>	USART5 - 拡張機能許可レジスタ下位	EFERL5	EFER5	R/W	00000XXX

アドレス	レジスタ	8ビット アクセス時の レジスタ略称名	16ビット アクセス時の レジスタ略称名	属性	初期値
0E9811 <sub>H</sub>	USART5 - 拡張機能許可レジスタ上位	EFERH5	-	R/W	XX00X0X0
0E9812 <sub>H</sub> - 0E9817 <sub>H</sub>	予約	-	-	-	-
0E9818 <sub>H</sub>	USART5 - 拡張割込み許可レジスタ	EIER5	-	R/W	XXXXXX00
0E9819 <sub>H</sub> - 0FBFFF <sub>H</sub>	予約	-	-	-	-

## L. 主な変更内容

Spanson Publication Number: MN704-00011-2v0-J

ページ	場所	変更箇所
3	CHAPTER: 概要 2. MB96600 シリーズ品種構成	「表 2-1 MB96600 シリーズ品種構成表」 MB96640 シリーズのフラッシュ品の型格を訂正。
8	4. LIN-USART のインプットキャプチャユニットのソースの選択	「表 4-1 LIN-USART と ICU の接続」に 「有効エッジ表示ビット」を追加。
19	5. 周辺リソース端子のリロケーション	「表 5-1 周辺リソース端子リロケーションレジスタ (PRRR0～PRRR13)」 MB966B0 シリーズの PRRR6 レジスタの bit1, bit0 を予約ビットに訂正。
20		「■周辺リソース端子リロケーションレジスタの概要」に ＜注意事項＞を追加。
36		「■周辺リソース端子リロケーションレジスタ 10 (PRRR10)」 PRRR10 の bit7, bit6 の初期値を訂正。
96	CHAPTER: 割込み 7. 割込みベクタ	「●割込みベクタテーブルベースレジスタ(TBR)」 レジスタ表の下に属性説明を追加。
99	8. 割込み制御レジスタ(ICR)	「■割込み制御レジスタ(ICR)」 レジスタ表のビット名を訂正。
101	9. マスク不可割込み(NMI)	「■NMI 制御ステータスレジスタ(NMI)」 レジスタ表の下に属性説明を追加。
118	CHAPTER: DMA 4. レジスタ 4.1. DMA 割込み要求選択レジスタ(DISEL)	「■DMA 割込み要求選択レジスタ(DISEL)」 ＜注意事項＞の記述を訂正。
119	4.2. DMA ステータスレジスタ(DSR)	「■DMA ステータスレジスタ(DSR)」 レジスタ表の下に属性説明を追加。
120	4.3. DMA 停止ステータスレジスタ(DSSR)	「■DMA 停止ステータスレジスタ(DSSR)」 レジスタ表の下に属性説明を追加。
127	CHAPTER: 遅延割込み 2. 動作	「■遅延割込みの発生」のレジスタ名を PS に訂正。
137	CHAPTER: クロック 2. クロックモード	「■ソースクロックの起動と禁止」の記述を訂正。
142	5. 発振器または外部クロックとマイクロコントローラとの接続	「■外部クロックをマイクロコントローラに接続する例」の記述を訂正。
149	6. レジスタ 6.2. クロックモニタレジスタ(CKMR)	「■クロックモニタレジスタ(CKMR)の構成」 レジスタ表の bit15, bit13 初期値の訂正と注釈を追加。
153	6.3. クロック安定化選択レジスタ(CKSSR)	サマリの記述を訂正。



ページ	場所	変更箇所
153	6. レジスタ 6.3. クロック安定化選択レジスタ(CKSSR)	「■クロック安定化選択レジスタ(CKSSR)の構成」 [bit5] PCST の下記記述を削除。  PCST を"1"に設定できるのは、メインクロック(CLKMC)周波数が最大8 MHz までのときのみです。
165	CHAPTER: リセットとスタートアップ 2. リセット, システムクロック, および安定待ち時間	「■リセット要因と安定待ち時間」の記述を訂正。
180	4. ブート ROM プログラムの実行と動作モード, および ROM 構成ブロック	「図 4-9 内部ベクタモードのブート ROM シーケンス」 レジスタ名を DFWC に訂正。
183	5. クロック停止検出機能およびリセットの動作	「●クロック停止検出リセットの影響」の記述を訂正。 「●ストップモード」 <注意事項>の記述を訂正。
188	7. リセット制御レジスタ 7.1. リセット構成レジスタ(RCR)	「■リセット構成レジスタ(RCR)の構成」 レジスタ表の bit2, bit1 初期値の訂正と注釈を追加。
189		「■リセット構成レジスタ(RCR)の構成」 [bit2]LVDE の記述を訂正。
190		「■リセット構成レジスタ(RCR)の構成」 [bit1]LVRE の記述を訂正。
191	7.2. リセット要因およびクロック状態レジスタ(RCCSR/RCCSRC)	「■リセット要因およびクロック状態レジスタ(RCCSR/RCCSRC)の構成」 レジスタ表の bit15~bit8 初期値の訂正と注釈を追加。 「■リセット要因およびクロック状態レジスタ(RCCSR/RCCSRC)の構成」 [bit15]SCMF の記述を訂正。
192		「■リセット要因およびクロック状態レジスタ(RCCSR/RCCSRC)の構成」 [bit14]MCMF の記述を訂正。
204	CHAPTER: スタンバイモードおよび電圧レギュレータ制御回路 1. 概要	「■タイマモード」 <注意事項>の記述を訂正。
206	2. スタンバイモードに関する使用上の注意事項	「●ストップモード解除後の発振安定待ち時間」 2 番目の<注意事項>に記述を追加。
207	3. 拡張スタンバイモード制御レジスタの使用	サマリの記述を訂正。 「■コアバス起動遅延」と「●スタンバイモードからのウェイクアップ後の周辺機器の動作」を削除。
209		「●ESMCR:FPDS="0" の場合の動作」の記述を訂正。
210	4. 電圧レギュレータの動作	サマリの記述を訂正。

ページ	場所	変更箇所
210	4. 電圧レギュレータの動作	<p>「<b>■高電力モード</b>」の下記記述を削除。</p> <p>このモードの出力電圧は個別にプログラミングできます。初期設定での出力電圧は 1.8V (製造テクノロジーに合わせて調整)、レギュレータ自体の消費電流は数十<math>\mu</math>A です。</p> <p>(SMCR:LPMSS ビットが"1"に設定されている場合を除いて)</p>
		<p>「<b>■低電力モード</b>」の訂正と下記記述を削除。</p> <p>低電力モードには 2 種類あります。各モードの出力電圧は個別にプログラミングできます。どちらのモードも初期設定での出力電圧は 1.8V です。</p>
		<p>「<b>●低電力モード A</b>」の下記記述を削除。</p> <p>SMCR:LPMSS ビットを"1"に設定後、PLL 無効のすべてのスリープおよびタイマモードでこのモードを選択できます。</p> <p>&lt;注意事項&gt; SMCR:LPMSS ビットでこのモードを選択する方法は現在評価中ですので、使用しないでください。</p>
211	4.1. 電圧レギュレータ動作モードの変更	<p>サマリの下記記述を削除。</p> <p>しかし、一部のモードや一定条件のもとでは、電流をさらに節約するために、レギュレータを高電力モードから低電力モードに手動で変更することができます。</p>
		<p>「<b>■概要</b>」の下記記述を削除。</p> <p>高電力モードのとき、レギュレータは任意のコア消費電流を駆動することができます。</p> <p>これにより、選択された CPU 動作モードやメインクロック周波数に関わらず、安全な MCU 動作を保証します。</p> <p>しかし、特定のアプリケーションでは、専用の低電力 CPU 動作モードで非常に小さな MCU 消費電流を必要とします。メインまたは 2MHz CR 発振器が有効な状態でも、電圧レギュレータを手動で低電力モードに設定することで可能となります。これにより、MCU 消費電流は 20~30<math>\mu</math>A に減少します。この機能の使用は、わずかな動的消費電流の CPU 動作モードのみで許可されています。自動電圧レギュレータ制御では、発振器の安定化中または固定コアバス開始遅延時間中にレギュレータの安定時間となります。</p>
		<p>「<b>■ユーザプログラムによる電圧レギュレータの低電力モード設定</b>」と「<b>●SMCR:LPMSS ビットによる低電力モードへの切り換え</b>」と「<b>■SMCR:LPMSS ビット設定で利用できる構成</b>」を削除</p>
212	4.2. 出力電圧の電圧レギュレータの設定	<p>サマリの記述を訂正。</p>
		<p>「<b>●低電力モード B</b> におけるコア電圧の変更」の記述を訂正。</p>

ページ	場所	変更箇所
213	5. スタンバイモード	「表 5-1 スタンバイモードにある間の動作状態」に 注釈*2 を追加。
221	5. スタンバイモード 5.3. ストップモード	「■ストップモードへの切換え」 ＜注意事項＞の記述を訂正。
226	7. レジスタ 7.1. スタンバイモード制 御レジスタ(SMCR)	「■スタンバイモード制御レジスタ(SMCR)」 [bit4] LPMSS のビット表に記述を追加。
		「■スタンバイモード制御レジスタ(SMCR)」 [bit4] LPMSS の記述を訂正。
229	7.2. 拡張スタンバイモー ド制御レジスタ(ESMCR)	「■拡張スタンバイモード制御レジスタ(ESMCR)」 [bit3～bit0] BSD3～BSD0 のビット表に記述を追加。
		「■拡張スタンバイモード制御レジスタ(ESMCR)」 ＜注意事項＞の記述を訂正。
253	CHAPTER: ウォッチドッ グタイマとウォッチドッグ リセット 2. 動作	「■ウォッチドッグカウンタの停止」の記述を訂正。
「■ウォッチドッグカウンタのクロックソースの選択」の 記述を訂正。		
254		「■ウォッチドッグカウンタのクロックソースの選択」の ＜注意事項＞の記述を訂正。
256		「■ウォッチドッグタイマインターバルの設定」の 記述を訂正。
256		「■ウォッチドッグタイマリセット要因」の下記記述を削除。  (ブート ROM 動作時のみ有効とする。)
268	CHAPTER: I/O ポート 1. 概要	「■I/O ポート」の下記記述を削除。  通常は、ポートを出力に設定する前に、リードモディファイライト(RMW) 系命令をデータレジスタの設定に使用しないことを推奨します。その理 由は、この場合のリードモディファイライト(RMW)系命令がレジスタ 値ではなく、ポートの論理レベルを読み出すためです。
	2. レジスタ 2.1. ポートデータレジス タ(PDRnn)	「■ポートデータレジスタ(PDRnn)」の表 2-1 下記記述を削除。  リードモディファイライト(RMW)系命令による PDR 値の読出しでは、 誤って PDR のビットが上 書きされないように注意してください。端子のリソース機能が選択され ていて、PDR 値の代わり に端子値が読み出される場合に上書きが発生することがあります。
274	2.5. ポート high 駆動レジ スタ(PHDRnn)	「■ポート high 駆動レジスタ(PHDRnn)」に ＜注意事項＞を追加。
284	CHAPTER: 16 ビット入出 力タイマ 3. 16 ビットフリーランタ イマ	「図 3-1 16 ビットフリーランタイマのブロックダイアグラム」 図中にコンパレータのチャネル数を 0/4 に訂正。
287	3. 16 ビットフリーランタ イマ 3.2. データレジスタ (TCDTn)	「■フリーランタイマのデータレジスタ(TCDTn)」 レジスタ表の bi11 のビット名を訂正。

ページ	場所	変更箇所
288	3.3. コントロールステータスレジスタ (TCCSn))	「■フリーランタイマのコントロールステータスレジスタ(TCCSn)」 [bit5] STOP のビット名を訂正。
308	5. インプットキャプチャユニット 5.1. 動作	「図 5-3 入力信号のキャプチャタイミング」 「キャプチャ信号」, 「キャプチャレジスタ」, 「割込み」の波形を訂正。
317	CHAPTER: 16 ビットリロードタイマ(イベントカウンタ機能付き) 1. 概要	「■16 ビットリロードタイマのブロックダイアグラム」 ＜注意事項＞の記述を訂正。
321	4. 出力端子機能	「■16 ビットリロードタイマの出力端子機能」に ＜注意事項＞を追加。
335	CHAPTER: PPG 1. 概要	「■PPG の特長」 「割込み: 次の 6 種類から選択」の記述を訂正。
337		「図 1-2 PPG の構成図」を訂正。
340	2. 動作	「■PWM 動作」図中に(13)の語句を訂正。 「■PWM 動作」の記述を訂正。
350	3. レジスタ 3.1. PPG 制御ステータスレジスタ(PCNn)	「■PPG 制御ステータスレジスタ(PCNn)」 [bit9] PGMS に＜注意事項＞を追加。
352		「■PPG 制御ステータスレジスタ(PCNn)」 [bit3, bit2] IRS1, IRS0 のビット表の記述を訂正。
374, 375	4. 使用上の注意	「■使用上の注意」 図中 4T に訂正。 記述の訂正と追加。
422	CHAPTER: 外部割込み 3. 外部割込み機能の使用上の注意	「■DMA を使用するための外部回路の動作条件」の下記記述を削除。 DMA 転送を開始するための外部割込みの適切な使用法については、アプリケーションノート MCU-AN-300203-e を参照してください。
424	CHAPTER: A/D コンバータ	「■A/D コンバータの概要」 「・選択可能な起動要因」の記述を訂正。
425	1. 概要	「図 1-1 A/D コンバータブロックダイアグラム」 図中の記述を訂正。
427	3. 変換データ保護機能	「■A/D 変換データ保護機能」の動作説明を訂正。
451	8. A/D コンバータのレジスタ	「■A/D 制御状態レジスタ(ADCSH)」 ＜注意事項＞の記述を訂正。
453	8.1. A/D 制御状態レジスタ (ADCS)	「■A/D 制御状態レジスタ(ADCSH)」 [bit11, bit10] STS1, STS0 のビット表の項目名を訂正。
454	8. A/D コンバータのレジスタ 8.1. A/D 制御状態レジスタ (ADCS)	「■A/D 制御状態レジスタ(ADCSH)」 [bit11, bit10] STS1, STS0 の＜注意事項＞の記述を訂正。 「■A/D 制御状態レジスタ(ADCSH)」 [bit9] STRT の＜注意事項＞の記述を訂正。
486	8.14. ADC パルスカウンタレジスタ (ADPCTNCT0～31/ADPCTPCT0～31)	「■ADC パルスポジティブカウンタ(ADPCTPCT0～31)」 [bit7～bit0] PCR7～PCR0 のビット説明を訂正。
491	8.17. アナログ入力許可レジスタ(ADER0～3)	「■アナログ入力許可レジスタ(ADER0～3)」 ＜注意事項＞に記述を追加。

ページ	場所	変更箇所
499	CHAPTER: A/D コンバータトリガ	「■ADC トリガ入力選択上位(ADTGISELHn)」 [bit12~bit8]PP4~PP0 の記述を訂正。
500	3. レジスタ 3.2. ADC トリガ入力選択 (ADTGISELn)	「■ADC トリガ入力選択下位(ADTGISELLn)」 [bit2~bit0]RLT2~RLT0 へ"111"設定を追加。
503	CHAPTER: USART 1. 概要	「表 1-1 USART の機能」 「項目：割込み要求」の記述を訂正。 「項目：LIN バスオプション」に記述を追加。
504		「表 1-1 USART の機能」 <注意事項>の記述を訂正。
505		「■USART の動作モード」の記述を訂正。 「表 1-2 USART の動作モード」の記述を訂正。
507	2. 構成	「図 2-1 USART のブロックダイアグラム」を訂正。
509		「●チェックサム生成/照合回路」に記述を追加。
511		「●チェックサムステータス制御レジスタ (CSCRn)」に 記述を追加。
513	4. 動作	「表 4-1 USART の動作モード」の記述を訂正。
514		「■動作許可ビット」 ビット名を TDRE に訂正。
516	4.1. 非同期モード(動作 モード 0, 1) での動作	「●受信動作」 ESIRn:RDRF のクリア方法を訂正。
518	4.2. 同期モード(動作モード 2) での動作	「●クロック供給」の記述を訂正。
519		「●クロック供給」に<注意事項>を追加。
522	4.3. LIN モードでの USART の機能	「●メッセージ長に関する LIN-Checksum 処理」に 記述を追加。 「●LIN-Checksum 照合」 レジスタ名を CSCR に訂正。 <注意事項>の記述を訂正。
522	4. 動作	「●バスエラーの検出」の記述を訂正。
523	4.3. LIN モードでの USART の機能	「図 4-6 内部ループバック機能の概略図」 出力端子名を SOT に訂正。
525	4.4. LIN 機能(動作モード 3) の動作	「●LIN スレーブとしての動作」の記述を訂正。
527		「図 4-9 LIN バスタイミングと USART 信号 (自動ヘッダ検出なし)」 を訂正。
530	4.6. 双方向通信機能(ノーマル モード)	「図 4-11 USART 動作モード 0 または 2 の設定」を訂正。
531		「図 4-12 USART 動作モード 0 または 2 の設定 (続き)」を訂正。
533	4.7. マスタ/スレーブ通信 機能(マルチプロセッサ モード)	「図 4-15 USART 動作モード 1 の設定」を訂正。
534		「図 4-16 USART 動作モード 1 の設定 (続き)」を訂正。
537	4.8. LIN 通信機能	「図 4-19 USART 動作モード 3 (LIN) の設定」を訂正。
538		「図 4-20 USART 動作モード 3 の設定 (続き)」を訂正。

ページ	場所	変更箇所
542	4.9. LIN 通信での USART(動作モード 3) のフローチャート例	「図 4-24 USART のマスタデバイスのフローチャート(すべての追加機能使用時)」の下記処理ブロックを削除。  ハードウェアにより SCR:TXE := 1 設定 ハードウェアにより SCR:TXE := 0 設定
545		「図 4-27 USART のスレーブデバイス (すべての追加機能使用時) (続き)」を訂正。
546	5. 割込み	サマリの記述を訂正。
546, 547		「表 5-1 LIN-USART の割込み制御ビットおよび割込み要因」以下の項目名を削除。  試験モード
		「表 5-1 LIN-USART の割込み制御ビットおよび割込み要因」注釈*2 の記述を訂正。
547		「■LIN-USART 割込み」 ＜注意事項＞の記述を訂正。
548		「●受信割込み」 レジスタ名を CSCR に訂正。(3 カ所)
		「●受信割込み」 レジスタ名を SMR に訂正。
549		「●送信割込み」 レジスタ名を SMR に訂正。
		「●LIN sync break 割込み」 10.5 ビット時間に記述を訂正。
550		「表 5-2 周波数ごとの Sync field タイムアウト時間の計算例」 Sync field タイムアウト時間を訂正。
551		「●バスエラー割込み」の記述を訂正。
557	5. 割込み 5.2. 送信割込みの生成とフラグのセットタイミング	「■TIE を使用した送信割込みの生成とフラグのセットタイミング」 ＜注意事項＞の記述を訂正。
572	7. レジスタ 7.1. シリアル制御レジスタ(SCRn)	「■シリアル制御レジスタ (SCRn)」 [bit10] CRE に＜注意事項＞を追加。
		「■シリアル制御レジスタ(SCRn)」 [bit9] RXE の＜注意事項＞に記述を追加。
573	7.2. シリアルモードレジスタ(SMRn)	「■シリアルモードレジスタ(SMRn)」 [bit7, bit6] MD1 および MD0 の＜注意事項＞の記述を訂正。
574, 575		「■シリアルモードレジスタ(SMRn)」 [bit2] UPCL の記述を訂正, ＜注意事項＞を追加。
577	7.3. シリアルステータスレジスタ(SSRn)	「■シリアルステータスレジスタ(SSRn)」 [bit15] PE の記述を訂正。
578		「■シリアルステータスレジスタ(SSRn)」 [bit12] RDRF 記述中のレジスタ名を RFCRn に訂正。
579		「■シリアルステータスレジスタ(SSRn)」 [bit11] TDRE の記述を訂正。

ページ	場所	変更箇所
581	7.4. 受信データレジスタ/ 送信データレジスタ (RDRn/TDRn)	「■受信データレジスタ/送信データレジスタ(RDRn/TDRn)」 レジスタ表の属性と初期値を訂正。
583		「●送信」 <注意事項>に記述を追加。
584	7.5. 拡張ステータス制御 レジスタ(ESCRn)	「■拡張ステータス制御レジスタ(ESCRn)」 [bit14] LBD の記述を訂正。
585		「■拡張ステータス制御レジスタ(ESCRn)」 [bit13, bit12] LBL1/0 の記述を 10.5 ビットに訂正。
591, 592	7.8. 拡張シリアル割込み レジスタ(ESIRn)	「■拡張シリアル割込みレジスタ(ESIRn)」 [bit3] TDRE, [bit2] RDRF, [bit1] RBI に記述を追加。
593		「■拡張シリアル割込みレジスタ (ESIRn)」 [bit0] AICD の記述を訂正。
598	7.11. 送信 FIFO ステータ スレジスタ(TFSRn)	「■送信 FIFO ステータスレジスタ(TFSRn)」 [bit15~bit13] 未定義の読出し値を訂正。
599	7.12. 受信 FIFO ステー タスレジスタ(RFSRn)	「■受信 FIFO ステータスレジスタ(RFSRn)」 [bit7~bit5] 未定義の読出し値を訂正。
601	7.14. チェックサムステー タス制御レジスタ(CSCRn)	「■チェックサムステータス制御レジスタ(CSCRn)」 [bit6] CRCERR に記述を追加。
602		「■チェックサムステータス制御レジスタ(CSCRn)」 [bit3] CRCGEN に記述を追加。
603		「■チェックサムステータス制御レジスタ(CSCRn)」 [bit2~bit0] DL に<注意事項>を追加。 「●チェックサム許可」の表 ビット名を CRCHECK に訂正。
603	7. レジスタ 7.14. チェックサムステー タス制御レジスタ CSCRn)	「●チェックサム許可」 <注意事項>に記述を追加。
605	7.16. 拡張機能許可レジ スタ(EFERLn)	「■拡張機能許可レジスタ(EFERLn)」 [bit6] OSDE に<注意事項>を追加。
608	7.17. 拡張機能許可レジ スタ(EFERHn)	「■拡張機能許可レジスタ(EFERHn)」 [bit10]DBE の<注意事項>の端子名を SOT に訂正。
611	7.18. 拡張割込み許可レジ スタ(EIERn)	「■拡張割込み許可レジスタ(EIERn)」 [bit1] BUSERRIE の記述を訂正。
613	7.19. 拡張ステータスレジ スタ(ESRn)	「■拡張ステータスレジスタ(ESRn)」 [bit10] BUSERR の記述を訂正。



ページ	場所	変更箇所
615	8. 使用上の注意	「●LIN 動作モード3の使用」 10.5 ビット長に記述を訂正。
616		「●動作設定の変更」の記述を訂正。
617		「●AD ビット(シリアル制御レジスタ(SCRn): アドレス/ データ形式選択ビット)」の記述を訂正。
617		「●LIN sync field の待ち状態」 10.5 ビット時間に記述を訂正。
619		「●LIN sync field の待ち状態」 レジスタ名を SMR に訂正。
619		「●受信エラーの影響と CRE ビット」 記述を訂正, 図 8-3 を訂正, 図 8-4 を削除。
620, 621		「●スタートビット検出」 記述を訂正。 図 8-5 から図 8-4 に図番号更新, 図 8-4 を訂正。 図 8-5 を追加。
622		「●拡張機能許可レジスタ(EFERLn)の OSDE ビットの設定」を追加。
626	CHAPTER: 400 kHz I <sup>2</sup> C インタフェース 2. 動作	「■スタート条件」の記述を訂正, <注意事項>を追加。 「■ストップ条件」の記述を訂正。
636	4. レジスタ 4.2 バスコントロールレジスタ(IBCRn)	「■バスコントロールレジスタ(IBCRn)」 [bit12] MSS のビット表に記述を追加。
642	4.3. 10 ビットスレーブアドレスレジスタ(ITBAn)	「■10 ビットスレーブアドレスレジスタ(ITBAn)」 [bit9~bit0] TA9~TA0 記述中のレジスタ名を ITBAL に訂正。
649	4.8. クロックコントロールレジスタ(ICCRn)	「■クロックコントロールレジスタ(ICCRn)」 [bit12~bit8] CS4~CS0 のビット表の記述(n=31) を訂正。
651	CHAPTER: CAN コントローラ	目次に<注意事項>を追加。
653	2. 機能の説明	「■ソフトウェアによる初期化」の記述を訂正。
658	3. CAN アプリケーション	「■メッセージオブジェクトの制御」の記述を訂正。
662		「■送信オブジェクトの更新」に<注意事項>を追加。
663	3. CAN アプリケーション	「■受信したメッセージの処理」の記述を訂正。
664		「■FIFO バッファの構成」に<注意事項>を追加。
664		「■FIFO バッファの構成」の後に、「■FIFO バッファによるメッセージ受信」を追加。
666		「■割込みの処理」の記述を訂正。
669	4. 各レジスタの説明	「表 4-1 CAN レジスタ一覧」 TESTRLn の初期値を訂正。



ページ	場所	変更箇所
676	6. CAN プロトコル関連のレジスタ 6.1. CAN 制御レジスタ (CTRLRn)	「■CAN 制御レジスタ(CTRLRn)」 [bit7] TEST に<注意事項>を追加。
677		「■CAN 制御レジスタ(CTRLRn)」 [bit6] CCE の記述を訂正。
		「■CAN 制御レジスタ(CTRLRn)」 [bit5] DAR に記述を追加。
679		「■CAN 制御レジスタ(CTRLRn)」 [bit5] DAR の<注意事項>を訂正および追加。
		「■CAN 制御レジスタ(CTRLRn)」 [bit0] INIT の<注意事項>を訂正および追加。
683	6.2. ステータスレジスタ (STATRn)	「■ステータス割込み」を<注意事項>に訂正。
684	6.3. エラーカウンタ (ERRCNTn)	「■エラーカウンタ(ERRCNTn)」 [bit14~bit8] REC6~REC0 に記述を追加。
		「■エラーカウンタ(ERRCNTn)」 [bit7~bit0] TEC7~TEC0 に記述を追加。
686	6.4. ビットタイミングレジスタ (BTRn)	「■ビットタイミングレジスタ(BTRn)」 [bit5~bit0] BRP の<注意事項>の記述を訂正。
687	6.5. テストレジスタ (TESTRn)	「■テストレジスタ(TESTRn)」 レジスタ表のレジスタ名と bit7 の初期値を訂正。
692	7. メッセージインタフェースレジスタセット 7.1. IFx コマンドリクエストレジスタ (IFxCREQn)	サマリの記述を訂正。 「■IFx コマンドリクエストレジスタ(IFxCREQn)」に 記述を追加。
692, 693		「■IFx コマンドリクエストレジスタ(IFxCREQn)」 [bit15] BUSY の記述を訂正。
694		「■IFx コマンドリクエストレジスタ(IFxCREQn)」 <注意事項>の記述を訂正。
695	7.2. IFx コマンドマスクレジスタ (IFxCMSKn)	「■IFx コマンドマスクレジスタ(IFxCMSKn)」 [bit7] WRRD の記述を訂正。
		「■IFx コマンドマスクレジスタ(IFxCMSKn)」 [bit7] WRRD に<注意事項>を追加。
697		「■IFx コマンドマスクレジスタ(IFxCMSKn)」 「■方向=ライト」に<注意事項>を追加。
698		「■IFx コマンドマスクレジスタ(IFxCMSKn)」 「■方向=リード」の<注意事項>の記述を訂正。
700	7. メッセージインタフェースレジスタセット 7.4. IFx アービトレーションレジスタ (IFxARB1n, IFxARB2n)	「■IFx アービトレーションレジスタ(IFxARB1n, IFxARB2n)」に<注意事項>を追加。
701	7.5. IFx メッセージ制御レジスタ (IFxMCTRn)	「■IFx メッセージ制御レジスタ(IFxMCTRn)」に <注意事項>を追加。

ページ	場所	変更箇所
702	7.6. IFx データ A およびデータ B レジスタ (IFxDTA1n, IFxDTA2n, IFxDTB1n, IFxDTB2n)	「■IFx データ A およびデータ B レジスタ(IFxDTA1n, IFxDTA2n, IFxDTB1n, IFxDTB2n)」に<注意事項>を追加。
703	8. メッセージメモリ内のメッセージオブジェクト	「■メッセージメモリ内のオブジェクトの構造」 「MSGVAL: メッセージ有効」の<注意事項>の記述を訂正。
704		「■メッセージメモリ内のオブジェクトの構造」 「UMASK: アクセプタンスマスク使用」の<注意事項>の記述を訂正。
705		「■メッセージメモリ内のオブジェクトの構造」 「DIR: メッセージの方向」の記述を訂正。
		「■メッセージメモリ内のオブジェクトの構造」 MDIR ビット説明の下に<注意事項>を追加。
707		「■メッセージメモリ内のオブジェクトの構造」 「RMTEN: リモート許可」に<注意事項>を追加。
708		「■メッセージメモリ内のオブジェクトの構造」 「TXRQST: 送信リクエスト」の<注意事項>を訂正および追加。
		「■メッセージメモリ内のオブジェクトの構造」 「DLC3～DLC0: データ長コード」の記述を訂正。
712	9. メッセージハンドラのレジスタ 9.1. 割込みレジスタ (INTRn)	「■割込みレジスタ(INTRn)」に<注意事項>を追加。
714	9.2. 送信リクエストレジスタ (TREQR1n, TREQR2n)	「■送信リクエストレジスタ(TREQR1n, TREQR2n)」に セット/リセット条件を追加。
		「■送信リクエストレジスタ(TREQR1n, TREQR2n)」 <注意事項>を訂正および追加。
717	9.3. 新規データレジスタ (NEWDT1n, NEWDT2n)	「■新規データレジスタ(NEWDT1n, NEWDT2n)」に セット/リセット条件を追加。
719	9.4. 割込み保留レジスタ (INTPND1n, INTPND2n)	「■割込み保留レジスタ(INTPND1n, INTPND2n)」に セット/リセット条件を追加。
720	9.5. メッセージ有効レジスタ(MSGVAL1n, MSGVAL2n)	「■メッセージ有効レジスタ(MSGVAL1n, MSGVAL2n)」 「MSGVAL32～MSGVAL1: メッセージ有効ビット(すべてのメッセージオブジェクト)」の記述を訂正。
721		「■メッセージ有効レジスタ(MSGVAL1n, MSGVAL2n)」に セット/リセット条件を追加。
724	CHAPTER: クロック出力機能 1. 概要	「■クロック出力機能のブロック図(1 チャネル)」 ビット名を CKOXE, CKOE に訂正。
736	CHAPTER: リアルタイムクロック 2. 動作	「図 2-1 リアルタイムクロックの動作」 「(5) WTCR と WTCER レジスタ」の表記を追加。

ページ	場所	変更箇所
739	3. レジスタ 3.1. タイマ制御レジスタ (WTCR)	「■タイマ制御レジスタ(WTCR)」 [bit15] INTE3, [bit14] INT3 の記述を訂正。
740		「■タイマ制御レジスタ(WTCR)」 [bit13] INTE2, [bit12] INT2 の記述を訂正。
		「■タイマ制御レジスタ(WTCR)」 [bit11] INTE1, [bit10] INT1 の記述を訂正。
740, 741		「■タイマ制御レジスタ(WTCR)」 [bit9] INTE0, [bit8] INT0 の記述を訂正。
743	3.2. タイマ制御拡張レジスタ(WTCER)	「■タイマ制御拡張レジスタ(WTCER)」 [bit1] INTE4, [bit0] INT4 の記述を訂正。
745	3.3. クロック選択レジスタ(WTCKSR)	「■クロック選択レジスタ(WTCKSR)」 [bit15～bit10]に未定義の記述を追加。
746	3.4. サブセカンドレジスタ(WTBR)	「■サブセカンドレジスタ(WTBR)」 [bit7～bit5]に未定義の記述を追加。
748	3.5. 時/分/秒レジスタ(WTHR, WTMR, WTSR)	「■時/分/秒レジスタ(WTHR, WTMR, WTSR)」 レジスタ表の初期値の訂正と注釈を追加。
		「■時/分/秒レジスタ(WTHR, WTMR, WTSR)」 WTSR [bit15, bit14] 未定義 と WTHR/WTMR [bit15～bit13, bit7, bit6]に未定義の記述を追加。
749		「■時/分/秒レジスタ(WTHR, WTMR, WTSR)」 「使用上の注意」の記述を訂正。
750	4. 注意事項	「■注意事項」の記述を訂正。
758	CHAPTER: クロック補正ユニット	「■クロック補正ユニット制御レジスタ(CUCR)」 レジスタ表の下に属性説明を追加。
759	2. レジスタ 2.1. クロック補正ユニット制御レジスタ(CUCR)	「■クロック補正ユニット制御レジスタ(CUCR)」 [bit2] CKSEL 記述中のレジスタ名を CKFCR に訂正。
763	3. アプリケーションノート	「■100 kHz」の記述を訂正。
764		「■電力消費」の下記記述を削除。  一般的に推奨されるタイマモードでの電力増加理論値は 5%です。
787	CHAPTER: LCD コントローラ/ドライバ 6. 注意事項	「表 6-1 MCU タイマモードまたは MCU ストップモード以外での LCD 動作」の動作条件を訂正。
791	CHAPTER: ステッピングモータコントローラ 2. 構成	「図 2-1 ステッピングモータコントローラのブロックダイアグラム」に注釈を追加。
795	3. 動作説明	「■ステッピングモータコントローラの同期機構」の記述を訂正。
798	4. 設定手順例	「●ステッピングモータコントローラ端子のポート設定」に記述を追加。
808	5. レジスタ 5.4. PWM1,PWM2 選択レジスタ(PWS1,PWS2)	「■PWM2 選択レジスタ(PWS2)」 <注意事項>の記述を訂正。
810	6. 使用上の注意	「■ステッピングモータコントローラ端子のポート設定」を追加。

ページ	場所	変更箇所
834	CHAPTER: デュアルオペレーションフラッシュメモリ	「図 2-1 フラッシュメモリのブロックダイアグラム」 図中の AQ-1 を削除。
836	2. ブロックダイアグラムとセクタ構成	「図 2-2 フラッシュメモリのセクタ構成」 SA32~SA35 の CPU モードアドレスを訂正。
842	5. 自動アルゴリズム実行状態の確認	「表 5-2 ハードウェアシーケンスフラグとステータスレジスタの機能」の記述を訂正。
846	5.3. タイミングリミット超過フラグ(DQ[13,5])	「●書込みとセクタ消去」 ＜注意事項＞の記述を訂正。
852	6. 書込み/消去の詳細説明 6.2. 書込みコマンドシーケンスでのデータ書込み	「図 6-1 フラッシュメモリ書込み手順の例」 2 回目の「書込みアドレスリード」を削除
853	6.3. 書込みコマンドシーケンスを使用したデータ書込み	「●書込みコマンドシーケンスの起動/停止」 レジスタ名を DFCA/DFCB: CSWE, WE に訂正。
854		「●IDLINT: アイドル割込み(DMA による書込み)」の記述を訂正。
		「●FININT: 終了割込み(CPU による書込み)」の下記記述を削除。  CPU 書込みと DMA クリア機能によって FININT フラグをクリアできます。
856	6.5. 任意データ消去(セクタ消去)	「●セクタ指定方法」の記述を訂正。
857		「図 6-2 フラッシュメモリのセクタ消去手順の例」に注釈を追加。
861	6.8. セクタ消去/書込み保護	「■ユーザプログラムを使用しない書込み保護の設定」 レジスタ名を FWPSMA0/4 に訂正。
862		「図 6-4 フラッシュメモリ書込み保護セクタマーカ(FWPSMA0, FWPSMA4, FWPSMB0, FWPSMB3)の構成」 FWPSMA0/4 と FWPSMB0/3 のアドレスを追加。
867	7. レジスタ 7.2. デュアルオペレーションフラッシュ割込み制御レジスタ (DFICA, DFICB)	「■デュアルオペレーションフラッシュ割込み制御レジスタ (DFICA, DFICB)」 [bit13] FININTE に記述を追加。
		「■デュアルオペレーションフラッシュ割込み制御レジスタ (DFICA, DFICB)」 [bit12] IDLINTE に記述を追加。
872	7.4. デュアルオペレーションフラッシュ割込みステータスレジスタ (DFISA, DFISB)	「■デュアルオペレーションフラッシュ割込みステータスレジスタ (DFISA, DFISB)」 レジスタ表の下に属性説明を追加。
876	7. レジスタ 7.5. デュアルオペレーションフラッシュ書込みアクセス制御レジスタ 0~1 (DFWC0A, DFWC0B, DFWC1A, DFWC1B)	「■デュアルオペレーションフラッシュ書込みアクセス制御レジスタ 0~1 (DFWC0A, DFWC0B, DFWC1A, DFWC1B)」 DFWC0B [bit7~bit5] と DFWC0A [bit15~bit13]に未定義の記述を追加。
878	8. 使用上の注意	「●フラッシュメモリへの書込みアクセス」の記述を訂正。

ページ	場所	変更箇所
893	CHAPTER: フラッシュセキュリティ 2. 使用方法	「■フラッシュセキュリティを許可する」 マーカ名を MSUKB0～MSUKB15 に訂正。
894		「■フラッシュセキュリティを許可する」 <注意事項>に記述を追加。 「■フラッシュセキュリティを解除する」の下記記述を削除。 UART を介して解除キーを送信する方法の詳細については、アプリケーションノートの MCU-AN-300213-E を参照してください。 「■フラッシュセキュリティを解除する」の<注意事項> マーカ名を MSUKB0～15 に訂正。
926	CHAPTER: オンチップデバッグ 3. 動作 3.3. デバッグツール接続時の仕様制限	「3.3.2 スタンバイモード」の記述を訂正。
935	4. レジスタ 4.2. ユーザイベントレジスタ(UER)	「■ユーザイベントレジスタ(UER)の構成」 レジスタ表の bit0 属性を訂正。
936	4.3. メッセージバッファレジスタ (MBR)	「■メッセージバッファレジスタ(MBR)の構成」 レジスタ表の bit7～bit0 属性を訂正。
941	付録	目次に<注意事項>を追加。
981, 1005, 1029, 1051, 1068, 1086, 1112, 1139, 1165	C. MB96630 の I/O マップ D. MB96640 の I/O マップ E. MB96650 の I/O マップ F. MB96670 の I/O マップ G. MB96680 の I/O マップ H. MB96690 の I/O マップ I. MB966A0 の I/O マップ J. MB966B0 の I/O マップ K. MB966C0 の I/O マップ	「USART0 - 送信データレジスタ(TDR0)」の初期値を訂正。
1005, 1029, 1052, 1069, 1086, 1113, 1139, 1166	D. MB96640 の I/O マップ E. MB96650 の I/O マップ F. MB96670 の I/O マップ G. MB96680 の I/O マップ H. MB96690 の I/O マップ I. MB966A0 の I/O マップ J. MB966B0 の I/O マップ K. MB966C0 の I/O マップ	「USART1 - 送信データレジスタ(TDR1)」の初期値を訂正。

ページ	場所	変更箇所
945, 963, 982, 1005, 1029, 1087, 1113, 1140, 1166	付録 A. MB96610 の I/O マップ B. MB96620 の I/O マップ C. MB96630 の I/O マップ D. MB96640 の I/O マップ E. MB96650 の I/O マップ H. MB96690 の I/O マップ I. MB966A0 の I/O マップ J. MB966B0 の I/O マップ K. MB966C0 の I/O マップ	「USART2 - 送信データレジスタ(TDR2)」の初期値を訂正。
946, 964, 984, 1007, 1031, 1053, 1070, 1089, 1115, 1142, 1168	A. MB96610 の I/O マップ B. MB96620 の I/O マップ C. MB96630 の I/O マップ D. MB96640 の I/O マップ E. MB96650 の I/O マップ F. MB96670 の I/O マップ G. MB96680 の I/O マップ H. MB96690 の I/O マップ I. MB966A0 の I/O マップ J. MB966B0 の I/O マップ K. MB966C0 の I/O マップ	「クロックモニタレジスタ(CKMR)」の初期値の訂正と注釈を追加。
946, 965, 984, 1007, 1031, 1053, 1070, 1089, 1115, 1142, 1168	A. MB96610 の I/O マップ B. MB96620 の I/O マップ C. MB96630 の I/O マップ D. MB96640 の I/O マップ E. MB96650 の I/O マップ F. MB96670 の I/O マップ G. MB96680 の I/O マップ H. MB96690 の I/O マップ I. MB966A0 の I/O マップ J. MB966B0 の I/O マップ K. MB966C0 の I/O マップ	「リセット要因およびクロック状態レジスタ(RCCSRC)」, 「リセット構成レジスタ(RCR)」, 「リセット要因およびクロック状態レジスタ(RCCSR)」の初期値の訂正と注釈を追加。
948, 966, 967, 986, 1010, 1034, 1056, 1073, 1091, 1092, 1118, 1144, 1145, 1171	A. MB96610 の I/O マップ B. MB96620 の I/O マップ C. MB96630 の I/O マップ D. MB96640 の I/O マップ E. MB96650 の I/O マップ F. MB96670 の I/O マップ G. MB96680 の I/O マップ H. MB96690 の I/O マップ I. MB966A0 の I/O マップ J. MB966B0 の I/O マップ K. MB966C0 の I/O マップ	「RTC - 秒レジスタ(WTSR)」, 「RTC - 分レジスタ(WTMR)」, 「RTC - 時レジスタ(WTHR)」の初期値の訂正と注釈を追加。

ページ	場所	変更箇所
987, 1011, 1035, 1092, 1118, 1145, 1171	付録 C. MB96630 の I/O マップ D. MB96640 の I/O マップ E. MB96650 の I/O マップ H. MB96690 の I/O マップ I. MB966A0 の I/O マップ J. MB966B0 の I/O マップ K. MB966C0 の I/O マップ	「USART4 - 送信データレジスタ(TDR4)」の初期値を訂正。
987, 1011, 1035, 1092, 1118, 1145, 1171	C. MB96630 の I/O マップ D. MB96640 の I/O マップ E. MB96650 の I/O マップ H. MB96690 の I/O マップ I. MB966A0 の I/O マップ J. MB966B0 の I/O マップ K. MB966C0 の I/O マップ	「USART5 - 送信データレジスタ(TDR5)」の初期値を訂正。
949, 968, 988, 1011, 1035	A. MB96610 の I/O マップ B. MB96620 の I/O マップ C. MB96630 の I/O マップ D. MB96640 の I/O マップ E. MB96650 の I/O マップ	「USART7 - 送信データレジスタ(TDR7)」の初期値を訂正。
950, 968	A. MB96610 の I/O マップ B. MB96620 の I/O マップ	「USART8 - 送信データレジスタ(TDR8)」の初期値を訂正。
990, 1014, 1038, 1058, 1075, 1095, 1122, 1148, 1174	C. MB96630 の I/O マップ D. MB96640 の I/O マップ E. MB96650 の I/O マップ F. MB96670 の I/O マップ G. MB96680 の I/O マップ H. MB96690 の I/O マップ I. MB966A0 の I/O マップ J. MB966B0 の I/O マップ K. MB966C0 の I/O マップ	「CAN0 - テストレジスタ下位(TESTRL0)」の初期値を訂正。
951, 969	A. MB96610 の I/O マップ B. MB96620 の I/O マップ	「CAN2 - テストレジスタ下位(TESTRL2)」の初期値を訂正。
955, 973, 994, 1018, 1042, 1061, 1078, 1099, 1126, 1152, 1178	A. MB96610 の I/O マップ B. MB96620 の I/O マップ C. MB96630 の I/O マップ D. MB96640 の I/O マップ E. MB96650 の I/O マップ F. MB96670 の I/O マップ G. MB96680 の I/O マップ H. MB96690 の I/O マップ I. MB966A0 の I/O マップ J. MB966B0 の I/O マップ K. MB966C0 の I/O マップ	「PPG3-PPG0 - 汎用制御レジスタ 3(GCN30)」 を予約に訂正。



ページ	場所	変更箇所
955, 973, 995, 1019, 1043, 1100, 1127, 1153, 1179	付録 A. MB96610 の I/O マップ B. MB96620 の I/O マップ C. MB96630 の I/O マップ D. MB96640 の I/O マップ E. MB96650 の I/O マップ H. MB96690 の I/O マップ I. MB966A0 の I/O マップ J. MB966B0 の I/O マップ K. MB966C0 の I/O マップ	「PPG7-PPG4 - 汎用制御レジスタ 3(GCN31)」 を予約に訂正。
996, 1020, 1044	C. MB96630 の I/O マップ D. MB96640 の I/O マップ E. MB96650 の I/O マップ	「PPG11-PPG8 - 汎用制御レジスタ 3(GCN32)」 を予約に訂正。
956, 974, 997, 1021, 1045, 1101, 1128, 1154, 1180	A. MB96610 の I/O マップ B. MB96620 の I/O マップ C. MB96630 の I/O マップ D. MB96640 の I/O マップ E. MB96650 の I/O マップ H. MB96690 の I/O マップ I. MB966A0 の I/O マップ J. MB966B0 の I/O マップ K. MB966C0 の I/O マップ	「PPG15-PPG12 - 汎用制御レジスタ 3(GCN33)」 を予約に訂正。
954, 973, 994, 1018, 1042, 1061, 1078, 1099, 1126, 1152, 1178	A. MB96610 の I/O マップ B. MB96620 の I/O マップ C. MB96630 の I/O マップ D. MB96640 の I/O マップ E. MB96650 の I/O マップ F. MB96670 の I/O マップ G. MB96680 の I/O マップ H. MB96690 の I/O マップ I. MB966A0 の I/O マップ J. MB966B0 の I/O マップ K. MB966C0 の I/O マップ	「ユーザイベントレジスタ下位(UERL)」と 「メッセージバッファレジスタ下位(MBRL)」 の属性を訂正。
1143, 1169	J. MB966B0 の I/O マップ K. MB966C0 の I/O マップ	アドレス 00049C <sub>H</sub> ~00049E <sub>H</sub> に 「I/O ポート P08 - ポート high 駆動レジスタ(PHDR08)」, 「I/O ポート P09 - ポート high 駆動レジスタ(PHDR09)」, 「I/O ポート P10 - ポート high 駆動レジスタ(PHDR10)」 を追加。

注意事項: 以降の変更点に関しては、「改訂履歴」を参照してください。



# 改訂履歴



## 改訂履歴

文書名: MB96600 シリーズ F2MC-16FX ハードウェアマニュアル			
文書番号: 002-05522			
版	ECN 番号	変更者	変更内容
**	-	KSUN	サイプレスとしてドキュメントコード 002-05522 に登録しました。 本版の内容およびフォーマットに変更はありません。
*A	5853967	SSAS	これは英語版 002-05521 Rev.*A を翻訳した日本語版です。 社名変更と記述フォーマットの変換