



本ドキュメントは Cypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、「MB」から始まるシリーズ名、品名およびオーダ型格が記載されておりますが、これらはすべて「CY」から始まるシリーズ名、品名およびオーダ型格として、新規および既存のお客様に引き続き提供してまいります。

オーダ型格の調べ方について

1. www.cypress.com/pcn にアクセスしてください。
2. SEARCH PCNS フィールドに、オーダ型格などのキーワードを入力し、「Apply」をクリックしてください。
3. 該当するタイトル(Title)をクリックしてください。
4. 「Affected Parts List」ファイルを開いてください。
当該ファイルに記載されている各種変更情報をご利用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレスは、世界で最も革新的な車載や産業機器、スマート家電、民生機器および医療機器製品向けに、最先端の組み込みシステム ソリューションを提供するリーディングカンパニーです。サイプレスのマイクロコントローラーや、アナログ IC、ワイヤレスおよび USB ベースのコネクティビティ ソリューション、高い信頼性と高性能を提供するメモリ製品は、各種機器メーカーの差異化製品の開発と早期市場参入を支援します。サイプレスは、ベストクラスのサポートと開発リソースをグローバルに提供することで、彼らが従来市場を破壊しまったく新しい製品カテゴリを歴史的なスピードで市場投入できるよう支援します。詳細はサイプレスのウェブサイト (japan.cypress.com) をご覧ください。



MB95F332H/F332K/F333H/F333K/F334H/F334K

F²MC-8FX MB95330H Series 8-bit Microcontrollers

MB95330H シリーズは、コンパクトな命令体系に加えて、豊富な周辺機能を内蔵した汎用ワンチップマイクロコントローラです。

特長

F²MC-8FX CPU コア

コントローラに最適な命令体系

- 乗除算命令
- 16 ビット演算
- ビットテストによるブランチ命令
- ビット操作命令など

クロック

- 選択可能なメインクロックソース
メイン 発振クロック (最大 16.25 MHz, 最大マシクロック周波数: 8.125 MHz)
外部クロック (最大 32.5 MHz, 最大マシクロック周波数: 16.25 MHz)
メイン CR クロック (1/8/10/12.5 MHz $\pm 2\%$, 最大マシクロック周波数: 12.5 MHz)
- 選択可能なサブクロックソース
サブ 発振クロック (32.768 kHz)
外部クロック (32.768 kHz)
サブ CR クロック (標準: 100 kHz, 最小: 50 kHz, 最大: 200 kHz)

タイマ

- 8/16 ビット複合タイマ $\times 2$ チャンネル
- 8/16 ビット PPG $\times 3$ チャンネル
- 16 ビット PPG $\times 1$ チャンネル (マルチパルスジェネレータと連動, または独立して動作可能)
- 16 ビットリロードタイマ $\times 1$ チャンネル (マルチパルスジェネレータと連動, または独立して動作可能)
- タイムベースタイマ $\times 1$ チャンネル
- 時計プリスケラ $\times 1$ チャンネル

UART/SIO $\times 1$ チャンネル

- 全二重ダブルバッファ
- クロック非同期 (UART) のシリアルデータ転送およびクロック同期 (SIO) のシリアルデータ転送が可能

I²C $\times 1$ チャンネル

- ウェイクアップ機能内蔵

マルチパルスジェネレータ (MPG) (DC モータ制御用) $\times 1$ チャンネル

- 16 ビットリロードタイマ $\times 1$ チャンネル
- 16 ビット PPG タイマ $\times 1$ チャンネル
- 波形シーケンサ (16 ビットタイマ, バッファおよびコンペアクリア機能付き)

LIN-UART

- 全二重ダブルバッファ
- クロック同期のシリアルデータ転送およびクロック非同期のシリアルデータ転送が可能

外部割込み $\times 10$ チャンネル

- エッジ検出による割込み (立上りエッジ, 立下りエッジ, および両エッジから選択可能)
- 各種の低消費電力 (スタンバイ) モードからの解除としても使用可能

8/10 ビット A/D コンバータ $\times 8$ チャンネル

- 8 ビットまたは 10 ビット分解能の選択可能

低消費電力 (スタンバイ) モード

- ストップモード
- スリープモード
- 時計モード
- タイムベースタイマモード

I/O ポート

- MB95F332H/F333H/F334H (最大ポート数: 28)
汎用入出力ポート (N-ch オープンドレイン): 3 本
汎用入出力ポート (CMOS 入出力): 25 本
- MB95F332K/F333K/F334K (最大ポート数: 29)
汎用入出力ポート (N-ch オープンドレイン): 4 本
汎用入出力ポート (CMOS 入出力): 25 本

オンチップデバッグ

- 1 線式シリアル制御
- シリアル書込みサポート (非同期モード)

ハードウェア / ソフトウェアウォッチドッグタイマ

- ハードウェアウォッチドッグタイマ内蔵

低電圧検出リセット回路

- 低電圧検出器内蔵

クロックスーパーバイザカウンタ

- クロックスーパーバイザカウンタ機能内蔵

ポートの入力電圧レベルを変更可能

- CMOS 入力レベル / ヒステリシス入力レベル

デュアルオペレーションフラッシュメモリ

- 消去 / 書込み動作・読み込み動作は、異なったバンク (上位バンク / 下位バンク) で同時に行うことができます。

フラッシュメモリセキュリティ機能

- フラッシュメモリ内容を保護

Contents

特長.....	1
1. 品種構成	4
2. パッケージと品種対応	6
3. 品種間の相違点と品種選択時の注意事項	6
4. 端子配列図	7
5. 端子機能説明	9
6. 入出力回路形式	13
7. デバイス使用上の注意	15
8. 端子接続について	16
9. ブロックダイアグラム	17
10. CPUコア	18
11. I/O マップ	19
12. 割込み要因のテーブル	25
13. 電気的特性	26
13.1 絶対最大定格	26
13.2 推奨動作条件	28
13.3 直流規格	29
13.4 交流規格	32
13.5 A/D コンバータ	49
13.6 フラッシュメモリ書込み / 消去特性	53
14. 特性例	54
15. マスクオプション	59
16. オーダ型格	60
17. パッケージ・外形寸法図	61
改訂履歴	64
セールス , ソリューションおよび法律情報	65

1. 品種構成

項目 \ 品種	MB95F332H	MB95F333H	MB95F334H	MB95F332K	MB95F333K	MB95F334K
分類	フラッシュメモリ品					
クロックスーパーバイザカウンタ	メインクロックの発振を監視					
ROM 容量	8 K バイト	12 K バイト	20 K バイト	8 K バイト	12 K バイト	20 K バイト
RAM 容量	240 バイト	496 バイト	1008 バイト	240 バイト	496 バイト	1008 バイト
低電圧検出 リセット	なし			あり		
リセット入力	専用のリセット入力あり			ソフトウェア選択		
CPU 機能	基本命令数 : 136 命令 命令ビット長 : 8 ビット 命令長 : 1 ～ 3 バイト データビット長 : 1, 8, 16 ビット長 最小命令実行時間 : 61.5 ns (マシニングクロック周波数 16.25 MHz 時) 割込み処理時間 : 0.6 μs (マシニングクロック周波数 16.25 MHz 時)					
汎用入出力	I/O ポート (最大) : 28 本 CMOS 入出力 : 25 本 N-ch オープンドレイン : 3 本			I/O ポート (最大) : 29 本 CMOS 入出力 : 25 本 N-ch オープンドレイン : 4 本		
タイムベース タイマ	割込み周期 : 0.256 ms ～ 8.3 s (外部クロック 4 MHz 時)					
ハードウェア / ソフトウェア ウォッチドッグ タイマ	リセット発生周期 メイン発振クロック 10 MHz 時 : 105 ms (最小) サブ CR クロックをハードウェアウォッチドッグのソースクロックとして使用可能					
ワイルドレジスタ	3 バイト分のデータ置換え可能					
LIN-UART	専用リロードタイマによって広範囲の通信速度の選択が可能 クロック同期のシリアルデータ転送およびクロック非同期のシリアルデータ転送が可能 LIN 機能は LIN マスタまたは LIN スレーブとして使用可能					
8/10 ビット A/D コンバータ	8 チャンネル 8 ビットまたは 10 ビット分解能の選択が可能					
8/16 ビット 複合タイマ	2 チャンネル タイマは 8 ビットタイマ×2 チャンネル, または 16 ビットタイマ×1 チャンネルとして構成可能 タイマ機能, PWC 機能, PWM 機能および入力キャプチャ機能内蔵 カウントクロック : 内部クロック (7 種類) および外部クロックから選択可能 方形波出力可能					
外部割込み	10 チャンネル エッジ検出による割込み (立上りエッジ, 立下りエッジ, または両エッジから選択可能) 各種スタンバイモードからの解除として使用可能					
オンチップ デバッグ	1 線式シリアル制御 シリアル書込みをサポート (非同期モード)					

項目 \ 品種	MB95F332H	MB95F333H	MB95F334H	MB95F332K	MB95F333K	MB95F334K
UART/SIO	1 チャンネル UART/SIO でのデータ転送可能 全二重ダブルバッファ、可変データ長 (5/6/7/8 ビット)、ボーレートジェネレータ内蔵、エラー検出機能 NRZ 方式転送フォーマット LSB ファースト / MSB ファーストのデータ転送が使用可能 クロック非同期 (UART) またはクロック同期 (SIO) のシリアルデータ転送が使用可能					
I ² C	1 チャンネル マスタ / スレーブ送受信 バスエラー機能、アービトレーション機能、転送方向検出機能、ウェイクアップ機能 スタートコンディションの繰り返し発生および検出機能					
8/16 ビット PPG	3 チャンネル タイマ 1 チャンネルにつき 8 ビットタイマ × 2 チャンネルまたは、16 ビットタイマ × 1 チャンネルとして使用可能 カウンタ動作クロック：8 種類のクロックソースから選択可能					
16 ビット PPG	PWM モードまたはワンショットモードが使用可能 カウンタ動作クロック：8 種類のクロックソースから選択可能 外部トリガ起動対応 マルチパルスジェネレータと連動、または独立して動作可能					
16 ビット リロードタイマ	2 つのクロックモードとカウンタ動作モードが使用可能 方形波出力可能 カウントクロック：内部クロック 7 種類および外部クロックから選択可能 2 つのカウンタ動作モード：リロードモード、ワンショットモード マルチパルスジェネレータと連動、または独立して動作可能					
マルチパルス ジェネレータ (DC モータ 制御用)	16 ビット PPG タイマ：1 チャンネル 16 ビット リロードタイマ動作：トグル出力、シングルショット出力選択可 イベントカウンタ：1 チャンネル 波形シーケンサ (16 ビットタイマにバッファ機能、コンペアクリア機能あり)					
時計プリスケアラ	8 種類のインターバル時間から選択可能					
フラッシュメモリ	自動プログラミング、Embedded Algorithm、 書込み / 消去 / 消去一時停止 / 消去再開コマンドをサポート アルゴリズム完了を示すフラグ 書込み / 消去回数：100000 回 データ保持期間：20 年間 フラッシュ内容を保護するフラッシュセキュリティ機能					
スタンバイモード	スリープモード、ストップモード、時計モード、タイムベースタイマモード					
パッケージ	FPT-32P-M30 DIP-32P-M06 LCC-32P-M19					

2. パッケージと品種対応

品種 パッケージ	MB95F332H	MB95F332K	MB95F333H	MB95F333K	MB95F334H	MB95F334K
FPT-32P-M30	○	○	○	○	○	○
DIP-32P-M06	○	○	○	○	○	○
LCC-32P-M19	○	○	○	○	○	○

○：使用可能

3. 品種間の相違点と品種選択時の注意事項

■ 消費電流

オンチップデバッグ機能を使用する場合は、フラッシュ消去 / プログラムの消費電流を考慮してください。

消費電流の詳細は、「13. 電気的特性」を参照してください。

■ パッケージ

各パッケージの詳細は、「2. パッケージと品種対応」および「17. パッケージ・外形寸法図」を参照してください。

■ 動作電圧

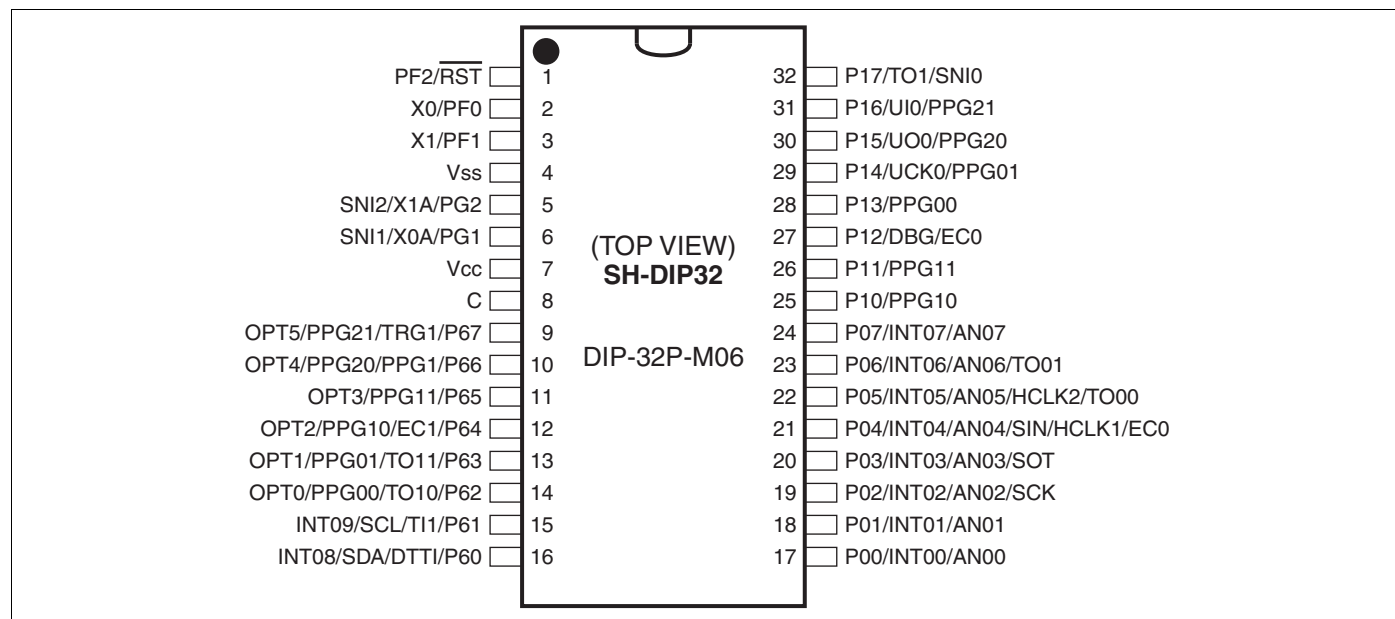
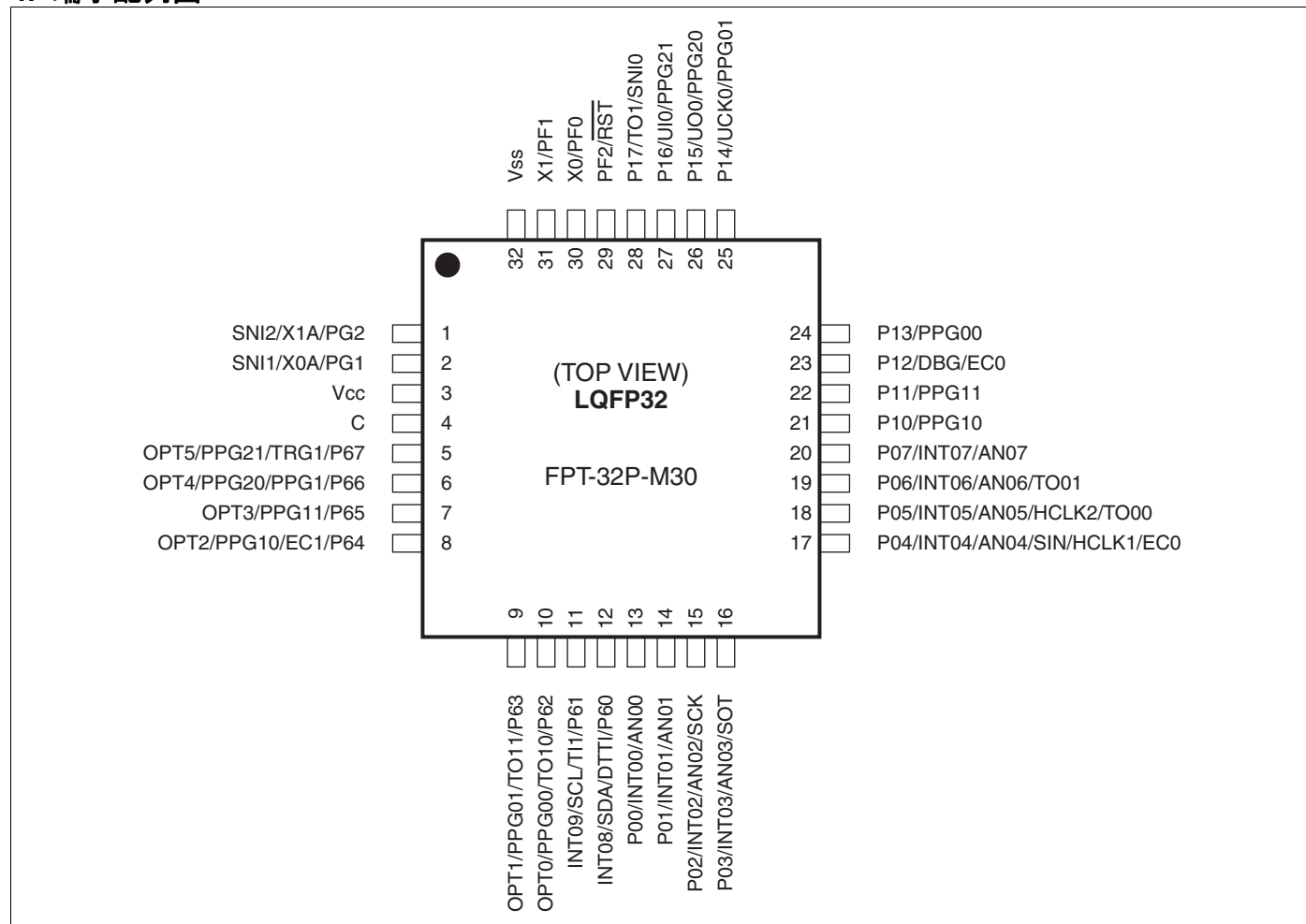
動作電圧は、オンチップデバッグ機能を使用するか使用しないかによって異なります。

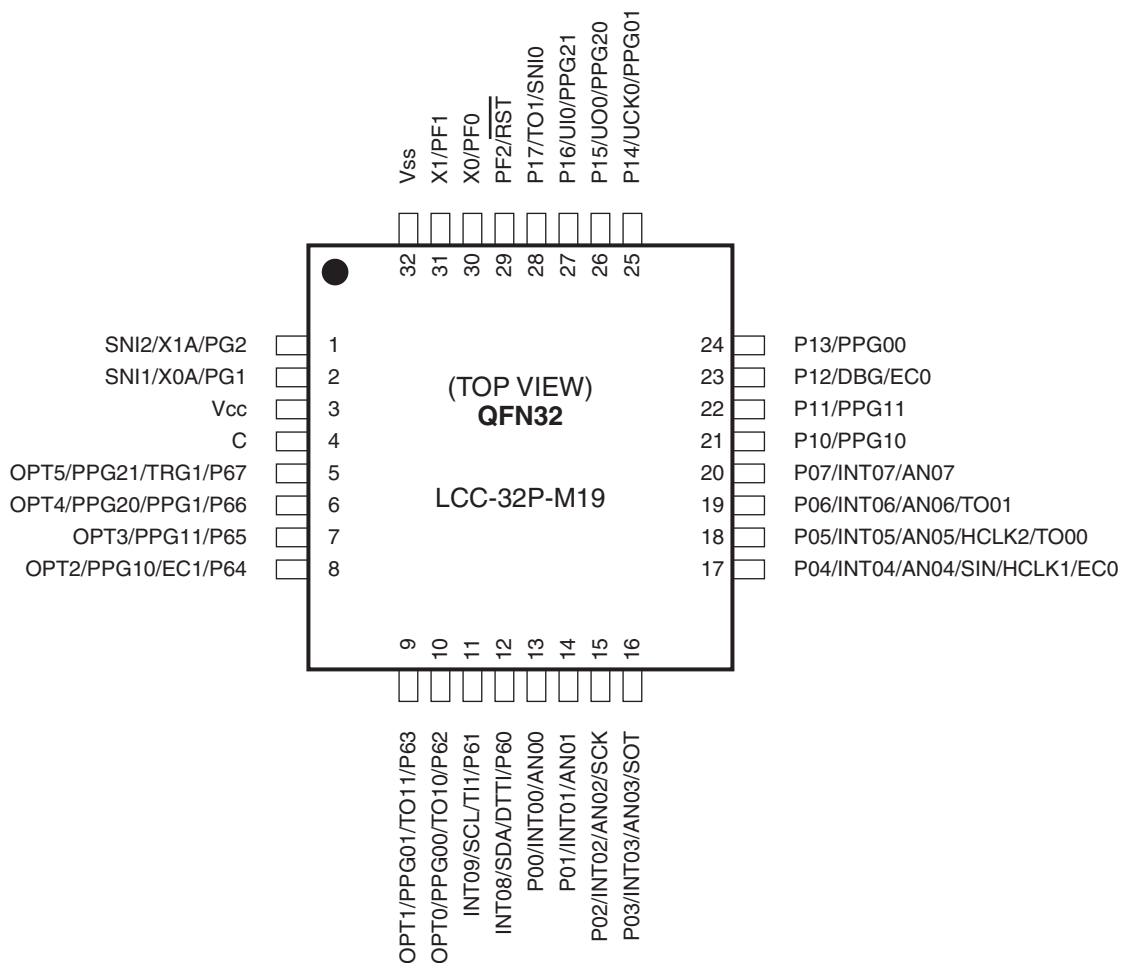
動作電圧の詳細は、「13. 電気的特性」を参照してください。

■ オンチップデバッグ機能

オンチップデバッグ機能を使用する場合は、 V_{CC} 、 V_{SS} 、および 1 本のシリアルケーブルを評価ツールに接続する必要があります。

4. 端子配列図





5. 端子機能説明

端子番号		端子名	入出力 回路形式 * 4	機能
LQFP32 * 1 & QFN32 * 2	SH-DIP32 * 3			
1	5	PG2	C	汎用入出力ポートです。
		X1A		サブクロック用入出力発振端子です。
		SNI2		MPG 波形シーケンサの位置検出機能用トリガ入力端子です。
2	6	PG1	C	汎用入出力ポートです。
		X0A		サブクロック用入力発振端子です。
		SNI1		MPG 波形シーケンサの位置検出機能用トリガ入力端子です。
3	7	V _{CC}	—	電源端子です。
4	8	C	—	コンデンサ接続端子です。
5	9	P67	D	汎用入出力ポートです。 大電流用端子です。
		PPG21		8/16 ビット PPG ch. 2 出力端子です。
		TRG1		16 ビット PPG ch. 1 トリガ入力端子です。
		OPT5		MPG 波形シーケンサ出力端子です。
6	10	P66	D	汎用入出力ポートです。 大電流用端子です。
		PPG20		8/16 ビット PPG ch. 2 出力端子です。
		PPG1		16 ビット PPG ch. 1 出力端子です。
		OPT4		MPG 波形シーケンサ出力端子です。
7	11	P65	D	汎用入出力ポートです。 大電流用端子です。
		PPG11		8/16 ビット PPG ch. 1 出力端子です。
		OPT3		MPG 波形シーケンサ出力端子です。
8	12	P64	D	汎用入出力ポートです。 大電流用端子です。
		EC1		8/16 ビット 複合タイマ ch. 1 クロック入力端子です。
		PPG10		8/16 ビット PPG ch. 1 出力端子です。
		OPT2		MPG 波形シーケンサ出力端子です。
9	13	P63	D	汎用入出力ポートです。 大電流用端子です。
		TO11		8/16 ビット 複合タイマ ch. 1 出力端子です。
		PPG01		8/16 ビット PPG ch. 0 出力端子です。
		OPT1		MPG 波形シーケンサ出力端子です。

端子番号		端子名	入出力 回路形式 * 4	機能
LQFP32 * 1 & QFN32 * 2	SH-DIP32 * 3			
10	14	P62	D	汎用入出力ポートです。 大電流用端子です。
		TO10		8/16 ビット 複合タイマ ch. 1 出力端子です。
		PPG00		8/16 ビット PPG ch. 0 出力端子です。
		OPT0		MPG 波形シーケンサ出力端子です。
11	15	P61	I	汎用入出力ポートです。
		INT09		外部割込み入力端子です。
		SCL		I ² C クロック入出力端子です。
		TI1		16 ビット リロードタイマ ch. 1 入力端子です。
12	16	P60	I	汎用入出力ポートです。
		INT08		外部割込み入力端子です。
		SDA		I ² C データ入出力端子です。
		DTTI		MPG 波形シーケンサ入力端子です。
13	17	P00	E	汎用入出力ポートです。
		INT00		外部割込み入力端子です。
		AN00		A/D コンバータアナログ入力端子です。
14	18	P01	E	汎用入出力ポートです。
		INT01		外部割込み入力端子です。
		AN01		A/D コンバータアナログ入力端子です。
15	19	P02	E	汎用入出力ポートです。
		INT02		外部割込み入力端子です。
		AN02		A/D コンバータアナログ入力端子です。
		SCK		LIN-UART クロック入出力端子です。
16	20	P03	E	汎用入出力ポートです。
		INT03		外部割込み入力端子です。
		AN03		A/D コンバータアナログ入力端子です。
		SOT		LIN-UART データ出力端子です。
17	21	P04	F	汎用入出力ポートです。
		INT04		外部割込み入力端子です。
		AN04		A/D コンバータアナログ入力端子です。
		SIN		LIN-UART データ入力端子です。
		HCLK1		外部クロック入力端子です。
		EC0		8/16 ビット 複合タイマ ch. 0 クロック入力端子です。

端子番号		端子名	入出力 回路形式 * 4	機能
LQFP32 * 1 & QFN32 * 2	SH-DIP32 * 3			
18	22	P05	E	汎用入出力ポートです。
		INT05		外部割込み入力端子です。
		AN05		A/D コンバータアナログ入力端子です。
		HCLK2		外部クロック入力端子です。
		TO00		8/16 ビット 複合タイマ ch. 0 出力端子です。
19	23	P06	E	汎用入出力ポートです。
		INT06		外部割込み入力端子です。
		AN06		A/D コンバータアナログ入力端子です。
		TO01		8/16 ビット 複合タイマ ch. 0 出力端子です。
20	24	P07	E	汎用入出力ポートです。
		INT07		外部割込み入力端子です。
		AN07		A/D コンバータアナログ入力端子です。
21	25	P10	G	汎用入出力ポートです。
		PPG10		8/16 ビット PPG ch. 1 出力端子です。
22	26	P11	G	汎用入出力ポートです。
		PPG11		8/16 ビット PPG ch. 1 出力端子です。
23	27	P12	H	汎用入出力ポートです。
		DBG		DBG 入力端子です。
		EC0		8/16 ビット 複合タイマ ch. 0 クロック入力端子です。
24	28	P13	G	汎用入出力ポートです。
		PPG00		8/16 ビット PPG ch. 0 出力端子です。
25	29	P14	G	汎用入出力ポートです。
		UCK0		UART/SIO ch. 0 クロック入出力端子です。
		PPG01		8/16 ビット PPG ch. 0 出力端子です。
26	30	P15	G	汎用入出力ポートです。
		UO0		UART/SIO ch. 0 データ出力端子です。
		PPG20		8/16 ビット PPG ch. 2 出力端子です。
27	31	P16	J	汎用入出力ポートです。
		UI0		UART/SIO ch. 0 データ入力端子です。
		PPG21		8/16 ビット PPG ch. 2 出力端子です。
28	32	P17	G	汎用入出力ポートです。
		TO1		16 ビット リロードタイマ ch. 1 出力端子です。
		SNI0		MPG 波形シーケンサの位置検出機能用トリガ入力端子です。
29	1	PF2	A	汎用入出力ポートです。
		$\overline{\text{RST}}$		リセット端子です。 MB95F332H/F333H/F334H では専用のリセット端子となります。

端子番号		端子名	入出力 回路形式 * 4	機能
LQFP32 * 1 & QFN32 * 2	SH-DIP32 * 3			
30	2	PF0	B	汎用入出力ポートです。
		X0		メインクロック用入力発振端子です。
31	3	PF1	B	汎用入出力ポートです。
		X1		メインクロック用入出力発振端子です。
32	4	V _{SS}	—	電源 (GND) 端子です。

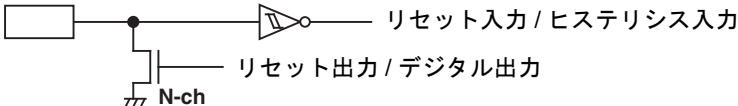
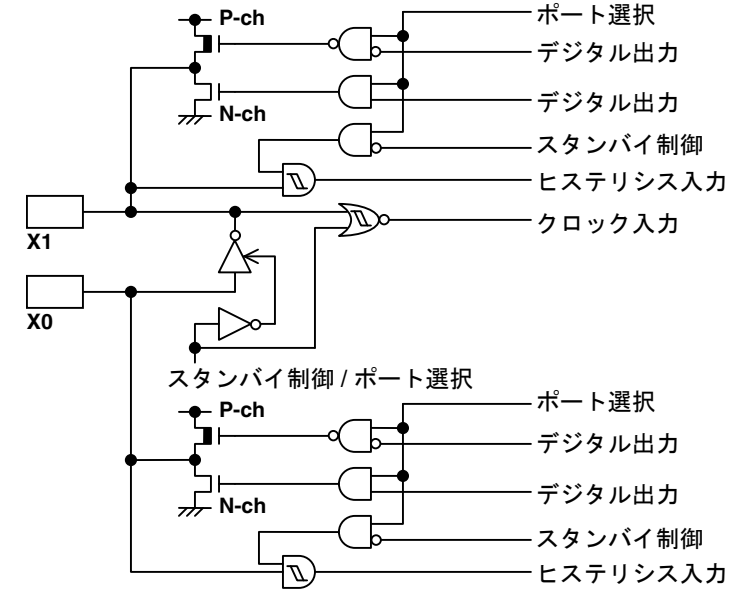
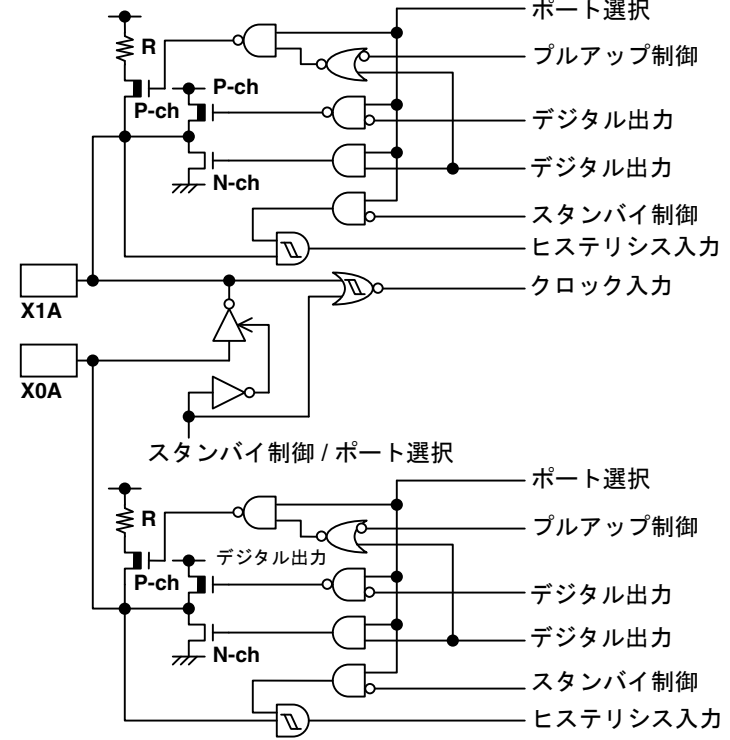
* 1 : FPT-32P-M30

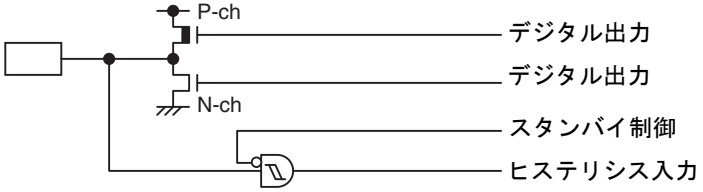
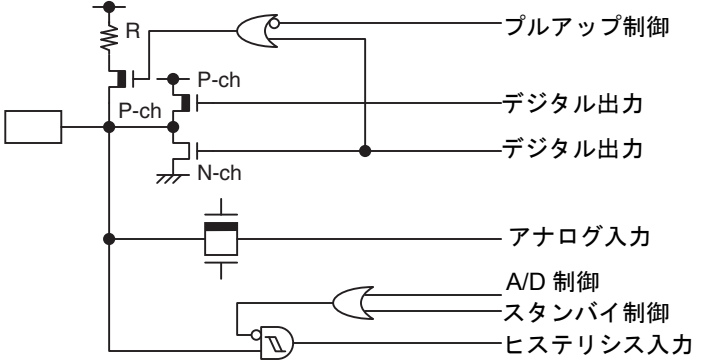
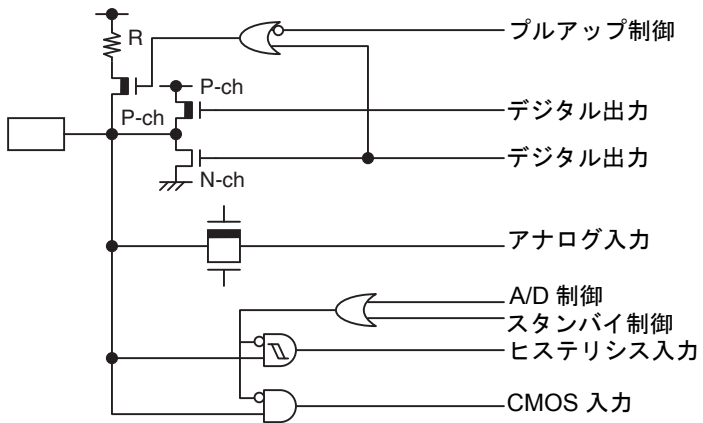
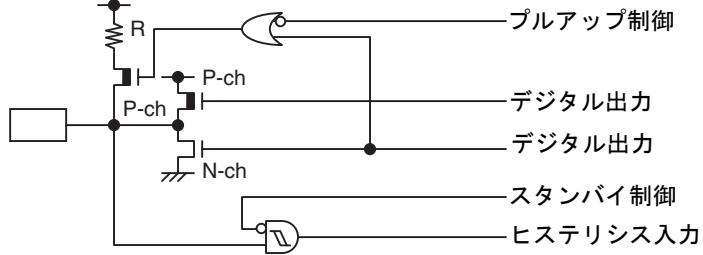
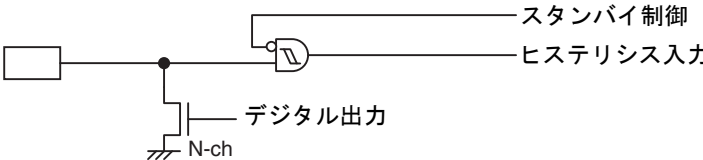
* 2 : LCC-32P-M19

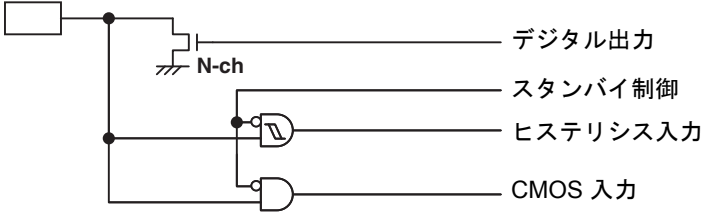
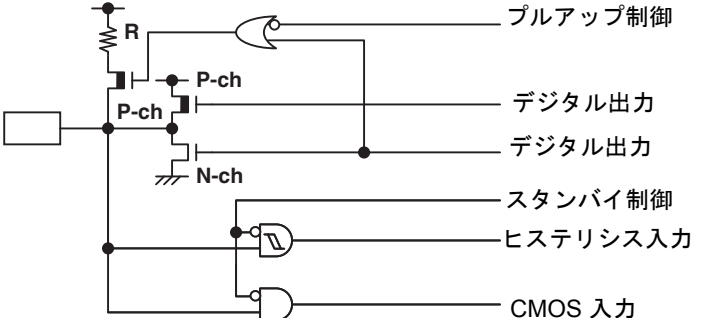
* 3 : DIP-32P-M06

* 4 : 入出力回路形式については「6. 入出力回路形式」を参照してください。

6. 入出力回路形式

分類	回路	備考
A		<ul style="list-style-type: none"> ■ N-ch オープンドレイン出力 ■ ヒステリシス入力 ■ リセット出力
B		<ul style="list-style-type: none"> ■ 発振回路 ■ 高速側 帰還抵抗：約 1 MΩ ■ CMOS 出力 ■ ヒステリシス入力
C		<ul style="list-style-type: none"> ■ 発振回路 ■ 低速側 帰還抵抗：約 10 MΩ ■ CMOS 出力 ■ ヒステリシス入力 ■ プルアップ制御あり

分類	回路	備考
D		<ul style="list-style-type: none"> ■ CMOS 出力 ■ ヒステリシス入力
E		<ul style="list-style-type: none"> ■ CMOS 出力 ■ ヒステリシス入力 ■ プルアップ制御あり
F		<ul style="list-style-type: none"> ■ CMOS 出力 ■ ヒステリシス入力 ■ CMOS 入力 ■ プルアップ制御あり
G		<ul style="list-style-type: none"> ■ ヒステリシス入力 ■ CMOS 出力 ■ プルアップ制御あり
H		<ul style="list-style-type: none"> ■ N-ch オープンドレイン出力 ■ ヒステリシス入力

分類	回路	備考
I	 <p>デジタル出力</p> <p>N-ch</p> <p>スタンバイ制御</p> <p>ヒステリシス入力</p> <p>CMOS 入力</p>	<ul style="list-style-type: none"> ■ N-ch オープンドレイン出力 ■ ヒステリシス入力 ■ CMOS 入力
J	 <p>プルアップ制御</p> <p>R</p> <p>P-ch</p> <p>P-ch</p> <p>N-ch</p> <p>デジタル出力</p> <p>デジタル出力</p> <p>スタンバイ制御</p> <p>ヒステリシス入力</p> <p>CMOS 入力</p>	<ul style="list-style-type: none"> ■ CMOS 出力 ■ ヒステリシス入力 ■ CMOS 入力 ■ プルアップ制御あり

7. デバイス使用上の注意

■ ラッチアップの防止

使用に際して、印加する電圧が最大定格電圧を超えないようにしてください。

CMOS IC では、中耐圧端子でも高耐圧端子でもない入出力端子に V_{CC} より高い電圧や V_{SS} より低い電圧が印加された場合、または「13. 電気的特性」の「13.1 絶対最大定格」に示す電源電圧の定格範囲外の電圧が V_{CC} 端子または V_{SS} 端子に印加された場合、ラッチアップ現象が発生することがあります。

ラッチアップ現象が発生すると電源電流が激増し、素子が熱破壊する恐れがあります。

■ 供給電圧の安定化

供給電圧は、安定させてください。

電源電圧が急激に変動すると、たとえ変動が V_{CC} 電源電圧の動作保証範囲内であっても、誤動作を生じることがあります。

電圧安定化の基準として、商用周波数 (50 Hz / 60 Hz) での V_{CC} リプル変動 (P-P 値) は、標準 V_{CC} 値の 10 % 以下に、また電源の切換え時などの瞬時変化においては、過渡変動率が 0.1 V/ms 以下になるよう電圧変動を抑えてください。

■ 外部クロック使用時の注意

外部クロック使用時において、パワーオンリセット、サブクロックモードまたはストップモード解除時には、発振安定待ち時間が発生します。

8. 端子接続について

■ 未使用端子の処理

入力に用いる未使用端子を開放のままにしておくと、誤動作およびラッチアップ現象による永久破壊の原因になることがあります。使用していない入力端子は $2\text{ k}\Omega$ 以上の抵抗を介してプルアップまたはプルダウンの処理をしてください。使用していない入出力端子は、出力状態に設定して開放とするか、入力状態に設定して入力端子と同じ処理をしてください。使用していない出力端子は、開放としてください。

■ 電源端子

不要輻射の低減、グラウンドレベルの上昇によるストロブ信号の誤動作の防止、総出力電流規格を遵守などのために、必ず V_{CC} 端子と V_{SS} 端子をデバイスの外部で電源とグラウンドに接続してください。また、電流供給源と V_{CC} 端子および V_{SS} 端子は低インピーダンスで接続してください。

本デバイスに近い位置で、 V_{CC} 端子と V_{SS} 端子の間に $0.1\text{ }\mu\text{F}$ 程度のセラミックコンデンサをバイパスコンデンサとして接続することをお勧めいたします。

■ DBG 端子

DBG 端子は外部のプルアップ抵抗に直接接続してください。

ノイズによってデバイスが意図せずにデバッグモードに入るのを防止するため、プリント基板のレイアウトを設計するときは、DBG 端子から V_{CC} 端子または V_{SS} 端子への距離を最小限にしてください。

パワーオン後、リセット出力が解除されるまでは、DBG 端子が「L」レベルのままにならないようにしてください。

■ $\overline{\text{RST}}$ 端子

$\overline{\text{RST}}$ 端子は外部のプルアップ抵抗に直接接続してください。

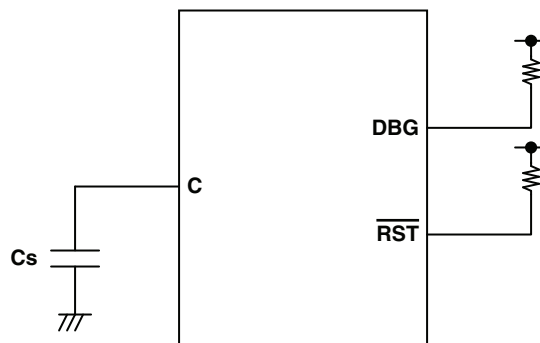
ノイズによってデバイスが意図せずにリセットモードに入るのを防止するため、プリント基板のレイアウトを設計するときは、 $\overline{\text{RST}}$ 端子から V_{CC} 端子または V_{SS} 端子への距離を最小限にしてください。

パワーオン後、 $\overline{\text{RST}}/\text{PF2}$ 端子はリセット入出力端子として機能します。また、リセット出力は SYSC レジスタの RSTOE ビットによって許可でき、リセット入力機能または汎用入出力機能は SYSC レジスタの RSTEN ビットによって選択できます。

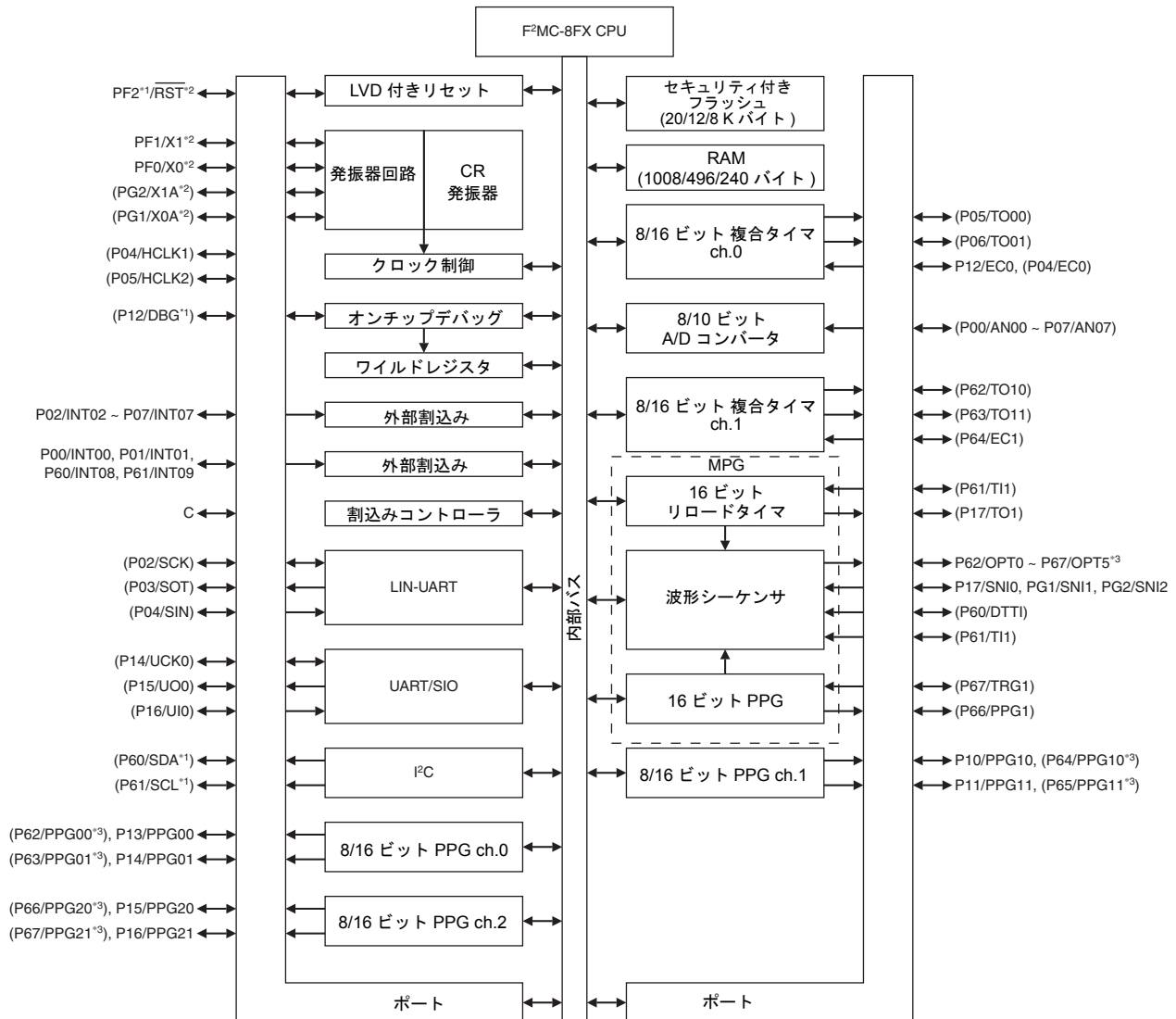
■ C 端子

セラミックコンデンサまたは同程度の周波数特性のコンデンサを使用してください。 V_{CC} 端子のバイパスコンデンサは、 C_S より大きい容量値のコンデンサを使用してください。平滑コンデンサ C_S への接続は下図を参照してください。ノイズによってデバイスが意図せずに不明なモードに入るのを防止するため、プリント基板のレイアウトを設計するときは、C 端子から C_S への距離および C_S から V_{SS} 端子への距離を最小限にしてください。

・ DBG / $\overline{\text{RST}}$ / C 端子接続図



9. ブロックダイアグラム



- * 1 : PF2, P12, P60, P61 は N-ch オープンドレイン端子です。
- * 2 : ソフトウェアオプション
- * 3 : P62 ~ P67 は大電流用端子です。

(注意事項) () 内の端子は、他の周辺機能との兼用端子を意味しています。

10. CPU コア

■ メモリ空間

MB95330H シリーズのメモリ空間は 64 K バイトで、I/O 領域、データ領域とプログラム領域によって構成されます。

メモリ空間の中には汎用レジスタ、ベクタテーブルなど特定の用途に使用される領域があります。MB95330H シリーズのメモリマップを以下に示します。

■ メモリマップ

MB95F332H/F332K		MB95F333H/F333K		MB95F334H/F334K	
0000 _H	I/O	0000 _H	I/O	0000 _H	I/O
0080 _H	アクセス禁止	0080 _H	アクセス禁止	0080 _H	アクセス禁止
0090 _H	RAM240 バイト	0090 _H	RAM 496 バイト	0090 _H	RAM 1008 バイト
0100 _H	レジスタ	0100 _H	レジスタ	0100 _H	レジスタ
0180 _H		0200 _H		0200 _H	
	アクセス禁止	0280 _H	アクセス禁止	0480 _H	アクセス禁止
0F80 _H	拡張 I/O	0F80 _H	拡張 I/O	0F80 _H	拡張 I/O
1000 _H	アクセス禁止	1000 _H	アクセス禁止	1000 _H	アクセス禁止
B000 _H	フラッシュメモリ 4 K バイト	B000 _H	フラッシュメモリ 4 K バイト	B000 _H	フラッシュメモリ 20 K バイト
C000 _H	アクセス禁止	C000 _H	アクセス禁止		
F000 _H	フラッシュメモリ 4 K バイト	E000 _H	フラッシュメモリ 8 K バイト		
FFFF _H		FFFF _H		FFFF _H	

11. I/O マップ

アドレス	レジスタ略称	レジスタ名称	R/W	初期値
0000 _H	PDR0	ポート 0 データレジスタ	R/W	00000000 _B
0001 _H	DDR0	ポート 0 方向レジスタ	R/W	00000000 _B
0002 _H	PDR1	ポート 1 データレジスタ	R/W	00000000 _B
0003 _H	DDR1	ポート 1 方向レジスタ	R/W	00000000 _B
0004 _H	—	(使用禁止)	—	—
0005 _H	WATR	発振安定待ち時間設定レジスタ	R/W	11111111 _B
0006 _H	—	(使用禁止)	—	—
0007 _H	SYCC	システムクロック制御レジスタ	R/W	0000X011 _B
0008 _H	STBC	スタンバイ制御レジスタ	R/W	00000XXX _B
0009 _H	RSRR	リセット要因レジスタ	R/W	XXXXXXXX _B
000A _H	TBTC	タイムベースタイマ制御レジスタ	R/W	00000000 _B
000B _H	WPCR	時計プリスケラ制御レジスタ	R/W	00000000 _B
000C _H	WDTA	ウォッチドッグタイマ制御レジスタ	R/W	00XX0000 _B
000D _H	SYCC2	システムクロック制御レジスタ 2	R/W	XX100011 _B
000E _H ～ 0015 _H	—	(使用禁止)	—	—
0016 _H	PDR6	ポート 6 データレジスタ	R/W	00000000 _B
0017 _H	DDR6	ポート 6 方向レジスタ	R/W	00000000 _B
0018 _H ～ 0027 _H	—	(使用禁止)	—	—
0028 _H	PDRF	ポート F データレジスタ	R/W	00000000 _B
0029 _H	DDRF	ポート F 方向レジスタ	R/W	00000000 _B
002A _H	PDRG	ポート G データレジスタ	R/W	00000000 _B
002B _H	DDRG	ポート G 方向レジスタ	R/W	00000000 _B
002C _H	PUL0	ポート 0 プルアップレジスタ	R/W	00000000 _B
002D _H	PUL1	ポート 1 プルアップレジスタ	R/W	00000000 _B
002E _H ～ 0034 _H	—	(使用禁止)	—	—
0035 _H	PULG	ポート G プルアップレジスタ	R/W	00000000 _B
0036 _H	T01CR1	8/16 ビット 複合タイマ 01 ステータス制御レジスタ 1 ch. 0	R/W	00000000 _B
0037 _H	T00CR1	8/16 ビット 複合タイマ 00 ステータス制御レジスタ 1 ch. 0	R/W	00000000 _B
0038 _H	T11CR1	8/16 ビット 複合タイマ 11 ステータス制御レジスタ 1 ch. 1	R/W	00000000 _B
0039 _H	T10CR1	8/16 ビット 複合タイマ 10 ステータス制御レジスタ 1 ch. 1	R/W	00000000 _B

アドレス	レジスタ略称	レジスタ名称	R/W	初期値
003A _H	PC01	8/16 ビット PPG タイマ 01 制御レジスタ ch. 0	R/W	00000000 _B
003B _H	PC00	8/16 ビット PPG タイマ 00 制御レジスタ ch. 0	R/W	00000000 _B
003C _H	PC11	8/16 ビット PPG タイマ 11 制御レジスタ ch.1	R/W	00000000 _B
003D _H	PC10	8/16 ビット PPG タイマ 10 制御レジスタ ch.1	R/W	00000000 _B
003E _H	PC21	8/16 ビット PPG タイマ 21 制御レジスタ ch.2	R/W	00000000 _B
003F _H	PC20	8/16 ビット PPG タイマ 20 制御レジスタ ch.2	R/W	00000000 _B
0040 _H	TMCSRH1	16 ビット リロードタイマ制御ステータスレジスタ上位 ch. 1	R/W	00000000 _B
0041 _H	TMCSRL1	16 ビット リロードタイマ制御ステータスレジスタ 下位 ch. 1	R/W	00000000 _B
0042 _H , 0043 _H	—	(使用禁止)	—	—
0044 _H	PCNTH1	16 ビット PPG ステータス制御レジスタ 上位 ch. 1	R/W	00000000 _B
0045 _H	PCNTL1	16 ビット PPG ステータス制御レジスタ 下位 ch. 1	R/W	00000000 _B
0046 _H , 0047 _H	—	(使用禁止)	—	—
0048 _H	EIC00	外部割込み回路制御レジスタ ch. 0/ch. 1	R/W	00000000 _B
0049 _H	EIC10	外部割込み回路制御レジスタ ch. 2/ch. 3	R/W	00000000 _B
004A _H	EIC20	外部割込み回路制御レジスタ ch. 4/ch. 5	R/W	00000000 _B
004B _H	EIC30	外部割込み回路制御レジスタ ch. 6/ch. 7	R/W	00000000 _B
004C _H	EIC01	外部割込み回路制御レジスタ ch. 8/ch. 9	R/W	00000000 _B
004D _H ～ 004F _H	—	(使用禁止)	—	—
0050 _H	SCR	LIN-UART シリアル制御レジスタ	R/W	00000000 _B
0051 _H	SMR	LIN-UART シリアルモードレジスタ	R/W	00000000 _B
0052 _H	SSR	LIN-UART シリアルステータスレジスタ	R/W	00001000 _B
0053 _H	RDR/TDR	LIN-UART 受信 / 送信データレジスタ	R/W	00000000 _B
0054 _H	ESCR	LIN-UART 拡張ステータス制御レジスタ	R/W	00000100 _B
0055 _H	ECCR	LIN-UART 拡張通信制御レジスタ	R/W	000000XX _B
0056 _H	SMC10	UART/SIO シリアルモード制御レジスタ 1 ch. 0	R/W	00000000 _B
0057 _H	SMC20	UART/SIO シリアルモード制御レジスタ 2 ch. 0	R/W	00100000 _B
0058 _H	SSR0	UART/SIO シリアルステータスデータレジスタ ch. 0	R/W	00000001 _B
0059 _H	TDR0	UART/SIO シリアル出力データレジスタ ch. 0	R/W	00000000 _B
005A _H	RDR0	UART/SIO シリアル入力データレジスタ ch. 0	R	00000000 _B
005B _H ～ 005F _H	—	(使用禁止)	—	—

アドレス	レジスタ略称	レジスタ名称	R/W	初期値
0060 _H	IBCR00	I ² C バス制御レジスタ 0 ch. 0	R/W	00000000 _B
0061 _H	IBCR10	I ² C バス制御レジスタ 1 ch. 0	R/W	00000000 _B
0062 _H	IBSR0	I ² C バスステータスレジスタ ch. 0	R/W	00000000 _B
0063 _H	IDDR0	I ² C データレジスタ ch. 0	R/W	00000000 _B
0064 _H	IAAR0	I ² C アドレスレジスタ ch. 0	R/W	00000000 _B
0065 _H	ICCR0	I ² C クロック制御レジスタ ch. 0	R/W	00000000 _B
0066 _H	OPCUR	16 ビット MPG 出力制御レジスタ (上位)	R/W	00000000 _B
0067 _H	OPCLR	16 ビット MPG 出力制御レジスタ (下位)	R/W	00000000 _B
0068 _H	IPCUR	16 ビット MPG 入力制御レジスタ (上位)	R/W	00000000 _B
0069 _H	IPCLR	16 ビット MPG 入力制御レジスタ (下位)	R/W	00000000 _B
006A _H	NCCR	16 ビット MPG ノイズキャンセル制御レジスタ	R/W	00000000 _B
006B _H	TCSR	16 ビット MPG タイマ制御ステータスレジスタ	R/W	00000000 _B
006C _H	ADC1	8/10 ビット A/D コンバータ 制御レジスタ 1	R/W	00000000 _B
006D _H	ADC2	8/10 ビット A/D コンバータ 制御レジスタ 2	R/W	00000000 _B
006E _H	ADDH	8/10 ビット A/D コンバータ データレジスタ (上位)	R/W	00000000 _B
006F _H	ADDL	8/10 ビット A/D コンバータ データレジスタ (下位)	R/W	00000000 _B
0070 _H	—	(使用禁止)	—	—
0071 _H	FSR2	フラッシュメモリステータスレジスタ 2	R/W	00000000 _B
0072 _H	FSR	フラッシュメモリステータスレジスタ	R/W	000X0000 _B
0073 _H	SWRE0	フラッシュメモリセクタ書込み制御レジスタ 0	R/W	00000000 _B
0074 _H	FSR3	フラッシュメモリステータスレジスタ 3	R	0000XXXX _B
0075 _H	—	(使用禁止)	—	—
0076 _H	WREN	ワイルドレジスタアドレス比較許可レジスタ	R/W	00000000 _B
0077 _H	WROR	ワイルドレジスタデータテスト設定レジスタ	R/W	00000000 _B
0078 _H	—	レジスタバンクポインタ (RP) とダイレクトバンクポインタ (DP) のミラー	—	—
0079 _H	ILR0	割込みレベル設定レジスタ 0	R/W	11111111 _B
007A _H	ILR1	割込みレベル設定レジスタ 1	R/W	11111111 _B
007B _H	ILR2	割込みレベル設定レジスタ 2	R/W	11111111 _B
007C _H	ILR3	割込みレベル設定レジスタ 3	R/W	11111111 _B
007D _H	ILR4	割込みレベル設定レジスタ 4	R/W	11111111 _B
007E _H	ILR5	割込みレベル設定レジスタ 5	R/W	11111111 _B
007F _H	—	(使用禁止)	—	—
0F80 _H	WRARH0	ワイルドレジスタアドレス設定レジスタ (上位) ch. 0	R/W	00000000 _B
0F81 _H	WRARL0	ワイルドレジスタアドレス設定レジスタ (下位) ch. 0	R/W	00000000 _B
0F82 _H	WRDR0	ワイルドレジスタデータ設定レジスタ ch. 0	R/W	00000000 _B
0F83 _H	WRARH1	ワイルドレジスタアドレス設定レジスタ (上位) ch. 1	R/W	00000000 _B
0F84 _H	WRARL1	ワイルドレジスタアドレス設定レジスタ (下位) ch. 1	R/W	00000000 _B
0F85 _H	WRDR1	ワイルドレジスタデータ設定レジスタ ch. 1	R/W	00000000 _B
0F86 _H	WRARH2	ワイルドレジスタアドレス設定レジスタ (上位) ch. 2	R/W	00000000 _B
0F87 _H	WRARL2	ワイルドレジスタアドレス設定レジスタ (下位) ch. 2	R/W	00000000 _B
0F88 _H	WRDR2	ワイルドレジスタデータ設定レジスタ ch. 2	R/W	00000000 _B

アドレス	レジスタ略称	レジスタ名称	R/W	初期値
0F89 _H ～ 0F91 _H	—	(使用禁止)	—	—
0F92 _H	T01CR0	8/16 ビット 複合タイマ 01 ステータス制御レジスタ 0 ch. 0	R/W	00000000 _B
0F93 _H	T00CR0	8/16 ビット 複合タイマ 00 ステータス制御レジスタ 0 ch. 0	R/W	00000000 _B
0F94 _H	T01DR	8/16 ビット 複合タイマ 01 データレジスタ ch. 0	R/W	00000000 _B
0F95 _H	T00DR	8/16 ビット 複合タイマ 00 データレジスタ ch. 0	R/W	00000000 _B
0F96 _H	TMCR0	8/16 ビット 複合タイマ 00/01 タイマモード制御レジスタ ch. 0	R/W	00000000 _B
0F97 _H	T11CR0	8/16 ビット 複合タイマ 11 ステータス制御レジスタ 0 ch. 1	R/W	00000000 _B
0F98 _H	T10CR0	8/16 ビット 複合タイマ 10 ステータス制御レジスタ 0 ch. 1	R/W	00000000 _B
0F99 _H	T11DR	8/16 ビット 複合タイマ 11 データレジスタ ch. 1	R/W	00000000 _B
0F9A _H	T10DR	8/16 ビット 複合タイマ 10 データレジスタ ch. 1	R/W	00000000 _B
0F9B _H	TMCR1	8/16 ビット 複合タイマ 10/11 タイマモード制御レジスタ ch. 1	R/W	00000000 _B
0F9C _H	PPS01	8/16 ビット PPG01 サイクル設定バッファレジスタ ch. 0	R/W	11111111 _B
0F9D _H	PPS00	8/16 ビット PPG00 サイクル設定バッファレジスタ ch. 0	R/W	11111111 _B
0F9E _H	PDS01	8/16 ビット PPG01 デューティ設定バッファレジスタ ch. 0	R/W	11111111 _B
0F9F _H	PDS00	8/16 ビット PPG00 デューティ設定バッファレジスタ ch. 0	R/W	11111111 _B
0FA0 _H	PPS11	8/16 ビット PPG11 サイクル設定バッファレジスタ ch. 1	R/W	11111111 _B
0FA1 _H	PPS10	8/16 ビット PPG10 サイクル設定バッファレジスタ ch. 1	R/W	11111111 _B
0FA2 _H	PDS11	8/16 ビット PPG11 デューティ設定バッファレジスタ ch. 1	R/W	11111111 _B
0FA3 _H	PDS10	8/16 ビット PPG10 デューティ設定バッファレジスタ ch. 1	R/W	11111111 _B
0FA4 _H	PPGS	8/16 ビット PPG スタートアップレジスタ	R/W	00000000 _B
0FA5 _H	REVC	8/16 ビット PPG 出力反転レジスタ	R/W	00000000 _B
0FA6 _H	PPS21	8/16 ビット PPG21 サイクル設定バッファレジスタ ch. 2	R/W	11111111 _B
0FA7 _H	PPS20	8/16 ビット PPG20 サイクル設定バッファレジスタ ch. 2	R/W	11111111 _B
0FA8 _H	TMRH1	16 ビット タイマレジスタ (上位) ch. 1	R/W	00000000 _B
	TMRLRH1	16 ビット リロードレジスタ (上位) ch. 1		
0FA9 _H	TMRL1	16 ビット タイマレジスタ (下位) ch. 1	R/W	00000000 _B
	TMRLRL1	16 ビット リロードレジスタ (下位) ch. 1		
0FAA _H	PDS21	8/16 ビット PPG21 デューティ設定バッファレジスタ ch. 2	R/W	11111111 _B
0FAB _H	PDS20	8/16 ビット PPG20 デューティ設定バッファレジスタ ch. 2	R/W	11111111 _B
0FAC _H ～ 0FAF _H	—	(使用禁止)	—	—

アドレス	レジスタ略称	レジスタ名称	R/W	初期値
0FB0 _H	PDCRH1	16 ビット PPG ダウンカウンタレジスタ (上位) ch. 1	R	00000000 _B
0FB1 _H	PDCRL1	16 ビット PPG ダウンカウンタレジスタ (下位) ch. 1	R	00000000 _B
0FB2 _H	PCSRH1	16 ビット PPG サイクル設定バッファレジスタ (上位) ch. 1	R/W	11111111 _B
0FB3 _H	PCSRL1	16 ビット PPG サイクル設定バッファレジスタ (下位) ch. 1	R/W	11111111 _B
0FB4 _H	PDUTH1	16 ビット PPG デューティ設定バッファレジスタ (上位) ch. 1	R/W	11111111 _B
0FB5 _H	PDUTL1	16 ビット PPG デューティ設定バッファレジスタ (下位) ch. 1	R/W	11111111 _B
0FB6 _H ～ 0FBB _H	—	(使用禁止)	—	—
0FBC _H	BGR1	LIN-UART ボーレートジェネレータレジスタ 1	R/W	00000000 _B
0FBD _H	BGR0	LIN-UART ボーレートジェネレータレジスタ 0	R/W	00000000 _B
0FBE _H	PSSR0	UART/SIO プリスケール選択レジスタ ch. 0	R/W	00000000 _B
0FBF _H	BRSR0	UART/SIO ボーレート設定レジスタ ch. 0	R/W	00000000 _B
0FC0 _H ～ 0FC2 _H	—	(使用禁止)	—	—
0FC3 _H	AIDRL	A/D 入力禁止レジスタ (下位)	R/W	00000000 _B
0FC4 _H	OPDBRH0	16 ビット MPG 出力データバッファレジスタ (上位) ch. 0	R/W	00000000 _B
0FC5 _H	OPDBRL0	16 ビット MPG 出力データバッファレジスタ (下位) ch. 0	R/W	00000000 _B
0FC6 _H	OPDBRH1	16 ビット MPG 出力データバッファレジスタ (上位) ch. 1	R/W	00000000 _B
0FC7 _H	OPDBRL1	16 ビット MPG 出力データバッファレジスタ (下位) ch. 1	R/W	00000000 _B
0FC8 _H	OPDBRH2	16 ビット MPG 出力データバッファレジスタ (上位) ch. 2	R/W	00000000 _B
0FC9 _H	OPDBRL2	16 ビット MPG 出力データバッファレジスタ (下位) ch. 2	R/W	00000000 _B
0FCA _H	OPDBRH3	16 ビット MPG 出力データバッファレジスタ (上位) ch. 3	R/W	00000000 _B
0FCB _H	OPDBRL3	16 ビット MPG 出力データバッファレジスタ (下位) ch. 3	R/W	00000000 _B
0FCC _H	OPDBRH4	16 ビット MPG 出力データバッファレジスタ (上位) ch. 4	R/W	00000000 _B
0FCD _H	OPDBRL4	16 ビット MPG 出力データバッファレジスタ (下位) ch. 4	R/W	00000000 _B
0FCE _H	OPDBRH5	16 ビット MPG 出力データバッファレジスタ (上位) ch. 5	R/W	00000000 _B
0FCF _H	OPDBRL5	16 ビット MPG 出力データバッファレジスタ (下位) ch. 5	R/W	00000000 _B
0FD0 _H	OPDBRH6	16 ビット MPG 出力データバッファレジスタ (上位) ch. 6	R/W	00000000 _B
0FD1 _H	OPDBRL6	16 ビット MPG 出力データバッファレジスタ (下位) ch. 6	R/W	00000000 _B
0FD2 _H	OPDBRH7	16 ビット MPG 出力データバッファレジスタ (上位) ch. 7	R/W	00000000 _B
0FD3 _H	OPDBRL7	16 ビット MPG 出力データバッファレジスタ (下位) ch. 7	R/W	00000000 _B
0FD4 _H	OPDBRH8	16 ビット MPG 出力データバッファレジスタ (上位) ch. 8	R/W	00000000 _B
0FD5 _H	OPDBRL8	16 ビット MPG 出力データバッファレジスタ (下位) ch. 8	R/W	00000000 _B
0FD6 _H	OPDBRH9	16 ビット MPG 出力データバッファレジスタ (上位) ch. 9	R/W	00000000 _B
0FD7 _H	OPDBRL9	16 ビット MPG 出力データバッファレジスタ (下位) ch. 9	R/W	00000000 _B
0FD8 _H	OPDBRHA	16 ビット MPG 出力データバッファレジスタ (上位) ch. A	R/W	00000000 _B
0FD9 _H	OPDBRLA	16 ビット MPG 出力データバッファレジスタ (下位) ch. A	R/W	00000000 _B
0FDA _H	OPDBRHB	16 ビット MPG 出力データバッファレジスタ (上位) ch. B	R/W	00000000 _B
0FDB _H	OPDBRLB	16 ビット MPG 出力データバッファレジスタ (下位) ch. B	R/W	00000000 _B
0FDC _H	OPDUR	16 ビット MPG 出力データレジスタ (上位)	R	0000XXXX _B

アドレス	レジスタ略称	レジスタ名称	R/W	初期値
0FDD _H	OPDLR	16 ビット MPG 出力データレジスタ (下位)	R	XXXXXXXX _B
0FDE _H	CPCHR	16 ビット MPG 比較クリアレジスタ (上位)	R/W	XXXXXXXX _B
0FDF _H	CPCLR	16 ビット MPG 比較クリアレジスタ (下位)	R/W	XXXXXXXX _B
0FE0 _H , 0FE1 _H	—	(使用禁止)	—	—
0FE2 _H	TMBUR	16 ビット MPG タイマバッファレジスタ (上位)	R	XXXXXXXX _B
0FE3 _H	TMBLR	16 ビット MPG タイマバッファレジスタ (下位)	R	XXXXXXXX _B
0FE4 _H	CRTH	メイン CR クロックトリミングレジスタ (上位)	R/W	0XXXXXXXX _B
0FE5 _H	CRTL	メイン CR クロックトリミングレジスタ (下位)	R/W	00XXXXXXXX _B
0FE6 _H , 0FE7 _H	—	(使用禁止)	—	—
0FE8 _H	SYSC	システム構成レジスタ	R/W	11000011 _B
0FE9 _H	CMCR	クロック監視制御レジスタ	R/W	00000000 _B
0FEA _H	CMDR	クロック監視データレジスタ	R	00000000 _B
0FEB _H	WDTH	ウォッチドッグタイマ選択 ID レジスタ (上位)	R	XXXXXXXX _B
0FEC _H	WDTL	ウォッチドッグタイマ選択 ID レジスタ (下位)	R	XXXXXXXX _B
0FED _H	—	(使用禁止)	—	—
0FEE _H	ILSR	入力レベル選択レジスタ	R/W	00000000 _B
0FEF _H	WICR	割込み端子制御レジスタ	R/W	01000000 _B
0FF0 _H ～ 0FFF _H	—	(使用禁止)	—	—

■ R/W についての説明

R/W : リード/ライト可能
 R : リードオンリ
 W : ライトオンリ

■ 初期値についての説明

0 : このビットの初期値は“0”です。
 1 : このビットの初期値は“1”です。
 X : このビットの初期値は不定です。

(注意事項) “(使用禁止)” のアドレスへの書込みは行わないでください。“(使用禁止)” のアドレスを読み出した場合は不定が読み出されます。

12. 割り込み要因のテーブル

割り込み要因	割り込み 要求番号	ベクタテーブルの アドレス		割り込みレベル 設定レジスタの ビット名	同一レベル 割り込み要因の 優先順位 (同時発生時)
		上位	下位		
外部割り込み ch. 0, ch. 4	IRQ00	FFFA _H	FFFB _H	L00 [1 : 0]	<div>高い</div> <div>↑</div> <div>↓</div> <div>低い</div>
外部割り込み ch. 1, ch. 5	IRQ01	FFF8 _H	FFF9 _H	L01 [1 : 0]	
外部割り込み ch. 2, ch. 6	IRQ02	FFF6 _H	FFF7 _H	L02 [1 : 0]	
外部割り込み ch. 3, ch. 7	IRQ03	FFF4 _H	FFF5 _H	L03 [1 : 0]	
UART/SIO ch. 0, MPG (DTTI)	IRQ04	FFF2 _H	FFF3 _H	L04 [1 : 0]	
8/16 ビット 複合タイマ ch. 0 (下位)	IRQ05	FFF0 _H	FFF1 _H	L05 [1 : 0]	
8/16 ビット 複合タイマ ch. 0 (上位)	IRQ06	FFEE _H	FFEF _H	L06 [1 : 0]	
LIN-UART (受信)	IRQ07	FFEC _H	FFED _H	L07 [1 : 0]	
LIN-UART (送信)	IRQ08	FFEA _H	FFEB _H	L08 [1 : 0]	
8/16 ビット PPG ch. 1 (下位)	IRQ09	FFE8 _H	FFE9 _H	L09 [1 : 0]	
8/16 ビット PPG ch. 1 (上位)	IRQ10	FFE6 _H	FFE7 _H	L10 [1 : 0]	
8/16 ビット PPG ch. 2 (上位)	IRQ11	FFE4 _H	FFE5 _H	L11 [1 : 0]	
8/16 ビット PPG ch. 0 (上位)	IRQ12	FFE2 _H	FFE3 _H	L12 [1 : 0]	
8/16 ビット PPG ch. 0 (下位)	IRQ13	FFE0 _H	FFE1 _H	L13 [1 : 0]	
8/16 ビット 複合タイマ ch. 1 (上位)	IRQ14	FFDE _H	FFDF _H	L14 [1 : 0]	
8/16 ビット PPG ch. 2 (下位)	IRQ15	FFDC _H	FFDD _H	L15 [1 : 0]	
16 ビットリロードタイマ ch. 1, MPG (書き込みタイミング / 比較クリア), I ² C ch. 0	IRQ16	FFDA _H	FFDB _H	L16 [1 : 0]	
16 ビット PPG ch. 1, MPG (位置検出 / コンペア割り込み)	IRQ17	FFD8 _H	FFD9 _H	L17 [1 : 0]	
8/10 ビット A/D コンバータ	IRQ18	FFD6 _H	FFD7 _H	L18 [1 : 0]	
タイムベースタイマ	IRQ19	FFD4 _H	FFD5 _H	L19 [1 : 0]	
時計プリスケアラ	IRQ20	FFD2 _H	FFD3 _H	L20 [1 : 0]	
外部割り込み ch. 8, ch. 9	IRQ21	FFD0 _H	FFD1 _H	L21 [1 : 0]	
8/16 ビット 複合タイマ ch. 1 (下位)	IRQ22	FFCE _H	FFCF _H	L22 [1 : 0]	
フラッシュメモリ	IRQ23	FFCC _H	FFCD _H	L23 [1 : 0]	

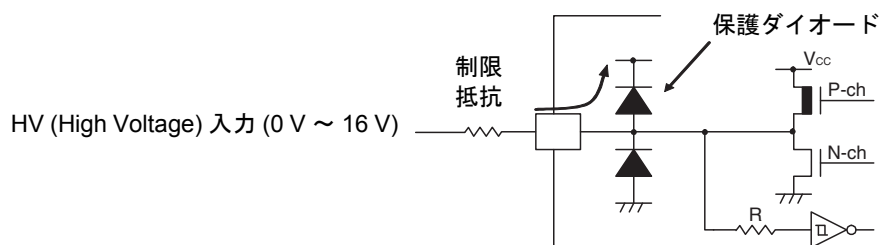
13. 電気的特性

13.1 絶対最大定格

項目	記号	定格値		単位	備考
		最小	最大		
電源電圧 *1	V_{CC}	$V_{SS} - 0.3$	$V_{SS} + 6$	V	
入力電圧 *1	V_I	$V_{SS} - 0.3$	$V_{SS} + 6$	V	*2
出力電圧 *1	V_O	$V_{SS} - 0.3$	$V_{SS} + 6$	V	*2
最大クランプ電流	I_{CLAMP}	- 2	+ 2	mA	該当端子 *3
最大総クランプ電流	$\Sigma I_{CLAMP} $	—	20	mA	該当端子 *3
“L” レベル最大出力電流	I_{OL1}	—	15	mA	P62 ~ P67 以外
	I_{OL2}		15		P62 ~ P67
“L” レベル平均電流	I_{OLAV1}	—	4	mA	P62 ~ P67 以外 平均出力電流 = 動作電流 × 動作率 (端子 1 本)
	I_{OLAV2}	—	12		P62 ~ P67 平均出力電流 = 動作電流 × 動作率 (端子 1 本)
“L” レベル最大総出力電流	ΣI_{OL}	—	100	mA	
“L” レベル平均総出力電流	ΣI_{OLAV}	—	50	mA	平均総出力電流 = 動作電流 × 動作率 (端子の総数)
“H” レベル最大出力電流	I_{OH1}	—	- 15	mA	P62 ~ P67 以外
	I_{OH2}		- 15		P62 ~ P67
“H” レベル平均電流	I_{OHAV1}	—	- 4	mA	P62 ~ P67 以外 平均出力電流 = 動作電流 × 動作率 (端子 1 本)
	I_{OHAV2}	—	- 8		P62 ~ P67 平均出力電流 = 動作電流 × 動作率 (端子 1 本)
“H” レベル最大総出力電流	ΣI_{OH}	—	- 100	mA	
“H” レベル平均総出力電流	ΣI_{OHAV}	—	- 50	mA	平均総出力電流 = 動作電流 × 動作率 (端子の総数)
消費電力	P_d	—	320	mW	
動作温度	T_A	- 40	+ 85	°C	
保存温度	T_{stg}	- 55	+ 150	°C	

- * 1 : $V_{SS} = 0.0\text{ V}$ を基準にしています。
- * 2 : V_I, V_O は $V_{CC} + 0.3\text{ V}$ を超えてはいけません。 V_I は定格電圧を超えてはいけません。ただし、外部の部品を使用して入力への電流または入力からの電流の最大値を制限する場合は、 V_I 定格に代わって I_{CLAMP} 定格が適用されます。
- * 3 : 該当端子 : P00 ~ P07, P10, P11, P13 to P17, P62 ~ P67, PF0, PF1, PG1, PG2
 - ・推奨動作条件下で使用してください。
 - ・直流電圧 (電流) で使用してください。
 - ・HV (High Voltage) 信号は、 V_{CC} 電圧を超える入力信号です。HV (High Voltage) 信号とマイクロコントローラの間には、必ず制限抵抗を接続し HV (High Voltage) 信号を印加してください。
 - ・HV (High Voltage) 入力時にマイクロコントローラ端子に入力される電流が、瞬時・定常を問わず規格値以下になるように制限抵抗の値を設定してください。
 - ・低消費電力モードなど、マイクロコントローラの駆動電流が少ない動作状態では、HV (High Voltage) 入力電位が保護ダイオードを通して V_{CC} 端子の電位を上昇させ、他の機器へ影響を及ぼします。
 - ・マイクロコントローラ電源が OFF 時 (0 V に固定していない場合) に HV (High Voltage) 入力がある場合は、端子から電源が供給されているため、不完全な動作を行う可能性があります。
 - ・電源投入時に HV (High Voltage) 入力がある場合は、端子から電源が供給されているため、パワーオンリセットが動作しない電源電圧になる可能性があります。
 - ・HV (High Voltage) 入力端子は、開放状態にならないようにしてください。
 - ・推奨回路例

・入出力等価回路



<注意事項> 絶対最大定格を超えるストレス (電圧、電流、温度など) の印加は、半導体デバイスを破壊する可能性があります。したがって、定格を一項目でも超えることのないようご注意ください。

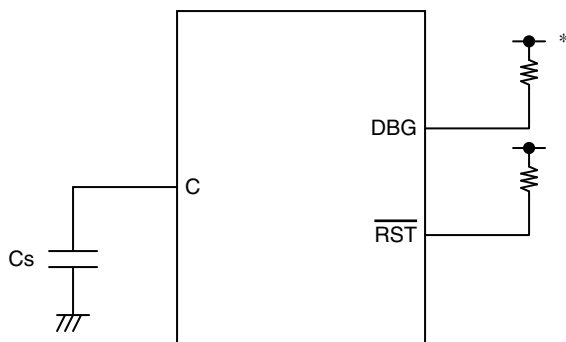
13.2 推奨動作条件
 $(V_{SS} = 0.0 \text{ V})$

項目	記号	規格値		単位	備考	
		最小	最大			
電源電圧	V _{CC}	2.4*1*2	5.5*1	V	通常動作の場合	オンチップデバッグモード以外
		2.3	5.5		ストップモードでの状態保持	
		2.9	5.5		通常動作の場合	オンチップデバッグモード
		2.3	5.5		ストップモードでの状態保持	
平滑コンデンサ	C _S	0.022	1	μF	*3	
動作温度	T _A	− 40	+ 85	°C	オンチップデバッグモード以外	
		+ 5	+ 35		オンチップデバッグモード	

* 1 : 動作周波数, マシンクロックおよびアナログ保証範囲により異なります。

* 2 : 低電圧検出リセット使用時は, 2.88 V となります。

* 3 : セラミックコンデンサまたは同程度の周波数特性のコンデンサを使用してください。 V_{CC} 端子のバイパスコンデンサは C_S より大きい容量値のコンデンサを使用してください。平滑コンデンサ C_S への接続は下図を参照してください。ノイズによってデバイスが意図せず不明なモードに入るのを防止するため, プリント基板のレイアウトを設計するときは, C 端子から C_S への距離および C_S から V_{SS} 端子への距離を最小限にしてください。

・ DBG / $\overline{\text{RST}}$ / C 端子配列図


* : DBG 端子は, デバッグモード時に通信端子となりますので, P12/DBG/EC0 の入出力規格に合わせたプルアップ抵抗値を設定してください。

<注意事項> 推奨動作条件は, 半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は, すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を超えて使用すると, 信頼性に悪影響を及ぼすことがあります。

データシートに記載されていない項目, 使用条件, 論理の組合せでの使用は, 保証していません。記載されている以外の条件での使用をお考えの場合は, 必ず事前に営業部門までご相談ください。

13.3 直流規格
 $(V_{CC} = 5.0 \text{ V} \pm 10\%, V_{SS} = 0.0 \text{ V}, T_A = -40^\circ\text{C} \sim +85^\circ\text{C})$

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
“H” レベル 入力電圧	V_{IHI}	P04, P16, P60, P61	*1	$0.7 V_{CC}$	—	$V_{CC} + 0.3$	V	CMOS 入力レベル (ヒステリシス入力) が選択されている場合
	V_{IHS}	P00 ~ P07, P10 ~ P17, P60 ~ P67, PF0, PF1, PG1, PG2	*1	$0.8 V_{CC}$	—	$V_{CC} + 0.3$	V	ヒステリシス入力
	V_{IHM}	PF2	—	$0.7 V_{CC}$	—	$V_{CC} + 0.3$	V	ヒステリシス入力
“L” レベル 入力電圧	V_{IL}	P04, P16, P60, P61	*1	$V_{SS} - 0.3$	—	$0.3 V_{CC}$	V	CMOS 入力レベル (ヒステリシス入力) が選択されている場合
	V_{ILS}	P00 ~ P07, P10 ~ P17, P60 ~ P67, PF0, PF1, PG1, PG2	*1	$V_{SS} - 0.3$	—	$0.2 V_{CC}$	V	ヒステリシス入力
	V_{ILM}	PF2	—	$V_{SS} - 0.3$	—	$0.3 V_{CC}$	V	ヒステリシス入力
オープン ドレイン出力印 加電圧	V_D	P12, P60, P61, PF2	—	$V_{SS} - 0.3$	—	$V_{SS} + 5.5$	V	
“H” レベル 出力電圧	V_{OH1}	P12, P60 ~ P67, PF2 以外の出力 端子	$I_{OH} = -4 \text{ mA}$	$V_{CC} - 0.5$	—	—	V	
	V_{OH2}	P62 ~ P67	$I_{OH} = -8 \text{ mA}$	$V_{CC} - 0.5$	—	—	V	
“L” レベル 出力電圧	V_{OL1}	P62 ~ P67 以外 の出力端子	$I_{OL} = 4 \text{ mA}$	—	—	0.4	V	
	V_{OL2}	P62 ~ P67	$I_{OL} = 12 \text{ mA}$	—	—	0.4	V	
入力リーク電流 (Hi-Z 出力 リーク電流)	I_{LI}	すべての 入力端子	$0.0 \text{ V} < V_I < V_{CC}$	- 5	—	+ 5	μA	プルアップ抵抗が 禁止されている場合
プルアップ抵抗	R_{PULL}	P00 ~ P07, P10, P11, P13 ~ P17, PG1, PG2	$V_I = 0 \text{ V}$	25	50	100	k Ω	プルアップ抵抗が 許可されている場合
入力容量	C_{IN}	V_{CC}, V_{SS} 以外	$f = 1 \text{ MHz}$	—	5	15	pF	

$(V_{CC} = 5.0\text{ V} \pm 10\%, V_{SS} = 0.0\text{ V}, T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C})$

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
電源電流 *2	I _{CC}	V _{CC} (外部クロック動作)	V _{CC} = 5.5 V F _{CH} = 32 MHz F _{MP} = 16 MHz メインクロックモード (2 分周)	—	13	17	mA	フラッシュメモリ品 (書込み, 消去以外の場合)
				—	20.5	26.5	mA	フラッシュメモリ品 (書込み, 消去の場合)
				—	15	21	mA	A/D 変換時
	I _{CCS}		V _{CC} = 5.5 V F _{CH} = 32 MHz F _{MP} = 16 MHz メインスリープモード (2 分周)	—	5.5	9	mA	
	I _{CCL}		V _{CC} = 5.5 V F _{CL} = 32 kHz F _{MPL} = 16 kHz サブクロックモード (2 分周) T _A = +25 °C	—	65	153	μA	
	I _{CCLS}		V _{CC} = 5.5 V F _{CL} = 32 kHz F _{MPL} = 16 kHz サブスリープモード (2 分周) T _A = +25 °C	—	10	84	μA	
	I _{CCT}		V _{CC} = 5.5 V F _{CL} = 32 kHz 時計モード メインストップモード T _A = +25 °C	—	5	30	μA	
	I _{CCMCR}	V _{CC}	V _{CC} = 5.5 V F _{CRH} = 12.5 MHz F _{MP} = 12.5 MHz メイン CR クロック モード	—	10	13.2	mA	
	I _{CCSCR}		V _{CC} = 5.5 V サブ CR クロックモード (2 分周) T _A = +25 °C	—	110	410	μA	
	I _{CCTS}	V _{CC} (外部クロック動作)	V _{CC} = 5.5 V F _{CH} = 32 MHz タイムベースタイマモード T _A = +25 °C	—	1.1	3	mA	
	I _{CCH}		V _{CC} = 5.5 V サブストップモード T _A = +25 °C	—	3.5	22.5	μA	

$(V_{CC} = 5.0 \text{ V} \pm 10\%, V_{SS} = 0.0 \text{ V}, T_A = -40^\circ\text{C} \sim +85^\circ\text{C})$

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
電源電流 *2	I_{LVD}	V_{CC}	低電圧検出回路のみの場合の消費電流	—	37	54	μA	
	I_{CRH}		メイン CR 発振器の場合の消費電流	—	0.5	0.6	mA	
	I_{CRL}		サブ CR 発振器を 100 kHz で発振させる場合の消費電流	—	20	72	μA	

* 1 : P04, P16, P60, P61 の入力レベルは「CMOS 入力レベル」と「ヒステリシス入力レベル」の間で切換え可能です。

2 つの入力レベルの切換えには入力レベル選択レジスタ (ILSR) を使用します。

* 2 : ・電源電流は外部クロックで規定されています。低電圧検出オプションを選択された場合は、低電圧検出回路の消費電流 (I_{LVD}) の値を $I_{CC} \sim I_{CCH}$ のどれか 1 つの値に足した合計が電源電流となります。また、低電圧検出オプションと CR 発振器の両方を選択された場合は、低電圧検出回路の消費電流、CR 発振器の消費電流 (I_{CRH} , I_{CRL}) および規格値を足した合計が電源電流となります。オンチップデバッグモードでは、CR 発振器 (I_{CRH}) と低電圧検出回路も常に動作するため、それに応じて消費電流が増大します。

・ F_{CH} と F_{CL} は、「13.4 交流規格 13.4.1 クロックタイミング」を参照してください。

・ F_{MP} と F_{MPL} は、「13.4 交流規格 13.4.2 ソースクロック / マシンクロック」を参照してください。

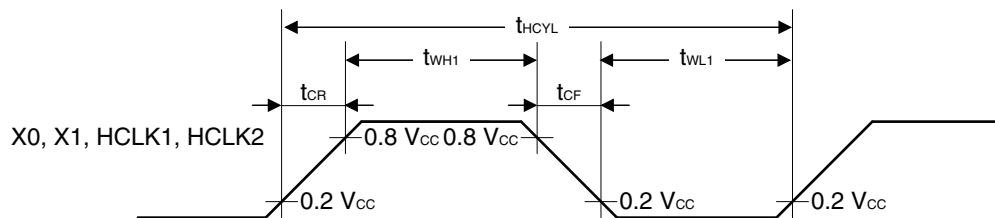
13.4 交流規格

13.4.1 クロックタイミング

 $(V_{CC} = 2.4\text{ V} \sim 5.5\text{ V}, V_{SS} = 0.0\text{ V}, T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C})$

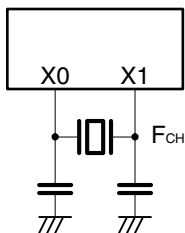
項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
クロック周波数	F _{CH}	X0, X1	—	1	—	16.25	MHz	メイン発振回路使用の場合
		X0	X1 : 開放	1	—	12	MHz	メイン外部クロック使用の場合
		X0, X1	*	1	—	32.5	MHz	
		HCLK1, HCLK2	—					
	F _{CRH}	—	—	12.25	12.5	12.75	MHz	メイン CR クロック使用の場合 T _A = − 10 °C ~ + 85 °C
				9.8	10	10.2	MHz	
				7.84	8	8.16	MHz	
				0.98	1	1.02	MHz	
		—	—	12.1875	12.5	12.8125	MHz	メイン CR クロック使用の場合 T _A = − 40 °C ~ − 10 °C
				9.75	10	10.25	MHz	
				7.8	8	8.2	MHz	
				0.975	1	1.025	MHz	
	F _{CL}	X0A, X1A	—	—	32.768	—	kHz	サブ発振回路使用の場合
				—	32.768	—	kHz	サブ外部クロック使用の場合
	F _{CRL}	—	—	50	100	200	kHz	サブ CR クロック使用の場合
クロック サイクルタイム	t _{HCYL}	X0, X1	—	61.5	—	1000	ns	メイン発振回路使用の場合
		X0	X1 : 開放	83.4	—	1000	ns	外部クロック使用の場合
		X0, X1	*	30.8	—	1000	ns	
		HCLK1, HCLK2	—	30.8	—	1000	ns	
	t _{LCYL}	X0A, X1A	—	—	30.5	—	μs	サブクロック使用の場合
入力クロック パルス幅	t _{WH1} t _{WL1}	X0	X1 : 開放	33.4	—	—	ns	外部クロック使用の場合 , デューティ比は 40% ~ 60% の範囲 としてください。
		X0, X1	*	12.4	—	—	ns	
		HCLK1, HCLK2	—	12.4	—	—	ns	
	t _{WH2} t _{WL2}	X0A	—	—	15.2	—	μs	
入力クロックの 立上り時間と 立下り時間	t _{CR} t _{CF}	X0	X1 : 開放	—	—	5	ns	外部クロック使用の場合
		X0, X1	*	—	—	5	ns	
		HCLK1, HCLK2	—	—	—	5	ns	
CR 発振開始 時間	t _{CRHWK}	—	—	—	—	80	μs	メイン CR クロック使用の場合
	t _{CRLWK}	—	—	—	—	10	μs	サブ CR クロック使用の場合

* : X0 へ外部クロックを入力, X1 にその反転信号を入力した場合

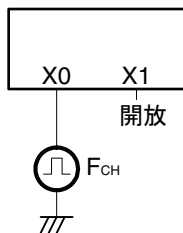


・メインクロック入力ポート外部接続図

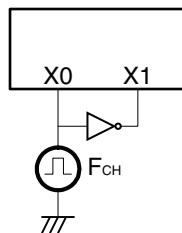
水晶振動子使用時または
セラミック振動子使用時



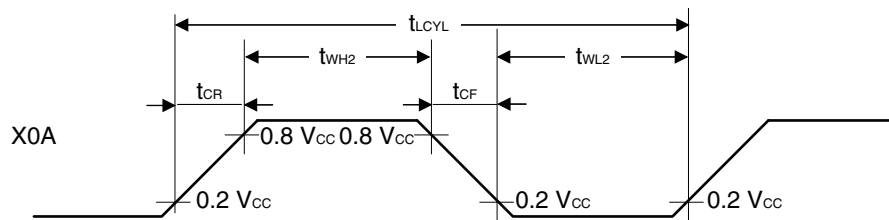
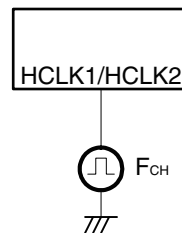
外部クロック使用時
(X1 開放)



外部クロック使用時

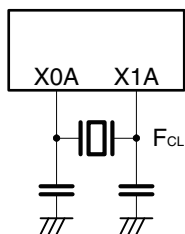


外部クロック使用時

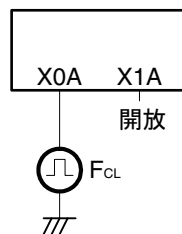


・サブクロック入力ポート外部接続図

水晶振動子使用時または
セラミック振動子使用時



外部クロック使用時



13.4.2 ソースクロック/マシンクロック
 $(V_{CC} = 5.0\text{ V} \pm 10\%, V_{SS} = 0.0\text{ V}, T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C})$

項目	記号	端子名	規格値			単位	備考
			最小	標準	最大		
ソースクロック サイクルタイム *1	t _{SCLK}	—	61.5	—	2000	ns	メイン外部クロック使用の場合 最小：F _{CH} = 32.5 MHz, 2 分周 最大：F _{CH} = 1 MHz, 2 分周
			80	—	1000	ns	メイン CR クロック使用の場合 最小：F _{CRH} = 12.5 MHz 最大：F _{CRH} = 1 MHz
			—	61	—	μs	サブ発振クロック使用の場合 F _{CL} = 32.768 kHz, 2 分周
			—	20	—	μs	サブ CR クロック使用の場合 F _{CRL} = 100 kHz, 2 分周
ソースクロック周波数	F _{SP}	—	0.5	—	16.25	MHz	メイン発振クロック使用の場合
			1	—	12.5	MHz	メイン CR クロック使用の場合
	F _{SPL}		—	16.384	—	kHz	サブ発振クロック使用の場合
			—	50	—	kHz	サブ CR クロック使用の場合 F _{CRL} = 100 kHz, 2 分周
マシンクロック サイクルタイム *2 (最小命令実行時間)	t _{MCLK}	—	61.5	—	32000	ns	メイン発振クロック使用の場合 最小：F _{SP} = 16.25 MHz, 分周なし 最大：F _{SP} = 0.5 MHz, 16 分周
			80	—	16000	ns	メイン CR クロック使用の場合 最小：F _{SP} = 12.5 MHz 最大：F _{SP} = 1 MHz, 16 分周
			61	—	976.5	μs	サブ発振クロック使用の場合 最小：F _{SPL} = 16.384 kHz, 分周なし 最大：F _{SPL} = 16.384 kHz, 16 分周
			20	—	320	μs	サブ CR クロック使用の場合 最小：F _{SPL} = 50 kHz, 分周なし 最大：F _{SPL} = 50 kHz, 16 分周
マシンクロック周波数	F _{MP}	—	0.031	—	16.25	MHz	メイン発振クロック使用の場合
			0.0625	—	12.5	MHz	メイン CR クロック使用の場合
	F _{MPL}		1.024	—	16.384	kHz	サブ発振クロック使用の場合
			3.125	—	50	kHz	サブ CR クロック使用の場合 F _{CRL} = 100 kHz

* 1 : マシンクロック分周比選択ビット (SYCC : DIV1, DIV0) によって設定される分周比にしたがって分周される前のクロックです。本ソースクロックがマシンクロック分周比選択ビット (SYCC : DIV1, DIV0) によって設定される分周比にしたがって分周され、マシンクロックとなります。なお、ソースクロックは、以下から選択できます。

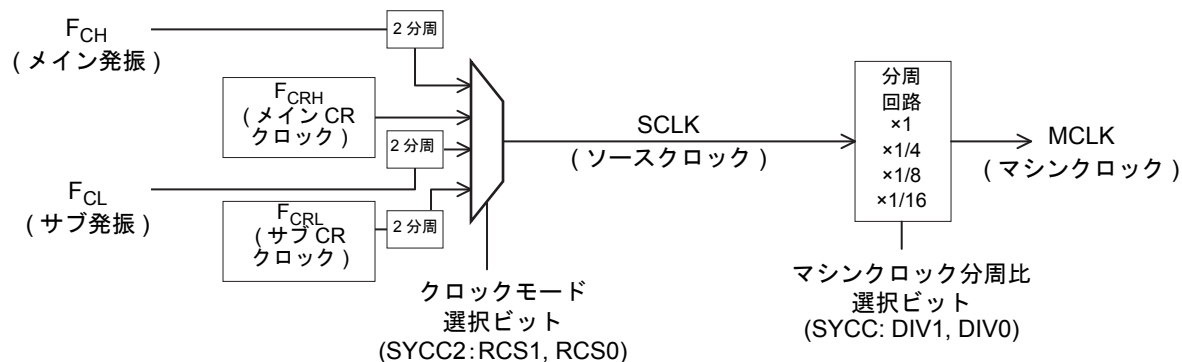
- ・メインクロックの 2 分周
- ・メイン CR クロック
- ・サブクロックの 2 分周
- ・サブ CR クロックの 2 分周

* 2 : マイクロコントローラの動作クロックです。マシンクロックは、以下から選択できます。

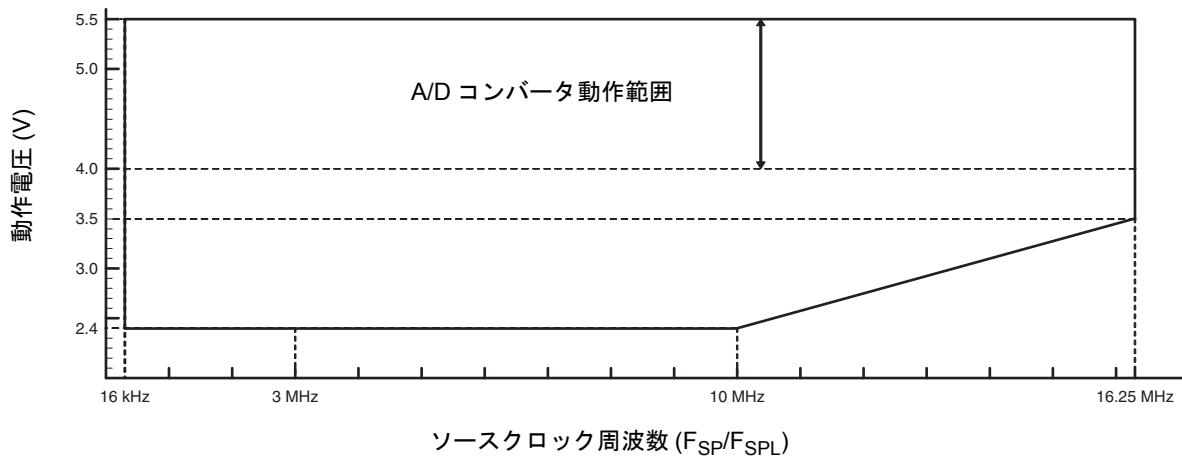
- ・ソースクロック (分周なし)
- ・ソースクロックの 4 分周
- ・ソースクロックの 8 分周

- ・ ソースクロックの 16 分周

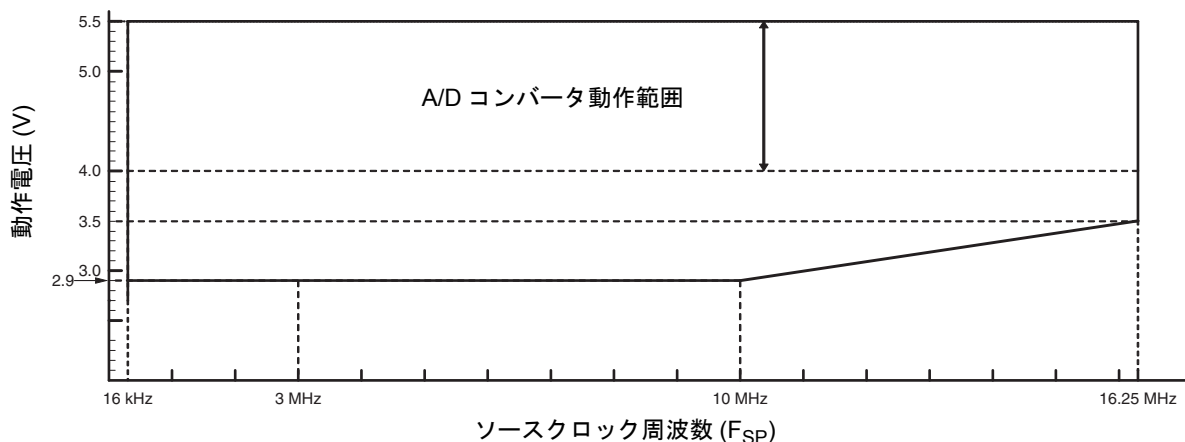
・ クロック生成部の概略図



- ・ 動作電圧 - 動作周波数 ($T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)
MB95330H (オンチップデバッグ機能なし)



- ・ 動作電圧 - 動作周波数 ($T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)
MB95330H (オンチップデバッグ機能あり)



13.4.3 外部リセット

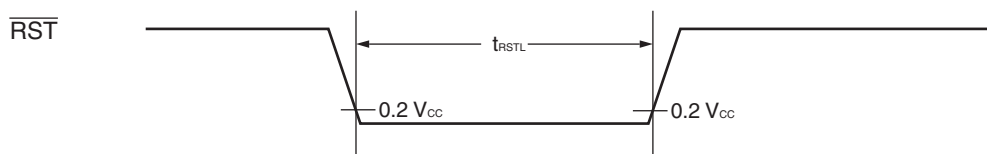
($V_{CC} = 5.0\text{ V} \pm 10\%$, $V_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$)

項目	記号	規格値		単位	備考
		最小	最大		
$\overline{\text{RST}}$ “L” レベル パルス幅	t_{RSTL}	$2 t_{\text{MCLK}}^{*1}$	—	ns	通常動作の場合
		振動子の発振時間 $^{*2} + 100$	—	μs	ストップモード, サブクロックモード, サブスリープモード, 時計モード, 電源投入 の場合
		100	—	μs	タイムベースタイマモードの場合

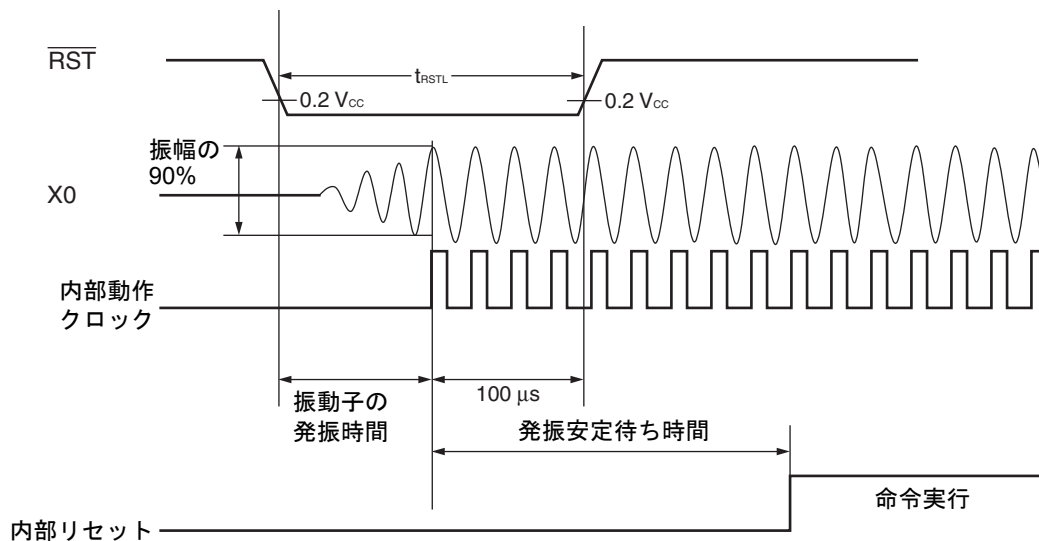
* 1 : t_{MCLK} については「13.4.2 ソースクロック / マシンクロック」を参照してください。

* 2 : 振動子の発振時間は, 振幅の 90 % に達するまでの時間です。水晶振動子は数 ms ~ 数十 ms, セラミック振動子は数百 μs ~ 数 ms, 外部クロックは 0ms, CR 発振器は数 μs ~ 数 ms となります。

・通常動作の場合



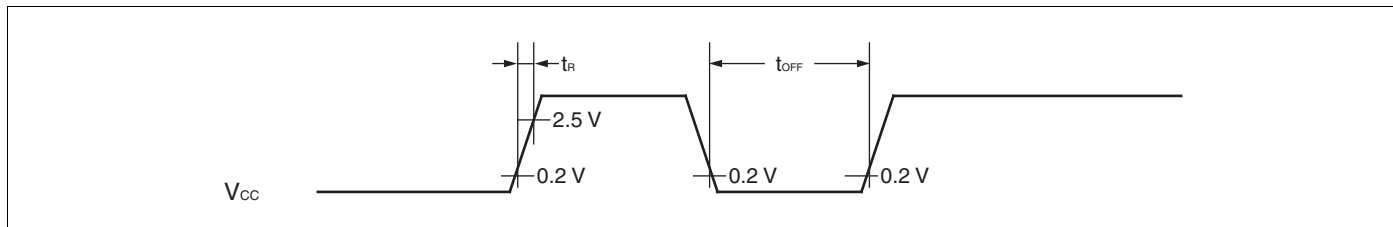
・ストップモード, サブクロックモード, サブスリープモード, 時計モード, 電源投入の場合



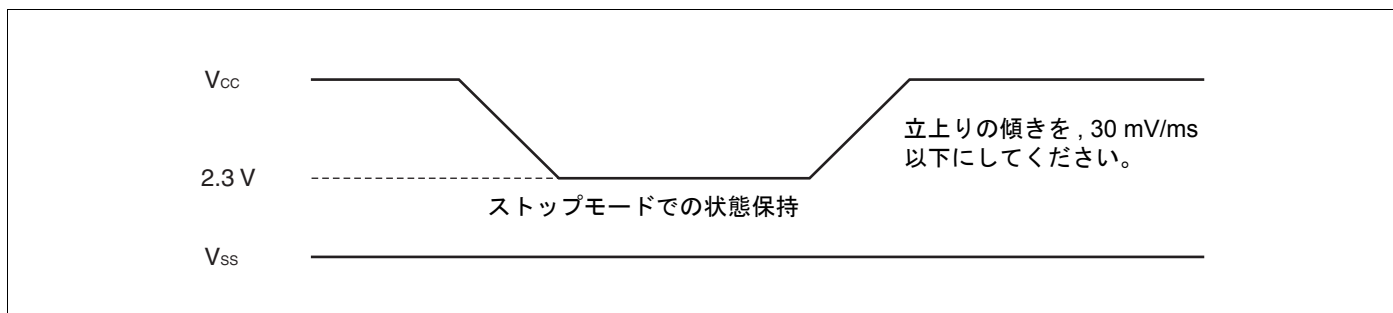
13.4.4 パワーオンリセット

 $(V_{SS} = 0.0 \text{ V}, T_A = -40^\circ\text{C} \sim +85^\circ\text{C})$

項目	記号	条件	規格値		単位	備考
			最小	最大		
電源立上り時間	t_R	—	—	50	ms	
電源断時間	t_{OFF}	—	1	—	ms	電源投入までの待ち時間



(注意事項) 電源電圧を急激に変化させると、パワーオンリセットが起動される場合があります。動作中に電源電圧を変化させる場合は、下図のように立上りの傾きを、30 mV/ms 以下にしてください。

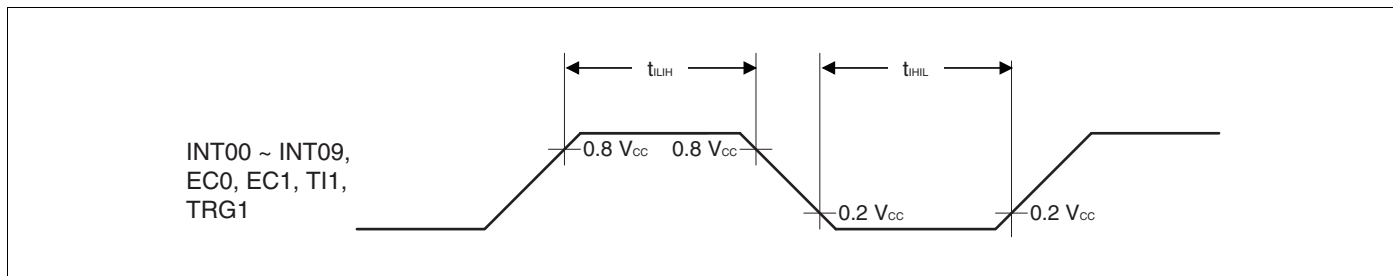


13.4.5 周辺入力タイミング

 $(V_{CC} = 5.0 \text{ V} \pm 10\%, V_{SS} = 0.0 \text{ V}, T_A = -40^\circ\text{C} \sim +85^\circ\text{C})$

項目	記号	端子名	規格値		単位
			最小	最大	
周辺入力“H”パルス幅	t_{LH}	INT00 ~ INT09, EC0, EC1, TI1, TRG1	$2 t_{MCLK}^*$	—	ns
周辺入力“L”パルス幅	t_{HIL}		$2 t_{MCLK}^*$	—	ns

* : t_{MCLK} については、「13.4.2 ソースクロック/マシンクロック」を参照してください。



13.4.6 LIN-UART タイミング

サンプリングクロックの立上りエッジでサンプリングを行い*¹, シリアルクロック遅延を禁止する場合*²

(ESCR レジスタ : SCES ビット = 0, ECCR レジスタ : SCDE ビット = 0)

($V_{CC} = 5.0 \text{ V} \pm 10\%$, $AV_{SS} = V_{SS} = 0.0 \text{ V}$, $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)

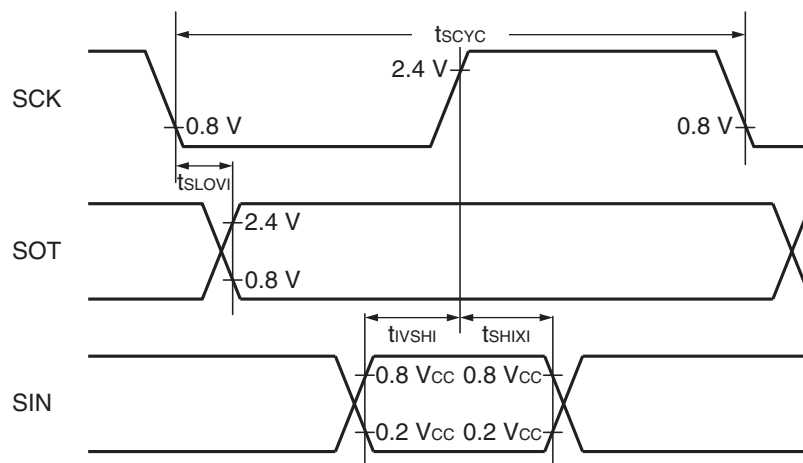
項目	記号	端子名	条件	規格値		単位
				最小	最大	
シリアルクロックサイクルタイム	t_{SCYC}	SCK	内部クロック動作 出力端子 : $C_L = 80 \text{ pF} + 1 \text{ TTL}$	$5 t_{MCLK}^{*3}$	—	ns
SCK ↓ → SOT 遅延時間	t_{SLOVI}	SCK, SOT		— 95	+ 95	ns
有効 SIN → SCK ↑	t_{IVSHI}	SCK, SIN		$t_{MCLK}^{*3} + 190$	—	ns
SCK ↑ → 有効 SIN ホールド時間	t_{SHIXI}	SCK, SIN		0	—	ns
シリアルクロック “L” パルス幅	t_{SLSH}	SCK	外部クロック動作 出力端子 : $C_L = 80 \text{ pF} + 1 \text{ TTL}$	$3 t_{MCLK}^{*3} - t_R$	—	ns
シリアルクロック “H” パルス幅	t_{SHSL}	SCK		$t_{MCLK}^{*3} + 95$	—	ns
SCK ↓ → SOT 遅延時間	t_{SLOVE}	SCK, SOT		—	$2 t_{MCLK}^{*3} + 95$	ns
有効 SIN → SCK ↑	t_{IVSHE}	SCK, SIN		190	—	ns
SCK ↑ → 有効 SIN ホールド時間	t_{SHIXE}	SCK, SIN		$t_{MCLK}^{*3} + 95$	—	ns
SCK 立下り時間	t_F	SCK		—	10	ns
SCK 立上り時間	t_R	SCK		—	10	ns

* 1 : 受信データのサンプリングをシリアルクロックの立上りで行うか, 立下りで行うかを選択する機能があります。

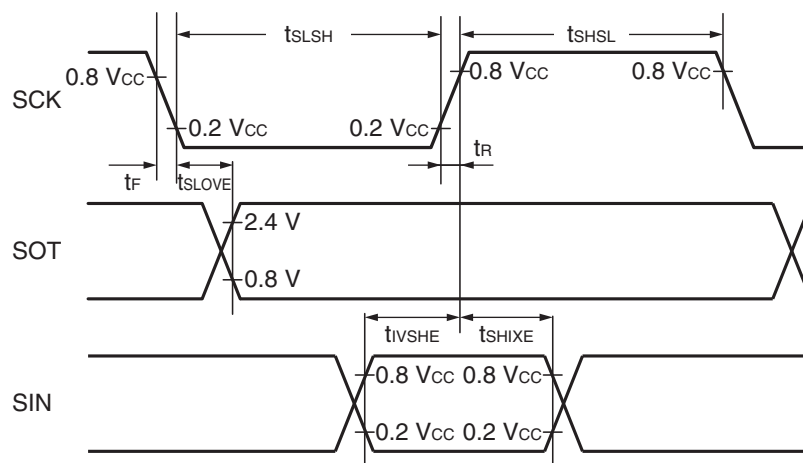
* 2 : シリアルクロック遅延機能は, シリアルクロックの出力信号を半クロック遅延させる機能です。

* 3 : t_{MCLK} については, 「13.4.2 ソースクロック / マシンクロック」を参照してください。

・内部シフトクロックモード



・外部シフトクロックモード



サンプリングクロックの立下りエッジでサンプリングを行い*¹, シリアルクロック遅延を禁止する場合*²

(ESCR レジスタ : SCES ビット= 1, ECCR レジスタ : SCDE ビット= 0)

($V_{CC} = 5.0\text{ V} \pm 10\%$, $V_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$)

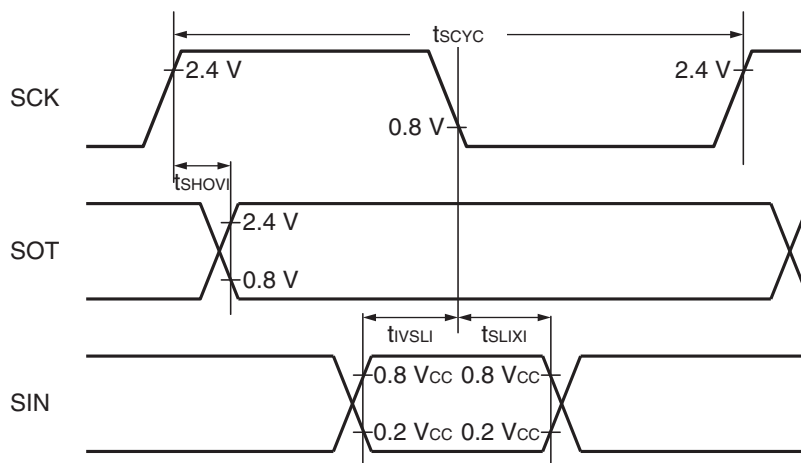
項目	記号	端子名	条件	規格値		単位
				最小	最大	
シリアルクロックサイクルタイム	t_{SCYC}	SCK	内部クロック動作 出力端子 : $C_L = 80\text{ pF} + 1\text{ TTL}$	$5 t_{MCLK}^{*3}$	—	ns
SCK ↑ → SOT 遅延時間	t_{SHOVI}	SCK, SOT		— 95	+ 95	ns
有効 SIN → SCK ↓	t_{IVSLI}	SCK, SIN		$t_{MCLK}^{*3} + 190$	—	ns
SCK ↓ → 有効 SIN ホールド時間	t_{SLIXI}	SCK, SIN		0	—	ns
シリアルクロック “H” パルス幅	t_{SHSL}	SCK	外部クロック動作 出力端子 : $C_L = 80\text{ pF} + 1\text{ TTL}$	$3 t_{MCLK}^{*3} - t_R$	—	ns
シリアルクロック “L” パルス幅	t_{SLSH}	SCK		$t_{MCLK}^{*3} + 95$	—	ns
SCK ↑ → SOT 遅延時間	t_{SHOVE}	SCK, SOT		—	$2 t_{MCLK}^{*3} + 95$	ns
有効 SIN → SCK ↓	t_{IVSLE}	SCK, SIN		190	—	ns
SCK ↓ → 有効 SIN ホールド時間	t_{SLIXE}	SCK, SIN		$t_{MCLK}^{*3} + 95$	—	ns
SCK 立下り時間	t_F	SCK		—	10	ns
SCK 立上り時間	t_R	SCK		—	10	ns

* 1 : 受信データのサンプリングをシリアルクロックの立上りで行うか, 立下りで行うかを選択する機能があります。

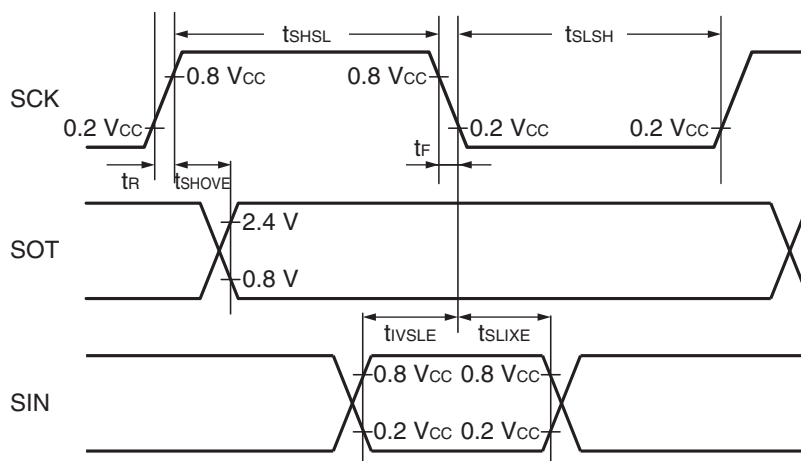
* 2 : シリアルクロック遅延機能は, シリアルクロックの出力信号を半クロック遅延させる機能です。

* 3 : t_{MCLK} については, 「13.4.2 ソースクロック / マシンクロック」を参照してください。

・ 内部シフトクロックモード



・ 外部シフトクロックモード



サンプリングクロックの立上りエッジでサンプリングを行い*¹, シリアルクロック遅延を許可する場合*²
 (ESCR レジスタ : SCES ビット= 0, ECCR レジスタ : SCDE ビット= 1)

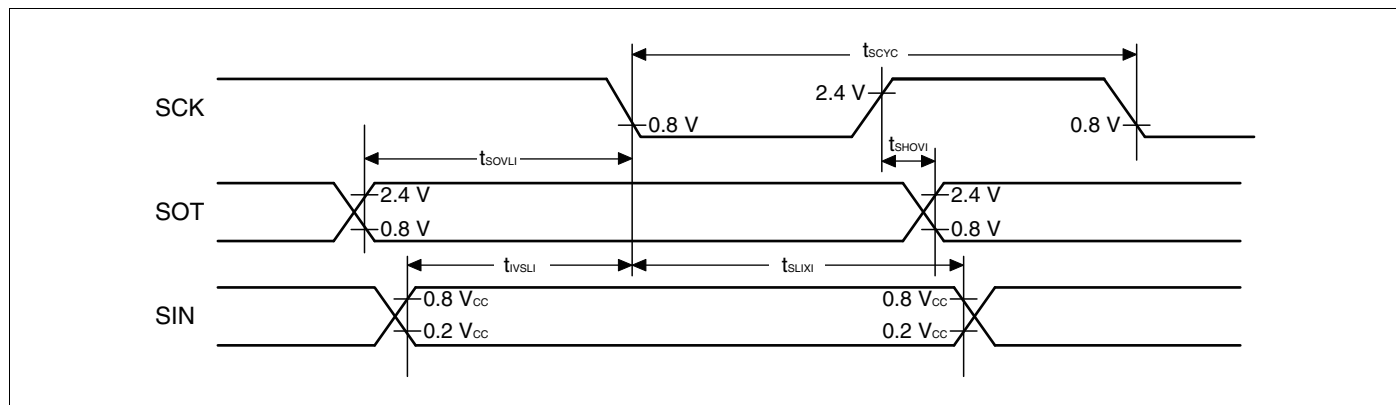
($V_{CC} = 5.0\text{ V} \pm 10\%$, $V_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
シリアルクロックサイクルタイム	t_{SCYC}	SCK	内部クロック動作 出力端子 : $C_L = 80\text{ pF} + 1\text{ TTL}$	$5 t_{MCLK}^{*3}$	—	ns
SCK ↑ → SOT 遅延時間	t_{SHOVI}	SCK, SOT		— 95	+ 95	ns
有効 SIN → SCK ↓	t_{IVSLI}	SCK, SIN		$t_{MCLK}^{*3} + 190$	—	ns
SCK ↓ → 有効 SIN ホールド時間	t_{SLIXI}	SCK, SIN		0	—	ns
SOT → SCK ↓ 遅延時間	t_{SOVLI}	SCK, SOT		—	$4 t_{MCLK}^{*3}$	ns

* 1 : 受信データのサンプリングをシリアルクロックの立上りで行うか, 立下りで行うかを選択する機能があります。

* 2 : シリアルクロック遅延機能は, シリアルクロックの出力信号を半クロック遅延させる機能です。

* 3 : t_{MCLK} については, 「13.4.2 ソースクロック / マシンクロック」を参照してください。



サンプリングクロックの立下りエッジでサンプリングを行い*¹, シリアルクロック遅延を許可する場合*²

(ESCR レジスタ : SCES ビット= 1, ECCR レジスタ : SCDE ビット= 1)

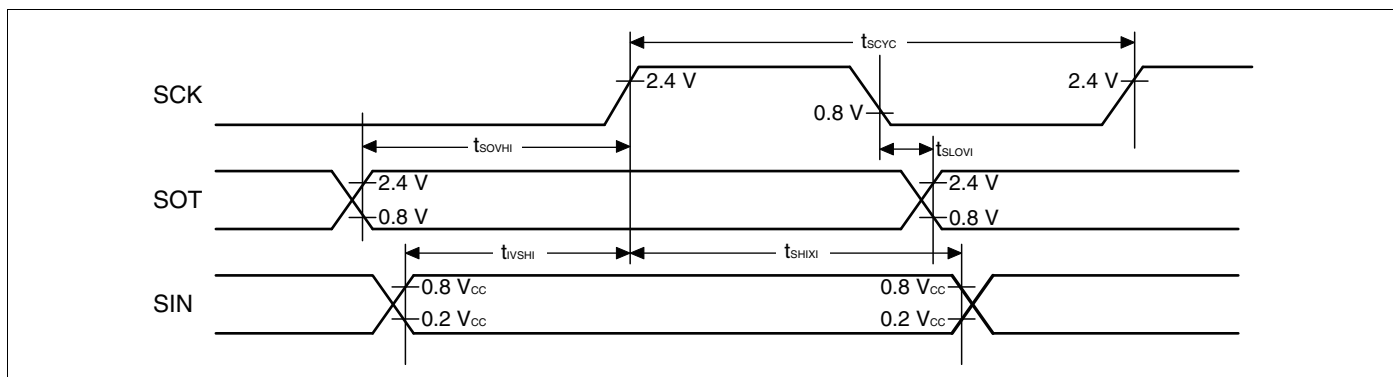
($V_{CC} = 5.0\text{ V} \pm 10\%$, $V_{SS} = 0.0\text{ V}$, $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
シリアルクロックサイクルタイム	t_{SCYC}	SCK	内部クロック動作 出力端子 : $C_L = 80\text{ pF} + 1\text{ TTL}$	$5 t_{MCLK}^{*3}$	—	ns
SCK ↓ → SOT 遅延時間	t_{SLOVI}	SCK, SOT		— 95	+ 95	ns
有効 SIN → SCK ↑	t_{VSHI}	SCK, SIN		$t_{MCLK}^{*3} + 190$	—	ns
SCK ↑ → 有効 SIN ホールド時間	t_{SHIXI}	SCK, SIN		0	—	ns
SOT → SCK ↑ 遅延時間	t_{SOVHI}	SCK, SOT		—	$4 t_{MCLK}^{*3}$	ns

* 1 : 受信データのサンプリングをシリアルクロックの立上りで行うか, 立下りで行うかを選択する機能があります。

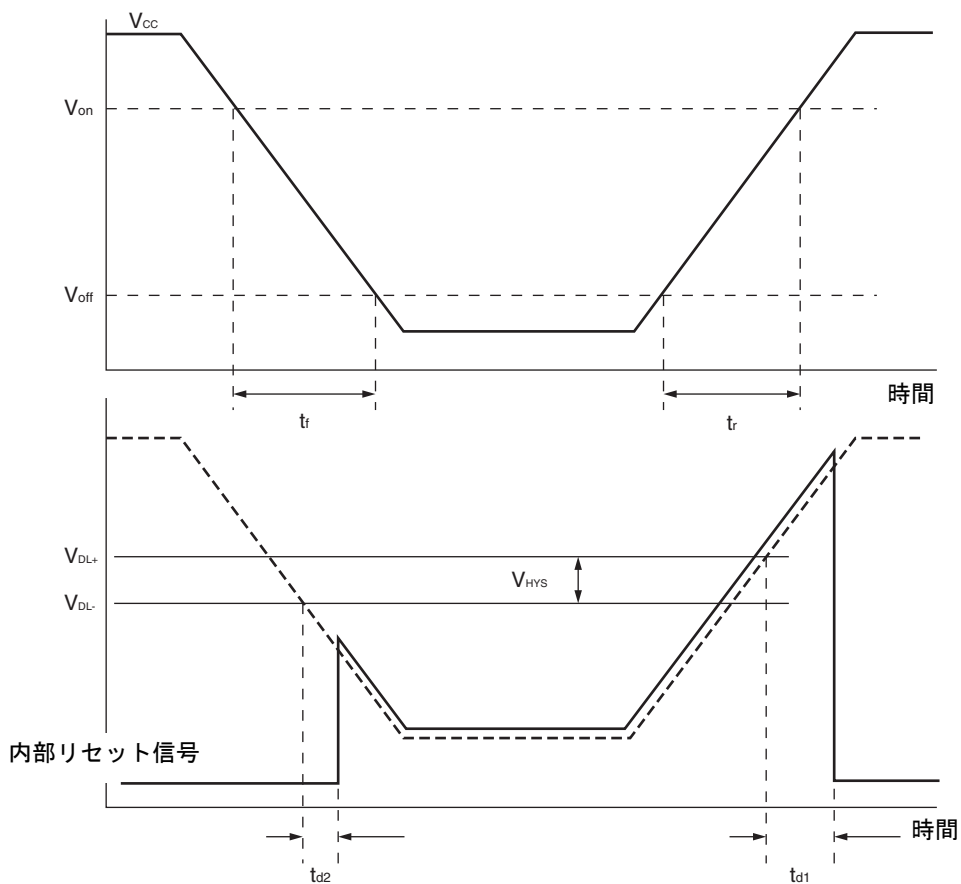
* 2 : シリアルクロック遅延機能は, シリアルクロックの出力信号を半クロック遅延させる機能です。

* 3 : t_{MCLK} については, 「13.4.2 ソースクロック / マシンクロック」を参照してください。



13.4.7 低電圧検出
 $(V_{SS} = 0.0\text{ V}, T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C})$

項目	記号	規格値			単位	備考
		最小	標準	最大		
解除電圧	V_{DL+}	2.52	2.7	2.88	V	電源上昇の場合
検出電圧	V_{DL-}	2.42	2.6	2.78	V	電源降下の場合
ヒステリシス幅	V_{HYS}	70	100	—	mV	
電源開始電圧	V_{off}	4.9	—	2.3	V	
電源電圧変化時間 (電源上昇の場合)	t_r	3000	—	—	μs	リセット解除信号が規格内 (V_{DL+}) で発生する電源の傾き
電源電圧変化時間 (電源降下の場合)	t_f	300	—	—	μs	リセット検出信号が規格内 (V_{DL-}) で発生する電源の傾き
リセット解除遅延時間	t_{d1}	—	—	300	μs	
リセット検出遅延時間	t_{d2}	—	—	20	μs	



13.4.8 I²C タイミング

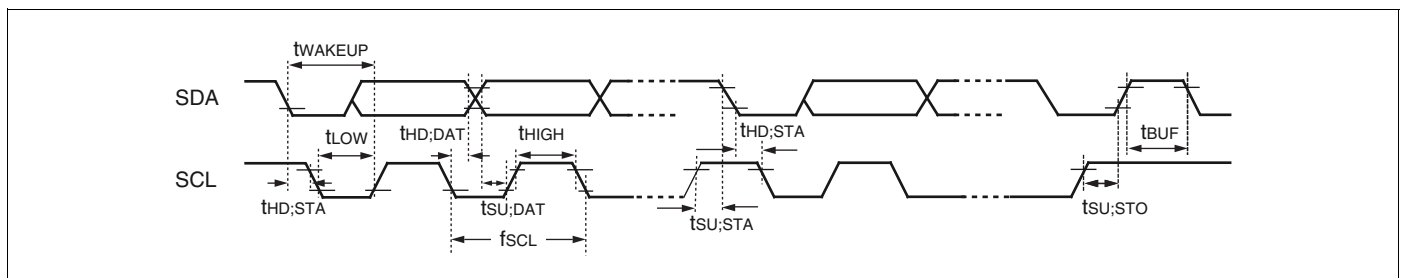
(V_{CC} = 5.0 V ± 10%, AV_{SS} = V_{SS} = 0.0 V, T_A = - 40 °C ~ + 85 °C)

項目	記号	端子名	条件	規格値				単位
				標準モード		高速モード		
				最小	最大	最小	最大	
SCL クロック周波数	f _{SCL}	SCL	R = 1.7 kΩ C = 50 pF*1	0	100	0	400	kHz
(反復) スタート条件ホールド時間 SDA ↓ → SCL ↓	t _{HD;STA}	SCL, SDA		4.0	—	0.6	—	μs
SCL クロック “L” 幅	t _{LOW}	SCL		4.7	—	1.3	—	μs
SCL クロック “H” 幅	t _{HIGH}	SCL		4.0	—	0.6	—	μs
(反復) スタート条件ホールド時間 SCL ↑ → SDA ↓	t _{SU;STA}	SCL, SDA		4.7	—	0.6	—	μs
データホールド時間 SCL ↓ → SDA ↓↑	t _{HD;DAT}	SCL, SDA		0	3.45*2	0	0.9*3	μs
データセットアップ時間 SDA ↓↑ → SCL ↑	t _{SU;DAT}	SCL, SDA		0.25	—	0.1	—	μs
ストップ条件セットアップ時間 SCL ↑ → SDA ↑	t _{SU;STO}	SCL, SDA		4	—	0.6	—	μs
ストップ条件とスタート条件との間の バスフリー時間	t _{BUF}	SCL, SDA		4.7	—	1.3	—	μs

* 1 : R, C は SCL, SDA ラインのプルアップ抵抗, 負荷容量です。

* 2 : t_{HD;DAT} の最大値は, デバイスが SCL 信号の “L” 区間 (t_{LOW}) を延長していないときにのみ適用されます。

* 3 : 高速モード I²C バスデバイスを標準モード I²C バスシステムに使用することはできますが, 要求される条件 t_{SU;DAT} ≥ 250 ns を満足しなければなりません。



$(V_{CC} = 5.0\text{ V} \pm 10\%, AV_{SS} = V_{SS} = 0.0\text{ V}, T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C})$

項目	記号	端子名	条件	規格値 * 2		単位	備考
				最小	最大		
SCL クロック “L” 幅	t_{LOW}	SCL	R = 1.7 k Ω , C = 50 pF*1	$(2 + nm/2)t_{MCLK} - 20$	—	ns	マスタモード
SCL クロック “H” 幅	t_{HIGH}	SCL		$(nm/2)t_{MCLK} - 20$	$(nm/2)t_{MCLK} + 20$	ns	マスタモード
START 条件 ホールド時間	$t_{HD;STA}$	SCL, SDA		$(-1 + nm/2)t_{MCLK} - 20$	$(-1 + nm)t_{MCLK} + 20$	ns	マスタモード 最大値は m, n=1, 8 時に 適用。 それ以外の設定は最小 値を適用。
STOP 条件 セットアップ時間	$t_{SU;STO}$	SCL, SDA		$(1 + nm/2)t_{MCLK} - 20$	$(1 + nm/2)t_{MCLK} + 20$	ns	マスタモード
START 条件セット アップ時間	$t_{SU;STA}$	SCL, SDA		$(1 + nm/2)t_{MCLK} - 20$	$(1 + nm/2)t_{MCLK} + 20$	ns	マスタモード
「ストップ」条件と 「スタート」条件との 間のバスフリー時間	t_{BUF}	SCL, SDA		$(2nm + 4)t_{MCLK} - 20$	—	ns	
データホールド時間	$t_{HD;DAT}$	SCL, SDA		$3t_{MCLK} - 20$	—	ns	マスタモード
データ セットアップ時間	$t_{SU;DAT}$	SCL, SDA		$(-2 + nm/2)t_{MCLK} - 20$	$(-1 + nm/2)t_{MCLK} + 20$	ns	マスタモード SCL の “L” が引き延ば されていないと仮定し た場合。最小値は連続 データの第 1 ビットに 適用。それ以外は最大 値を適用。
割込みクリアから SCL 立上りまでの セットアップ時間	$t_{SU;INT}$	SCL		$(nm/2)t_{MCLK} - 20$	$(1 + nm/2)t_{MCLK} + 20$	ns	最小値は 9th SCL ↓ 時 の割込みに適用。最大 値は 8th SCL ↓ 時の割 込みに適用。
SCL クロック “L” 幅	t_{LOW}	SCL		$4t_{MCLK} - 20$	—	ns	受信の場合
SCL クロック “H” 幅	t_{HIGH}	SCL			—	ns	受信の場合
「スタート」条件検出	$t_{HD;STA}$	SCL, SDA		$2t_{MCLK} - 20$	—	ns	受信の場合 $1t_{MCLK}$ の 場合未検出
「ストップ」条件検出	$t_{SU;STO}$	SCL, SDA		$2t_{MCLK} - 20$	—	ns	受信の場合 $1t_{MCLK}$ の 場合未検出
「再スタート」条件 検出条件	$t_{SU;STA}$	SCL, SDA		$2t_{MCLK} - 20$	—	ns	受信の場合 $1t_{MCLK}$ の 場合未検出
バスフリー時間	t_{BUF}	SCL, SDA		$2t_{MCLK} - 20$	—	ns	受信の場合
データホールド時間	$t_{HD;DAT}$	SCL, SDA		$2t_{MCLK} - 20$	—	ns	スレーブ送信モードの 場合

$(V_{CC} = 5.0\text{ V} \pm 10\%, AV_{SS} = V_{SS} = 0.0\text{ V}, T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C})$

項目	記号	端子名	条件	規格値 * 2		単位	備考
				最小	最大		
データセットアップ時間	$t_{SU;DAT}$	SCL, SDA	$R = 1.7\text{ k}\Omega$, $C = 50\text{ pF}^{*1}$	$t_{LOW} - 3\ t_{MCLK} - 20$	—	ns	スレーブ送信モードの場合
データホールド時間	$t_{HD;DAT}$	SCL, SDA		0	—	ns	受信の場合
データセットアップ時	$t_{SU;DAT}$	SCL, SDA		$t_{MCLK} - 20$	—	ns	受信の場合
SDA↓ → SCL↑ (ウェイクアップ機能時)	t_{WAKEUP}	SCL, SDA		発振安定待ち時間 $+2\ t_{MCLK} - 20$	—	ns	

* 1 : R, C は SCL, SDA ラインのプルアップ抵抗, 負荷容量です。

* 2 : • t_{MCLK} については, 「13.4.2 ソースクロック / マシンクロック」を参照してください。

- m は I²C クロック制御レジスタ (ICCR0) の CS4, CS3 ビット (bit4, bit3) です。
- n は I²C クロック制御レジスタ (ICCR0) の CS2 ~ CS0 ビット (bit2 ~ bit0) です。
- I²C の実際のタイミングは, マシンクロック (t_{MCLK}) および, ICCR0 レジスタの CS4 ~ CS0 にて設定される m, n の値により決定されます。

• 標準モード:

$0.9\text{ MHz} < t_{MCLK}$ (マシンクロック) $< 10\text{ MHz}$ の範囲で m, n の設定が可能です。

m, n の設定によっては, 下記のように使用できるマシンクロックが決まります。

(m, n) = (1, 8): $0.9\text{ MHz} < t_{MCLK} \leq 1\text{ MHz}$

(m, n) = (1, 22), (5, 4), (6, 4), (7, 4), (8, 4): $0.9\text{ MHz} < t_{MCLK} \leq 2\text{ MHz}$

(m, n) = (1, 38), (5, 8), (6, 8), (7, 8), (8, 8): $0.9\text{ MHz} < t_{MCLK} \leq 4\text{ MHz}$

(m, n) = (1, 98): $0.9\text{ MHz} < t_{MCLK} \leq 10\text{ MHz}$

• 高速モード:

$3.3\text{ MHz} < t_{MCLK}$ (マシンクロック) $< 10\text{ MHz}$ の範囲で m, n の設定が可能です。

m, n の設定によっては, 下記のように使用できるマシンクロックが決まります。

(m, n) = (1, 8): $3.3\text{ MHz} < t_{MCLK} \leq 4\text{ MHz}$

(m, n) = (1, 22), (5, 4): $3.3\text{ MHz} < t_{MCLK} \leq 8\text{ MHz}$

(m, n) = (6, 4): $3.3\text{ MHz} < t_{MCLK} \leq 10\text{ MHz}$

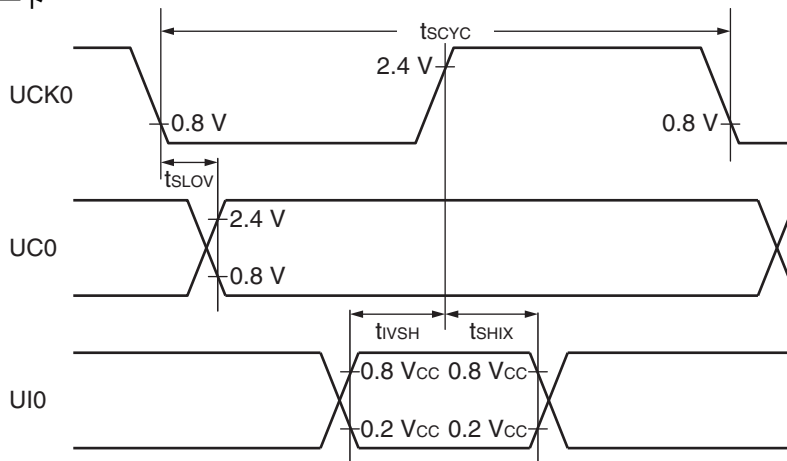
13.4.9 UART/SIO, シリアル入出力タイミング

($V_{CC} = 5.0\text{ V} \pm 10\%$, $AV_{SS} = V_{SS} = 0.0\text{ V}$, $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)

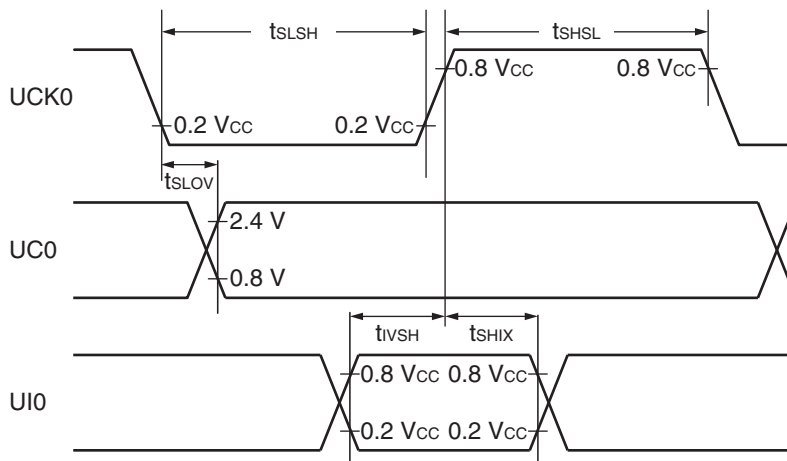
項目	記号	端子名	条件	規格値		単位
				最小	最大	
シリアルクロックサイクルタイム	t_{SCYC}	UCK0	内部クロック動作	$4 t_{MCLK}^*$	—	ns
UCK ↓ → UO 時間	t_{SLOV}	UCK0, UO0		— 190	+ 190	ns
有効 UI → UCK ↑	t_{IVSH}	UCK0, UI0		$2 t_{MCLK}^*$	—	ns
UCK ↑ → 有効 UI ホールド 時間	t_{SHIX}	UCK, UI0		$2 t_{MCLK}^*$	—	ns
シリアルクロック “H” パルス幅	t_{SHSL}	UCK0	外部クロック動作	$4 t_{MCLK}^*$	—	ns
シリアルクロック “L” パルス幅	t_{SLSH}	UCK0		$4 t_{MCLK}^*$	—	ns
UCK ↓ → UO 時間	t_{SLOV}	UCK0, UO0		—	190	ns
有効 UI → UCK ↑	t_{IVSH}	UCK0, UI0		$2 t_{MCLK}^*$	—	ns
UCK ↑ → 有効 UI ホールド 時間	t_{SHIX}	UCK0, UI0		$2 t_{MCLK}^*$	—	ns

* : t_{MCLK} については、「13.4.2 ソースクロック / マシンクロック」を参照してください。

・内部シフトクロックモード



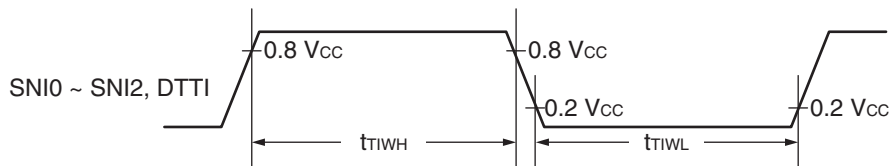
・外部シフトクロックモード



13.4.10 MPG 入力タイミング

 $(V_{CC} = 5.0 \text{ V} \pm 10\%, AV_{SS} = V_{SS} = 0.0 \text{ V}, T_A = -40^\circ\text{C} \sim +85^\circ\text{C})$

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t_{TIWH} t_{TIWL}	SNI0 ~ SNI2, DTTI	—	$4 t_{MCLK}$	—	ns	



13.5 A/D コンバータ

13.5.1 A/D コンバータ電気的特性

 $(V_{CC} = 4.0 \text{ V} \sim 5.5 \text{ V}, V_{SS} = 0.0 \text{ V}, T_A = -40^\circ\text{C} \sim +85^\circ\text{C})$

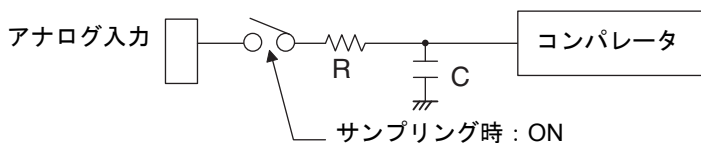
項目	記号	規格値			単位	備考
		最小	標準	最大		
分解能	—	—	—	10	bit	
総合誤差		-3	—	+3	LSB	
直線性誤差		-2.5	—	+2.5	LSB	
微分直線性誤差		-1.9	—	+1.9	LSB	
ゼロトランジション電圧	V_{OT}	$V_{SS} - 1.5 \text{ LSB}$	$V_{SS} + 0.5 \text{ LSB}$	$V_{SS} + 2.5 \text{ LSB}$	V	
フルスケール トランジション電圧	V_{FST}	$V_{CC} - 4.5 \text{ LSB}$	$V_{CC} - 2 \text{ LSB}$	$V_{CC} + 0.5 \text{ LSB}$	V	
コンペア時間	—	0.9	—	16500	μs	$4.5 \text{ V} \leq V_{CC} \leq 5.5 \text{ V}$
		1.8	—	16500	μs	$4.0 \text{ V} \leq V_{CC} < 4.5 \text{ V}$
サンプリング時間	—	0.6	—	∞	μs	$4.5 \text{ V} \leq V_{CC} \leq 5.5 \text{ V}$, 外部インピーダンス < 5.4 kΩ の場合
		1.2	—	∞	μs	$4.0 \text{ V} \leq V_{CC} < 4.5 \text{ V}$, 外部インピーダンス < 2.4 kΩ の場合
アナログ入力電流	I_{AIN}	-0.3	—	+0.3	μA	
アナログ入力電圧	V_{AIN}	V_{SS}	—	V_{CC}	V	

13.5.2 A/D コンバータの注意事項

■ アナログ入力の外部インピーダンスとサンプリング時間について

- MB95330H シリーズの A/D コンバータはサンプルホールド付きのものです。外部インピーダンスが高くサンプリング時間を十分に確保できない場合には、内部サンプルホールド用コンデンサに十分にアナログ電圧が充電されず、A/D 変換精度に影響を及ぼします。したがって、A/D 変換精度規格を満たすために、外部インピーダンスと最小サンプリング時間の関係から、サンプリング時間を最小値より長くなるようにレジスタ値と動作周波数を調整するか、外部インピーダンスを下げてください。また、サンプリング時間を十分に確保できない場合は、アナログ入力端子に 0.1 μF 程度のコンデンサを接続してください。

・ アナログ入力等価回路

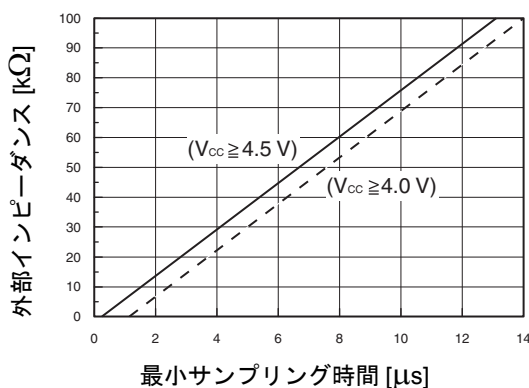


V_{CC}	R	C
$4.5\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	1.95 $\text{k}\Omega$ (最大)	17 pF (最大)
$4.0\text{ V} \leq V_{CC} < 4.5\text{ V}$	8.98 $\text{k}\Omega$ (最大)	17 pF (最大)

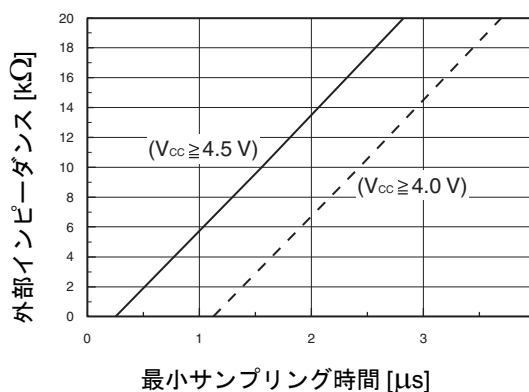
(注意事項) 数値は参考値です。

・ 外部インピーダンスと最小サンプリング時間の関係

[外部インピーダンス = 0 $\text{k}\Omega$ ~ 100 $\text{k}\Omega$ の場合]



[外部インピーダンス = 0 $\text{k}\Omega$ ~ 20 $\text{k}\Omega$ の場合]



■ A/D 変換誤差について

$|V_{CC} - V_{SS}|$ が小さくなるに従って、A/D 変換の誤差は大きくなります。

13.5.3 A/D コンバータの用語の定義

■ 分解能

A/D コンバータにより識別可能なアナログ変化を示します。
10 ビットなら、アナログ電圧を $2^{10} = 1024$ の部分に分解可能です。

■ 直線性誤差 (単位: LSB)

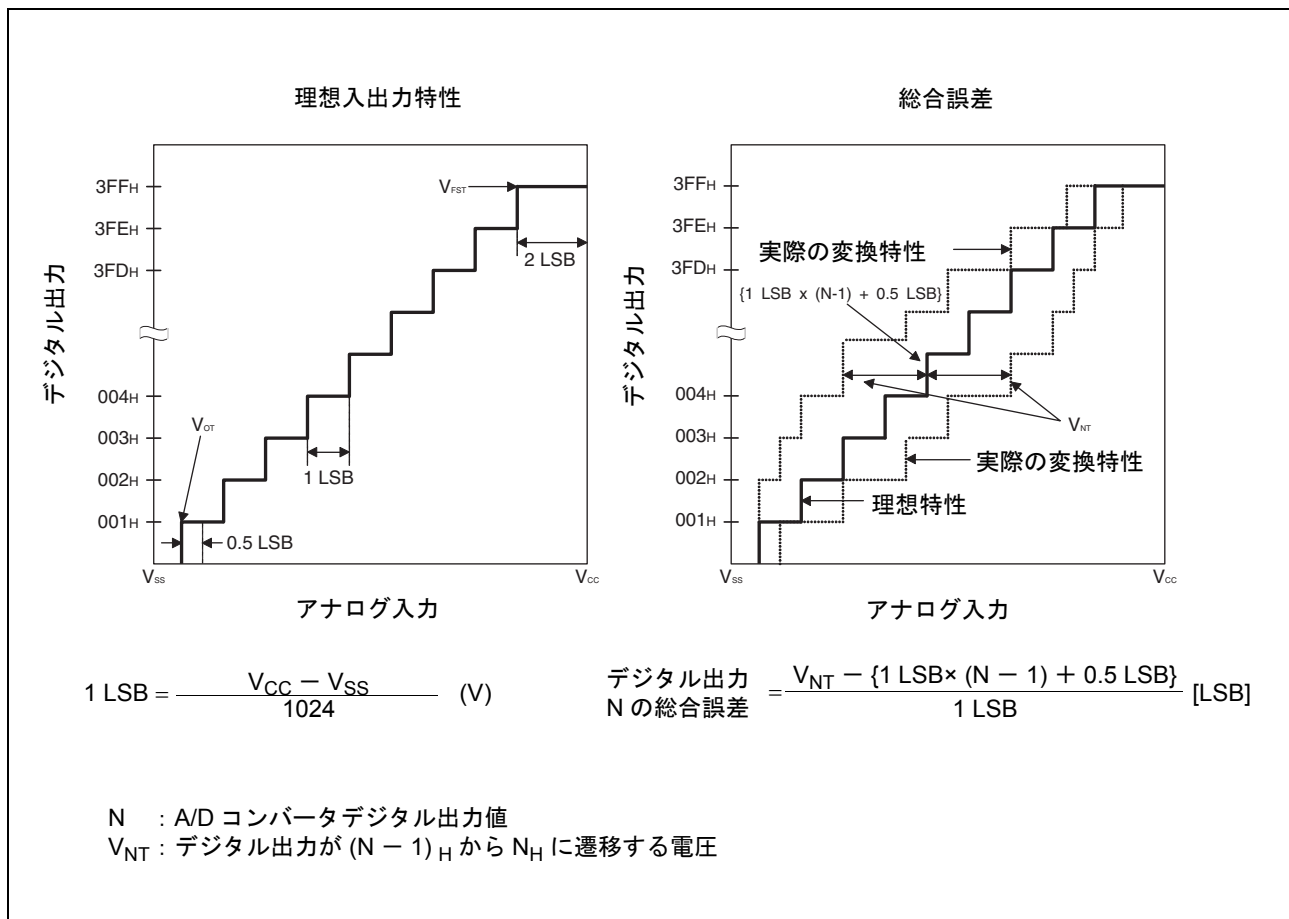
デバイスのゼロトランジション点 (“00 0000 0000” ←→ “00 0000 0001”) と、同じデバイスのフルスケールトランジション点 (“11 1111 1111” ←→ “11 1111 1110”) とを結んだ直線と、実際の変換値との誤差がどの程度かを示します。

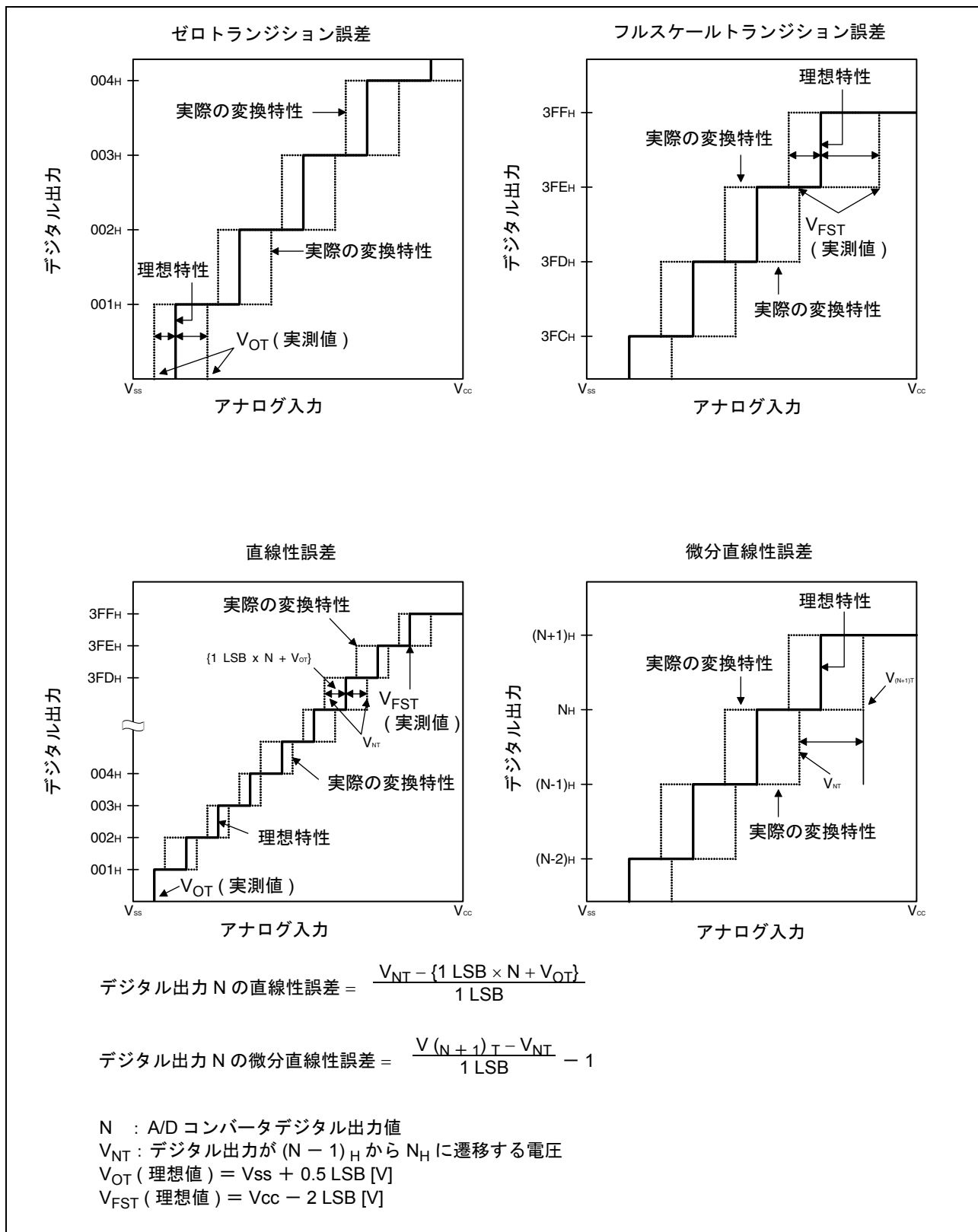
■ 微分直線性誤差 (単位: LSB)

出力コードを 1LSB 変化させるのに必要な入力電圧の理想値からの偏差がどの程度かを示します。

■ 総合誤差 (単位: LSB)

実際の値と理論値との差を示し、ゼロトランジション誤差 / フルススケールトランジション誤差 / 直線性誤差 / 量子誤差および雑音に起因する誤差です。





13.6 フラッシュメモリ書込み / 消去特性

項目	規格値			単位	備考
	最小	標準	最大		
セクタ消去時間 (2 K バイトセクタ)	—	0.2* ¹	0.5* ²	s	消去前 00 _H 書込み時間は除きます。
セクタ消去時間 (16 K バイトセクタ)	—	0.5* ¹	7.5* ²	s	消去前 00 _H 書込み時間は除きます。
バイト書込み時間	—	21	6100* ²	μs	システムレベルのオーバーヘッド時間は除きます。
消去 / 書込みサイクル	100000	—	—	cycle	
消去 / 書込み時の電源電圧	3.0	—	5.5	V	
フラッシュメモリデータ保持時間	20* ³	—	—	year	平均 T _A = + 85 °C

* 1 : T_A = + 25 °C, V_{CC} = 5.0 V, 100000 サイクル

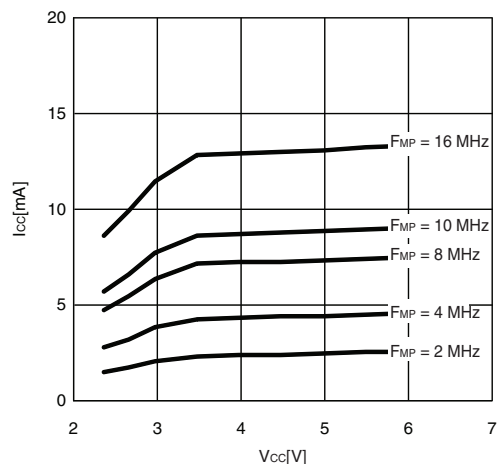
* 2 : T_A = + 85 °C, V_{CC} = 3.0 V, 100000 サイクル

* 3 : テクノロジ信頼性評価結果からの換算値です (アレニウスの式を使用し, 高温加速試験結果を平均温度 + 85 °C へ換算しています)。

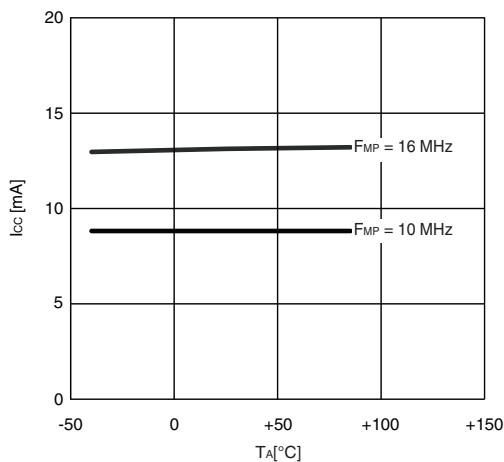
14. 特性例

■ 電源電流・温度特性

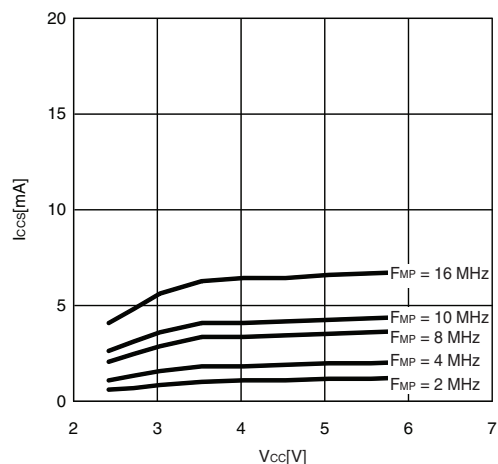
$I_{CC} - V_{CC}$
 $T_A = +25^\circ\text{C}$, $F_{MP} = 2, 4, 8, 10, 16 \text{ MHz}$ (2 分周)
 メインクロックモード, 外部クロック動作時



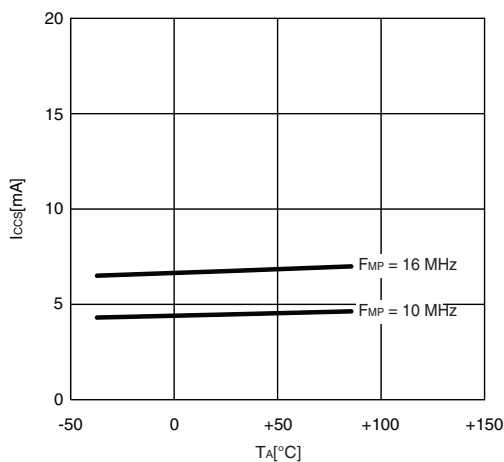
$I_{CC} - T_A$
 $V_{CC} = 5.5 \text{ V}$, $F_{MP} = 10, 16 \text{ MHz}$ (2 分周)
 メインクロックモード, 外部クロック動作時



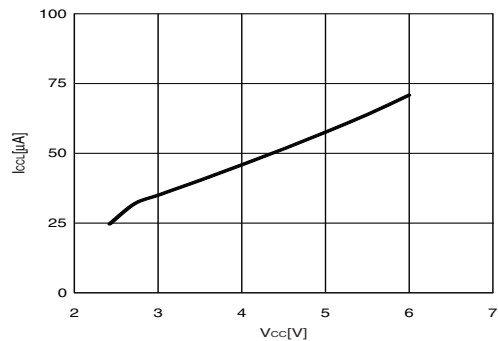
$I_{CCS} - V_{CC}$
 $T_A = +25^\circ\text{C}$, $F_{MP} = 2, 4, 8, 10, 16 \text{ MHz}$ (2 分周)
 メインスリープモード, 外部クロック動作時



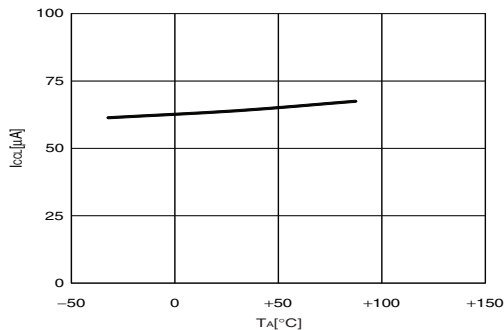
$I_{CCS} - T_A$
 $V_{CC} = 5.5 \text{ V}$, $F_{MP} = 10, 16 \text{ MHz}$ (2 分周)
 メインスリープモード, 外部クロック動作時



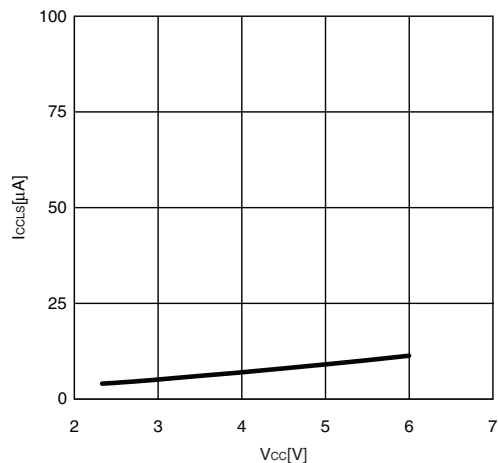
$I_{CCL} - V_{CC}$
 $T_A = +25^\circ\text{C}$, $F_{MPL} = 16 \text{ kHz}$ (2 分周)
 サブクロックモード, 外部クロック動作時



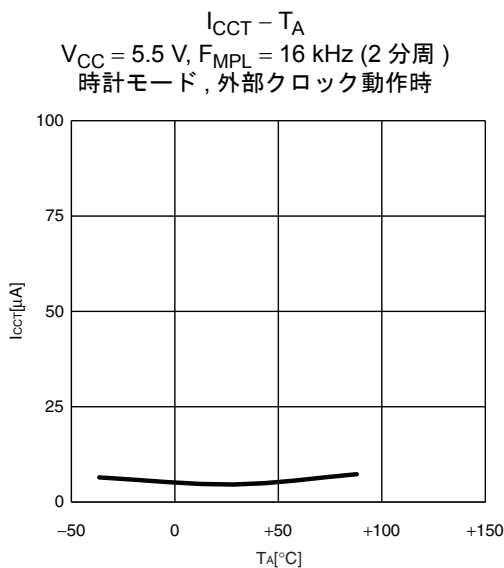
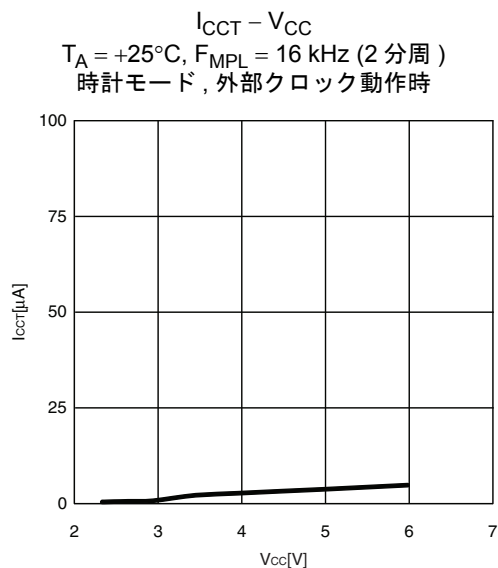
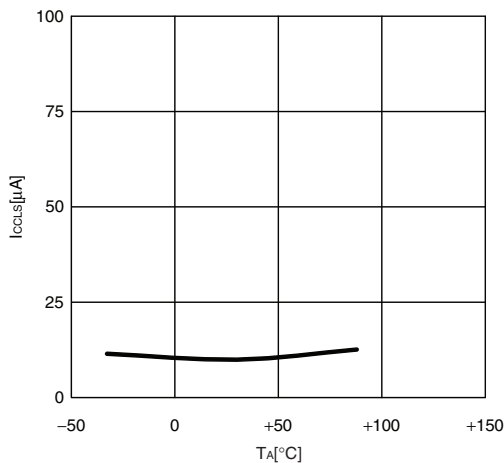
$I_{CCL} - T_A$
 $V_{CC} = 5.5 \text{ V}$, $F_{MPL} = 16 \text{ kHz}$ (2 分周)
 サブクロックモード, 外部クロック動作時



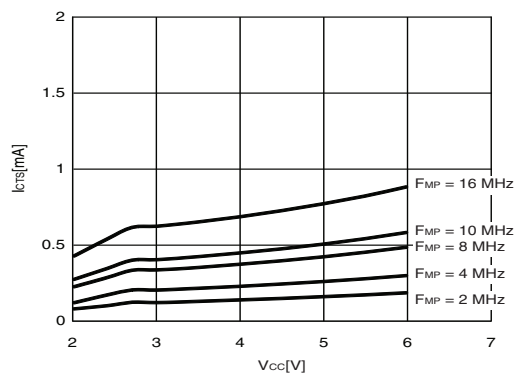
$I_{CCLS} - V_{CC}$
 $T_A = +25^\circ\text{C}$, $F_{MPL} = 16 \text{ kHz}$ (2 分周)
 サブスリープモード, 外部クロック動作時



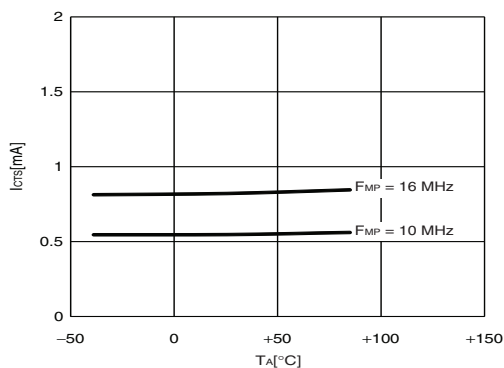
$I_{CCLS} - T_A$
 $V_{CC} = 5.5 \text{ V}$, $F_{MPL} = 16 \text{ kHz}$ (2 分周)
 サブスリープモード, 外部クロック動作時



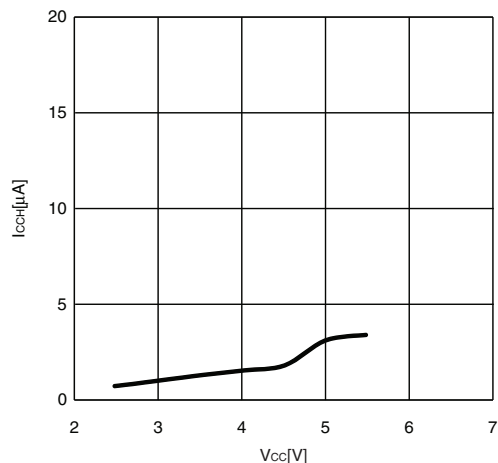
$I_{CTS} - V_{CC}$
 $T_A = +25^\circ\text{C}$, $F_{MP} = 2, 4, 8, 10, 16 \text{ MHz}$ (2 分周)
 タイムベースタイマモード, 外部クロック動作時



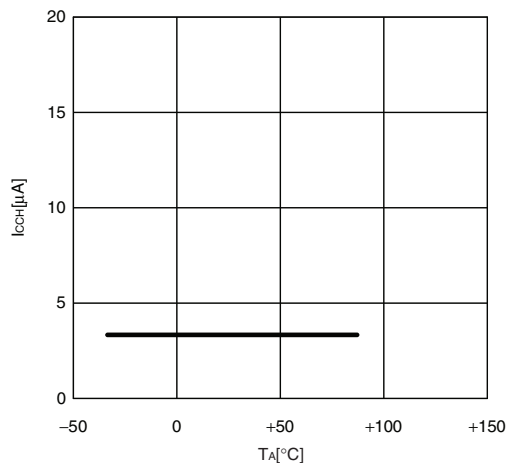
$I_{CTS} - T_A$
 $V_{CC} = 5.5 \text{ V}$, $F_{MP} = 10, 16 \text{ MHz}$ (2 分周)
 タイムベースタイマモード, 外部クロック動作時



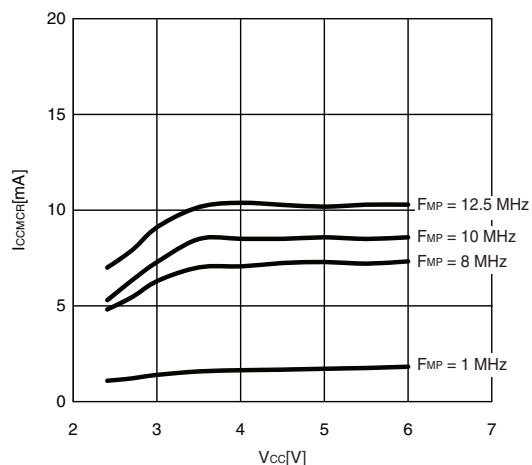
$I_{CCH} - V_{CC}$
 $T_A = +25^\circ\text{C}$, $F_{MPL} = (\text{停止})$
 サブストップモード, 外部クロック停止時



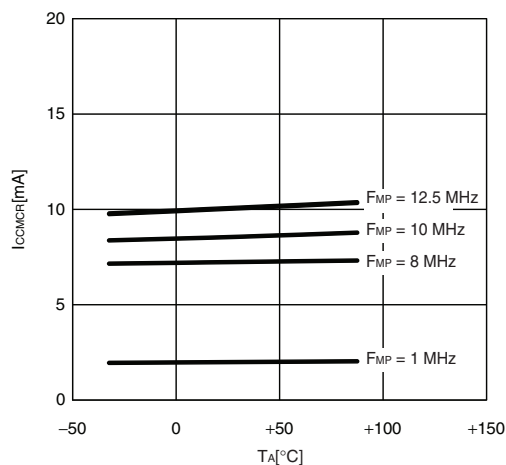
$I_{CCH} - T_A$
 $V_{CC} = 5.5 \text{ V}$, $F_{MPL} = (\text{停止})$
 サブストップモード, 外部クロック停止時



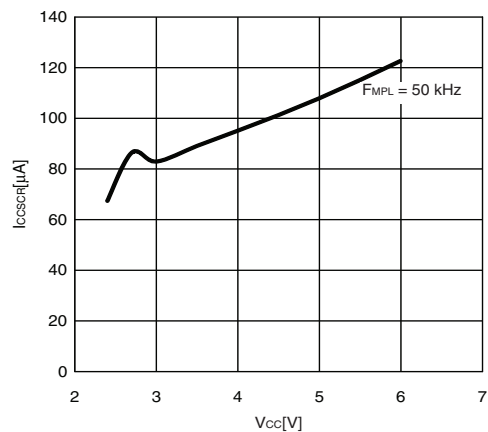
$I_{CCMCR} - V_{CC}$
 $T_A = +25^\circ\text{C}$, $F_{MP} = 1, 8, 10, 12.5 \text{ MHz}$ (分周なし)
 メインクロックモード, メイン CR クロック動作時



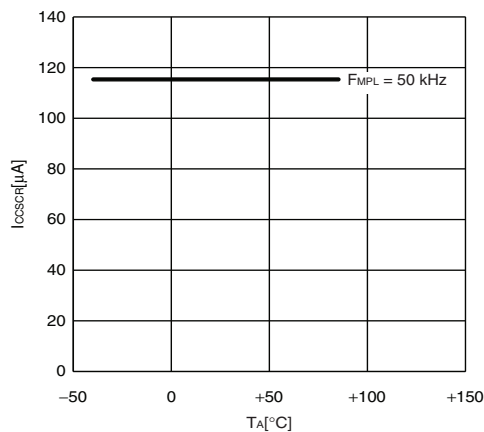
$I_{CCMCR} - T_A$
 $V_{CC} = 5.5 \text{ V}$, $F_{MP} = 1, 8, 10, 12.5 \text{ MHz}$ (分周なし)
 メインクロックモード, メイン CR クロック動作時

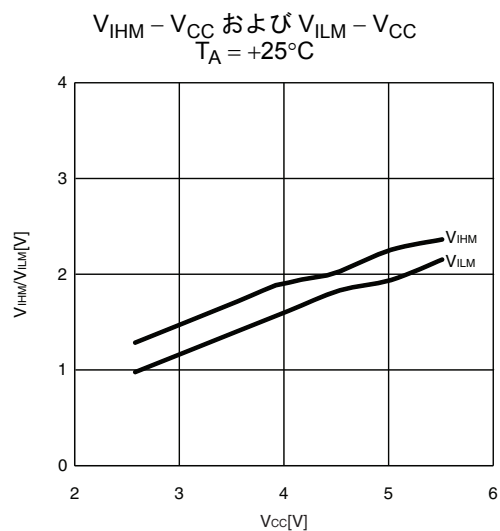
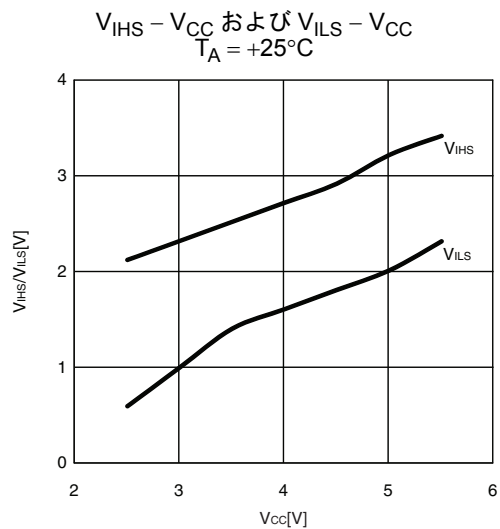
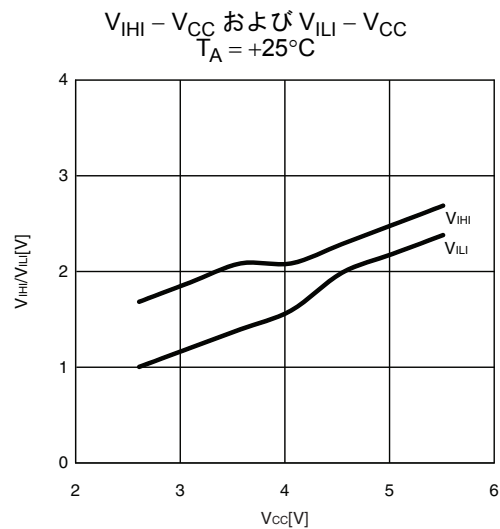


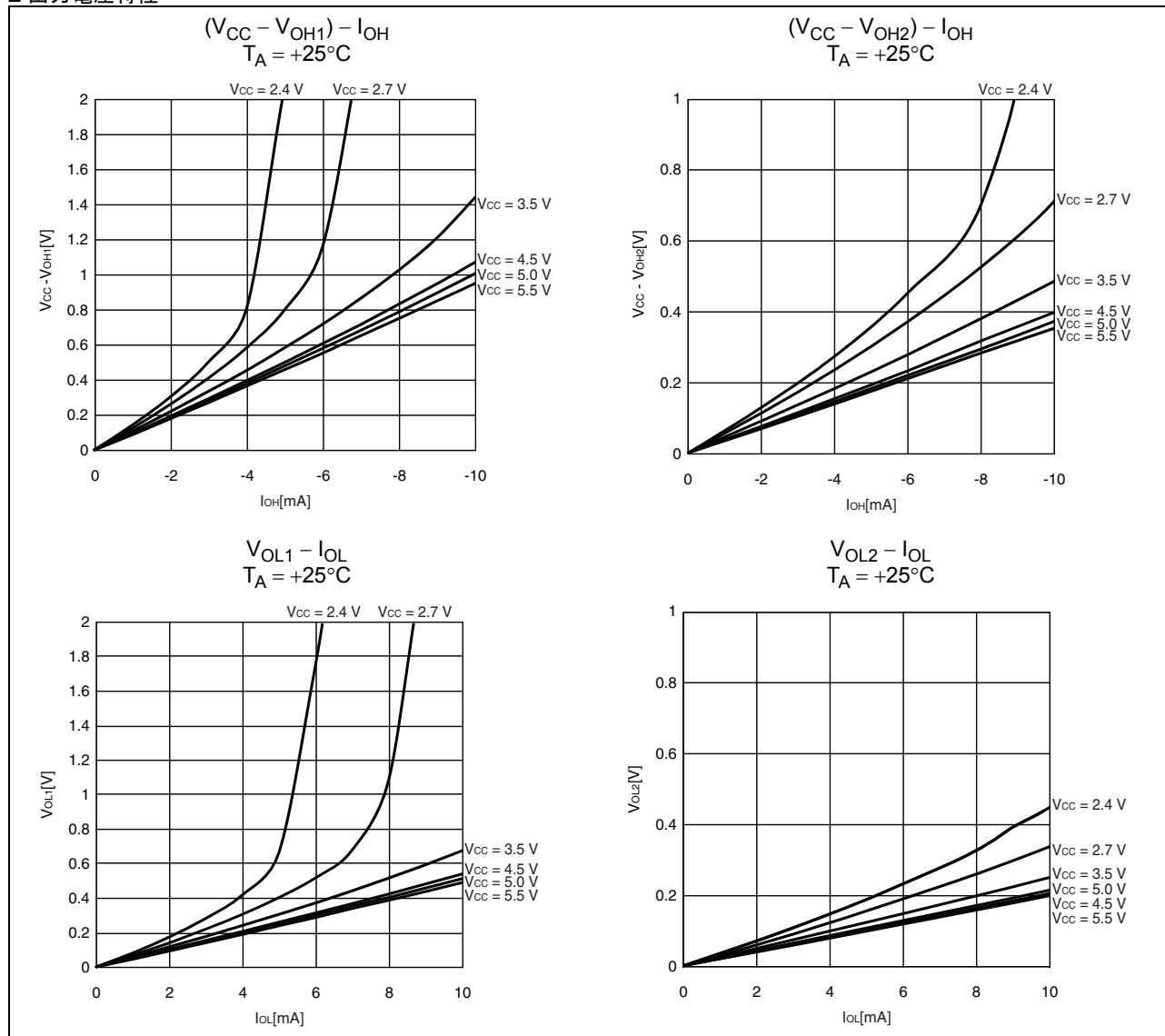
$I_{CCSCR} - V_{CC}$
 $T_A = +25^\circ\text{C}$, $F_{MPL} = 50 \text{ kHz}$ (2 分周)
 サブクロックモード, サブ CR クロック動作時



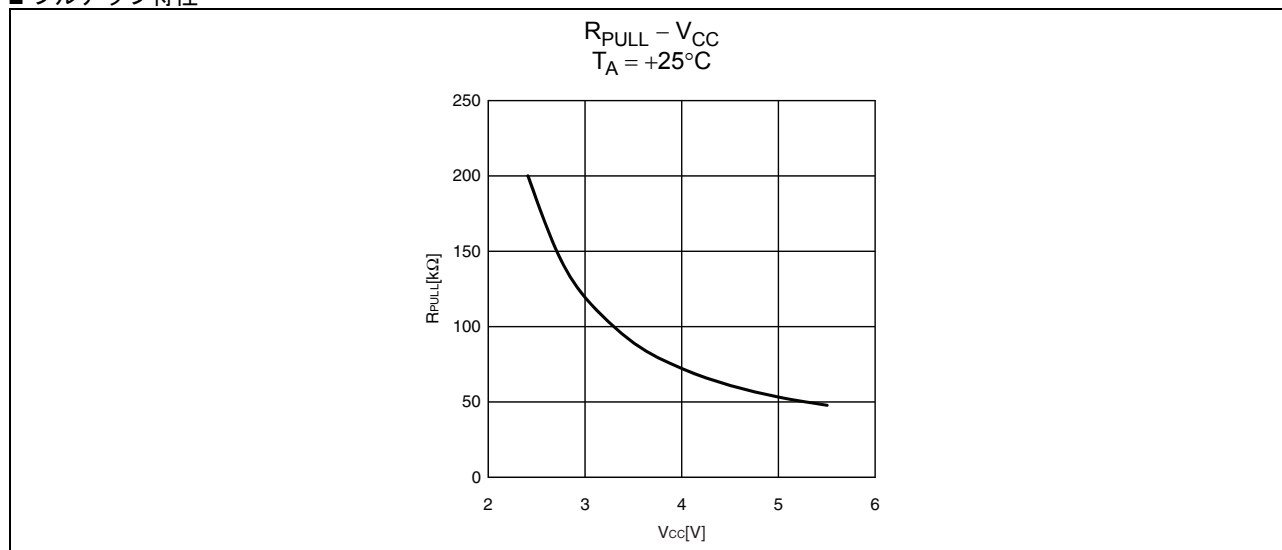
$I_{CCSCR} - T_A$
 $V_{CC} = 5.5 \text{ V}$, $F_{MPL} = 50 \text{ kHz}$ (2 分周)
 サブクロックモード, サブ CR クロック動作時



■ 入力電圧特性


■ 出力電圧特性


■ プルアップ特性



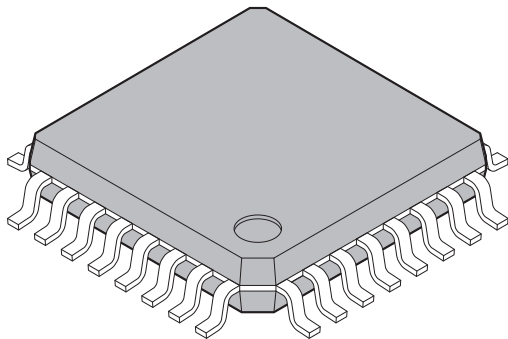
15. マスクオプション

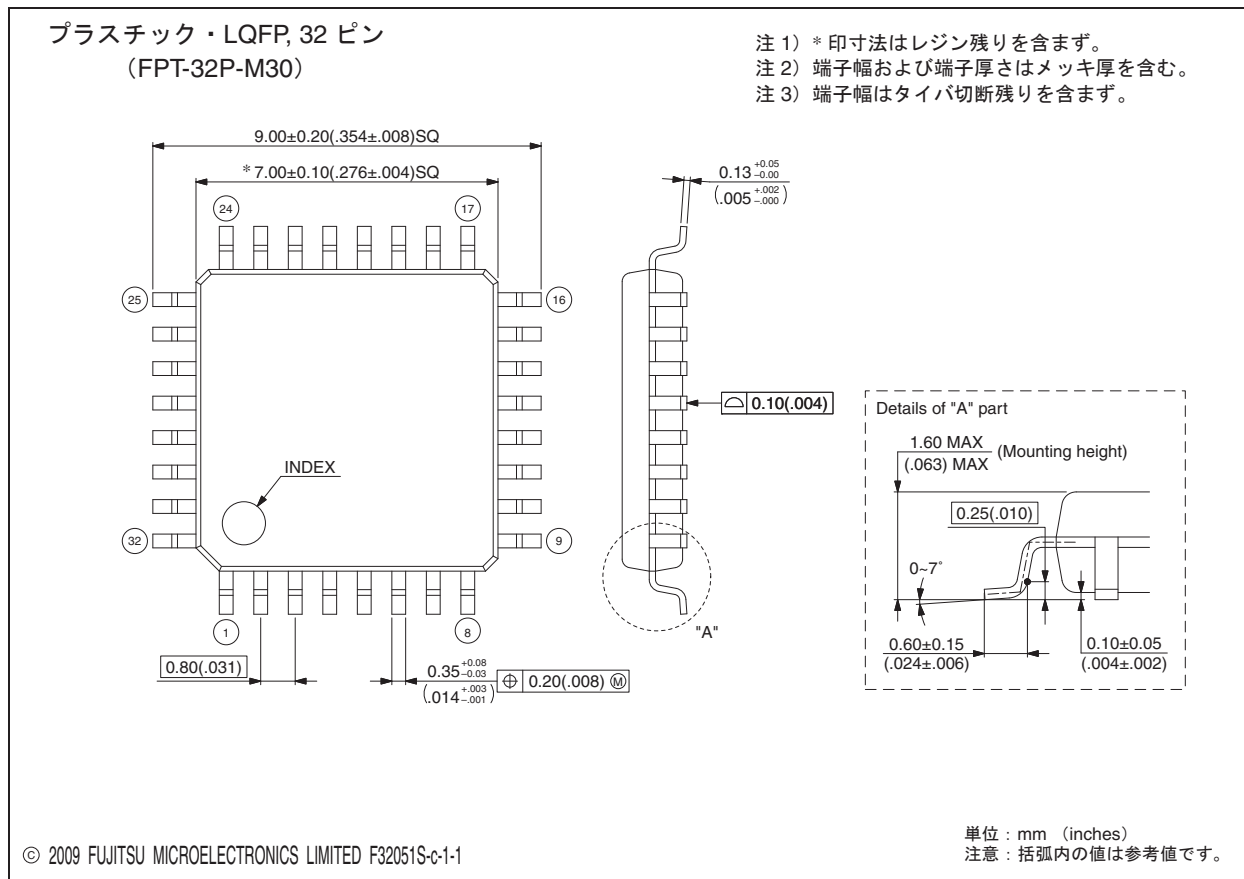
No.	品 種 名	MB95F332H MB95F333H MB95F334H	MB95F332K MB95F333K MB95F334K
	選 択 方 法	設 定 不 可	
1	低電圧検出リセット	低電圧検出リセットなし	低電圧検出リセットあり
2	リセット	専用のリセット入力あり	専用のリセット入力なし

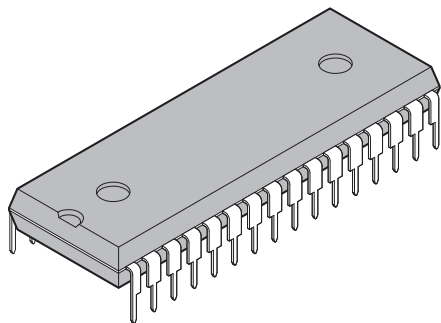
16. オーダ型格

型格	パッケージ
MB95F332HPMC-G-SNE2 MB95F332KPMC-G-SNE2 MB95F333HPMC-G-SNE2 MB95F333KPMC-G-SNE2 MB95F334HPMC-G-SNE2 MB95F334KPMC-G-SNE2	プラスチック・LQFP, 32 ピン (FPT-32P-M30)
MB95F332HP-G-SH-SNE2 MB95F332KP-G-SH-SNE2 MB95F333HP-G-SH-SNE2 MB95F333KP-G-SH-SNE2 MB95F334HP-G-SH-SNE2 MB95F334KP-G-SH-SNE2	プラスチック・SH-DIP, 32 ピン (DIP-32P-M06)
MB95F332HWQN-G-SNE1 MB95F332KWQN-G-SNE1 MB95F333HWQN-G-SNE1 MB95F333KWQN-G-SNE1 MB95F334HWQN-G-SNE1 MB95F334KWQN-G-SNE1	プラスチック・QFN, 32 ピン (LCC-32P-M19)

17. パッケージ・外形寸法図

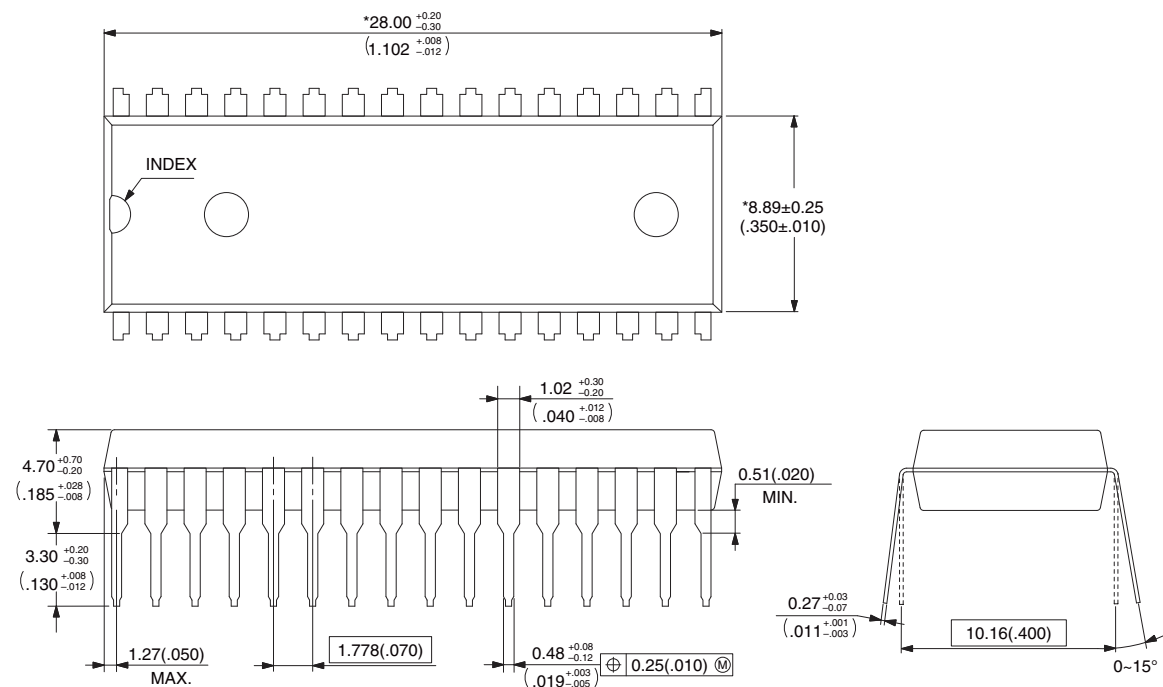
<p>プラスチック・LQFP, 32 ピン</p>  <p>(FPT-32P-M30)</p>	リードピッチ	0.80 mm
	パッケージ幅× パッケージ長さ	7.00 mm × 7.00 mm
	リード形状	ガルウィング
	封止方法	プラスチックモールド
	取付け高さ	1.60 mm MAX



<p>プラスチック・SH-DIP, 32 ピン</p>  <p>(DIP-32P-M06)</p>	リードピッチ	1.778mm
	ロースペース	10.16mm
	封止方法	プラスチックモールド

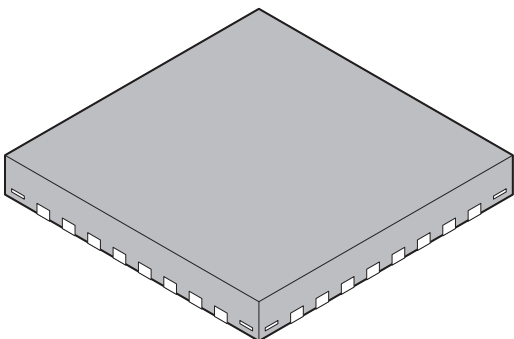
プラスチック・SH-DIP, 32 ピン
(DIP-32P-M06)

注 1) * 印寸法はレジン残りを含まず。
注 2) 端子幅および端子厚さはメッキ厚を含む。

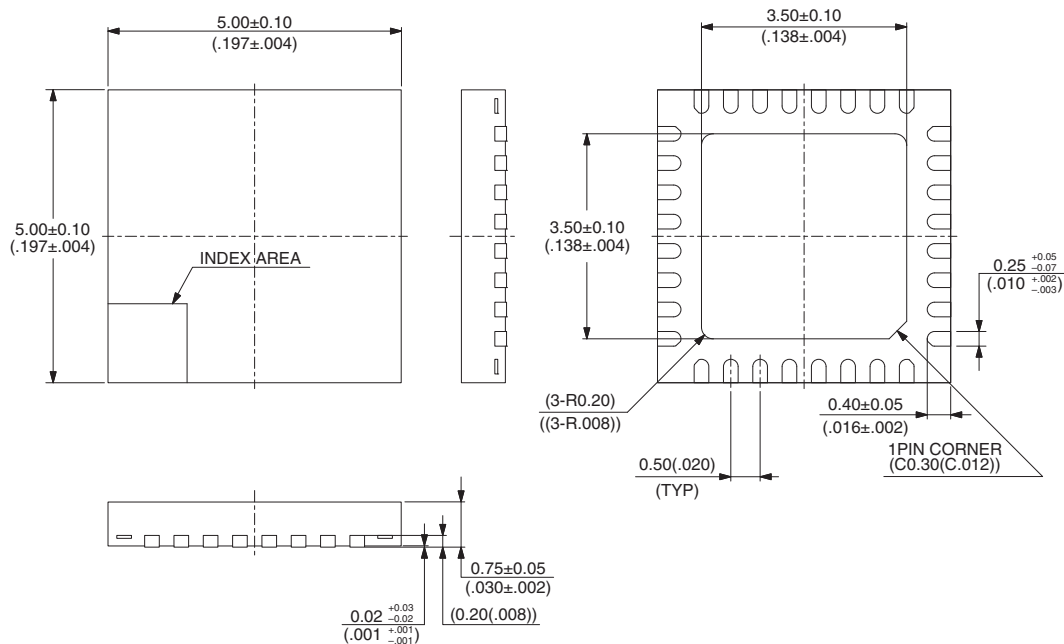


© 2003-2008 FUJITSU MICROELECTRONICS LIMITED D32018S-c-1-2

単位 : mm (inches)
注意 : 括弧内の値は参考値です。

<p>プラスチック・QFN, 32 ピン</p>  <p>(LCC-32P-M19)</p>	リードピッチ	0.50 mm
	パッケージ幅× パッケージ長さ	5.00 mm × 5.00 mm
	封止方法	プラスチックモールド
	取付け高さ	0.80 mm Max.
	質量	0.06 g

プラスチック・QFN, 32 ピン
(LCC-32P-M19)



© 2009 FUJITSU MICROELECTRONICS LIMITED C32071S-c-1-1

単位 : mm (inches)
注意 : 括弧内の値は参考値です。

改訂履歴

文書名 : MB95F332H/F332K/F333H/F333K/F334H/F334K F ² MC-8FX MB95330H Series 8-bit Microcontrollers 文書番号 : 002-07521				
版	ECN	変更者	発行日	変更内容
**	-	YSKA	04/12/2010	サイプレスとしてドキュメントコード 002-07521 に登録しました。 本版の内容およびフォーマットに変更はありません。
*A	5542368	YSKA	12/05/2016	これは英語版の 002-07522 Rev. *A を翻訳した日本語版です。
*B	5861187	YSAT	08/23/2017	Cypress の新ロゴを適用。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

ARM® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック & バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス/ RF	cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#) | [Components](#)

テクニカル サポート

cypress.com/support

ARM and Cortex are the registered trademarks of ARM Limited in the EU and other countries.

© Cypress Semiconductor Corporation, 2010-2017. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社（以下、「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア又はファームウェア（以下、「本ソフトウェア」という。）を含む）は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき、Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、Cypress の特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ、Cypress との間で別途本ソフトウェアの使用法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためののみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためののみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア（Cypress により提供され、修正がなされていないもの）に抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためののみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス（サブライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計し、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用（以下、「本目的外使用」という。）のために設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ、Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任（人身傷害又は死亡に基づく請求を含む）から免責補償される。

Cypress、Cypress のロゴ、Spansion、Spansion のロゴ及びこれらの組み合わせ、WICED、PSoC、CapSense、EZ-USB、F-RAM、及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress の商標のより完全なリストは、cypress.com を参照のこと。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。