サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

CY8C29466/CY8C29566
CY8C29666/CY8C29866

PSoC® Programmable System-on-Chip™

特長

■ 処理能力の高いハーバード アーキテクチャ プロセッサ
- ❒ 最大 24 MHz の周波数で動作する M8C プロセッサ
- ❒ 8x8 乗算、32 ビット加算器 (2 個)
- ❒ 高速で低消費電力
- ❒ 動作電圧 : 3.0V ～ 5.25V
- ❒ オンチップ スイッチ モード ポンプ (SMP) を使用して動作電圧を 1.0V まで低減可能
- ❒ 産業用途向け温度範囲 : -40°C ～ +85°C

■ 高度なペリフェラル (PSoC® ブロック)
- ❒ 12 個の rail-to-rail アナログ PSoC ブロックの特長 :
  - • 最大 14 ビットのアナログ - デジタル変換器 (ADC)
  - • 最大 9 ビットのデジタル - アナログ変換器 (DAC)
  - • プログラマブルなゲイン アンプ (PGA)
  - • プログラマブルなフィルタとコンパレータ
- ❒ 16 個のデジタル PSoC ブロックの特長 :
  - • 8 ～ 32 ビット タイマーおよびカウンター、8 ビットと 16 ビットのパルス幅変調器 (PWM)
  - • 巡回冗長検査 (CRC) および疑似乱数シーケンス (PRS) モジュール
  - • 最大 4 個の全二重汎用非同期レシーバ／トランスミッタ (UART)
  - • 複数のシリアル ペリフェラル インターフェース (SPI) マスターまたはスレーブ
  - • すべての汎用 I/O (GPIO) ピンに接続可能
- ❒ ブロックの組み合わせで構成する複雑なペリフェラル

■ プログラム可能な高精度クロック供給
- ❒ 許容誤差 ±5%[1] の 24MHz、48MHz 内部主振動子
- ❒ 任意の 32.768kHz 水晶振動子により 24MHz、48MHz のクロックが生成可能
- ❒ 任意の最大 24MHz の外部振動子に対応
- ❒ ウォッチドッグとスリープ用の内部振動子

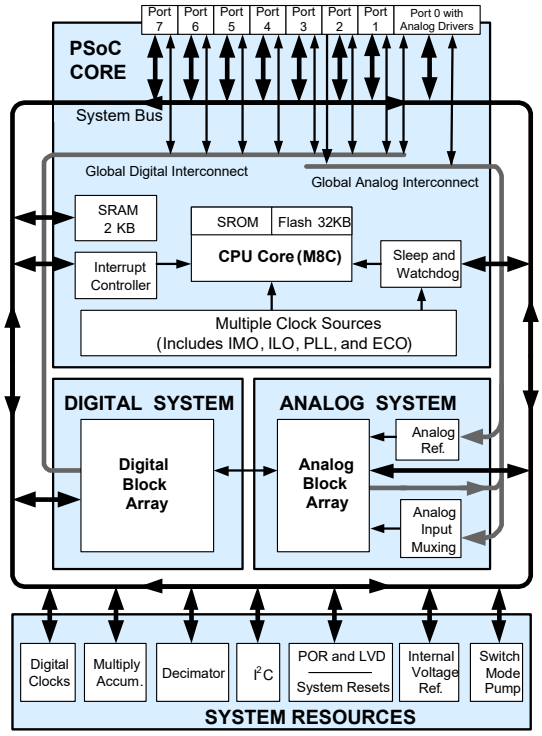
■ 柔軟性のある内蔵メモリ
- ❒ 50,000 回の消去と書き込みが可能な 32KB のフラッシュ プログラム メモリ領域
- ❒ 2KBのスタティックランダムアクセス メモリ (SRAM) データ ストレージ
- ❒ インシステム シリアル プログラミング (ISSP) に対応
- ❒ フラッシュ メモリの部分的な書き換えに対応
- ❒ 柔軟性のある保護モード
- ❒ フラッシュを使った電気的消去可能プログラマブル読み出し専用メモリ (EEPROM) のエミュレーション

■ プログラマブルなピン コンフィギュレーション
- ❒ すべてのGPIOで25mAのシンク電流と10mAのソース電流に対応
- ❒ すべての GPIO でプルアップ、プルダウン、HIGH-Z、ストロング、オープン ドレインの各駆動モードに対応
- ❒ GPIO 上の 8 つのアナログ入力、配線が限定された 4 つの追加のアナログ入力を装備
- ❒ GPIO 上で 4 個の 40mA アナログ出力を実現
- ❒ すべての GPIO でコンフィギュレーション可能な割込み

■ 追加システム リソース
- ❒ 最大 400kHz の I^2C スレーブ、マスター、およびマルチマスター
- ❒ ウォッチドッグ タイマーとスリープ タイマー
- ❒ ユーザーによりコンフィギュレーション可能な低電圧検出 (LVD)
- ❒ 内蔵の監視回路
- ❒ 高精度のオンチップ リファレンス電圧

■ 完全な開発ツール
- ❒ 無料の開発ソフトウェア (PSoC Designer™)
- ❒ フル機能のインサーキット エミュレータ (ICE) および プログラマ
- ❒ フルスピードのエミュレーション
- ❒ 複雑なブレークポイント構造に対応
- ❒ 128KB のトレース メモリ
- ❒ 複雑なイベント
- ❒ C コンパイラ、アセンブラ、およびリンカ

ロジック ブロックダイヤグラム



エラッタ : シリコン チップ エラッタに関する情報については、62 ページの「エラッタ」を参照してください。詳細には、トリガー条件、影響されるデバイス、および提案する回避策が含まれます。

注
1. エラッタ : デバイスが 0°C ～ 70°C の温度範囲内で動作する時、周波数の誤差は ±2.5% に低減されますが、極度の温度 (0°C より低い温度や 70°C より高い温度) で動作する時、周波数の誤差は ±2.5% ～ ±5% です。詳細については、62 ページ のエラッタを参照してください。

詳細情報

サイプレスは、www.cypress.com に大量のデータを掲載しているため、ユーザーはこれらの情報に基づいてデザインに適切な PSoC デバイスを選択でき、デバイスをデザインに迅速で効果的に統合することもできます。リソースの総合リストについては、知識ベース記事「How to Design with PSoC® 1, PowerPSoC®, and PLC – KBA88292」を参照してください。以下は、PSoC 1 の要約です。

- 概要 : PSoC ポートフォリオ、PSoC ロードマップ
- 製品セレクタ : PSoC 1、PSoC 3、PSoC 4、PSoC 5LP
- さらに、PSoC Designer には、デバイス選択ツールが含まれます。
- アプリケーション ノート : サイプレスは、基本レベルから高度なレベルまでの様々なトピックに触れる大量の PSoC アプリケーション ノートを提供します。以下は、PSoC 1 入門用の推奨アプリケーション ノートです。
  - PSoC® 1 入門 – AN75320
  - PSoC® 1 - GPIO 入門 – AN2094
  - PSoC® 1 アナログ構造およびコンフィギュレーション – AN74170
  - PSoC® 1 スイッチト キャパシタアナログ ブロック – AN2041
  - アナログ グランドおよびリファレンスの選択 – AN2219

注 : CY8C29X66 デバイスに関数 r アプリケーション ノートついては、ここをクリックしてください。

- 開発キット :
  - CY3210-PSoCEval1 は、CY8C25/26xxx デバイスを除いて、車載用デバイスを含むすべての PSoC 1 混在信号アレイ ファミリに対応します。このキットには、LCD モジュール、ポテンショメーター、LED、およびブレッドボードが含まれます。
  - CY3214-PSoCEvalUSB は、CY8C24x94 PSoC デバイスの開発用基板を備えています。この基板の特別な特長には、USB と CapSense 開発とデバッグ処理サポートが含まれます。

注 : 開発キットに関する CY8C29X66 デバイスについては、ここをクリックしてください。

MiniProg1 および MiniProg3 デバイスは、フラッシュのプログラミングとデバッグ用のインターフェースを提供します。

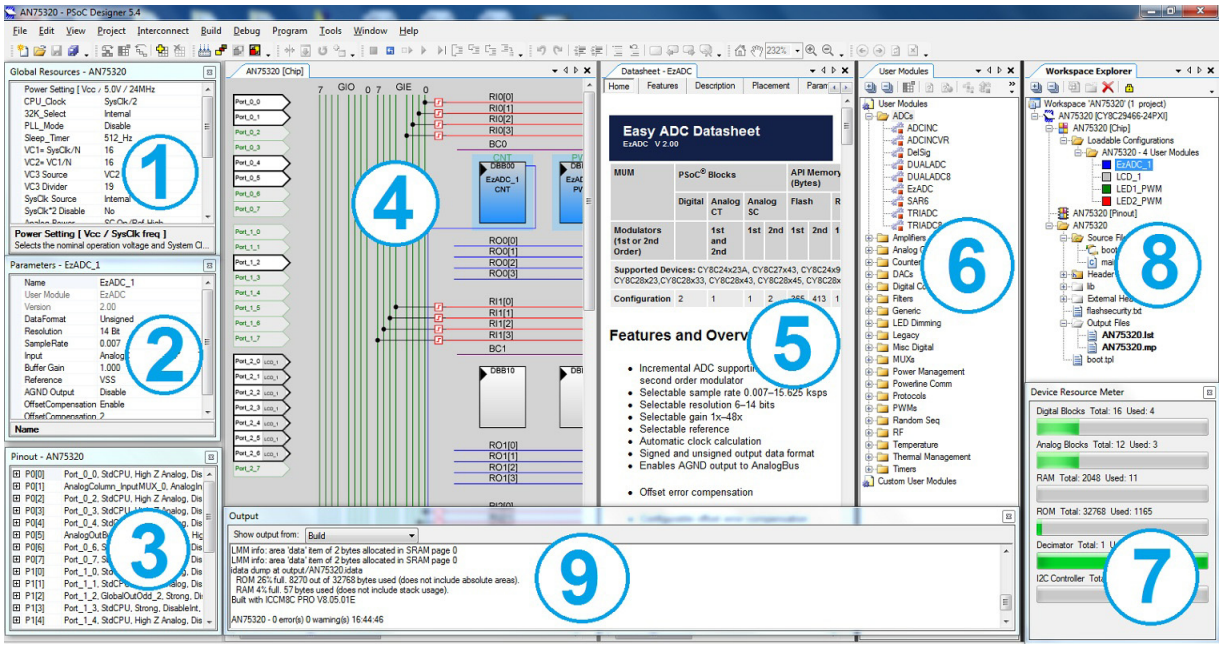
PSoC Designer

PSoC Designer は無料のウィンドウ ベースの統合設計環境 (IDE) です。アプリケーション開発は、特性化済みのアナログおよびデジタル ペリフェラルのライブラリを使用してドラッグ & ドロップの設計環境で行われます。また、API ライブラリ上の動的生成が行えるコードを活用して、設計をカスタマイズすることも可能です。図 1 には、PSoC Designer ウィンドウを示します。**注 :** これは、デフォルト画面ではありません。

1. **グローバル リソース –** すべてのデバイス ハードウェアの設定
2. **パラメーター –** 選択しているユーザー モジュールのパラメーター
3. **ピン配置 –** デバイスのピンに関する情報
4. **チップ レベル エディタ –** 選択したチップで使用可能なリソースの図
5. **データシート –** 選択しているユーザーモジュール (UM) のデータシート
6. **ユーザー モジュール –** 選択したデバイスのすべての使用可能なユーザー モジュール
7. **デバイス リソース メーター –** 現時点のプロジェクトのコンフィギュレーション用のデバイス リソースの使用率
8. **ワークスペース –** ツリー レベル図で表示されるプロジェクトに関するファイル
9. **出力 –** プロジェクト ビルドおよびデバッグ処理からの出力

注 : PSoC Designer の詳細情報については、PSoC® Designer > Help > Documentation > Designer Specific Documents > IDE User Guide を順に選択して情報をご覧ください。

図 1. PSoC Designer のレイアウト



目次

PSoC機能概要 4
PSoCコア 4
デジタル システム 4
アナログ システム 5
追加システム リソース 6
PSoCデバイスの特性 6
開発ツール 7
PSoC Designerソフトウェア サブシステム 7
PSoC Designerによる設計 8
ユーザー モジュールの選択 8
ユーザー モジュールの設定 8
構成と接続 9
生成、検証、およびデバッグ 9
ピン配置 10
28ピン製品のピン配置 10
44ピン製品のピン配置 11
48ピン製品のピン配置 12
100ピン製品のピン配置 14
100ピン製品のピン配置 (オンチップ デバッグ) 16
レジスタ リファレンス 18
レジスタの表記法 18
レジスタ マッピング テーブル 18
電気的仕様 21
絶対最大定格 21
動作温度 22
DC電気的特性 22
AC電気的特性 39
パッケージ情報 48
パッケージの寸法 48
熱インピーダンス 52
水晶振動子ピンの静電容量 52
はんだリフローの仕様 52
開発ツールの選択 53
ソフトウェア 53
開発キット 53
評価ツール 53
デバイス プログラマ 54
アクセサリ (エミュレーションおよびプログラミング) 54
注文情報 55
注文コードの定義 55
略語 56
参考資料 56
本書の表記法 57
測定単位 57
数値の表記 57
用語集 57
エラッタ 62
影響を受ける部品番号 62
認定状態 62
エラッタのまとめ 62
改訂履歴 64
セールス、ソリューション、および法律情報 65
ワールドワイドな販売と設計サポート 65
製品 65
PSoC®ソリューション 65
サイプレス開発者コミュニティ 65
テクニカル サポート 65

PSoC 機能概要

PSoC ファミリは、数多くのプログラマブル システム オンチップ コントローラー デバイスで構成されます。これらのデバイスは、従来のマイクロコントローラー ユニット (MCU) ベースのシステム部品を複数使用した構成を、低コストでプログラマブルなシングル チップ デバイスで置き換えることを目的とします。PSoC デバイスは、コンフィギュレーション可能なアナログ ロジックとデジタル ロジックのブロックと共に、プログラム可能な相互接続を備えています。このアーキテクチャにより、個々の用途の要件に合わせたペリフェラルコンフィギュレーションのカスタマイズが可能です。さらに、高速の中央処理装置 (CPU)、フラッシュ プログラム メモリ、SRAM データ メモリ、コンフィギュレーション可能な I/O が、便利なピン配列およびパッケージで提供されます。

PSoC アーキテクチャは、1 ページ のロジック ブロックダイヤグラムに示しているように、PSoC コア、デジタル システム、アナログ システム、およびシステム リソースの 4 つの主な領域からなります。コンフィギュレーション可能なグローバル バスにより、すべてのデバイス リソースを組み合わせて完全なカスタム システムを構築できます。PSoC CY8C29x66 ファミリは、グローバル デジタルとグローバル アナログに相互接続可能な最大 5 個の I/O ポートを備えています。これらのポートから、8 個のデジタル ブロックおよび 12 個のアナログ ブロックにアクセスできます。

PSoC コア

PSoC コアは、充実した機能セットを持つ高性能なエンジンです。このコアは、CPU、メモリ、クロック、およびコンフィギュレーション可能な GPIO を備えています。

M8C CPU コアは最高 24MHz で動作する高性能プロセッサで、400 万命令毎秒 (MIPS) の性能を持つ 8 ビット ハーバード アーキテクチャ マイクロプロセッサを提供します。CPU は、17 のベクターを持つ割込みコントローラーを使用して、リアルタイム組込みイベントのプログラミングを簡素化します。プログラムの実行は、組み込まれたスリープ タイマーとウォッチ ドッグ タイマー (WDT) を使用してタイミングが管理され、保護されます。

メモリは、プログラム領域用の 32KB のフラッシュ、データ領域用の 2KB の SRAM、およびフラッシュを使用してエミュレートする最大 2KB の EEPROM で構成されます。プログラム フラッシュには 64 バイトのブロックに対して 4 段階の保護レベルが用意されているので、これを使用してソフトウェアの情報保護 (IP) をカスタマイズできます。

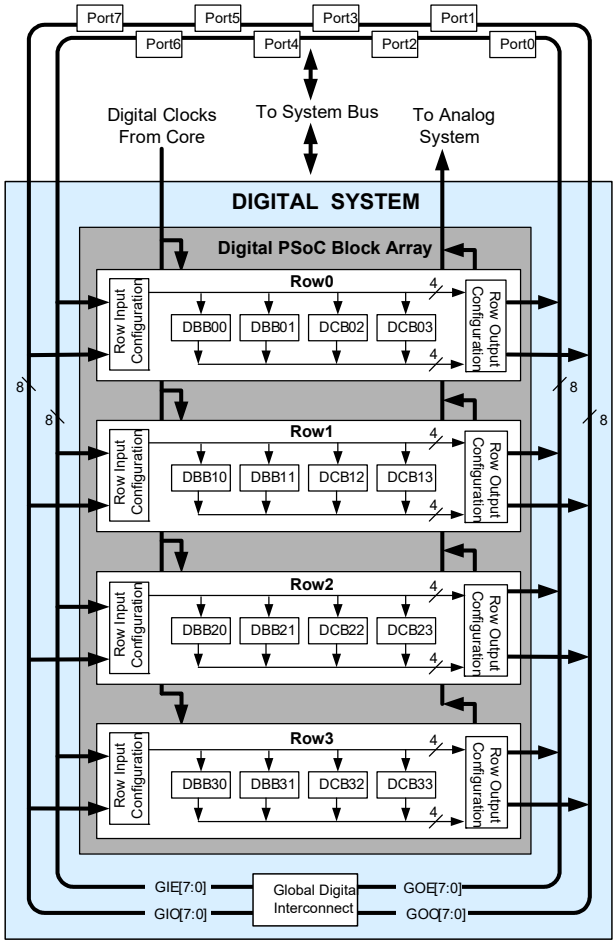
PSoC デバイスは、柔軟性のある各種内部クロック ジェネレータを備えています。広い範囲の温度と電圧にわたって 5% [2] の精度を発揮する 24MHz 内部主振動子 (IMO) もこのジェネレータの 1 つです。この 24MHz の IMO は、周波数を 48MHz に倍増して、デジタル システムで使用することもできます。低消費電力 32 kHz 内部低速振動子 (ILO) は、スリープ タイマーと WDT 用に用意されています。水晶精度を必要とする場合は、32.768kHz の外部水晶振動子 (ECO) をリアル タイム クロック (RTC) として使用できる他、必要に応じ、PLL を使用して水晶精度の 24MHz システム クロックを生成できます。これらのクロックを、プログラマブルなクロック分周器 (システム リソースの一部) と組み合わせて使用すれば、ほぼあらゆるタイミング要件を PSoC デバイスに組み込むことができる柔軟性が得られます。

PSoC の GPIO は、デバイスの CPU、デジタル リソース、およびアナログ リソースに接続しています。各ピンの駆動モードは 8 つのオプションから選択できるため、外部とのインターフェースを非常に柔軟に設定できます。また各ピンには、HIGH レベル、LOW レベル、および前回読み出し時からの変化に基づいてシステム割込みを発生する機能もあります。

デジタル システム

デジタル システムは 16 個のデジタル PSoC ブロックで構成されます。各ブロックは 8 ビットのリソースであり、単独で使用できるほか、他のブロックと組み合わせ、ユーザー モジュールと呼ばれる 8 ビット、16 ビット、24 ビット、32 ビットのペリフェラルも構成できます。

図 2. デジタル システムのブロックダイヤグラム



注
2. エラッタ : デバイスが 0°C ～ 70°C の温度範囲内で動作する時、周波数の誤差は ±2.5% に低下されますが、極度の温度 (0°C より低い温度や 70 °C より高い温度) で動作する時、周波数の誤差は ±2.5% ～ ±5% です。詳細については、62 ページ のエラッタを参照してください。

デジタル周辺回路を使用したコンフィギュレーションには次のものがあります。

- PWM (8 ビット、16 ビット)
- デッドバンド PWM (8 ビット、16 ビット)
- カウンタ (8 ～ 32 ビット)
- タイマー (8 ～ 32 ビット)
- 選択可能なパリティを持つ UART 8 ビット (最大 2 個)
- SPI スレーブおよび SPI マスタ (最大 2 個)
- I^2C スレーブおよびマルチ マスタ (その内､1 個がシステム リソースとして使用可能)
- CRC ジェネレータ (8 ～ 32 ビット)
- IrDA (最大 2 個)
- PRS ジェネレータ (8 ～ 32 ビット)

任意のピンに任意の信号を送ることができるグローバル バスを通じて、どの GPIO にもデジタル ブロックを接続できます。また、バスによる信号の多重化や論理演算も可能です。このような柔軟なコンフィギュレーションにより、固定された周辺コントローラーに伴う制約を受けずに設計できます。

デジタル ブロックは一列につき 4 個で構成され、ブロックの数は PSoC デバイス ファミリによって異なります。用途に応じて最適なシステム リソースを選択できます。6 ページの「PSoC デバイスの特性」にファミリ リソースを示します。

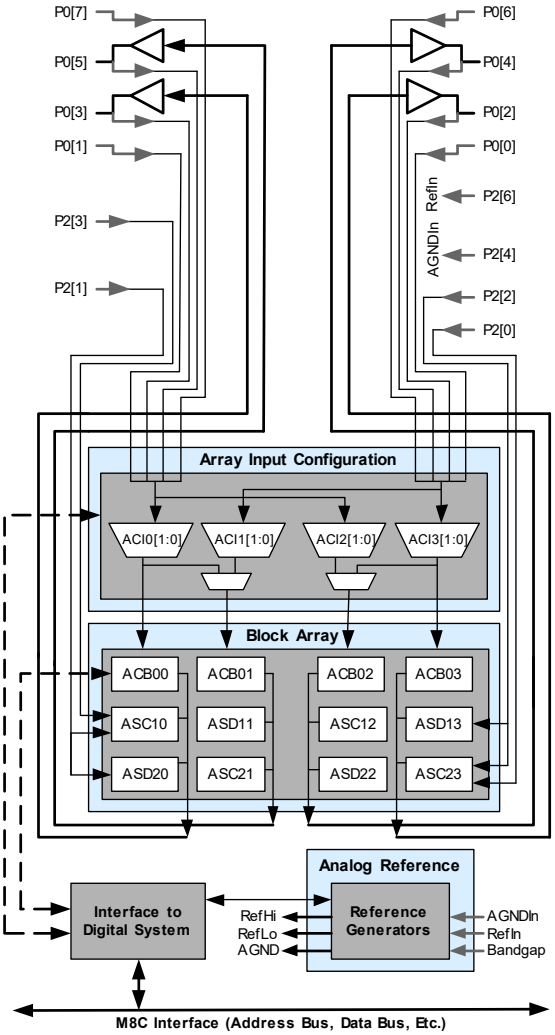
アナログ システム

アナログ システムには、コンフィギュレーション可能なブロックが 12 個あります。各ブロックにはオペアンプ回路が含まれ、複雑なアナログ信号フローを構築できます。アナログ周辺回路は柔軟性が高く、用途の具体的な要件に合わせてカスタマイズできます。一般的な PSoC アナログ機能として、以下の機能があります (ほとんどはユーザー モジュールとして実現可能です)。

- ADC (最大 4 個､6 ～ 12 ビットの分解能､インクリメンタル、デルタ シグマ、SAR として選択可能)
- フィルター (2、4、6、および 8 ポール バンドパス、ローパス、ノッチ)
- アンプ (最大 2 個、48x までのゲインを選択可能)
- 計装用アンプ (最大 2 個、93x までのゲインを選択可能)
- コンパレータ (最大 4 個、16 の閾値を選択可能)
- DAC (最大 4 個、6 ～ 9 ビットの分解能)
- 乗算型 DAC (最大 4 個、6 ～ 9 ビットの分解能)
- 高電流の出力ドライバー (4 個､30mA をコア リソースとして駆動)
- 1.3V リファレンス電圧 (システム リソースとして取り扱い可能)
- DTMF ダイヤラー
- 変調器
- 相関器
- ピーク検出器
- 他に多数のトポロジが可能

アナログ ブロックは、図 3 に示しているように、それぞれ 3 つのブロック カラムからなります。連続時間 (CT) ブロック 1 個とスイッチド キャパシタ (SC) ブロック 2 個。

図 3. アナログ システムのブロックダイヤグラム



追加システム リソース

システム リソースは、システムの構築に有用な追加機能を提供します。一部のシステム リソースについては既に前半で説明しました。この他の追加リソースとして、乗算器、デシメータ、スイッチ モード ポンプ、低電圧検出、パワーオン リセット (POR) などがあります。

- デジタル クロック分周器は、各種用途向けにカスタマイズ可能な 3 種類のクロック周波数を提供します。このクロックは、デジタルとアナログの両方のシステムで使用できます。デジタル PSoC ブロックをクロック分周器として使用することで、さらに別のクロックを生成できます。
- 積和演算器 (MAC) は、32 ビット加算器が付加された高速 8 ビット乗算器を提供し、一般的な数学演算やデジタル フィルタ処理を支援します。
- デシメータは、デルタ シグマ ADC の作成などのデジタル信号処理用途向けにカスタム ハードウェア フィルターを提供します。
- I^2Cモジュールは100kHzと400kHzでの2線式の通信をサポートします。スレーブ、マスター、およびマルチマスターのいずれのモードにも対応できます。
- 低電圧検出 (LVD) 割込みは、電圧レベルの低下を通知する信号をアプリケーションに送信します。同時に、高度な POR (パワーオン リセット) 回路を使用することでシステム監視が不要になります。
- 1.3V の内部リファレンス電圧は、ADC や DAC などのアナログ システムにリファレンス電圧を提供します。
- 内蔵のスイッチ モード ポンプ (SMP) は、1 個の 1.2V 電池から通常の動作電圧を生成し、低コストのブースト コンバータを実現します。

PSoC デバイスの特性

PSoC デバイスの特性に応じて、デジタル システムとアナログ システムは 16 個、8 個、または 4 個のデジタル ブロックと 12 個、6 個、または 4 個のアナログ ブロックを持てます。次の表に、専用 PSoC デバイス グループで使用可能なリソースを一覧表示します。このデータシートの対象となっている PSoC デバイスは強調表示されています。

表 1. PSoC デバイスの特性

PSoC 型番	デジタル I/O 数	デジタル 行数	デジタル ブロック数	アナログ 入力数	アナログ 出力数	アナログ カラム数	アナログ ブロック数	SRAM サイズ	フラッシュ メモリ サイズ
CY8C29x66	最大 64	4	16	最大 12	4	4	12	2K	32K
CY8C28xxx	最大 44	最大 3	最大 12	最大 44	最大 4	最大 6	最大 12 + 4[3]	1k	16K
CY8C27x43	最大 44	2	8	最大 12	4	4	12	256	16K
CY8C24x94	最大 56	1	4	最大 48	2	2	6	1K	16K
CY8C24x23A	最大 24	1	4	最大 12	2	2	6	256	4K
CY8C23x33	最大 26	1	4	最大 12	2	2	4	256	8K
CY8C22x45	最大 38	2	8	最大 38	0	4	6[3]	1K	16K
CY8C21x45	最大 24	1	4	最大 24	0	4	6[3]	512	8K
CY8C21x34	最大 28	1	4	最大 28	0	2	4[3]	512	8K
CY8C21x23	最大 16	1	4	最大 8	0	2	4[3]	256	4K
CY8C20x34	最大 28	0	0	最大 28	0	0	3[3、4]	512	8K
CY8C20xx6	最大 36	0	0	最大 36	0	0	3[3、4]	最大 2K	最大 32K

注
3. アナログ機能に制約あります。
4. 2 個のアナログ ブロックと 1 個の CapSense®。

開発ツール

画期的な統合設計環境 (IDE) である PSoC Designer™ を使うと、ユーザーが必要とするアプリケーション要件を満たすよう PSoC をカスタマイズすることが可能です。PSoC Designer ソフトウェアは、システム設計や市場投入までの時間を早めるお手伝いをいたします。ユーザー モジュールと呼ばれる予め用意されたアナログ周辺回路やデジタル周辺回路のライブラリを、ドラッグ&ドロップによる設計環境内で利用して独自のアプリケーションを開発できます。また、動的に生成されるアプリケーション プログラミング インターフェース (API) のコード ライブラリを活用しながら、設計をカスタマイズすることも可能です。そして、設計のデバッグおよびテストは、回路内エミュレーションや標準ソフトウェア デバッグ機能などを備えた統合デバッグ環境で行います。PSoC Designer には以下が含まれます。

- デバイス、ユーザー モジュール コンフィギュレーションおよびダイナミック リコンフィギュレーション向けのアプリケーション エディタ グラフィカル ユーザー インターフェース (GUI)
- 広範なユーザー モジュール カタログ
- 統合ソース コード エディタ (C およびアセンブリ言語)
- サイズ制限や使用期限のない無料の C コンパイラ
- ビルトイン デバッガ
- インサーキット エミュレータ
- 通信インターフェースの組込みサポート機能は以下のとおり
  - ハードウェアおよびソフトウェア I^2C スレーブとマスター
  - フルスピード USB 2.0
  - 最大 4 個の全二重汎用非同期レシーバ／トランスミッタ (UART) 、SPI マスターおよび SPI スレーブ、およびワイヤレス

PSoC Designer は、PSoC 1 デバイスの全ライブラリをサポートしており、Windows XP、Windows Vista、Windows 7 上で動作します。

PSoC Designer ソフトウェア サブシステム

設計エントリ

チップレベル ビューでは、まず目的の基本デバイスを選択します。次に、PSoC ブロックを使用するアナログとデジタルの各種オンボード コンポーネント (ユーザー モジュール) を選択します。ユーザー モジュールの例として、アナログ - デジタル変換器 (ADC) 、デジタル - アナログ変換器 (DAC) 、アンプ、フィルタがあります。選択したアプリケーション向けにユーザー モジュールをコンフィギュレーションし、他のユーザー モジュールや適切なピンに接続します。その後、プロジェクトを生成します。それにより、アプリケーションのプログラミングに使用できる API とライブラリがプロジェクトに事前設定されます。

またこのツールを使用すると、マルチ コンフィギュレーションやダイナミック リコンフィギュレーションにより容易に開発できます。ダイナミック リコンフィギュレーションにより、実行時にコンフィギュレーションを変更できます。これにより、アプリケーションが 100 パーセント以上の PSoC リソースを利用できます。

コード生成ツール

コード生成ツールは、PSoC Designer のインターフェース内で途切れることなく動作し、様々なデバッギング ツールでテスト済みです。C、アセンブリ、または両方の組み合わせで開発できます。

アセンブラ : アセンブラでは、アセンブリ コードを C コードとシームレスに組み合わせられます。リンク ライブラリでは、自動的に絶対アドレス指定を使用できるほか、相対モードでコンパイルした上で、他のソフトウェア モジュールとリンクし、絶対アドレス指定も取得できます。

C 言語コンパイラ : PSoC ファミリのデバイスをサポートする C 言語コンパイラを利用できます。これらの製品を使用することで、PSoC ファミリ デバイス向けに完成した C プログラムを作成できます。これらの最適化 C コンパイラは、PSoC のアーキテクチャに合わせて設定した C 言語のすべての機能を提供します。これらのコンパイラには、ポートとバスの動作、標準のキーパッドとディスプレイのサポート、および拡張計算機能を提供する組込みライブラリが付属します。

デバッガ

PSoC Designer はハードウェアによるインサーキット エミュレーション機能を提供するデバッグ環境を備えているため、PSoC デバイスの内部状態を観察しながら実システムでプログラムに対してテストを行えます。デバッガ コマンドを使用して、読み出しとプログラム、データ メモリの読み書き、I/O レジスタの読み書きが可能です。また、CPU レジスタの読み書き、ブレークポイントの設定と消去、プログラムの実行、停止、およびステップ制御が可能です。また、調査対象のレジスタとメモリ位置のトレース バッファをデバッガでも作成できます。

オンライン ヘルプ システム

オンライン ヘルプ システムでは、オンラインで状況に応じたヘルプが表示されます。それぞれの機能のサブシステムには固有状況に応じたヘルプがあり、操作手順のヘルプやクイック リファレンスとして使用できます。また、このヘルプ システムは設計者を支援するためのチュートリアル、FAQ とオンライン サポート フォーラムへのリンクを提供します。

インサーキット エミュレータ

費用が少なく、高機能性のインサーキット エミュレータ (ICE) が用意されており、開発作業の効率化に効果的です。このハードウェアは単独のデバイスをプログラムできます。

このエミュレータは、USB ポートを介して PC に接続する 1 つの基本ユニットで構成されます。この基本ユニットは汎用型で、すべての PSoC デバイスで動作します。各デバイス ファミリのエミュレーション ポッドは、それぞれ別々に用意されています。エミュレーション ポッドは、作業対象の基板上の PSoC デバイスと置き換わり、全速 (24MHz) で動作します。

PSoC Designer による設計

PSoC® デバイスの開発プロセスは、従来の機能固定マイクロプロセッサの開発プロセスとは異なります。コンフィギュレーション可能なアナログおよびデジタル ハードウェア ブロックにより、PSoC アーキテクチャに独自の柔軟性がもたらされ、開発時の仕様変更の管理や在庫費用の低減に役立ちます。これらの、PSoC ブロックと呼ばれた、コンフィギュレーション可能なリソースはユーザーが選択可能なさまざまな機能を実装できます。PSoC 開発プロセスは次の 4 つのステップにまとめることができます。

1. ユーザー モジュールの選択
2. ユーザー モジュールの設定
3. 構成と接続
4. 生成、検証およびデバッグ

ユーザー モジュールの選択

PSoC Designer は、あらかじめ構築され、テスト済みのハードウェア周辺コンポーネント (ユーザー モジュールと呼ばれる) のライブラリを備えています。ユーザー モジュールにより、アナログとデジタル両方の周辺デバイスの選択と実装を簡素化できます。

ユーザー モジュールの設定

選択した各ユーザー モジュールにより、選択した機能を実装する基本的なレジスタ設定を確立できます。また、コンポーネントの適格なコンフィギュレーションを特定のアプリケーションに合わせるようにするパラメーターとプロパティも提供されます。例えば、パルス幅変調器 (PWM) のユーザー モジュールは、1 つ以上のデジタル PSoC ブロックをコンフィギュレーションします。分解能の 8 ビットごとにデジタル PSoC ブロックを 1 つ使用します。ユーザー モジュール パラメーターでは、パルス幅とデューティ比を設定できます。選択したアプリケーションに対応するようにパラメーターとプロパティをコンフィギュレーションします。値は直接入力することも、ドロップダウンメニューから選択することもできます。すべてのユーザー モジュールはデータシートとして文書化されており、PSoC Designer またはサイプレスのウェブサイトで直接確認できます。これらのユーザー モジュール データシートには、ユーザー モジュールの内部動作に関する説明と性能仕様が記載されています。また、各データシートにはユーザー モジュールの各パラメーターの使用方法や、設計をうまく実施するために必要なその他の情報も記述します。

構成と接続

各ユーザー モジュールを他のモジュールおよび I/O ピンに相互接続することによって、チップ レベルで信号チェーンを作成できます。すべてのオンチップ リソースを完全に制御できるように、選択、コンフィギュレーション、およびルーティングを行います。

生成、検証、およびデバッグ

ハードウェアのコンフィギュレーションのテスト、またはプロジェクトのコード開発への移行の準備ができたら、「コンフィギュレーション ファイルを生成する」手順を実行します。このステップで PSoC Designer によって生成されるソース コードは、仕様に合わせてデバイスを自動的にコンフィギュレーションし、システム用のソフトウェアを提供します。これらの生成されたコードでは、動作中に発生するハードウェア イベントの制御やそれに対する応答を実現する高レベル関数を伴うアプリケーション プログラミング インターフェース (API) 、および必要に応じて書き換えて使用できる割込みサービス ルーチンが得られます。

高い完成度のコード開発環境により、C またはアセンブリ言語、またはその両方を使用してアプリケーションの開発とカスタマイズが可能です。

開発プロセスの最後のステップは、PSoC Designer のデバッガ内で進めます (接続 (Connect) のアイコンをクリックしてアクセスします) 。
PSoC Designer によって HEX イメージが ICE にダウンロードされ、全速で実行されます。PSoC Designer のデバッグ機能は、何倍も高価なデバッグ システムの機能に匹敵します。デバッグ インターフェースは、シングルステップ実行、ブレークポイントまでの実行、変数値の追跡などの従来からの機能の他、大容量のトレース バッファを備えており、アドレスとデータ バス値の監視、メモリ位置の監視、外部信号の監視などの複雑なブレークポイント イベントを定義できます。

ピン配置

CY8C29x66 PSoC デバイスは様々なパッケージで提供しています。各パッケージについて次の表に示します。すべての (「P」というラベルが付けられた) ポート ピンは、デジタル I/O 機能を備えています。しかし、V_{SS}、V_{DD}、SMP および XRES はデジタル I/O 機能を備えていません。

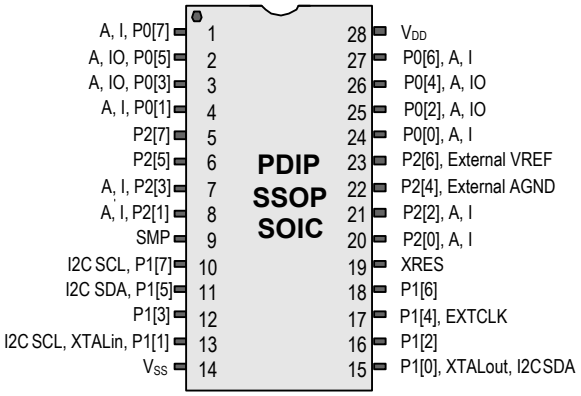
28 ピン製品のピン配置

表 2. 28 ピン製品 (PDIP、SSOP、SOIC パッケージ) のピン配置

ピン番号	タイプ		ピン名	説明
	デジタル	アナログ		
1	I/O	I	P0[7]	アナログ カラム マルチプレクサ入力
2	I/O	I/O	P0[5]	アナログ カラム マルチプレクサ入力およびカラム出力
3	I/O	I/O	P0[3]	アナログ カラム マルチプレクサ入力およびカラム出力
4	I/O	I	P0[1]	アナログ カラム マルチプレクサ入力
5	I/O		P2[7]	
6	I/O		P2[5]	
7	I/O	I	P2[3]	直接スイッチト キャパシタ ブロック入力
8	I/O	I	P2[1]	直接スイッチト キャパシタ ブロック入力
9	電源		SMP	対象の外部部品へのスイッチ モード ポンプ (SMP) 接続
10	I/O		P1[7]	I^2C シリアル クロック (SCL)
11	I/O		P1[5]	I^2C シリアル データ (SDA)
12	I/O		P1[3]	
13	I/O		P1[1]	水晶振動子 (XTALin)、I^2C シリアル クロック (SCL)、ISSP-SCLK[5]
14	電源		V_{SS}	グランド接続
15	I/O		P1[0]	水晶振動子 (XTALout)、I^2C シリアル データ (SDA)、ISSP-SDATA[5]
16	I/O		P1[2]	
17	I/O		P1[4]	任意の外部クロック入力 (EXTCLK)
18	I/O		P1[6]	
19	入力		XRES	内部プルダウン抵抗付きの、アクティブ HIGH の外部リセット
20	I/O	I	P2[0]	直接スイッチト キャパシタ ブロック入力
21	I/O	I	P2[2]	直接スイッチト キャパシタ ブロック入力
22	I/O		P2[4]	外部アナログ グランド (AGND)
23	I/O		P2[6]	外部リファレンス電圧 (VREF)
24	I/O	I	P0[0]	アナログ カラム マルチプレクサ入力
25	I/O	I/O	P0[2]	アナログ カラム マルチプレクサ入力およびカラム出力
26	I/O	I/O	P0[4]	アナログ カラム マルチプレクサ入力およびカラム出力
27	I/O	I	P0[6]	アナログ カラム マルチプレクサ入力
28	電源		V_{DD}	電源電圧

凡例 : A = アナログ、I = 入力、O = 出力。

図 4. CY8C29466 28 ピン PSoC デバイス



注
5. これらは ISSP ピンであり、POR (パワーオン リセット) の時に High-Z となりません。詳細は、「PSoC プログラマブル システムオンチップのテクニカル リファレンス マニュアル 」を参照してください。

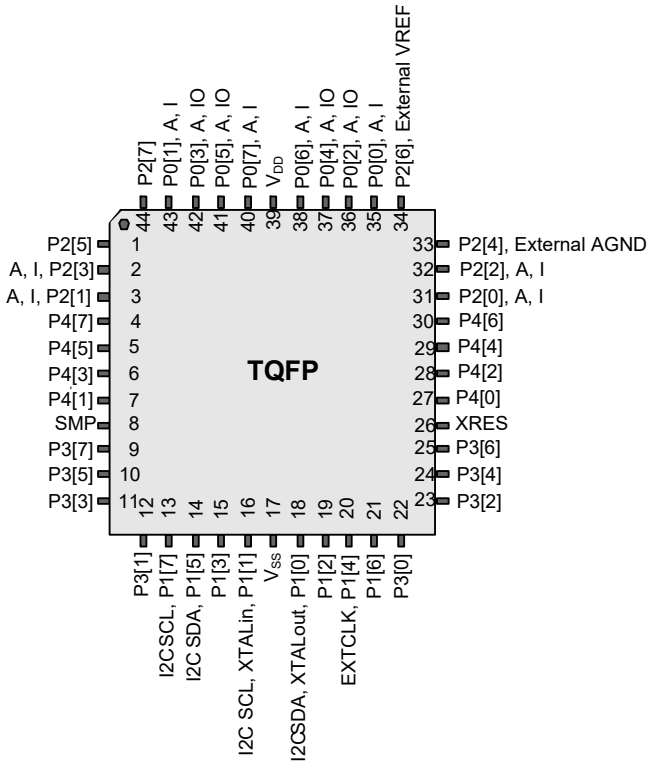
44 ピン製品のピン配置

表 3. 44 ピン製品 (TQFP パッケージ) のピン配置

ピン番号	タイプ		ピン名	説明
	デジタル	アナログ		
1	I/O		P2[5]	
2	I/O	I	P2[3]	直接スイッチト キャパシタ ブロック入力
3	I/O	I	P2[1]	直接スイッチト キャパシタ ブロック入力
4	I/O		P4[7]	
5	I/O		P4[5]	
6	I/O		P4[3]	
7	I/O		P4[1]	
8	電源		SMP	対象の外部部品へのスイッチ モード ポンプ (SMP) 接続
9	I/O		P3[7]	
10	I/O		P3[5]	
11	I/O		P3[3]	
12	I/O		P3[1]	
13	I/O		P1[7]	I^2C SCL
14	I/O		P1[5]	I^2C SDA
15	I/O		P1[3]	
16	I/O		P1[1]	水晶振動子 (XTALin)、I^2C SCL、ISSP-SCLK[6]
17	電源		V_{SS}	グランド接続
18	I/O		P1[0]	水晶振動子 (XTALout)、I^2C SDA、ISSP-SDATA[6]
19	I/O		P1[2]	
20	I/O		P1[4]	任意の EXTCLK
21	I/O		P1[6]	
22	I/O		P3[0]	
23	I/O		P3[2]	
24	I/O		P3[4]	
25	I/O		P3[6]	
26	入力		XRES	内部プルダウン抵抗付きの、アクティブ HIGH の外部リセット
27	I/O		P4[0]	
28	I/O		P4[2]	
29	I/O		P4[4]	
30	I/O		P4[6]	
31	I/O	I	P2[0]	直接スイッチト キャパシタ ブロック入力
32	I/O	I	P2[2]	直接スイッチト キャパシタ ブロック入力
33	I/O		P2[4]	外部アナログ グランド (AGND)
34	I/O		P2[6]	外部リファレンス電圧 (VREF)
35	I/O	I	P0[0]	アナログ カラム マルチプレクサ入力
36	I/O	I/O	P0[2]	アナログ カラム マルチプレクサ入力およびカラム出力
37	I/O	I/O	P0[4]	アナログ カラム マルチプレクサ入力およびカラム出力
38	I/O	I	P0[6]	アナログ カラム マルチプレクサ入力
39	電源		V_{DD}	電源電圧
40	I/O	I	P0[7]	アナログ カラム マルチプレクサ入力
41	I/O	I/O	P0[5]	アナログ カラム マルチプレクサ入力およびカラム出力
42	I/O	I/O	P0[3]	アナログ カラム マルチプレクサ入力およびカラム出力
43	I/O	I	P0[1]	アナログ カラム マルチプレクサ入力
44	I/O		P2[7]	

凡例 : A = アナログ、I = 入力、O = 出力。

図 5. CY8C29566 44 ピン PSoC デバイス



注

6. これらは ISSP ピンであり、POR (パワーオン リセット) の時に High-Z となりません。詳細は、「PSoC プログラマブル システムオンチップのテクニカル リファレンス マニュアル 」を参照してください。

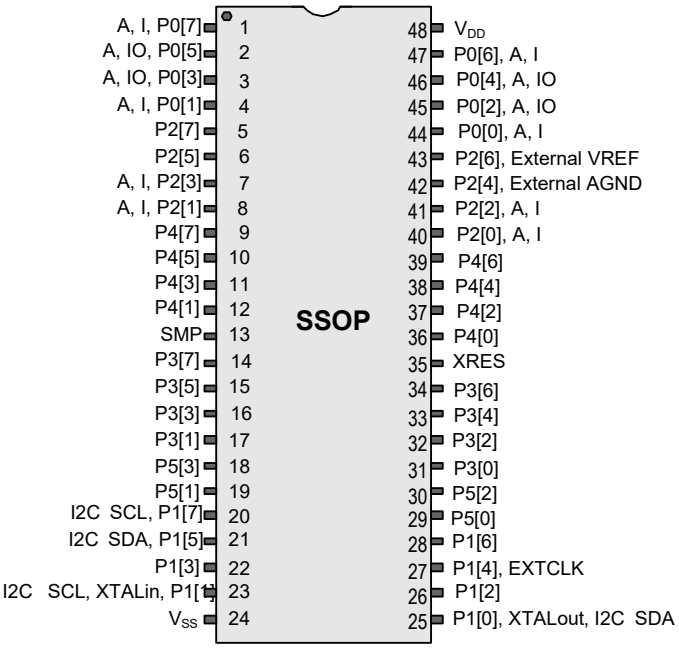
48 ピン製品のピン配置

表 4. 48 ピン製品 (SSOP パッケージ) のピン配置

ピン番号	タイプ		ピン名	説明
	デジタル	アナログ		
1	I/O	I	P0[7]	アナログ カラム マルチプレクサ入力
2	I/O	I/O	P0[5]	アナログ カラム マルチプレクサ入力およびカラム出力
3	I/O	I/O	P0[3]	アナログ カラム マルチプレクサ入力およびカラム出力
4	I/O	I	P0[1]	アナログ カラム マルチプレクサ入力
5	I/O		P2[7]	
6	I/O		P2[5]	
7	I/O	I	P2[3]	直接スイッチト キャパシタ ブロック入力
8	I/O	I	P2[1]	直接スイッチト キャパシタ ブロック入力
9	I/O		P4[7]	
10	I/O		P4[5]	
11	I/O		P4[3]	
12	I/O		P4[1]	
13	電源		SMP	対象の外部部品へのスイッチ モード ポンプ (SMP) 接続
14	I/O		P3[7]	
15	I/O		P3[5]	
16	I/O		P3[3]	
17	I/O		P3[1]	
18	I/O		P5[3]	
19	I/O		P5[1]	
20	I/O		P1[7]	I^2C SCL
21	I/O		P1[5]	I^2C SDA
22	I/O		P1[3]	
23	I/O		P1[1]	水晶振動子 (XTALin)、I^2C SCL、ISSP-SCLK[7]
24	電源		V_{SS}	グランド接続
25	I/O		P1[0]	水晶振動子 (XTALout)、I^2C SDA、ISSP-SDATA[7]
26	I/O		P1[2]	
27	I/O		P1[4]	任意の EXTCLK
28	I/O		P1[6]	
29	I/O		P5[0]	
30	I/O		P5[2]	
31	I/O		P3[0]	
32	I/O		P3[2]	
33	I/O		P3[4]	
34	I/O		P3[6]	
35	入力		XRES	内部プルダウン抵抗付きの、アクティブ HIGH の外部リセット
36	I/O		P4[0]	
37	I/O		P4[2]	
38	I/O		P4[4]	
39	I/O		P4[6]	
40	I/O	I	P2[0]	直接スイッチト キャパシタ ブロック入力
41	I/O	I	P2[2]	直接スイッチト キャパシタ ブロック入力
42	I/O		P2[4]	外部アナログ グランド (AGND)
43	I/O		P2[6]	外部リファレンス電圧 (VREF)
44	I/O	I	P0[0]	アナログ カラム マルチプレクサ入力
45	I/O	I/O	P0[2]	アナログ カラム マルチプレクサ入力およびカラム出力
46	I/O	I/O	P0[4]	アナログ カラム マルチプレクサ入力およびカラム出力
47	I/O	I	P0[6]	アナログ カラム マルチプレクサ入力
48	電源		V_{DD}	電源電圧

凡例 : A = アナログ、I = 入力、O = 出力。

図 6. CY8C29666 48 ピン PSoC デバイス



注

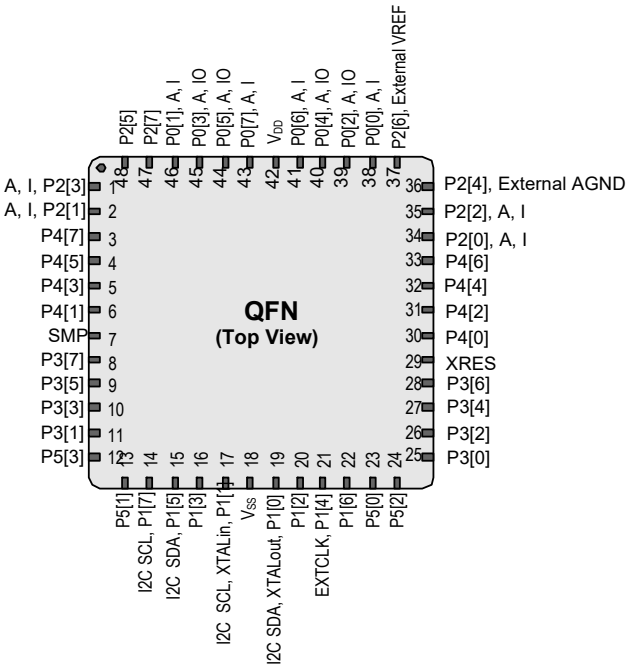
7. これらは ISSP ピンであり、POR (パワーオン リセット) の時に High-Z となりません。詳細は、「PSoC プログラマブル システムオンチップのテクニカル リファレンス マニュアル 」を参照してください。

表 5. 48 ピン製品の (QFN パッケージ) のピン配置 [9]

ピン番号	タイプ		ピン名	説明
	デジタル	アナログ		
1	I/O	I	P2[3]	直接スイッチト キャパシタ ブロック入力
2	I/O	I	P2[1]	直接スイッチト キャパシタ ブロック入力
3	I/O		P4[7]	
4	I/O		P4[5]	
5	I/O		P4[3]	
6	I/O		P4[1]	
7	電源		SMP	対象の外部部品へのスイッチ モード ポンプ (SMP) 接続
8	I/O		P3[7]	
9	I/O		P3[5]	
10	I/O		P3[3]	
11	I/O		P3[1]	
12	I/O		P5[3]	
13	I/O		P5[1]	
14	I/O		P1[7]	I^2C SCL
15	I/O		P1[5]	I^2C SDA
16	I/O		P1[3]	
17	I/O		P1[1]	水晶振動子 (XTALin)、I^2C SCL、ISSP-SCLK[8]
18	電源		V_{SS}	グランド接続
19	I/O		P1[0]	水晶振動子 (XTALout)、I^2C SDA、ISSP-SDATA[8]
20	I/O		P1[2]	
21	I/O		P1[4]	任意の EXTCLK
22	I/O		P1[6]	
23	I/O		P5[0]	
24	I/O		P5[2]	
25	I/O		P3[0]	
26	I/O		P3[2]	
27	I/O		P3[4]	
28	I/O		P3[6]	
29	入力		XRES	内部プルダウン抵抗付きの、アクティブ HIGH の外部リセット
30	I/O		P4[0]	
31	I/O		P4[2]	
32	I/O		P4[4]	
33	I/O		P4[6]	
34	I/O	I	P2[0]	直接スイッチト キャパシタ ブロック入力
35	I/O	I	P2[2]	直接スイッチト キャパシタ ブロック入力
36	I/O		P2[4]	外部アナログ グランド (AGND)
37	I/O		P2[6]	外部リファレンス電圧 (VREF)
38	I/O	I	P0[0]	アナログ カラム マルチプレクサ入力
39	I/O	I/O	P0[2]	アナログ カラム マルチプレクサ入力およびカラム出力
40	I/O	I/O	P0[4]	アナログ カラム マルチプレクサ入力およびカラム出力
41	I/O	I	P0[6]	アナログ カラム マルチプレクサ入力
42	電源		V_{DD}	電源電圧
43	I/O	I	P0[7]	アナログ カラム マルチプレクサ入力
44	I/O	I/O	P0[5]	アナログ カラム マルチプレクサ入力およびカラム出力
45	I/O	I/O	P0[3]	アナログ カラム マルチプレクサ入力およびカラム出力
46	I/O	I	P0[1]	アナログ カラム マルチプレクサ入力
47	I/O		P2[7]	
48	I/O		P2[5]	

凡例 : A = アナログ、I = 入力、O = 出力。

図 7. CY8C29666 48 ピン PSoC デバイス



注

8. これらは ISSP ピンであり、POR (パワーオン リセット) の時に High-Z となりません。詳細は、「PSoC プログラマブル システムオンチップのテクニカル リファレンス マニュアル 」を参照してください。
9. QFN パッケージは、グランド電圧 (V_{SS}) に接続する必要があるセンター パッドを持っています。

100 ピン製品のピン配置

表 6. 100 ピン製品 (TQFP パッケージ) のピン配置

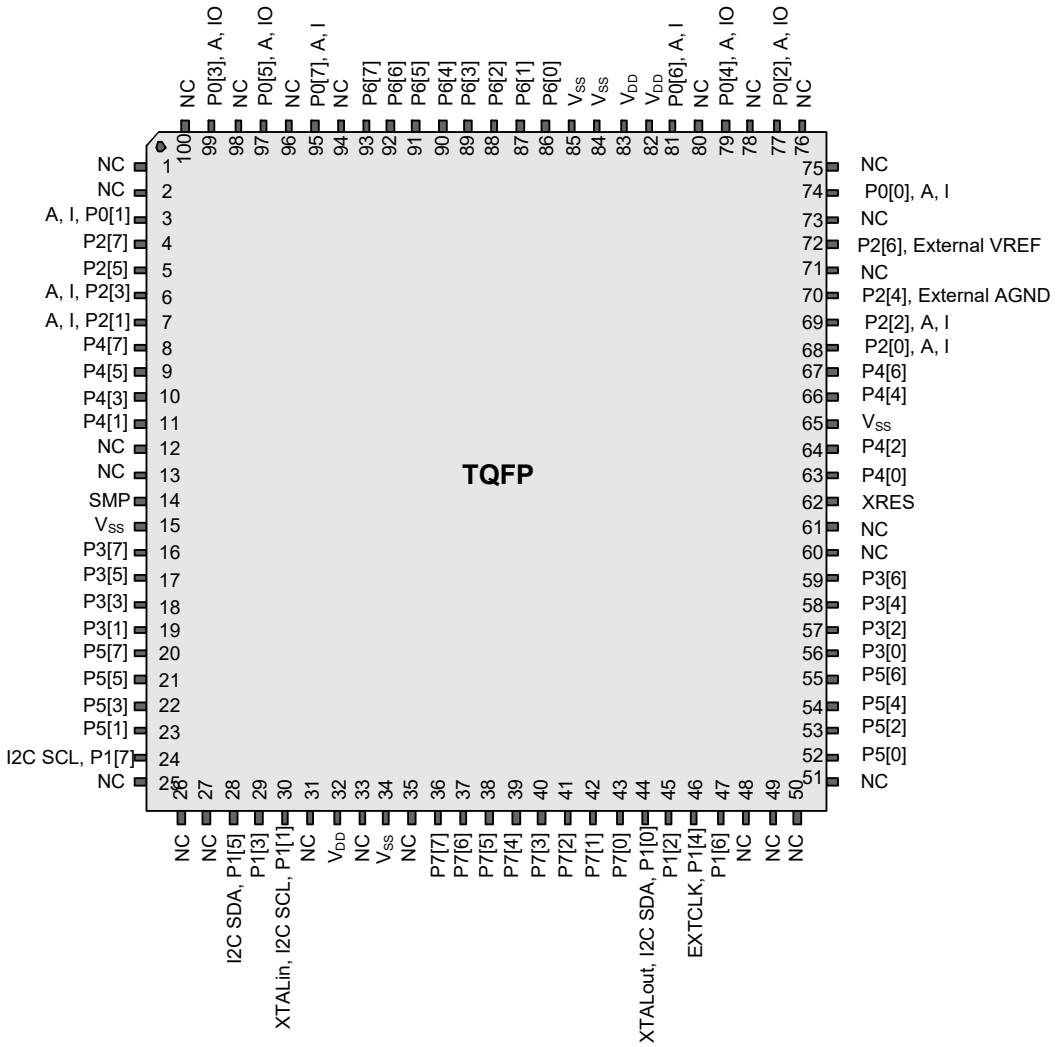
ピン番号	タイプ		ピン名	説明	ピン番号	タイプ		ピン名	説明
	デジタル	アナログ				デジタル	アナログ		
1			NC	未接続。ピンはフローティング状態のままにすることが必要	51			NC	未接続。ピンはフローティング状態のままにすることが必要
2			NC	未接続。ピンはフローティング状態のままにすることが必要	52	I/O		P5[0]	
3	I/O	I	P0[1]	アナログ カラム マルチプレクサ入力	53	I/O		P5[2]	
4	I/O		P2[7]		54	I/O		P5[4]	
5	I/O		P2[5]		55	I/O		P5[6]	
6	I/O	I	P2[3]	直接スイッチト キャパシタ ブロック入力	56	I/O		P3[0]	
7	I/O	I	P2[1]	直接スイッチト キャパシタ ブロック入力	57	I/O		P3[2]	
8	I/O		P4[7]		58	I/O		P3[4]	
9	I/O		P4[5]		59	I/O		P3[6]	
10	I/O		P4[3]		60			NC	未接続。ピンはフローティング状態のままにすることが必要
11	I/O		P4[1]		61			NC	未接続。ピンはフローティング状態のままにすることが必要
12			NC	未接続。ピンはフローティング状態のままにすることが必要	62	入力		XRES	内部プルダウン抵抗付きの、アクティブ HIGH の外部リセット
13			NC	未接続。ピンはフローティング状態のままにすることが必要	63	I/O		P4[0]	
14	電源		SMP	対象の外部部品へのスイッチ モード ポンプ (SMP) 接続	64	I/O		P4[2]	
15	電源		V_{SS}	グランド接続 [10]	65	電源		V_{SS}	グランド接続 [10]
16	I/O		P3[7]		66	I/O		P4[4]	
17	I/O		P3[5]		67	I/O		P4[6]	
18	I/O		P3[3]		68	I/O	I	P2[0]	直接スイッチト キャパシタ ブロック入力
19	I/O		P3[1]		69	I/O	I	P2[2]	直接スイッチト キャパシタ ブロック入力
20	I/O		P5[7]		70	I/O		P2[4]	外部アナログ グランド (AGND)
21	I/O		P5[5]		71			NC	未接続。ピンはフローティング状態のままにすることが必要
22	I/O		P5[3]		72	I/O		P2[6]	外部リファレンス電圧 (VREF)
23	I/O		P5[1]		73			NC	未接続。ピンはフローティング状態のままにすることが必要
24	I/O		P1[7]	I^2C SCL	74	I/O	I	P0[0]	アナログ カラム マルチプレクサ入力
25			NC	未接続。ピンはフローティング状態のままにすることが必要	75			NC	未接続。ピンはフローティング状態のままにすることが必要
26			NC	未接続。ピンはフローティング状態のままにすることが必要	76			NC	未接続。ピンはフローティング状態のままにすることが必要
27			NC	未接続。ピンはフローティング状態のままにすることが必要	77	I/O	I/O	P0[2]	アナログ カラム マルチプレクサ入力およびカラム出力
28	I/O		P1[5]	I^2C SDA	78			NC	未接続。ピンはフローティング状態のままにすることが必要
29	I/O		P1[3]		79	I/O	I/O	P0[4]	アナログ カラム マルチプレクサ入力およびカラム出力
30	I/O		P1[1]	水晶振動子 (XTALin)、I^2C シリアル クロック (SCL)、ISSP-SCLK[11]	80			NC	未接続。ピンはフローティング状態のままにすることが必要
31			NC	未接続。ピンはフローティング状態のままにすることが必要	81	I/O	I	P0[6]	アナログ カラム マルチプレクサ入力
32	電源		V_{DD}	電源電圧	82	電源		V_{DD}	電源電圧
33			NC	未接続。ピンはフローティング状態のままにすることが必要	83	電源		V_{DD}	電源電圧
34	電源		V_{SS}	グランド接続 [10]	84	電源		V_{SS}	グランド接続 [10]
35			NC	未接続。ピンはフローティング状態のままにすることが必要	85	電源		V_{SS}	グランド接続 [10]
36	I/O		P7[7]		86	I/O		P6[0]	
37	I/O		P7[6]		87	I/O		P6[1]	
38	I/O		P7[5]		88	I/O		P6[2]	
39	I/O		P7[4]		89	I/O		P6[3]	
40	I/O		P7[3]		90	I/O		P6[4]	
41	I/O		P7[2]		91	I/O		P6[5]	
42	I/O		P7[1]		92	I/O		P6[6]	
43	I/O		P7[0]		93	I/O		P6[7]	
44	I/O		P1[0]	水晶振動子 (XTALout)、I^2C シリアル データ (SDA)、ISSP-SDATA[11]	94			NC	未接続。ピンはフローティング状態のままにすることが必要

表 6. 100 ピン製品 (TQFP パッケージ) のピン配置 (続き)

ピン番号	タイプ		ピン名	説明	ピン番号	タイプ		ピン名	説明
	デジタル	アナログ				デジタル	アナログ		
45	I/O		P1[2]		95	I/O	I	P0[7]	アナログ カラム マルチプレクサ入力
46	I/O		P1[4]	任意の EXTCLK	96			NC	未接続。ピンはフローティング状態のままにすることが必要
47	I/O		P1[6]		97	I/O	I/O	P0[5]	アナログ カラム マルチプレクサ入力およびカラム出力
48			NC	未接続。ピンはフローティング状態のままにすることが必要	98			NC	未接続。ピンはフローティング状態のままにすることが必要
49			NC	未接続。ピンはフローティング状態のままにすることが必要	99	I/O	I/O	P0[3]	アナログ カラム マルチプレクサ入力およびカラム出力
50			NC	未接続。ピンはフローティング状態のままにすることが必要	100			NC	未接続。ピンはフローティング状態のままにすることが必要

凡例 : A = アナログ、I = 入力、O = 出力。

図 8. CY8C29866 100 ピン PSoC デバイス



注

10. すべての V_{SS} ピンを 1 つのグランド面に繋げる必要があります。
11. これらは ISSP ピンであり、POR (パワーオン リセット) の時に High-Z となりません。詳細は、「PSoC プログラマブル システムオンチップのテクニカル リファレンス マニュアル 」を参照してください。

100 ピン製品のピン配置 (オンチップ デバッグ)

100 ピン TQFP 製品は、CY8C29000 オンチップ デバッグ (OCD) PSoC デバイス用です。
注 : OCD 製品は、インサーキット デバッギングのみに使用されます。OCD は量産製品用としては提供できません。

表 7. 100 ピン OCD 製品 (TQFP パッケージ) のピン配置

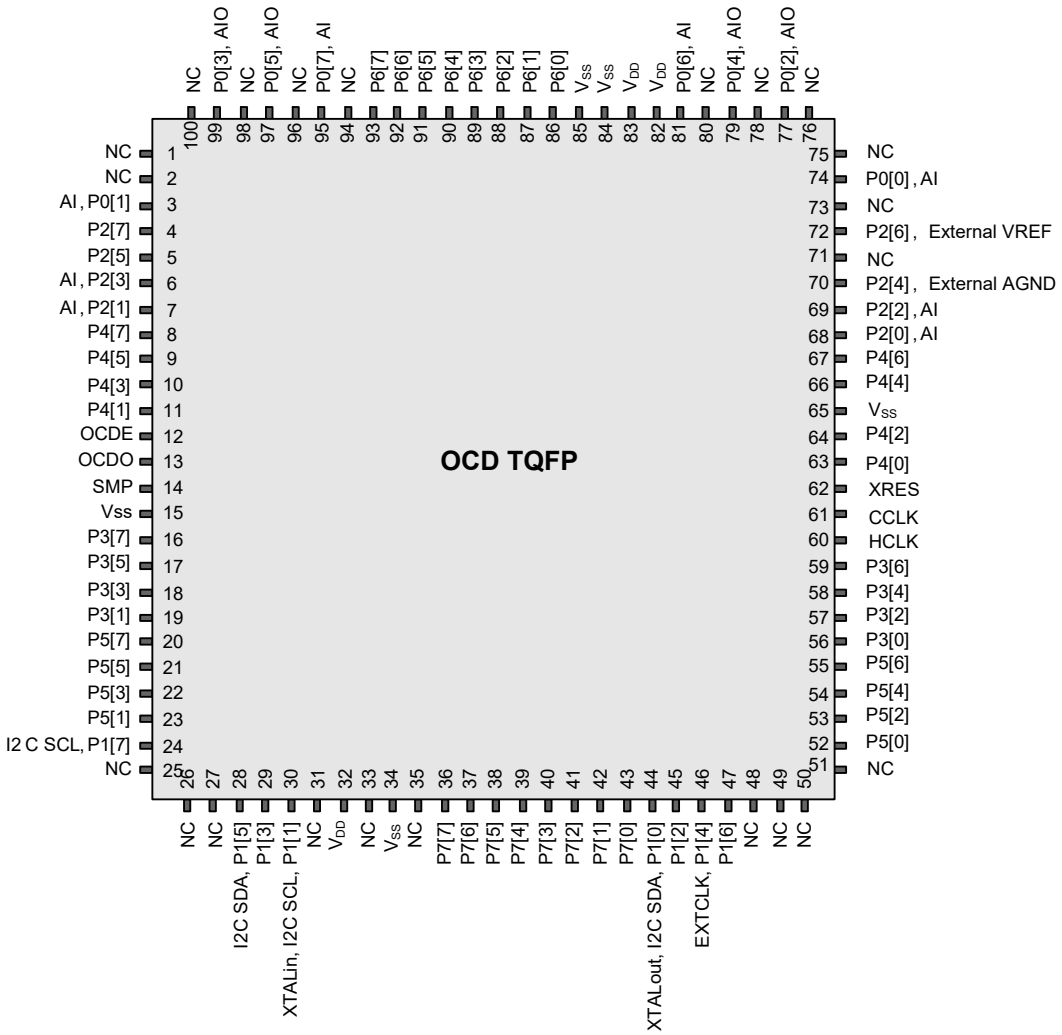
ピン番号	デジタル	アナログ	ピン名	説明	ピン番号	デジタル	アナログ	ピン名	説明
1			NC	内部接続なし	51			NC	内部接続なし
2			NC	内部接続なし	52	I/O		P5[0]	
3	I/O	I	P0[1]	アナログ カラム マルチプレクサ入力	53	I/O		P5[2]	
4	I/O		P2[7]		54	I/O		P5[4]	
5	I/O		P2[5]		55	I/O		P5[6]	
6	I/O	I	P2[3]	直接スイッチト キャパシタ ブロック入力	56	I/O		P3[0]	
7	I/O	I	P2[1]	直接スイッチト キャパシタ ブロック入力	57	I/O		P3[2]	
8	I/O		P4[7]		58	I/O		P3[4]	
9	I/O		P4[5]		59	I/O		P3[6]	
10	I/O		P4[3]		60			HCLK	OCD 高速クロック出力
11	I/O		P4[1]		61			CCLK	OCD CPU クロック出力
12			OCDE	OCD 偶数データ入出力	62	入力		XRES	内部プルダウン抵抗付きの、アクティブ HIGH の外部リセット
13			OCDO	OCD 奇数データ出力	63	I/O		P4[0]	
14	電源		SMP	対象の外部部品へのスイッチ モード ポンプ (SMP) 接続	64	I/O		P4[2]	
15	電源		V_{SS}	グランド接続 [12]	65	電源		V_{SS}	グランド接続 [12]
16	I/O		P3[7]		66	I/O		P4[4]	
17	I/O		P3[5]		67	I/O		P4[6]	
18	I/O		P3[3]		68	I/O	I	P2[0]	直接スイッチト キャパシタ ブロック入力
19	I/O		P3[1]		69	I/O	I	P2[2]	直接スイッチト キャパシタ ブロック入力
20	I/O		P5[7]		70	I/O		P2[4]	外部アナログ グランド (AGND) 入力
21	I/O		P5[5]		71			NC	内部接続なし
22	I/O		P5[3]		72	I/O		P2[6]	外部リファレンス電圧 (VREF) 入力
23	I/O		P5[1]		73			NC	内部接続なし
24	I/O		P1[7]	I^2C SCL	74	I/O	I	P0[0]	アナログ カラム マルチプレクサ入力
25			NC	内部接続なし	75			NC	内部接続なし
26			NC	内部接続なし	76			NC	内部接続なし
27			NC	内部接続なし	77	I/O	I/O	P0[2]	アナログ カラム マルチプレクサ入力およびカラム出力
28	I/O		P1[5]	I^2C SDA	78			NC	内部接続なし
29	I/O		P1[3]	I_{FMTEST}	79	I/O	I/O	P0[4]	アナログ カラム マルチプレクサ入力およびカラム出力、V_{REF}
30	I/O		P1[1][14]	水晶振動子 (XTALin)、I^2C SCL、TC SCLK	80			NC	内部接続なし
31			NC	内部接続なし	81	I/O	I	P0[6]	アナログ カラム マルチプレクサ入力
32	電源		V_{DD}	電源電圧	82	電源		V_{DD}	電源電圧
33			NC	内部接続なし	83	電源		V_{DD}	電源電圧
34	電源		V_{SS}	グランド接続 [12]	84	電源		V_{SS}	グランド接続 [12]
35			NC	内部接続なし	85	電源		V_{SS}	グランド接続 [12]
36	I/O		P7[7]		86	I/O		P6[0]	
37	I/O		P7[6]		87	I/O		P6[1]	
38	I/O		P7[5]		88	I/O		P6[2]	
39	I/O		P7[4]		89	I/O		P6[3]	
40	I/O		P7[3]		90	I/O		P6[4]	
41	I/O		P7[2]		91	I/O		P6[5]	
42	I/O		P7[1]		92	I/O		P6[6]	
43	I/O		P7[0]		93	I/O		P6[7]	
44	I/O		P1[0]*	水晶振動子 (XTALout)、I^2C SDA、TC SDATA	94			NC	内部接続なし
45	I/O		P1[2]	V_{FMTEST}	95	I/O	I	P0[7]	アナログ カラム マルチプレクサ入力
46	I/O		P1[4]	任意の外部クロック入力 (EXTCLK)	96			NC	内部接続なし
47	I/O		P1[6]		97	I/O	I/O	P0[5]	アナログ カラム マルチプレクサ入力およびカラム出力
48			NC	内部接続なし	98			NC	内部接続なし
49			NC	内部接続なし	99	I/O	I/O	P0[3]	アナログ カラム マルチプレクサ入力およびカラム出力
50			NC	内部接続なし	100			NC	内部接続なし

凡例 : A = アナログ、I = 入力、O = 出力、NC = 接続なし。ピンはフローティング状態のままにすることが必要。TC/TM: テスト実行

注

12. すべての V_{SS} ピンを 1 つのグランド面に繋ける必要があります。
13. POR (パワーオン リセット) の時に High-Z とならない ISSP ピン

図 9. CY8C29000 OCD (量産製品用ではない)



レジスタ リファレンス

本セクションでは、CY8C29x66 PSoC デバイスのレジスター覧を示します。レジスタの詳細な情報については、「PSoC プログラマブル システムオンチップのテクニカル リファレンス マニュアル」を参照してください。

レジスタの表記法

表 8 に、本節で使用しているレジスタの表記法を示します。

表 8. レジスタの表記法

表記法	説明
R	読み出しレジスタ／ビット
W	書き込みレジスタ／ビット
L	論理レジスタ／ビット
C	クリア可能なレジスタ／ビット
#	アクセスはビット固有

レジスタ マッピング テーブル

PSoC デバイスには、全部で 512 バイトのレジスタ アドレス空間があります。このレジスタ空間は I/O 空間と呼ばれ、2 つのバンクで構成されます。フラグ レジスタ (CPU_F) 内の XOI ビットは、ユーザーが現在どのバンクに存在しているかを示します。XOI ビットが設定されている場合、ユーザーはバンク 1 に存在します。

注 次のレジスタ マッピング テーブルでは、空白のフィールドは予約されているため、アクセスしてはなりません。

表 9. レジスタ マップ バンク 0 テーブル : ユーザー空間

名称	アドレス (0、16 進)	アクセス	名称	アドレス (0、16 進)	アクセス	名称	アドレス (0、16 進)	アクセス	名称	アドレス (0、16 進)	アクセス
PRT0DR	00	RW	DBB20DR0	40	#	ASC10CR0	80	RW	RDI2RI	C0	RW
PRT0IE	01	RW	DBB20DR1	41	W	ASC10CR1	81	RW	RDI2SYN	C1	RW
PRT0GS	02	RW	DBB20DR2	42	RW	ASC10CR2	82	RW	RDI2IS	C2	RW
PRT0DM2	03	RW	DBB20CR0	43	#	ASC10CR3	83	RW	RDI2LT0	C3	RW
PRT1DR	04	RW	DBB21DR0	44	#	ASD11CR0	84	RW	RDI2LT1	C4	RW
PRT1IE	05	RW	DBB21DR1	45	W	ASD11CR1	85	RW	RDI2RO0	C5	RW
PRT1GS	06	RW	DBB21DR2	46	RW	ASD11CR2	86	RW	RDI2RO1	C6	RW
PRT1DM2	07	RW	DBB21CR0	47	#	ASD11CR3	87	RW		C7	
PRT2DR	08	RW	DCB22DR0	48	#	ASC12CR0	88	RW	RDI3RI	C8	RW
PRT2IE	09	RW	DCB22DR1	49	W	ASC12CR1	89	RW	RDI3SYN	C9	RW
PRT2GS	0A	RW	DCB22DR2	4A	RW	ASC12CR2	8A	RW	RDI3IS	CA	RW
PRT2DM2	0B	RW	DCB22CR0	4B	#	ASC12CR3	8B	RW	RDI3LT0	CB	RW
PRT3DR	0C	RW	DCB23DR0	4C	#	ASD13CR0	8C	RW	RDI3LT1	CC	RW
PRT3IE	0D	RW	DCB23DR1	4D	W	ASD13CR1	8D	RW	RDI3RO0	CD	RW
PRT3GS	0E	RW	DCB23DR2	4E	RW	ASD13CR2	8E	RW	RDI3RO1	CE	RW
PRT3DM2	0F	RW	DCB23CR0	4F	#	ASD13CR3	8F	RW		CF	
PRT4DR	10	RW	DBB30DR0	50	#	ASD20CR0	90	RW	CUR_PP	D0	RW
PRT4IE	11	RW	DBB30DR1	51	W	ASD20CR1	91	RW	STK_PP	D1	RW
PRT4GS	12	RW	DBB30DR2	52	RW	ASD20CR2	92	RW		D2	
PRT4DM2	13	RW	DBB30CR0	53	#	ASD20CR3	93	RW	IDX_PP	D3	RW
PRT5DR	14	RW	DBB31DR0	54	#	ASC21CR0	94	RW	MVR_PP	D4	RW
PRT5IE	15	RW	DBB31DR1	55	W	ASC21CR1	95	RW	MVW_PP	D5	RW
PRT5GS	16	RW	DBB31DR2	56	RW	ASC21CR2	96	RW	I2C_CFG	D6	RW
PRT5DM2	17	RW	DBB31CR0	57	#	ASC21CR3	97	RW	I2C_SCR	D7	#
PRT6DR	18	RW	DCB32DR0	58	#	ASD22CR0	98	RW	I2C_DR	D8	RW
PRT6IE	19	RW	DCB32DR1	59	W	ASD22CR1	99	RW	I2C_MSCR	D9	#
PRT6GS	1A	RW	DCB32DR2	5A	RW	ASD22CR2	9A	RW	INT_CLR0	DA	RW
PRT6DM2	1B	RW	DCB32CR0	5B	#	ASD22CR3	9B	RW	INT_CLR1	DB	RW
PRT7DR	1C	RW	DCB33DR0	5C	#	ASC23CR0	9C	RW	INT_CLR2	DC	RW
PRT7IE	1D	RW	DCB33DR1	5D	W	ASC23CR1	9D	RW	INT_CLR3	DD	RW
PRT7GS	1E	RW	DCB33DR2	5E	RW	ASC23CR2	9E	RW	INT_MSK3	DE	RW
PRT7DM2	1F	RW	DCB33CR0	5F	#	ASC23CR3	9F	RW	INT_MSK2	DF	RW
DBB00DR0	20	#	AMX_IN	60	RW		A0		INT_MSK0	E0	RW
DBB00DR1	21	W		61			A1		INT_MSK1	E1	RW
DBB00DR2	22	RW		62			A2		INT_VC	E2	RC
DBB00CR0	23	#	ARF_CR	63	RW		A3		RES_WDT	E3	W
DBB01DR0	24	#	CMP_CR0	64	#		A4		DEC_DH	E4	RC
DBB01DR1	25	W	ASY_CR	65	#		A5		DEC_DL	E5	RC
DBB01DR2	26	RW	CMP_CR1	66	RW		A6		DEC_CR0	E6	RW
DBB01CR0	27	#		67			A7		DEC_CR1	E7	RW
DCB02DR0	28	#		68		MUL1_X	A8	W	MUL0_X	E8	W
DCB02DR1	29	W		69		MUL1_Y	A9	W	MUL0_Y	E9	W
DCB02DR2	2A	RW		6A		MUL1_DH	AA	R	MUL0_DH	EA	R
DCB02CR0	2B	#		6B		MUL1_DL	AB	R	MUL0_DL	EB	R
DCB03DR0	2C	#	TMP_DR0	6C	RW	ACC1_DR1	AC	RW	ACC0_DR1	EC	RW
DCB03DR1	2D	W	TMP_DR1	6D	RW	ACC1_DR0	AD	RW	ACC0_DR0	ED	RW
DCB03DR2	2E	RW	TMP_DR2	6E	RW	ACC1_DR3	AE	RW	ACC0_DR3	EE	RW
DCB03CR0	2F	#	TMP_DR3	6F	RW	ACC1_DR2	AF	RW	ACC0_DR2	EF	RW
DBB10DR0	30	#	ACB00CR3	70	RW	RDI0RI	B0	RW		F0	
DBB10DR1	31	W	ACB00CR0	71	RW	RDI0SYN	B1	RW		F1	
DBB10DR2	32	RW	ACB00CR1	72	RW	RDI0IS	B2	RW		F2	
DBB10CR0	33	#	ACB00CR2	73	RW	RDI0LT0	B3	RW		F3	
DBB11DR0	34	#	ACB01CR3	74	RW	RDI0LT1	B4	RW		F4	
DBB11DR1	35	W	ACB01CR0	75	RW	RDI0RO0	B5	RW		F5	
DBB11DR2	36	RW	ACB01CR1	76	RW	RDI0RO1	B6	RW		F6	
DBB11CR0	37	#	ACB01CR2	77	RW		B7		CPU_F	F7	RL
DCB12DR0	38	#	ACB02CR3	78	RW	RDI1RI	B8	RW		F8	
DCB12DR1	39	W	ACB02CR0	79	RW	RDI1SYN	B9	RW		F9	
DCB12DR2	3A	RW	ACB02CR1	7A	RW	RDI1IS	BA	RW		FA	
DCB12CR0	3B	#	ACB02CR2	7B	RW	RDI1LT0	BB	RW		FB	
DCB13DR0	3C	#	ACB03CR3	7C	RW	RDI1LT1	BC	RW		FC	
DCB13DR1	3D	W	ACB03CR0	7D	RW	RDI1RO0	BD	RW		FD	
DCB13DR2	3E	RW	ACB03CR1	7E	RW	RDI1RO1	BE	RW	CPU_SCR1	FE	#
DCB13CR0	3F	#	ACB03CR2	7F	RW		BF		CPU_SCR0	FF	#

空白のフィールドは、「予約済み」で、「アクセス不可」です。　　#: 「アクセスはビット固有」という意味です。

表 10. レジスタ マップ バンク 1 テーブル : コンフィギュレーション空間

名称	アドレス (1、16 進)	アクセス	名称	アドレス (1、16 進)	アクセス	名称	アドレス (1、16 進)	アクセス	名称	アドレス (1、16 進)	アクセス
PRT0DM0	00	RW	DBB20FN	40	RW	ASC10CR0	80	RW	RDI2RI	C0	RW
PRT0DM1	01	RW	DBB20IN	41	RW	ASC10CR1	81	RW	RDI2SYN	C1	RW
PRT0IC0	02	RW	DBB20OU	42	RW	ASC10CR2	82	RW	RDI2IS	C2	RW
PRT0IC1	03	RW		43		ASC10CR3	83	RW	RDI2LT0	C3	RW
PRT1DM0	04	RW	DBB21FN	44	RW	ASD11CR0	84	RW	RDI2LT1	C4	RW
PRT1DM1	05	RW	DBB21IN	45	RW	ASD11CR1	85	RW	RDI2RO0	C5	RW
PRT1IC0	06	RW	DBB21OU	46	RW	ASD11CR2	86	RW	RDI2RO1	C6	RW
PRT1IC1	07	RW		47		ASD11CR3	87	RW		C7	
PRT2DM0	08	RW	DCB22FN	48	RW	ASC12CR0	88	RW	RDI3RI	C8	RW
PRT2DM1	09	RW	DCB22IN	49	RW	ASC12CR1	89	RW	RDI3SYN	C9	RW
PRT2IC0	0A	RW	DCB22OU	4A	RW	ASC12CR2	8A	RW	RDI3IS	CA	RW
PRT2IC1	0B	RW		4B		ASC12CR3	8B	RW	RDI3LT0	CB	RW
PRT3DM0	0C	RW	DCB23FN	4C	RW	ASD13CR0	8C	RW	RDI3LT1	CC	RW
PRT3DM1	0D	RW	DCB23IN	4D	RW	ASD13CR1	8D	RW	RDI3RO0	CD	RW
PRT3IC0	0E	RW	DCB23OU	4E	RW	ASD13CR2	8E	RW	RDI3RO1	CE	RW
PRT3IC1	0F	RW		4F		ASD13CR3	8F	RW		CF	
PRT4DM0	10	RW	DBB30FN	50	RW	ASD20CR0	90	RW	GDI_O_IN	D0	RW
PRT4DM1	11	RW	DBB30IN	51	RW	ASD20CR1	91	RW	GDI_E_IN	D1	RW
PRT4IC0	12	RW	DBB30OU	52	RW	ASD20CR2	92	RW	GDI_O_OU	D2	RW
PRT4IC1	13	RW		53		ASD20CR3	93	RW	GDI_E_OU	D3	RW
PRT5DM0	14	RW	DBB31FN	54	RW	ASC21CR0	94	RW		D4	
PRT5DM1	15	RW	DBB31IN	55	RW	ASC21CR1	95	RW		D5	
PRT5IC0	16	RW	DBB31OU	56	RW	ASC21CR2	96	RW		D6	
PRT5IC1	17	RW		57		ASC21CR3	97	RW		D7	
PRT6DM0	18	RW	DCB32FN	58	RW	ASD22CR0	98	RW		D8	
PRT6DM1	19	RW	DCB32IN	59	RW	ASD22CR1	99	RW		D9	
PRT6IC0	1A	RW	DCB32OU	5A	RW	ASD22CR2	9A	RW		DA	
PRT6IC1	1B	RW		5B		ASD22CR3	9B	RW		DB	
PRT7DM0	1C	RW	DCB33FN	5C	RW	ASC23CR0	9C	RW		DC	
PRT7DM1	1D	RW	DCB33IN	5D	RW	ASC23CR1	9D	RW	OSC_GO_EN	DD	RW
PRT7IC0	1E	RW	DCB33OU	5E	RW	ASC23CR2	9E	RW	OSC_CR4	DE	RW
PRT7IC1	1F	RW		5F		ASC23CR3	9F	RW	OSC_CR3	DF	RW
DBB00FN	20	RW	CLK_CR0	60	RW		A0		OSC_CR0	E0	RW
DBB00IN	21	RW	CLK_CR1	61	RW		A1		OSC_CR1	E1	RW
DBB00OU	22	RW	ABF_CR0	62	RW		A2		OSC_CR2	E2	RW
	23		AMD_CR0	63	RW		A3		VLT_CR	E3	RW
DBB01FN	24	RW		64			A4		VLT_CMP	E4	R
DBB01IN	25	RW		65			A5			E5	
DBB01OU	26	RW	AMD_CR1	66	RW		A6			E6	
	27		ALT_CR0	67	RW		A7		DEC_CR2	E7	RW
DCB02FN	28	RW	ALT_CR1	68	RW		A8		IMO_TR	E8	W
DCB02IN	29	RW	CLK_CR2	69	RW		A9		ILO_TR	E9	W
DCB02OU	2A	RW		6A			AA		BDG_TR	EA	RW
	2B			6B			AB		ECO_TR	EB	W
DCB03FN	2C	RW	TMP_DR0	6C	RW		AC			EC	
DCB03IN	2D	RW	TMP_DR1	6D	RW		AD			ED	
DCB03OU	2E	RW	TMP_DR2	6E	RW		AE			EE	
	2F		TMP_DR3	6F	RW		AF			EF	
DBB10FN	30	RW	ACB00CR3	70	RW	RDI0RI	B0	RW		F0	
DBB10IN	31	RW	ACB00CR0	71	RW	RDI0SYN	B1	RW		F1	
DBB10OU	32	RW	ACB00CR1	72	RW	RDI0IS	B2	RW		F2	
	33		ACB00CR2	73	RW	RDI0LT0	B3	RW		F3	
DBB11FN	34	RW	ACB01CR3	74	RW	RDI0LT1	B4	RW		F4	
DBB11IN	35	RW	ACB01CR0	75	RW	RDI0RO0	B5	RW		F5	
DBB11OU	36	RW	ACB01CR1	76	RW	RDI0RO1	B6	RW		F6	
	37		ACB01CR2	77	RW		B7		CPU_F	F7	RL
DCB12FN	38	RW	ACB02CR3	78	RW	RDI1RI	B8	RW		F8	
DCB12IN	39	RW	ACB02CR0	79	RW	RDI1SYN	B9	RW		F9	
DCB12OU	3A	RW	ACB02CR1	7A	RW	RDI1IS	BA	RW	FLS_PR1	FA	RW
	3B		ACB02CR2	7B	RW	RDI1LT0	BB	RW		FB	
DCB13FN	3C	RW	ACB03CR3	7C	RW	RDI1LT1	BC	RW		FC	
DCB13IN	3D	RW	ACB03CR0	7D	RW	RDI1RO0	BD	RW		FD	
DCB13OU	3E	RW	ACB03CR1	7E	RW	RDI1RO1	BE	RW	CPU_SCR1	FE	#
	3F		ACB03CR2	7F	RW		BF		CPU_SCR0	FF	#

空白のフィールドは「予約済み」で、「アクセス不可」です。　　#: 「アクセスはビット固有」という意味です。

電気的仕様

このセクションでは、CY8C29x66 PSoC デバイスにおける DC および AC の電気的仕様について説明します。最新の電気的仕様については、http://www.cypress.com にアクセスして、参照しているデータシートが最新のものであることを確認してください。

特記されていない限り、仕様は –40°C ≤ T_A ≤ 85°C および T_J ≤ 100°C で有効です。SLIMO モードでの内部主振動子 (IMO) の電気的仕様については、表 29 を参照してください。

図 10. 電圧と CPU 周波数の関係

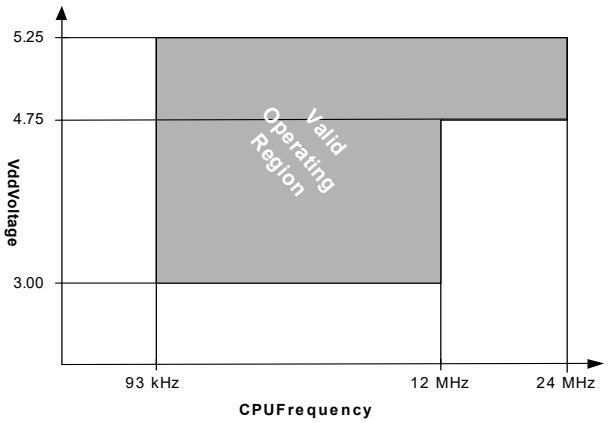
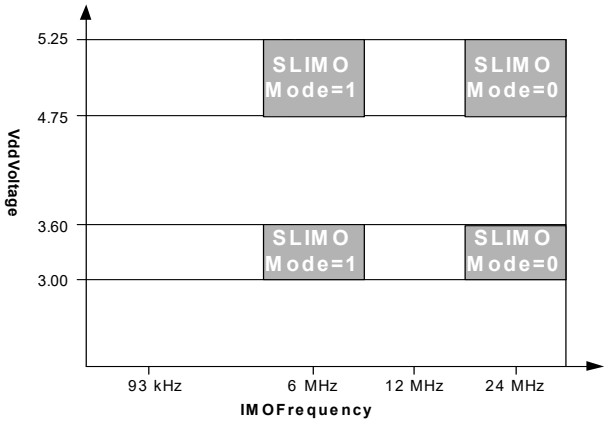


図 11. IMO 周波数のオプション



絶対最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。ユーザー ガイドラインは未テストです。

表 11. 絶対最大定格

記号	説明	Min	Typ	Max	単位	注
T_{STG}	保管温度	–55	25	+100	°C	保管温度が高いほど、データ保存期間は短くなる。推奨保管温度は +25°C ± 25°C。65°C を超えた温度で長期間保管すると、信頼性が低下
$T_{BAKETEMP}$	ベーキング温度	–	125	パッケージのラベルを参照	°C	
$T_{BAKETIME}$	ベーキング時間	パッケージのラベルを参照	–	72	時間	
T_A	通電時の周囲温度	–40	–	+85	°C	
V_{DD}	V_{SS} を基準にした V_{DD} の電源電圧	–0.5	–	+6.0	V	
V_{IO}	DC 入力電圧	V_{SS}–0.5	–	V_{DD}+0.5	V	
V_{IOZ}	トライステート時の DC 電圧	V_{SS}–0.5	–	V_{DD}+0.5	V	
I_{MIO}	ポート ピンへの最大電流	–25	–	+50	mA	
I_{MAIO}	アナログ ドライバーとしてコンフィギュレーションされたポート ピンへの最大電流	–50	–	+50	mA	
ESD	静電気放電電圧	2000	–	–	V	人体モデル ESD
LU	ラッチアップ電流	–	–	200	mA	

動作温度

表 12. 動作温度

記号	説明	Min	Typ	Max	単位	注
T_A	周囲温度	–40	–	+85	°C	
T_J	接合部温度	–40	–	+100	°C	周囲温度からの接合部の温度上昇はパッケージに応じて異なる。52 ページの「熱インピーダンス」を参照。この要件を満たすように、消費電力を制限することが必要

DC 電気的特性

チップ レベルの DC 仕様

表 13 に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します。4.75V ～ 5.25V、および –40°C ≤ T_A ≤ 85°C、または 3.0V ～ 3.6V、および –40°C ≤ T_A ≤ 85°C。標準パラメーターは、温度 25°C、電圧 5V または 3.3V の場合の値で、単なる設計の参考用のデータです。

表 13. チップ レベルの DC 仕様

記号	説明	Min	Typ	Max	単位	注
V_{DD} [14]	電源電圧	3.00	–	5.25	V	37 ページ の DC POR、SMP、および LVD 仕様を参照
I_{DD}	供給電流	–	8	14	mA	条件 : 5.0V、T_A = 25°C、CPU = 3MHz、SYSCLK ダブラーが無効、VC1 = 1.5MHz、VC2 = 93.75kHz、VC3 = 0.366kHz
I_{DD3}	供給電流	–	5	9	mA	条件 : V_{DD} = 3.3V、T_A = 25°C、CPU = 3MHz、SYSCLK ダブラーが無効、VC1 = 1.5MHz、VC2 = 93.75kHz、VC3 = 0.366kHz
I_{DDP}	SLIMO モードの場合の IMO=6MHz 時の供給電流	–	2	3	mA	条件 : V_{DD} = 3.3V、T_A = 25°C、CPU = 0.75MHz、SYSCLK ダブラーが無効、VC1 = 0.375MHz、VC2 = 23.44kHz、VC3 = 0.09kHz
I_{SB}	POR、LVD、スリープ タイマー、WDT、および内部低速振動子が有効になった時のスリープ (モード) 電流	–	3	10	µA	条件 : 内部低速振動子あり、V_{DD} = 3.3V、–40°C ≤ T_A ≤ 55°C
I_{SBH}	POR、LVD、スリープ タイマー、WDT、および内部低速振動子が有効になった時のスリープ (モード) 電流	–	4	25	µA	条件 : 内部低速振動子有り、V_{DD} = 3.3V、55°C < T_A ≤ 85°C
I_{SBXTL}	POR、LVD、スリープ タイマー、WDT、内部低速振動子、および 32kHz 水晶振動子が有効になった時のスリープ (モード) 電流	–	4	12	µA	条件 : 正常に実装された最大 1µW の 32.768kHz 水晶、V_{DD} = 3.3V、–40°C ≤ T_A ≤ 55°C
I_{SBXTLH}	POR、LVD、スリープ タイマー、WDT、および 32kHz 水晶振動子が有効になった時のスリープ (モード) 電流	–	5	27	µA	条件 : 正常に実装された最大 1µW の 32.768kHz 水晶、V_{DD} = 3.3V、55°C < T_A ≤ 85°C
V_{REF}	リファレンス電圧 (バンドギャップ)	1.28	1.3	1.32	V	適切な V_{DD} を達成するためにトリムされる

注
14. エラッタ : 電源投入の前にデバイスの V_{DD} がグランド電圧を下回った場合、フラッシュ バンク 0 を除いて各 8K フラッシュ バンクからの最初の読み出しは、故障が発生する場合があります。これは、フラッシュバンクを使用する前に各フラッシュ バンクからダミーの読み出しを実行して解決できます。詳細については、62 ページ のエラッタを参照してください。

GPIO の DC 仕様

表 14 に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します。4.75V ～ 5.25V、および –40°C ≤ T_A ≤ 85°C、または 3.0V ～ 3.6V、および –40°C ≤ T_A ≤ 85°C。標準パラメーターは、温度 25°C、電圧 5V または 3.3V の場合の値で、単なる設計の参考用のデータです。

表 14. GPIO の DC 仕様

記号	説明	Min	Typ	Max	単位	注
R_{PU}	プルアップ抵抗	4	5.6	8	kΩ	
R_{PD}	プルダウン抵抗	4	5.6	8	kΩ	
V_{OH}	出力電圧 HIGH レベル	V_{DD} – 1.0	–	–	V	I_{OH} = 10mA、V_{DD} = 4.75V ～ 5.25V (合計で 8 つの負荷があり、その内、4 つは偶数ポート ピン (例えば、P0[2]、P1[4]) にあり、4 つは奇数ポート ピン (例えば、P0[3]、P1[5]) にある)。 すべてのピンにおける最大総電流 I_{OH} バジェットが 80mA
V_{OL}	出力電圧 LOW レベル	–	–	0.75	V	I_{OL} = 25mA、V_{DD} = 4.75V ～ 5.25V (合計で 8 つの負荷があり、その内、4 つは偶数ポート ピン (例えば、P0[2]、P1[4]) にあり、4 つは奇数ポート ピン (例えば、P0[3]、P1[5]) にある)。 すべてのピンにおける最大総電流 I_{OL} バジェットが 150mA
I_{OH}	出力電圧が HIGH 時のソース電流	10	–	–	mA	V_{OH} = V_{DD} – 1.0V、V_{OH} の注に記載されている総電流の制限を参照
I_{OL}	出力電圧が LOW の時のシンク電流	25	–	–	mA	V_{OL} = 0.75V、V_{OL} の注に記載されている総電流の制限を参照
V_{IL}	入力電圧 LOW レベル	–	–	0.8	V	V_{DD} = 3.0V ～ 5.25V
V_{IH}	入力電圧 HIGH レベル	2.1	–	–	V	V_{DD} = 3.0V ～ 5.25V
V_H	入力ヒステリシス	–	60	–	mV	
I_{IL}	入力リーク電流 (絶対値)	–	1	–	nA	総リーク電流が 1µA になるまですべてのピンで同時テスト
C_{IN}	入力として使用されるピン上の容量負荷	–	3.5	10	pF	パッケージとピンに応じて異なる。温度 = 25°C
C_{OUT}	出力として使用されるピンの容量負荷	–	3.5	10	pF	パッケージとピンに応じて異なる。温度 = 25°C

オペアンプの DC 仕様

表 15 および表 16 に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します。
4.75V ～ 5.25V、および –40°C ≤ T_A ≤ 85°C、または 3.0V ～ 3.6V、および –40°C ≤ T_A ≤ 85°C。標準パラメーターは、温度 25°C、電圧 5V または 3.3V の場合の値で、単なる設計の参考用のデータです。

オペアンプは、アナログ連続時間 PSoC ブロックとアナログ スイッチト キャパシタ PSoC ブロック両方のコンポーネントです。保証された仕様は、アナログ連続時間 PSoC ブロックで測定されます。標準パラメーターは、25°C での 5V の時に適用され、単なる設計の参考用のデータです。

表 15. 5V 時の演算増幅器の DC 仕様

記号	説明	Min	Typ	Max	単位	注
V_{OSOA}	入力オフセット電圧 (絶対値) 電力 = 低、オペアンプ バイアス = 低 電力 = 低、オペアンプ バイアス = 高 電力 = 中、オペアンプ バイアス = 低 電力 = 中、オペアンプ バイアス = 高 電力 = 高、オペアンプ バイアス = 低 電力 = 高、オペアンプ バイアス = 高	 – – – – – –	 1.6 1.6 1.6 1.6 1.6 1.6	 10 10 10 10 10 10	 mV mV mV mV mV mV	
TCV_{OSOA}	平均入力オフセット電圧ドリフト	–	4	23	µV/°C	
I_{EBOA}	入力リーク電流 (ポート 0 アナログ ピン)	–	200	–	pA	総リーク電流 1µA 以下ですべてのピンで同時テスト
C_{INOA}	入力静電容量 (ポート 0 アナログ ピン)	–	4.5	9.5	pF	パッケージとピンに応じて異なる。 温度 = 25°C
V_{CMOA}	同相電圧範囲 (「電力 = 高、オペアンプ バイアス = 高」以外すべての場合) 同相電圧範囲 (消電力 = 高、オペアンプ バイアス = 高)	0 0.5	– –	V_{DD} V_{DD} – 0.5	V V	同相入力電圧範囲は、アナログ出力バッファを通じて測定。 仕様には、アナログ出力バッファの特性に伴う制限も含まれる
CMRROA	同相信号除去比	60	–	–	dB	
GOLOA	開ループ ゲイン	80	–	–	dB	
$V_{OHIGHOA}$	出力電圧 HIGH 時電圧スイング (内部信号)	V_{DD} – 0.01	–	–	V	
V_{OLOWOA}	出力電圧 LOW 時電圧スイング (内部信号)	–	–	0.1	V	
I_{SOA}	供給電流 (関連する AGND バッファを含む) 電力 = 低、オペアンプ バイアス = 低 電力 = 低、オペアンプ バイアス = 高 電力 = 中、オペアンプ バイアス = 低 電力 = 中、オペアンプ バイアス = 高 電力 = 高、オペアンプ バイアス = 低 電力 = 高、オペアンプ バイアス = 高	 – – – – – –	 150 300 600 1200 2400 4600	 200 400 800 1600 3200 6400	 µA µA µA µA µA µA	
PSRROA	電源電圧変動除去比	67	80	–	dB	$V_{SS} \le V_{IN} \le (V_{DD} – 2.25V)$ または $(V_{DD} – 1.25V) \le V_{IN} \le V_{DD}$

表 16. 3.3V 時の演算増幅器の DC 仕様

記号	説明	Min	Typ	Max	単位	注
V_{OSOA}	入力オフセット電圧 (絶対値) 電力 = 低、オペアンプ バイアス = 低 電力 = 低、オペアンプ バイアス = 高 電力 = 中、オペアンプ バイアス = 低 電力 = 中、オペアンプ バイアス = 高 電力 = 高、オペアンプ バイアス = 低 電力 = 高、オペアンプ バイアス = 高	 – – – – – –	 1.4 1.4 1.4 1.4 1.4 –	 10 10 10 10 10 –	 mV mV mV mV mV mV	V_{DD} が 3.3V 時の動作の場合、「電力 = 高、オペアンプ バイアス = 高」の設定は許可されない
TCV_{OSOA}	平均入力オフセット電圧ドリフト	–	7	40	µV/°C	
I_{EBOA}	入力リーク電流 (ポート 0 アナログ ピン)	–	200	–	pA	総リーク電流が 1µA になるまですべてのピンで同時テスト
C_{INOA}	入力静電容量 (ポート 0 アナログ ピン)	–	4.5	9.5	pF	パッケージとピンに応じて異なる。 温度 = 25°C
V_{CMOA}	同相電圧範囲	0	–	V_{DD}	V	同相入力電圧範囲は、アナログ出力バッファを通じて測定。 仕様には、アナログ出力バッファの特性に伴う制限も含まれる
$CMRR_{OA}$	同相信号除去比	60	–	–	dB	
G_{OLOA}	開ループ ゲイン	80	–	–	dB	
$V_{OHIGHOA}$	出力電圧 HIGH 時電圧スイング (内部信号)	V_{DD} – 0.01	–	–	V	
V_{OLOWOA}	出力電圧 LOW 時電圧スイング (内部信号)	–	–	0.01	V	
I_{SOA}	電源電流 (関連する AGND バッファを含む) 電力 = 低、オペアンプ バイアス = 低 電力 = 低、オペアンプ バイアス = 高 電力 = 中、オペアンプ バイアス = 低 電力 = 中、オペアンプ バイアス = 高 電力 = 高、オペアンプ バイアス = 低 電力 = 高、オペアンプ バイアス = 高	 – – – – – –	 150 300 600 1200 2400 –	 200 400 800 1600 3200 –	 µA µA µA µA µA µA	V_{DD} が 3.3V 時の動作の場合、「電力 = 高、オペアンプ バイアス = 高」の設定は許可されない
$PSRR_{OA}$	電源電圧変動除去比	54	80	–	dB	$V_{SS} \le V_{IN} \le (V_{DD} – 2.25V)$ または $(V_{DD} – 1.25V) \le V_{IN} \le V_{DD}$

低消費電力コンパレータの DC 仕様

表 17 に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します。4.75V ～ 5.25V、および –40°C ≤ T_A ≤ 85°C、3.0V ～ 3.6V、および –40°C ≤ T_A ≤ 85°C、または 2.4V ～ 3.0V、および –40°C ≤ T_A ≤ 85°C。標準パラメーターは、25°C での 5V の時に適用され、単なる設計の参考用のデータです。

表 17. 低消費電力コンパレータの DC 仕様

記号	説明	Min	Typ	Max	単位
V_{REFLPC}	低消費電力コンパレータ (LPC) リファレンス電圧範囲	0.2	–	V_{DD} – 1	V
I_{SLPC}	LPC 供給電流	–	10	40	µA
V_{OSLPC}	LPC 電圧オフセット	–	2.5	30	mV

アナログ出力バッファの DC 仕様

表 18 および表 19 に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します。
4.75V ～ 5.25V、および –40°C ≤ T_A ≤ 85°C、または 3.0V ～ 3.6V、および –40°C ≤ T_A ≤ 85°C。標準パラメーターは、温度 25°C、電圧 5V または 3.3V の場合の値で、単なる設計の参考用のデータです。

表 18. 5V の時のアナログ出力バッファの DC 仕様

記号	説明	Min	Typ	Max	単位	注
V_{OSOB}	入力オフセット電圧 (絶対値) 電力 = 低、オペアンプ バイアス = 低 電力 = 低、オペアンプ バイアス = 高 電力 = 高、オペアンプ バイアス = 低 電力 = 高、オペアンプ バイアス = 高	 – – – –	 3.2 3.2 3.2 3.2	 18 18 18 18	 mV mV mV mV	
TCV_{OSOB}	平均入力オフセット電圧ドリフト	–	5.5	26	µV/°C	
V_{CMOB}	同相入力電圧範囲	0.5	–	V_{DD} – 1.0	V	
R_{OUTOB}	出力抵抗値 電力 = 低 電力 = 高	 – –	 – –	 1 1	 Ω Ω	
$V_{OHIGHOB}$	出力電圧 HIGH 時電圧スイング (V_{DD}/2 に接続する負荷が 32Ω) 電力 = 低 電力 = 高	 0.5 × V_{DD}+1.3 0.5 × V_{DD}+1.3	 – –	 – –	 V V	
V_{OLOWOB}	出力電圧 LOW 時電圧スイング (V_{DD}/2 に接続する負荷が 32Ω) 電力 = 低 電力 = 高	 – –	 – –	 0.5×V_{DD}–1.3 0.5×V_{DD}–1.3	 V V	
I_{SOB}	バイアス セルを含む供給電流 (負荷なし) 電力 = 低 電力 = 高	 – –	 1.1 2.6	 2 5	 mA mA	
$PSRR_{OB}$	電源電圧変動除去比	40	64		dB	
C_L	負荷容量	–	–	200	pF	本仕様は、アナログ出力バッファにより駆動されている外部回路に適用

表 19. 3.3V 時のアナログ出力バッファの DC 仕様

記号	説明	Min	Typ	Max	単位	注
V_{OSOB}	入力オフセット電圧 (絶対値) 電力 = 低、オペアンプ バイアス = 低 電力 = 低、オペアンプ バイアス = 高 電力 = 高、オペアンプ バイアス = 低 電力 = 高、オペアンプ バイアス = 高	 – – – –	 3.2 3.2 6 6	 20 20 25 25	 mV mV mV mV	「電力 = 高」の設定は推奨されない
TCV_{OSOB}	平均入力オフセット電圧ドリフト 電力 = 低、オペアンプ バイアス = 低 電力 = 低、オペアンプ バイアス = 高 電力 = 高、オペアンプ バイアス = 低 電力 = 高、オペアンプ バイアス = 高	 – – – –	 8 8 12 12	 32 32 41 41	 µV/°C µV/°C µV/°C µV/°C	「電力 = 高」の設定は推奨されない
V_{CMOB}	同相入力電圧範囲	0.5	–	V_{DD} – 1.0	V	
R_{OUTOB}	出力抵抗値 電力 = 低 電力 = 高	 – –	 – –	 10 10	 Ω Ω	
$V_{OHIGHOB}$	出力電圧 HIGH 時電圧スイング (V_{DD}/2 に接続する負荷が 32Ω) 電力 = 低 電力 = 高	 0.5 × V_{DD}+1.0 0.5 × V_{DD}+1.0	 – –	 – –	 V V	
V_{OLOWOB}	出力電圧 LOW 時電圧スイング (V_{DD}/2 に接続する負荷が 32Ω) 電力 = 低 電力 = 高	 – –	 – –	 0.5×V_{DD}–1.0 0.5×V_{DD}–1.0	 V V	
I_{SOB}	バイアス セルを含む供給電流（負荷なし） 電力 = 低 電力 = 高	 – –	 0.8 2.0	 1 5	 mA mA	
$PSRR_{OB}$	電源電圧変動除去比	60	64	–	dB	
C_L	負荷容量	–	–	200	pF	本仕様は、アナログ出力バッファにより駆動されている外部回路に適用

スイッチ モード ポンプ (SMP) の DC 仕様

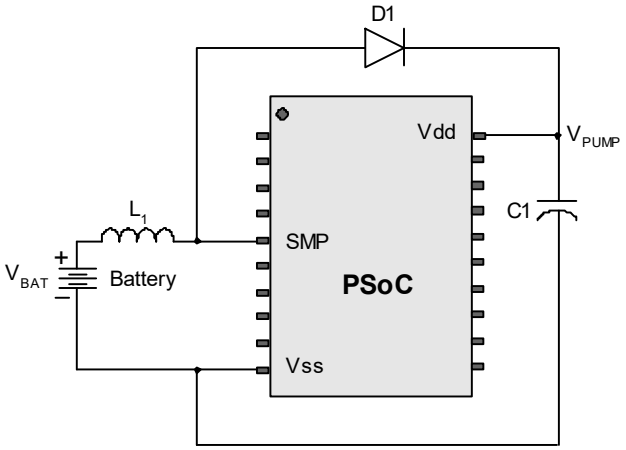
表 20 に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します。4.75V ～ 5.25V、および –40°C ≤ T_A ≤ 85°C、または 3.0V ～ 3.6V、および –40°C ≤ T_A ≤ 85°C。標準パラメーターは、温度 25°C、電圧 5V または 3.3V の場合の値で、単なる設計の参考用のデータです。

表 20. スイッチ モード ポンプ (SMP) の DC 仕様

記号	説明	Min	Typ	Max	単位	注
V_{PUMP} 5V	ポンプからの V_{DD} ピン上の 5V 出力電圧	4.75	5.0	5.25	V	注 15 に記載しているようにコンフィギュレーション。平均値 (リップル電圧無視)。SMP トリップ電圧は 5.0V に設定
V_{PUMP} 3V	ポンプからの V_{DD} の時の 3V 出力電圧	3.00	3.25	3.60	V	注 15 に記載しているようにコンフィギュレーション。平均値 (リップル電圧無視)。SMP トリップ電圧は 3.25V に設定
I_{PUMP}	利用可能な出力電流 V_{BAT}=1.5V、V_{PUMP}=3.25V V_{BAT}=1.8V、V_{PUMP}=5.0V	8 5	– –	– –	mA mA	注 15 に記載しているようにコンフィギュレーション。SMP トリップ電圧は 3.25V に設定 SMP トリップ電圧は 5.0V に設定
V_{BAT}5V	バッテリからの入力電圧範囲	1.8	–	5.0	V	注 15 に記載しているようにコンフィギュレーション。SMP トリップ電圧は 5.0V に設定
V_{BAT}3V	バッテリからの入力電圧範囲	1.0	–	3.3	V	注 15 に記載しているようにコンフィギュレーション。SMP トリップ電圧は 3.25V に設定
$V_{BATSTART}$	ポンプを起動するためのバッテリからの最小入力電圧	1.2	–	–	V	注 15 に記載しているようにコンフィギュレーション。0°C ≤ T_A ≤ 100。T_A = –40°C の時は 1.25V
ΔV_{PUMP_Line}	電圧安定化 (V_{BAT} の範囲内)	–	5	–	%V_O	注 15 に記載しているようにコンフィギュレーション。V_O は、DC POR および LVD の仕様に示している VM[2:0] 設定により指定されるページ 37 の表 26、「DC POR、SMP、および LVD 仕様、」「ポンプ トリップ用の V_{DD} 値」
ΔV_{PUMP_Load}	負荷安定化	–	5	–	%V_O	注 15 に記載しているようにコンフィギュレーション。V_O は、ページ 37 の表 26、「DC POR、SMP、および LVD 仕様、」に示している VM[2:0] 設定により指定される「ポンプ トリップ用の V_{DD} 値」
ΔV_{PUMP_Ripple}	出力電圧リップル (コンデンサ／負荷に依存)	–	100	–	mVpp	注 15 に記載しているようにコンフィギュレーション。負荷が 5mA
E_3	効率	35	50	–	%	注 15 に記載しているようにコンフィギュレーション。負荷が 5mA。SMP トリップ電圧は 3.25V に設定
F_{PUMP}	スイッチング周波数	–	1.4	–	MHz	
DC_{PUMP}	スイッチング デューティ比	–	50	–	%	

注
15. L_1 = 2 µH 誘導子、C_1 = 10µF コンデンサ、D_1 = ショットキー ダイオード。図 12 を参照してください。

図 12. 基本スイッチ モード ポンプ回路



アナログ リファレンスの DC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します。4.75V ～ 5.25V、および –40°C ≤ T_A ≤ 85°C、または 3.0V ～ 3.6V、および –40°C ≤ T_A ≤ 85°C。標準パラメーターは、温度 25°C、電圧 5V または 3.3V の場合の値で、単なる設計の参考用のデータです。

RefHI と RefLO の保証された仕様は、アナログ連続時間 PSoC ブロックを通じて測定されます。RefHI と RefLO の電力レベルは、アナログ リファレンス制御レジスタの電力を表します。AGND は AGND バイパス モードで P2[4] で測定されます。PSoC の各アナログ連続時間ブロックは、ローカル AGND バッファから最大 10mV の追加オフセット誤差を保証された AGND 仕様に追加します。特に断りのない限り、リファレンス制御電源は、MEDIUM、または HIGH に設定できます。

注 アナログ リファレンスに依存するアナログ リソースを使用する際にデジタル信号方式のために P2[4] を使用しないでください。デジタル信号のカップリングは、AGND に表示されることがあります。

表 21. 5V アナログ リファレンスの DC 仕様

リファレンス ARF_CR[5:3]	リファレンス電力設定	記号	リファレンス	説明	Min	Typ	Max	単位
0b000	リファレンス電力 = 高 オペアンプ バイアス = 高	V_{REFHI}	リファレンス電圧 HIGH	V_{DD}/2+ バンドギャップ	V_{DD}/2 + 1.228	V_{DD}/2 + 1.290	V_{DD}/2 + 1.352	V
		V_{AGND}	AGND	V_{DD}/2	V_{DD}/2 – 0.078	V_{DD}/2 – 0.007	V_{DD}/2 + 0.063	V
		V_{REFLO}	リファレンス電圧 LOW	V_{DD}/2– バンドギャップ	V_{DD}/2 – 1.336	V_{DD}/2 – 1.295	V_{DD}/2 – 1.250	V
	リファレンス電力 = 高 オペアンプ バイアス = 低	V_{REFHI}	リファレンス電圧 HIGH	V_{DD}/2+ バンドギャップ	V_{DD}/2 + 1.224	V_{DD}/2 + 1.293	V_{DD}/2 + 1.356	V
		V_{AGND}	AGND	V_{DD}/2	V_{DD}/2 – 0.056	V_{DD}/2 – 0.005	V_{DD}/2 + 0.043	V
		V_{REFLO}	リファレンス電圧 LOW	V_{DD}/2– バンドギャップ	V_{DD}/2 – 1.338	V_{DD}/2 – 1.298	V_{DD}/2 – 1.255	V
	リファレンス電力 = 中 オペアンプ バイアス = 高	V_{REFHI}	リファレンス電圧 HIGH	V_{DD}/2+ バンドギャップ	V_{DD}/2 + 1.226	V_{DD}/2 + 1.293	V_{DD}/2 + 1.356	V
		V_{AGND}	AGND	V_{DD}/2	V_{DD}/2 – 0.057	V_{DD}/2 – 0.006	V_{DD}/2 + 0.044	V
		V_{REFLO}	リファレンス電圧 LOW	V_{DD}/2– バンドギャップ	V_{DD}/2 – 1.337	V_{DD}/2 – 1.298	V_{DD}/2 – 1.256	V
	リファレンス電力 = 中 オペアンプ バイアス = 低	V_{REFHI}	リファレンス電圧 HIGH	V_{DD}/2+ バンドギャップ	V_{DD}/2 + 1.226	V_{DD}/2 + 1.294	V_{DD}/2 + 1.359	V
		V_{AGND}	AGND	V_{DD}/2	V_{DD}/2 – 0.047	V_{DD}/2 – 0.004	V_{DD}/2 + 0.035	V
		V_{REFLO}	リファレンス電圧 LOW	V_{DD}/2– バンドギャップ	V_{DD}/2 – 1.338	V_{DD}/2 – 1.299	V_{DD}/2 – 1.258	V

表 21. 5V アナログ リファレンスの DC 仕様 (続き)

リファレンス ARF_CR[5:3]	リファレンス電力設定	記号	リファレンス	説明	Min	Typ	Max	単位
0b001	リファレンス電力 = 高 オペアンプ バイアス = 高	V_{REFHI}	リファレンス電圧 HIGH	P2[4] + P2[6] (P2[4] = V_{DD}/2、P2[6]=1.3V)	P2[4] + P2[6] – 0.085	P2[4] + P2[6] – 0.016	P2[4] + P2[6] + 0.044	V
		V_{AGND}	AGND	P2[4]	P2[4]	P2[4]	P2[4]	–
		V_{REFLO}	リファレンス電圧 LOW	P2[4] – P2[6] (P2[4] = V_{DD}/2、P2[6] = 1.3V)	P2[4] – P2[6] – 0.022	P2[4] – P2[6] + 0.010	P2[4] – P2[6] + 0.055	V
	リファレンス電力 = 高 オペアンプ バイアス = 低	V_{REFHI}	リファレンス電圧 HIGH	P2[4] + P2[6] (P2[4] = V_{DD}/2、P2[6] = 1.3V)	P2[4] + P2[6] – 0.077	P2[4] + P2[6] – 0.010	P2[4] + P2[6] + 0.051	V
		V_{AGND}	AGND	P2[4]	P2[4]	P2[4]	P2[4]	–
		V_{REFLO}	リファレンス電圧 LOW	P2[4] – P2[6] (P2[4] = V_{DD}/2、P2[6] = 1.3V)	P2[4] – P2[6] – 0.022	P2[4] – P2[6] + 0.005	P2[4] – P2[6] + 0.039	V
	リファレンス電力 = 中 オペアンプ バイアス = 高	V_{REFHI}	リファレンス電圧 HIGH	P2[4] + P2[6] (P2[4] = V_{DD}/2、P2[6] = 1.3V)	P2[4] + P2[6] – 0.070	P2[4] + P2[6] – 0.010	P2[4] + P2[6] + 0.050	V
		V_{AGND}	AGND	P2[4]	P2[4]	P2[4]	P2[4]	–
		V_{REFLO}	リファレンス電圧 LOW	P2[4] – P2[6] (P2[4] = V_{DD}/2、P2[6] = 1.3V)	P2[4] – P2[6] – 0.022	P2[4] – P2[6] + 0.005	P2[4] – P2[6] + 0.039	V
	リファレンス電力 = 中 オペアンプ バイアス = 低	V_{REFHI}	リファレンス電圧 HIGH	P2[4] + P2[6] (P2[4] = V_{DD}/2、P2[6] = 1.3V)	P2[4] + P2[6] – 0.070	P2[4] + P2[6] – 0.007	P2[4] + P2[6] + 0.054	V
		V_{AGND}	AGND	P2[4]	P2[4]	P2[4]	P2[4]	–
		V_{REFLO}	リファレンス電圧 LOW	P2[4] – P2[6] (P2[4] = V_{DD}/2、P2[6] = 1.3V)	P2[4] – P2[6] – 0.022	P2[4] – P2[6] + 0.002	P2[4] – P2[6] + 0.032	V
0b010	リファレンス電力 = 高 オペアンプ バイアス = 高	V_{REFHI}	リファレンス電圧 HIGH	V_{DD}	V_{DD} – 0.037	V_{DD} – 0.009	V_{DD}	V
		V_{AGND}	AGND	V_{DD}/2	V_{DD}/2 – 0.061	V_{DD}/2 – 0.006	V_{DD}/2 + 0.047	V
		V_{REFLO}	リファレンス電圧 LOW	V_{SS}	V_{SS}	V_{SS} + 0.007	V_{SS} + 0.028	V
	リファレンス電力 = 高 オペアンプ バイアス = 低	V_{REFHI}	リファレンス電圧 HIGH	V_{DD}	V_{DD} – 0.039	V_{DD} – 0.006	V_{DD}	V
		V_{AGND}	AGND	V_{DD}/2	V_{DD}/2 – 0.049	V_{DD}/2 – 0.005	V_{DD}/2 + 0.036	V
		V_{REFLO}	リファレンス電圧 LOW	V_{SS}	V_{SS}	V_{SS} + 0.005	V_{SS} + 0.019	V
	リファレンス電力 = 中 オペアンプ バイアス = 高	V_{REFHI}	リファレンス電圧 HIGH	V_{DD}	V_{DD} – 0.037	V_{DD} – 0.007	V_{DD}	V
		V_{AGND}	AGND	V_{DD}/2	V_{DD}/2 – 0.054	V_{DD}/2 – 0.005	V_{DD}/2 + 0.041	V
		V_{REFLO}	リファレンス電圧 LOW	V_{SS}	V_{SS}	V_{SS} + 0.006	V_{SS} + 0.024	V
	リファレンス電力 = 中 オペアンプ バイアス = 低	V_{REFHI}	リファレンス電圧 HIGH	V_{DD}	V_{DD} – 0.042	V_{DD} – 0.005	V_{DD}	V
		V_{AGND}	AGND	V_{DD}/2	V_{DD}/2 – 0.046	V_{DD}/2 – 0.004	V_{DD}/2 + 0.034	V
		V_{REFLO}	リファレンス電圧 LOW	V_{SS}	V_{SS}	V_{SS} + 0.004	V_{SS} + 0.017	V

表 21. 5V アナログ リファレンスの DC 仕様 (続き)

リファレンス ARF_CR[5:3]	リファレンス電力設定	記号	リファレンス	説明	Min	Typ	Max	単位
0b011	リファレンス電力 = 高 オペアンプ バイアス = 高	V_{REFHI}	リファレンス電圧 HIGH	3 × バンドギャップ	3.788	3.891	3.986	V
		V_{AGND}	AGND	2 × バンドギャップ	2.500	2.604	2.699	V
		V_{REFLO}	リファレンス電圧 LOW	バンドギャップ	1.257	1.306	1.359	V
	リファレンス電力 = 高 オペアンプ バイアス = 低	V_{REFHI}	リファレンス電圧 HIGH	3 × バンドギャップ	3.792	3.893	3.982	V
		V_{AGND}	AGND	2 × バンドギャップ	2.518	2.602	2.692	V
		V_{REFLO}	リファレンス電圧 LOW	バンドギャップ	1.256	1.302	1.354	V
	リファレンス電力 = 中 オペアンプ バイアス = 高	V_{REFHI}	リファレンス電圧 HIGH	3 × バンドギャップ	3.795	3.894	3.993	V
		V_{AGND}	AGND	2 × バンドギャップ	2.516	2.603	2.698	V
		V_{REFLO}	リファレンス電圧 LOW	バンドギャップ	1.256	1.303	1.353	V
	リファレンス電力 = 中 オペアンプ バイアス = 低	V_{REFHI}	リファレンス電圧 HIGH	3 × バンドギャップ	3.792	3.895	3.986	V
		V_{AGND}	AGND	2 × バンドギャップ	2.522	2.602	2.685	V
		V_{REFLO}	リファレンス電圧 LOW	バンドギャップ	1.255	1.301	1.350	V
0b100	リファレンス電力 = 高 オペアンプ バイアス = 高	V_{REFHI}	リファレンス電圧 HIGH	2× バンドギャップ + P2[6] (P2[6] = 1.3V)	2.495 + P2[6]	2.586 + P2[6]	2.657 + P2[6]	V
		V_{AGND}	AGND	2× バンドギャップ	2.502	2.604	2.719	V
		V_{REFLO}	リファレンス電圧 LOW	2× バンドギャップ – P2[6] (P2[6] = 1.3V)	2.531 – P2[6]	2.611 – P2[6]	2.681 – P2[6]	V
	リファレンス電力 = 高 オペアンプ バイアス = 低	V_{REFHI}	リファレンス電圧 HIGH	2× バンドギャップ + P2[6] (P2[6] = 1.3V)	2.500 + P2[6]	2.591 + P2[6]	2.662 + P2[6]	V
		V_{AGND}	AGND	2 × バンドギャップ	2.519	2.602	2.693	V
		V_{REFLO}	リファレンス電圧 LOW	2× バンドギャップ – P2[6] (P2[6] = 1.3V)	2.530 – P2[6]	2.605 – P2[6]	2.666 – P2[6]	V
	リファレンス電力 = 中 オペアンプ バイアス = 高	V_{REFHI}	リファレンス電圧 HIGH	2× バンドギャップ + P2[6] (P2[6] = 1.3V)	2.503 + P2[6]	2.592 + P2[6]	2.662 + P2[6]	V
		V_{AGND}	AGND	2 × バンドギャップ	2.517	2.603	2.698	V
		V_{REFLO}	リファレンス電圧 LOW	2× バンドギャップ – P2[6] (P2[6] = 1.3V)	2.529 – P2[6]	2.606 – P2[6]	2.665 – P2[6]	V
	リファレンス電力 = 中 オペアンプ バイアス = 低	V_{REFHI}	リファレンス電圧 HIGH	2× バンドギャップ + P2[6] (P2[6] = 1.3V)	2.505 + P2[6]	2.594 + P2[6]	2.665 + P2[6]	V
		V_{AGND}	AGND	2 × バンドギャップ	2.525	2.602	2.685	V
		V_{REFLO}	リファレンス電圧 LOW	2× バンドギャップ – P2[6] (P2[6] = 1.3V)	2.528 – P2[6]	2.603 – P2[6]	2.661 – P2[6]	V

表 21. 5V アナログ リファレンスの DC 仕様 (続き)

リファレンス ARF_CR[5:3]	リファレンス電力設定	記号	リファレンス	説明	Min	Typ	Max	単位
0b101	リファレンス電力 = 高 オペアンプ バイアス = 高	V_{REFHI}	リファレンス電圧 HIGH	P2[4] + バンドギャップ (P2[4] = V_{DD}/2)	P2[4] + 1.222	P2[4] + 1.290	P2[4] + 1.343	V
		V_{AGND}	AGND	P2[4]	P2[4]	P2[4]	P2[4]	–
		V_{REFLO}	リファレンス電圧 LOW	P2[4] – バンドギャップ (P2[4] = V_{DD}/2)	P2[4] – 1.331	P2[4] – 1.295	P2[4] – 1.254	V
	リファレンス電力 = 高 オペアンプ バイアス = 低	V_{REFHI}	リファレンス電圧 HIGH	P2[4] + バンドギャップ (P2[4] = V_{DD}/2)	P2[4] + 1.226	P2[4] + 1.293	P2[4] + 1.347	V
		V_{AGND}	AGND	P2[4]	P2[4]	P2[4]	P2[4]	–
		V_{REFLO}	リファレンス電圧 LOW	P2[4] – バンドギャップ (P2[4] = V_{DD}/2)	P2[4] – 1.331	P2[4] – 1.298	P2[4] – 1.259	V
	リファレンス電力 = 中 オペアンプ バイアス = 高	V_{REFHI}	リファレンス電圧 HIGH	P2[4] + バンドギャップ (P2[4] = V_{DD}/2)	P2[4] + 1.227	P2[4] + 1.294	P2[4] + 1.347	V
		V_{AGND}	AGND	P2[4]	P2[4]	P2[4]	P2[4]	–
		V_{REFLO}	リファレンス電圧 LOW	P2[4] – バンドギャップ (P2[4] = V_{DD}/2)	P2[4] – 1.331	P2[4] – 1.298	P2[4] – 1.259	V
	リファレンス電力 = 中 オペアンプ バイアス = 低	V_{REFHI}	リファレンス電圧 HIGH	P2[4] + バンドギャップ (P2[4] = V_{DD}/2)	P2[4] + 1.228	P2[4] + 1.295	P2[4] + 1.349	V
		V_{AGND}	AGND	P2[4]	P2[4]	P2[4]	P2[4]	–
		V_{REFLO}	リファレンス電圧 LOW	P2[4] – バンドギャップ (P2[4] = V_{DD}/2)	P2[4] – 1.332	P2[4] – 1.299	P2[4] – 1.260	V
0b110	リファレンス電力 = 高 オペアンプ バイアス = 高	V_{REFHI}	リファレンス電圧 HIGH	2 × バンドギャップ	2.535	2.598	2.644	V
		V_{AGND}	AGND	バンドギャップ	1.227	1.305	1.398	V
		V_{REFLO}	リファレンス電圧 LOW	V_{SS}	V_{SS}	V_{SS} + 0.009	V_{SS} + 0.038	V
	リファレンス電力 = 高 オペアンプ バイアス = 低	V_{REFHI}	リファレンス電圧 HIGH	2 × バンドギャップ	2.530	2.598	2.643	V
		V_{AGND}	AGND	バンドギャップ	1.244	1.303	1.370	V
		V_{REFLO}	リファレンス電圧 LOW	V_{SS}	V_{SS}	V_{SS} + 0.005	V_{SS} + 0.024	V
	リファレンス電力 = 中 オペアンプ バイアス = 高	V_{REFHI}	リファレンス電圧 HIGH	2 × バンドギャップ	2.532	2.598	2.644	V
		V_{AGND}	AGND	バンドギャップ	1.239	1.304	1.380	V
		V_{REFLO}	リファレンス電圧 LOW	V_{SS}	V_{SS}	V_{SS} + 0.006	V_{SS} + 0.026	V
	リファレンス電力 = 中 オペアンプ バイアス = 低	V_{REFHI}	リファレンス電圧 HIGH	2 × バンドギャップ	2.528	2.598	2.645	V
		V_{AGND}	AGND	バンドギャップ	1.249	1.302	1.362	V
		V_{REFLO}	リファレンス電圧 LOW	V_{SS}	V_{SS}	V_{SS} + 0.004	V_{SS} + 0.018	V

表 21. 5V アナログ リファレンスの DC 仕様 (続き)

リファレンス ARF_CR[5:3]	リファレンス電力設定	記号	リファレンス	説明	Min	Typ	Max	単位
0b111	リファレンス電力 = 高 オペアンプ バイアス = 高	V_{REFHI}	リファレンス電圧 HIGH	3.2× バンドギャップ	4.041	4.155	4.234	V
		V_{AGND}	AGND	1.6× バンドギャップ	1.998	2.083	2.183	V
		V_{REFLO}	リファレンス電圧 LOW	V_{SS}	V_{SS}	V_{SS} + 0.010	V_{SS} + 0.038	V
	リファレンス電力 = 高 オペアンプ バイアス = 低	V_{REFHI}	リファレンス電圧 HIGH	3.2× バンドギャップ	4.047	4.153	4.236	V
		V_{AGND}	AGND	1.6× バンドギャップ	2.012	2.082	2.157	V
		V_{REFLO}	リファレンス電圧 LOW	V_{SS}	V_{SS}	V_{SS} + 0.006	V_{SS} + 0.024	V
	リファレンス電力 = 中 オペアンプ バイアス = 高	V_{REFHI}	リファレンス電圧 HIGH	3.2× バンドギャップ	4.049	4.154	4.238	V
		V_{AGND}	AGND	1.6× バンドギャップ	2.008	2.083	2.165	V
		V_{REFLO}	リファレンス電圧 LOW	V_{SS}	V_{SS}	V_{SS} + 0.006	V_{SS} + 0.026	V
	リファレンス電力 = 中 オペアンプ バイアス = 低	V_{REFHI}	リファレンス電圧 HIGH	3.2× バンドギャップ	4.047	4.154	4.238	V
		V_{AGND}	AGND	1.6× バンドギャップ	2.016	2.081	2.150	V
		V_{REFLO}	リファレンス電圧 LOW	V_{SS}	V_{SS}	V_{SS} + 0.004	V_{SS} + 0.018	V

表 22. 3.3V の時のアナログ リファレンスの DC 仕様

リファレンス ARF_CR[5:3]	リファレンス電力設定	記号	リファレンス	説明	Min	Typ	Max	単位
0b000	リファレンス電力 = 高 オペアンプ バイアス = 高	V_{REFHI}	リファレンス電圧 HIGH	$V_{DD}/2$+ バンドギャップ	$V_{DD}/2$ + 1.225	$V_{DD}/2$ + 1.292	$V_{DD}/2$ + 1.361	V
		V_{AGND}	AGND	$V_{DD}/2$	$V_{DD}/2$ – 0.067	$V_{DD}/2$ – 0.002	$V_{DD}/2$ + 0.063	V
		V_{REFLO}	リファレンス電圧 LOW	$V_{DD}/2$– バンドギャップ	$V_{DD}/2$ – 1.35	$V_{DD}/2$ – 1.293	$V_{DD}/2$ – 1.210	V
	リファレンス電力 = 高 オペアンプ バイアス = 低	V_{REFHI}	リファレンス電圧 HIGH	$V_{DD}/2$+ バンドギャップ	$V_{DD}/2$ + 1.218	$V_{DD}/2$ + 1.294	$V_{DD}/2$ + 1.370	V
		V_{AGND}	AGND	$V_{DD}/2$	$V_{DD}/2$ – 0.038	$V_{DD}/2$ – 0.001	$V_{DD}/2$ + 0.035	V
		V_{REFLO}	リファレンス電圧 LOW	$V_{DD}/2$– バンドギャップ	$V_{DD}/2$ – 1.329	$V_{DD}/2$ – 1.296	$V_{DD}/2$ – 1.259	V
	リファレンス電力 = 中 オペアンプ バイアス = 高	V_{REFHI}	リファレンス電圧 HIGH	$V_{DD}/2$+ バンドギャップ	$V_{DD}/2$ + 1.221	$V_{DD}/2$ + 1.294	$V_{DD}/2$ + 1.366	V
		V_{AGND}	AGND	$V_{DD}/2$	$V_{DD}/2$ – 0.050	$V_{DD}/2$ – 0.002	$V_{DD}/2$ + 0.046	V
		V_{REFLO}	リファレンス電圧 LOW	$V_{DD}/2$– バンドギャップ	$V_{DD}/2$ – 1.331	$V_{DD}/2$ – 1.296	$V_{DD}/2$ – 1.260	V
	リファレンス電力 = 中 オペアンプ バイアス = 低	V_{REFHI}	リファレンス電圧 HIGH	$V_{DD}/2$+ バンドギャップ	$V_{DD}/2$ + 1.226	$V_{DD}/2$ + 1.295	$V_{DD}/2$ + 1.365	V
		V_{AGND}	AGND	$V_{DD}/2$	$V_{DD}/2$ – 0.028	$V_{DD}/2$ – 0.001	$V_{DD}/2$ + 0.025	V
		V_{REFLO}	リファレンス電圧 LOW	$V_{DD}/2$– バンドギャップ	$V_{DD}/2$ – 1.329	$V_{DD}/2$ – 1.297	$V_{DD}/2$ – 1.262	V

表 22. 3.3V の時のアナログ リファレンスの DC 仕様 (続き)

リファレンス ARF_CR[5:3]	リファレンス電力設定	記号	リファレンス	説明	Min	Typ	Max	単位
0b001	リファレンス電力 = 高 オペアンプ バイアス = 高	V_{REFHI}	リファレンス電圧 HIGH	P2[4]+P2[6] (P2[4] = V_{DD}/2、P2[6] = 0.5V)	P2[4] + P2[6] – 0.098	P2[4] + P2[6] – 0.018	P2[4] + P2[6] + 0.055	V
		V_{AGND}	AGND	P2[4]	P2[4]	P2[4]	P2[4]	–
		V_{REFLO}	リファレンス電圧 LOW	P2[4]–P2[6] (P2[4]=V_{DD}/2、P2[6]=0.5V)	P2[4] – P2[6] – 0.055	P2[4] – P2[6] + 0.013	P2[4] – P2[6] + 0.086	V
	リファレンス電力 = 高 オペアンプ バイアス = 低	V_{REFHI}	リファレンス電圧 HIGH	P2[4]+P2[6] (P2[4]=V_{DD}/2、P2[6]=0.5V)	P2[4] + P2[6] – 0.082	P2[4] + P2[6] – 0.011	P2[4] + P2[6] + 0.050	V
		V_{AGND}	AGND	P2[4]	P2[4]	P2[4]	P2[4]	–
		V_{REFLO}	リファレンス電圧 LOW	P2[4]–P2[6] (P2[4]=V_{DD}/2、P2[6]=0.5V)	P2[4] – P2[6] – 0.037	P2[4] – P2[6] + 0.006	P2[4] – P2[6] + 0.054	V
	リファレンス電力 = 中 オペアンプ バイアス = 高	V_{REFHI}	リファレンス電圧 HIGH	P2[4]+P2[6] (P2[4]=V_{DD}/2、P2[6]=0.5V)	P2[4] + P2[6] – 0.079	P2[4] + P2[6] – 0.012	P2[4] + P2[6] + 0.047	V
		V_{AGND}	AGND	P2[4]	P2[4]	P2[4]	P2[4]	–
		V_{REFLO}	リファレンス電圧 LOW	P2[4]–P2[6] (P2[4]=V_{DD}/2、P2[6]=0.5V)	P2[4] – P2[6] – 0.038	P2[4] – P2[6] + 0.006	P2[4] – P2[6] + 0.057	V
	リファレンス電力 = 中 オペアンプ バイアス = 低	V_{REFHI}	リファレンス電圧 HIGH	P2[4]+P2[6] (P2[4]=V_{DD}/2、P2[6]=0.5V)	P2[4] + P2[6] – 0.080	P2[4] + P2[6] – 0.008	P2[4] + P2[6] + 0.055	V
		V_{AGND}	AGND	P2[4]	P2[4]	P2[4]	P2[4]	–
		V_{REFLO}	リファレンス電圧 LOW	P2[4]–P2[6] (P2[4]=V_{DD}/2、P2[6]=0.5V)	P2[4] – P2[6] – 0.032	P2[4] – P2[6] + 0.003	P2[4] – P2[6] + 0.042	V
0b010	リファレンス電力 = 高 オペアンプ バイアス = 高	V_{REFHI}	リファレンス電圧 HIGH	V_{DD}	V_{DD} – 0.06	V_{DD} – 0.010	V_{DD}	V
		V_{AGND}	AGND	V_{DD}/2	V_{DD}/2 – 0.05	V_{DD}/2 – 0.002	V_{DD}/2 + 0.040	V
		V_{REFLO}	リファレンス電圧 LOW	Vss	Vss	Vss + 0.009	Vss + 0.056	V
	リファレンス電力 = 高 オペアンプ バイアス = 低	V_{REFHI}	リファレンス電圧 HIGH	V_{DD}	V_{DD} – 0.060	V_{DD} – 0.006	V_{DD}	V
		V_{AGND}	AGND	V_{DD}/2	V_{DD}/2 – 0.028	V_{DD}/2 – 0.001	V_{DD}/2 + 0.025	V
		V_{REFLO}	リファレンス電圧 LOW	Vss	Vss	Vss + 0.005	Vss + 0.034	V
	リファレンス電力 = 中 オペアンプ バイアス = 高	V_{REFHI}	リファレンス電圧 HIGH	V_{DD}	V_{DD} – 0.058	V_{DD} – 0.008	V_{DD}	V
		V_{AGND}	AGND	V_{DD}/2	V_{DD}/2 – 0.037	V_{DD}/2 – 0.002	V_{DD}/2 + 0.033	V
		V_{REFLO}	リファレンス電圧 LOW	Vss	Vss	Vss + 0.007	Vss + 0.046	V
	リファレンス電力 = 中 オペアンプ バイアス = 低	V_{REFHI}	リファレンス電圧 HIGH	V_{DD}	V_{DD} – 0.057	V_{DD} – 0.006	V_{DD}	V
		V_{AGND}	AGND	V_{DD}/2	V_{DD}/2 – 0.025	V_{DD}/2 – 0.001	V_{DD}/2 + 0.022	V
		V_{REFLO}	リファレンス電圧 LOW	Vss	Vss	Vss + 0.004	Vss + 0.030	V
0b011	すべての電源設定。3.3V に許可されない	–	–	–	–	–	–	–
0b100	すべての電源設定。3.3V に許可されない	–	–	–	–	–	–	–

表 22. 3.3V の時のアナログ リファレンスの DC 仕様 (続き)

リファレンス ARF_CR[5:3]	リファレンス電力設定	記号	リファレンス	説明	Min	Typ	Max	単位
0b101	リファレンス電力 = 高 オペアンプ バイアス = 高	V_{REFHI}	リファレンス電圧 HIGH	P2[4] + バンドギャップ (P2[4] = V_{DD}/2)	P2[4] + 1.213	P2[4] + 1.291	P2[4] + 1.367	V
		V_{AGND}	AGND	P2[4]	P2[4]	P2[4]	P2[4]	V
		V_{REFLO}	リファレンス電圧 LOW	P2[4] – バンドギャップ (P2[4] = V_{DD}/2)	P2[4] – 1.333	P2[4] – 1.294	P2[4] – 1.208	V
	リファレンス電力 = 高 オペアンプ バイアス = 低	V_{REFHI}	リファレンス電圧 HIGH	P2[4] + バンドギャップ (P2[4] = V_{DD}/2)	P2[4] + 1.217	P2[4] + 1.294	P2[4] + 1.368	V
		V_{AGND}	AGND	P2[4]	P2[4]	P2[4]	P2[4]	V
		V_{REFLO}	リファレンス電圧 LOW	P2[4] – バンドギャップ (P2[4] = V_{DD}/2)	P2[4] – 1.320	P2[4] – 1.296	P2[4] – 1.261	V
	リファレンス電力 = 中 オペアンプ バイアス = 高	V_{REFHI}	リファレンス電圧 HIGH	P2[4] + バンドギャップ (P2[4] = V_{DD}/2)	P2[4] + 1.217	P2[4] + 1.294	P2[4] + 1.369	V
		V_{AGND}	AGND	P2[4]	P2[4]	P2[4]	P2[4]	V
		V_{REFLO}	リファレンス電圧 LOW	P2[4] – バンドギャップ (P2[4] = V_{DD}/2)	P2[4] – 1.322	P2[4] – 1.297	P2[4] – 1.262	V
	リファレンス電力 = 中 オペアンプ バイアス = 低	V_{REFHI}	リファレンス電圧 HIGH	P2[4] + バンドギャップ (P2[4] = V_{DD}/2)	P2[4] + 1.219	P2[4] + 1.295	P2[4] + 1.37	V
		V_{AGND}	AGND	P2[4]	P2[4]	P2[4]	P2[4]	V
		V_{REFLO}	リファレンス電圧 LOW	P2[4] – バンドギャップ (P2[4] = V_{DD}/2)	P2[4] – 1.324	P2[4] – 1.297	P2[4] – 1.262	V
0b110	リファレンス電力 = 高 オペアンプ バイアス = 高	V_{REFHI}	リファレンス電圧 HIGH	2 × バンドギャップ	2.507	2.598	2.698	V
		V_{AGND}	AGND	バンドギャップ	1.203	1.307	1.424	V
		V_{REFLO}	リファレンス電圧 LOW	Vss	Vss	Vss + 0.012	Vss + 0.067	V
	リファレンス電力 = 高 オペアンプ バイアス = 低	V_{REFHI}	リファレンス電圧 HIGH	2 × バンドギャップ	2.516	2.598	2.683	V
		V_{AGND}	AGND	バンドギャップ	1.241	1.303	1.376	V
		V_{REFLO}	リファレンス電圧 LOW	Vss	Vss	Vss + 0.007	Vss + 0.040	V
	リファレンス電力 = 中 オペアンプ バイアス = 高	V_{REFHI}	リファレンス電圧 HIGH	2 × バンドギャップ	2.510	2.599	2.693	V
		V_{AGND}	AGND	バンドギャップ	1.240	1.305	1.374	V
		V_{REFLO}	リファレンス電圧 LOW	Vss	Vss	Vss + 0.008	Vss + 0.048	V
	リファレンス電力 = 中 オペアンプ バイアス = 低	V_{REFHI}	リファレンス電圧 HIGH	2 × バンドギャップ	2.515	2.598	2.683	V
		V_{AGND}	AGND	バンドギャップ	1.258	1.302	1.355	V
		V_{REFLO}	リファレンス電圧 LOW	Vss	Vss	Vss + 0.005	Vss + 0.03	V
0b111	すべての電源設定。3.3V に許可されない	–	–	–	–	–	–	–

アナログ外部リファレンスの DC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します。4.75V ～ 5.25V、および –40°C ≤ T_A ≤ 85°C、または 3.0V ～ 3.6V および –40°C ≤ T_A ≤ 85°C。標準パラメーターは、温度 25°C、電圧 5V または 3.3V の場合の値で、単なる設計の参考用のデータです。

表 23. 5V アナログ外部リファレンスの DC 仕様

リファレンス	説明	Min	Typ	Max	単位
リファレンス電圧 LOW	リファレンス電圧 LOW = P2[4] – P2[6] (P2[4] = V_{CC}/2、P2[6] = 1.3V)	1.12	1.221	1.28	V
AGND	AGND = P2[4] (P2[4] = V_{CC}/2)	2.487	2.499	2.513	V
リファレンス電圧 HIGH	リファレンス電圧 LOW = P2[4] + P2[6] (P2[4] = V_{CC}/2、P2[6] = 1.3V)	3.67	3.759	3.93	V

表 24. 3.3V アナログ外部リファレンスの DC 仕様

リファレンス	説明	Min	Typ	Max	単位
リファレンス電圧 LOW	リファレンス電圧 LOW = P2[4] – P2[6] (P2[4] = V_{CC}/2、P2[6] = 1.3V)	0.29	0.371	0.41	V
AGND	AGND = P2[4] (P2[4] = V_{CC}/2)	1.642	1.649	1.658	V
リファレンス電圧 HIGH	リファレンス電圧 LOW = P2[4] + P2[6] (P2[4] = V_{CC}/2、P2[6] = 1.3V)	–	2.916	–	V

アナログ PSoC ブロックの DC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します。4.75V ～ 5.25V、および –40°C ≤ T_A ≤ 85°C、または 3.0V ～ 3.6V および –40°C ≤ T_A ≤ 85°C。標準パラメーターは、温度 25°C、電圧 5V または 3.3V の場合の値で、単なる設計の参考用のデータです。

表 25. アナログ PSoC ブロックの DC 仕様

記号	説明	Min	Typ	Max	単位	注
R_{CT}	レジスタ ユニット値 (連続時間)	–	12.2	–	kΩ	
C_{SC}	コンデンサ ユニット値 (スイッチト キャパシタ)	–	80	–	fF	

DC POR、SMP、および LVD 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します。4.75V ～ 5.25V、および –40°C ≤ T_A ≤ 85°C、または 3.0V ～ 3.6V および –40°C ≤ T_A ≤ 85°C。標準パラメーターは、温度 25°C、電圧 5V または 3.3V の場合の値で、単なる設計の参考用のデータです。

表 26. DC POR、SMP、および LVD 仕様

記号	説明	Min	Typ	Max	単位	注
	PPOR トリップ (正のランプ) に応じる V_{DD} 値					
V_{PPOR0R}	PORLEV[1:0] = 00b		2.91		V	
V_{PPOR1R}	PORLEV[1:0] = 01b	–	4.39	–	V	
V_{PPOR2R}	PORLEV[1:0] = 10b		4.55		V	
	PPOR トリップ (負のランプ) に応じる V_{DD} 値					
V_{PPOR0}	PORLEV[1:0] = 00b		2.82		V	
V_{PPOR1}	PORLEV[1:0] = 01b	–	4.39	–	V	
V_{PPOR2}	PORLEV[1:0] = 10b		4.55		V	
	PPOR ヒステリシス					
V_{PH0}	PORLEV[1:0] = 00b	–	92	–	mV	
V_{PH1}	PORLEV[1:0] = 01b	–	0	–	mV	
V_{PH2}	PORLEV[1:0] = 10b	–	0	–	mV	
	LVD トリップに応じる V_{DD} 値					
V_{LVD0}	VM[2:0] = 000b	2.86	2.92	2.98[16]	V	
V_{LVD1}	VM[2:0] = 001b	2.96	3.02	3.08	V	
V_{LVD2}	VM[2:0] = 010b	3.07	3.13	3.20	V	
V_{LVD3}	VM[2:0] = 011b	3.92	4.00	4.08	V	
V_{LVD4}	VM[2:0] = 100b	4.39	4.48	4.57	V	
V_{LVD5}	VM[2:0] = 101b	4.55	4.64	4.74[17]	V	
V_{LVD6}	VM[2:0] = 110b	4.63	4.73	4.82	V	
V_{LVD7}	VM[2:0] = 111b	4.72	4.81	4.91	V	
	SMP トリップに応じる V_{DD} 値					
V_{PUMP0}	VM[2:0] = 000b	2.96	3.02	3.08	V	
V_{PUMP1}	VM[2:0] = 001b	3.03	3.10	3.16	V	
V_{PUMP2}	VM[2:0] = 010b	3.18	3.25	3.32	V	
V_{PUMP3}	VM[2:0] = 011b	4.11	4.19	4.28	V	
V_{PUMP4}	VM[2:0] = 100b	4.55	4.64	4.74	V	
V_{PUMP5}	VM[2:0] = 101b	4.63	4.73	4.82	V	
V_{PUMP6}	VM[2:0] = 110b	4.72	4.82	4.91	V	
V_{PUMP7}	VM[2:0] = 111b	4.90	5.00	5.10	V	

注
16. 電源電圧の低下を検出するために必ず PPOR (PORLEV=00) を 50mV 超えた値以上です。
17. 電源電圧の低下を検出するために必ず PPOR (PORLEV=10) を 50mV 超えた値以上です。

プログラミングの DC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します。4.75V ～ 5.25V、および –40°C ≤ T_A ≤ 85°C、または 3.0V ～ 3.6V および –40°C ≤ T_A ≤ 85°C。標準パラメーターは、温度 25°C、電圧 5V または 3.3V の場合の値で、単なる設計の参考用のデータです。

表 27. プログラミングの DC 仕様

記号	説明	Min	Typ	Max	単位	注
V_{DDP}	プログラミングおよび消去時の V_{DD}	4.5	5	5.5	V	この仕様は、外部プログラマツールの機能要件に適用
V_{DDLV}	検証時の低 V_{DD}	3	3.1	3.2	V	この仕様は、外部プログラマツールの機能要件に適用
V_{DDHV}	検証時の高 V_{DD}	5.1	5.2	5.3	V	この仕様は、外部プログラマツールの機能要件に適用
$V_{DDIWRITE}$	フラッシュ メモリ書き込み動作の電源電圧	3.15		5.25	V	内部フラッシュ書き込みを実行している時に、この仕様がこのデバイスに適用
I_{DDP}	プログラミングまたは検証時の供給電流	–	10	30	mA	
V_{ILP}	プログラミングまたは検証時の LOW 入力電圧	–	–	0.8	V	
V_{IHP}	プログラミングまたは検証時の HIGH 入力電圧	2.2	–	–	V	
I_{ILP}	プログラミングまたは検証時に P1[0] または P1[1] に Vilp を印加した時の入力電流	–	–	0.2	mA	内部プルダウン抵抗を駆動
I_{IHP}	プログラミングまたは検証時に P1[0] または P1[1] に Vihp を印加した時の入力電流	–	–	1.5	mA	内部プルダウン抵抗を駆動
V_{OLV}	プログラミングまたは検証時の LOW 出力電圧	–	–	V_{SS} + 0.75	V	
V_{OHV}	プログラミングまたは検証時の HIGH 出力電圧	V_{DD} – 1.0	–	V_{DD}	V	
$Flash_{ENPB}$	フラッシュ メモリ アクセス可能回数 (ブロックあたり)	50,000[18]	–	–	–	ブロックあたりの消去／書き込みの回数
$Flash_{ENT}$	フラッシュ メモリ アクセス可能回数 (合計)[19]	1,800,000	–	–	–	消去／書き込み回数
$Flash_{DR}$	フラッシュ データ保持期間	10	–	–	年	

I^2C の DC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します。4.75V ～ 5.25V、および –40°C ≤ T_A ≤ 85°C、または 3.0V ～ 3.6V および –40°C ≤ T_A ≤ 85°C。標準パラメーターは、温度 25°C、電圧 5V または 3.3V の場合の値で、単なる設計の参考用のデータです。

表 28. I^2C の DC 仕様

記号	説明	Min	Typ	Max	単位	注
V_{ILI2C}[20]	入力 LOW レベル	–	–	0.3 × V_{DD}	V	3.0V ≤ V_{DD} ≤ 3.6V
		–	–	0.25 × V_{DD}	V	4.75V ≤ V_{DD} ≤ 5.25V
V_{IHI2C}[20]	入力 HIGH レベル	0.7 × V_{DD}	–	–	V	3.0V ≤ V_{DD} ≤ 5.25V
V_{OLI2C}	出力 LOW レベル	–	–	0.4	V	3mA のシンク電流の時の電圧
		–	–	0.6	V	6mA のシンク電流の時の電圧

注

18. ブロックあたりの 50,000 サイクルのフラッシュ アクセス可能回数は、フラッシュが 1 つの電圧範囲内で動作している場合にのみ保証されます。電圧範囲は、3.0V ～ 3.6V および 4.75V ～ 5.25V です。
19. 最大 36 × 50,000 ブロック アクセス可能回数 (サイクル) が許可されます。それぞれ最大 50,000 サイクルの 36 x 1 ブロック、それぞれ最大 25,000 サイクルの 36 x 2 ブロック、またはそれぞれ最大 12,500 サイクルの 36 x 4 ブロックに対する操作を比較検討できます (これにより、合計サイクル数は 36 x 50,000 に制限され、どのブロックも 50,000 サイクルを超える状態は発生しません)。
産業用フル レンジの場合、ユーザーは温度センサー ユーザ モジュール (FlashTemp) を使用し、書き込みの前に結果を温度引数に入力する必要があります。
詳細については、フラッシュ API のアプリケーション ノート「設計支援 – PSoC® フラッシュの読み書き – AN2015」を参照してください。
20. すべての GPIO は、GPIO の DC 仕様のセクションに記載されている GPIO V_{IL} および V_{IH} の DC 仕様を満たします。I^2C GPIO ピンも上記の仕様を満たします。

AC 電気的特性

チップ レベルの AC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します。4.75V ～ 5.25V、および –40°C ≤ T_A ≤ 85°C、または 3.0V ～ 3.6V および –40°C ≤ T_A ≤ 85°C。標準パラメーターは、温度 25°C、電圧 5V または 3.3V の場合の値で、単なる設計の参考用のデータです。

注 : ユーザー モジュールの最大周波数については、個々のユーザー モジュールのデータシートを参照してください。

表 29. チップ レベルの AC 仕様

記号	説明	Min	Typ	Max	単位	注
F_{IMO24} [21]	24MHz の時の内部主振動子 (IMO) 周波数	22.8	24	25.2[22、23]	MHz	工場出荷時のトリム値を使用して、5V または 3.3V 動作向けにトリミング。21 ページの図 11 をご覧ください。SLIMO モード = 0
F_{IMO6}	6MHz の時の IMO 周波数	5.5	6	6.5[22、23]	MHz	工場出荷時のトリム値を使用して、5V または 3.3V 動作向けにトリミング。21 ページの図 11 をご覧ください。SLIMO モード = 1
F_{CPU1}	CPU 周波数 (5V 公称)	0.0914	24	25.2[22]	MHz	SLIMO モード = 0
F_{CPU2}	CPU 周波数 (3.3V 公称)	0.0914	12	12.6[23]	MHz	SLIMO モード = 0
F_{48M}	デジタル PSoC ブロック周波数	0	48	50.4[22、24]	MHz	44 ページ のデジタル ブロックの AC 仕様を参照
F_{24M}	デジタル PSoC ブロック周波数	0	24	25.2 [24]	MHz	
F_{32K1}	内部低速発振器周波数	15	32	64	kHz	
F_{32K2}	外部水晶振動子	–	32.768	–	kHz	精度はコンデンサと水晶依存している。デューティ比は 50%
F_{32K_U}	内部低速振動子 (ILO) 周波数 (トリムなし)	5	–	100	kHz	リセット後、M8C の実行を開始するまで、ILO はトリムされない。このタイミング計測の詳細については、「PSoC テクニカル リファレンス マニュアル」のシステム リセットのセクションを参照
F_{PLL}	PLL 周波数	–	23.986	–	MHz	水晶周波数の倍数 (732 と乗算)
$T_{PLLSLEW}$	PLL ロック時間	0.5	–	10	ms	
$T_{PLLSLEWLOW}$	LOW ゲイン設定用の PLL ロック時間	0.5	–	50	ms	
T_{OS}	外部水晶振動子の起動時から 1% に達するまでの時間	–	250	500	ms	
T_{OSACC}	外部水晶振動子の起動時から 100ppm に達するまでの時間	–	300	600	ms	水晶振動子の周波数は T_{OSACC} 期間の終了までに最終値の 100ppm の範囲内になる。正しい操作は正常に実装された最大駆動力 1µW の 32.768kHz の水晶を前提としている。 3.0V ≤ V_{DD} ≤ 5.5V、–40°C ≤ T_A ≤ 85°C
T_{XRST}	外部リセット パルス幅	10	–	–	µs	
DC24M	24 MHz デューティ比	40	50	60	%	
DC_{ILO}	内部低速振動子デューティ比	20	50	80	%	
Step24M	24MHz のトリム ステップのサイズ	–	50	–	kHz	
Fout48M	48MHz 出力周波数	45.6	48.0	50.4[22、23]	MHz	トリミングされた。工場出荷時のトリム値を使用
F_{MAX}	行入力または行出力信号の最大周波数	–	–	12.3	MHz	

注

21. エラッタ : デバイスが 0°C ～ 70°C の温度範囲内で動作する時、周波数の許容誤差は ±2.5% に低下されますが、極度の温度 (0°C より低い温度や 70 °C より高い温度) で動作する時、周波数の誤差は ±2.5% ～ ±5% です。詳細については、62 ページ のエラッタを参照してください。
22. 4.75V < V_{DD} < 5.25V。
23. 3.0V < V_{DD} < 3.6V。3.3V での動作のためのトリミングについては、「3.3V および 2.7V 動作のための PSoC® トリムの調整 – AN2012」のアプリケーション ノートを参照してください。
24. ユーザー モジュールの最大周波数については、個々のユーザー モジュールのデータシートを参照してください。

表 29. チップ レベルの AC 仕様 (続き)

記号	説明	Min	Typ	Max	単位	注
SR_{POWER_UP}	電源供給スルー レート	–	–	250	V/ms	電源投入時の V_{DD} スルー レート
$T_{POWERUP}$ [25]	POR の終了から CPU コード実行までの時間	–	16	100	ms	0V からの起動。「PSoC テクニカル リファレンス マニュアル」のシステム リセットのセクションを参照
tjit_IMO[26]	24MHz IMO サイクル間ジッタ (RMS)	–	200	700	ps	N = 32
	24MHz IMO 長期 N サイクル間ジッタ (RMS)	–	300	900		
	24MHz IMO 周期ジッタ (RMS)	–	100	400		
tjit_PLL [26]	24MHz IMO サイクル間ジッタ (RMS)	–	200	800	ps	N = 32
	24MHz IMO 長期 N サイクル間ジッタ (RMS)	–	300	1200		
	24MHz IMO 周期ジッタ (RMS)	–	100	700		

図 13. PLL ロック タイミング図

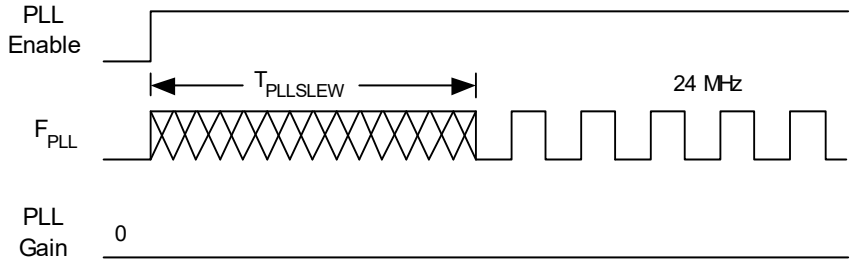


図 14. LOW ゲイン設定時の PLL ロックのタイミング図

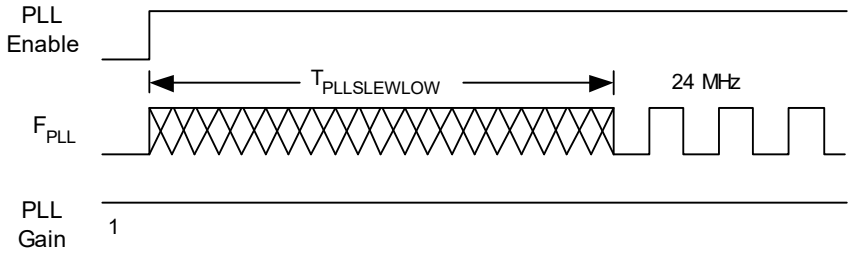
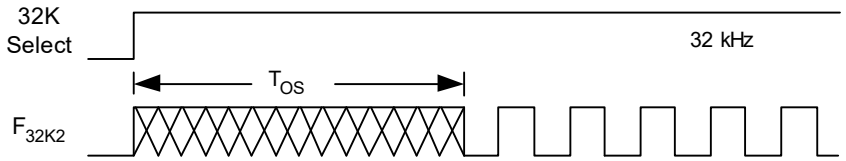


図 15. 外部水晶振動子の起動タイミング図



注

25. エラッタ : 電源投入の前にデバイスの V_{DD} がグランド電圧を下回った場合、フラッシュ バンク 0 を除いて各 8K フラッシュ バンクからの最初の読み出しは、故障が発生する場合があります。これは、フラッシュバンクを使用する前に各フラッシュ バンクからダミーの読み出しを実行して解決できます。詳細については、62 ページ のエラッタを参照してください。
26. 詳細については、サイプレスのジッタ仕様 アプリケーション ノート「 Understanding Datasheet Jitter Specifications for Cypress Timing Products – AN5054」を参照してください。

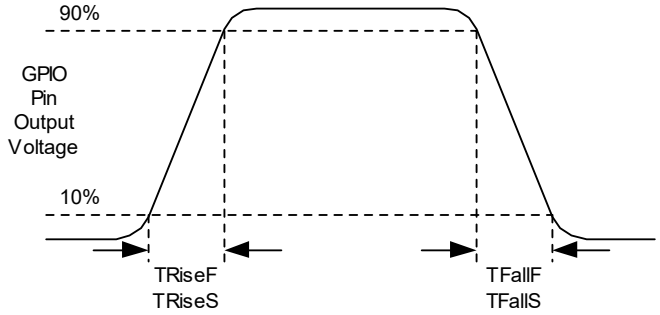
汎用 I/O の AC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します。4.75V ～ 5.25V、および –40°C ≤ T_A ≤ 85°C、または 3.0V ～ 3.6V および –40°C ≤ T_A ≤ 85°C。標準パラメーターは、温度 25°C、電圧 5V または 3.3V の場合の値で、単なる設計の参考用のデータです。

表 30. GPIO の AC 仕様

記号	説明	Min	Typ	Max	単位	注
F_{GPIO}	GPIO 動作周波数	0	–	12.3	MHz	通常ストロング (Normal Strong) モード
tRiseF	立ち上り時間、通常ストロング (Normal Strong) モード、Cload = 50pF	3	–	18	ns	V_{DD} = 4.75V ～ 5.25V、10% ～ 90%
tFallF	立ち下り時間、通常ストロング (Normal Strong) モード、Cload = 50pF	2	–	18	ns	V_{DD} = 4.75V ～ 5.25V、10% ～ 90%
tRiseS	立ち上り時間、低速ストロング (Slow Strong) モード、Cload = 50pF	10	27	–	ns	V_{DD} = 3V ～ 5.25V、10% ～ 90%
tFallS	立ち下り時間、低速ストロング (Slow Strong) モード、Cload = 50pF	10	22	–	ns	V_{DD} = 3V ～ 5.25V、10% ～ 90%

図 16. GPIO タイミング図



オペアンプの AC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します。4.75V ～ 5.25V および –40°C ≤ T_A ≤ 85°C、または 3.0V ～ 3.6V、および –40°C ≤ T_A ≤ 85°C。標準パラメーターは、温度 25°C、電圧 5V または 3.3V の場合の値で、単なる設計の参考用のデータです。

整定時間、スルー レート、およびゲイン帯域幅は、アナログ連続時間 PSoC ブロックに基づいています。

電力 = 高かつオペアンプ バイアス = 高は 3.3V ではサポートされていません。

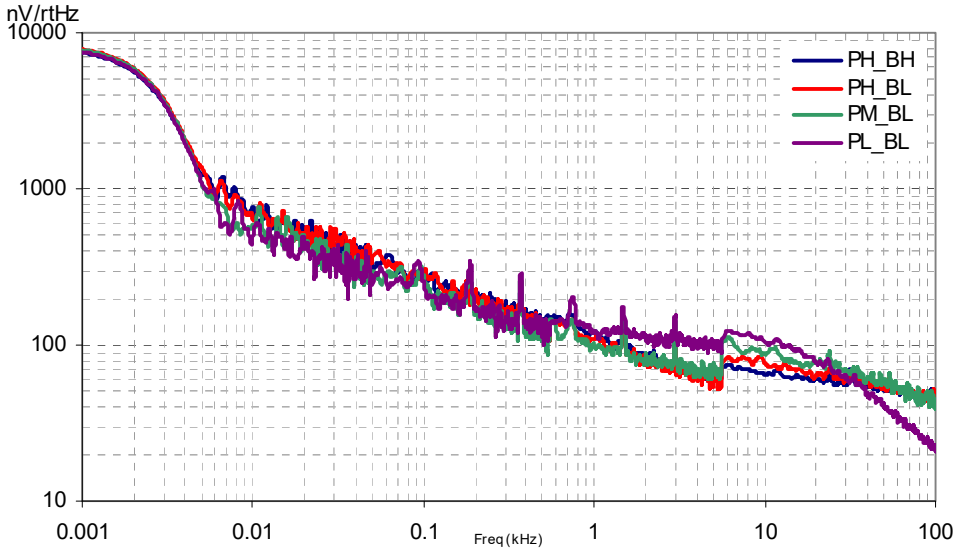
表 31. 5V 時のオペアンプの AC 仕様

記号	説明	Min	Typ	Max	単位
t_{ROA}	1V ステップ (10pF 負荷、ユニティ ゲイン) の時 0.1% までの立ち上り整定時間 電力 = 低、オペアンプ バイアス = 低 電力 = 中、オペアンプ バイアス = 高 電力 = 高、オペアンプ バイアス = 高	 – – –	 – – –	 3.9 0.72 0.62	 µs µs µs
t_{SOA}	1V ステップ (10pF 負荷、ユニティ ゲイン) の時 0.1% までの立ち下り整定時間 電力 = 低、オペアンプ バイアス = 低 電力 = 中、オペアンプ バイアス = 高 電力 = 高、オペアンプ バイアス = 高	 – – –	 – – –	 5.9 0.92 0.72	 µs µs µs
SR_{ROA}	1V ステップ (10pF 負荷、ユニティ ゲイン) の時の立ち上りスルーレート (20% ～ 80%) 電力 = 低、オペアンプ バイアス = 低 電力 = 中、オペアンプ バイアス = 高 電力 = 高、オペアンプ バイアス = 高	 0.15 1.7 6.5	 – – –	 – – –	 V/µs V/µs V/µs
SR_{FOA}	1V ステップ (10pF 負荷、ユニティ ゲイン) の時の立ち下りスルーレート (20% ～ 80%) 電力 = 低、オペアンプ バイアス = 低 電力 = 中、オペアンプ バイアス = 高 電力 = 高、オペアンプ バイアス = 高	 0.01 0.5 4.0	 – – –	 – – –	 V/µs V/µs V/µs
BW_{OA}	ゲインと帯域幅の積 電力 = 低、オペアンプ バイアス = 低 電力 = 中、オペアンプ バイアス = 高 電力 = 高、オペアンプ バイアス = 高	 0.75 3.1 5.4	 – – –	 – – –	 MHz MHz MHz
E_{NOA}	1kHz 時のノイズ (電力 = 中、オペアンプ バイアス = 高)	–	100	–	nV/rt-Hz

表 32. 3.3V 時の演算増幅器の AC 仕様

記号	説明	Min	Typ	Max	単位
t_{ROA}	1V ステップ (10pF 負荷、ユニティ ゲイン) の時 0.1% までの立ち上り整定時間 電力 = 低、オペアンプ バイアス = 低 電力 = 中、オペアンプ バイアス = 高	– –	– –	3.92 0.72	µs µs
t_{SOA}	1V ステップ (10pF 負荷、ユニティ ゲイン) の時 0.1% までの立ち下り整定時間 電力 = 低、オペアンプ バイアス = 低 電力 = 中、オペアンプ バイアス = 高	– –	– –	5.41 0.72	µs µs
SR_{ROA}	1V ステップ (10pF 負荷、ユニティ ゲイン) の時立ち上りスルー レート (20% ～ 80%) 電力 = 低、オペアンプ バイアス = 低 電力 = 中、オペアンプ バイアス = 高	0.31 2.7	– –	– –	V/µs V/µs
SR_{FOA}	1V ステップ (10pF 負荷、ユニティ ゲイン) の時の立ち下りスルーレート (20% ～ 80%) 電力 = 低、オペアンプ バイアス = 低 電力 = 中、オペアンプ バイアス = 高	0.24 1.8	– –	– –	V/µs V/µs
BW_{OA}	ゲインと帯域幅の積 電力 = 低、オペアンプ バイアス = 低 電力 = 中、オペアンプ バイアス = 高	0.67 2.8	– –	– –	MHz MHz
E_{NOA}	1kHz 時のノイズ (電力 = 中、オペアンプ バイアス = 高)	–	100	–	nV/rt-Hz

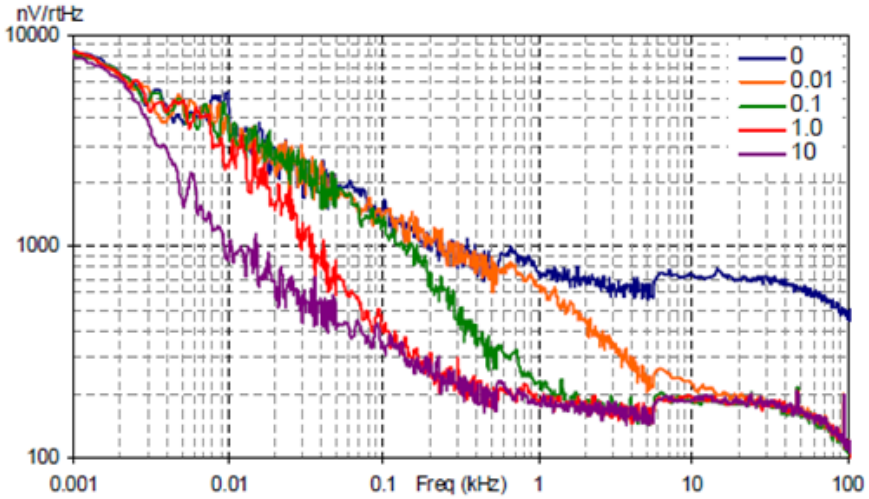
図 17. 標準オペアンプ ノイズ



アナログ リファレンス ノイズ スペクトラム :

P2[4] のコンデンサによりバイパスされると、各ブロックに分配されるアナログ グランド信号のノイズは最大 5 (14dB) の係数で減少されます。これは、オンチップ 8.1k 抵抗と外部コンデンサにより定義されたコーナー周波数以上の周波数で行われます。

図 18. P2[4] バイパスを使用した代表的な AGND ノイズ
AGND = 1.6 × Vbg



低周波数では、オペアンプ ノイズは 1/f に比例し、電源に依存しなく、デバイスの幾何学的形状により決定されます。高い周波数では、増大した電力レベルは、ノイズの拡散レベルを低下させます。

注 : 図 18 に示しているコンデンサの値の単位は「µF」です。

低消費電力コンパレータの AC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します。4.75V ～ 5.25V、および –40°C ≤ T_A ≤ 85°C、3.0V ～ 3.6V、および –40°C ≤ T_A ≤ 85°C、または 2.4V ～ 3.0V および –40°C ≤ T_A ≤ 85°C。標準パラメーターは、温度 25°C 、電圧 5V の場合の値で、単なる設計の参考用のデータです。

表 33. 低消費電力コンパレータの AC 仕様

記号	説明	Min	Typ	Max	単位	注
t_{RLPC}	LPC 応答時間	–	–	50	µs	50mV 以上、V_{REFLPC} 以下のオーバードライブ コンパレータ リファレンス電圧時

デジタル ブロックの AC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します。4.75V ～ 5.25V、および –40°C ≤ T_A ≤ 85°C、または 3.0V ～ 3.6V および –40°C ≤ T_A ≤ 85°C。標準パラメーターは、温度 25°C、電圧 5V または 3.3V の場合の値で、単なる設計の参考用のデータです。

表 34. デジタル ブロックの AC 仕様

機能	説明	Min	Typ	Max	単位	注
すべての機能	ブロック入力クロック周波数					
	V_{DD} ≥ 4.75V	–	–	50.4	MHz	
	V_{DD} < 4.75V	–	–	25.2	MHz	
タイマー	入力クロック周波数					
	キャプチャなし、V_{DD} ≥ 4.75V	–	–	50.4	MHz	
	キャプチャなし、V_{DD} < 4.75V	–	–	25.2	MHz	
	キャプチャあり	–	–	25.2	MHz	
	キャプチャ パルス幅	50[27]	–	–	ns	
カウンター	入力クロック周波数					
	イネーブル入力なし、V_{DD} ≥ 4.75V	–	–	50.4	MHz	
	イネーブル入力なし、V_{DD} < 4.75V	–	–	25.2	MHz	
	イネーブル入力あり	–	–	25.2	MHz	
	イネーブル入力パルス幅	50[27]	–	–	ns	
デッド バンド	キル パルス幅					
	非同期リスタートモード	20	–	–	ns	
	同期リスタートモード	50[27]	–	–	ns	
	無効モード	50[27]	–	–	ns	
	入力クロック周波数					
	V_{DD} ≥ 4.75V	–	–	50.4	MHz	
	V_{DD} < 4.75V	–	–	25.2	MHz	
CRCPRS (PRS モード)	入力クロック周波数					
	V_{DD} ≥ 4.75V	–	–	50.4	MHz	
	V_{DD} < 4.75V	–	–	25.2	MHz	
CRCPRS (CRC モード)	入力クロック周波数	–	–	25.2	MHz	
SPIM	入力クロック周波数	–	–	8.2	MHz	SPI シリアル クロック (SCLK) 周波数は入力クロック周波数を 2 で割った値
SPIS	入力クロック (SCLK) 周波数	–	–	4.1	MHz	SPIS モードでは、入力クロックが SPI SCLK
	送信間の SS_Negated の幅	50[27]	–	–	ns	
トランスミッタ	入力クロック周波数					ボーレートは、入力クロック周波数を 8 で割った値
	V_{DD} ≥ 4.75V、2 ストップ ビット	–	–	50.4	MHz	
	V_{DD} ≥ 4.75V、1 ストップ ビット	–	–	25.2	MHz	
	V_{DD} < 4.75V	–	–	25.2	MHz	
レシーバ	入力クロック周波数					ボーレートは、入力クロック周波数を 8 で割った値
	V_{DD} ≥ 4.75V、2 ストップ ビット	–	–	50.4	MHz	
	V_{DD} ≥ 4.75V、1 ストップ ビット	–	–	25.2	MHz	
	V_{DD} < 4.75V	–	–	25.2	MHz	

注
27. 50ns の最小入力パルス幅は、24MHz で動作する入力シンクロナイザに基づきます (定格周期は 42ns です)。

アナログ出力バッファの AC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します。4.75V ～ 5.25V および –40°C ≤ T_A ≤ 85°C、または 3.0V ～ 3.6V、および –40°C ≤ T_A ≤ 85°C。標準パラメーターは、温度 25°C、電圧 5V または 3.3V の場合の値で、単なる設計の参考用のデータです。

表 35. 5V の時のアナログ出力バッファの AC 仕様

記号	説明	Min	Typ	Max	単位
t_{ROB}	1V ステップ、100pF 負荷 の時 0.1% までの立ち上り整定時間 電力 = 低 電力 = 高	 – –	 – –	 4 4	 µs µs
t_{SOB}	1V ステップ、100pF 負荷 の時 0.1% までの立ち下り整定時間 電力 = 低 電力 = 高	 – –	 – –	 3.4 3.4	 µs µs
SR_{ROB}	1V ステップ、100pF 負荷 の時の立ち上りスルーレート (20% ～ 80%) 電力 = 低 電力 = 高	 0.5 0.5	 – –	 – –	 V/µs V/µs
SR_{FOB}	1V ステップ、100pF 負荷 の時の立ち下りスルーレート (80% ～ 20%) 電力 = 低 電力 = 高	 0.55 0.55	 – –	 – –	 V/µs V/µs
BW_{OB}	小信号帯域幅、20mV$_{pp}$、3 dB BW、100pF 負荷 電力 = 低 電力 = 高	 0.8 0.8	 – –	 – –	 MHz MHz
BW_{OB}	大信号帯域幅、1V$_{pp}$、3 dB BW、100pF 負荷 電力 = 低 電力 = 高	 300 300	 – –	 – –	 kHz kHz

表 36. 3.3V 時のアナログ出力バッファの AC 仕様

記号	説明	Min	Typ	Max	単位
t_{ROB}	1V ステップ、100pF 負荷の時 0.1% までの立ち上り整定時間 電力 = 低 電力 = 高	 – –	 – –	 4.7 4.7	 µs µs
t_{SOB}	1V ステップ、100pF 負荷の時 0.1% までの立ち下り整定時間 電力 = 低 電力 = 高	 – –	 – –	 4 4	 µs µs
SR_{ROB}	1V ステップ、100pF 負荷の時の立ち上りスルーレート (20% ～ 80%) 電力 = 低 電力 = 高	 0.36 0.36	 – –	 – –	 V/µs V/µs
SR_{FOB}	1V ステップ、100pF 負荷の時の立ち下りスルーレート (80% ～ 20%) 電力 = 低 電力 = 高	 0.40 0.40	 – –	 – –	 V/µs V/µs
BW_{OB}	小信号帯域幅、20mV$_{pp}$、3 dB BW、100pF 負荷 電力 = 低 電力 = 高	 0.7 0.7	 – –	 – –	 MHz MHz
BW_{OB}	大信号帯域幅、1V$_{pp}$、3 dB BW、100pF 負荷 電力 = 低 電力 = 高	 200 200	 – –	 – –	 kHz kHz

外部クロックの AC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します。4.75V ～ 5.25V および –40°C ≤ T_A ≤ 85°C、または 3.0V ～ 3.6V、および –40°C ≤ T_A ≤ 85°C。標準パラメーターは、温度 25°C、電圧 5V または 3.3V の場合の値で、単なる設計の参考用のデータです。

表 37. 5V 時の外部クロックの AC 仕様

記号	説明	Min	Typ	Max	単位
F_{OSCEXT}	周波数	0.093	–	24.6	MHz
–	HIGH 期間	20.6	–	5300	ns
–	LOW 期間	20.6	–	–	ns
–	IMO 電源投入から切り替えまでの時間	150	–	–	µs

表 38. 3.3V での外部クロックの AC 仕様

記号	説明	Min	Typ	Max	単位
F_{OSCEXT}	1 による分周の CPU クロックの周波数	0.093	–	12.3	MHz
F_{OSCEXT}	2 以上による分周の CPU クロックの周波数	0.186	–	24.6	MHz
–	1 による分周の CPU クロックの場合の HIGH 期間	41.7	–	5300	ns
–	1 による分周の CPU クロックの場合の LOW 期間	41.7	–	–	ns
–	IMO 電源投入から切り替えまでの時間	150	–	–	µs

プログラミングの AC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します。4.75V ～ 5.25V、および –40°C ≤ T_A ≤ 85°C、または 3.0V ～ 3.6V および –40°C ≤ T_A ≤ 85°C。標準パラメーターは、温度 25°C、電圧 5V または 3.3V の場合の値で、単なる設計の参考用のデータです。

表 39. プログラミングの AC 仕様

記号	説明	Min	Typ	Max	単位	注
t_{RSCLK}	SCLK の立ち上り時間	1	–	20	ns	–
t_{FSCLK}	SCLK の立ち下り時間	1	–	20	ns	–
t_{SSCLK}	SCLK の立ち下りエッジまでのデータ セットアップ時間	40	–	–	ns	–
t_{HSCLK}	SCLK の立ち下りエッジからのデータ ホールド時間	40	–	–	ns	–
F_{SCLK}	SCLK の周波数	0	–	8	MHz	–
t_{ERASEB}	フラッシュ消去時間 (ブロック)	–	10	–	ms	–
t_{WRITE}	フラッシュ ブロック書き込み時間	–	40	–	ms	–
t_{DSCLK}	SCLK の立ち下りエッジからのデータ出力遅延	–	–	45	ns	V_{DD} > 3.6V
t_{DSCLK3}	SCLK の立ち下りエッジからのデータ出力遅延	–	–	50	ns	3.0V ≤ V_{DD} ≤ 3.6V
$t_{ERASEALL}$	フラッシュ消去時間 (バルク)	–	80	–	ms	すべてのブロックおよび保護フィールドを一度に消去
$t_{PROGRAM_HOT}$	フラッシュ ブロック消去 + フラッシュ ブロック書き込み時間	–	–	100[28]	ms	0°C ≤ Tj ≤ 100°C
$t_{PROGRAM_COLD}$	フラッシュ ブロック消去 + フラッシュ ブロック書き込み時間	–	–	200[28]	ms	–40°C ≤ Tj ≤ 0°C

注
28. インダストリアル範囲を完全に実現するためには、温度センサー ユーザー モジュール (FlashTemp) を使用し、その結果を書き込み前に温度の引数にフィードする必要があります。
詳細については、フラッシュ API のアプリケーション ノート「設計支援 – PSoC® フラッシュの読み書き – AN2015」を参照してください。

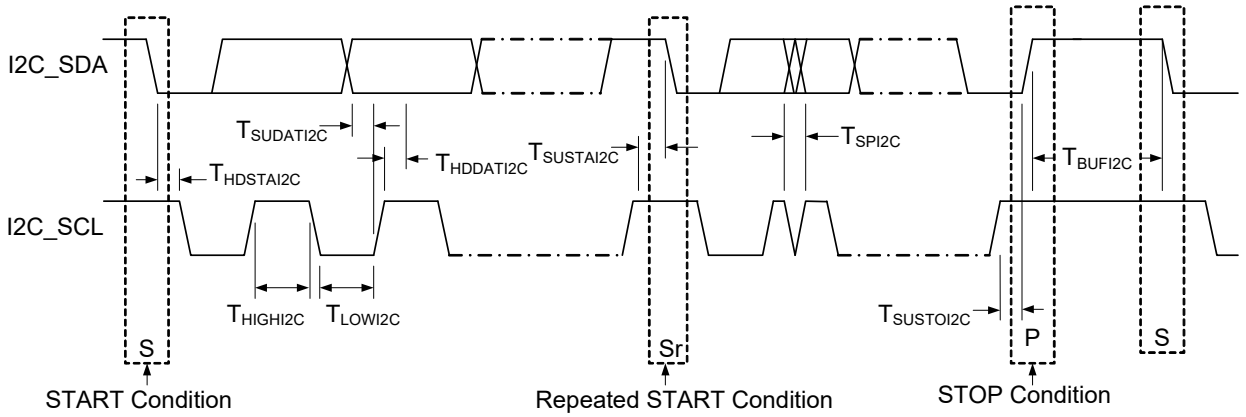
I^2C の AC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します。4.75V ～ 5.25V、および –40°C ≤ T_A ≤ 85°C、または 3.0V ～ 3.6V および –40°C ≤ T_A ≤ 85°C。標準パラメーターは、温度 25°C、電圧 5V または 3.3V の場合の値で、単なる設計の参考用のデータです。

表 40. I^2C の SDA と SCL ピンの AC 特性

記号	説明	標準モード		高速モード		単位
		Min	Max	Min	Max	
F_{SCLI2C}	SCL 動作周波数	0	100	0	400	kHz
$T_{HDSTAI2C}$	ホールド時間 (反復) START 条件。この時間が経過した後、最初のクロック パルスが生成される	4.0	–	0.6	–	µs
T_{LOWI2C}	SCL クロックの LOW 期間	4.7	–	1.3	–	µs
$T_{HIGHI2C}$	SCL クロックの HIGH 期間	4.0	–	0.6	–	µs
$T_{SUSTAI2C}$	反復 START 条件のセットアップ時間	4.7	–	0.6	–	µs
$T_{HDDATI2C}$	データ ホールド時間	0	–	0	–	µs
$T_{SUDATI2C}$	データ セットアップ時間	250	–	100[29]	–	ns
$T_{SUSTOI2C}$	STOP 条件のセットアップ時間	4.0	–	0.6	–	µs
T_{BUFI2C}	STOP 条件と START 条件間のバス空き時間	4.7	–	1.3	–	µs
T_{SPI2C}	スパイクのパルス幅は入力フィルタによって抑制される	–	–	0	50	ns

図 19. 高速モードと標準モードの I^2C バスのタイミングの定義



注
29. 高速モード I^2C バス デバイスは標準モード I^2C バス システムでも使用できますが、$t_{SU;DAT}$ >= 250ns 条件を満たさなければなりません。SCL 信号の LOW 期間をデバイスで延ばさなければ、この要件は自動的に満たされます。SCL 信号の LOW 期間をデバイスで伸ばす場合は、SCL ラインを解放する時点より [t_{rmax} + $t_{SU;DAT}$ = 1000 + 250 = 1250ns] 前に次のデータ ビットを SDA ラインに出力する必要があります（標準モード I^2C バスの仕様により）。

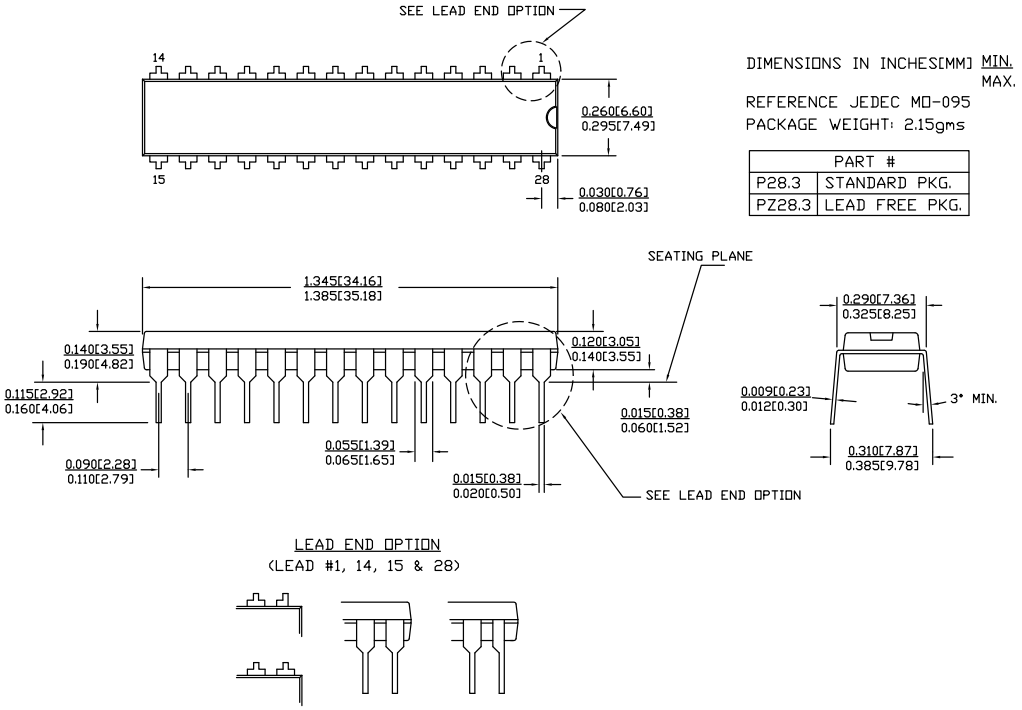
パッケージ情報

ここでは、CY8C29x66 PSoC デバイスのパッケージ仕様と、各パッケージの熱インピーダンスおよび水晶ピンの一般的なパッケージ容量を示します。

重要な注意 : エミュレーション ツールでは、対象のプリント基板上でチップの実装面積よりも広い面積が必要な場合があります。エミュレーション ツールの寸法の詳細な説明については、http://www.cypress.com でエミュレータ ポッドの図を参照してください。

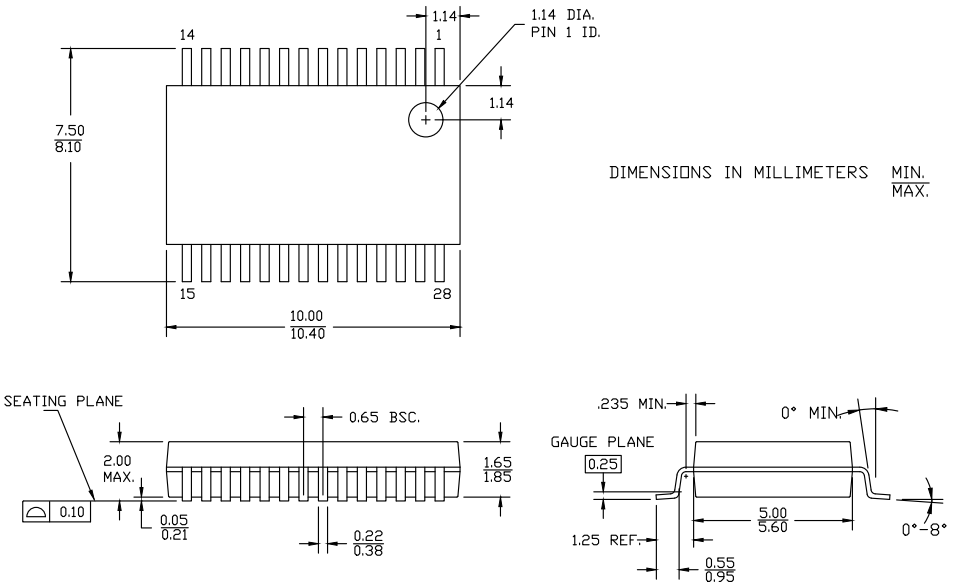
パッケージの寸法

図 20. 28 ピン PDIP (300Mil) パッケージ図、51-85014



51-85014 *G

図 21. 28 ピン SSOP (210Mil) パッケージ図、51-85079

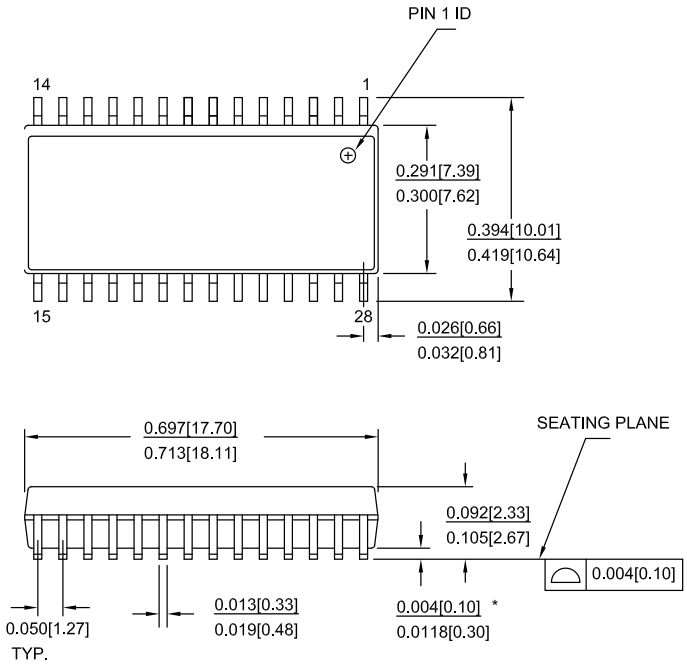


51-85079 *G

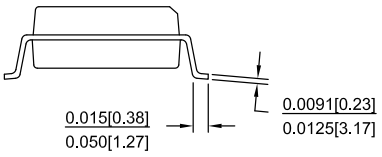
図 22. 28 ピン SOIC (0.713×0.300×0.0932 インチ) パッケージ図、51-85026

NOTE :

1. JEDEC STD REF MO−119
2. BODY LENGTH DIMENSION DOES NOT INCLUDE MOLD PROTRUSION/END FLASH,BUT DOES INCLUDE MOLD MISMATCH AND ARE MEASURED AT THE MOLD PARTING LINE. MOLD PROTRUSION/END FLASH SHALL NOT EXCEED 0.010 in (0.254 mm) PER SIDE
3. DIMENSIONS IN INCHES MIN. MAX.

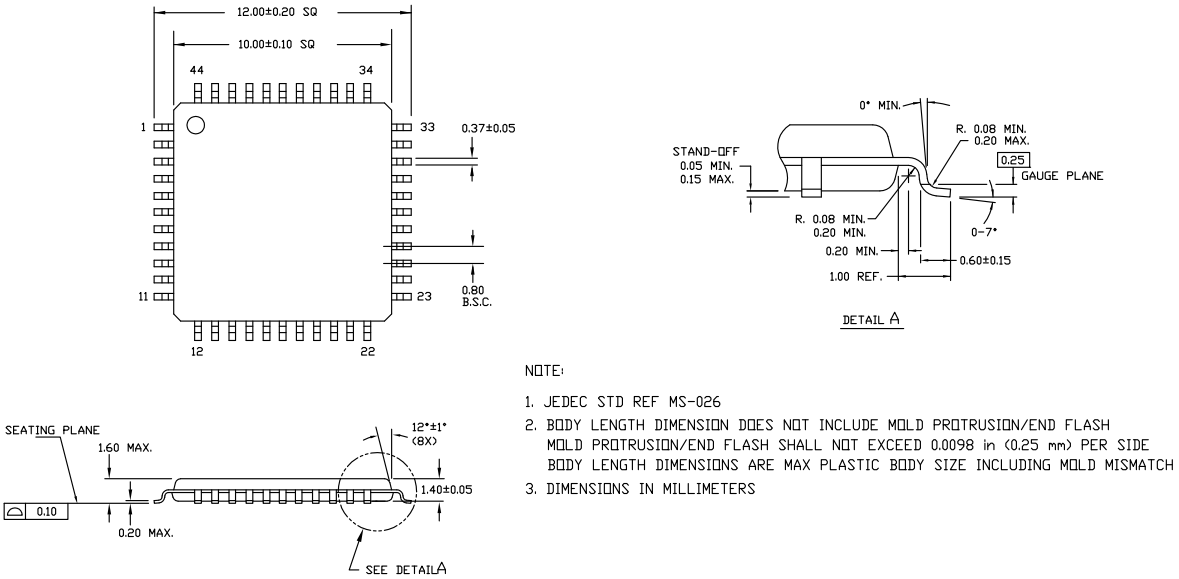


PART #	
S28.3	STANDARD PKG.
SZ28.3	LEAD FREE PKG.
SX28.3	LEAD FREE PKG.



51-85026 *H

図 23. 44 ピン TQFP (10×10×1.4mm) パッケージ図、51-85064

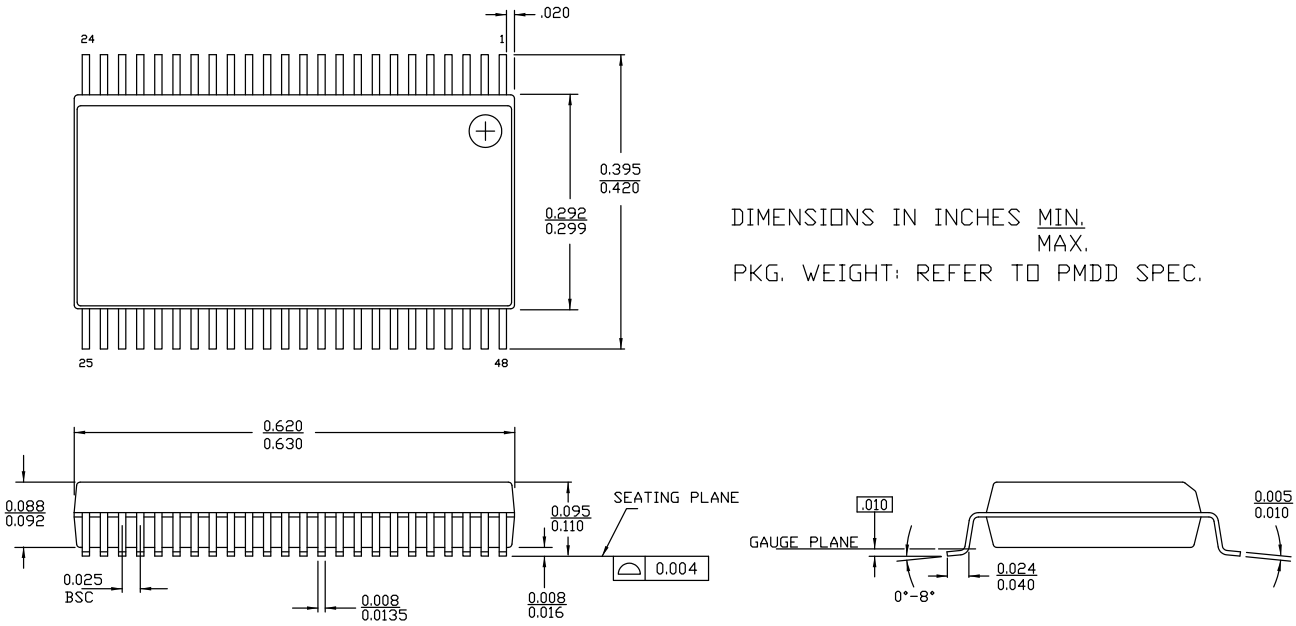


NOTE:

1. JEDEC STD REF MS-026
2. BODY LENGTH DIMENSION DOES NOT INCLUDE MOLD PROTRUSION/END FLASH
   MOLD PROTRUSION/END FLASH SHALL NOT EXCEED 0.0098 in (0.25 mm) PER SIDE
   BODY LENGTH DIMENSIONS ARE MAX PLASTIC BODY SIZE INCLUDING MOLD MISMATCH
3. DIMENSIONS IN MILLIMETERS

51-85064 *G

図 24. 48 ピン SSOP (300Mil) パッケージ図、51-85061



51-85061 *F

図 25. 48 ピン QFN (7×7×1.0mm) 5.1×5.1 E-Pad (Sawn) パッケージ図、001-13191

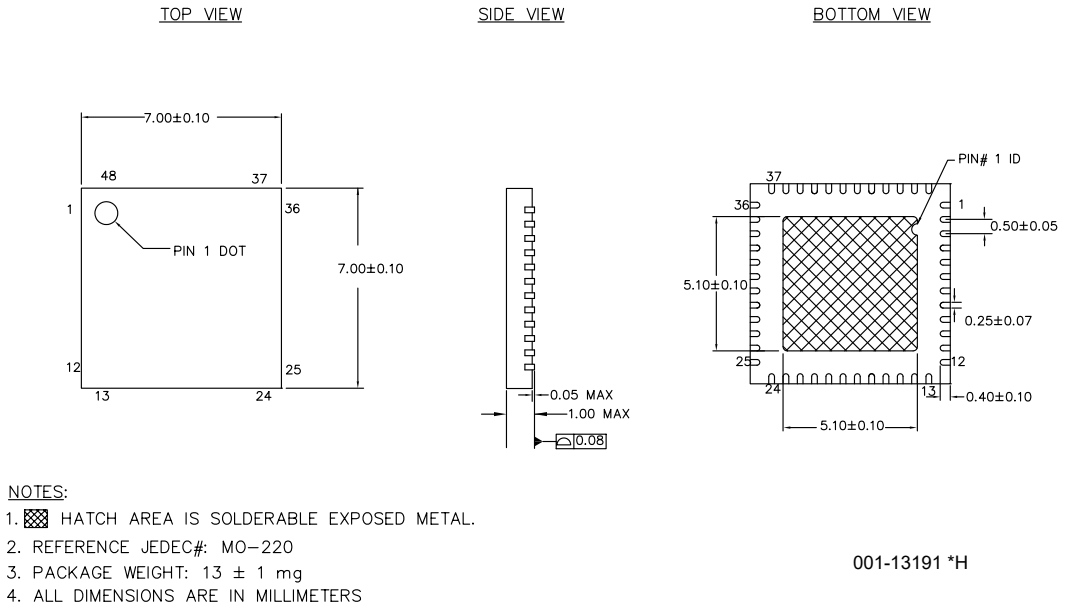
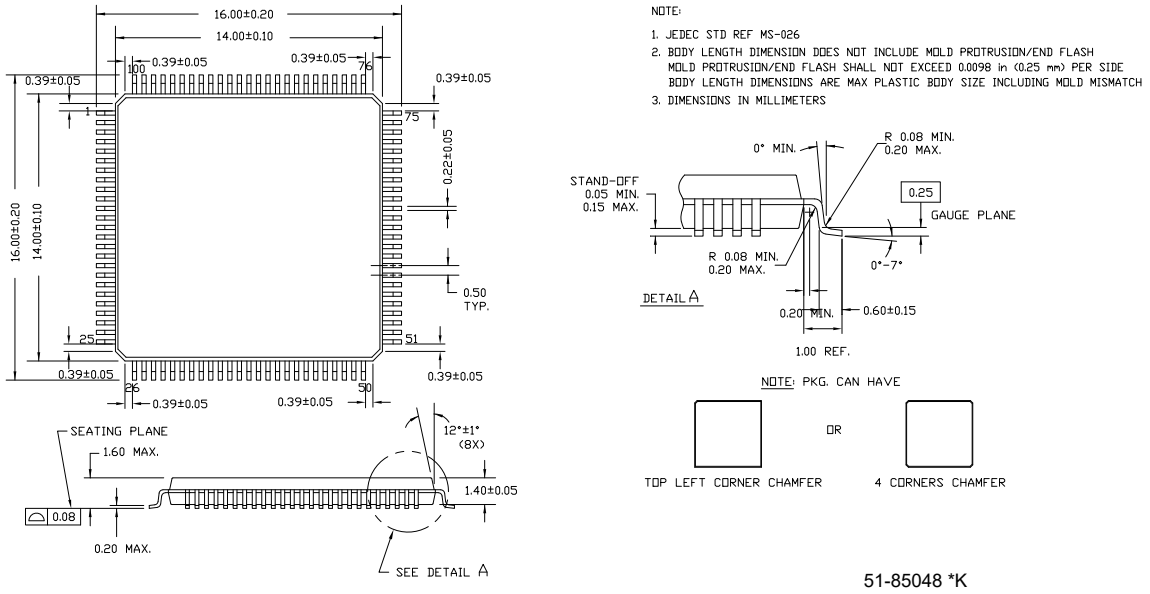


図 26. 100 ピン TQFP (14×14×1.4mm) パッケージ図、51-85048



重要注意事項 : QFN パッケージの実装用の推奨寸法については、http://www.cypress.com に掲載しているアプリケーション ノート *Design Guidelines for Cypress Quad Flat No Extended Lead (QFN) Packaged Devices – AN72845* を参照してください。

重要注意事項 : 低消費電力 PSoC デバイスでは、熱伝導向けのビア ホールは不要です。

熱インピーダンス

表 41. パッケージ別の熱インピーダンス

パッケージ	標準 θ_{JA}[30]
28 ピン PDIP	69°C/W
28 ピン SSOP	94°C/W
28 ピン SOIC	67°C/W
44 ピン TQFP	60°C/W
48 ピン SSOP	69°C/W
48 ピン QFN[31]	28°C/W
100 ピン TQFP	50°C/W

水晶振動子ピンの静電容量

表 42. パッケージの水晶振動子ピンの標準的な静電容量

パッケージ	パッケージ静電容量
28 ピン PDIP	3.5pF
28 ピン SSOP	2.8pF
28 ピン SOIC	2.7pF
44 ピン TQFP	2.6pF
48 ピン SSOP	3.3pF
48 ピン QFN	1.8pF
100 ピン TQFP	3.1pF

はんだリフローの仕様

表 43 には、超えてはならないはんだリフロー温度限界値を表します。

表 43. はんだリフローの仕様

パッケージ	最高ピーク温度 (T_C)	T_C–5°C 以上の最大時間
28 ピン PDIP	260°C	30 秒
28 ピン SSOP	260°C	30 秒
28 ピン SOIC	260°C	30 秒
44 ピン TQFP	260°C	30 秒
48 ピン SSOP	260°C	30 秒
48 ピン QFN	260°C	30 秒
100 ピン TQFP	260°C	30 秒

注
30. $T_J = T_A + POWER \times \theta_{JA}$。
31. QFN パッケージ専用の熱インピーダンスの詳細については、http://www.cypress.com に掲載している「*Design Guidelines for Cypress Quad Flat No Extended Lead (QFN) Packaged Devices – AN72845*」アプリケーション ノートを参照してください。.

開発ツールの選択

本セクションでは、CY8C29x66 ファミリを含む、現在のすべての PSoC デバイス ファミリに使用可能な開発ツールを示します。

ソフトウェア

PSoC Designer™

PSoC 開発ソフトウェア スイートの中核となるのは、PSoC ファームウェア アプリケーションを生成する PSoC Designer です。PSoC Designer は、http://www.cypress.com から無料で入手できます。PSoC Designer には無料の C コンパイラが付属します。

PSoC Programmer

開発現場で使用できるほど柔軟性があり、工場でのプログラミングにも適している PSoC Programmer は、スタンドアロンのプログラミング アプリケーションとして機能するほか、PSoC Designer または PSoC Express から直接実行もできます。PSoC Programmer ソフトウェアは、PSoC ICE-Cube インサーキット エミュレータと PSoC MiniProg の両方との互換性があります。PSoC Programmer は、http://www.cypress.com から無料で入手できます。

開発キット

すべての開発キットはサイプレスのオンライン ストアから購入できます。

CY3215-DK 基本開発キット

CY3215-DK は、PSoC Designer を使用したプロトタイピングと開発用のキットです。このキットはインサーキット エミュレーションをサポートしており、ソフトウェア インターフェースを備えているため、プロセッサの実行、停止、およびシングル ステップ実行や、特定のメモリ ロケーションの内容表示ができます。PSoC Designer では、高度なエミュレーション機能もサポートされます。このキットには以下のものが含まれます。

- PSoC Designer ソフトウェア CD
- ICE-Cube インサーキット エミュレータ
- CY8C29x66 ファミリ用 ICE Flex-Pod
- Cat-5 アダプタ
- Mini-Eval プログラミング ボード
- 110V~240V 電源、ユーロプラグ アダプタ
- iMAGEcraft C コンパイラ
- ISSP ケーブル
- USB 2.0 ケーブルとブルー Cat-5 ケーブル

評価ツール

すべての評価ツールはサイプレスのオンライン ストアから購入できます。

CY3210-MiniProg1

CY3210-MiniProg1 キットを使用すると、MiniProg1 プログラムユニットを使用して PSoC デバイスをプログラミングできます。MiniProg は、キットに付属の USB 2.0 ケーブルを使用して PC に接続する、サイズが小さい試作プログラマです。このキットには以下のものが含まれます。

- MiniProg プログラミング ユニット
- MiniEval ソケット プログラミングおよび評価基板
- 28 ピン CY8C27443-24PXI PDIP PSoC デバイス サンプル
- PSoC Designer ソフトウェア CD
- スタート ガイド
- USB 2.0 ケーブル

CY3210-PSoCEval1

CY3210-PSoCEval1 キットには、評価基板と MiniProg1 プログラミング ユニットが含まれます。評価用基板には、評価に必要なすべての要件を満たすように、LCD モジュール、ポテンショメータ、LED、および十分な大きさのブレッドボードが備わっています。このキットには以下のものが含まれます。

- LCD モジュール付きの評価基板
- MiniProg プログラミング ユニット
- PSoC Designer ソフトウェア CD
- スタート ガイド
- USB 2.0 ケーブル

CY3214-PSoCEvalUSB

CY3214-PSoCEvalUSB 評価キットは、CY8C24794-24LFXI PSoC デバイス向けの開発用基板を備えます。この基板の特別な特長には、USB と静電容量検知開発とデバッグ処理サポートです。この評価用基板には、評価に必要なすべての要件を満すように、LCD モジュール、ポテンショメーター、LED、アナンシエーター、および十分な大きさのブレッドボードが備わっています。このキットには以下のものが含まれます。

- PSoCEvalUSB 基板
- LCD モジュール
- MIniProg プログラミング ユニット
- ミニ USB ケーブル
- PSoC Designer およびサンプル プロジェクト CD
- スタート ガイド
- ワイヤ パック

デバイス プログラマ

すべてのデバイス プログラマはサイプレスのオンライン ストアから購入できます。

CY3216 モジュラ プログラマ

CY3216 モジュラ プログラマ キットはモジュラ プログラマと MiniProg1 プログラミング ユニットを備えています。モジュラ プログラマには 3 個のメモリプログラミング モジュール カードが含まれ、複数のサイプレス製品をサポートします。このキットには以下のものが含まれます。

- モジュラ プログラマ ベース
- プログラミング モジュール カード 3 枚
- MiniProg プログラミング ユニット
- PSoC Designer ソフトウェア CD
- スタート ガイド
- USB 2.0 ケーブル

CY3207ISSP インシステム シリアル プログラミング (ISSP)

CY3207ISSP は製品用プログラマです。ここには保護用回路と、量産プログラミング環境でMiniProgよりも堅牢な産業用のケースが含まれます。

注 : CY3207ISSP は特殊なソフトウェアが必要で、PSoC Programmer とは互換性がありません。このキットには以下のものが含まれます。

- CY3207 プログラマ ユニット
- PSoC ISSP ソフトウェア CD
- 110V~240V 電源、ユーロプラグ アダプタ
- USB 2.0 ケーブル

アクセサリ (エミュレーションおよびプログラミング)

表 44. エミュレーションおよびプログラミング アクセサリ

部品番号	ピン パッケージ	フレックスポッド キット [32]	フット キット [33]	アダプタ [34]
CY8C29466-24PVXI	28 ピン SSOP	CY3250-29XXX	CY3250-28SSOP-FK	アダプタについては、http://www.emulation.com を参照
CY8C29466-24SXI	28 ピン SOIC	CY3250-29XXX	CY3250-28SOIC-FK	
CY8C29566-24AXI	44 ピン TQFP	CY3250-29XXX	CY3250-44TQFP-FK	
CY8C29666-24PVXI	48 ピン SSOP	CY3250-29XXX	CY3250-48SSOP-FK	
CY8C29666-24LTXI	48 ピン QFN	CY3250-29XXXQFN	CY3250-48QFN-FK	
CY8C29866-24AXI	100 ピン TQFP	CY3250-29XXX	CY3250-100TQFP-FK	

注
32. フレックスポッド キットには、2 個のフレックスポッドの他に、実践フレックスポッドと実践 PCB が含まれます。
33. フット キットには、対象の PCB にはんだ付けできる表面実装フットが含まれます。
34. プログラミング アダプタは、非 DIP パッケージを DIP フットプリントに変換します。アダプタの詳細と注文情報については、http://www.emulation.com を参照してください。

注文情報

下表に、CY8C29x66 PSoC デバイスの主なパッケージの機能と注文コードを示します。

パッケージ	注文コード	フラッシュ (KB)	RAM (KB)	スイッチ モード ポンプ	温度範囲	デジタル PSoC ブロック数	アナログ PSoC ブロック数	デジタル I/O ピン数	アナログ入力数	アナログ出力数	XRES ピン
28 ピン (210mil) SSOP (テープ & リール)	CY8C29466-24PVXI	32	2	有	–40°C ～ +85°C	16	12	24	12	4	有
28 ピン (300mil) SOIC	CY8C29466-24SXI	32	2	有	–40°C ～ +85°C	16	12	24	12	4	有
28 ピン (300mil) SOIC (テープ & リール)	CY8C29466-24SXIT	32	2	有	–40°C ～ +85°C	16	12	24	12	4	有
44 ピン TQFP	CY8C29566-24AXI	32	2	有	–40°C ～ +85°C	16	12	40	12	4	有
44 ピン TQFP (テープ & リール)	CY8C29566-24AXIT	32	2	有	–40°C ～ +85°C	16	12	40	12	4	有
48 ピン (300mil) SSOP	CY8C29666-24PVXI	32	2	有	–40°C ～ +85°C	16	12	44	12	4	有
48 ピン (300mil) SSOP (テープ & リール)	CY8C29666-24PVXIT	32	2	有	–40°C ～ +85°C	16	12	44	12	4	有
100 ピン OCD TQFP[35]	CY8C29000-24AXI	32	2	有	–40°C ～ +85°C	16	12	64	12	4	有
48 ピン (7×7×1.0mm) QFN (Sawn)	CY8C29666-24LTXI	32	2	有	–40°C ～ +85°C	16	12	44	12	4	有
48 ピン (7×7×1.0mm) QFN (Sawn)	CY8C29666-24LTXIT	32	2	有	–40°C ～ +85°C	16	12	44	12	4	有

注 :
ダイ販売情報については、最寄りのサイプレス営業所またはフィールド アプリケーション エンジニア (FAE) に連絡してください。

注文コードの定義

CY 8 C 29 xxx-SPxx

パッケージ タイプ :
- PX = PDIP 鉛フリー
- SX = SOIC 鉛フリー
- PVX = SSOP 鉛フリー
- LFX/LKX/LTX/LQX/LCX = QFN 鉛フリー
- AX = TQFP 鉛フリー

熱定格 :
- C = 商業用
- I = 産業用
- E = 拡張

速度 : 24MHz

型番

ファミリ コード

テクノロジー コード : C = CMOS

マーケティング コード : 8= サイプレス PSoC

会社 ID: CY = サイプレス

注
35. この製品は、インサーキット デバッギングに使用されます。量産製品用としては提供できません。

略語

表 45 には、本書で使用する略語を示します。

表 45. 本データシートで使用されている略語

略語	説明	略語	説明
AC	alternating current (交流電流)	MIPS	million instructions per second (100 万命令毎秒)
ADC	analog-to-digital converter (アナログ - デジタル変換器)	OCD	on-chip debug (オンチップ デバッグ)
API	application programming interface (アプリケーション プログラミング インターフェース)	PCB	printed circuit board (プリント回路基板)
CMOS	complementary metal oxide semiconductor (相補型金属酸化膜半導体)	PDIP	plastic dual-in-line package (プラスチック製デュアル インライン パッケージ)
CPU	central processing unit (中央演算処理装置)	PGA	programmable gain amplifier (プログラマブル ゲイン アンプ)
CRC	cyclic redundancy check (巡回冗長検査)	PLL	phase-locked loop (位相同期回路)
CT	continuous time (連続時間)	POR	power on reset (パワー オン リセット)
DAC	digital-to-analog converter (デジタル - アナログ変換器)	PPOR	precision power on reset (高精度パワー オン リセット)
DC	direct current (直流電流)	PRS	pseudo random sequence (疑似乱数列)
DTMF	dual-tone multi frequency (デュアルトーン マルチ周波数)	PSoC®	Programmable System-on-Chip (プログラマブル システム オンチップ)
ECO	external crystal oscillator (外部水晶振動子)	PWM	pulse width modulator (パルス幅変調器)
EEPROM	electrically erasable programmable read-only memory (電気的消去書き込み可能な読み出し専用メモリ)	QFN	quad flat no leads (クアッド フラット (リードなし) パッケージ)
GPIO	general purpose I/O (汎用 I/O)	RTC	real time clock (リアル タイム クロック)
ICE	in-circuit emulator (インサーキット エミュレータ)	SAR	successive approximation (逐次比較)
IDE	integrated development environment (統合開発環境)	SC	switched capacitor (スイッチト キャパシタ)
ILO	internal low speed oscillator (内部低速振動子)	SMP	switch mode pump (スイッチ モード ポンプ)
IMO	internal main oscillator (内部主振動子)	SOIC	small-outline integrated circuit (小型外形集積回路)
I/O	input/output (入力／出力)	SPI	serial peripheral interface (シリアル ペリフェラル インターフェース)
IrDA	infrared data association (赤外線データ協会)	SRAM	static random access memory (スタティック ランダム アクセス メモリ)
ISSP	in-system serial programming (インシステム シリアル プログラミング)	SROM	supervisory read-only memory (監視用読み出し専用メモリ)
LCD	liquid crystal display (液晶ディスプレイ)	SSOP	shrink small-outline package (シュリンク スモール アウトライン パッケージ)
LED	light-emitting diode (発光ダイオード)	TQFP	thin quad flat pack (薄型クワッド フラット パック)
LPC	Low power comparator (低消費電力コンパレータ)	UART	universal asynchronous receiver / transmitter (汎用非同期レシーバ／トランスミッタ)
LVD	low voltage detect (低電圧検出)	USB	universal serial bus (汎用シリアル バス)
MAC	multiply-accumulate (積和演算)	WDT	watchdog timer (ウォッチドッグ タイマー)
MCU	microcontroller unit (マイクロコントローラー ユニット)	XRES	external reset (外部リセット)

参考資料

CY8CPLC20、CY8CLED16P01、CY8C29x66、CY8C27x43、CY8C24x94、CY8C24x23、CY8C24x23A、CY8C22x13、CY8C21x34、CY8C21x23、CY7C64215、CY7C603xx、CY8CNP1xx、および CYWUSB6953 PSoC®Programmable System-on-Chip Technical Reference Manual (TRM) (001-14463)

Design Aids – Reading and Writing PSoC®Flash - AN2015 (001-40459)

http://www.cypress.com に掲載している *Design Guidelines for Cypress Quad Flat No Extended Lead (QFN) Packaged Devices – AN72845*

本書の表記法

測定単位

表 46 に、測定単位の一覧を示します。

表 46. 測定単位

記号	測定単位	記号	測定単位
dB	デシベル	ms	ミリ秒
°C	摂氏温度	ns	ナノ秒
fF	フェムト ファラド	ps	ピコ秒
pF	ピコファラド	µV	マイクロボルト
kHz	キロヘルツ	mV	ミリボルト
MHz	メガヘルツ	mVpp	ミリボルト ピーク ツー ピーク
rt-Hz	ルート ヘルツ	nV	ナノボルト
kΩ	キロオーム	V	ボルト
kΩ	オーム	µW	マイクロワット
µA	マイクロアンペア	W	ワット
mA	ミリアンペア	mm	ミリメートル
nA	ナノアンペア	ppm	100 万分の 1
pA	ピコアンペア	%	パーセント
µs	マイクロ秒		

数値の表記

16 進数はすべて大文字で表記し、小文字の「h」を付記しています (例えば、「14h」、「3Ah」) 。C のコーディング規則に基づき、接頭語「0x」を使用して 16 進数を表現している場合もあります。2 進数には小文字の「b」を付記しています (例えば、「01010100b」、「01000011b」) 。「h」、「b」、「0x」のいずれも付いていない数は 10 進数です。

用語集

アクティブ HIGH	1. アサート状態を論理値「1」状態とするロジック信号 2. 2 つの状態のうち、高い電圧側を論理値「1」状態とするロジック信号
アナログ ブロック	基本的なプログラム可能なオペアンプ回路。SC (スイッチト キャパシタ) および CT (連続時間) ブロック。これらのブロックは相互接続して、ADC、DAC、多極フィルタ、ゲイン ステージなどを提供可能
アナログ - デジタル変換器 (ADC)	アナログ信号を対応する振幅のデジタル信号に変更するデバイス。一般的に、ADC は電圧をデジタル数値に変換。デジタル - アナログ変換器 (DAC) は ADC の逆の動作を行う
アプリケーション プログラミング インターフェース (API)	コンピュータ アプリケーションと低レベルのサービスと関数間のインターフェース (例えば、ユーザー モジュール、ライブラリ) からなる一連のソフトウェア ルーチン。API は、ソフトウェア アプリケーションを作成するプログラマ向けのビルディング ブロックとして機能
非同期	どのクロック信号にも関係なく直ちに認識され、作用するデータを持つ信号
バンドギャップ リファレンス	VT の正の温度係数と VBE の負の温度係数を一致させ、ゼロ温度係数 (理想) のリファレンス電圧を生成する、安定したリファレンス電圧の設計
帯域幅	1. ヘルツを単位として計測されるメッセージまたは情報処理システムの周波数範囲 2. アンプ (または減衰器) に実質的なゲイン (またはロス) があるスペクトル領域の幅。これは時々より具体的に、例えば、最大値の 1/2 になる点の幅として示される

用語集 (続き)

バイアス	1. リファレンス値からの意図的な偏差の値 2. リファレンス値と一連の値の平均値の間の誤差 3. デバイスを動作させるレファレンス レベルを確立するために、デバイスに適用される電気的、機械的、磁気的、または他の力 (フィールド)
ブロック	1. 振動子などの単一機能を実行する機能単位 2. デジタル PSoC ブロックやアナログ PSoC ブロックのように、いくつかの機能のいずれかを実行するためにコンフィギュレーションできる機能単位
バッファ	1. 1 つのデバイスから他のデバイスへデータを転送する際に、速度差を補うために使用されるデータ ストレージ領域。通常、データが読み書きされる、IO 操作のために予約された領域を示す 2. 外部デバイスに送信されるデータや外部デバイスから受信されたばかりのデータを格納するメモリ部分 3. システムの出力インピーダンスを下げるために使用されるアンプ
バス	1. 回路の名前付き接続。回路同士をバスにバンドルすることにより、類似したルーティング パターンを持つネットの配線は容易になる 2. 共通機能を実行し、同様のデータを運ぶ信号一式。一般的にベクトル表記で表される。例えば、アドレス [7:0] 3. 関連するデバイスのグループの共通接続として機能する 1 つまたは複数の導電体
クロック	一定の周波数およびデューティ比で周期信号を生成するデバイス。クロックは時々、異なる論理ブロックを同期化するために使用される
コンパレータ	2 つの入力レベルが同時に所定の振幅要件を満たすたびに、出力電圧または電流を生成する電子回路
コンパイラ	C のような高レベルの言語を機械言語に変換するプログラム
コンフィギュレーション空間	PSoC デバイスでの、CPU_F レジスタ内の XIO ビットが「1」にセットされた時にアクセスされるレジスタ空間
水晶振動子	周波数が圧電性水晶によって制御される振動子。一般的に、圧電性水晶は他の回路コンポーネントほど周囲温度に敏感ではない
巡回冗長検査 (CRC)	一般的に線形フィードバック シフト レジスタを使用して行われるデータ通信でエラーを検出するために使用される計算。同様の計算はデータ圧縮など他の多くの用途に使用可能
データ バス	メモリ位置から中央演算処理装置へ、またはその逆で、情報を伝えるためにコンピュータによって使用される一組の双方向信号。より一般的には、デジタル機能間でデータを伝えるために使用される信号一式
デバッガ	ユーザーが開発中のシステムの動作を分析することを可能にするハードウェアおよびソフトウェア システム。通常、開発者はデバッガにより、ファームウェアを一段階ずつ手順を追って実行したり、ブレークポイントを設定したりメモリを分析可能
デッド バンド	2 つまたは複数の信号の内いずれもアクティブ状態や遷移中でない期間
デジタル ブロック	カウンター、タイマー、シリアル レシーバ、シリアル トランスミッタ、CRC ジェネレータ、擬似乱数ジェネレータ、または SPI として機能できる 8 ビットの論理ブロック
デジタル - アナログ変換器 (DAC)	デジタル信号を対応する振幅を持っているアナログ信号に変換するデバイス。アナログ - デジタル変換器 (ADC) は DAC の逆の動作を行う
デューティ比	クロック周期の HIGH 時間と LOW 時間の関係。パーセント単位で表される

用語集 (続き)

エミュレータ	第 2 のシステムが第 1 のシステムのように動作するように、1 つのシステムの機能を別のシステムに複製 (エミュレーション実行)
外部リセット (XRES)	PSoC デバイスに駆動されるアクティブ HIGH 信号。これにより、CPU およびブロックのすべての動作が停止し、事前定義された状態に復帰
フラッシュ	EPROM のプログラマビリティおよびデータ ストレージ、およびインシステム消去性をユーザーに提供する、電気的にプログラマブルで消去可能な不揮発性の技術。不揮発性とは、電源がオフになった場合でもデータはまだ保持されることを意味
フラッシュ ブロック	一度にプログラムできるフラッシュ ROM の最小容量、および保護できるフラッシュ メモリの最小領域。1 つのフラッシュ ブロックは 64 バイトを保持
周波数	周期関数の場合のある時間単位当たりのサイクルまたは発生するイベントの数
ゲイン	出力電流、電圧、または電力対入力電流、電圧、または電力の比率。ゲインは通常 dB で表される
I^2C	Philips Semiconductors 社 (現 NXP Semiconductors 社) の 2 線式シリアル コンピュータ バス。I2C はインター インテグレーテッド サーキット (内部集積回路)。組込みシステムの低速ペリフェラルを接続するために使用。オリジナル システムはバッテリ制御インターフェースとして 1980 年代初頭に作成されました。その後制御電子回路を構築するための単純な内部バス システムとして使用。I2C は 2 つの双方向のピン (クロックおよびデータ) のみを使用します。双方とも +5V で動作し、抵抗で HIGH にプルアップされる。バスは標準モードで毎秒 100 キロビット、高速モードで毎秒 400 キロビットで機能
ICE	ユーザーがソフトウェア環境 (PSoC Designer) でデバッグ装置の活動を見ながら、ハードウェア環境でプロジェクトをテストすることを可能にするインサーキット エミュレータ
入力／出力 (I/O)	システムへデータを導入したり、システムからデータを抽出するデバイス
割込み	外部イベントによって引き起こされ、プロセスを再開できるような方法で行ったプロセス (コンピュータ プログラムの実行など) の一時停止
割込みサービス ルーチン (ISR)	M8C がハードウェア割込みを受信した時に通常のコードの実行から転向させられるコード ブロック。多くの割込みソースは、それぞれ独自の優先順位を持っており、個別の ISR コード ブロックと共存する場合がある。各 ISR コード ブロックは、RETI 命令で終了し、正常のプログラム実行を終了したポイントにデバイスを戻す
ジッタ	1. 理想的な位置からの移行のタイミング誤配置。シリアル データ ストリームで発生する破損の典型的形式 2. 連続パルス、連続サイクルの振幅、または連続サイクルの周波数あるいはフェーズ間の間隔など、1 つまたは複数の信号特性の急激および不要な変動
低電圧検出 (LVD)	V_{DD} を感知し、V_{DD} が既定の閾値を下回るとシステムへ割込みを生成する回路
M8C	8 ビット ハーバード アーキテクチャ マイクロプロセッサ。マイクロプロセッサをフラッシュ、SRAM、レジスタ空間へインターフェースで接続することにより PSoC のすべての内部動作を調整
マスター デバイス	2 つのデバイス間のデータ交換のタイミングを制御するデバイス。または、デバイスがいくつかカスケード接続されている場合、マスター デバイスは、カスケード接続されたデバイスと外部インターフェース間のデータ交換のタイミングを制御するもの。制御されるデバイスは**スレーブ デバイス**と呼ばれている
マイクロ コントローラー	主に制御システムおよび製品のために設計された集積回路チップ。マイクロコントローラーは CPU 以外、通常、メモリ、タイミング回路、および IO 回路を内蔵。この理由は、最小量のチップを使用してコントローラーの実現を可能にするため。このようにして、最大の可能性の小型化を達成。これにより、コントローラーのボリュームおよびコストを削減。マイクロコントローラーは通常、マイクロプロセッサとして汎用演算処理には使用されない

用語集 (続き)

混合信号	アナログとデジタルの技術およびコンポーネントの両方を含む回路へのリファレンス
変調器	キャリア上の信号を変換するデバイス
ノイズ	1. 信号に影響を与える、およびその信号によって運ばれた情報を歪める可能性がある妨害 2. 電圧、電流、またはデータなど、実体の 1 つまたは複数の特性のランダムなばらつき
振動子	クロック周波数を生成するために使用される回路。水晶制御のものもある
パリティ	送信データをテストする技術。通常 、この 2 進データのすべての桁数の合計が常に偶数 (偶数パリティ) または常に奇数 (奇数パリティ) になるために 2 進桁をデータに追加
フェーズロックループ (PLL)	リファレンス信号に対して一定の位相角を維持するように**振動子**を制御する電子回路
ピン配置	ピン番号割り当て : PSoC デバイスの論理入力および出力とそれらのプリント回路基板 (PCB) パッケージ内の物理的なカウンターパートとの関係。ピン配置は回路図と PCB 設計 (両方ともコンピュータ生成ファイル) 間のリンクとしてのピン番号を含み、ピン名も含む場合がある
ポート	通常 8 個のピンのグループ
パワーオンリセット (POR)	電圧が事前設定レベル以下の際、PSoC デバイスを強制的にリセットさせる回路。これはハードウェア リセットの一種
PSoC®	PSoC® はサイプレス セミコンダクタ社の登録商標で、Programmable System-on-Chip™ は同社の商標
PSoC Designer™	サイプレスのプログラマブル システムオンチップ技術のソフトウェア
パルス幅変調器 (PWM)	適用された測定量の関数として変動するデューティ比としての出力
RAM	ランダム アクセス メモリ (random access memory) の頭字語。データを読み出しや、新しいデータの書き込みなどができるデータ ストレージ デバイス
レジスタ	ビットやバイトなど、特定の容量を持つストレージ デバイス
リセット	システムを既知の状態に戻す手段。ハードウェア リセットおよびソフトウェア リセットを参照
ROM	読み出し専用メモリ (read only memory) の頭字語。データを読み出すことはできるが、新しいデータを書き込むことはできないデータ ストレージ デバイス
シリアル	1. すべてのイベントが相次いで発生するプロセスを示す 2. 単一のデバイスまたはチャネルにある 2 つまたは複数の関連するアクティビティの逐次的または連続的発生を示す
整定時間	入力がある値から別の値に変更された後に、出力信号または値が安定化するのに必要な時間
シフト レジスタ	シリアル データ ストリームを出力するために、ワードを連続して右シフトまたは左シフトするメモリ ストレージ デバイス

用語集 (続き)

スレーブ デバイス	他のデバイスに、2 つのデバイス間のデータ交換のタイミングを制御させるデバイス。または、デバイスがいくつかカスケード接続されている場合、スレーブ デバイスは、他のデバイスにカスケード接続されたデバイスと外部インターフェース間のデータ交換のタイミングを制御させるもの。制御するデバイスは、マスター デバイスと呼ばれる
SRAM	スタティック ランダム アクセス メモリ (static random access memory) の頭字語。高速でデータを格納、取得することを可能にするメモリ装置。「スタティック」という用語が使用される理由は、値は、SRAM セルにロードされた後に、明示的に変更されるか、またはデバイスの電源が切られるまで変わらないままのため
SROM	監視用読み出し専用メモリ (supervisory read only memory) の頭字語。SROM は、デバイスを起動し、回路を校正し、フラッシュ動作を実行するために使用されるコードを保持。SROM の関数は、フラッシュ メモリから操作する通常ユーザーモードのコードでアクセスすることが可能
ストップ ビット	受信デバイスが次の文字またはブロックを受信するように文字またはブロックの後に続く準備通知信号
同期	1. クロック信号の次のアクティブ エッジまで動作したり、受け取られることのないデータを持つ信号 2. 動作がクロック信号によって同期されるシステム
トライステート	出力が 0、1、および Z (ハイ インピーダンス) という 3 つの状態を採用できる機能。この機能は、Z の状態ではどんな値も駆動せず、多くの面では、回路の残りの部分から切断された状態として考慮されるため、他の出力が同じ回路を駆動することが可能
UART	UART またはユニバーサル非同期レシーバ トランスミッタは、データのパラレル ビットとシリアル ビット間での変換を行う
ユーザー モジュール	低レベルのアナログおよびデジタル PSoC ブロックを管理およびコンフィギュレーションする、事前構築されたテスト済みのハードウェア／ファームウェアの周辺機能。ユーザー モジュールは周辺機能に高レベルの ***API (アプリケーション プログラミング インターフェース)*** も提供
ユーザー空間	レジスタ マップのバンク 0 空間。このバンクのレジスタは、初期化中にだけではなく、通常のプログラム実行中にも変更される可能性が高い。バンク 1 のレジスタはプログラムの初期化フェーズでのみ変更される可能性が最も高い
V_{DD}	「電圧ドレイン」を意味するパワーネットの名前。最も正の電源供給信号。通常 5V または 3.3V
V_{SS}	「電圧ソース」を意味するパワーネットの名前。最も負の電源供給信号
ウォッチドッグ タイマー	定期的にサービスしなくてはならないタイマー。サービスされない場合、CPU は一定時間経過後にリセット

エラッタ

このセクションでは、PSoC プログラマブル システムオンチップと CY8C29xxx ファミリのデバイスのエラッタについて説明します。詳細は、エラッタのトリガ状況、影響の範囲、可能な回避手段、シリコン リビジョンの適用可能性を含みます。何かご質問がございましたら、最寄りのサイプレスの販売代理店にお問い合わせください。

影響を受ける部品番号

型番	注文情報
CY8C29xxx	CY8C29466-24PVXI
	CY8C29466-24PVXIT
	CY8C29466-24SXI
	CY8C29466-24SXIT
	CY8C29566-24AXI
	CY8C29566-24AXIT
	CY8C29666-24PVXI
	CY8C29666-24PVXIT
	CY8C29666-24LFXI
	CY8C29866-24AXI
	CY8C29000-24AXI

認定状態

製品の状態 : 量産中

エラッタのまとめ

下表では、CY8C29xxx ファミリ デバイスへのエラッタ適用性を定義します。

項目	型番	シリコン バージョン	問題の修正状況
[1]. 電源投入の直前に VDD が –0.5V まで引き下げられると、フラッシュ読み出しデータが破損する場合がある	CY8C29xxx	A	シリコン修正は計画されていない。回避方法が必要
[2]. 極度の温度での内蔵主発振子 (IMO) の許容誤差	CY8C29xxx	A	シリコン修正は計画されていない。回避方法が必要

1. 電源投入の直前に VDD が –0.5V まで引き下げられると、フラッシュ読み出しデータが破損する場合があります

■ **問題の定義**

デバイスの V_{DD} が電源投入の直前にグランド電圧を下回った時、それぞれ 8K フラッシュ バンクからの最初の読み出しは破損される場合があります。フラッシュのバンク 0 はリセット時に選択されるため、この問題に影響を受けません。

■ **影響を受けるパラメーター**

VDD が電源投入の前にグランド電圧を下回って引き下げられる場合、内部フラッシュのリファレンス電圧は、その定格電圧からずれる場合があります。リファレンス電圧の偏差に起因してそのバンクからの最初のフラッシュ読み出しは 0xFF の値を返します。各バンクからの最初の読み出しの間、リファレンス電圧がリセットされるため、それ以降のすべての読み出しは正しい値を返します。最初の実際の読み出しの前の 5µs の短期間遅延により、リファレンス電圧が安定になります。電源投入の前にデバイスの V_{DD} がグランド電圧を下回った時、フラッシュ バンク 0 を除いて各 8K フラッシュ バンクからの最初の読み出しは、故障が発生する場合があります。これは、バンクを使用する前に各フラッシュ バンクからダミーの読み出しを実行して解決できます。

■ **回避方法**

無効のフラッシュ読み出しを防止するには、バンクを使用する前に各フラッシュ バンクからダミーの読み出しを実行する必要があります。ダミー読み出しの後、実際の読み出しが行われる前に 5µs の遅延を入れる必要があります。ダミー読み出しは、可能な限り早く行われ、他のフラッシュ バンクの読み出しが発生する前にフラッシュ バンク 0 で実行される必要があります。各

フラッシュ バンクからのメモリ バイトの読み出し例は、以下に示し、「start:」ラベルの直後に boot.tpl および boot.asm の両方に挿入する必要があります。

```
// dummy read from each 8 K Flash bank
// bank 1
mov A, 0x20     // MSB
mov X, 0x00     // LSB
romx
// bank 2
mov A, 0x40     // MSB
mov X, 0x00     // LSB
romx
// bank 3
mov A, 0x60     // MSB
mov X, 0x00     // LSB
romx
// wait at least 5 µs
mov X, 14
loop1:
dec X
jnz loop1
```

2. 極度の温度での内蔵主振動子 (IMO) の許容誤差

■ 問題の定義

非同期デジタル通信インターフェースは 0°C ～ 70°C の温度範囲外で動作する時、エラーとなる可能性があります。この問題は 0°C ～ 70°C の温度範囲内での最終製品の使用に影響しません。

■ 影響を受けるパラメーター

IMO 周波数の許容誤差です。0°C ～ +70°C の範囲外、またはデータシートで規定された温度の最大値と最小値の範囲内で動作する時に、最大の偏差は ±5% です。

■ トリガー条件 (S)

0°C ～ +70°C の温度範囲外で動作する時、非同期 Rx/Tx クロック ソース IMO 周波数の誤差はデータシートで規定された ±2.5% の制限を超える可能性があります。

■ 影響の範囲

この問題は UART、IrDA および FSK の実装に影響を与える可能性があります。

■ 回避方法

非同期デジタル通信インターフェースの少なくとも一端で水晶安定化クロック ソースを実装します。

■ 問題の修正状況

シリコンの修正は計画されていません。上記に説明した回避方法を使用すべきです。

改訂履歴

文章名 : CY8C29466/CY8C29566/CY8C29666/CY8C29866、PSoC® Programmable System-on-Chip™ 文書番号 : 001-95893			
版	ECN 番号	発行日	変更内容
**	4627167	01/19/2015	これは英語版 38-12013 Rev. *Z を翻訳した日本語版 001-95893 Rev. ** です。
*A	4669787	04/13/2015	これは英語版 38-12013 Rev. AA を翻訳した日本語版 001-95893 Rev. *A です。
*B	6918238	07/21/2020	これは英語版 38-12013 Rev. AD を翻訳した日本語版 001-95893 Rev. *B です。

セールス、ソリューション、および法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、サイプレスのロケーション ページをご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック & バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC® ソリューション

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP | PSoC 6 MCU

サイプレス開発者コミュニティ

コミュニティ | サンプルコード | Projects | ビデオ | ブログ | トレーニング | Components

テクニカル サポート

cypress.com/support

© Cypress Semiconductor Corporation, 2003-2020. 本書面は , Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。) を含む) は , アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し , 本段落で特に記載されているものを除き , その特許権 , 著作権 , 商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず , かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合 , Cypress は , (1) 本ソフトウェアの著作権に基づき , (a) ソースコード形式で提供されている本ソフトウェアについて , Cypress ハードウェア製品と共に用いるためにのみ , かつ組織内部でのみ , 本ソフトウェアの修正及び複製を行うこと , 並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ , (直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること, 並びに (2) 本ソフトウェア (Cypressにより提供され, 修正がなされていないもの) が抵触するCypressの特許権のクレームに基づき, Cypress ハードウェア製品と共に用いるためにのみ , 本ソフトウェアの作成 , 利用 , 配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用 , 複製 , 修正 , 変換又はコンパイルを禁止する。

適用される法律により許される範囲内で , Cypress は , 本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても , 明示又は黙示をとわず , いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って , Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず , Cypress は , Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて , 本書面に記載された製品には , エラッタと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり , 公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で , Cypress は , 別途通知することなく , 本書面を変更する権利を留保する。Cypress は , 本書面に記載のある , いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は , 参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計 , プログラム , かつテストすることは , 本書面のユーザーの責任において行われるものとする。Cypress 製品は , 兵器 , 兵器システム , 原子力施設 , 生命維持装置若しくは生命維持システム , 蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム , 汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用 , 又は装置若しくはシステムの不具合が人身傷害 , 死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計 , 意図又は承認されていない。重要な構成部分とは , それの不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ , 若しくは本目的外使用に関連するいかなる請求 , 損害又はその他の責任についても , Cypress はその全部又は一部をとわず一切の責任を負わず , かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求 , 費用 , 損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypress のロゴ , Spansion, Spansion のロゴ及びこれらの組み合わせ , WICED, PSoC, CapSense, EZ-USB, F-RAM, 及び Traveo は , 米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは , cypress.com を参照すること。その他の名称及びブランドは , それぞれの権利者の財産として権利主張がなされている可能性がある。

PSoC Designer™ および Programmable System-on-Chip™ はサイプレス セミコンダクタ社の商標であり、PSoC® と CapSense® は同社の登録商標です。

I^2C コンポーネントをサイプレスまたはサブライセンスを持つ関連業者から購入すると、Philips I^2C の特許権の下でライセンスが付与されます。このライセンスにより、システムが Philips が定義する I^2C の標準仕様を満たす限り、I^2C システムでこれらのコンポーネントを使用できます。2006 年 10 月 1 日以降、Philips Semiconductors 社は新社名 NXP Semiconductors を使用しています。

本書で言及するすべての製品名および会社名は、それぞれの所有者の商標である場合があります。