

サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

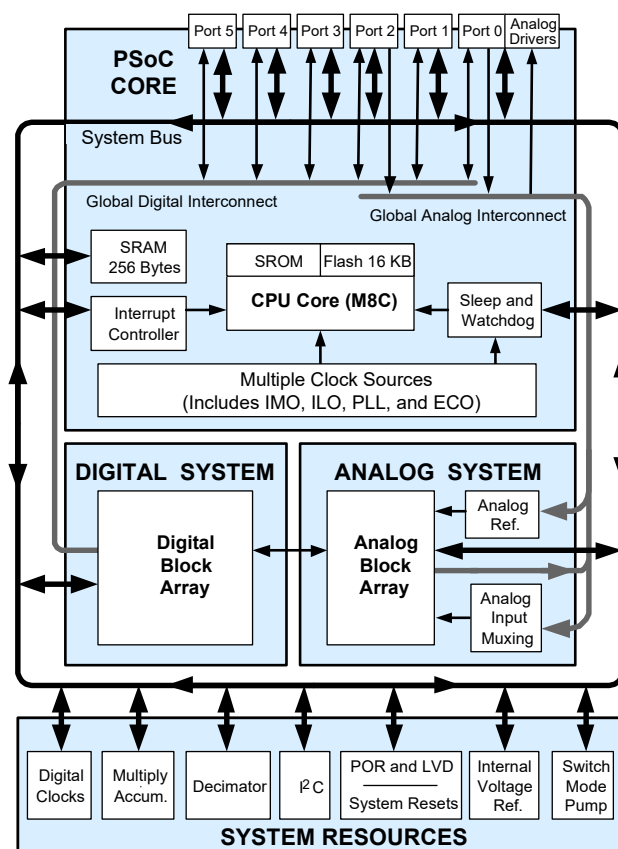
インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

特長

- 処理能力の高いハード アーキテクチャ プロセッサ
 - 最大 24MHz まで動作できる M8C プロセッサ
 - 8 x 8 の 32 ビット 積和演算器
 - 高速で低消費電力
 - 動作電圧 : 3.0V ~ 5.25V
 - 内蔵スイッチ モード ポンプ (SMP) を使用して動作電圧を 1.0V まで低減可能
 - 産業用温度範囲 : -40 °C ~ +85 °C
- 高度なペリフェラル (PSoC® ブロック)
 - 12 個のレール ツーレール アナログ PSoC ブロック
 - 最大 14 ビットの アナログ - デジタル変換器 (ADC)
 - 最大 9 ビットの デジタル - アナログ変換器 (DAC)
 - プログラマブル ゲイン アンプ (PGA)
 - プログラム可能なフィルタとコンパレータ
 - 8 個のデジタル PSoC ブロック
 - 8 ~ 32 ビット タイマーおよびカウンタ、8 ビットと 16 ビットのパルス幅変調器 (PWM)
 - 巡回冗長検査 (CRC) および疑似乱数シーケンス (PRS) モジュール
 - 最大 2 個の全二重ユニバーサル非同期レシーバ/トランスミッタ (UART)
 - 複数のシリアル ペリフェラル インターフェース (SPI) マスターまたはスレーブ
 - すべての汎用 I/O (GPIO) ピンに接続可能
 - ブロックの組み合わせで構成する複雑なペリフェラル
- プログラム可能な高精度クロック
 - ±2.5% の精度を持つ 24MHz / 48MHz の内部主発振器
 - オプションの 32kHz 水晶振動子により 24MHz / 48MHz のクロックを生成可能
 - オプションの最大 24MHz の外部発振器に対応
 - ウォッチドッグとスリープ用の内部発振器
- 柔軟性のある内蔵メモリ
 - 50,000 回の消去/書き込みが可能な 16KB のフラッシュ プログラム領域
 - 256 バイトの SRAM データ領域
 - インシステム シリアル プログラミング (ISSP) に対応
 - フラッシュ メモリの部分的な書き換えに対応
 - 柔軟性のある保護モード
 - 電氣的消去可能 プログラマブル読み出し専用メモリ (EEPROM) のフラッシュによるエミュレーション
- プログラム可能なピン配置
 - すべての GPIO で 25mA のシンク電流と 10mA のソース電流に対応
 - すべての GPIO でプルアップ、プルダウン、High-Z、ストロング、およびオープン ドレインの各駆動モードに対応
 - GPIO 上の 8 個のアナログ入力、配線が制限された 4 個の追加のアナログ入力

- GPIO 上の 4 個の 30mA アナログ出力
- すべての GPIO 上の設定可能な割り込み
- 追加システム リソース
 - 最大 400kHz の I²C スレーブ、マスター、およびマルチマスター
 - ウォッチドッグ タイマーとスリープ タイマー
 - ユーザー設定可能な低電圧検出 (LVD)
 - 内蔵の監視回路
 - 内蔵高精度電圧リファレンス
- 完全な開発ツール
 - 無償の開発ソフトウェア (PSoC Designer™)
 - フル機能のインサーキット エミュレータ (ICE) とプログラマ
 - フルスピードのエミュレーション
 - 複雑なブレイクポイント構造に対応
 - 128KB のトレース メモリ

論理ブロック図



エラッタ: シリコン チップ エラッタの詳細は、63 ページの「エラッタ」を参照してください。詳細には、トリガー条件、影響されるデバイス、および提案する回避策が含まれています。

詳細情報

サイプレスは、www.cypress.com に大量のデータを掲載しており、ユーザーがデザインに適切な PSoC デバイスを選択し、デバイスをデザインに迅速で効果的に統合する手助けをします。リソースの総合リストについては、知識ベース記事「[How to Design with PSoC® 1, PowerPSoC®, and PLC – KBA88292](#)」を参照してください。以下は PSoC 1 のリソースの要約です。

- 概要: PSoC ポートフォリオ、PSoC ロードマップ
- 製品セレクト: **PSoC 1**、**PSoC 3**、**PSoC 4**、**PSoC 5LP**
- さらに、PSoC Designer にはデバイス選択ツールが含まれています。
- アプリケーション ノート: サイプレスは、基本レベルから上級レベルまでの様々なトピックに触れる大量の PSoC アプリケーション ノートを提供しています。以下は PSoC 1 入門用の推奨アプリケーション ノートです。
 - [Getting Started with PSoC® 1 – AN75320](#)
 - [PSoC® 1 - Getting Started with GPIO – AN2094](#)
 - [PSoC® 1 Analog Structure and Configuration – AN74170](#)
 - [PSoC® 1 Switched Capacitor Analog Blocks – AN2041](#)
 - [Selecting Analog Ground and Reference – AN2219](#)

注: CY8C27X43 デバイスに関するアプリケーション ノートについては、[ここをクリックしてください](#)。

開発キット

- **CY3210-PSoCEval1** は、CY8C25/26xxx デバイスを除いて、車載用デバイスを含むすべての PSoC 1 混在信号アレイファミリに対応します。このキットには、LCD モジュールやポテンシオメーター、LED、ブレッドボードが含まれています。
- **CY3214-PSoCEvalUSB** は、CY8C24x94 PSoC デバイスの開発用基板を備えています。この基板の特長には、USB および CapSense 開発とデバッグ サポートが含まれています。

注: CY8C27X43 デバイスに関する開発キットについては、[ここをクリックしてください](#)。

MiniProg1 および **MiniProg3** デバイスは、フラッシュ メモリのプログラミングとデバッグ用のインターフェースを提供します。

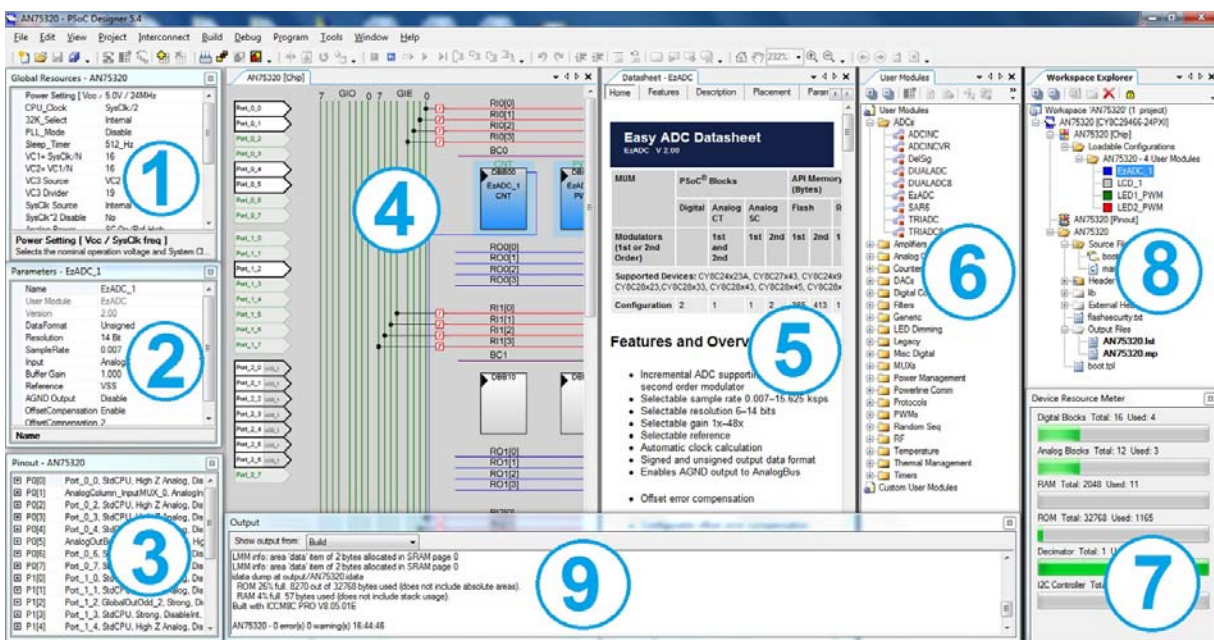
PSoC Designer

PSoC Designer は無償の Windows ベースの統合設計環境 (IDE) です。あらかじめ用意されたアナログ ペリフェラルやデジタル ペリフェラルのライブラリを、ドラッグ&ドロップによる設計環境内で利用して独自のアプリケーションを開発できます。また、API ライブラリ上の動的生成が行えるコードを活用して、設計をカスタマイズすることもできます。[図 1](#) に PSoC Designer ウィンドウを示します。注: これはデフォルト画面ではありません。

1. **Global Resources** (グローバル リソース): すべてのデバイス ハードウェアの設定
2. **Parameters** (パラメーター): 選択したユーザー モジュールのパラメーター
3. **Pinout** (ピン配置): デバイスのピンに関する情報
4. **Chip-Level Editor** (チップ レベル エディター): 選択したチップで使用可能なリソースの図
5. **Datasheet** (データシート): 選択したユーザー モジュールのデータシート
6. **User Modules** (ユーザー モジュール): 選択したデバイスのすべての使用可能なユーザー モジュール
7. **Device Resource Meter** (デバイス リソース メーター): 現行のプロジェクト コンフィギュレーションのデバイス リソース使用率
8. **Workspace** (ワークスペース): プロジェクトに関するファイルを表示するツリー レベル図
9. **Output** (出力): プロジェクト ビルドおよびデバッグ処理からの出力

注: PSoC Designer の詳細情報については、**PSoC® Designer > Help > Documentation > Designer Specific Documents > IDE User Guide** を選択してください。

図 1. PSoC Designer のレイアウト



目次

PSoC の機能概要	4	パッケージ情報	45
PSoC コア.....	4	パッケージの寸法.....	45
デジタル システム.....	4	熱インピーダンス.....	51
アナログ システム.....	5	水晶振動子ピンの静電容量.....	51
追加システム リソース.....	6	はんだリフローの仕様.....	51
PSoC デバイスの特性.....	6	開発ツールの選択	52
開発ツール	7	ソフトウェア.....	52
PSoC Designer ソフトウェア サブシステム.....	7	開発キット.....	52
PSoC Designer による設計	8	評価ツール.....	52
ユーザー モジュールの選択.....	8	デバイス プログラマ.....	53
ユーザー モジュールの設定.....	8	アクセサリ (エミュレーションおよびプログラミング) ..	53
構成および接続.....	8	注文情報	54
生成、検証、およびデバッグ.....	8	注文コードの定義.....	55
ピン配置	9	略語	56
8 ピン製品のピン配置.....	9	参考資料	57
20 ピン製品のピン配置.....	9	本書の表記法	58
28 ピン製品のピン配置.....	10	測定単位.....	58
44 ピン製品のピン配置.....	11	数値の表記.....	58
48 ピン製品のピン配置.....	12	用語集	58
56 ピン製品のピン配置.....	14	エラッタ	63
レジスタ リファレンス	16	量産中.....	63
レジスタの表記法.....	16	量産中ではない.....	65
レジスタ マッピング表.....	16	改訂履歴	68
電氣的仕様	19	セールス、ソリューションおよび法律情報	69
絶対最大定格.....	19	ワールドワイドな販売と設計サポート.....	69
動作温度.....	20	製品.....	69
DC 電氣的特性.....	20	PSoC [®] ソリューション.....	69
AC 電氣的特性.....	36	サイプレス開発者コミュニティ.....	69
		テクニカル サポート.....	69

PSoC の機能概要

PSoC ファミリーは、数多くのプログラマブル システムオンチップ コントローラー デバイスで構成されています。これらのデバイスは、従来のマイクロコントローラー ユニット (MCU) ベースのシステム部品を複数使用した構成を、低コストでプログラマブルなシングル チップ デバイスで置き換えることを目的としています。PSoC デバイスは、設定可能なアナログとデジタル ロジックのブロックとともに、プログラム可能な相互接続を備えています。このアーキテクチャにより、個々の用途の要件に合わせたペリフェラル コンフィギュレーションのカスタマイズが可能となります。さらに、高速の中央処理装置 (CPU)、フラッシュ プログラム メモリ、SRAM データ メモリ、設定可能な I/O が、幅広い便利なピン配置およびパッケージで提供されています。

PSoC アーキテクチャは、1 ページの論理ブロック図に示すように、PSoC コア、デジタル システム、アナログ システム、およびシステム リソースの 4 つの主な領域から成ります。設定可能なグローバル バスにより、すべてのデバイス リソースを組み合わせて完全なカスタム システムを構築できます。PSoC CY8C27x43 ファミリーは、グローバル デジタルとアナログに相互接続可能な最大 5 個の I/O ポートを備えています。これらのポートから、8 個のデジタル ブロックおよび 12 個のアナログ ブロックにアクセスできます。

PSoC コア

PSoC コアは、充実した機能セットを持つ高性能なエンジンです。このコアは、CPU、メモリ、クロック、および設定可能な GPIO を備えています。

M8C CPU コアは最大 24MHz で動作できる高性能プロセッサであり、4MIPS の性能を持つ 8 ビット ハードウェア アーキテクチャ マイクロプロセッサを提供します。この CPU は、17 のベクタを持つ割り込みコントローラーを使用して、リアルタイム組み込みイベントのプログラミングを簡素化します。プログラムの実行は、含まれたスリープ タイマーとウォッチドッグ タイマー (WDT) を使用してタイミングが管理され、保護されます。

メモリは、プログラム格納用の 16KB フラッシュ、データ格納用の 256 バイト SRAM、およびフラッシュによりエミュレートする最大 2KB の EEPROM で構成されています。プログラム フラッシュ メモリは 64 バイト ブロックに対して 4 つの保護レベルを使用して、ソフトウェアの IP 保護をカスタマイズできます。

PSoC デバイスは、柔軟性のある各種内部クロック ジェネレータを備えています。ジェネレータの 1 つは、広い範囲の温度と電圧にわたって $\pm 2.5\%$ の精度を持つ 24MHz 内部主発振器 (IMO) です。この 24MHz の IMO は、周波数を 48MHz に倍増して、デジタル システムで使用することもできます。スリープ タイマーと WDT のために低消費電力の 32kHz 内部低速発振器 (ILO) が用意されています。水晶振動子の精度が必要な場合は、32.768kHz の外部水晶振動子 (ECO) をリアルタイム クロック (RTC) として使用できるほか、必要に応じ、PLL を使用して水晶精度の 24MHz システム クロックを生成できます。これらのクロックを、プログラマブルなクロック分周器 (システム リソースの一部) と組み合わせて使用すれば、ほぼあらゆるタイミング要件を PSoC デバイスに組み込める柔軟性が得られます。

PSoC の GPIO は、デバイスの CPU、デジタル リソース、およびアナログ リソースに接続しています。各ピンの駆動モードは 8 つのオプションから選択できるため、外部とのインターフェースに高い柔軟性があります。また各ピンは、HIGH レベル、LOW レベル、および前回読み出し時からの変化に基づいてシステム割り込みを発生させる機能もあります。

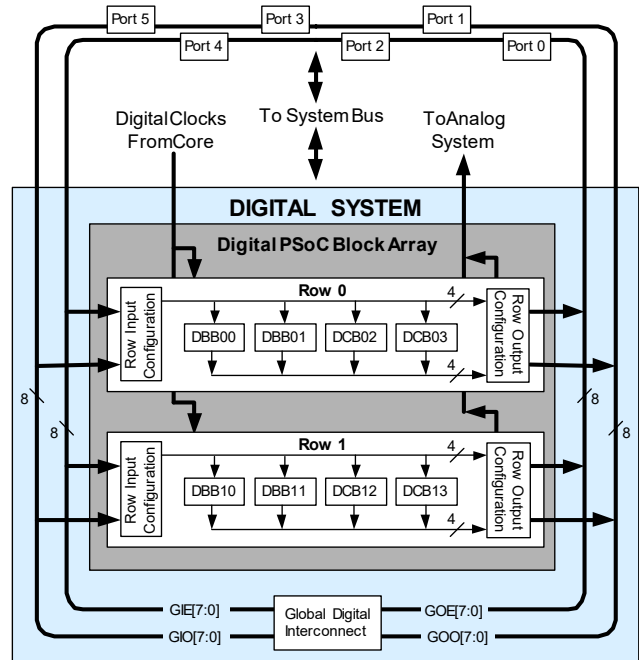
注:

- エラッタ:** 4.75V ~ 5.25V 範囲内で動作するとき、入力キャプチャ信号は行出力信号またはブロードキャスト クロック信号から生成できません。この問題はシリコン チップ Rev. B で解決されました。詳細は、63 ページの「エラッタ」を参照してください。
- エラッタ:** 3.0V ~ 4.75V 範囲内で動作するとき、入力キャプチャ信号は再同期化された行入力信号からのみ生成できます。この問題はシリコン チップ Rev. B で解決されました。詳細は、63 ページの「エラッタ」を参照してください。
- エラッタ:** PSoC では、1 つの SPI スレーブ ブロックの 1 つの出力が他の SPI スレーブ ブロックの入力に接続されたとき、データが正常にシフトされますが、最終ビットが間違って読み出されます。この問題の回避方法および詳細情報は、63 ページの「エラッタ」を参照してください。

デジタル システム

デジタル システムは 8 個のデジタル PSoC ブロックで構成されます。各ブロックは 8 ビットのリソースであり、単独で使用できるほか、他のブロックと組み合わせ、ユーザー モジュールと呼ばれる 8 ビット、16 ビット、24 ビット、32 ビットのペリフェラルも構成できます。

図 2. デジタル システムのブロック図



デジタル ペリフェラルを使用したコンフィギュレーションには次のものがあります。

- PWM (8 ビット、16 ビット)
- デッドバンド PWM (8 ビット、16 ビット)
- カウンター (8 ~ 32 ビット)
- タイマー (8 ~ 32 ビット) [1, 2]
- パリティの選択が可能な 8 ビット UART (最大 2 個)
- SPI スレーブおよびマスター (最大 2 個) [3]
- I²C スレーブおよびマルチマスター (そのうち 1 個がシステム リソースとして使用可能)
- CRC / ジェネレータ (8 ~ 32 ビット)
- IrDA (最大 2 個)
- 疑似乱数シーケンス (PRS) 発生器 (8 ~ 32 ビット)

任意のピンに任意の信号を送れるグローバルバスを介して、どのGPIOにもデジタルブロックを接続できます。また、バスによる信号の多重化や論理演算も可能です。このような柔軟なコンフィギュラビリティにより、固定されたペリフェラルコントローラーに伴う制約を受けずに設計できます。

デジタルブロックは、複数行に配置され、1行につき4個があります。ブロックの数はPSoCデバイスファミリーによって異なります。これにより、用途に応じて最適なシステムリソースを選択できます。[6 ページの PSoC デバイスの特性](#)にファミリーリソースを示します。

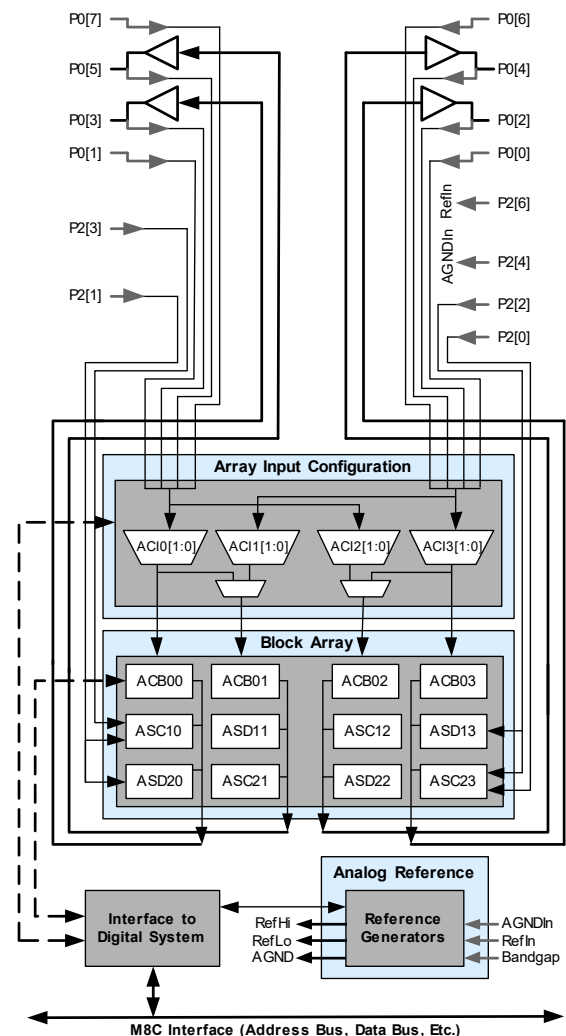
アナログ システム

アナログシステムは12個の設定可能なブロックから成ります。各ブロックにはオペアンプ回路が含まれ、複雑なアナログ信号フローを構築できます。アナログペリフェラルは柔軟性が高く、用途の具体的な要件に合わせてカスタマイズできます。一般的なPSoCアナログ機能として、以下のものがあります(ほとんどはユーザーモジュールとして提供されています)。

- ADC (最大4個、6～12ビットの分解能、インクリメンタル、デルタシグマ、SARとして選択可能)
- フィルター (2、4、6、および8ポールバンドパス、ローパス、ノッチ)
- アンプ (最大4個、48xまでのゲインを選択可能)
- 計装用アンプ (最大2個、93xまでのゲインを選択可能)
- コンパレータ (最大4個、16の閾値を選択可能)
- DAC (最大4個、6～9ビットの分解能)
- 乗算型DAC (最大4個、6～9ビットの分解能)
- 高電流の出力ドライバ (4個、30mAをコアリソースとして駆動)
- 1.3Vリファレンス (システムリソースとして)
- DTMFダイアラー
- 変調器
- 相関器
- ピーク検出器
- 他に多数のトポロジが可能

アナログブロックは下図に示すように、複数列に配置され、1列につき3個のブロック(連続時間(CT)ブロック1個とスイッチトキャパシタ(SC)ブロック2個)があります。

図 3. アナログ システムのブロック図



追加システム リソース

システム リソースは、完全なシステムに役立つ追加機能を提供します。一部のシステム リソースについてはすでに説明しました。その他の追加リソースとして、乗算器、デシメータ、スイッチ モード ポンプ、低電圧検出、パワーオン リセットなどがあります。

- デジタル クロック分周器は、各種用途向けにカスタマイズ可能な 3 種類のクロック周波数を提供します。このクロックは、デジタルとアナログの両方のシステムで使用できます。デジタル PSoC ブロックをクロック分周器として使用することで、さらに別のクロックを生成できます。
- 積和演算器 (MAC) は、高速 8 ビット乗算器および 32 ビット加算器から成り、一般的な数学演算とデジタル フィルターの実行に使用すると効果的です。

- デシメータは、デルタシグマ ADC の作成などのデジタル信号処理用途向けにカスタム ハードウェア フィルターを提供します。
- I²C モジュールは 100kHz と 400kHz での 2 線式の通信をサポートします。スレーブ、マスター、マルチマスターのモードすべてに対応できます。
- LVD 割り込みは、電圧レベルの低下を通知する信号をアプリケーションに送信します。また、高度なパワーオン リセット (POR) 回路を使用することでシステム監視が不要になります。
- 1.3V の内部電圧リファレンスは、ADC や DAC などを含むアナログ システムに絶対リファレンス電圧を提供します。
- 内蔵スイッチモード ポンプ (SMP) は、1 個の 1.2V 電池から通常の動作電圧を生成し、低コストの昇圧変換器を実現します。

PSoC デバイスの特性

PSoC デバイスの特性に応じて、デジタル システムとアナログ システムは 16 個、8 個、または 4 個のデジタル ブロックと 12 個、6 個、または 4 個のアナログ ブロックを持てます。次の表に、特定の PSoC デバイス グループで使用可能なリソースを一覧表示します。本データシートの対象となっている PSoC デバイスは表 1 でハイライトされます。

表 1. PSoC デバイスの特性

PSoC 製品 番号	デジタル I/O 数	デジタル 行数	デジタル ブロック数	アナログ 入力数	アナログ 出力数	アナログ 列数	アナログ ブロック数	SRAM サイズ	フラッシュ サイズ
CY8C29x66	最大 64	4	16	最大 12	4	4	12	2K	32K
CY8C28xxx	最大 44	最大 3	最大 12	最大 44	最大 4	最大 6	最大 12 + 4 ^[4]	1K	16K
CY8C27x43	最大 44	2	8	最大 12	4	4	12	256	16K
CY8C24x94	最大 56	1	4	最大 48	2	2	6	1K	16K
CY8C24x23A	最大 24	1	4	最大 12	2	2	6	256	4K
CY8C23x33	最大 26	1	4	最大 12	2	2	4	256	8K
CY8C22x45	最大 38	2	8	最大 38	0	4	6 ^[4]	1K	16K
CY8C21x45	最大 24	1	4	最大 24	0	4	6 ^[4]	512	8K
CY8C21x34	最大 28	1	4	最大 28	0	2	4 ^[4]	512	8K
CY8C21x23	最大 16	1	4	最大 8	0	2	4 ^[4]	256	4K
CY8C20x34	最大 28	0	0	最大 28	0	0	3 ^[4, 5]	512	8K
CY8C20xx6	最大 36	0	0	最大 36	0	0	3 ^[4, 5]	最大 2K	最大 32K

注：

- 制限されたアナログ機能です。
- 2 個のアナログ ブロックと 1 個の CapSense®。

開発ツール

画期的な統合設計環境 (IDE) である PSoC Designer™ を使うと、ユーザーが必要とする用途の要件を満たすよう PSoC をカスタマイズできます。PSoC Designer ソフトウェアは、システム設計や市場投入までの時間を早めるお手伝いをいたします。ユーザー モジュールと呼ばれるあらかじめ用意されたアナログ ペリフェラルやデジタル ペリフェラルのライブラリを、ドラッグ & ドロップで設計環境内で利用して独自のアプリケーションを開発できます。そして、動的に生成されるアプリケーション プログラミング インターフェース (API) のコード ライブラリを活用しながら、デザインをカスタマイズします。最後に、インサーキット エミュレーションや標準ソフトウェア デバッグ機能などを備えた統合デバッグ環境で、デザインのデバッグおよびテストを行います。PSoC Designer には以下が含まれます。

- デバイス、ユーザー モジュール コンフィギュレーションおよびダイナミック リコンフィギュレーション用のアプリケーション エディター グラフィカル ユーザー インターフェース (GUI)
- 広範なユーザー モジュール カタログ
- 統合ソース コード エディター (C およびアセンブリ言語)
- サイズや使用期限のない無償の C コンパイラ
- 内蔵デバッグ
- インサーキット エミュレータ
- 通信インターフェースの組み込みサポート機能は以下のとおりです。
 - ハードウェアおよびソフトウェア I²C スレーブとマスター
 - フルスピード USB 2.0
 - 最大 4 個の全二重ユニバーサル非同期レシーバ/トランスミッター (UART)、SPI マスターと SPI スレーブ、およびワイヤレス

PSoC Designer は、PSoC 1 デバイスの全ライブラリをサポートしており、Windows XP、Windows Vista、Windows 7 上で動作します。

PSoC Designer ソフトウェア サブシステム

デザイン エントリ

チップレベル ビューでは、まず目的の基本デバイスを選択します。次に、PSoC ブロックを使用する各種オンボードのアナログとデジタル コンポーネント (ユーザー モジュールと呼ばれる) を選択します。ユーザー モジュールの例として、アナログ-デジタル変換器 (ADC)、デジタル-アナログ変換器 (DAC)、アンプ、フィルタなどがあります。選択したアプリケーション向けにユーザー モジュールを設定し、他のユーザー モジュールや適切なピンに接続します。その後、プロジェクトを生成します。これにより、アプリケーションのプログラミングに使用できる API とライブラリがプロジェクトに事前設定されます。

またこのツールを使用すると、マルチ コンフィギュレーションやダイナミック リコンフィギュレーション開発が容易になります。ダイナミック リコンフィギュレーションにより、実行中にコンフィギュレーションを変更できます。基本的に、この機

能によって、1 つのアプリケーションで 100% 以上の PSoC リソースを使用できます。

コード生成ツール

コード生成ツールは、PSoC Designer のインターフェースでシームレスに動作し、さまざまなデバッグ ツールでテスト済みです。C 言語、アセンブリ言語、または両方の組み合わせで設計を開発できます。

アセンブラ: アセンブラでは、アセンブリ コードを C コードとシームレスに組み合わせられます。リンク ライブラリでは、自動的に絶対アドレス指定を使用できるほか、相対モードでコンパイルした上で他のソフトウェア モジュールとリンクし、絶対アドレス指定も取得できます。

C 言語コンパイラ: PSoC デバイス ファミリに対応する C 言語コンパイラを利用できます。これらの製品を使用することで、PSoC ファミリのデバイス向けに完全な C プログラムを作成できます。これらの最適化 C コンパイラは、PSoC のアーキテクチャに合わせて設定した C 言語のすべての機能を提供します。コンパイラには、ポートとバスの動作、標準のキーボードとディスプレイのサポート、および拡張演算機能を提供する組み込みライブラリが付属します。

デバッグ

PSoC Designer はハードウェアによるインサーキット エミュレーション機能を提供するデバッグ環境を備えているため、実システムでプログラムをテストでき、また PSoC デバイスの内部状態を見られます。デバッグ コマンドを使用して、データ メモリの読み出しとプログラム、データ メモリの読み書き、I/O レジスタの読み書きが可能です。また、CPU レジスタの読み書き、ブレークポイントの設定と消去、プログラムの実行、停止、およびステップ制御が可能です。また、調査対象のレジスタとメモリ位置のトレース バッファをデバッグでも作成できます。

オンライン ヘルプ システム

オンライン ヘルプ システムでは、オンラインで状況に応じたヘルプが表示されます。それぞれの機能サブシステムには状況に応じたヘルプがあり、操作手順のヘルプやクイック リファレンスとして使用できます。また、このヘルプ システムは設計者を支援するためのチュートリアル、FAQ とオンライン サポート フォーラムへのリンクを提供します。

インサーキット エミュレータ

低コストと高機能のインサーキット エミュレータ (ICE) が用意されており、開発作業の効率化に効果的です。このハードウェアで単独のデバイスをプログラムできます。

エミュレータは、USB ポートを介して PC に接続する 1 つの基本ユニットで構成されています。この基本ユニットは汎用型で、すべての PSoC デバイスで動作します。各デバイス ファミリのエミュレーション ポッドは、それぞれ別に用意されています。エミュレーション ポッドは、作業対象の基板上の PSoC デバイスと置き換わり、フルスピード (24MHz) で動作します。

PSoC Designer による設計

PSoC デバイスの開発プロセスは、従来の固定機能マイクロプロセッサの開発プロセスとは異なります。設定可能なアナログおよびデジタルハードウェアブロックにより、PSoC アーキテクチャに独自の柔軟性がもたらされ、開発時の仕様変更の管理や在庫費用の低減に役立ちます。これらの、PSoC ブロックと呼ばれる設定可能なリソースはユーザーが選択できるさまざまな機能を実装できます。PSoC 開発プロセスは次の4つのステップにまとめられます。

1. ユーザー モジュールの選択
2. ユーザー モジュールの設定
3. 構成および接続
4. 生成、検証、およびデバッグ

ユーザー モジュールの選択

PSoC Designer は、あらかじめ構築され、テスト済みのハードウェアペリフェラルコンポーネント（ユーザーモジュールと呼ばれる）のライブラリを備えています。これらのユーザーモジュールにより、アナログとデジタル両方のペリフェラルデバイスの選択と実装が簡単になります。

ユーザー モジュールの設定

選択した各ユーザーモジュールにより、選択した機能を実装する基本的なレジスタ設定を確立できます。また、コンポーネントの適格なコンフィギュレーションを特定のアプリケーションに合わせるようにするパラメーターとプロパティも提供されます。例えば、パルス幅変調器 (PWM) のユーザーモジュールは、1つ以上のデジタル PSoC ブロックを設定します。分解能の8ビットごとにデジタル PSoC ブロックを1つ使用します。ユーザーモジュールパラメーターでは、パルス幅とデューティ比を設定できます。選択したアプリケーションに対応するようにパラメーターとプロパティを設定します。値は直接入力またはドロップダウンメニューからの選択で入力してください。すべてのユーザーモジュールはデータシートとして文書化されており、PSoC Designer で直接確認できるほか、サイプレスのウェブサイトからもアクセスできます。これらのユーザーモジュールデータシートには、ユーザーモジュールの内部動作に関する説明と性能仕様が記載されています。また、各データシートにはユーザーモジュールの各パラメーターの使用法や、設計をうまく実装するために必要なその他の情報もまとめられています。

構成および接続

各ユーザーモジュールを他のモジュールおよびI/Oピンに相互接続することによって、チップレベルで信号チェーンを作成できます。すべてのオンチップリソースを完全に制御できるように、選択、コンフィギュレーション、およびルーティングを行います。

生成、検証、およびデバッグ

ハードウェアのコンフィギュレーションのテスト、またはプロジェクトのコード開発への移行の準備ができたなら、「コンフィギュレーションファイルの生成」ステップを行います。このステップで PSoC Designer によって生成されるソースコードは、仕様に合わせてデバイスを自動的に設定し、システム用のソフトウェアを提供します。これらの生成されたコードでは、実行中に発生するハードウェアイベントの制御やそれに対する応答を実現する高レベル関数を伴うアプリケーションプログラミングインターフェース (API)、および必要に応じて適応できる割り込みサービスルーチンが得られます。

高い完成度のコード開発環境により、C、アセンブリ、または両方の言語を使用したアプリケーションの開発とカスタマイズが可能です。

開発プロセスの最後のステップは、PSoC Designer のデバッガ内で進めます（接続のアイコンをクリックしてアクセスします）。PSoC Designer によって HEX イメージが ICE にダウンロードされ、フルスピードで実行されます。PSoC Designer のデバッグ機能は、何倍も高価なデバッグシステムの機能に匹敵します。デバッグインターフェースは、シングルステップ実行、ブレークポイントまでの実行、変数値の追跡などの従来からの機能のほか、大容量のトレースバッファを備えており、アドレスとデータバス値の監視、メモリ位置の監視、外部信号の監視などの複雑なブレークポイントイベントを定義できます。

ピン配置

CY8C27x43 PSoC デバイスはさまざまなパッケージで提供されています。各パッケージについて次の表に示します。すべてのポートピン（「P」ラベルが付けられた）は、デジタル I/O 機能を備えています。しかし、V_{SS}、V_{DD}、SMP および XRES はデジタル I/O 機能を備えていません。

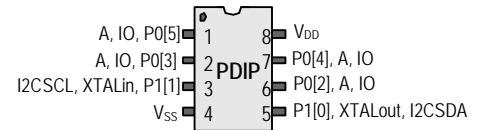
8 ピン製品のピン配置

表 2. ピン定義 – 8 ピン PDIP

ピン番号	タイプ		ピン名	説明
	デジタル	アナログ		
1	I/O	I/O	P0[5]	アナログ列マルチプレクサ入力および列出力
2	I/O	I/O	P0[3]	アナログ列マルチプレクサ入力および列出力
3	I/O		P1[1]	水晶振動子入力 (XTALin)、I ² C シリアル クロック (SCL)、ISSP-SCLK ^[6]
4	電源		V _{SS}	グランド接続
5	I/O		P1[0]	水晶振動子出力 (XTALout)、I ² C シリアル データ (SDA)、ISSP-SDATA ^[6]
6	I/O	I/O	P0[2]	アナログ列マルチプレクサ入力および列出力
7	I/O	I/O	P0[4]	アナログ列マルチプレクサ入力および列出力
8	電源		V _{DD}	電源電圧

凡例: A = アナログ、I = 入力、O = 出力。

図 4. CY8C27143 8 ピン PSoC デバイス



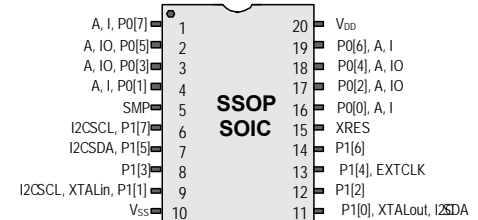
20 ピン製品のピン配置

表 3. ピン定義 – 20 ピン SSOP、SOIC

ピン番号	タイプ		ピン名	説明
	デジタル	アナログ		
1	I/O	I	P0[7]	アナログ列マルチプレクサ入力
2	I/O	I/O	P0[5]	アナログ列マルチプレクサ入力および列出力
3	I/O	I/O	P0[3]	アナログ列マルチプレクサ入力および列出力
4	I/O	I	P0[1]	アナログ列マルチプレクサ入力
5	電源		SMP	対象の外部部品へのスイッチ モード ポンプ (SMP) 接続
6	I/O		P1[7]	I ² C シリアル クロック (SCL)
7	I/O		P1[5]	I ² C シリアル データ (SDA)
8	I/O		P1[3]	
9	I/O		P1[1]	水晶振動子入力 (XTALin)、I ² C SCL、ISSP-SCLK ^[6]
10	電源		V _{SS}	グランド接続
11	I/O		P1[0]	水晶振動子出力 (XTALout)、I ² C SDA、ISSP-SDATA ^[6]
12	I/O		P1[2]	
13	I/O		P1[4]	オプションの外部クロック入力 (EXTCLK)
14	I/O		P1[6]	
15	入力		XRES	内部プルダウン抵抗付きのアクティブHIGHの外部リセットピン
16	I/O	I	P0[0]	アナログ列マルチプレクサ入力
17	I/O	I/O	P0[2]	アナログ列マルチプレクサ入力および列出力
18	I/O	I/O	P0[4]	アナログ列マルチプレクサ入力および列出力
19	I/O	I	P0[6]	アナログ列マルチプレクサ入力
20	電源		V _{DD}	電源電圧

凡例: A = アナログ、I = 入力、O = 出力。

図 5. CY8C27243 20 ピン PSoC デバイス



注:

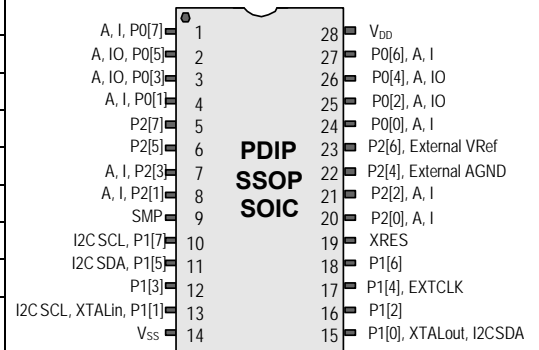
6. これらは ISSP ピンであり、POR（パワーオン リセット）のときに High-Z となりません。詳細は、PSoC プログラマブル システムオンチップの [テクニカル リファレンス マニュアル](#) を参照してください。

28 ピン製品のピン配置

表 4. ピン定義 – 28 ピン PDIP、SSOP、SOIC

ピン 番号	タイプ		ピン名	説明
	デジタル	アナログ		
1	I/O	I	P0[7]	アナログ列マルチプレクサ入力
2	I/O	I/O	P0[5]	アナログ列マルチプレクサ入力および列出力
3	I/O	I/O	P0[3]	アナログ列マルチプレクサ入力および列出力
4	I/O	I	P0[1]	アナログ列マルチプレクサ入力
5	I/O		P2[7]	
6	I/O		P2[5]	
7	I/O	I	P2[3]	直接スイッチト キャパシタ ブロック入力
8	I/O	I	P2[1]	直接スイッチト キャパシタ ブロック入力
9	電源		SMP	対象の外部部品へのスイッチ モード ポンプ (SMP) 接続
10	I/O		P1[7]	I ² C SCL
11	I/O		P1[5]	I ² C SDA
12	I/O		P1[3]	
13	I/O		P1[1]	水晶振動子入力 (XTALin)、I ² C SCL、ISSP-SCLK ^[7]
14	電源		Vss	グラウンド接続
15	I/O		P1[0]	水晶振動子出力 (XTALout)、I ² C SDA、ISSP-SDATA ^[7]
16	I/O		P1[2]	
17	I/O		P1[4]	オプションの外部クロック入力 (EXTCLK)
18	I/O		P1[6]	
19	入力		XRES	内部プルダウン抵抗付きのアクティブHIGHの外部リセット ピン
20	I/O	I	P2[0]	直接スイッチト キャパシタ ブロック入力
21	I/O	I	P2[2]	直接スイッチト キャパシタ ブロック入力
22	I/O		P2[4]	外部アナログ グラウンド (AGND)
23	I/O		P2[6]	外部電圧リファレンス (V _{REF})
24	I/O	I	P0[0]	アナログ列マルチプレクサ入力
25	I/O	I/O	P0[2]	アナログ列マルチプレクサ入力および列出力
26	I/O	I/O	P0[4]	アナログ列マルチプレクサ入力および列出力
27	I/O	I	P0[6]	アナログ列マルチプレクサ入力
28	電源		V _{DD}	電源電圧

図 6. CY8C27443 28 ピン PSoC デバイス



凡例: A = アナログ、I = 入力、O = 出力。

注:
 7. これらは ISSP ピンであり、POR (パワーオン リセット) のときに High-Z となりません。詳細は、PSoC プログラマブル システムオンチップのテクニカル リファレンス マニュアルを参照してください。

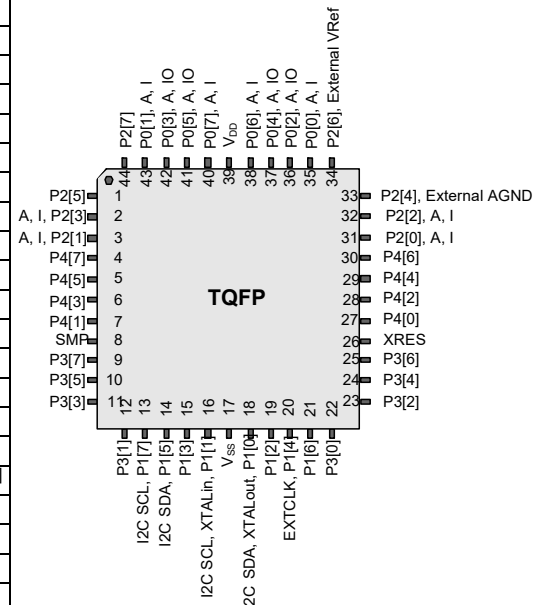
44 ピン製品のピン配置

表 5. ピン定義 – 44 ピン TQFP

ピン 番号	タイプ		ピン名	説明
	デジタル	アナログ		
1	I/O		P2[5]	
2	I/O	I	P2[3]	直接スイッチト キャパシタ ブロック入力
3	I/O	I	P2[1]	直接スイッチト キャパシタ ブロック入力
4	I/O		P4[7]	
5	I/O		P4[5]	
6	I/O		P4[3]	
7	I/O		P4[1]	
8	電源		SMP	対象の外部部品への SMP 接続
9	I/O		P3[7]	
10	I/O		P3[5]	
11	I/O		P3[3]	
12	I/O		P3[1]	
13	I/O		P1[7]	I ² C SCL
14	I/O		P1[5]	I ² C SDA
15	I/O		P1[3]	
16	I/O		P1[1]	水晶振動子入力 (XTALin)、I ² C SCL、ISSP-SCLK ^[8]
17	電源		Vss	グランド接続
18	I/O		P1[0]	水晶振動子出力 (XTALout)、I ² C SDA、ISSP-SDATA ^[8]
19	I/O		P1[2]	
20	I/O		P1[4]	オプションの外部クロック入力 (EXTCLK)
21	I/O		P1[6]	
22	I/O		P3[0]	
23	I/O		P3[2]	
24	I/O		P3[4]	
25	I/O		P3[6]	
26	入力		XRES	内部プルダウン抵抗付きのアクティブ HIGH の外部リセットピン
27	I/O		P4[0]	
28	I/O		P4[2]	
29	I/O		P4[4]	
30	I/O		P4[6]	
31	I/O	I	P2[0]	直接スイッチト キャパシタ ブロック入力
32	I/O	I	P2[2]	直接スイッチト キャパシタ ブロック入力
33	I/O		P2[4]	外部アナログ グランド (AGND)
34	I/O		P2[6]	外部電圧リファレンス (VRef)
35	I/O	I	P0[0]	アナログ列マルチプレクサ入力
36	I/O	I/O	P0[2]	アナログ列マルチプレクサ入力および列出力
37	I/O	I/O	P0[4]	アナログ列マルチプレクサ入力および列出力
38	I/O	I	P0[6]	アナログ列マルチプレクサ入力
39	電源		V _{DD}	電源電圧
40	I/O	I	P0[7]	アナログ列マルチプレクサ入力
41	I/O	I/O	P0[5]	アナログ列マルチプレクサ入力および列出力
42	I/O	I/O	P0[3]	アナログ列マルチプレクサ入力および列出力
43	I/O	I	P0[1]	アナログ列マルチプレクサ入力
44	I/O		P2[7]	

凡例: A = アナログ、I = 入力、O = 出力。

図 7. CY8C27543 44 ピン PSoC デバイス



注:
 8. これらは ISSP ピンであり、POR (パワーオン リセット) のときに High-Z となりません。詳細は、PSoC プログラマブル システムオンチップの [テクニカル リファレンス マニュアル](#) を参照してください。

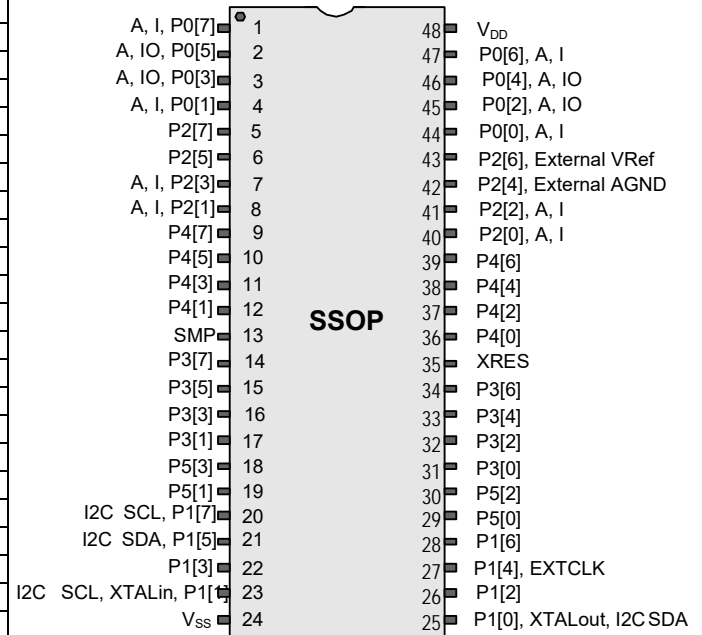
48 ピン製品のピン配置

表 6. ピン定義 – 48 ピン製品のピン配置 (SSOP)

ピン 番号	タイプ		ピン 名	説明
	デジタル	アナログ		
1	I/O	I	P0[7]	アナログ列マルチプレクサ入力
2	I/O	I/O	P0[5]	アナログ列マルチプレクサ入力および列出力
3	I/O	I/O	P0[3]	アナログ列マルチプレクサ入力および列出力
4	I/O	I	P0[1]	アナログ列マルチプレクサ入力
5	I/O		P2[7]	
6	I/O		P2[5]	
7	I/O	I	P2[3]	直接スイッチト キャパシタ ブロック入力
8	I/O	I	P2[1]	直接スイッチト キャパシタ ブロック入力
9	I/O		P4[7]	
10	I/O		P4[5]	
11	I/O		P4[3]	
12	I/O		P4[1]	
13	電源		SMP	対象の外部部品への SMP 接続
14	I/O		P3[7]	
15	I/O		P3[5]	
16	I/O		P3[3]	
17	I/O		P3[1]	
18	I/O		P5[3]	
19	I/O		P5[1]	
20	I/O		P1[7]	I ² C SCL
21	I/O		P1[5]	I ² C SDA
22	I/O		P1[3]	
23	I/O		P1[1]	水晶振動子入力 (XTALin)、I ² C SCL、ISSP-SCLK ^[9]
24	電源		Vss	グランド接続
25	I/O		P1[0]	水晶振動子出力 (XTALout)、I ² C SDA、ISSP-SDATA ^[9]
26	I/O		P1[2]	
27	I/O		P1[4]	オプションの外部クロック入力 (EXTCLK)
28	I/O		P1[6]	
29	I/O		P5[0]	
30	I/O		P5[2]	
31	I/O		P3[0]	
32	I/O		P3[2]	
33	I/O		P3[4]	
34	I/O		P3[6]	
35	入力		XRES	内部プルダウン抵抗付きのアクティブ HIGH の外部リセット ピン
36	I/O		P4[0]	
37	I/O		P4[2]	
38	I/O		P4[4]	
39	I/O		P4[6]	
40	I/O	I	P2[0]	直接スイッチト キャパシタ ブロック入力
41	I/O	I	P2[2]	直接スイッチト キャパシタ ブロック入力
42	I/O		P2[4]	外部アナログ グランド (AGND)
43	I/O		P2[6]	外部電圧リファレンス (VRef)
44	I/O	I	P0[0]	アナログ列マルチプレクサ入力
45	I/O	I/O	P0[2]	アナログ列マルチプレクサ入力および列出力
46	I/O	I/O	P0[4]	アナログ列マルチプレクサ入力および列出力
47	I/O	I	P0[6]	アナログ列マルチプレクサ入力
48	電源		VDD	電源電圧

凡例: A = アナログ、I = 入力、O = 出力。

図 8. CY8C27643 48 ピン PSoc デバイス



注:
 9. これらは ISSP ピンであり、POR (パワーオン リセット) のときに High-Z となりません。詳細は、PSoc プログラマブル システムオンチップの [テクニカル リファレンス マニュアル](#) を参照してください。

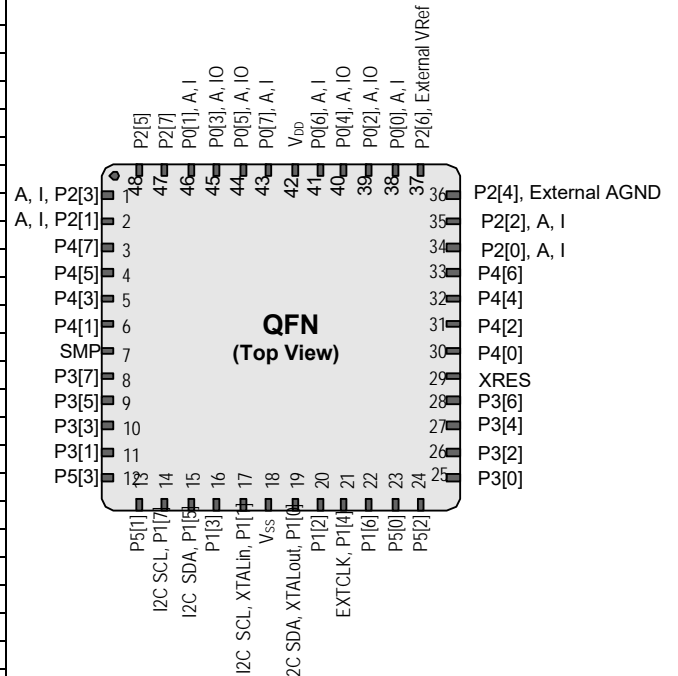
表 7. ピン定義 – 48 ピン製品のピン配置 (QFN)

ピン 番号	タイプ		ピン 名	説明
	デジタル	アナログ		
1	I/O	I	P2[3]	直接スイッチト キャパシタ ブロック入力
2	I/O	I	P2[1]	直接スイッチト キャパシタ ブロック入力
3	I/O		P4[7]	
4	I/O		P4[5]	
5	I/O		P4[3]	
6	I/O		P4[1]	
7	電源		SMP	対象の外部部品への SMP 接続
8	I/O		P3[7]	
9	I/O		P3[5]	
10	I/O		P3[3]	
11	I/O		P3[1]	
12	I/O		P5[3]	
13	I/O		P5[1]	
14	I/O		P1[7]	I ² C SCL
15	I/O		P1[5]	I ² C SDA
16	I/O		P1[3]	
17	I/O		P1[1]	水晶振動子入力 (XTALin)、I ² C SCL、ISSP-SCLK ^[11]
18	電源		Vss	グランド接続
19	I/O		P1[0]	水晶振動子出力 (XTALout)、I ² C SDA、ISSP-SDATA ^[11]
20	I/O		P1[2]	
21	I/O		P1[4]	オプションの外部クロック入力 (EXTCLK)
22	I/O		P1[6]	
23	I/O		P5[0]	
24	I/O		P5[2]	
25	I/O		P3[0]	
26	I/O		P3[2]	
27	I/O		P3[4]	
28	I/O		P3[6]	
29	入力		XRES	内部プルダウン抵抗付きのアクティブHIGHの外部リセットピン
30	I/O		P4[0]	
31	I/O		P4[2]	
32	I/O		P4[4]	
33	I/O		P4[6]	
34	I/O	I	P2[0]	直接スイッチト キャパシタ ブロック入力
35	I/O	I	P2[2]	直接スイッチト キャパシタ ブロック入力
36	I/O		P2[4]	外部アナログ グランド (AGND)
37	I/O		P2[6]	外部電圧リファレンス (V _{REF})
38	I/O	I	P0[0]	アナログ列マルチプレクサ入力
39	I/O	I/O	P0[2]	アナログ列マルチプレクサ入力および列出力
40	I/O	I/O	P0[4]	アナログ列マルチプレクサ入力および列出力
41	I/O	I	P0[6]	アナログ列マルチプレクサ入力
42	電源		V _{DD}	電源電圧
43	I/O	I	P0[7]	アナログ列マルチプレクサ入力
44	I/O	I/O	P0[5]	アナログ列マルチプレクサ入力および列出力
45	I/O	I/O	P0[3]	アナログ列マルチプレクサ入力および列出力
46	I/O	I	P0[1]	アナログ列マルチプレクサ入力
47	I/O		P2[7]	
48	I/O		P2[5]	

凡例: A = アナログ、I = 入力、O = 出力。

注:

- QFN パッケージは、グランド (Vss) に接続する必要があるセンターパッドを持っています (VSS)。
- これらは ISSP ピンであり、POR (パワーオン リセット) のときに High-Z となりません。詳細は、[PSoC テクニカル リファレンス マニュアル](#)を参照してください。

図 9. CY8C27643 48 ピン PSoC デバイス^[10]


56 ピン製品のピン配置

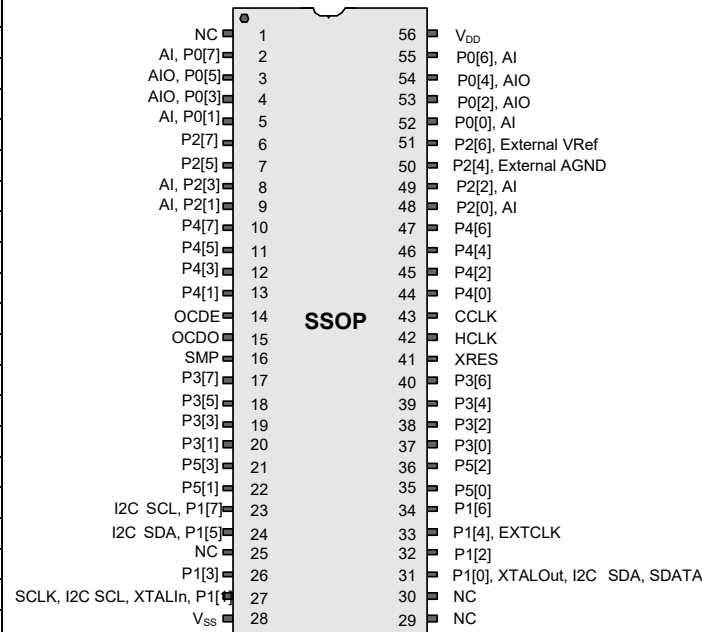
56 ピン SSOP 製品は、CY8C27002 オンチップ デバッグ (OCD) PSoC デバイス用です。

注: この製品は、インサーキット デバッグのみに使用されます。量産製品用としては提供されません。

表 8. ピン定義 – 56 ピン製品のピン配置 (SSOP)

ピン 番号	タイプ		ピン名	説明
	デジタル	アナログ		
1			NC	未接続。ピンはフローティング状態のまま
2	I/O	I	P0[7]	アナログ列マルチプレクサ入力
3	I/O	I	P0[5]	アナログ列マルチプレクサ入力および列出力
4	I/O	I	P0[3]	アナログ列マルチプレクサ入力および列出力
5	I/O	I	P0[1]	アナログ列マルチプレクサ入力
6	I/O		P2[7]	
7	I/O		P2[5]	
8	I/O	I	P2[3]	直接スイッチト キャパシタ ブロック入力
9	I/O	I	P2[1]	直接スイッチト キャパシタ ブロック入力
10	I/O		P4[7]	
11	I/O		P4[5]	
12	I/O	I	P4[3]	
13	I/O	I	P4[1]	
14	OCD		OCDE	OCD 偶数データ入出力
15	OCD		OCDO	OCD 奇数データ出力
16	電源		SMP	対象の外部部品への SMP 接続
17	I/O		P3[7]	
18	I/O		P3[5]	
19	I/O		P3[3]	
20	I/O		P3[1]	
21	I/O		P5[3]	
22	I/O		P5[1]	
23	I/O		P1[7]	I ² C SCL
24	I/O		P1[5]	I ² C SDA
25			NC	未接続。ピンはフローティング状態のまま
26	I/O		P1[3]	
27	I/O		P1[1]	水晶振動子入力 (XTALin)、I ² C SCL、 ISSP-SCLK ^[12]
28	電源		V _{DD}	電源電圧
29			NC	未接続。ピンはフローティング状態のまま
30			NC	未接続。ピンはフローティング状態のまま
31	I/O		P1[0]	水晶振動子出力 (XTALout)、I ² C SDA、 ISSP-SDATA ^[12]
32	I/O		P1[2]	
33	I/O		P1[4]	オプションの外部クロック入力 (EXTCLK)
34	I/O		P1[6]	
35	I/O		P5[0]	
36	I/O		P5[2]	
37	I/O		P3[0]	
38	I/O		P3[2]	
39	I/O		P3[4]	
40	I/O		P3[6]	

図 10. CY8C27002 56 ピン PSoC デバイス



量産用ではない

注:

12. これらは ISSP ピンであり、POR (パワーオン リセット) のときに High-Z となりません。詳細は、PSoC プログラマブル システムオンチップの [テクニカル リファレンス マニュアル](#) を参照してください。

表 8. ピン定義 – 56 ピン製品のピン配置 (SSOP)(続き)

ピン 番号	タイプ		ピン名	説明
	デジタル	アナログ		
42	OCD		HCLK	OCD 高速クロック出力
43	OCD		CCLK	OCD CPU クロック出力
44	I/O		P4[0]	
45	I/O		P4[2]	
46	I/O		P4[4]	
47	I/O		P4[6]	
48	I/O	I	P2[0]	直接スイッチト キャパシタ ブロック入力
49	I/O	I	P2[2]	直接スイッチト キャパシタ ブロック入力
50	I/O		P2[4]	外部アナログ グランド (AGND)
51	I/O		P2[6]	外部電圧リファレンス (VRef)
52	I/O	I	P0[0]	アナログ列マルチプレクサ入力
53	I/O	I	P0[2]	アナログ列マルチプレクサ入力および列出力
54	I/O	I	P0[4]	アナログ列マルチプレクサ入力および列出力
55	I/O	I	P0[6]	アナログ列マルチプレクサ入力
56	電源		V _{DD}	電源電圧

凡例：A = アナログ、I = 入力、O = 出力、OCD = オンチップ デバッグ。

レジスタ リファレンス

ここでは、CY8C27x43 PSoc デバイスのレジスタ一覧を示します。レジスタの詳細な情報については、[PSoc プログラマブル システムオンチップのテクニカル リファレンス マニュアル](#)を参照してください。

レジスタの表記法

次の表に、使用しているレジスタの表記法を示します。

表 9. レジスタの表記法

表記	説明
R	読み出しレジスタ/ビット
W	書き込みレジスタ/ビット
L	論理レジスタ/ビット
C	クリア可能なレジスタ/ビット
#	アクセスはビットに依存します。

レジスタ マッピング表

PSoc デバイスには、全部で512バイトのレジスタ アドレス空間があります。このレジスタ空間は I/O 空間と呼ばれ、2 つのバンクに分割されています。フラグレジスタ (CPU_F) 内の XO1 ビットは、ユーザーが現在どのバンクにアクセスしているかを示します。XO1 ビットがセットされた場合、ユーザーはバンク 1 にアクセスします。

注: 次のレジスタ マッピング表では、空白のフィールドは予約済みのため、アクセスしないでください。

表 10. レジスタ マップ バンク 0 テーブル: ユーザー空間

名前	アドレス (0、16進)	アクセス	名前	アドレス (0、16進)	アクセス	名前	アドレス (0、16進)	アクセス	名前	アドレス (0、16進)	アクセス
PRT0DR	00	RW		40		ASC10CR0	80	RW		C0	
PRT0IE	01	RW		41		ASC10CR1	81	RW		C1	
PRT0GS	02	RW		42		ASC10CR2	82	RW		C2	
PRT0DM2	03	RW		43		ASC10CR3	83	RW		C3	
PRT1DR	04	RW		44		ASD11CR0	84	RW		C4	
PRT1IE	05	RW		45		ASD11CR1	85	RW		C5	
PRT1GS	06	RW		46		ASD11CR2	86	RW		C6	
PRT1DM2	07	RW		47		ASD11CR3	87	RW		C7	
PRT2DR	08	RW		48		ASC12CR0	88	RW		C8	
PRT2IE	09	RW		49		ASC12CR1	89	RW		C9	
PRT2GS	0A	RW		4A		ASC12CR2	8A	RW		CA	
PRT2DM2	0B	RW		4B		ASC12CR3	8B	RW		CB	
PRT3DR	0C	RW		4C		ASD13CR0	8C	RW		CC	
PRT3IE	0D	RW		4D		ASD13CR1	8D	RW		CD	
PRT3GS	0E	RW		4E		ASD13CR2	8E	RW		CE	
PRT3DM2	0F	RW		4F		ASD13CR3	8F	RW		CF	
PRT4DR	10	RW		50		ASD20CR0	90	RW		D0	
PRT4IE	11	RW		51		ASD20CR1	91	RW		D1	
PRT4GS	12	RW		52		ASD20CR2	92	RW		D2	
PRT4DM2	13	RW		53		ASD20CR3	93	RW		D3	
PRT5DR	14	RW		54		ASC21CR0	94	RW		D4	
PRT5IE	15	RW		55		ASC21CR1	95	RW		D5	
PRT5GS	16	RW		56		ASC21CR2	96	RW	I2C_CFG	D6	RW
PRT5DM2	17	RW		57		ASC21CR3	97	RW	I2C_SCR	D7	#
	18			58		ASD22CR0	98	RW	I2C_DR	D8	RW
	19			59		ASD22CR1	99	RW	I2C_MSCR	D9	#
	1A			5A		ASD22CR2	9A	RW	INT_CLR0	DA	RW
	1B			5B		ASD22CR3	9B	RW	INT_CLR1	DB	RW
	1C			5C		ASC23CR0	9C	RW		DC	
	1D			5D		ASC23CR1	9D	RW	INT_CLR3	DD	RW
	1E			5E		ASC23CR2	9E	RW	INT_MSK3	DE	RW
	1F			5F		ASC23CR3	9F	RW		DF	
DBB00DR0	20	#	AMX_IN	60	RW		A0		INT_MSK0	E0	RW
DBB00DR1	21	W		61			A1		INT_MSK1	E1	RW
DBB00DR2	22	RW		62			A2		INT_VC	E2	RC
DBB00CR0	23	#	ARF_CR	63	RW		A3		RES_WDT	E3	W
DBB01DR0	24	#	CMP_CR0	64	#		A4		DEC_DH	E4	RC
DBB01DR1	25	W	ASY_CR	65	#		A5		DEC_DL	E5	RC
DBB01DR2	26	RW	CMP_CR1	66	RW		A6		DEC_CR0	E6	RW
DBB01CR0	27	#		67			A7		DEC_CR1	E7	RW

空白のフィールドは予約されているため、アクセスしないでください。

#: アクセスはビットに依存します。

表 10. レジスタ マップ バンク 0 テーブル: ユーザー空間 (続き)

名称	アドレス (16進)	アクセス	名称	アドレス (16進)	アクセス	名称	アドレス (16進)	アクセス	名称	アドレス (16進)	アクセス
DCB02DR0	28	#		68			A8		MUL_X	E8	W
DCB02DR1	29	W		69			A9		MUL_Y	E9	W
DCB02DR2	2A	RW		6A			AA		MUL_DH	EA	R
DCB02CR0	2B	#		6B			AB		MUL_DL	EB	R
DCB03DR0	2C	#		6C			AC		ACC_DR1	EC	RW
DCB03DR1	2D	W		6D			AD		ACC_DR0	ED	RW
DCB03DR2	2E	RW		6E			AE		ACC_DR3	EE	RW
DCB03CR0	2F	#		6F			AF		ACC_DR2	EF	RW
DBB10DR0	30	#	ACB00CR3	70	RW	RD10RI	B0	RW		F0	
DBB10DR1	31	W	ACB00CR0	71	RW	RD10SYN	B1	RW		F1	
DBB10DR2	32	RW	ACB00CR1	72	RW	RD10IS	B2	RW		F2	
DBB10CR0	33	#	ACB00CR2	73	RW	RD10LT0	B3	RW		F3	
DBB11DR0	34	#	ACB01CR3	74	RW	RD10LT1	B4	RW		F4	
DBB11DR1	35	W	ACB01CR0	75	RW	RD10RO0	B5	RW		F5	
DBB11DR2	36	RW	ACB01CR1	76	RW	RD10RO1	B6	RW		F6	
DBB11CR0	37	#	ACB01CR2	77	RW		B7		CPU_F	F7	RL
DCB12DR0	38	#	ACB02CR3	78	RW	RD11RI	B8	RW		F8	
DCB12DR1	39	W	ACB02CR0	79	RW	RD11SYN	B9	RW		F9	
DCB12DR2	3A	RW	ACB02CR1	7A	RW	RD11IS	BA	RW		FA	
DCB12CR0	3B	#	ACB02CR2	7B	RW	RD11LT0	BB	RW		FB	
DCB13DR0	3C	#	ACB03CR3	7C	RW	RD11LT1	BC	RW		FC	
DCB13DR1	3D	W	ACB03CR0	7D	RW	RD11RO0	BD	RW		FD	
DCB13DR2	3E	RW	ACB03CR1	7E	RW	RD11RO1	BE	RW	CPU_SCR1	FE	#
DCB13CR0	3F	#	ACB03CR2	7F	RW		BF		CPU_SCR0	FF	#

空白のフィールドは予約されているため、アクセスしないでください。

#: アクセスはビットに依存します。

表 11. レジスタ マップ バンク 1 テーブル: コンフィギュレーション空間

名称	アドレス (16進)	アクセス	名称	アドレス (16進)	アクセス	名称	アドレス (16進)	アクセス	名称	アドレス (16進)	アクセス
PRT0DM0	00	RW		40		ASC10CR0	80	RW		C0	
PRT0DM1	01	RW		41		ASC10CR1	81	RW		C1	
PRT0IC0	02	RW		42		ASC10CR2	82	RW		C2	
PRT0IC1	03	RW		43		ASC10CR3	83	RW		C3	
PRT1DM0	04	RW		44		ASD11CR0	84	RW		C4	
PRT1DM1	05	RW		45		ASD11CR1	85	RW		C5	
PRT1IC0	06	RW		46		ASD11CR2	86	RW		C6	
PRT1IC1	07	RW		47		ASD11CR3	87	RW		C7	
PRT2DM0	08	RW		48		ASC12CR0	88	RW		C8	
PRT2DM1	09	RW		49		ASC12CR1	89	RW		C9	
PRT2IC0	0A	RW		4A		ASC12CR2	8A	RW		CA	
PRT2IC1	0B	RW		4B		ASC12CR3	8B	RW		CB	
PRT3DM0	0C	RW		4C		ASD13CR0	8C	RW		CC	
PRT3DM1	0D	RW		4D		ASD13CR1	8D	RW		CD	
PRT3IC0	0E	RW		4E		ASD13CR2	8E	RW		CE	
PRT3IC1	0F	RW		4F		ASD13CR3	8F	RW		CF	
PRT4DM0	10	RW		50		ASD20CR0	90	RW	GDI_O_IN	D0	RW
PRT4DM1	11	RW		51		ASD20CR1	91	RW	GDI_E_IN	D1	RW
PRT4IC0	12	RW		52		ASD20CR2	92	RW	GDI_O_OU	D2	RW
PRT4IC1	13	RW		53		ASD20CR3	93	RW	GDI_E_OU	D3	RW
PRT5DM0	14	RW		54		ASC21CR0	94	RW		D4	
PRT5DM1	15	RW		55		ASC21CR1	95	RW		D5	
PRT5IC0	16	RW		56		ASC21CR2	96	RW		D6	
PRT5IC1	17	RW		57		ASC21CR3	97	RW		D7	
	18			58		ASD22CR0	98	RW		D8	
	19			59		ASD22CR1	99	RW		D9	
	1A			5A		ASD22CR2	9A	RW		DA	
	1B			5B		ASD22CR3	9B	RW		DB	
	1C			5C		ASC23CR0	9C	RW		DC	

空白のフィールドは予約されているため、アクセスしないでください。

#: アクセスはビットに依存します。

表 11. レジスタ マップ バンク 1 テーブル: コンフィギュレーション空間 (続き)

名称	アドレス (16進)	アクセス	名称	アドレス (16進)	アクセス	名称	アドレス (16進)	アクセス	名称	アドレス (16進)	アクセス
	1D			5D		ASC23CR1	9D	RW	OSC_GO_EN	DD	RW
	1E			5E		ASC23CR2	9E	RW	OSC_CR4	DE	RW
	1F			5F		ASC23CR3	9F	RW	OSC_CR3	DF	RW
DBB00FN	20	RW	CLK_CR0	60	RW		A0		OSC_CR0	E0	RW
DBB00IN	21	RW	CLK_CR1	61	RW		A1		OSC_CR1	E1	RW
DBB00OU	22	RW	ABF_CR0	62	RW		A2		OSC_CR2	E2	RW
	23		AMD_CR0	63	RW		A3		VLT_CR	E3	RW
DBB01FN	24	RW		64			A4		VLT_CMP	E4	R
DBB01IN	25	RW		65			A5			E5	
DBB01OU	26	RW	AMD_CR1	66	RW		A6			E6	
	27		ALT_CR0	67	RW		A7			E7	
DCB02FN	28	RW	ALT_CR1	68	RW		A8		IMO_TR	E8	W
DCB02IN	29	RW	CLK_CR2	69	RW		A9		ILO_TR	E9	W
DCB02OU	2A	RW		6A			AA		BDG_TR	EA	RW
	2B			6B			AB		ECO_TR	EB	W
DCB03FN	2C	RW		6C			AC			EC	
DCB03IN	2D	RW		6D			AD			ED	
DCB03OU	2E	RW		6E			AE			EE	
	2F			6F			AF			EF	
DBB10FN	30	RW	ACB00CR3	70	RW	RD10RI	B0	RW		F0	
DBB10IN	31	RW	ACB00CR0	71	RW	RD10SYN	B1	RW		F1	
DBB10OU	32	RW	ACB00CR1	72	RW	RD10IS	B2	RW		F2	
	33		ACB00CR2	73	RW	RD10LT0	B3	RW		F3	
DBB11FN	34	RW	ACB01CR3	74	RW	RD10LT1	B4	RW		F4	
DBB11IN	35	RW	ACB01CR0	75	RW	RD10RO0	B5	RW		F5	
DBB11OU	36	RW	ACB01CR1	76	RW	RD10RO1	B6	RW		F6	
	37		ACB01CR2	77	RW		B7		CPU_F	F7	RL
DCB12FN	38	RW	ACB02CR3	78	RW	RD11RI	B8	RW		F8	
DCB12IN	39	RW	ACB02CR0	79	RW	RD11SYN	B9	RW		F9	
DCB12OU	3A	RW	ACB02CR1	7A	RW	RD11IS	BA	RW		FA	
	3B		ACB02CR2	7B	RW	RD11LT0	BB	RW		FB	
DCB13FN	3C	RW	ACB03CR3	7C	RW	RD11LT1	BC	RW		FC	
DCB13IN	3D	RW	ACB03CR0	7D	RW	RD11RO0	BD	RW		FD	
DCB13OU	3E	RW	ACB03CR1	7E	RW	RD11RO1	BE	RW	CPU_SCR1	FE	#
	3F		ACB03CR2	7F	RW		BF		CPU_SCR0	FF	#

空白のフィールドは予約されているため、アクセスしないでください。

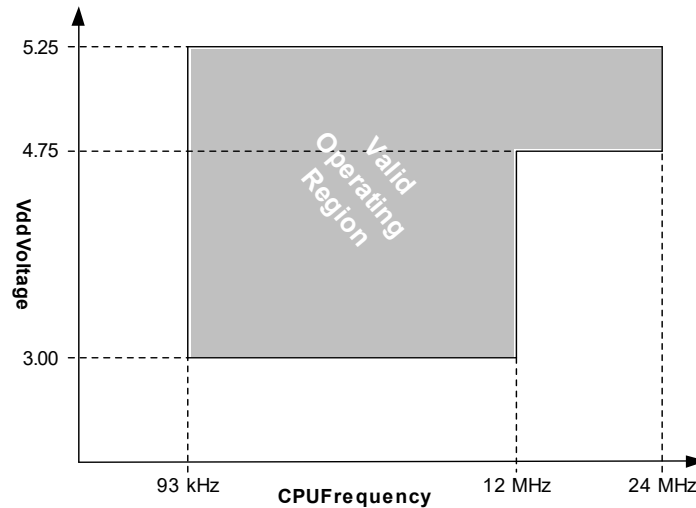
#: アクセスはビットに依存します。

電氣的仕様

ここでは、CY8C27x43 PSoC デバイスの DC および AC の電氣的仕様について説明します。最新の電氣的仕様については、<http://www.cypress.com> にアクセスして、参照しているデータシートが最新であることを確認してください。

特記されていない限り、仕様は $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ および $T_J \leq 100^{\circ}\text{C}$ で有効です。12MHz より大きい周波数で動作するデバイスの仕様は $-40^{\circ}\text{C} \leq T_A \leq 70^{\circ}\text{C}$ および $T_J \leq 82^{\circ}\text{C}$ で有効です。

図 11. 電圧と CPU 周波数の関係



絶対最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。ユーザー ガイドラインはテストされていません。

表 12. 絶対最大定格

記号	説明	Min	Typ	Max	単位	備考
T_{STG}	保管温度	-55	25	+100	$^{\circ}\text{C}$	保管温度が高いほど、データ保存期間は短くなります。推奨保管温度は $+25^{\circ}\text{C} \pm 25^{\circ}\text{C}$ 。65 $^{\circ}\text{C}$ を超える温度で長期間保管すると、信頼性が低下します。
T_{BAKETEMP}	ベーキング温度	—	125	パッケージのラベルを参照してください。	$^{\circ}\text{C}$	
t_{BAKETIME}	ベーキング時間	パッケージのラベルを参照してください。	—	72	時間	
T_A	通電時の周囲温度	-40	—	+85	$^{\circ}\text{C}$	
V_{DD}	V_{SS} を基準にした V_{DD} の電源電圧	-0.5	—	+6.0	V	
V_{IO}	DC 入力電圧	$V_{\text{SS}} - 0.5$	—	$V_{\text{DD}} + 0.5$	V	
V_{IOZ}	トライステート ピンに印加される DC 電圧	$V_{\text{SS}} - 0.5$	—	$V_{\text{DD}} + 0.5$	V	
I_{MIO}	ポート ピンへの最大電流	-25	—	+50	mA	
I_{MAIO}	アナログ ドライバーとして設定されたポートピンへの最大電流	-50	—	+50	mA	
ESD	静電気放電電圧	2000	—	—	V	人体モデル ESD
LU	ラッチアップ電流	—	—	200	mA	

動作温度

表 13. 動作温度

記号	説明	Min	Typ	Max	単位	備考
T_A	周囲温度	-40	-	+85	°C	
T_J	接合部温度	-40	-	+100	°C	周囲から接合部までの温度上昇はパッケージによって異なります。 51 ページの熱インピーダンスを参照してください。この要件を満たすために消費電力を制限する必要があります。

DC 電気的特性

チップ レベルの DC 仕様

表 14 に、次の電圧範囲と温度範囲それぞれで保証されている Max と Min の仕様を示します：4.75V ~ 5.25V と $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V と $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。Typ パラメータは、25°C で 5V または 3.3V のときに適用され、単なる設計の参考用のデータです。

表 14. チップ レベルの DC 仕様

記号	説明	Min	Typ	Max	単位	備考
V_{DD}	電源電圧	3.00	-	5.25	V	
I_{DD}	供給電流	-	5	8	mA	条件： $V_{DD} = 5.0\text{V}$ 、 $T_A = 25^{\circ}\text{C}$ 、CPU = 3MHz、SYSCLK ダブラー = 無効。VC1 = 1.5MHz、VC2 = 93.75kHz、VC3 = 93.75kHz。
I_{DD3}	供給電流	-	3.3	6.0	mA	条件： $V_{DD} = 3.3\text{V}$ 、 $T_A = 25^{\circ}\text{C}$ 、CPU = 3MHz、SYSCLK ダブラー = 無効。VC1 = 1.5MHz、VC2 = 93.75kHz、VC3 = 93.75kHz。
I_{SB}	POR、LVD、スリープ タイマー、WDT が有効なときのスリープ (モード) 電流 ^[13]	-	3	6.5	μA	条件：内部低速発振器、 $V_{DD} = 3.3\text{V}$ 、 $-40^{\circ}\text{C} \leq T_A \leq 55^{\circ}\text{C}$ 。
I_{SBH}	高温で POR、LVD、スリープ タイマー、WDT が有効なときのスリープ (モード) 電流 ^[13]	-	4	25	μA	条件：内部低速発振器、 $V_{DD} = 3.3\text{V}$ 、 $55^{\circ}\text{C} < T_A \leq 85^{\circ}\text{C}$ 。
I_{SBXTL}	POR、LVD、スリープ タイマー、WDT、外部水晶振動子が有効なときのスリープ (モード) 電流 ^[13]	-	4	7.5	μA	条件： 正常な負荷状態、最大 1μW、32.768kHz 水晶振動子。 $V_{DD} = 3.3\text{V}$ 、 $-40^{\circ}\text{C} \leq T_A \leq 55^{\circ}\text{C}$ 。
I_{SBXTLH}	高温で POR、LVD、スリープ タイマー、WDT、外部水晶振動子が有効なときのスリープ (モード) 電流 ^[13]	-	5	26	μA	条件： 正常な負荷状態、最大 1μW、32.768kHz 水晶振動子。 $V_{DD} = 3.3\text{V}$ 、 $55^{\circ}\text{C} < T_A \leq 85^{\circ}\text{C}$ 。
V_{REF}	シリコン チップ Rev. A 用のリファレンス電圧 (バンドギャップ) ^[14]	1.275	1.300	1.325	V	適切な V_{DD} を得るためにトリミング済み
V_{REF}	シリコン チップ Rev. B 用のリファレンス電圧 (バンドギャップ) ^[14]	1.280	1.300	1.320	V	適切な V_{DD} を得るためにトリミング済み

注：

13. スタンバイ電流は信頼性のあるシステム動作に必要なすべての機能 (POR、LVD、WDT、スリープ タイマー) を備えています。これは、同じ機能が有効にされたデバイスと比較する必要があります。

14. 54 ページの注文情報を参照してください。

GPIO の DC 仕様

表 15 に、次の電圧範囲と温度範囲それぞれで保証されている Max と Min の仕様を示します: 4.75V ~ 5.25V と $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V と $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。Typ パラメーターは、 25°C で 5V または 3.3V のときに適用され、単なる設計の参考用のデータです。

表 15. GPIO の DC 仕様

記号	説明	Min	Typ	Max	単位	備考
R_{PU}	プルアップ抵抗	4	5.6	8	$k\Omega$	
R_{PD}	プルダウン抵抗	4	5.6	8	$k\Omega$	
V_{OH}	出力 HIGH 電圧	$V_{DD} - 1.0$	—	—	V	$I_{OH} = 10\text{mA}$ 、 $V_{DD} = 4.75 \sim 5.25\text{V}$ (合計で 8 つの負荷があり、その中、4 つは偶数ポートピン (例えば、P0[2]、P1[4]) にあり、4 つは奇数ポートピン (例えば、P0[3]、P1[5]) にあります)。
V_{OL}	出力 LOW 電圧	—	—	0.75	V	$I_{OL} = 25\text{mA}$ 、 $V_{DD} = 4.75 \sim 5.25\text{V}$ (合計で 8 つの負荷があり、その中、4 つは偶数ポートピン (例えば、P0[2]、P1[4]) にあり、4 つは奇数ポートピン (例えば、P0[3]、P1[5]) にあります)。
I_{OH}	HIGH ソース電流	10	—	—	mA	$V_{OH} = V_{DD} - 1.0\text{V}$ 。 V_{OH} の注に記載されている総電流の制限を参照してください。
I_{OL}	LOW シンク電流	25	—	—	mA	$V_{OL} = 0.75\text{V}$ 。 V_{OL} の注に記載されている総電流の制限を参照してください。
V_{IL}	入力 LOW 電圧	—	—	0.8	V	$V_{DD} = 3.0\text{V} \sim 5.25\text{V}$
V_{IH}	入力 HIGH 電圧	2.1	—	—	V	$V_{DD} = 3.0\text{V} \sim 5.25\text{V}$
V_H	入力ヒステリシス	—	60	—	mV	
I_{IL}	入力リーク電流 (絶対値)	—	1	—	nA	総リーク電流が $1\mu\text{A}$ 以下
C_{IN}	入力として使用されるピン上の容量負荷	—	3.5	10	pF	パッケージとピンに依存します。温度 = 25°C 。
C_{OUT}	出力として使用されるピン上の容量負荷	—	3.5	10	pF	パッケージとピンに依存します。温度 = 25°C 。

オペアンプの DC 仕様

表 16 および表 17 に、次の電圧範囲と温度範囲それぞれで保証されている Max と Min の仕様を示します: 4.75V ~ 5.25V と $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V と $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。Typ パラメーターは、 25°C で 5V または 3.3V のときに適用され、単なる設計の参考用のデータです。

オペアンプは、アナログ連続時間 PSoC ブロックとアナログ スイッチト キャパシタ PSoC ブロックを組み合わせたコンポーネントです。保証された仕様は、アナログ連続時間 PSoC ブロックで測定されます。Typ パラメーターは、 25°C で 5V のときに適用され、単なる設計の参考用のデータです。

表 16. 5V 時のオペアンプの DC 仕様

記号	説明	Min	Typ	Max	単位	備考
V_{OSOA}	入力オフセット電圧 (絶対値)	—	1.6	10	mV	
	電力 = 低、オペアンプ バイアス = 低	—	1.6	10	mV	
	電力 = 低、オペアンプ バイアス = 高	—	1.6	10	mV	
	電力 = 中、オペアンプ バイアス = 低	—	1.6	10	mV	
	電力 = 中、オペアンプ バイアス = 高	—	1.6	10	mV	
	電力 = 高、オペアンプ バイアス = 低	—	1.6	10	mV	
TCV_{OSOA}	平均入力オフセット電圧ドリフト	—	4	20	$\mu\text{V}/^{\circ}\text{C}$	
I_{EBOA}	入力リーク電流 (ポート 0 アナログピン)	—	20	—	pA	総リーク電流が $1\mu\text{A}$ 以下
C_{INOA}	入力静電容量 (ポート 0 アナログピン)	—	4.5	9.5	pF	パッケージとピンに依存します。温度 = 25°C 。
V_{CMOA}	同相電圧範囲	0	—	V_{DD}	V	同相入力電圧範囲はアナログ出力バッファを使って測定します。仕様には、アナログ出力バッファの特性に伴う制限も含まれます。

表 16. 5V 時のオペアンプの DC 仕様

記号	説明	Min	Typ	Max	単位	備考
	同相電圧範囲 (消費電力 = 高、またはオペアンプ バイアス = 高)	0.5	–	$V_{DD} - 0.5$	V	
CMRR _{OA}	同相信号除去比 電力 = 低、オペアンプ バイアス = 高	60	–	–	dB	仕様は「オペアンプ バイアス = 低」にも「オペアンプ バイアス = 高」にも適用されます。
	電力 = 中、オペアンプ バイアス = 高	60	–	–	dB	
	電力 = 高、オペアンプ バイアス = 高	60	–	–	dB	
G _{OLOA}	開ループ ゲイン 電力 = 低、オペアンプ バイアス = 高	60	–	–	dB	仕様は「オペアンプ バイアス = 高」に適用されます。オペアンプ バイアスが低い場合、Min 値は 60dB です。
	電力 = 中、オペアンプ バイアス = 高	60	–	–	dB	
	電力 = 高、オペアンプ バイアス = 高	80	–	–	dB	
V _{OHIGHOA}	出力 HIGH 電圧スイング (内部信号) 電力 = 低、オペアンプ バイアス = 高	$V_{DD} - 0.2$	–	–	V	
	電力 = 中、オペアンプ バイアス = 高	$V_{DD} - 0.2$	–	–	V	
	電力 = 高、オペアンプ バイアス = 高	$V_{DD} - 0.5$	–	–	V	
V _{OLOWOA}	出力 LOW 電圧スイング (内部信号) 電力 = 低、オペアンプ バイアス = 高	–	–	0.2	V	
	電力 = 中、オペアンプ バイアス = 高	–	–	0.2	V	
	電力 = 高、オペアンプ バイアス = 高	–	–	0.5	V	
I _{SOA}	供給電流 (関連する AGND バッファを含む) 電力 = 低、オペアンプ バイアス = 低	–	150	200	μA	
	電力 = 低、オペアンプ バイアス = 高	–	300	400	μA	
	電力 = 中、オペアンプ バイアス = 低	–	600	800	μA	
	電力 = 中、オペアンプ バイアス = 高	–	1200	1600	μA	
	電力 = 高、オペアンプ バイアス = 低	–	2400	3200	μA	
	電力 = 高、オペアンプ バイアス = 高	–	4600	6400	μA	
PSRR _{OA}	電源電圧変動除去比	60	–	–	dB	$V_{SS} \leq V_{IN} \leq (V_{DD} - 2.25)$ または $(V_{DD} - 1.25 \text{ V}) \leq V_{IN} \leq V_{DD}$

表 17. 3.3V 時のオペアンプの DC 仕様

記号	説明	Min	Typ	Max	単位	備考
V _{OSOA}	入力オフセット電圧 (絶対値) 電力 = 低、オペアンプ バイアス = 低	–	1.4	10	mV	「電力 = 高、オペアンプ バイアス = 高」設定は 3.3V V_{DD} 動作で許可されません。
	電力 = 低、オペアンプ バイアス = 高	–	1.4	10	mV	
	電力 = 中、オペアンプ バイアス = 低	–	1.4	10	mV	
	電力 = 中、オペアンプ バイアス = 高	–	1.4	10	mV	
	電力 = 高、オペアンプ バイアス = 低	–	1.4	10	mV	
	電力 = 高、オペアンプ バイアス = 高	–	–	–	mV	
TCV _{OSOA}	平均入力オフセット電圧ドリフト	–	7	40	μV/°C	
I _{EBOA}	入力リーク電流 (ポート 0 アナログピン)	–	20	–	pA	総リーク電流が 1μA 以下
C _{INOA}	入力静電容量 (ポート 0 アナログピン)	–	4.5	9.5	pF	パッケージとピンに依存します。 温度 = 25°C
V _{CMOA}	同相電圧範囲	0.2	–	$V_{DD} - 0.2$	V	同相入力電圧範囲はアナログ出力バッファを使って測定します。仕様には、アナログ出力バッファの特性に伴う制限も含まれます。
CMRR _{OA}	同相信号除去比 電力 = 低、オペアンプ バイアス = 低	50	–	–	dB	仕様は「オペアンプ バイアス = 低」に適用されます。「電力 = 高、オペアンプ バイアス = 高」以外の高バイアスモードの場合、Min = 60dB。
	電力 = 中、オペアンプ バイアス = 低	50	–	–	dB	
	電力 = 高、オペアンプ バイアス = 低	50	–	–	dB	
G _{OLOA}	開ループ ゲイン 電力 = 低、オペアンプ バイアス = 低	60	–	–	dB	仕様は「オペアンプ バイアス = 低」に適用されます。「電力 = 高、オペアンプ バイアス = 高」以外の高オペアンプ バイアスモードの場合、Min = 60dB。
	電力 = 中、オペアンプ バイアス = 低	60	–	–	dB	
	電力 = 高、オペアンプ バイアス = 低	80	–	–	dB	

表 17. 3.3V 時のオペアンプの DC 仕様 (続き)

記号	説明	Min	Typ	Max	単位	備考
V _{OHIGHOA}	出力 HIGH 電圧スイング (内部信号) 電力 = 低、オペアンプ バイアス = 低 電力 = 中、オペアンプ バイアス = 低 電力 = 高、オペアンプ バイアス = 低	V _{DD} - 0.2	—	—	V	「電力 = 高、オペアンプ バイアス = 高」 設定は 3.3V V _{DD} 動作で許可されません。
		V _{DD} - 0.2	—	—	V	
		V _{DD} - 0.2	—	—	V	
		V _{DD} - 0.2	—	—	V	
V _{OLOWOA}	出力 LOW 電圧スイング (内部信号) 電力 = 低、オペアンプ バイアス = 低 電力 = 中、オペアンプ バイアス = 低 電力 = 高、オペアンプ バイアス = 低	—	—	0.2	V	「電力 = 高、オペアンプ バイアス = 高」 設定は 3.3V V _{DD} 動作で許可されません。
		—	—	0.2	V	
		—	—	0.2	V	
		—	—	0.2	V	
I _{SOA}	供給電流 (関連する AGND バッファを含む) 電力 = 低、オペアンプ バイアス = 低 電力 = 低、オペアンプ バイアス = 高 電力 = 中、オペアンプ バイアス = 低 電力 = 中、オペアンプ バイアス = 高 電力 = 高、オペアンプ バイアス = 低 電力 = 高、オペアンプ バイアス = 高	—	150	200	μA	「電力 = 高、オペアンプ バイアス = 高」 設定は 3.3V V _{DD} 動作で許可されません。
		—	300	400	μA	
		—	600	800	μA	
		—	1200	1600	μA	
		—	2400	3200	μA	
		—	—	—	μA	
PSRR _{OA}	電源電圧変動除去比	50	80	—	dB	V _{SS} ≤ V _{IN} ≤ (V _{DD} - 2.25) または (V _{DD} - 1.25V) ≤ V _{IN} ≤ V _{DD} 。

低消費電力コンパレータの DC 仕様

表 18 に、次の電圧範囲と温度範囲それぞれで保証されている Max と Min の仕様を示します：4.75V ~ 5.25V と -40°C ≤ T_A ≤ 85°C、3.0V ~ 3.6V と -40°C ≤ T_A ≤ 85°C、または 2.4V ~ 3.0V と -40°C ≤ T_A ≤ 85°C。Typ パラメータは、25°C で 5V のときに適用され、単なる設計の参考用のデータです。

表 18. 低消費電力コンパレータの DC 仕様

記号	説明	Min	Typ	Max	単位
V _{REFLPC}	低消費電力コンパレータ (LPC) リファレンス電圧範囲	0.2	—	V _{DD} - 1	V
I _{SLPC}	LPC 供給電流	—	10	40	μA
V _{OSLPC}	LPC 電圧オフセット	—	2.5	30	mV

アナログ出力バッファの DC 仕様

表 19 および 24 ページの表 20 に、次の電圧範囲と温度範囲それぞれで保証されている Max と Min の仕様を示します：4.75V ~ 5.25V と -40°C ≤ T_A ≤ 85°C、または 3.0V ~ 3.6V と -40°C ≤ T_A ≤ 85°C。Typ パラメータは、25°C で 5V または 3.3V のときに適用され、単なる設計の参考用のデータです。

表 19. 5V 時のアナログ出力バッファの DC 仕様

記号	説明	Min	Typ	Max	単位	備考
V _{OSOB}	入力オフセット電圧 (絶対値) 電力 = 低、オペアンプ バイアス = 低 電力 = 低、オペアンプ バイアス = 高 電力 = 高、オペアンプ バイアス = 低 電力 = 高、オペアンプ バイアス = 高	—	3	19	mV	
		—	3	19	mV	
		—	3	19	mV	
		—	3	19	mV	
TCV _{OSOB}	平均入力オフセット電圧ドリフト	—	5	30	μV/°C	
V _{CMOB}	同相入力電圧範囲	0.5	—	V _{DD} - 1.0	V	
R _{OUTOB}	出力抵抗 電力 = 低 電力 = 高	—	1	—	Ω	
		—	1	—	Ω	
V _{OHIGHOB}	出力 HIGH 電圧スイング (V _{DD} /2 に接続する負荷 = 32Ω) 電力 = 低 電力 = 高	0.5 × V _{DD} + 1.3	—	—	V	
		0.5 × V _{DD} + 1.3	—	—	V	
V _{OLOWOB}	出力 LOW 電圧スイング (V _{DD} /2 に接続する負荷 = 32Ω) 電力 = 低 電力 = 高	—	—	—		
		—	—	0.5 × V _{DD} - 1.3	V	
		—	—	0.5 × V _{DD} - 1.3	V	

表 19. 5V 時のアナログ出力バッファの DC 仕様 (続き)

記号	説明	Min	Typ	Max	単位	備考
I_{SOB}	オペアンプ バイアス セルを含む供給電流 (負荷なし) 電力 = 低 電力 = 高	—	1.1	5.1	mA	
		—	2.6	8.8	mA	
$PSRR_{OB}$	電源電圧変動除去比	60	64	—	dB	
I_{OMAX}	最大出力電流	—	40	—	mA	
C_L	負荷容量	—	—	200	pF	仕様はアナログ出力バッファによって駆動された外部回路に適用されます。

表 20. 3.3V 時のアナログ出力バッファの DC 仕様

記号	説明	Min	Typ	Max	単位	備考
V_{OSOB}	入力オフセット電圧 (絶対値) 電力 = 低、オペアンプ バイアス = 低 電力 = 低、オペアンプ バイアス = 高 電力 = 高、オペアンプ バイアス = 低 電力 = 高、オペアンプ バイアス = 高	—	3.2	20	mV	「電力 = 高」設定は推奨されません。
		—	3.2	20	mV	
		—	6	25	mV	
		—	6	25	mV	
TCV_{OSOB}	平均入力オフセット電圧ドリフト 電力 = 低、オペアンプ バイアス = 低 電力 = 低、オペアンプ バイアス = 高 電力 = 高、オペアンプ バイアス = 低 電力 = 高、オペアンプ バイアス = 高	—	9	55	$\mu V/^{\circ}C$	「電力 = 高」設定は推奨されません。
		—	9	55	$\mu V/^{\circ}C$	
		—	12	70	$\mu V/^{\circ}C$	
		—	12	70	$\mu V/^{\circ}C$	
V_{CMOB}	同相入力電圧範囲	0.5	—	$V_{DD} - 1.0$	V	
R_{OUTOB}	出力抵抗 電力 = 低 電力 = 高	—	1	—	Ω	
		—	1	—	Ω	
$V_{OHIGHOB}$	出力 HIGH 電圧スイング ($V_{DD}/2$ に接続する負荷 = 32Ω) 電力 = 低 電力 = 高	$0.5 \times V_{DD} + 1.0$	—	—	V	
		$0.5 \times V_{DD} + 1.0$	—	—	V	
V_{OLOWOB}	出力 LOW 電圧スイング ($V_{DD}/2$ に接続する負荷 = 32Ω) 電力 = 低 電力 = 高	—	—	$0.5 \times V_{DD} - 1.0$	V	
		—	—	$0.5 \times V_{DD} - 1.0$	V	
I_{SOB}	オペアンプ バイアス セルを含む供給電流 (負荷なし) 電力 = 低 電力 = 高	—	0.8	2	mA	
		—	2.0	4.3	mA	
$PSRR_{OB}$	電源電圧変動除去比	60	64	—	dB	
C_L	負荷容量	—	—	200	pF	仕様はアナログ出力バッファによって駆動された外部回路に適用されます。

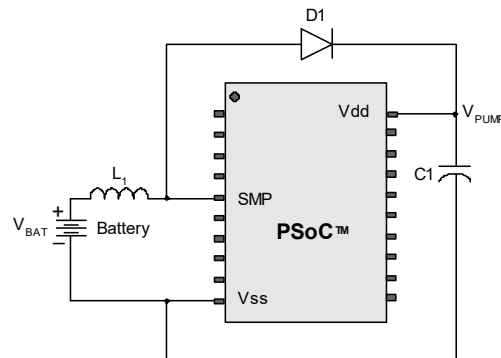
スイッチ モード ポンプ (SMP) の DC 仕様

表 21 に、次の電圧範囲と温度範囲それぞれで保証されている Max と Min の仕様を示します: $4.75\text{V} \sim 5.25\text{V}$ と $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$ 、または $3.0\text{V} \sim 3.6\text{V}$ と $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$ 。Typ パラメーターは、 25°C で 5V または 3.3V のときに適用され、単なる設計の参考用のデータです。

表 21. スイッチ モード ポンプ (SMP) の DC 仕様

記号	説明	Min	Typ	Max	単位	備考
$V_{\text{PUMP } 5\text{V}}$	5V 出力電圧	4.75	5.0	5.25	V	注 15 に記載しているように設定します。リップルを無視した平均値です。SMP トリップ電圧は 5.0V に設定します。
$V_{\text{PUMP } 3\text{V}}$	3V 出力電圧	3.00	3.25	3.60	V	注 15 に記載しているように設定します。リップルを無視した平均値です。SMP トリップ電圧は 3.25V に設定します。
I_{PUMP}	利用可能な出力電流 $V_{\text{BAT}} = 1.5\text{V}$ 、 $V_{\text{PUMP}} = 3.25\text{V}$ $V_{\text{BAT}} = 1.8\text{V}$ 、 $V_{\text{PUMP}} = 5.0\text{V}$	8 5	— —	— —	mA mA	注 15 に記載しているように設定します。SMP トリップ電圧は 3.25V に設定します。SMP トリップ電圧は 5.0V に設定します。
$V_{\text{BAT } 5\text{V}}$	バッテリーからの入力電圧範囲	1.8	—	5.0	V	注 15 に記載しているように設定します。SMP トリップ電圧は 5.0V に設定します。
$V_{\text{BAT } 3\text{V}}$	バッテリーからの入力電圧範囲	1.0	—	3.3	V	注 15 に記載しているように設定します。SMP トリップ電圧は 3.25V に設定します。
V_{BATSTART}	ポンプを起動するためのバッテリーからの最小入力電圧	1.1	—	—	V	注 15 に記載しているように設定します。
$\Delta V_{\text{PUMP_Line}}$	電圧安定化 (V_{BAT} の範囲内)	—	5	—	% V_O	注 15 に記載しているように設定します。 V_O は、POR および LVD の DC 仕様 (34 ページの表 25) で VM[2:0] 設定によって指定されている「ポンプ トリップ用の V_{DD} 値」です。
$\Delta V_{\text{PUMP_Load}}$	負荷安定化	—	5	—	% V_O	注 15 に記載しているように設定します。 V_O は、POR および LVD の DC 仕様 (34 ページの表 25) で VM[2:0] 設定によって指定されている「ポンプ トリップ用の V_{DD} 値」です。
$\Delta V_{\text{PUMP_Ripple}}$	出力電圧リップル (コンデンサ/負荷に依存)	—	100	—	mVpp	注 15 に記載しているように設定します。負荷は 5mA です。
E_3	効率	35	50	—	%	注 15 に記載しているように設定します。負荷は 5mA です。SMP トリップ電圧は 3.25V に設定します。
F_{PUMP}	スイッチング周波数	—	1.3	—	MHz	
DC_{PUMP}	スイッチング デューティ比	—	50	—	%	

図 12. 基本スイッチ モード ポンプ回路



注:

15. $L_1 = 2\text{mH}$ 誘導子、 $C_1 = 10\text{mF}$ コンデンサ、 D_1 はショットキー ダイオード。図 12 を参照してください。

アナログ リファレンスの DC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている Max と Min の仕様を示します：4.75V ~ 5.25V と $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V と $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。Typ パラメータは、25°C で 5V または 3.3V のときに適用され、単なる設計の参考用のデータです。

保証された仕様は、アナログ連続時間 PSoC ブロックで測定されます。AGND の電力レベルは、アナログ連続時間 PSoC ブロックの電力を指します。RefHi および RefLo の電力レベルは、アナログ リファレンス制御レジスタを指します。AGND の記載されている制限には、アナログ連続時間 PSoC ブロックに固有の AGND バッファのオフセット誤差が含まれます。リファレンス制御の電力は高いです。

注： アナログ リファレンスに依存するアナログ リソースを使用する際にデジタル シグナリング用に P2[4] を使用しないでください。使用した場合、デジタル信号のカップリングが AGND に生じることがあるからです。

表 22. 5V 時のアナログ リファレンスの DC 仕様

リファレンス ARF_CR [5:3]	リファレンス電力 設定	記号	リファレンス	説明	Min	Typ	Max	単位
0b000	リファレンス電力 = 高 オペアンプ バイアス = 高	VREFHI	リファレンス 電圧 HIGH	$V_{DD}/2 +$ バンドギャップ	$V_{DD}/2 + 1.228$	$V_{DD}/2 + 1.290$	$V_{DD}/2 + 1.352$	V
		VAGND	AGND	$V_{DD}/2$	$V_{DD}/2 - 0.078$	$V_{DD}/2 - 0.007$	$V_{DD}/2 + 0.063$	V
		VREFLO	リファレンス 電圧 LOW	$V_{DD}/2 -$ バンドギャップ	$V_{DD}/2 - 1.336$	$V_{DD}/2 - 1.295$	$V_{DD}/2 - 1.250$	V
	リファレンス電力 = 高 オペアンプ バイアス = 低	VREFHI	リファレンス 電圧 HIGH	$V_{DD}/2 +$ バンドギャップ	$V_{DD}/2 + 1.224$	$V_{DD}/2 + 1.293$	$V_{DD}/2 + 1.356$	V
		VAGND	AGND	$V_{DD}/2$	$V_{DD}/2 - 0.056$	$V_{DD}/2 - 0.005$	$V_{DD}/2 + 0.043$	V
		VREFLO	リファレンス 電圧 LOW	$V_{DD}/2 -$ バンドギャップ	$V_{DD}/2 - 1.338$	$V_{DD}/2 - 1.298$	$V_{DD}/2 - 1.255$	V
	リファレンス電力 = 中 オペアンプ バイアス = 高	VREFHI	リファレンス 電圧 HIGH	$V_{DD}/2 +$ バンドギャップ	$V_{DD}/2 + 1.226$	$V_{DD}/2 + 1.293$	$V_{DD}/2 + 1.356$	V
		VAGND	AGND	$V_{DD}/2$	$V_{DD}/2 - 0.057$	$V_{DD}/2 - 0.006$	$V_{DD}/2 + 0.044$	V
		VREFLO	リファレンス 電圧 LOW	$V_{DD}/2 -$ バンドギャップ	$V_{DD}/2 - 1.337$	$V_{DD}/2 - 1.298$	$V_{DD}/2 - 1.256$	V
	リファレンス電力 = 中 オペアンプ バイアス = 低	VREFHI	リファレンス 電圧 HIGH	$V_{DD}/2 +$ バンドギャップ	$V_{DD}/2 + 1.226$	$V_{DD}/2 + 1.294$	$V_{DD}/2 + 1.359$	V
		VAGND	AGND	$V_{DD}/2$	$V_{DD}/2 - 0.047$	$V_{DD}/2 - 0.004$	$V_{DD}/2 + 0.035$	V
		VREFLO	リファレンス 電圧 LOW	$V_{DD}/2 -$ バンドギャップ	$V_{DD}/2 - 1.338$	$V_{DD}/2 - 1.299$	$V_{DD}/2 - 1.258$	V

注：

16. AGND の許容誤差には、PSoC ブロック内のローカル バッファのオフセットが含まれます。

表 22. 5V 時のアナログ リファレンスの DC 仕様 (続き)

リファ レンス ARF_CR [5:3]	リファレンス電力 設定	記号	リファレンス	説明	Min	Typ	Max	単位
0b001	リファレンス電力 = 高 オペアンプ バイアス = 高	VREFHI	リファレンス 電圧 HIGH	$P2[4] + P2[6]$ ($P2[4] = V_{DD}/2, P2[6] = 1.3V$)	$P2[4] + P2[6] - 0.085$	$P2[4] + P2[6] - 0.016$	$P2[4] + P2[6] + 0.044$	V
		VAGND	AGND	$P2[4]$	$P2[4]$	$P2[4]$	$P2[4]$	—
		VREFLO	リファレンス 電圧 LOW	$P2[4] - P2[6]$ ($P2[4] = V_{DD}/2, P2[6] = 1.3V$)	$P2[4] - P2[6] - 0.022$	$P2[4] - P2[6] + 0.010$	$P2[4] - P2[6] + 0.055$	V
	リファレンス電力 = 高 オペアンプ バイアス = 低	VREFHI	リファレンス 電圧 HIGH	$P2[4] + P2[6]$ ($P2[4] = V_{DD}/2, P2[6] = 1.3V$)	$P2[4] + P2[6] - 0.077$	$P2[4] + P2[6] - 0.010$	$P2[4] + P2[6] + 0.051$	V
		VAGND	AGND	$P2[4]$	$P2[4]$	$P2[4]$	$P2[4]$	—
		VREFLO	リファレンス 電圧 LOW	$P2[4] - P2[6]$ ($P2[4] = V_{DD}/2, P2[6] = 1.3V$)	$P2[4] - P2[6] - 0.022$	$P2[4] - P2[6] + 0.005$	$P2[4] - P2[6] + 0.039$	V
	リファレンス電力 = 中 オペアンプ バイアス = 高	VREFHI	リファレンス 電圧 HIGH	$P2[4] + P2[6]$ ($P2[4] = V_{DD}/2, P2[6] = 1.3V$)	$P2[4] + P2[6] - 0.070$	$P2[4] + P2[6] - 0.010$	$P2[4] + P2[6] + 0.050$	V
		VAGND	AGND	$P2[4]$	$P2[4]$	$P2[4]$	$P2[4]$	—
		VREFLO	リファレンス 電圧 LOW	$P2[4] - P2[6]$ ($P2[4] = V_{DD}/2, P2[6] = 1.3V$)	$P2[4] - P2[6] - 0.022$	$P2[4] - P2[6] + 0.005$	$P2[4] - P2[6] + 0.039$	V
	リファレンス電力 = 中 オペアンプ バイアス = 低	VREFHI	リファレンス 電圧 HIGH	$P2[4] + P2[6]$ ($P2[4] = V_{DD}/2, P2[6] = 1.3V$)	$P2[4] + P2[6] - 0.070$	$P2[4] + P2[6] - 0.007$	$P2[4] + P2[6] + 0.054$	V
		VAGND	AGND	$P2[4]$	$P2[4]$	$P2[4]$	$P2[4]$	—
		VREFLO	リファレンス 電圧 LOW	$P2[4] - P2[6]$ ($P2[4] = V_{DD}/2, P2[6] = 1.3V$)	$P2[4] - P2[6] - 0.022$	$P2[4] - P2[6] + 0.002$	$P2[4] - P2[6] + 0.032$	V
0b010	リファレンス電力 = 高 オペアンプ バイアス = 高	VREFHI	リファレンス 電圧 HIGH	V_{DD}	$V_{DD} - 0.037$	$V_{DD} - 0.009$	V_{DD}	V
		VAGND	AGND	$V_{DD}/2$	$V_{DD}/2 - 0.061$	$V_{DD}/2 - 0.006$	$V_{DD}/2 + 0.047$	V
		VREFLO	リファレンス 電圧 LOW	V_{SS}	V_{SS}	$V_{SS} + 0.007$	$V_{SS} + 0.028$	V
	リファレンス電力 = 高 オペアンプ バイアス = 低	VREFHI	リファレンス 電圧 HIGH	V_{DD}	$V_{DD} - 0.039$	$V_{DD} - 0.006$	V_{DD}	V
		VAGND	AGND	$V_{DD}/2$	$V_{DD}/2 - 0.049$	$V_{DD}/2 - 0.005$	$V_{DD}/2 + 0.036$	V
		VREFLO	リファレンス 電圧 LOW	V_{SS}	V_{SS}	$V_{SS} + 0.005$	$V_{SS} + 0.019$	V
	リファレンス電力 = 中 オペアンプ バイアス = 高	VREFHI	リファレンス 電圧 HIGH	V_{DD}	$V_{DD} - 0.037$	$V_{DD} - 0.007$	V_{DD}	V
		VAGND	AGND	$V_{DD}/2$	$V_{DD}/2 - 0.054$	$V_{DD}/2 - 0.005$	$V_{DD}/2 + 0.041$	V
		VREFLO	リファレンス 電圧 LOW	V_{SS}	V_{SS}	$V_{SS} + 0.006$	$V_{SS} + 0.024$	V
	リファレンス電力 = 中 オペアンプ バイアス = 低	VREFHI	リファレンス 電圧 HIGH	V_{DD}	$V_{DD} - 0.042$	$V_{DD} - 0.005$	V_{DD}	V
		VAGND	AGND	$V_{DD}/2$	$V_{DD}/2 - 0.046$	$V_{DD}/2 - 0.004$	$V_{DD}/2 + 0.034$	V
		VREFLO	リファレンス 電圧 LOW	V_{SS}	V_{SS}	$V_{SS} + 0.004$	$V_{SS} + 0.017$	V

表 22. 5V 時のアナログ リファレンスの DC 仕様 (続き)

リファ レンス ARF_CR [5:3]	リファレンス電力 設定	記号	リファレンス	説明	Min	Typ	Max	単位
0b011	リファレンス電力 = 高 オペアンプ バイアス = 高	VREFHI	リファレンス 電圧 HIGH	3 × バンドギャップ	3.788	3.891	3.986	V
		VAGND	AGND	2 × バンドギャップ	2.500	2.604	3.699	V
		VREFLO	リファレンス 電圧 LOW	バンドギャップ	1.257	1.306	1.359	V
	リファレンス電力 = 高 オペアンプ バイアス = 低	VREFHI	リファレンス 電圧 HIGH	3 × バンドギャップ	3.792	3.893	3.982	V
		VAGND	AGND	2 × バンドギャップ	2.518	2.602	2.692	V
		VREFLO	リファレンス 電圧 LOW	バンドギャップ	1.256	1.302	1.354	V
	リファレンス電力 = 中 オペアンプ バイアス = 高	VREFHI	リファレンス 電圧 HIGH	3 × バンドギャップ	3.795	3.894	3.993	V
		VAGND	AGND	2 × バンドギャップ	2.516	2.603	2.698	V
		VREFLO	リファレンス 電圧 LOW	バンドギャップ	1.256	1.303	1.353	V
	リファレンス電力 = 中 オペアンプ バイアス = 低	VREFHI	リファレンス 電圧 HIGH	3 × バンドギャップ	3.792	3.895	3.986	V
		VAGND	AGND	2 × バンドギャップ	2.522	2.602	2.685	V
		VREFLO	リファレンス 電圧 LOW	バンドギャップ	1.255	1.301	1.350	V
0b100	リファレンス電力 = 高 オペアンプ バイアス = 高	VREFHI	リファレンス 電圧 HIGH	2 × バンドギャップ + P2[6] (P2[6] = 1.3V)	2.495 – P2[6]	2.586 – P2[6]	2.657 – P2[6]	V
		VAGND	AGND	2 × バンドギャップ	2.502	2.604	2.719	V
		VREFLO	リファレンス 電圧 LOW	2 × バンドギャップ – P2[6] (P2[6] = 1.3V)	2.531 – P2[6]	2.611 – P2[6]	2.681 – P2[6]	V
	リファレンス電力 = 高 オペアンプ バイアス = 低	VREFHI	リファレンス 電圧 HIGH	2 × バンドギャップ + P2[6] (P2[6] = 1.3V)	2.500 – P2[6]	2.591 – P2[6]	2.662 – P2[6]	V
		VAGND	AGND	2 × バンドギャップ	2.519	2.602	2.693	V
		VREFLO	リファレンス 電圧 LOW	2 × バンドギャップ – P2[6] (P2[6] = 1.3V)	2.530 – P2[6]	2.605 – P2[6]	2.666 – P2[6]	V
	リファレンス電力 = 中 オペアンプ バイアス = 高	VREFHI	リファレンス 電圧 HIGH	2 × バンドギャップ + P2[6] (P2[6] = 1.3V)	2.503 – P2[6]	2.592 – P2[6]	2.662 – P2[6]	V
		VAGND	AGND	2 × バンドギャップ	2.517	2.603	2.698	V
		VREFLO	リファレンス 電圧 LOW	2 × バンドギャップ – P2[6] (P2[6] = 1.3V)	2.529 – P2[6]	2.606 – P2[6]	2.665 – P2[6]	V
	リファレンス電力 = 中 オペアンプ バイアス = 低	VREFHI	リファレンス 電圧 HIGH	2 × バンドギャップ + P2[6] (P2[6] = 1.3V)	2.505 – P2[6]	2.594 – P2[6]	2.665 – P2[6]	V
		VAGND	AGND	2 × バンドギャップ	2.525	2.602	2.685	V
		VREFLO	リファレンス 電圧 LOW	2 × バンドギャップ – P2[6] (P2[6] = 1.3V)	2.528 – P2[6]	2.603 – P2[6]	2.661 – P2[6]	V

表 22. 5V 時のアナログ リファレンスの DC 仕様 (続き)

リファ レンス ARF_CR [5:3]	リファレンス電力 設定	記号	リファレンス	説明	Min	Typ	Max	単位
0b101	リファレンス電力 = 高 オペアンプ バイアス = 高	VREFHI	リファレンス 電圧 HIGH	P2[4] + バンドギャッ プ (P2[4] = $V_{DD}/2$)	P2[4] + 1.222	P2[4] + 1.290	P2[4] + 1.343	V
		VAGND	AGND	P2[4]	P2[4]	P2[4]	P2[4]	–
		VREFLO	リファレンス 電圧 LOW	P2[4] – バンドギャッ プ (P2[4] = $V_{DD}/2$)	P2[4] – 1.331	P2[4] – 1.295	P2[4] – 1.254	V
	リファレンス電力 = 高 オペアンプ バイアス = 低	VREFHI	リファレンス 電圧 HIGH	P2[4] + バンドギャッ プ (P2[4] = $V_{DD}/2$)	P2[4] + 1.226	P2[4] + 1.293	P2[4] + 1.347	V
		VAGND	AGND	P2[4]	P2[4]	P2[4]	P2[4]	–
		VREFLO	リファレンス 電圧 LOW	P2[4] – バンドギャッ プ (P2[4] = $V_{DD}/2$)	P2[4] – 1.331	P2[4] – 1.298	P2[4] – 1.259	V
	リファレンス電力 = 中 オペアンプ バイアス = 高	VREFHI	リファレンス 電圧 HIGH	P2[4] + バンドギャッ プ (P2[4] = $V_{DD}/2$)	P2[4] + 1.227	P2[4] + 1.294	P2[4] + 1.347	V
		VAGND	AGND	P2[4]	P2[4]	P2[4]	P2[4]	–
		VREFLO	リファレンス 電圧 LOW	P2[4] – バンドギャッ プ (P2[4] = $V_{DD}/2$)	P2[4] – 1.331	P2[4] – 1.298	P2[4] – 1.259	V
	リファレンス電力 = 中 オペアンプ バイアス = 低	VREFHI	リファレンス 電圧 HIGH	P2[4] + バンドギャッ プ (P2[4] = $V_{DD}/2$)	P2[4] + 1.228	P2[4] + 1.295	P2[4] + 1.349	V
		VAGND	AGND	P2[4]	P2[4]	P2[4]	P2[4]	–
		VREFLO	リファレンス 電圧 LOW	P2[4] – バンドギャッ プ (P2[4] = $V_{DD}/2$)	P2[4] – 1.332	P2[4] – 1.299	P2[4] – 1.260	V
0b110	リファレンス電力 = 高 オペアンプ バイアス = 高	VREFHI	リファレンス 電圧 HIGH	2 × バンドギャップ	2.535	2.598	2.644	V
		VAGND	AGND	バンドギャップ	1.227	1.305	1.398	V
		VREFLO	リファレンス 電圧 LOW	V_{SS}	V_{SS}	$V_{SS} + 0.009$	$V_{SS} + 0.038$	V
	リファレンス電力 = 高 オペアンプ バイアス = 低	VREFHI	リファレンス 電圧 HIGH	2 × バンドギャップ	2.530	2.598	2.643	V
		VAGND	AGND	バンドギャップ	1.244	1.303	1.370	V
		VREFLO	リファレンス 電圧 LOW	V_{SS}	V_{SS}	$V_{SS} + 0.005$	$V_{SS} + 0.024$	V
	リファレンス電力 = 中 オペアンプ バイアス = 高	VREFHI	リファレンス 電圧 HIGH	2 × バンドギャップ	2.532	2.598	2.644	V
		VAGND	AGND	バンドギャップ	1.239	1.304	1.380	V
		VREFLO	リファレンス 電圧 LOW	V_{SS}	V_{SS}	$V_{SS} + 0.006$	$V_{SS} + 0.026$	V
	リファレンス電力 = 中 オペアンプ バイアス = 低	VREFHI	リファレンス 電圧 HIGH	2 × バンドギャップ	2.528	2.598	2.645	V
		VAGND	AGND	バンドギャップ	1.249	1.302	1.362	V
		VREFLO	リファレンス 電圧 LOW	V_{SS}	V_{SS}	$V_{SS} + 0.004$	$V_{SS} + 0.018$	V

表 22. 5V 時のアナログ リファレンスの DC 仕様 (続き)

リファ レンス ARF_CR [5:3]	リファレンス電力 設定	記号	リファレンス	説明	Min	Typ	Max	単位
0b111	リファレンス電力 = 高 オペアンプ バイアス = 高	VREFHI	リファレンス 電圧 HIGH	3.2 × バンドギャップ	4.041	4.155	4.234	V
		VAGND	AGND	1.6 × バンドギャップ	1.998	2.083	2.183	V
		VREFLO	リファレンス 電圧 LOW	V _{SS}	V _{SS}	V _{SS} + 0.010	V _{SS} + 0.038	V
	リファレンス電力 = 高 オペアンプ バイアス = 低	VREFHI	リファレンス 電圧 HIGH	3.2 × バンドギャップ	4.047	4.153	4.236	V
		VAGND	AGND	1.6 × バンドギャップ	2.012	2.082	2.157	V
		VREFLO	リファレンス 電圧 LOW	V _{SS}	V _{SS}	V _{SS} + 0.006	V _{SS} + 0.024	V
	リファレンス電力 = 中 オペアンプ バイアス = 高	VREFHI	リファレンス 電圧 HIGH	3.2 × バンドギャップ	4.049	4.154	4.238	V
		VAGND	AGND	1.6 × バンドギャップ	2.008	2.083	2.165	V
		VREFLO	リファレンス 電圧 LOW	V _{SS}	V _{SS}	V _{SS} + 0.006	V _{SS} + 0.026	V
	リファレンス電力 = 中 オペアンプ バイアス = 低	VREFHI	リファレンス 電圧 HIGH	3.2 × バンドギャップ	4.047	4.154	4.238	V
		VAGND	AGND	1.6 × バンドギャップ	2.016	2.081	2.150	V
		VREFLO	リファレンス 電圧 LOW	V _{SS}	V _{SS}	V _{SS} + 0.004	V _{SS} + 0.018	V

表 23. 3.3V 時のアナログ リファレンスの DC 仕様

リファレンス ARF_CR [5:3]	リファレンス電力設定	記号	リファレンス	説明	Min	Typ	Max	単位
0b000	リファレンス電力 = 高 オペアンプ バイアス = 高	VREFHI	リファレンス電圧 HIGH	$V_{DD}/2$ + バンドギャップ	$V_{DD}/2 + 1.225$	$V_{DD}/2 + 1.292$	$V_{DD}/2 + 1.361$	V
		VAGND	AGND	$V_{DD}/2$	$V_{DD}/2 - 0.067$	$V_{DD}/2 - 0.002$	$V_{DD}/2 + 0.063$	V
		VREFLO	リファレンス電圧 LOW	$V_{DD}/2$ - バンドギャップ	$V_{DD}/2 - 1.35$	$V_{DD}/2 - 1.293$	$V_{DD}/2 - 1.210$	V
	リファレンス電力 = 高 オペアンプ バイアス = 低	VREFHI	リファレンス電圧 HIGH	$V_{DD}/2$ + バンドギャップ	$V_{DD}/2 + 1.218$	$V_{DD}/2 + 1.294$	$V_{DD}/2 + 1.370$	V
		VAGND	AGND	$V_{DD}/2$	$V_{DD}/2 - 0.038$	$V_{DD}/2 - 0.001$	$V_{DD}/2 + 0.035$	V
		VREFLO	リファレンス電圧 LOW	$V_{DD}/2$ - バンドギャップ	$V_{DD}/2 - 1.329$	$V_{DD}/2 - 1.296$	$V_{DD}/2 - 1.259$	V
	リファレンス電力 = 中 オペアンプ バイアス = 高	VREFHI	リファレンス電圧 HIGH	$V_{DD}/2$ + バンドギャップ	$V_{DD}/2 + 1.221$	$V_{DD}/2 + 1.294$	$V_{DD}/2 + 1.366$	V
		VAGND	AGND	$V_{DD}/2$	$V_{DD}/2 - 0.050$	$V_{DD}/2 - 0.002$	$V_{DD}/2 + 0.046$	V
		VREFLO	リファレンス電圧 LOW	$V_{DD}/2$ - バンドギャップ	$V_{DD}/2 - 1.331$	$V_{DD}/2 - 1.296$	$V_{DD}/2 - 1.260$	V
	リファレンス電力 = 中 オペアンプ バイアス = 低	VREFHI	リファレンス電圧 HIGH	$V_{DD}/2$ + バンドギャップ	$V_{DD}/2 + 1.226$	$V_{DD}/2 + 1.295$	$V_{DD}/2 + 1.365$	V
		VAGND	AGND	$V_{DD}/2$	$V_{DD}/2 - 0.028$	$V_{DD}/2 - 0.001$	$V_{DD}/2 + 0.025$	V
		VREFLO	リファレンス電圧 LOW	$V_{DD}/2$ - バンドギャップ	$V_{DD}/2 - 1.329$	$V_{DD}/2 - 1.297$	$V_{DD}/2 - 1.262$	V
0b001	リファレンス電力 = 高 オペアンプ バイアス = 高	VREFHI	リファレンス電圧 HIGH	$P2[4] + P2[6]$ ($P2[4] = V_{DD}/2$, $P2[6] = 0.5V$)	$P2[4] + P2[6] - 0.098$	$P2[4] + P2[6] - 0.018$	$P2[4] + P2[6] + 0.055$	V
		VAGND	AGND	$P2[4]$	$P2[4]$	$P2[4]$	$P2[4]$	-
		VREFLO	リファレンス電圧 LOW	$P2[4] - P2[6]$ ($P2[4] = V_{DD}/2$, $P2[6] = 0.5V$)	$P2[4] - P2[6] - 0.055$	$P2[4] - P2[6] + 0.013$	$P2[4] - P2[6] + 0.086$	V
	リファレンス電力 = 高 オペアンプ バイアス = 低	VREFHI	リファレンス電圧 HIGH	$P2[4] + P2[6]$ ($P2[4] = V_{DD}/2$, $P2[6] = 0.5V$)	$P2[4] + P2[6] - 0.082$	$P2[4] + P2[6] - 0.011$	$P2[4] + P2[6] + 0.050$	V
		VAGND	AGND	$P2[4]$	$P2[4]$	$P2[4]$	$P2[4]$	-
		VREFLO	リファレンス電圧 LOW	$P2[4] - P2[6]$ ($P2[4] = V_{DD}/2$, $P2[6] = 0.5V$)	$P2[4] - P2[6] - 0.037$	$P2[4] - P2[6] + 0.006$	$P2[4] - P2[6] + 0.054$	V
	リファレンス電力 = 中 オペアンプ バイアス = 高	VREFHI	リファレンス電圧 HIGH	$P2[4] + P2[6]$ ($P2[4] = V_{DD}/2$, $P2[6] = 0.5V$)	$P2[4] + P2[6] - 0.079$	$P2[4] + P2[6] - 0.012$	$P2[4] + P2[6] + 0.047$	V
		VAGND	AGND	$P2[4]$	$P2[4]$	$P2[4]$	$P2[4]$	-
		VREFLO	リファレンス電圧 LOW	$P2[4] - P2[6]$ ($P2[4] = V_{DD}/2$, $P2[6] = 0.5V$)	$P2[4] - P2[6] - 0.038$	$P2[4] - P2[6] + 0.006$	$P2[4] - P2[6] + 0.057$	V
	リファレンス電力 = 中 オペアンプ バイアス = 低	VREFHI	リファレンス電圧 HIGH	$P2[4] + P2[6]$ ($P2[4] = V_{DD}/2$, $P2[6] = 0.5V$)	$P2[4] + P2[6] - 0.080$	$P2[4] + P2[6] - 0.008$	$P2[4] + P2[6] + 0.055$	V
		VAGND	AGND	$P2[4]$	$P2[4]$	$P2[4]$	$P2[4]$	-
		VREFLO	リファレンス電圧 LOW	$P2[4] - P2[6]$ ($P2[4] = V_{DD}/2$, $P2[6] = 0.5V$)	$P2[4] - P2[6] - 0.032$	$P2[4] - P2[6] + 0.003$	$P2[4] - P2[6] + 0.042$	V

表 23. 3.3V 時のアナログ リファレンスの DC 仕様

リファレンス ARF_CR [5:3]	リファレンス電力設定	記号	リファレンス	説明	Min	Typ	Max	単位
0b010	リファレンス電力 = 高 オペアンプ バイアス = 高	VREFHI	リファレンス電圧 HIGH	V_{DD}	$V_{DD} - 0.06$	$V_{DD} - 0.010$	V_{DD}	V
		VAGND	AGND	$V_{DD}/2$	$V_{DD}/2 - 0.05$	$V_{DD}/2 - 0.002$	$V_{DD}/2 + 0.040$	V
		VREFLO	リファレンス電圧 LOW	V_{SS}	V_{SS}	$V_{SS} + 0.009$	$V_{SS} + 0.056$	V
	リファレンス電力 = 高 オペアンプ バイアス = 低	VREFHI	リファレンス電圧 HIGH	V_{DD}	$V_{DD} - 0.060$	$V_{DD} - 0.006$	V_{DD}	V
		VAGND	AGND	$V_{DD}/2$	$V_{DD}/2 - 0.028$	$V_{DD}/2 - 0.001$	$V_{DD}/2 + 0.025$	V
		VREFLO	リファレンス電圧 LOW	V_{SS}	V_{SS}	$V_{SS} + 0.005$	$V_{SS} + 0.034$	V
	リファレンス電力 = 中 オペアンプ バイアス = 高	VREFHI	リファレンス電圧 HIGH	V_{DD}	$V_{DD} - 0.058$	$V_{DD} - 0.008$	V_{DD}	V
		VAGND	AGND	$V_{DD}/2$	$V_{DD}/2 - 0.037$	$V_{DD}/2 - 0.002$	$V_{DD}/2 + 0.033$	V
		VREFLO	リファレンス電圧 LOW	V_{SS}	V_{SS}	$V_{SS} + 0.007$	$V_{SS} + 0.046$	V
	リファレンス電力 = 中 オペアンプ バイアス = 低	VREFHI	リファレンス電圧 HIGH	V_{DD}	$V_{DD} - 0.057$	$V_{DD} - 0.006$	V_{DD}	V
		VAGND	AGND	$V_{DD}/2$	$V_{DD}/2 - 0.025$	$V_{DD}/2 - 0.001$	$V_{DD}/2 + 0.022$	V
		VREFLO	リファレンス電圧 LOW	V_{SS}	V_{SS}	$V_{SS} + 0.004$	$V_{SS} + 0.030$	V
0b011	すべての電力設定。 3.3V で許可されません。	—	—	—	—	—	—	—
0b100	すべての電力設定。 3.3V で許可されません。	—	—	—	—	—	—	—
0b101	リファレンス電力 = 高 オペアンプ バイアス = 高	VREFHI	リファレンス電圧 HIGH	$P2[4] + \text{バンドギャップ}$ ($P2[4] = V_{DD}/2$)	$P2[4] + 1.213$	$P2[4] + 1.291$	$P2[4] + 1.367$	V
		VAGND	AGND	$P2[4]$	$P2[4]$	$P2[4]$	$P2[4]$	V
		VREFLO	リファレンス電圧 LOW	$P2[4] - \text{バンドギャップ}$ ($P2[4] = V_{DD}/2$)	$P2[4] - 1.333$	$P2[4] - 1.294$	$P2[4] - 1.208$	V
	リファレンス電力 = 高 オペアンプ バイアス = 低	VREFHI	リファレンス電圧 HIGH	$P2[4] + \text{バンドギャップ}$ ($P2[4] = V_{DD}/2$)	$P2[4] + 1.217$	$P2[4] + 1.294$	$P2[4] + 1.368$	V
		VAGND	AGND	$P2[4]$	$P2[4]$	$P2[4]$	$P2[4]$	V
		VREFLO	リファレンス電圧 LOW	$P2[4] - \text{バンドギャップ}$ ($P2[4] = V_{DD}/2$)	$P2[4] - 1.320$	$P2[4] - 1.296$	$P2[4] - 1.261$	V
	リファレンス電力 = 中 オペアンプ バイアス = 高	VREFHI	リファレンス電圧 HIGH	$P2[4] + \text{バンドギャップ}$ ($P2[4] = V_{DD}/2$)	$P2[4] + 1.217$	$P2[4] + 1.294$	$P2[4] + 1.369$	V
		VAGND	AGND	$P2[4]$	$P2[4]$	$P2[4]$	$P2[4]$	V
		VREFLO	リファレンス電圧 LOW	$P2[4] - \text{バンドギャップ}$ ($P2[4] = V_{DD}/2$)	$P2[4] - 1.322$	$P2[4] - 1.297$	$P2[4] - 1.262$	V
	リファレンス電力 = 中 オペアンプ バイアス = 低	VREFHI	リファレンス電圧 HIGH	$P2[4] + \text{バンドギャップ}$ ($P2[4] = V_{DD}/2$)	$P2[4] + 1.219$	$P2[4] + 1.295$	$P2[4] + 1.37$	V
		VAGND	AGND	$P2[4]$	$P2[4]$	$P2[4]$	$P2[4]$	V
		VREFLO	リファレンス電圧 LOW	$P2[4] - \text{バンドギャップ}$ ($P2[4] = V_{DD}/2$)	$P2[4] - 1.324$	$P2[4] - 1.297$	$P2[4] - 1.262$	V

表 23. 3.3V 時のアナログ リファレンスの DC 仕様

リファレンス ARF_CR [5:3]	リファレンス電力設定	記号	リファレンス	説明	Min	Typ	Max	単位
0b110	リファレンス電力 = 高 オペアンプ バイアス = 高	VREFHI	リファレンス電圧 HIGH	2 × バンドギャップ	2.507	2.598	2.698	V
		VAGND	AGND	バンドギャップ	1.203	1.307	1.424	V
		VREFLO	リファレンス電圧 LOW	Vss	Vss	Vss + 0.012	Vss + 0.067	V
	リファレンス電力 = 高 オペアンプ バイアス = 低	VREFHI	リファレンス電圧 HIGH	2 × バンドギャップ	2.516	2.598	2.683	V
		VAGND	AGND	バンドギャップ	1.241	1.303	1.376	V
		VREFLO	リファレンス電圧 LOW	Vss	Vss	Vss + 0.007	Vss + 0.040	V
	リファレンス電力 = 中 オペアンプ バイアス = 高	VREFHI	リファレンス電圧 HIGH	2 × バンドギャップ	2.510	2.599	2.693	V
		VAGND	AGND	バンドギャップ	1.240	1.305	1.374	V
		VREFLO	リファレンス電圧 LOW	Vss	Vss	Vss + 0.008	Vss + 0.048	V
	リファレンス電力 = 中 オペアンプ バイアス = 低	VREFHI	リファレンス電圧 HIGH	2 × バンドギャップ	2.515	2.598	2.683	V
		VAGND	AGND	バンドギャップ	1.258	1.302	1.355	V
		VREFLO	リファレンス電圧 LOW	Vss	Vss	Vss + 0.005	Vss + 0.03	V
0b111	すべての電力設定。 3.3V で許可されません。	—	—	—	—	—	—	—

アナログ PSoC ブロックの DC 仕様

表 24 に、次の電圧範囲と温度範囲それぞれで保証されている Max と Min の仕様を示します：4.75V ~ 5.25V と $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V と $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。Typ パラメーターは、25°C で 5V または 3.3V のときに適用され、単なる設計の参考用のデータです。

表 24. アナログ PSoC ブロックの DC 仕様

記号	説明	Min	Typ	Max	単位
R _{CT}	抵抗ユニット値 (連続時間)	—	12.2	—	kΩ
C _{SC}	コンデンサユニット値 (スイッチト キャパシタ)	—	80	—	fF

POR および LVD の DC 仕様

表 25 に、次の電圧範囲と温度範囲それぞれで保証されている Max と Min の仕様を示します: 4.75V ~ 5.25V と $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V と $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。Typ パラメータは、 25°C で 5V または 3.3V のときに適用され、単なる設計の参考用のデータです。

注: 下表に記載されている PORLEV および VM ビットは、VLT CR レジスタのビットを指します。VLT CR レジスタの詳細については、PSoC プログラマブル システム オンチップの [テクニカル リファレンス マニュアル](#) を参照してください。

表 25. POR および LVD の DC 仕様

記号	説明	Min	Typ	Max	単位	備考
V _{PPOR0R} V _{PPOR1R} V _{PPOR2R}	PPOR トリップ (正のランプ) 用の V _{DD} 値 PORLEV[1:0] = 00b PORLEV[1:0] = 01b PORLEV[1:0] = 10b	— — —	2.91 4.39 4.55	— — —	V V V	起動中、XRES ピンによるリセット中、またはウォッチドッグによるリセット中に V _{DD} は 2.5V 以上でなければなりません。
V _{PPOR0} V _{PPOR1} V _{PPOR2}	PPOR トリップ (負のランプ) 用の V _{DD} 値 PORLEV[1:0] = 00b PORLEV[1:0] = 01b PORLEV[1:0] = 10b	— — —	2.82 4.39 4.55	— — —	V V V	
V _{PH0} V _{PH1} V _{PH2}	PPOR ヒステリシス PORLEV[1:0] = 01b PORLEV[1:0] = 01b PORLEV[1:0] = 10b	— — —	92 0 0	— — —	mV mV mV	
V _{LVD0} V _{LVD1} V _{LVD2} V _{LVD3} V _{LVD4} V _{LVD5} V _{LVD6} V _{LVD7}	LVD トリップ用の V _{DD} 値 VM[2:0] = 000b VM[2:0] = 001b VM[2:0] = 010b VM[2:0] = 011b VM[2:0] = 100b VM[2:0] = 101b VM[2:0] = 110b VM[2:0] = 111b	2.86 2.96 3.07 3.92 4.39 4.55 4.63 4.72	2.92 3.02 3.13 4.00 4.48 4.64 4.73 4.81	2.98 ^[17] 3.08 3.20 4.08 4.57 4.74 ^[18] 4.82 4.91	V V V V V V V V	
V _{PUMP0} V _{PUMP1} V _{PUMP2} V _{PUMP3} V _{PUMP4} V _{PUMP5} V _{PUMP6} V _{PUMP7}	ポンプ トリップ用の V _{DD} 値 VM[2:0] = 000b VM[2:0] = 001b VM[2:0] = 010b VM[2:0] = 011b VM[2:0] = 100b VM[2:0] = 101b VM[2:0] = 110b VM[2:0] = 111b	2.96 3.03 3.18 4.11 4.55 4.63 4.72 4.90	3.02 3.10 3.25 4.19 4.64 4.73 4.82 5.00	3.08 3.16 3.32 4.28 4.74 4.82 4.91 5.10	V V V V V V V V	

注:

17. 電源電圧低下時、必ず PPOR (PORLEV = 00) を 50mV 超えた値です。
18. 電源電圧低下時、必ず PPOR (PORLEV = 10) を 50mV 超えた値です。

プログラミングの DC 仕様

表 26 に、次の電圧範囲と温度範囲それぞれで保証されている Max と Min の仕様を示します: $4.75\text{V} \sim 5.25\text{V}$ と $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$ 、または $3.0\text{V} \sim 3.6\text{V}$ と $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$ 。Typ パラメーターは、 25°C で 5V または 3.3V のときに適用され、単なる設計の参考用のデータです。

表 26. プログラミングの DC 仕様

記号	説明	Min	Typ	Max	単位	備考
V_{DDP}	プログラミングおよび消去用の V_{DD}	4.5	5	5.5	V	この仕様は外部プログラマツールの機能要件に適用されます。
$V_{DDL\text{V}}$	検証用の低 V_{DD}	3	3.1	3.2	V	この仕様は外部プログラマツールの機能要件に適用されます。
$V_{DDH\text{V}}$	検証用の高 V_{DD}	5.1	5.2	5.3	V	この仕様は外部プログラマツールの機能要件に適用されます。
$V_{DDI\text{WRITE}}$	フラッシュ書き込み動作の電源電圧	3		5.25	V	この仕様は、デバイスが内部フラッシュ書き込みを実行しているときに適用されます。
I_{DDP}	プログラミングまたは検証時の供給電流	–	5	25	mA	
V_{ILP}	プログラミングまたは検証時の入力 LOW 電圧	–	–	0.8	V	
V_{IHP}	プログラミングまたは検証時の入力 HIGH 電圧	2.2	–	–	V	
I_{ILP}	プログラミングまたは検証時に V_{ILP} を P1[0] または P1[1] に印加するときの入力電流	–	–	0.2	mA	内部プルダウン抵抗を駆動します。
I_{IHP}	プログラミングまたは検証時に V_{IHP} を P1[0] または P1[1] に印加するときの入力電流	–	–	1.5	mA	内部プルダウン抵抗を駆動します。
V_{OLV}	プログラミングまたは検証時の出力 LOW 電圧	–	–	$V_{SS} + 0.75$	V	
V_{OHV}	プログラミングまたは検証時の出力 HIGH 電圧	$V_{DD} - 1.0$	–	V_{DD}	V	
Flash _{ENPB}	フラッシュ アクセス可能回数 (ブロックあたり)	50,000 ^[19]	–	–	サイクル	ブロックあたりの消去／書き込み回数
Flash _{ENT}	フラッシュ アクセス可能回数 (合計) ^[20]	1,800,000	–	–	サイクル	消去／書き込み回数
Flash _{DR}	フラッシュ データ保持期間	10	–	–	年	

I²C の DC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている Max と Min の仕様を示します: $4.75\text{V} \sim 5.25\text{V}$ と $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$ 、または $3.0\text{V} \sim 3.6\text{V}$ と $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$ 。Typ パラメーターは、 25°C で 5V または 3.3V のときに適用され、単なる設計の参考用のデータです。

表 27. I²C の DC 仕様

記号	説明	Min	Typ	Max	単位	備考
V_{ILI2C} ^[21]	入力 LOW 電圧	–	–	$0.3 \times V_{DD}$	V	$3.0\text{V} \leq V_{DD} \leq 3.6\text{V}$
		–	–	$0.25 \times V_{DD}$	V	$4.75\text{V} \leq V_{DD} \leq 5.25\text{V}$
V_{IHI2C} ^[21]	入力 HIGH 電圧	$0.7 \times V_{DD}$	–	–	V	$3.0\text{V} \leq V_{DD} \leq 5.25\text{V}$

注:

19. ブロックあたりの 50,000 サイクルのフラッシュ アクセス可能回数は、フラッシュが 1 つの電圧範囲内で動作している場合にのみ保証されます。電圧範囲は、 $3.0\text{V} \sim 3.6\text{V}$ および $4.75\text{V} \sim 5.25\text{V}$ です。
20. 最大 $36 \times 50,000$ ブロック アクセス サイクルが可能です。それぞれ最大 50,000 サイクルの 36×1 ブロック、それぞれ最大 25,000 サイクルの 36×2 ブロック、またはそれぞれ最大 12,500 サイクルの 36×4 ブロックに対する動作を比較検討できます (これにより、合計サイクル数は $36 \times 50,000$ に制限され、どのブロックも 50,000 サイクルを超える状態は発生しません)。
産業用温度範囲を完全に実現するためには、温度センサー ユーザー モジュール (FlashTemp) を使用し、その結果を書き込み前に温度の引数に渡す必要があります。詳細は、フラッシュ API アプリケーション ノート「[Design Aids – Reading and Writing PSoC® Flash – AN2015](#)」を参照してください。
21. すべての GPIO は、GPIO の DC 仕様の節に記載されている GPIO V_{IL} および V_{IH} の DC 仕様を満たします。I²C GPIO ピンも上記の仕様を満たします。

AC 電気的特性

チップ レベルの AC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている Max と Min の仕様を示します：4.75V ~ 5.25V と $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V と $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。Typ パラメーターは、25°C で 5V または 3.3V のときに適用され、単なる設計の参考用のデータです。

表 28. チップ レベルの AC 仕様

記号	説明	Min	Typ	Max	単位	備考
F _{IMO}	内部主発振器 (IMO) 周波数	23.4	24	24.6 ^[22]	MHz	トリミング済み。工場出荷時のトリミング値を使用します。
F _{CPU1}	CPU 周波数 (公称電圧 5V)	0.0914	24	24.6 ^[22]	MHz	トリミング済み。工場出荷時のトリミング値を使用します。SLIMO モード = 0
F _{CPU2}	CPU 周波数 (公称電圧 3.3V)	0.0914	12	12.3 ^[23]	MHz	トリミング済み。工場出荷時のトリミング値を使用します。SLIMO モード = 0
F _{48M}	デジタル PSoC ブロック周波数	0	48	49.2 ^[22, 24]	MHz	41 ページのデジタル ブロックの AC 仕様を参照してください。
F _{24M}	デジタル PSoC ブロック周波数	0	24	24.6 ^[24]	MHz	
F _{32K1}	内部低速発振器 (ILO) 周波数	15	32	64	kHz	
F _{32K2}	外部水晶発振器	–	32.768	–	kHz	精度はコンデンサと水晶振動子に依存します。デューティ比は 50% です。
F _{32K_U}	ILO 周波数 (未トリム)	5	–	100	kHz	リセット後、m8c が起動するまで、ILO はトリミングされません。タイミング計測の詳細は、PSoC テクニカル リファレンス マニュアルのシステム リセット章を参照してください。
F _{PLL}	PLL 周波数	–	23.986	–	MHz	水晶振動子周波数の倍数 (x732)
t _{PLLSLEW}	PLL ロック時間	0.5	–	10	ms	
t _{PLLSLEWSLOW}	低ゲイン設定用の PLL ロック時間	0.5	–	50	ms	
t _{OS}	外部水晶発振器の起動時から 1% に達するまでの時間	–	1700	2620	ms	
t _{OSACC}	外部水晶発振器の起動時から 100ppm 許容誤差に達するまでの時間	–	2800	3800	ms	水晶発振器周波数は T _{OSACC} 時間経過までに最終値の 100ppm の許容誤差範囲内になります。正常な動作は、適切な負荷状態の、最大 1μW 駆動レベルの 32.768kHz 水晶振動子を前提としています。 3.0V ≤ V _{DD} ≤ 5.5V、 –40°C ≤ T _A ≤ 85°C。
t _{XRST}	外部リセット パルス幅	10	–	–	μs	
DC _{24M}	24MHz デューティ比	40	50	60	%	
DC _{ILO}	ILO デューティ比	20	50	80	%	
Step _{24M}	24MHz トリミング ステップ サイズ	–	50	–	kHz	
t _{POWERUP}	POR の終了から CPU コード実行までの時間	–	16	100	ms	0V からの起動します。PSoC テクニカル リファレンス マニュアルのシステム リセット章を参照してください。

注：

22. 4.75V < V_{DD} < 5.25V。

23. 3.0V < V_{DD} < 3.6V。3.3V 動作のトリミングについては、「Adjusting PSoC® Trims for 3.3 V and 2.7 V Operation – AN2012」アプリケーション ノートを参照してください。

24. ユーザー モジュールの最大周波数については、個々のユーザー モジュール データシートを参照してください。

表 28. チップ レベルの AC 仕様 (続き)

記号	説明	Min	Typ	Max	単位	備考
F_{out48M}	48MHz 出力周波数	46.8	48.0	49.2 ^[22, 23]	MHz	トリミング済み。工場出荷時のトリミング値を使用します。
F_{MAX}	行入力または行出力信号の最大周波数	–	–	12.3	MHz	
SR_{POWER_UP}	電源電圧スルー レート	–	–	250	V/ms	電源投入時の V_{DD} スルー レート
$t_{jit_IMO}^{[25]}$	24MHz IMO サイクル間ジッタ (RMS)	–	200	700	ps	N = 32
	24MHz IMO 長期 N サイクル間ジッタ (RMS)	–	300	900		
	24MHz IMO 周期ジッタ (RMS)	–	100	400		
$t_{jit_PLL}^{[25]}$	24MHz IMO サイクル間ジッタ (RMS)	–	200	800	ps	N = 32
	24MHz IMO 長期 N サイクル間ジッタ (RMS)	–	300	1200		
	24MHz IMO 周期ジッタ (RMS)	–	100	700		

図 13. PLL ロック タイミング図

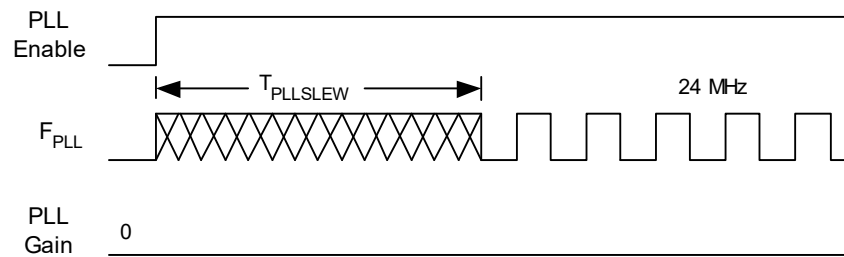


図 14. 低ゲイン設定用の PLL ロックのタイミング図

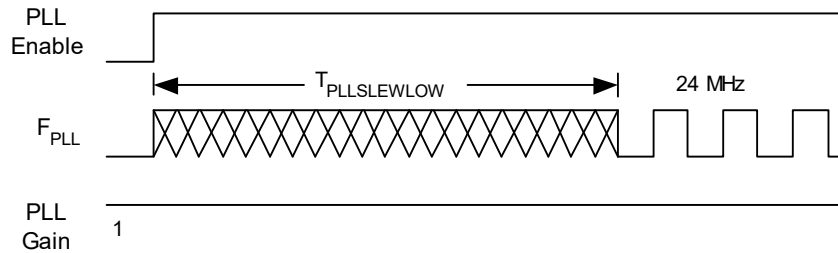
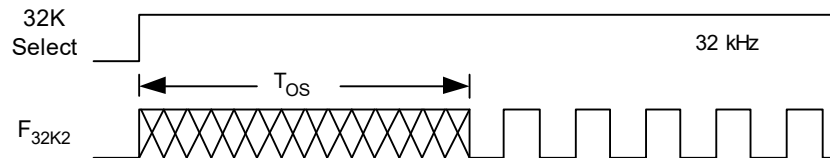


図 15. 外部水晶発振器の起動タイミング図



注：
 25. 詳細は、サイプレスのジッタ仕様 アプリケーション ノート「[Understanding Datasheet Jitter Specifications for Cypress Timing Products – AN5054](#)」を参照してください。

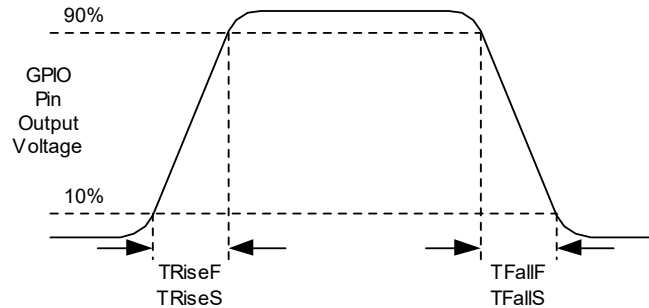
GPIO の AC 仕様

表 29 に、次の電圧範囲と温度範囲それぞれで保証されている Max と Min の仕様を示します: $4.75\text{V} \sim 5.25\text{V}$ と $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または $3.0\text{V} \sim 3.6\text{V}$ と $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。Typ パラメーターは、 25°C で 5V または 3.3V のときに適用され、単なる設計の参考用のデータです。

表 29. GPIO の AC 仕様

記号	説明	Min	Typ	Max	単位	備考
F_{GPIO}	GPIO 動作周波数	0	—	12	MHz	通常ストロング モード
t_{RiseF}	立ち上がり時間、通常ストロング モード、 $C_{\text{load}} = 50\text{pF}$	3	—	18	ns	$V_{\text{DD}} = 4.5 \sim 5.25\text{V}$ 、 $10\% \sim 90\%$
t_{FallF}	立ち下がり時間、通常ストロング モード、 $C_{\text{load}} = 50\text{pF}$	2	—	18	ns	$V_{\text{DD}} = 4.5 \sim 5.25\text{V}$ 、 $10\% \sim 90\%$
t_{RiseS}	立ち上がり時間、低速ストロング モード、 $C_{\text{load}} = 50\text{pF}$	10	27	—	ns	$V_{\text{DD}} = 3\text{V} \sim 5.25\text{V}$ 、 $10\% \sim 90\%$
t_{FallS}	立ち下がり時間、低速ストロング モード、 $C_{\text{load}} = 50\text{pF}$	10	22	—	ns	$V_{\text{DD}} = 3\text{V} \sim 5.25\text{V}$ 、 $10\% \sim 90\%$

図 16. GPIO のタイミング図



オペアンプの AC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている Max と Min の仕様を示します: $4.75\text{V} \sim 5.25\text{V}$ と $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または $3.0\text{V} \sim 3.6\text{V}$ と $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。Typ パラメーターは、 25°C で 5V または 3.3V のときに適用され、単なる設計の参考用のデータです。

安定時間、スルー レート、およびゲイン帯域幅はアナログ連続時間 PSoC ブロックに基づいています。

「電力 = 高、オペアンプ バイアス = 高」設定は 3.3V に対応していません。

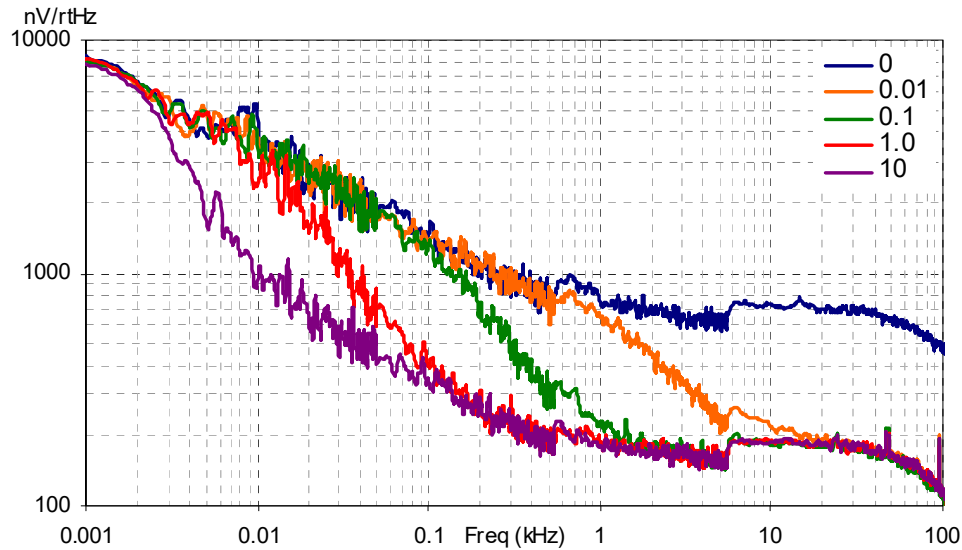
表 30. 5V 時のオペアンプの AC 仕様

記号	説明	Min	Typ	Max	単位
t_{ROA}	$\Delta V = 80\%$ から $\Delta V = 0.1\%$ までの立ち上がり安定時間 (10pF 負荷、ユニティ ゲイン) 電力 = 低、オペアンプ バイアス = 低 電力 = 中、オペアンプ バイアス = 高 電力 = 高、オペアンプ バイアス = 高	— — —	— — —	3.9 0.72 0.62	μs μs μs
t_{SOA}	$\Delta V = 20\%$ から $\Delta V = 0.1\%$ までの立ち下がり安定時間 (10pF 負荷、ユニティ ゲイン) 電力 = 低、オペアンプ バイアス = 低 電力 = 中、オペアンプ バイアス = 高 電力 = 高、オペアンプ バイアス = 高	— — —	— — —	5.9 0.92 0.72	μs μs μs
SR_{ROA}	立ち上がりスルー レート (20% から 80% まで) (10pF 負荷、ユニティ ゲイン) 電力 = 低、オペアンプ バイアス = 低 電力 = 中、オペアンプ バイアス = 高 電力 = 高、オペアンプ バイアス = 高	0.15 1.7 6.5	— — —	— — —	$\text{V}/\mu\text{s}$ $\text{V}/\mu\text{s}$ $\text{V}/\mu\text{s}$
SR_{FOA}	立ち下がりスルー レート (20% から 80% まで) (10pF 負荷、ユニティ ゲイン) 電力 = 低、オペアンプ バイアス = 低 電力 = 中、オペアンプ バイアス = 高 電力 = 高、オペアンプ バイアス = 高	0.01 0.5 4.0	— — —	— — —	$\text{V}/\mu\text{s}$ $\text{V}/\mu\text{s}$ $\text{V}/\mu\text{s}$
BW_{OA}	ゲイン帯域幅積 消費電力 = 低、オペアンプ バイアス = 低 電力 = 中、オペアンプ バイアス = 高 電力 = 高、オペアンプ バイアス = 高	0.75 3.1 5.4	— — —	— — —	MHz MHz MHz
E_{NOA}	1kHz 時のノイズ (電力 = 中、オペアンプ バイアス = 高)	—	100	—	$\text{nV}/\text{rt-Hz}$

表 31. 3.3V 時のオペアンプの AC 仕様

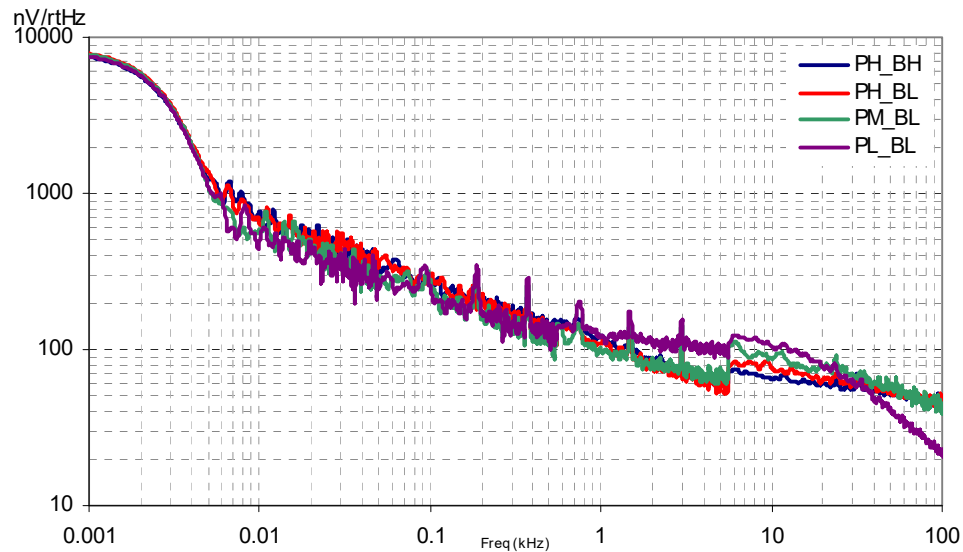
記号	説明	Min	Typ	Max	単位
t_{ROA}	$\Delta V = 80\%$ から $\Delta V = 0.1\%$ までの立ち上がり整定時間 (10pF 負荷、ユニティ ゲイン) 電力 = 低、オペアンプ バイアス = 低 電力 = 低、オペアンプ バイアス = 高	— —	— —	3.92 0.72	μs μs
t_{SOA}	$\Delta V = 20\%$ から $\Delta V = 0.1\%$ までの立ち下がり整定時間 (10pF 負荷、ユニティ ゲイン) 電力 = 低、オペアンプ バイアス = 低 電力 = 中、オペアンプ バイアス = 高	— —	— —	5.41 0.72	μs μs
SR_{ROA}	立ち上がりスルー レート (20% から 80% まで) (10pF 負荷、ユニティ ゲイン) 電力 = 低、オペアンプ バイアス = 低 電力 = 中、オペアンプ バイアス = 高	0.31 2.7	— —	— —	V/ μs V/ μs
SR_{FOA}	立ち下がりスルー レート (20% から 80% まで) (10pF 負荷、ユニティ ゲイン) 電力 = 低、オペアンプ バイアス = 低 電力 = 中、オペアンプ バイアス = 高	0.24 1.8	— —	— —	V/ μs V/ μs
BW_{OA}	ゲイン帯域幅積 電力 = 低、オペアンプ バイアス = 低 電力 = 中、オペアンプ バイアス = 高	0.67 2.8	— —	— —	MHz MHz
E_{NOA}	1kHz 時のノイズ (電力 = 中、オペアンプ バイアス = 高)	—	100	—	nV/rt-Hz

P2[4] に接続したコンデンサでバイパスされると、各ブロックに分配されるアナログ グランド信号のノイズは最大 5 係数で (14dB) 減少されます。これは、内蔵 8.1k 抵抗と外部コンデンサにより定義されたコーナー周波数以上の周波数で行われます。

図 17. P2[4] でのバイパス コンデンサを使用した場合の標準 AGND ノイズ


低い周波数では、オペアンプ ノイズは $1/f$ に比例し、電力に依存せず、デバイスの形状で決まります。高い周波数では、電圧レベルが高いほどノイズの拡散レベルが低くなります。

図 18. 標準オペアンプ ノイズ



低消費電力コンパレータの AC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている Max と Min の仕様を示します：4.75V ~ 5.25V と $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、3.0V ~ 3.6V と $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 2.4V ~ 3.0V と $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。Typ パラメーターは、25°C で 5V のときに適用され、単なる設計の参考用のデータです。

表 32. 低消費電力コンパレータの AC 仕様

記号	説明	Min	Typ	Max	単位	備考
t_{RLPC}	LPC 応答時間	—	—	50	μs	50mV 以上、 V_{REFLPC} 以下のコンパレータ リファレンスに設定されます。

デジタルブロックの AC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている Max と Min の仕様を示します：4.75V ~ 5.25V と $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V と $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。Typ パラメーターは、25°C で 5V または 3.3V のときに適用され、単なる設計の参考用のデータです。

表 33. デジタルブロックの AC 仕様

機能	説明	Min	Typ	Max	単位	備考
すべての機能	ブロック入力クロック周波数					
	$V_{DD} \geq 4.75\text{V}$	—	—	49.2	MHz	
	$V_{DD} < 4.75\text{V}$	—	—	24.6	MHz	
タイマー [26, 27]	入力クロック周波数					
	キャプチャなし、 $V_{DD} \geq 4.75\text{V}$	—	—	49.2	MHz	
	キャプチャなし、 $V_{DD} < 4.75\text{V}$	—	—	24.6	MHz	
	キャプチャあり	—	—	24.6	MHz	
	キャプチャ パルス幅	50 ^[28]	—	—	ns	
カウンタ	入力クロック周波数					
	イネーブル入力なし、 $V_{DD} \geq 4.75\text{V}$	—	—	49.2	MHz	
	イネーブル入力なし、 $V_{DD} < 4.75\text{V}$	—	—	24.6	MHz	
	イネーブル入力あり	—	—	24.6	MHz	
	イネーブル入力パルス幅	50 ^[28]	—	—	ns	
デッド バンド	キル パルス幅					
	非同期リスタート モード	20	—	—	ns	
	同期リスタート モード	50 ^[28]	—	—	ns	
	ディセーブル モード	50 ^[28]	—	—	ns	
	入力クロック周波数					
	$V_{DD} \geq 4.75\text{V}$	—	—	49.2	MHz	
	$V_{DD} < 4.75\text{V}$	—	—	24.6	MHz	
CRCPRS (PRS モード)	入力クロック周波数					
	$V_{DD} \geq 4.75\text{V}$	—	—	49.2	MHz	
	$V_{DD} < 4.75\text{V}$	—	—	24.6	MHz	
CRCPRS (CRC モード)	入力クロック周波数	—	—	24.6	MHz	
SPIM	入力クロック周波数	—	—	8.2	MHz	SPI シリアル クロック (SCLK) 周波数は入力クロック周波数を 2 で割った値になります。
SPIS [29]	入力クロック (SCLK) 周波数	—	—	4.1	MHz	入力クロックは SPIS モードでの SPI SCLK です。
	送信間の SS_Negated の幅	50 ^[28]	—	—	ns	
トランスミッタ	入力クロック周波数					
	$V_{DD} \geq 4.75\text{V}$ 、2 ストップ ビット	—	—	49.2	MHz	ボーレートは入力クロック周波数を 8 で割った値になります。
	$V_{DD} \geq 4.75\text{V}$ 、1 ストップ ビット	—	—	24.6	MHz	
	$V_{DD} < 4.75\text{V}$	—	—	24.6	MHz	
レシーバ	入力クロック周波数					ボーレートは入力クロック周波数を 8 で割った値になります。
	$V_{DD} \geq 4.75\text{V}$ 、2 ストップ ビット	—	—	49.2	MHz	
	$V_{DD} \geq 4.75\text{V}$ 、1 ストップ ビット	—	—	24.6	MHz	
	$V_{DD} < 4.75\text{V}$	—	—	24.6	MHz	

アナログ出力バッファの AC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている Max と Min の仕様を示します : $4.75\text{V} \sim 5.25\text{V}$ と $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または $3.0\text{V} \sim 3.6\text{V}$ と $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。Typ パラメーターは、 25°C で 5V または 3.3V のときに適用され、単なる設計の参考用のデータです。

表 34. 5V 時のアナログ出力バッファの AC 仕様

記号	説明	Min	Typ	Max	単位
t_{ROB}	0.1% に達するまでの立ち上がり整定時間、1V ステップ、100pF 負荷 電力 = 低 電力 = 高	— —	— —	2.5 2.5	μs μs
t_{SOB}	0.1% に達するまでの立ち下がり整定時間、1V ステップ、100pF 負荷 電力 = 低 電力 = 高	— —	— —	2.2 2.2	μs μs
SR_{ROB}	立ち上がりスルー レート (20% から 80% まで)、1V ステップ、100pF 負荷 電力 = 低 電力 = 高	0.65 0.65	— —	— —	$\text{V}/\mu\text{s}$ $\text{V}/\mu\text{s}$
SR_{FOB}	立ち上がりスルー レート (80% から 20% まで)、1V ステップ、100pF 負荷 電力 = 低 電力 = 高	0.65 0.65	— —	— —	$\text{V}/\mu\text{s}$ $\text{V}/\mu\text{s}$
BW_{OB}	小信号帯域幅、 20mV_{pp} 、3dB BW、100pF 負荷 電力 = 低 電力 = 高	0.8 0.8	— —	— —	MHz MHz
BW_{OB}	大信号帯域幅、 1V_{pp} 、3dB BW、100pF 負荷 電力 = 低 電力 = 高	300 300	— —	— —	kHz kHz

表 35. 3.3V 時のアナログ出力バッファの AC 仕様

記号	説明	Min	Typ	Max	単位
t_{ROB}	0.1% に達するまでの立ち上がり整定時間、1V ステップ、100pF 負荷 電力 = 低 電力 = 高	— —	— —	3.8 3.8	μs μs
t_{SOB}	0.1% に達するまでの立ち下がり整定時間、1V ステップ、100pF 負荷 電力 = 低 電力 = 高	— —	— —	2.6 2.6	μs μs
SR_{ROB}	立ち上がりスルー レート (20% から 80% まで)、1V ステップ、100pF 負荷 電力 = 低 電力 = 高	0.5 0.5	— —	— —	$\text{V}/\mu\text{s}$ $\text{V}/\mu\text{s}$
SR_{FOB}	立ち上がりスルー レート (80% から 20% まで)、1V ステップ、100pF 負荷 電力 = 低 電力 = 高	0.5 0.5	— —	— —	$\text{V}/\mu\text{s}$ $\text{V}/\mu\text{s}$
BW_{OB}	小信号帯域幅、 20mV_{pp} 、3dB BW、100pF 負荷 電力 = 低 電力 = 高	0.7 0.7	— —	— —	MHz MHz
BW_{OB}	大信号帯域幅、 1V_{pp} 、3 dB BW、100pF 負荷 電力 = 低 電力 = 高	200 200	— —	— —	kHz kHz

注 :

26. **エラー** : $4.75\text{V} \sim 5.25\text{V}$ 範囲内で動作するとき、入力キャプチャ信号は行出力信号またはブロードキャスト クロック信号から生成できません。この問題はシリコン チップ Rev. B で解決されました。詳細は、63 ページの「エラー」を参照してください。
27. **エラー** : $3.0\text{V} \sim 4.75\text{V}$ 範囲内で動作するとき、入力キャプチャ信号は再同期化された行入力信号からのみ生成できます。この問題はシリコン チップ Rev. B で解決されました。詳細は、63 ページの「エラー」を参照してください。
28. 50ns の最小入力パルス幅は、24MHz (42ns 公称期間) で動作している入力シンクロナイザに基づいています。
29. **エラー** : PSoC では、1 つの SPI スレーブ ブロックの 1 つの出力が他の SPI スレーブ ブロックの入力に接続されたとき、データが正常にシフトされますが、最終ビットが間違っていて読み出されます。この問題の回避方法および詳細情報は、63 ページの「エラー」を参照してください。

外部クロックの AC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている Max と Min の仕様を示します：4.75V ~ 5.25V と $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V と $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。Typ パラメーターは、25°C で 5V または 3.3V のときに適用され、単なる設計の参考用のデータです。

表 36. 5V 時の外部クロックの AC 仕様

記号	説明	Min	Typ	Max	単位
F _{OSCEXT}	周波数	0.093	—	24.6	MHz
—	HIGH 期間	20.6	—	5300	ns
—	LOW 期間	20.6	—	—	ns
—	IMO 起動から切り替えまでの時間	150	—	—	μs

表 37. 3.3V 時の外部クロックの AC 仕様

記号	説明	Min	Typ	Max	単位
F _{OSCEXT}	1 で分周した CPU クロック周波数 ^[30]	0.093	—	12.3	MHz
F _{OSCEXT}	2 以上で分周した CPU クロック周波数 ^[31]	0.186	—	24.6	MHz
—	1 で分周した CPU クロックの場合の HIGH 期間	41.7	—	5300	ns
—	1 で分周した CPU クロックの場合の LOW 期間	41.7	—	—	ns
—	IMO 起動から切り替えまでの時間	150	—	—	μs

プログラミングの AC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている Max と Min の仕様を示します：4.75V ~ 5.25V と $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V と $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。Typ パラメーターは、25°C で 5V または 3.3V のときに適用され、単なる設計の参考用のデータです。

表 38. プログラミングの AC 仕様

記号	説明	Min	Typ	Max	単位	備考
t _{RSCLK}	SCLK の立ち上がり時間	1	—	20	ns	
t _{FSCLK}	SCLK の立ち下がり時間	1	—	20	ns	
t _{SSCLK}	SCLK 立ち下がりエッジまでのデータ セットアップ時間	40	—	—	ns	
t _{HSCLK}	SCLK の立ち下がりエッジからのデータ ホールド時間	40	—	—	ns	
F _{SCLK}	SCLK 周波数	0	—	8	MHz	
t _{ERASEB}	フラッシュ消去時間 (ブロック)	—	30	—	ms	
t _{WRITE}	フラッシュ ブロック書き込み時間	—	10	—	ms	
t _{DSCLK}	SCLK 立ち下がりエッジからのデータ 出力遅延時間	—	—	45	ns	V _{DD} > 3.6
t _{DSCLK3}	SCLK 立ち下がりエッジからのデータ 出力遅延時間	—	—	50	ns	3.0 ≤ V _{DD} ≤ 3.6
t _{ERASEALL}	フラッシュ消去時間 (パルク)	—	95	—	ms	すべてのブロックおよび保護領域を一度に消去します。
t _{PROGRAM_HOT}	フラッシュ ブロック消去 + フラッシュ ブロック書き込み時間	—	—	80 ^[32]	ms	0°C ≤ T _j ≤ 100°C
t _{PROGRAM_COLD}	フラッシュ ブロック消去 + フラッシュ ブロック書き込み時間	—	—	160 ^[32]	ms	-40°C ≤ T _j ≤ 0°C

注：

30. 最大 CPU 周波数は 3.3V のときは 12MHz です。CPU クロック分周器が 1 に設定された場合、外部クロックの最大周波数とデューティ比の要件を満たす必要があります。
31. 外部クロックの周波数が 12MHz を超えた場合、CPU のクロック分周器は 2 以上に設定する必要があります。この場合、CPU クロック分周器は、50% のデューティ比の要件を満たすことを保証します。
32. 産業用温度範囲を完全に実現するためには、温度センサー ユーザー モジュール (FlashTemp) を使用し、その結果を書き込み前に温度の引数に渡す必要があります。詳細は、フラッシュ API アプリケーション ノート「Design Aids – Reading and Writing PSoC® Flash – AN2015」を参照してください。

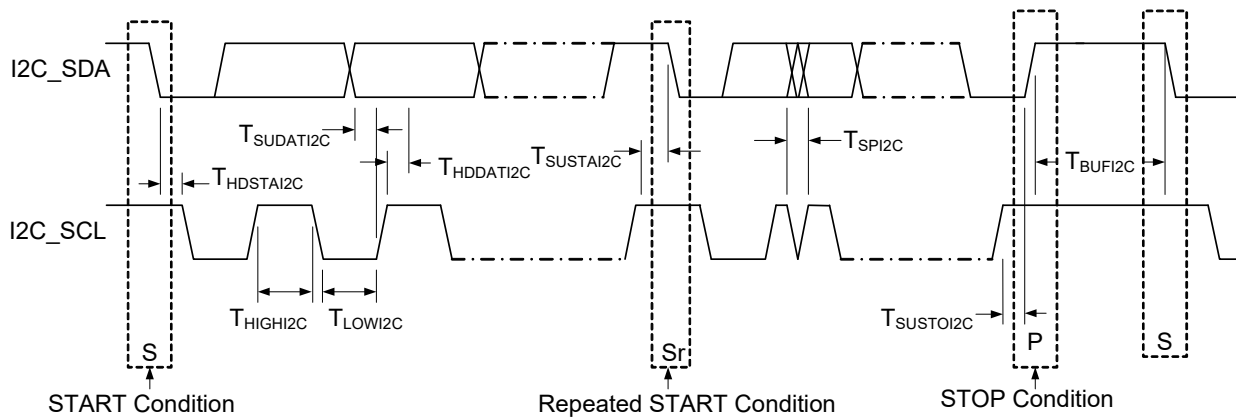
I²C の AC 仕様

表 39 に、次の電圧範囲と温度範囲それぞれで保証されている Max と Min の仕様を示します：4.75V ~ 5.25V と $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V と $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。Typ パラメーターは、25°C で 5V または 3.3V のときに適用され、単なる設計の参考用のデータです。

表 39. I²C の SDA と SCL ピンの AC 特性

記号	説明	標準モード		ファスト モード		単位
		Min	Max	Min	Max	
$F_{\text{SCL}I2C}$	SCL クロック周波数	0	100	0	400	kHz
$t_{\text{HDSTA}I2C}$	ホールド時間（反復）START 条件（この時間が経過した後、最初のクロックパルスが生成されます。）	4.0	—	0.6	—	μs
$t_{\text{LOW}I2C}$	SCL クロックの LOW 期間	4.7	—	1.3	—	μs
$t_{\text{HIGH}I2C}$	SCL クロックの HIGH 期間	4.0	—	0.6	—	μs
$t_{\text{SUSTA}I2C}$	反復 START 条件のセットアップ時間	4.7	—	0.6	—	μs
$t_{\text{HDDAT}I2C}$	データ ホールド時間	0	—	0	—	μs
$t_{\text{SUDAT}I2C}$	データ セットアップ時間	250	—	100 ^[33]	—	ns
$t_{\text{SUSTOI}2C}$	STOP 条件のセットアップ時間	4.0	—	0.6	—	μs
$t_{\text{BUFI}2C}$	STOP 条件と START 条件間のバス空き時間	4.7	—	1.3	—	μs
$t_{\text{SPI}2C}$	入カフィルターによって抑制されるスパイクのパルス幅	—	—	0	50	ns

図 19. ファースト モードと標準モードの I²C バスのタイミングの定義



注：

33. ファスト モードの I2C バス デバイスは標準モードの I2C バス システムでも使用できますが、 $t_{\text{SU:DAT}} \geq 250\text{ns}$ の要件を満たさなければなりません。デバイスが SCL 信号の LOW 期間を伸ばさなければ、この要件を自動的に満たします。デバイスが SCL 信号の LOW 期間を伸ばす場合は、SCL ラインを解放する時点より $t_{\text{rmax}} + t_{\text{SU:DAT}} = 1000 + 250 = 1250\text{ns}$ 前に（標準モード I2C バスの仕様に従って）次のデータ ビットを SDA ラインに出力する必要があります。

パッケージ情報

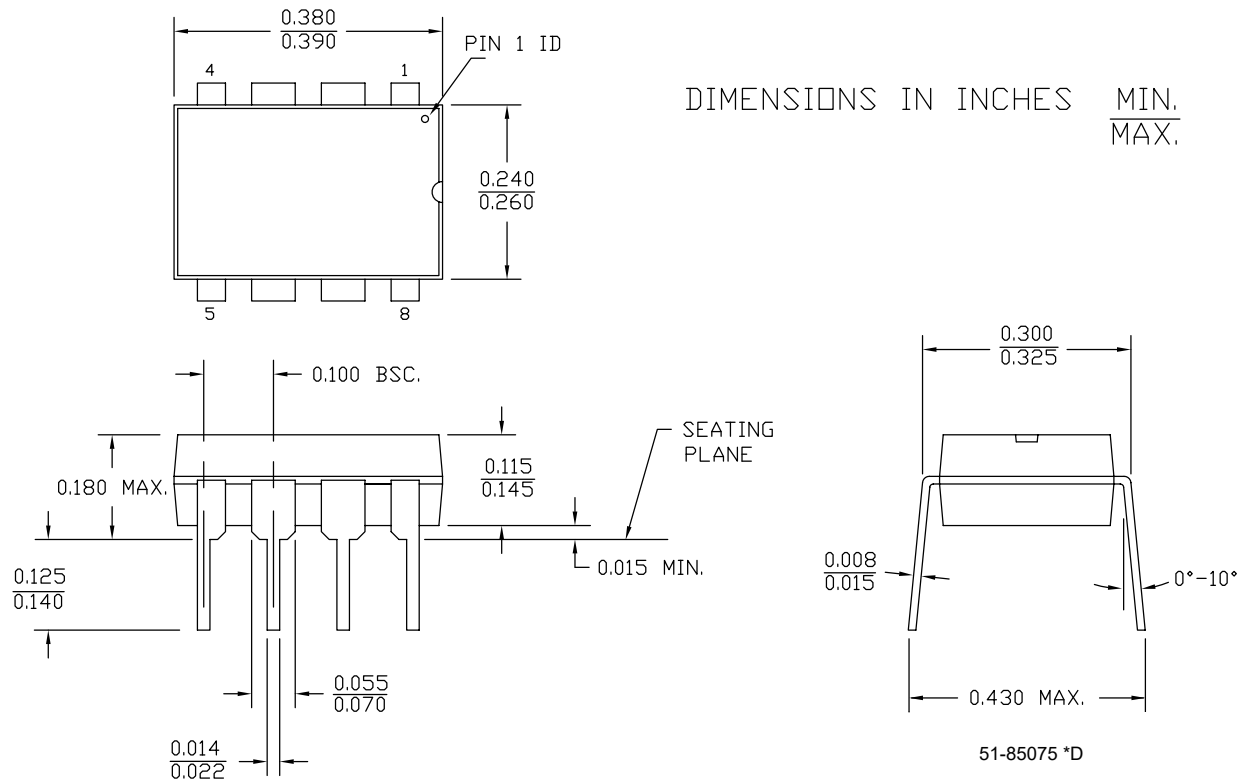
ここでは、CY8C27x43 PSoc デバイスのパッケージ仕様と、各パッケージの熱インピーダンスおよび水晶振動子ピンの一般的なパッケージ容量を記載します。

重要な注意: エミュレーション ツールでは、対象のプリント基板上でチップの実装面積よりも広い面積が必要になる場合があります。エミュレーション ツールの寸法の詳細な説明については、<http://www.cypress.com/design/MR10161> を参照してください。

パッケージの寸法

図 20. 8 ピン (300Mil) PDIP

8 Lead (300 Mil) PDIP



20 Lead (5.3mm) SSOP

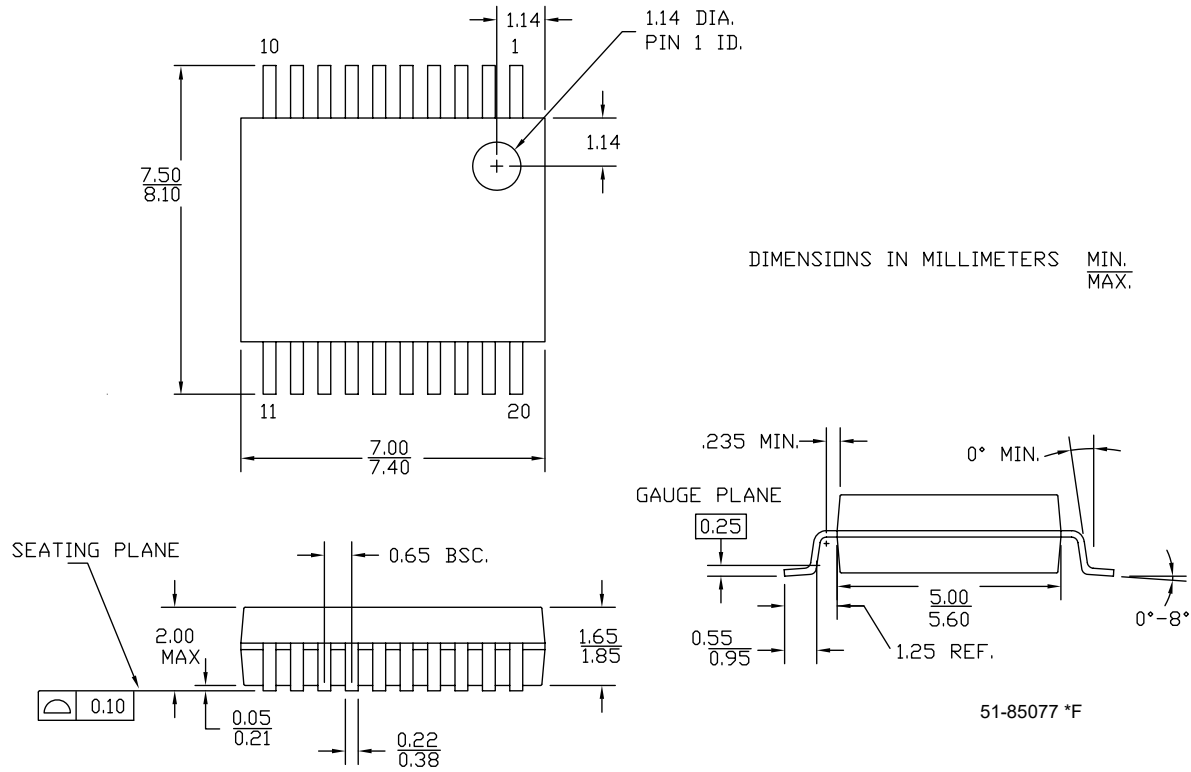


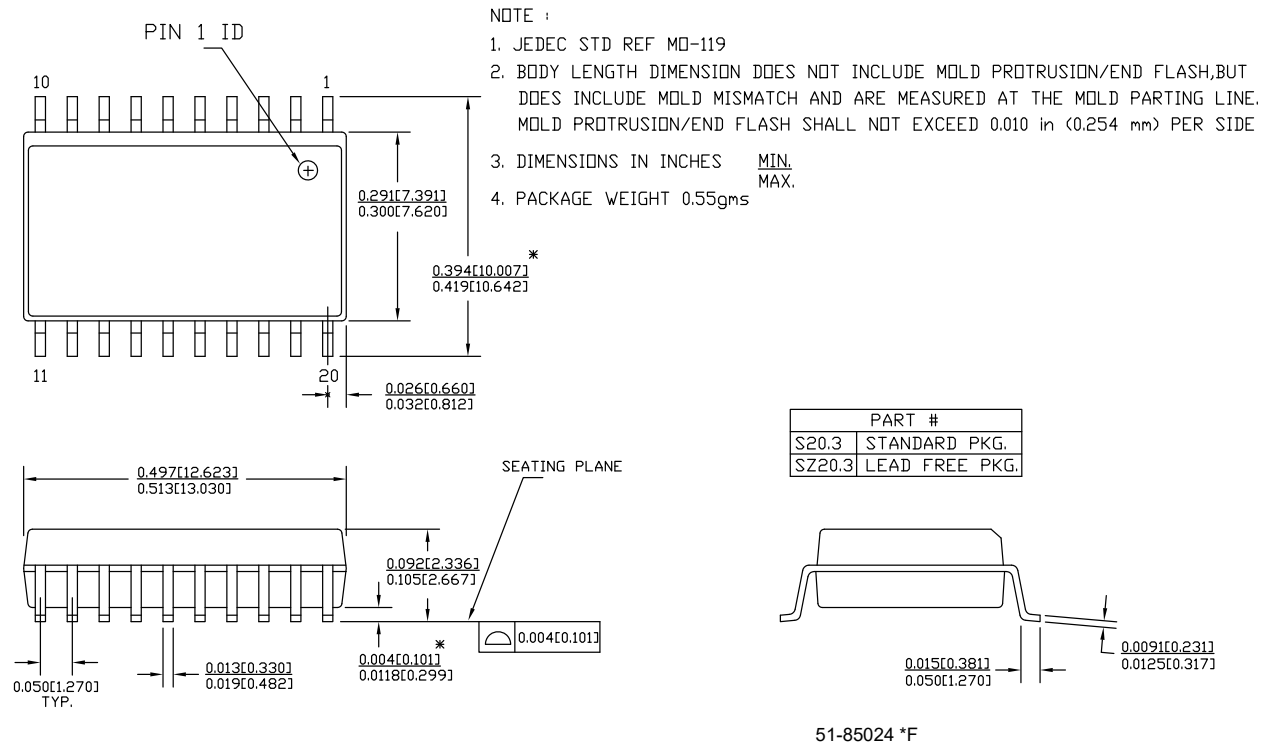
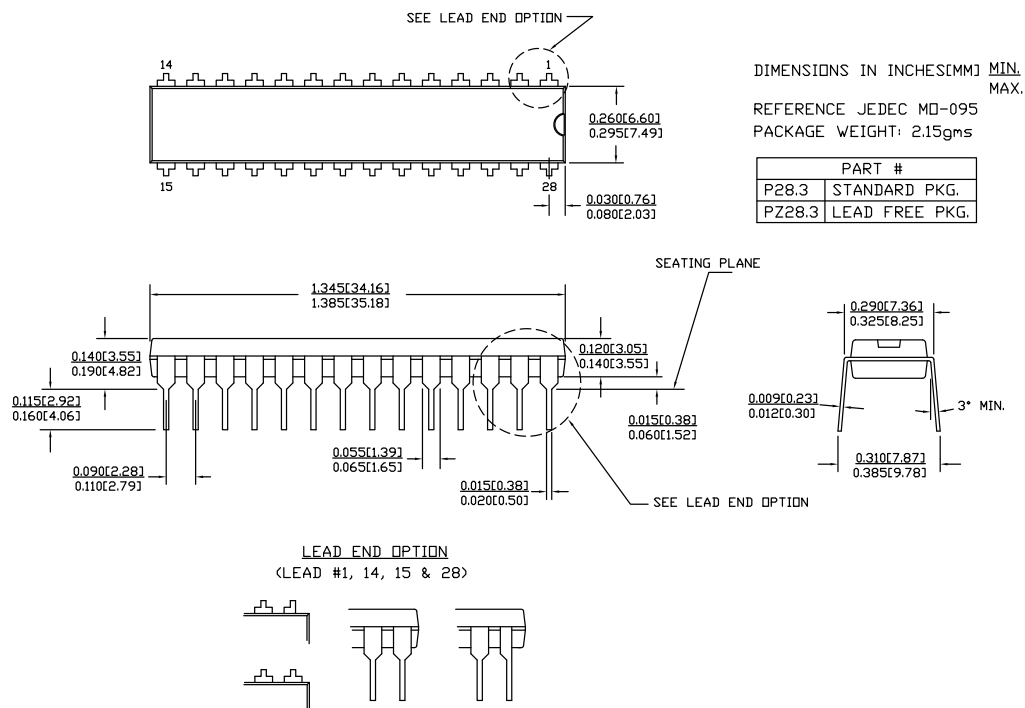
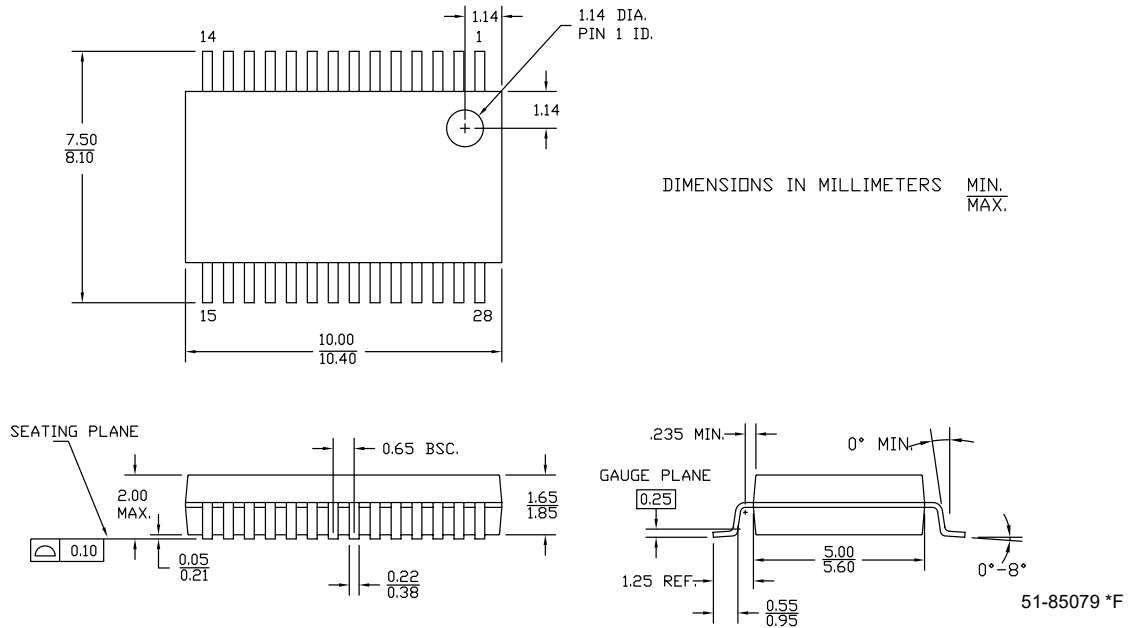
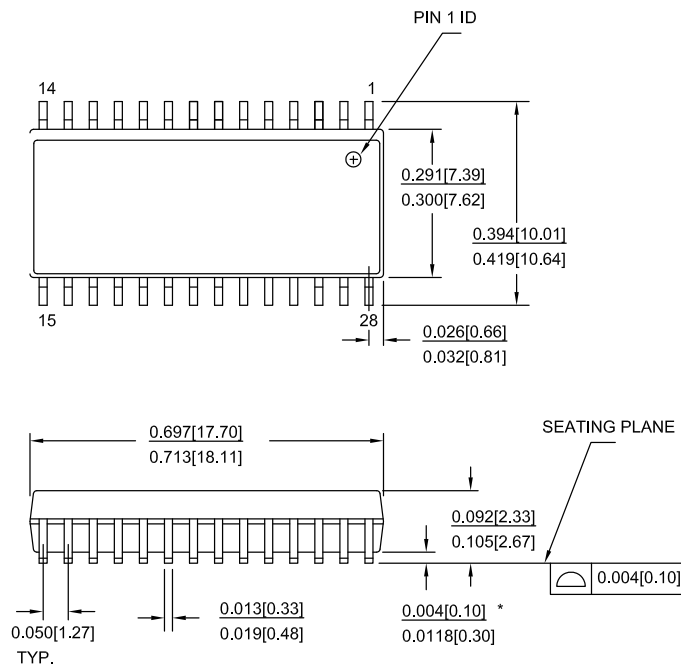
図 22. 20 ピン SOIC (0.513 × 0.300 × 0.0932 インチ) パッケージ外形図、51-85024

図 23. 28 ピン (300Mil) 成形 DIP


図 24. 28 ピン (210Mil) SSOP
28 Lead (5.3mm) SSOP

図 25. 28 ピン SOIC (0.713 × 0.300 × 0.0932 インチ) パッケージ外形図、51-85026

NOTE :

1. JEDEC STD REF MO-119
2. BODY LENGTH DIMENSION DOES NOT INCLUDE MOLD PROTRUSION/END FLASH, BUT DOES INCLUDE MOLD MISMATCH AND ARE MEASURED AT THE MOLD PARTING LINE. MOLD PROTRUSION/END FLASH SHALL NOT EXCEED 0.010 in (0.254 mm) PER SIDE
3. DIMENSIONS IN INCHES MIN. MAX.



PART #	
S28.3	STANDARD PKG.
SZ28.3	LEAD FREE PKG.
SX28.3	LEAD FREE PKG.

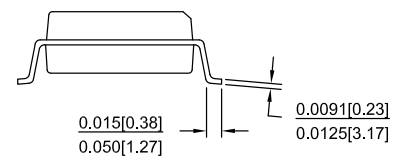


図 26. 44 ピン TQFP (10 × 10 × 1.4mm) A44S パッケージ外形図、51-85064

44 Lead Thin Plastic Quad Flatpack 10 X 10 X 1.4mm

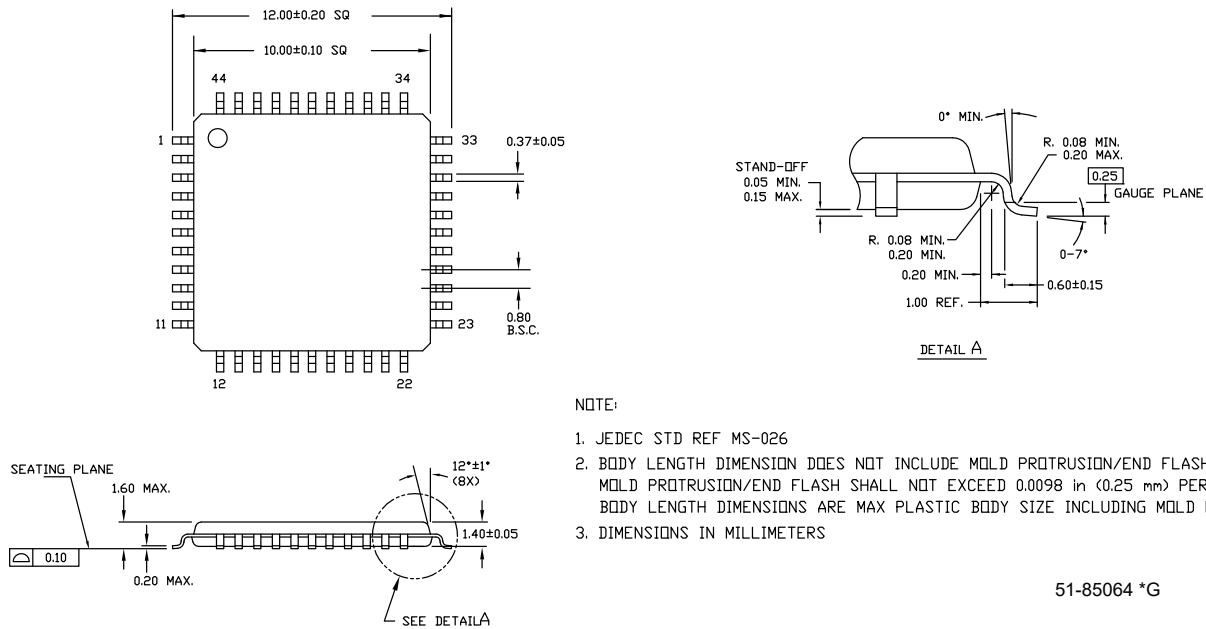
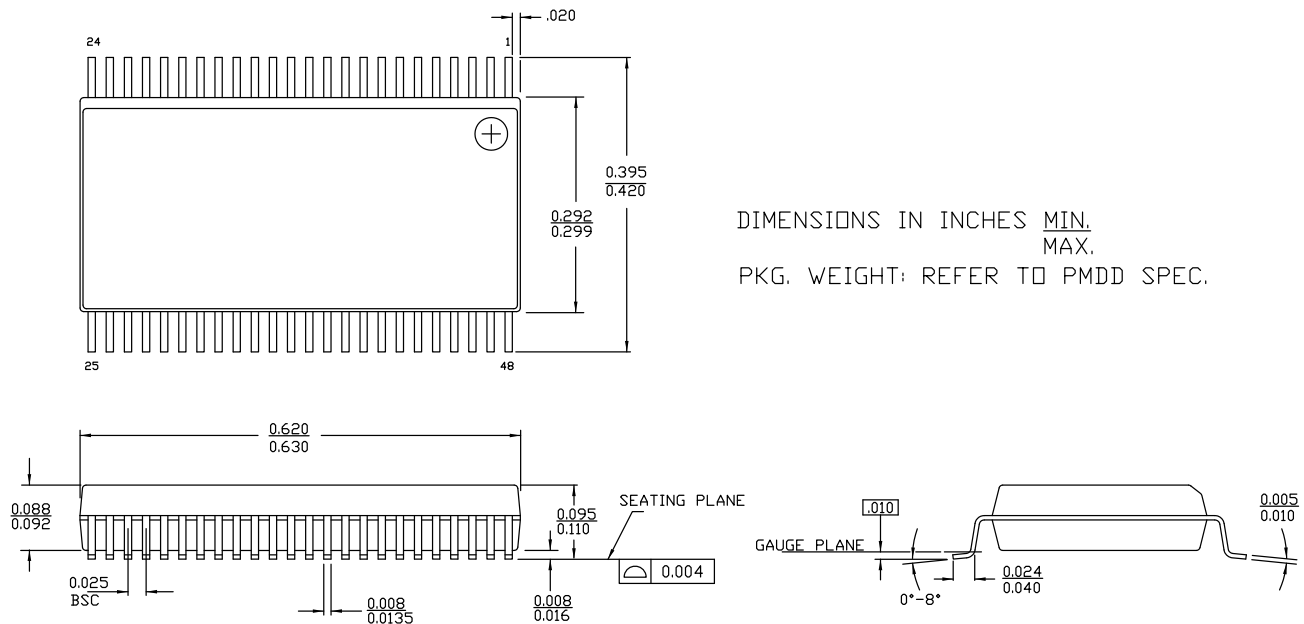
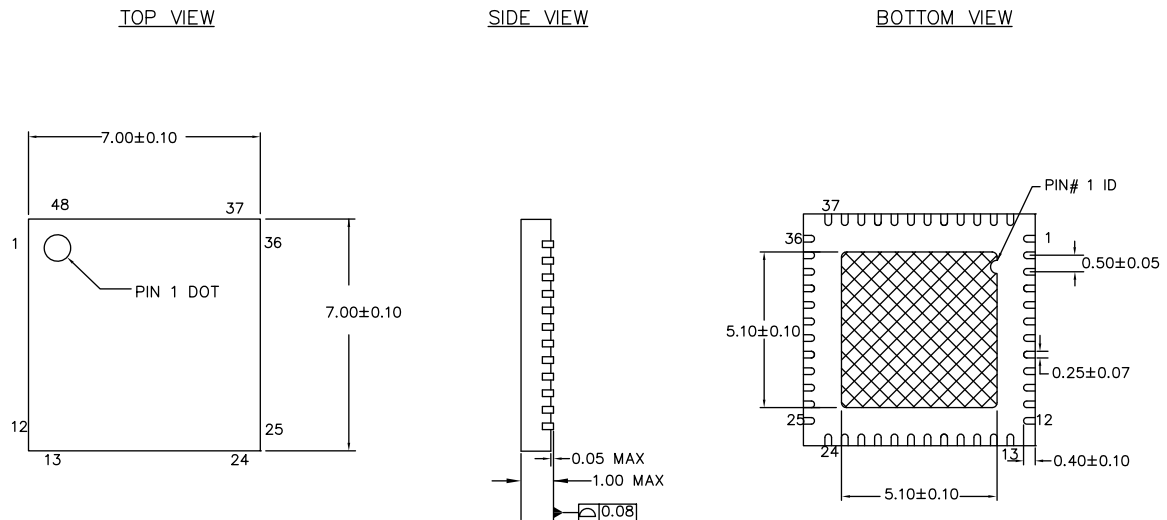



図 27. 48 ピン (300mil) SSOP

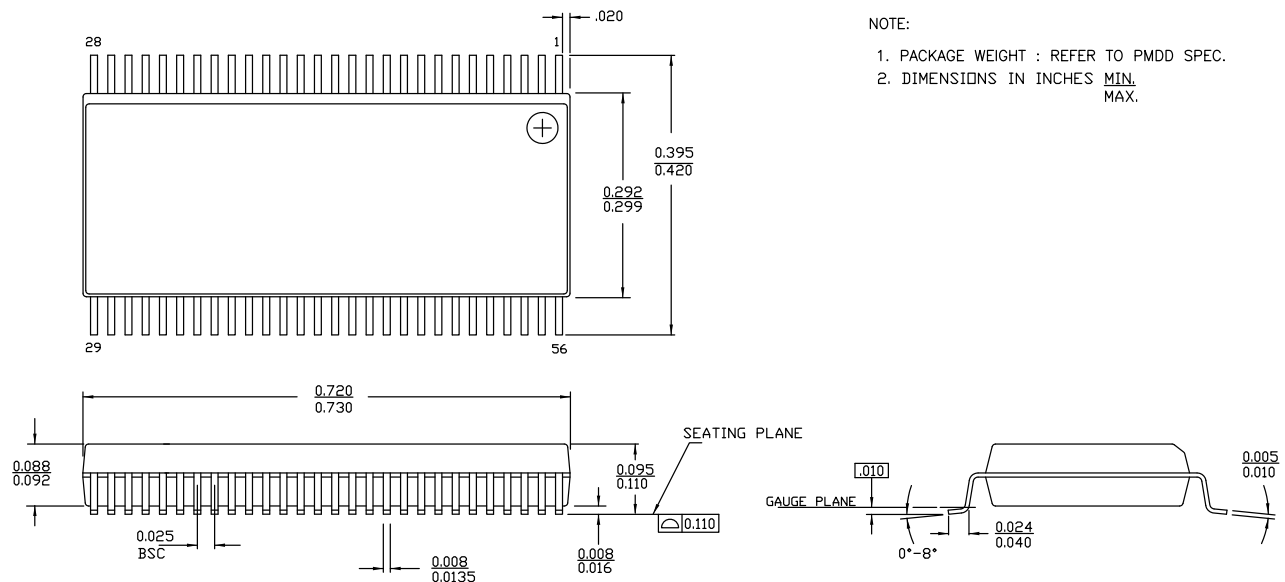


51-85061 *F

図 28. 48 ピン QFN 7 × 7 × 1mm (Sawn 種)

NOTES:

1.  HATCH AREA IS SOLDERABLE EXPOSED METAL.
2. REFERENCE JEDEC#: MO-220
3. PACKAGE WEIGHT: 13 ± 1 mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

001-13191 *H

図 29. 56 ピン (300Mil) SSOP

NOTE:

1. PACKAGE WEIGHT : REFER TO PMDD SPEC.
2. DIMENSIONS IN INCHES
 MIN.
 MAX.

51-85062 *F

重要な注意： QFN パッケージの実装用の推奨寸法については、<http://www.cypress.com> に掲載しているアプリケーション ノート「Design Guidelines for Cypress Quad Flat No Extended Lead (QFN) Packaged Devices – AN72845」を参照してください。

熱インピーダンス

表 40. パッケージ別の熱インピーダンス

パッケージ	標準 θ_{JA} ^[34]
8 ピン PDIP	120°C/W
20 ピン SSOP	116°C/W
20 ピン SOIC	79°C/W
28 ピン PDIP	67°C/W
28 ピン SSOP	95°C/W
28 ピン SOIC	68°C/W
44 ピン TQFP	61°C/W
48 ピン SSOP	69°C/W
48 ピン QFN ^[35]	18°C/W
56 ピン SSOP	47°C/W

水晶振動子ピンの静電容量

表 41. パッケージの水晶振動子ピンの標準静電容量

パッケージ	パッケージ静電容量
8 ピン PDIP	2.8pF
20 ピン SSOP	2.6pF
20 ピン SOIC	2.5pF
28 ピン PDIP	3.5pF
28 ピン SSOP	2.8pF
28 ピン SOIC	2.7pF
44 ピン TQFP	2.6pF
48 ピン SSOP	3.3pF
48 ピン QFN	2.3pF
56 ピン SSOP	3.3pF

はんだリフローの仕様

下表には、超えてはならないはんだリフロー温度限界値を示します。熱ランプ レートは 3°C/s 以下でなければなりません。

表 42. はんだリフローの仕様

パッケージ	最高ピーク温度 (T_C)[36]	$T_C - 5^\circ\text{C}$ 以上の最大時間
8 ピン PDIP	260°C	30 秒
20 ピン SSOP	260°C	30 秒
20 ピン SOIC	260°C	30 秒
28 ピン PDIP	260°C	30 秒
28 ピン SSOP	260°C	30 秒
28 ピン SOIC	260°C	30 秒
44 ピン TQFP	260°C	30 秒
48 ピン SSOP	260°C	30 秒
48 ピン QFN	260°C	30 秒
56 ピン SSOP	260°C	30 秒

注:

34. $T_J = T_A + \text{POWER} \times \theta_{JA}$.

35. QFN パッケージのために指定されている熱インピーダンスを達成するには、<http://www.cypress.com> にて入手できる「Design Guidelines for Cypress Quad Flat No Extended Lead (QFN) Packaged Devices – AN72845」を参照してください。

36. 54 ページの表 44 を参照してください。

開発ツールの選択

ここでは、CY8C27x43 ファミリを含む、現在のすべての PSoC デバイス ファミリに使用可能な開発ツールについて説明します。

ソフトウェア

PSoC Designer™

PSoC 開発ソフトウェア スイートの中核となるのは、PSoC ファームウェア アプリケーションを生成する PSoC Designer です。PSoC Designer は、<http://www.cypress.com> から無料で入手できます。PSoC Designer には無料の C コンパイラが付属します。

PSoC Programmer

開発現場で使えるほど柔軟性があり、工場でのプログラミングにも適している PSoC Programmer は、スタンドアロンのプログラミング アプリケーションとして機能するほか、PSoC Designer または PSoC Express から直接実行できます。PSoC Programmer ソフトウェアは、PSoC ICE-Cube インサーキット エミュレータと PSoC MiniProg の両方との互換性があります。PSoC Programmer は、<http://www.cypress.com> から無料で入手できます。

開発キット

すべての開発キットはサイプレスのオンライン ストアから購入できます。

CY3215-DK 基本開発キット

CY3215-DK は PSoC Designer を使用したプロトタイピングと開発用のキットです。このキットはインサーキット エミュレーションをサポートしており、ソフトウェア インターフェースを備えているため、プロセッサの実行、停止、およびシングルステップ実行や、特定のメモリ位置の内容表示ができます。PSoC Designer では、高度なエミュレーション機能もサポートされています。このキットの内容は次のとおりです。

- PSoC Designer ソフトウェア CD
- ICE-Cube インサーキット エミュレータ
- CY8C29x66 ファミリ用 ICE フレックス ポッド
- Cat-5 アダプタ
- Mini-Eval プログラミング基板
- 110 ~ 240V 電源、ユーロプラグ アダプタ
- iMAGEcraft C コンパイラ
- ISSP ケーブル
- USB 2.0 ケーブルとブルー Cat-5 ケーブル
- CY8C29466-24PXI 28-PDIP チップ サンプル (2 個)

評価ツール

すべての評価ツールはサイプレスのオンライン ストアから購入できます。

CY3210-MiniProg1

CY3210-MiniProg1 キット を使用すると、MiniProg1 プログラミング ユニットを使用して PSoC デバイスをプログラムできます。MiniProg は、キットに同梱されている USB 2.0 ケーブルで PC と接続する小型のプロトタイピング プログラマです。このキットの内容は次のとおりです。

- MiniProg プログラミング ユニット
- MiniEval ソケット プログラミングと評価基板
- 28 ピン CY8C29466-24PXI PDIP PSoC デバイス サンプル
- 28 ピン CY8C27443-24PXI PDIP PSoC デバイス サンプル
- PSoC Designer ソフトウェア CD
- スタート ガイド
- USB 2.0 ケーブル

CY3210-PSoCEval1

CY3210-PSoCEval1 キット には、評価基板と MiniProg1 プログラミング ユニットが含まれています。評価基板は、評価に必要なすべての要件を満たすように、LCD モジュール、ポテンシオメーター、LED、および十分な大きさのブレッドボードを備えています。このキットの内容は次のとおりです。

- LCD モジュール付き評価基板
- MiniProg プログラミング ユニット
- 28ピンCY8C29466-24PXI PDIP PSoC デバイス サンプル (2 個)
- PSoC Designer ソフトウェア CD
- スタート ガイド
- USB 2.0 ケーブル

CY3214-PSoCEvalUSB

CY3214-PSoCEvalUSB 評価キット は、CY8C24794-24LFXI PSoC デバイス向けの開発基板を備えています。この基板の特長として、USB と静電容量検知の開発とデバッグ サポートが含まれていることがあります。評価基板は、評価に必要なすべての要件を満たすように、LCD モジュール、ポテンシオメーター、LED、および十分な大きさのブレッドボードを備えています。このキットの内容は次のとおりです。

- PSoCEvalUSB 基板
- LCD モジュール
- MiniProg プログラミング ユニット
- ミニ USB ケーブル
- PSoC Designer およびサンプル プロジェクト CD
- スタート ガイド
- ワイヤ バック

デバイス プログラマ

すべてのデバイス プログラマはサイプレスのオンライン ストアから購入できます。

CY3216 モジュラ プログラマ

CY3216 モジュラ プログラマ キットはモジュラ プログラマと MiniProg1 プログラミング ユニットの両方を備えています。モジュラ プログラマは 3 枚のプログラミング モジュール カードを含み、複数のサイプレス製品に対応します。このキットの内容は次のとおりです。

- モジュラ プログラマ ベース
- プログラミング モジュール カード (3 枚)
- MiniProg プログラミング ユニットの
- PSoC Designer ソフトウェア CD
- スタート ガイド
- USB 2.0 ケーブル

CY3207ISSP インシステム シリアル プログラミング (ISSP)

CY3207ISSP は量産用プログラマです。これは保護用回路と、量産プログラミング環境でMiniProgよりも堅牢な産業用のケースを含みます。

注：CY3207ISSP は特殊なソフトウェアが必要で、PSoC Programmer とは互換性がありません。このキットの内容は次のとおりです。

- CY3207 プログラマ ユニットの
- PSoC ISSP ソフトウェア CD
- 110 ~ 240V 電源、ユーロプラグ アダプタ
- USB 2.0 ケーブル

アクセサリ (エミュレーションおよびプログラミング)

表 43. エミュレーションおよびプログラミング アクセサリ

製品番号	ピン パッケージ	フレックスボッド キット ^[37]	フット キット ^[38]	アダプタ ^[39]
CY8C27143-24PXI	8 ピン PDIP	CY3250-27XXX	CY3250-8PDIP-FK	アダプタについては http://www.emulation.com を参照してください。
CY8C27243-24PVXI	20 ピン SSOP	CY3250-27XXX	CY3250-20SSOP-FK	
CY8C27243-24SXI	20 ピン SOIC	CY3250-27XXX	CY3250-20SOIC-FK	
CY8C27443-24PXI	28 ピン PDIP	CY3250-27XXX	CY3250-28PDIP-FK	
CY8C27443-24PVXI	28 ピン SSOP	CY3250-27XXX	CY3250-28SSOP-FK	
CY8C27443-24SXI	28 ピン SOIC	CY3250-27XXX	CY3250-28SOIC-FK	
CY8C27543-24AXI	44 ピン TQFP	CY3250-27XXX	CY3250-44TQFP-FK	
CY8C27643-24PVXI	48 ピン SSOP	CY3250-27XXX	CY3250-48SSOP-FK	
CY8C27643-24LTXI	48 ピン QFN	CY3250-27XXXQFN	CY3250-48QFN-FK	

注：

37. フレックスボッド キットには、2 個のフレックスボッドのほかに、実践フレックスボッドと実践 PCB が含まれます。

38. フット キットには、対象の PCB にはんだ付けできる表面実装フットが含まれます。

39. プログラミング アダプタは、非 DIP パッケージを DIP フットプリントに変換します。各アダプタの詳細と注文情報については、<http://www.emulation.com> を参照してください。

注文情報

下表に、CY8C27x43 PSoC デバイスの主なパッケージの機能と注文コードを示します。

表 44. CY8C27x43 PSoC デバイスの主な機能と注文情報

パッケージ	注文コード	フラッシュ (バイト)	RAM (バイト)	スイッチ モード ポンプ	温度 範囲	デジタルブロック数 (1 行につき 4 個あり)	アナログブロック数 (1 列につき 3 個あり)	デジタル I/O ピン数	アナログ 入力数	アナログ 出力数	XRES ピン
8 ピン (300Mil) DIP	CY8C27143-24PXI	16K	256	無	-40°C ~ +85°C	8	12	6	4	4	無
20 ピン (210Mil) SSOP	CY8C27243-24PVXI	16K	256	有	-40°C ~ +85°C	8	12	16	8	4	有
20 ピン (210Mil) SSOP (テープ & リール)	CY8C27243-24PVXIT	16K	256	有	-40°C ~ +85°C	8	12	16	8	4	有
20 ピン (300Mil) SOIC	CY8C27243-24SXI	16K	256	有	-40°C ~ +85°C	8	12	16	8	4	有
20 ピン (300Mil) SOIC (テープ & リール)	CY8C27243-24SXIT	16K	256	有	-40°C ~ +85°C	8	12	16	8	4	有
28 ピン (300Mil) DIP	CY8C27443-24PXI	16K	256	有	-40°C ~ +85°C	8	12	24	12	4	有
28 ピン (210Mil) SSOP	CY8C27443-24PVXI	16K	256	有	-40°C ~ +85°C	8	12	24	12	4	有
28 ピン (210Mil) SSOP (テープ & リール)	CY8C27443-24PVXIT	16K	256	有	-40°C ~ +85°C	8	12	24	12	4	有
28 ピン (300Mil) SOIC	CY8C27443-24SXI	16K	256	有	-40°C ~ +85°C	8	12	24	12	4	有
28 ピン (300Mil) SOIC (テープ & リール)	CY8C27443-24SXIT	16K	256	有	-40°C ~ +85°C	8	12	24	12	4	有
44 ピン TQFP	CY8C27543-24AXI	16K	256	有	-40°C ~ +85°C	8	12	40	12	4	有
44 ピン TQFP (テープ & リール)	CY8C27543-24AXIT	16K	256	有	-40°C ~ +85°C	8	12	40	12	4	有
48 ピン (300Mil) SSOP	CY8C27643-24PVXI	16K	256	有	-40°C ~ +85°C	8	12	44	12	4	有
48 ピン (300Mil) SSOP (テープ & リール)	CY8C27643-24PVXIT	16K	256	有	-40°C ~ +85°C	8	12	44	12	4	有
48 ピン (7 × 7 × 1mm) QFN (Sawn)	CY8C27643-24LTXI	16K	256	有	-40°C ~ +85°C	8	12	44	12	4	有
48 ピン (7 × 7 × 1mm) QFN (Sawn)	CY8C27643-24LTXIT	16K	256	有	-40°C ~ +85°C	8	12	44	12	4	有
56 ピン OCD SSOP	CY8C27002-24PVXI ^[40]	16K	256	有	-40°C ~ +85°C	8	12	44	14	4	有

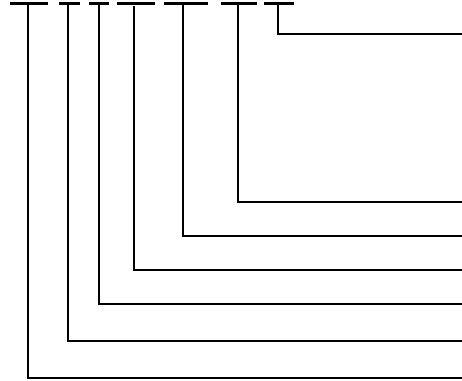
注：ダイ販売情報については、最寄りのサイプレスの販売代理店またはフィールド アプリケーション エンジニア (FAE) にご連絡ください。

注：

40. この製品は、インサーキット デバッグに使用されます。量産製品用としては提供されません。

注文コードの定義

CY 8 C 27 xxx-24xx



パッケージタイプ:
 PX = PDIP 鉛フリー
 SX = SOIC 鉛フリー
 PVX = SSOP 鉛フリー
 LFX/LKX/LTX /LQX/LCX= QFN 鉛フリー
 AX = TQFP 鉛フリー

速度: 24MHz

製品番号

ファミリコード

テクノロジーコード: C = CMOS

マーケティングコード: 8 = サイプレス PSoC

熱定格:

C = 商業用

I = 産業用

E = 拡張温度範囲

略語

表 45 には、本書で使用する略語を示します。

表 45. 本データシートで使用する略語

略語	説明	略語	説明
AC	alternating current (交流電流)	MIPS	million instructions per second (100 万命令毎秒)
ADC	analog-to-digital converter	OCD	on-chip debug (オンチップ デバッグ)
API	application programming interface (アプリケーション プログラミング インターフェース)	PCB	printed circuit board (プリント回路基板)
CMOS	complementary metal oxide semiconductor (相補型金属酸化膜半導体)	PDIP	plastic dual-in-line package (プラスチック製デュアル インライン パッケージ)
CPU	central processing unit (中央演算処理装置)	PGA	programmable gain amplifier (プログラマブル ゲイン アンプ)
CRC	cyclic redundancy check (巡回冗長検査)	PLL	phase-locked loop (位相同期回路)
CT	continuous time (連続時間)	POR	power on reset (パワーオン リセット)
DAC	digital-to-analog converter (デジタル - アナログ変換器)	PPOR	precision power on reset (高精度パワーオン リセット)
DC	direct current (直流)	PRS	pseudo random sequence (疑似乱数列)
DTMF	dual-tone multi-frequency (デュアルトーン マルチ周波数)	PSoC	Programmable System-on-Chip (プログラマブル システムオンチップ)
ECO	external crystal oscillator (外部水晶発振器)	PWM	pulse width modulator (パルス幅変調器)
EEPROM	electrically erasable programmable read-only memory (電氣的消去書き込み可能読み出し専用メモリ)	QFN	quad flat no leads (クアッド フラット (リードなし))
GPIO	general purpose I/O (汎用 I/O)	RTC	real time clock (リアルタイム クロック)
ICE	in-circuit emulator (インサーキット エミュレータ)	SAR	successive approximation (逐次比較)
IDE	integrated development environment (統合開発環境)	SC	switched capacitor (スイッチト キャパシタ)
ILO	internal low speed oscillator (内部低速発振器)	SMP	switch mode pump (スイッチ モード ポンプ)
IMO	internal main oscillator (内部主発振器)	SOIC	small-outline integrated circuit (小型外形集積回路)
I/O	input/output (入出力)	SPI	serial peripheral interface (シリアルペリ
IrDA	infrared data association (赤外線データ協会)	SRAM	static random access memory (スタティック ランダム アクセス メモリ)
ISSP	in-system serial programming (インシステム シリアル プログラミング)	SROM	supervisory read only memory (監視用読み出し専用メモリ)
LCD	liquid crystal display (液晶ディスプレイ)	SSOP	shrink small-outline package (縮小小型パッケージ)
LED	light-emitting diode (発光ダイオード)	TQFP	thin quad flat pack (薄型クワッド フラット パック)
LPC	low power comparator (低消費電力コンパレータ)	UART	universal asynchronous receiver/transmitter (汎用非同期レシーバ/トランスミッタ)
LVD	low voltage detect (低電圧検出)	USB	universal serial bus (ユニバーサル シリアル バス)
MAC	multiply-accumulate (積和演算)	WDT	watchdog timer (ウォッチドッグ タイマー)
MCU	microcontroller unit (マイクロコントローラー ユニット)	XRES	external reset (外部リセット)

参考資料

CY8CPLC20, CY8CLED16P01, CY8C29X66, CY8C27X43, CY8C24X94, CY8C24X23, CY8C24X23A, CY8C22X13, CY8C21X34, CY8C21X34B, CY8C21X23, CY7C64215, CY7C603XX, CY8CNP1XX, and CYWUSB6953 PSoC(R) Programmable System-on-chip Technical Reference Manual (TRM) (001-14463)

PSoC® 1 - Reading and Writing Flash – AN2015 (001-40459)

Design Guidelines for Cypress Quad Flat No Extended Lead (QFN) Packaged Devices – AN72845 (<http://www.cypress.com> から入手できます。)

本書の表記法

測定単位

表 46 に測定単位の一覧を示します。

表 46. 測定単位

記号	測定単位	記号	測定単位
dB	デシベル	ms	ミリ秒
°C	摂氏温度	ns	ナノ秒
fF	フェムト ファラッド	ps	ピコ秒
pF	ピコファラッド	μV	マイクロボルト
kHz	キロヘルツ	mV	ミリボルト
MHz	メガヘルツ	mVpp	ミリボルト ピーク ツー ピーク
rt-Hz	ルートヘルツ	nV	ナノボルト
kΩ	キロオーム	V	ボルト
Ω	オーム	μW	マイクロワット
μA	マイクロアンペア	W	ワット
mA	ミリアンペア	mm	ミリメートル
nA	ナノアンペア	ppm	100 万分の 1
pA	ピコアンペア	%	パーセント
μs	マイクロ秒		

数値の表記

16 進数はすべて大文字で表記し、小文字の「h」を付記します (例えば、「14h」、「3Ah」)。C の符号化規則に基づき、接頭語「0x」を使用して 16 進数を表現している場合もあります。2 進数には小文字の「b」を付記します (例: 「01010100b」、「01000011b」)。「h」、「b」、「0x」のいずれも付いていない数は 10 進数です。

用語集

アクティブ HIGH	<ol style="list-style-type: none"> 1. アサート状態を論理「1」状態とする論理信号です。 2. 2 つの状態のうち、論理「1」状態を高い電圧側とする論理信号です。
アナログ ブロック	基本的なプログラマブル オペアンプ回路です。SC (スイッチト キャパシタ) および CT (連続時間) ブロックがあります。これらのブロックは相互接続して、ADC、DAC、多極フィルター、ゲイン段などを提供できます。
アナログ - デジタル (ADC)	アナログ信号を、対応した振幅のデジタル信号に変換するデバイスです。一般的に ADC は電圧をデジタル数値に変換します。デジタル - アナログ (DAC) 変換器は ADC の逆の動作を行います。
アプリケーション プログラミング インターフェース (API)	コンピュータ アプリケーションと低レベルのサービスおよび関数 (例えば、ユーザー モジュール、ライブラリ) 間のインターフェースから成る一連のソフトウェア ルーチンです。API は、ソフトウェア アプリケーションを作成するプログラマ向けのビルディング ブロックとして機能します。
非同期	どのクロック信号にも関係なく直ちにアクノリッジされるか、または有効になるデータを持つ信号です。
バンドギャップ リファレンス	VT の正の温度係数と VBE の負の温度係数を一致させ、ゼロ温度係数 (理想) のリファレンス電圧を生成する、安定した電圧リファレンスの設計です。
帯域幅	<ol style="list-style-type: none"> 1. ヘルツを単位として計測されるメッセージまたは情報処理システムの周波数範囲です。 2. 増幅器 (または減衰器) に実質的なゲイン (またはロス) があるスペクトル領域の幅です。より具体的に (例えば最大値の 1/2 になる点の幅として) 示されることがあります。

用語集 (続き)

バイアス	<ol style="list-style-type: none"> 1. 基準値からの意図的な偏差の値です。 2. 基準値からの一連の値の平均値のずれです。 3. デバイスを動作させるリファレンス レベルを確立するためにデバイスに適用される電氣的、機械的、磁氣的、その他の力 (場) です。
ブロック	<ol style="list-style-type: none"> 1. 発振器など、単一機能を実行する機能ユニットです。 2. いくつかの機能のいずれかを実行するように設定できる機能ユニットです (例 : デジタル PSoC ブロック、アナログ PSoC ブロック)。
バッファ	<ol style="list-style-type: none"> 1. 1 つのデバイスから他のデバイスへデータを転送する際に、速度差を補うために使用されるデータ ストレージ領域です。通常、データが読み書きされる、IO 動作のために予約された領域を示します。 2. データ (多くの場合、外部デバイスに送信される前のデータや外部デバイスから受信されたばかりのデータ) を格納するメモリ部分です。 3. システムの出カインピーダンスを下げるために使用される増幅器です。
バス	<ol style="list-style-type: none"> 1. 複数ラインの名前付き接続です。ラインどうしをバスにまとめることにより、類似したルーティング パターンを持つラインの配線は容易になります。 2. 共通機能を実行し、同様のデータを運ぶ 1 組の信号です。一般的にベクトル表記で表されます (例 : アドレス [7:0])。 3. 関連するデバイスのグループの共通接続として機能する 1 つ以上の導電体です。
クロック	<p>一定の周波数およびデューティ比で周期信号を生成するデバイスです。クロックは時々、異なる論理ブロックを同期化するために使用されます。</p>
コンパレータ	<p>2 つの入力レベルが同時に所定の振幅要件を満たすたびに、出力電圧または電流を生成する電子回路です。</p>
コンパイラ	<p>C のような高レベルの言語を機械言語に変換するプログラムです。</p>
コンフィギュレーション空間	<p>PSoC デバイスでの、CPU_F レジスタ内の XIO ビットが「1」にセットされたときにアクセスされるレジスタ空間です。</p>
水晶発振器	<p>周波数が圧電水晶振動子によって制御される発振器です。一般的に、圧電水晶振動子は他の回路コンポーネントほど周囲温度に敏感ではありません。</p>
巡回冗長検査 (CRC)	<p>一般的に線形フィードバック シフト レジスタを使用して行われるデータ通信でエラーを検出するための計算です。同様の計算はデータ圧縮など他の多くの用途に使用できます。</p>
データ バス	<p>メモリ位置から中央演算処理装置へ、またはその逆で、情報を伝えるためにコンピュータによって使用される 1 組の双方向信号です。より一般的には、デジタル機能間でデータを伝えるために使用される 1 組の信号です。</p>
デバッグ	<p>開発中のシステムの動作を分析できるようにするハードウェアおよびソフトウェア システムです。通常、開発者はデバッグにより、ファームウェアを 1 段階ずつ手順を追って実行したり、ブレークポイントを設定したりメモリを分析したりできます。</p>
デッド バンド	<p>2 つ以上の信号のうちいずれもアクティブ状態や遷移中でない期間です。</p>
デジタル ブロック	<p>カウンタやタイマー、シリアル レシーバ、シリアル トランスミッタ、CRC ジェネレータ、疑似乱数ジェネレータ、または SPI として機能できる 8 ビットの論理ブロックです。</p>
デジタル - アナログ (DAC)	<p>デジタル信号を対応する振幅を持つアナログ信号に変換するデバイスです。アナログ - デジタル (ADC) 変換器は DAC の逆の動作を行います。</p>

用語集 (続き)

デューティ比	クロック周期の HIGH 時間と LOW 時間の関係であり、パーセント単位で表されます。
エミュレータ	第 2 のシステムが第 1 のシステムのように動作するように、1 つのシステムの機能を別のシステムに複製 (エミュレーションを実行) します。
外部リセット (XRES)	PSoC デバイスに駆動されるアクティブ HIGH 信号です。これにより、CPU およびブロックのすべての動作が停止し、事前に定義された状態に戻ります。
フラッシュ	EPROM のプログラマビリティおよびデータ ストレージ、またインシステム消去性をユーザーに提供する、電氣的にプログラマブルで消去可能な不揮発性の技術です。不揮発性とは、電源がオフになったときでもデータが保持されることを指します。
フラッシュ ブロック	一度にプログラムできるフラッシュ ROM の最小容量、および保護できるフラッシュ メモリの最小領域です。1 つのフラッシュ ブロックは 64 バイトを保持します。
周波数	周期的な機能の、単位時間あたりのサイクルまたは発生するイベントの数です。
ゲイン	出力電流、電圧または電力のそれぞれ入力電流、電圧または電力に対する比です。ゲインは通常 dB で表されます。
I ² C	Philips Semiconductors (現 NXP Semiconductors) の 2 線式シリアル コンピュータ バスです。I2C は Inter-Integrated Circuit (インター インテグレートド回路) です。組み込みシステムの低速ペリフェラルを接続するために使用されます。オリジナルシステムはバッテリー制御インターフェースとして 1980 年代初頭に作成されました。その後制御電子回路を構築するための単純な内部バス システムとして使用されました。I2C は 2 つの双方向ピン (クロックとデータ) のみを使用し、両方とも +5V で動作し、抵抗によって HIGH にプルアップされます。バスは標準モードでは 100k ビット / 秒、ファスト モードでは 400k ビット / 秒で動作します。
ICE	ユーザーがソフトウェア環境 (PSoC Designer) でデバッグ デバイスの動作を確認しながら、ハードウェア環境でプロジェクトをテストすることを可能にするインサーキット エミュレータです。
入力/出力 (I/O)	システムへデータを導入したり、システムからデータを抽出するデバイスです。
割り込み	コンピュータ プログラムの実行などのプロセスの一時停止であり、外部イベントによって引き起こされ、プロセスを再開できるような方法で行われます。
割り込みサービスルーチン (ISR)	M8C がハードウェア割り込みを受信したときに通常のコードの実行から転向させられるコードのブロックです。多くの割り込みソースは、それぞれ独自の優先順位および個別の ISR コード ブロックを持つことがあります。各 ISR コード ブロックは RETI 命令で終了し、正常のプログラム実行を停止したポイントにデバイスを戻します。
ジッタ	<ol style="list-style-type: none"> 理想的な位置からの遷移のタイミング誤差です。シリアル データ ストリームで発生する破損の典型的形式です。 連続パルス間の間隔、連続サイクルの振幅、または連続サイクルの周波数やフェーズなど、1 つ以上の信号特性の急激な望ましくない変動です。
低電圧検出 (LVD)	V _{DD} を感知し、V _{DD} が既定の閾値を下回るとシステムへ割り込みを生成する回路です。
M8C	8 ビット ハードウェア アーキテクチャ マイクロプロセッサです。マイクロプロセッサは、フラッシュ、SRAM、およびレジスタ空間へインターフェースで接続することで PSoC の内部のすべての動作を調整します。
マスター デバイス	2 つのデバイス間のデータ交換のタイミングを制御するデバイスです。または、デバイスがカスケード接続されている場合、マスター デバイスはカスケード接続されたデバイスと外部インターフェース間のデータ交換のタイミングを制御します。制御されるデバイスはスレーブ デバイスと呼ばれます。

用語集 (続き)

マイクロコントローラー	主に制御システムおよび製品のために設計された集積回路チップです。マイクロコントローラーは通常 CPU に加え、メモリ、タイミング回路、および IO 回路を内蔵します。目的は、最小量のチップを使用してコントローラーの実現を可能にし、最大限の小型化を達成することです。これにより、コントローラーの寸法を低減し、コストを削減します。マイクロコントローラーは通常、マイクロプロセッサのように汎用演算処理には使用されません。
混合信号	アナログとデジタル両方の技術とコンポーネントを含む回路を指します。
変調器	信号をキャリア信号と組み合わせるデバイスです。
ノイズ	1. 信号に影響を与え、またその信号によって運ばれた情報を歪める可能性がある妨害です。 2. 電圧、電流、またはデータなど、実体の 1 つ以上の特性のランダム変動です。
発振器	クロック周波数を生成するために使用される回路です。水晶振動子によって制御されるものがあります。
パリティ	送信データをテストする技術です。一般的には、2 進データの桁数の合計が常に偶数 (偶数パリティ) または常に奇数 (奇数パリティ) になるために 2 進桁をデータに追加します。
位相同期回路 (PLL)	リファレンス信号に対して一定の位相角を維持するように 発振器 を制御する電子回路です。
ピン配置	ピン番号割り当て : PSoC デバイスの論理入力および出力とそれらのプリント回路基板 (PCB) パッケージ内の物理的なカウンターパートとの関係を指します。ピン配置はピン番号を回路図と PCB 設計 (両方ともコンピュータ生成ファイル) 間のリンクとして含み、ピン名も含む場合があります。
ポート	通常 8 つのピンのグループです。
パワーオン リセット (POR)	電圧が事前設定されたレベルを下回ると、PSoC デバイスを強制的にリセットさせる回路です。これはハードウェア リセットの一種です。
PSoC®	PSoC® はサイプレス セミコンダクタの登録商標で、Programmable System-on-Chip™ は同社の商標です。
PSoC Designer™	サイプレスのプログラマブル システムオンチップ技術のソフトウェアです。
パルス幅変調器 (PWM)	適用された測定量の関数として変動するデューティ比としての出力です。
RAM	Random Access Memory (ランダム アクセス メモリ) の頭字語です。データを読み出したり、新しいデータを書き込んだりできるデータ ストレージ デバイスです。
レジスタ	ビットやバイトなど、特定の容量を持つストレージ デバイスです。
リセット	システムを既知の状態に戻す手段です。ハードウェア リセットおよびソフトウェア リセットを参照してください。
ROM	Read Only Memory (読み出し専用メモリ) の頭字語です。データを読み出せるが、新しいデータを書き込めないデータ ストレージ デバイスです。
シリアル	1. すべてのイベントが逐次発生するプロセスを指します。 2. 単一のデバイスまたはチャンネルにある 2 つ以上の関連する動作の逐次的または連続的な発生を指します。
整定時間	入力がある値から別の値に変更された後に、出力信号または値が安定化するのに要する時間です。

用語集 (続き)

シフト レジスタ	シリアル データ ストリームを出力するために、ワードを逐次的に右または左へシフトするメモリ ストレージ デバイスです。
スレーブ デバイス	他のデバイスに、2つのデバイス間のデータ交換のタイミングを制御させるデバイスです。または、デバイスが幅でカスケード接続されている場合、スレーブ デバイスは、他のデバイスにカスケード接続されたデバイスと外部インターフェース間のデータ交換のタイミングを制御させるものです。制御するデバイスはマスター デバイスと呼ばれます。
SRAM	Static Random Access Memory (スタティック ランダム アクセス メモリ) の頭字語です。高速でデータを格納したり取り込んだりできるメモリ デバイスです。「スタティック」という用語が使用される理由は、値が SRAM セルにロードされた後に、明示的に変更されるか、またはデバイスの電源が切られるまで変わらないままであるためです。
SROM	Supervisory Read Only Memory (監視用読み出し専用メモリ) の頭字語です。SROM は、デバイスを起動し、回路を校正し、フラッシュ動作を実行するために使用されるコードを保持します。SROM の機能は、フラッシュ メモリから実行する通常のユーザー コードでアクセスできます。
ストップ ビット	受信側のデバイスが次の文字またはブロックを受信するのを準備する文字またはブロックの後に続く信号です。
同期	<ol style="list-style-type: none">1. クロック信号の次のアクティブ エッジまでアクノリッジされるか、または有効になることのないデータを持つ信号です。2. 動作がクロック信号によって同期されるシステムです。
トライステート	出力が、0、1、および Z (高インピーダンス) という3つの状態となる機能です。この機能は、Z の状態ではどんな値も駆動せず、多くの面では回路の残りの部分から切断された状態と見なされ、他の出力が同じラインを駆動できるようにします。
UART	UART (ユニバーサル非同期レシーバ トランスミッタ) は、データの平行ビットとシリアルビット間の変換を行います。
ユーザー モジュール	低レベルのアナログおよびデジタル PSoC ブロックを管理および設定する、事前構築されたテスト済みのハードウェア/ファームウェアの周辺機能です。ユーザー モジュールは周辺機能に高レベルの API (アプリケーション プログラミング インターフェース) も提供します。
ユーザー空間	レジスタ マップのバンク 0 空間です。このバンクのレジスタは、初期化中だけでなく、通常のプログラム実行中にも変更される可能性が高いです。バンク 1 のレジスタはプログラムの初期化フェーズでのみ変更される可能性が最も高いです。
V _{DD}	「ドレイン電圧」を意味する電源ラインの名称です。これは最も正の電源信号です。通常は 5V または 3.3V です。
V _{SS}	「ソース電圧」を意味する電源ラインの名称です。これは最も負の電源信号です。
ウォッチドッグ タイマー	定期的処理しなくてはならないタイマーです。処理されない場合、CPU は一定時間経過後にリセットします。

エラッタ

ここでは、CY8C27143、CY8C27243、CY8C27443、CY8C27543 および CY8C27643 のエラッタについて説明します。詳細は、エラッタのトリガー状況、影響の範囲、可能な回避手段、およびシリコン リビジョンの適用可能性を含みます。何かご質問がございましたら、最寄りのサイプレスの販売代理店までお問い合わせください。

量産中

影響を受ける製品番号

製品番号
CY8C27143
CY8C27243
CY8C27443
CY8C27543
CY8C27643

認定状態

CY8C27XXX Rev. B – 量産中

エラッタのまとめ

下表は、提供されるデバイスへのエラッタの適用性を定義します。

項目	製品番号	シリコン チップ レビジョン	修正状況
1. チェーン接続 SPI スレーブからの読み出しは正しい結果ができません。	影響を受けるすべての製品	B	シリコン チップの修正計画はありません。回避方法が必要です。
2. 極度の温度で内蔵主発振器 (IMO) の誤差が発生します。	すべてのデバイス	B	シリコン チップの修正計画はありません。回避方法が必要です。

1. チェーン接続 SPI スレーブからの読み出しは正しい結果ができません。

■ 問題の定義

複数のデジタル通信ブロックが SPI スレーブ デバイスとして構成され、かつ 1 つの SPI の出力 (MISO) が第 2 の SPI の入力 (MOSI) に接続された場合、シリアル データが正しく転送されますが、第 2 のデバイスの DCBxxDR2 レジスタからの結果読み出しはシフトインされた最終ビットが正しくありません。

■ 影響を受けるパラメーター

該当なし

■ トリガー条件

PSoC SPI スレーブの出力を他の PSoC SPI スレーブの入力に接続します。

■ 影響の範囲

複数のデジタル通信ブロックが SPI スレーブ デバイスとして構成され、その 1 つの SPI の出力 (MISO) が第 2 の SPI の入力 (MOSI) に接続された状態の SPI コンフィギュレーションを採用した PSoC エンド ユーザー デザイン

■ 回避方法

解決策として、デューティ比が 50% にセットされた PWM8 として構成される追加のデジタル ブロックを使用する必要があります。2 つの SPI スレーブに供給されると同じクロックが PWM8 に供給されます。PWM8 ユーザー モジュールは 16 で分周するように周期が 15 で、パルス幅が 8 である (8 クロック サイクルの「1」パルス幅と 8 クロック サイクルの「0」パルス幅を持つように比較タイプが「Less Than Or Equal」に設定された) ようにパラメーター化されます。PWM8 の出力が各 SPI スレーブのスレーブ選択 (/SS) に接続されます。その 1 つは直接接続です。他の接続は行出力 LUT により反転されます。このコンフィギュレーションでは各 SPI が代替バイトを受信するように 2 つの SPI の「ピンポン」が行われます。この解決策は、2 つの SPI スレーブが 16 ビットのシフト レジスタの実装に使用される場合に特に良い効果があります。

■ 修正状況

修正計画はまだありません。上記の回避方法を使用してください。

2. 極度の温度で内蔵主発振器 (IMO) の誤差が発生します。

■ 問題の定義

非同期デジタル通信インターフェースは 0 ~ 70°C の温度範囲外で動作するとき、エラーとなる可能性があります。この問題は 0 ~ 70°C の温度範囲内での最終製品の使用に影響しません。

■ 影響を受けるパラメーター

IMO 周波数の許容誤差。0°C ~ +70°C の範囲外、またはデータシートで規定された温度の最大値と最小値の範囲内で動作するときに、最大の偏差は $\pm 5\%$ です。

■ トリガー条件

0 ~ +70°C の温度範囲外で動作するとき、非同期 Rx / Tx クロック ソース IMO 周波数の誤差はデータシートで規定された $\pm 2.5\%$ の制限を超える可能性があります。

■ 影響の範囲

この問題は UART、IrDA および FSK の実装に影響を与える可能性があります。

■ 回避方法

非同期デジタル通信インターフェースの少なくとも一端で水晶振動子安定化クロック ソースを実装します。

■ 修正状況

修正計画はまだありません。上記の回避方法を使用してください。

量産中ではない

影響を受ける製品番号

製品番号
CY8C27143
CY8C27243
CY8C27443
CY8C27543
CY8C27643

認定状態

CY8C27X43 Rev. A – 量産中でない

エラッタのまとめ

下表は、提供されるデバイスへのエラッタの適用性を定義します。

項目	製品番号	シリコン チップ レビジョン	修正状況
1. 4.75V 以上の電圧で動作するとき、タイマー キャプチャ入力信号は再同期化された行入力信号またはアナログ コンパレータ バス入力信号に制限されます。	影響を受けるすべての製品	A	シリコン Rev. B で修正を確認しました。
2. 4.75V 以下の電圧で動作するとき、タイマー キャプチャ入力は再同期化された行入力に制限されます。	影響を受けるすべての製品	A	シリコン Rev. B で修正を確認しました。
3. I2C_CFG、I2C_SCR および I2C_MSCR レジスタは、書き込み時に有効が必須である CPU 周波数などに対するいくつかの制限があります。	影響を受けるすべての製品	A	シリコン Rev. B で修正を確認しました。

1. 4.75V 以上の電圧で動作するとき、タイマー キャプチャ入力信号は再同期化された行入力信号またはアナログ コンパレータ バス入力信号に制限されます。

■ 問題の定義

デバイスが 4.75V ~ 5.25V の範囲内で動作するとき、タイマー モードで動作するデジタル ブロックの入力キャプチャ信号のソースが再同期化された行入力信号またはアナログ コンパレータ バス入力信号に制限されます。行出力信号またはブロードキャスト クロック信号はタイマー キャプチャ信号のソースとして使用できません。

■ 影響を受けるパラメーター

該当なし

■ トリガー条件

デバイスは 4.75V ~ 5.25V の VCC で動作します。

■ 影響の範囲

タイマー モードで動作するデジタル ブロックと、タイマー出力に依存するユーザー モジュールはこのエラッタ エレメントに影響されます。

■ 回避方法

入力キャプチャ信号を同じ行内の他のブロックの出力に接続するために、そのブロックの出力を行出力に接続してから、グローバル出力、グローバル入力、それから行入力に接続します (行入力では、信号が再同期できます)。入力キャプチャ信号を異なる行内のブロックの出力に接続した場合、この接続は自然とグローバル出力、グローバル入力、それから行入力に確立されます。

■ 修正状況

シリコン チップ Rev. B で修正済みです。

2. 4.75V 以下の電圧で動作するとき、タイマー キャプチャ入力 は再同期化された行入力に制限されます。

■ 問題の定義

デバイスが 3.0V ~ 4.75V の電圧範囲内で動作するとき、タイマー モードで動作するデジタル ブロックの入力キャプチャ信号ソースが、再同期化された行入力信号に制限されます。16 ビット タイマー キャプチャは 4.75V 未満で機能します。行出力信号、アナログ コンパレータ入力信号またはブロードキャスト クロック信号はタイマー キャプチャ信号のソースとして使用できません。

■ 影響を受けるパラメーター

該当なし

■ トリガー条件

デバイスは 3.0V ~ 4.75V の VCC で動作します。

■ 影響の範囲

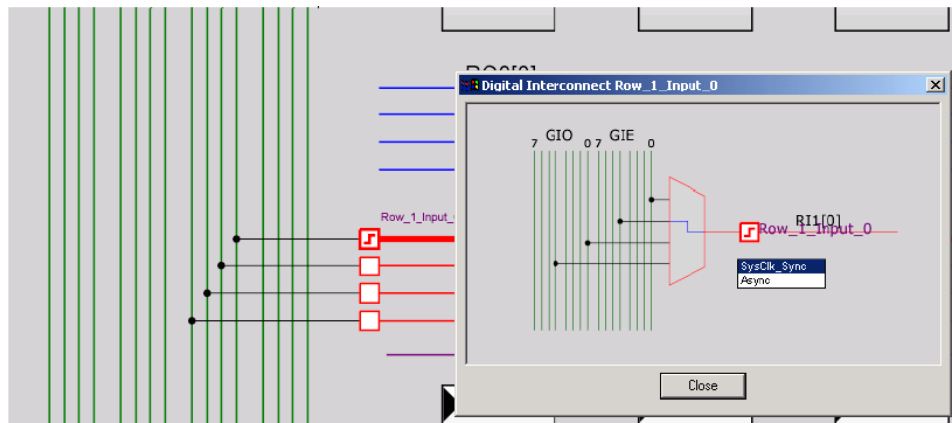
タイマー モードで動作するデジタル ブロックと、タイマー出力に依存するユーザー モジュールはこのエラッタ エLEMENT に影響されます。

■ 回避方法

入力キャプチャ信号を他のブロックの出力に接続するために、そのブロックの出力を行出力に接続してから、グローバル出力、グローバル入力、それから行入力に接続します (行入力では、信号が再同期化できます)。

アナログ コンパレータ バス信号を入力キャプチャに接続するために、この信号は再同期装置を通過するように配線する必要があります。それを実現する唯一の方法は、I/O ピンに接続するようにアナログ出力バスでアナログ コンパレータを配線することです。これによって、アナログ出力バスのリソースを使い果たし、このバスがアナログ信号用に設計されていた場合でも、このバス上で送信されるときにアナログ コンパレータからのデジタル信号は正しく機能します。この信号がピンに到達した後、デジタル信号に変換され、そのピン用のグローバル入力バスを使用してデジタル アレイに送り返されます。この接続を確立するために、ポート ピンはグローバル入力バスが有効にされた状態でセットアップする必要があります。PSoC Designer™ 内のこのコンフィギュレーションを有効にするためには、アナログ出力をオンにしてから、グローバル入力を有効にします。

図 30. 再同期化



■ 修正状況

シリコン チップ Rev. B で修正済みです。

3. I2C_CFG、I2C_SCR および I2C_MSCR レジスタは、書き込み時に有効が必須である CPU 周波数などに対するいくつかの制限があります。

■ 問題の定義

CPU 周波数は、これらのレジスタへの書き込みの直前に推奨値の 1 つに設定する必要があり、レジスタへの書き込みの直後の命令で元の動作周波数に直ちに戻せます。推奨されない CPU 周波数でこれらのレジスタへの書き込み命令を実行すると、予測できない動作となる場合があります。下表に、I2C_CFG、I2C_SCR および I2C_MSCR レジスタへの書き込み用の CPU メモリの可能な選択を示し、推奨される (Rec) と推奨されない (NR) 特定の設定をハイライトします。

I2C_SCR 書き込みおよび I2C_MSCR 書き込み	I2C_CFG 書き込み							
	24MHz	12MHz	6MHz	3MHz	1.5MHz	375K	180K	93K
24MHz	NR	NR	NR	NR	NR	NR	NR	NR
12MHz	NR	NR	Rec	Rec	Rec	Rec	NR	NR
6MHz	NR	Rec	Rec	NR	NR	Rec	NR	NR
3MHz	NR	Rec	NR	Rec	Rec	Rec	Rec	Rec
1.5MHz	NR	Rec	NR	Rec	Rec	Rec	Rec	Rec
375K	NR	Rec	NR	Rec	Rec	Rec	Rec	Rec
180K	NR	Rec	NR	Rec	Rec	Rec	Rec	Rec
93K	NR	Rec	NR	Rec	Rec	Rec	Rec	Rec

■ 影響を受けるパラメーター

該当なし

■ トリガー条件

誤った書き込みをトリガーする CPU 設定については、上記の表を参照してください。

■ 影響の範囲

I²C 動作はこのエラッタ エレメントに影響されます。

■ 回避方法

I2CHW ユーザー モジュールはレジスタ書き込み周波数の推奨組み合わせを実装するように設計されます。このユーザー モジュールは、CY8C27x43 シリコン チップ Rev. A デバイスのユーザーがセットする必要があるパラメーターがあります。このパラメーターがセットされた後、影響されるレジスタへの書き込み時、ユーザー モジュール コードは CPU 周波数を推奨値に一時的に変更します。PSoC Designer のユーザーは <http://www.cypress.com/psoc> から PSoC Designer 4.1 Service Pack 1 をダウンロードしてインストールする必要があります。

■ 修正状況

シリコン チップ Rev. B で修正済みです。

改訂履歴

文書名 : CY8C27143/CY8C27243/CY8C27443/CY8C27543/CY8C27643、PSoC® プログラマブル システムオンチップ ™
文書番号 : 002-00015

版	ECN 番号	発行日	変更内容
**	4984944	10/29/2015	これは英語版 38-12012 Rev. *AB を翻訳した日本語版 002-00015 Rev. ** です。
*A	6656003	01/08/2020	これは英語版 38-12012 Rev. *AD を翻訳した日本語版 002-00015 Rev. *A です。



セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューションセンター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

Arm®Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック & バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラー	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカル サポート

cypress.com/support

© Cypress Semiconductor Corporation, 2003-2020. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。)に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。)を含む) は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためののみ、かつ組織内部でののみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためののみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためののみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラーと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本来目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, CapSense, EZ-USB, F-RAM, 及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。