

サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

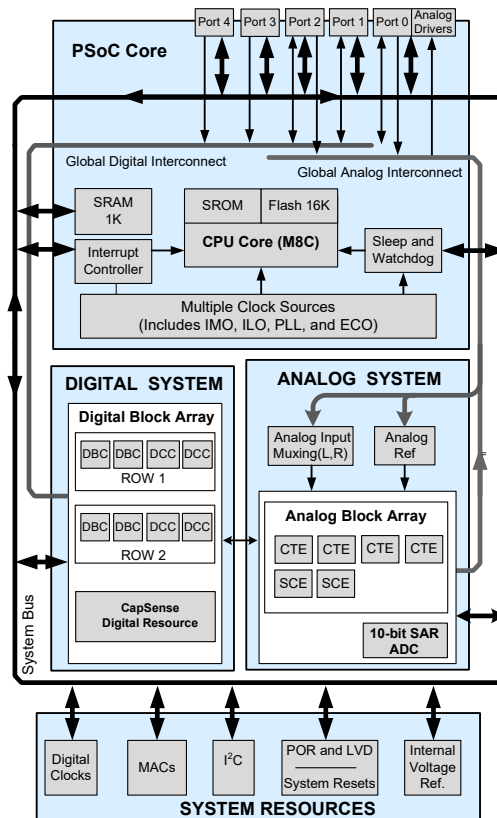
PSoC® プログラマブル システムオンチップ

特長

- 強力なハーバードアーキテクチャ プロセッサ:
 - 最大 24MHz のクロックで動作する M8C プロセッサ
 - 8x8 乗算、32 ビット加算器
 - 高速で低消費電力
 - 動作電圧: 3.0V ~ 5.25V
 - 産業用途向け温度範囲: -40 °C ~ +85 °C
- 高性能ペリフェラル (PSoC® ブロック)
 - 6 個のタイプ「E」アナログ PSoC ブロックの特長
 - シングルまたはデュアルの 8 ビット ADC
 - コンパレータ (最大 4 個)
 - 最大 8 個のデジタル PSoC ブロックの特長
 - 8 ~ 32 ビット タイマーおよびカウンタ、8 ビットと 16 ビットのパルス幅変調器 (PWM)
 - タイマーおよび PWM でワンショット モードとマルチショット モードに対応
 - 1 個のデジタルブロックでデッドバンド PWM を実現
 - シフトレジスタ、CRC、および PRS のモジュール
 - 全二重 UART
 - 複数の SPI マスターまたはスレーブ、可変長データのサポート: 8 ~ 16 ビット
 - すべての GPIO ピンに接続可能
 - ブロックの組み合わせで構成する複雑な周辺回路
 - FSK 検出のためのシフト機能に対応
 - 高性能な同期機能をサポート。デジタルブロックまたは外部信号でアナログモジュール演算を同期
- 組み込み制御向けに最適化されたサンプルおよびホールド付き高速 10 ビット SAR ADC
- プログラム可能な高精度クロック供給
 - 産業用温度範囲にわたって $\pm 5\%$ ^[1] の精度を発揮する 24 / 48MHz の内部発振器
 - オプションの 32kHz 水晶発振器と PLL による高精度な 24MHz クロック
 - オプションの最大 24MHz の外部発振器に対応
 - ウォッチドッグおよびスリープ用に内部と外部の発振器を利用可能
- 柔軟性のあるオンチップメモリ
 - 50,000 回の消去と書き込みが可能な最大 16KB のフラッシュプログラムメモリ領域
 - 最大 1KB の SRAM データ領域
 - インシステムシリアルプログラミング (ISSP) に対応
 - フラッシュメモリの部分的な書換えに対応
 - 柔軟性のある保護モード
 - フラッシュメモリによる EEPROM エミュレーション
- 最適化された CapSense® リソース
 - 2 個の IDAC で最大 640 μ A のソース電流をサポートし、外部抵抗が不要
 - CapSense 専用の 2 種類のクロックリソース
 - CSD_CLK: SYSCLK から 1 / 2 / 4 / 8 / 16 / 32 / 128 / 256 で分周
 - CNT_CLK: CSD_CLK から 1 / 2 / 4 / 8 で分周

- CapSense スキャン専用の 16 ビットのタイマーとカウンタ
- デュアル CSD チャンネルの同時スキャンに対応
- プログラマブルな端子構成:
 - すべての GPIO で 25mA のシンク電流と 10mA のソース電流に対応
 - すべての GPIO でプルアップ、プルダウン、HIGH-Z、ストロング、オープンドレインの各駆動モードに対応
 - GPIO 上で最大 38 個のアナログ入力に対応
 - すべての GPIO でコンフィギュレーション可能な割り込み
- その他のシステムリソース:
 - 400kHz クロックの I²C™ によるスレーブ、マスターおよびマルチマスター
 - ハードウェアアドレス指定機能に対応
 - ウォッチドッグタイマーとスリープタイマー
 - ユーザー側でコンフィギュレーション可能な低電圧検出
 - 監視回路を内蔵
 - 高精度なオンチップ基準電圧
 - デジタルペリフェラルロジックによる RTC 機能に対応

トップレベルのブロック図



エラッタ: シリコンチップエラッタに関する情報については 36 ページの「エラッタ」を参照してください。詳細には、トリガー条件、影響を受けるデバイス、および提案する回避策が含まれています。

注:

1. **エラッタ:** デバイスが 0°C ~ 70°C の温度範囲内で動作するとき、周波数の許容誤差は $\pm 2.5\%$ に低下しますが、極度の温度 (0°C より低い温度や 70°C より高い温度) で動作するとき、周波数の誤差は $\pm 2.5\% \sim \pm 5\%$ です。詳細は 36 ページの「エラッタ」を参照してください。

目次

PSoC 機能の概要	3	電氣的仕様	13
PSoC コア	3	絶対最大定格	14
デジタル システム	3	動作温度	14
アナログ システム	4	DC 電氣的特性	15
追加システム リソース	4	AC 電氣的特性	21
PSoC デバイスの特性	5	パッケージ情報	27
はじめに	5	熱インピーダンス	28
アプリケーション ノート	5	はんだリフローの仕様	28
開発キット	5	注文情報	28
トレーニング	5	注文コードの定義	28
CYPros コンサルタント	5	略語	29
ソリューションズ ライブラリ	5	参考資料	30
テクニカル サポート	5	本書の表記法	31
開発ツール	6	測定単位	31
PSoC Designer ソフトウェア サブシステム	6	数値の表記	31
PSoC Designer を使用した設計	7	用語集	31
ユーザー モジュールの選択	7	エラッタ	36
ユーザー モジュールの設定	7	影響を受ける製品番号	36
構成と接続	7	CY8C21x45、CY8C22x45 認定状態	36
生成、検証、およびデバッグ	7	エラッタのまとめ	36
端子配置	8	改訂履歴	38
CY8C22345、CY8C21345 28 ピン SOIC	8	セールス、ソリューションおよび法律情報	39
CY8C22545 44 ピン TQFP	9	ワールドワイドな販売と設計サポート	39
レジスタ	10	製品	39
レジスタの表記法	10	PSoC® ソリューション	39
レジスタ マッピング テーブル	10	サイプレス開発者コミュニティ	39
		テクニカル サポート	39

PSoC 機能の概要

PSoC ファミリーは、数多くのオンチップ コントローラー デバイスで構成されています。これらのデバイスは、従来の MCU ベースのシステム部品を複数使用した構成を、低コストでプログラマブルなシングル チップ デバイスで置き換えることを目的としています。PSoC デバイスは、コンフィギュレーション可能なアナログ ロジックとデジタル ロジックのブロックを備え、これらのブロック間の相互接続はプログラム可能です。このアーキテクチャによって、個々の用途の要件に合わせた周辺回路構成のカスタマイズが可能になります。さらに、高速 CPU、フラッシュ プログラム メモリ、SRAM データ メモリ、構成可能な I/O が、便利なピン配列およびパッケージで提供されています。

図 1 に示すように、PSoC アーキテクチャは 4 つの主要な領域 (PSoC コア、デジタル システム、アナログ システム、システム リソース) で構成されます。コンフィギュレーション可能なグローバル バスにより、すべてのデバイス リソースを組み合わせ、カスタム システムを構築できます。PSoC ファミリーは、グローバル デジタルとグローバル アナログにて相互接続可能な最大 5 個の I/O ポートを提供しています。これらのポートから、8 個のデジタル ブロックおよび 6 個のアナログ ブロックにアクセスできます。

PSoC コア

PSoC コアは、充実した機能セットを持つ高性能なエンジンです。このコアは、CPU、メモリ、クロック、およびコンフィギュレーション可能な汎用 I/O (GPIO) を備えています。

M8C CPU コアは最高 24MHz で動作する高性能プロセッサで、4MIPS の性能を持つ 8 ビット ハードウェア アーキテクチャマイクロプロセッサを提供します。この CPU では、21 のベクタを持つ割り込みコントローラーを使用して、リアルタイム組み込みイベントのプログラミングを簡素化します。

プログラムの実行は、組み込まれたスリープ タイマーとウォッチドッグ タイマー (WDT) を使用してタイミングが管理され、保護されます。

メモリは、プログラム領域用の 16KB フラッシュ、データ領域用の 1K バイト SRAM、およびフラッシュを使用してエミュレートする最大 2KB の EEPROM で構成されます。プログラムフラッシュには 64 バイトのブロックに対して 4 段階の保護レベルが用意されているため、これを使用してソフトウェアの IP 保護をカスタマイズできます。

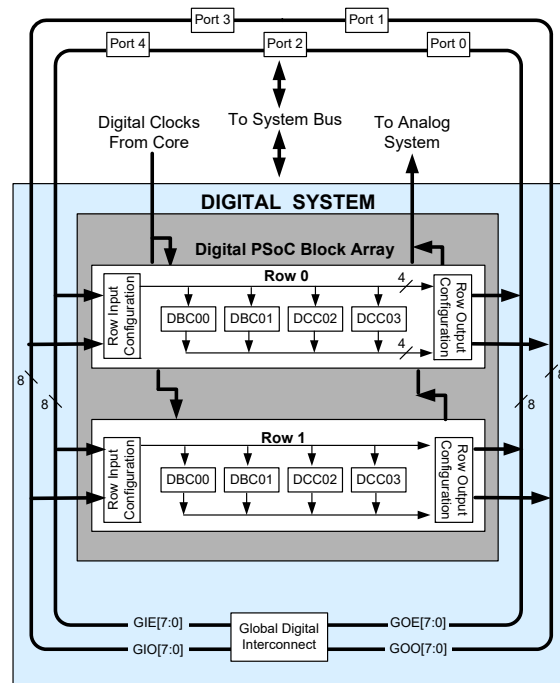
PSoC デバイスは 24MHz の IMO (内部主発振器) などの柔軟な内部クロック発生器を装備します。この 24MHz の IMO は、周波数を 48MHz に倍増して、デジタル システムでも使用できます。スリープ タイマーと WDT 用に低消費電力の 32kHz ILO (内部低速発振器) が用意されています。水晶精度を必要とする場合は、ECO (32.768kHz の外部水晶振動子) をリアルタイムクロック (RTC) として使用できるほか、必要に応じ、PLL を使用して水晶精度の 24MHz システム クロックを生成できます。これらのクロックを、プログラマブルなクロック分周器 (システム リソースの一部) と組み合わせて使用すれば、ほぼあらゆるタイミング要件を PSoC デバイスに組み込める柔軟性が得られます。

PSoC の GPIO は、デバイスの CPU、デジタル リソース、およびアナログ リソースに接続しています。各ピンの駆動モードは 8 つのオプションから選択できるため、外部とのインターフェースを非常に柔軟に設定できます。また、各ピンは HIGH レベル、LOW レベル、および前回読み出しのときからの変化に基づいてシステム割り込みも発生できます。

デジタル システム

デジタル システムは 8 個のデジタル PSoC ブロックで構成されます。各ブロックは 8 ビットのリソースであり、単独で使用できるほか、他のブロックと組み合わせ、ユーザー モジュール リファレンスという 8 ビット、16 ビット、24 ビット、および 32 ビットの周辺回路を構成できます。

図 1. デジタル システムのブロック図



デジタル周辺回路の構成には次のようなものがあります。

- PWM (8 ビットおよび 16 ビット)
 - デッド バンド PWM (8 ビットおよび 16 ビット)
 - カウンター (8 ~ 32 ビット)
 - タイマー (8 ~ 32 ビット)
 - 選択可能なパリティを持つ UART 8 ビット (最大 2 個)
 - SPI マスターおよび SPI スレーブ (最大 2 個)
 - シフトレジスタ (1 ~ 32 ビット)
 - I2C スレーブと I2C マスター (1 個がシステム リソースとして使用可能)
 - 巡回冗長検査回路 (CRC) / 生成器 (8 ~ 32 ビット)
 - IrDA (最大 2 個)
 - 擬似ランダム シーケンス (PRS) 生成器 (8 ~ 32 ビット)
- 任意のピンに任意の信号を送れるグローバルバスを通じて、どの GPIO にもデジタル ブロックを接続できます。また、バスを使用することで信号の多重化や論理演算も可能です。このような柔軟なコンフィギュレーションにより、固定された周辺コントローラーに伴う制約を受けずに設計できます。デジタル ブロックは一行につき 4 個で構成され、ブロックの数は PSoC デバイス ファミリーごとに異なります。これにより、用途に応じて最適なシステム リソースを選択できます。5 ページの表 1 にファミリのリソースを示します。

アナログ システム

アナログ システムは、10 ビット SAR ADC と 6 個のコンフィグレーション可能なブロックで構成されます。

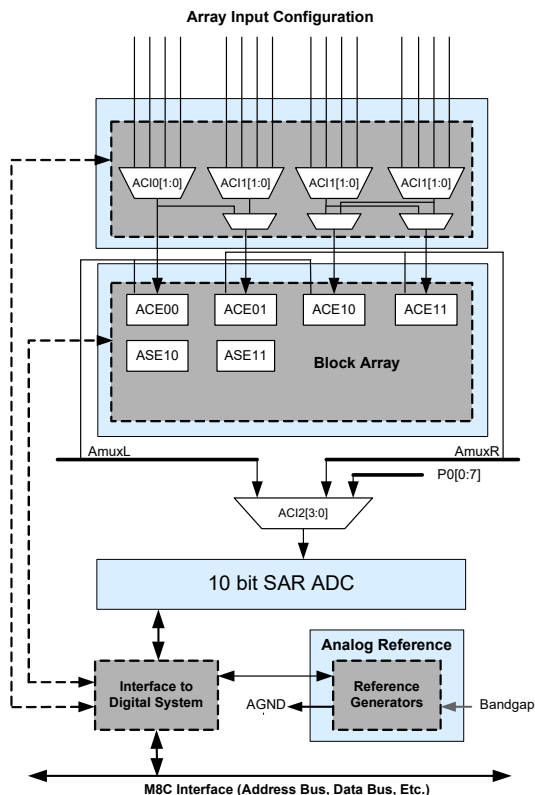
プログラマブルな 10 ビット SAR ADC は、最大 200ksps で動作可能な最適化された ADC で、 ± 1.5 LSB の微分非直線性と ± 2.5 LSB の積分非直線性を発揮します ($V_{DD} \geq 3.0V$ および $V_{ref} \geq 3.0V$ の場合)。アンチエイリアス処理のため、ADC 入力チャネルには外部フィルタが必要です。これによって、不要帯域の信号がフィルタ処理されて、入力信号帯域に混入しません。

再コンフィグレーション可能なアナログ リソースによって、複雑なアナログ信号系を構築できます。アナログ周辺回路には高い柔軟性があり、用途の具体的な要件に合わせてカスタマイズできます。一般的な PSoC アナログ機能として、以下のものがあります (ほとんどはユーザー モジュールとして実現可能です)。

- アナログ-デジタルコンバータ (シングルまたはデュアル、分解能 8 ビット)
- ピン信号間のコンパレータ
- バンドギャップ電圧 (1.3V) または 5 ビット DAC 出力を基準電圧として利用できるシングルエンド コンパレータ
- 1.3V 基準電圧 (システム リソースとして可能)

アナログ ブロックは、CT-E (連続時間) ブロックと SC-E (スイッチド キャパシタ) ブロックの 4 個のブロックの列で構成されています。これらのデバイスは、制限された機能のタイプ「E」アナログ ブロックを備えています。

図 2. アナログ システムのブロック図



追加システム リソース

システム リソースは、システムの構築に効果的な追加機能を提供します。一部のシステム リソースについてはすでに説明しました。その他の追加リソースとして、MAC、低電圧検出、およびパワーオン リセットがあります。各システム リソースの利点は以下のとおりです。

- デジタル クロック分周器は、各種用途向けにカスタマイズ可能な 3 つのクロック周波数を提供します。このクロックは、デジタルとアナログの両方のシステムで使用できます。デジタル PSoC ブロックをクロック分周器として使用することで、さらに別のクロックを生成できます。
- CSD に最適化された追加のデジタル リソースおよびクロック。
- デジタル ペリフェラル ロジックによる RTC 機能に対応します。
- 積和演算器 (MAC) は、32 ビット加算器が付加された高速 8 ビット乗算器を提供し、一般的な数学演算やデジタル フィルタ処理を支援します。
- I2C モジュールは、100kHz と 400kHz による 2 線式の通信に対応します。スレーブ、マスター、およびマルチマスターのいずれのモードにも対応できます。
- 低電圧検出 (LVD) 割り込みは、電圧レベルの低下を通知する信号をアプリケーションに送信します。同時に、高度な POR (パワーオン リセット) 回路を使用することでシステム監視が不要になります。
- 1.3V の内部基準電圧は、ADC や DAC などのアナログシステムに基準電圧を提供します。



PSoC デバイスの特性

PSoC デバイスの特性に応じて、デジタル システムとアナログ システムは 16 個、8 個、または 4 個のデジタル ブロックと 12 個、6 個、または 3 個のアナログ ブロックを持てます。次の表に特定の PSoC デバイス グループで使用可能なリソースを示します。

表 1. PSoC デバイスの特性

PSoC 製品 番号	デジタル I/O 数	デジタル 行数	デジタル ブロック数	アナログ 入力数	アナログ 出力数	アナログ カラム数	アナログ ブロック数	SRAM サイズ	フラッシュ サイズ
CY8C29x66 ^[2]	最大 64	4	16	最大 12	4	4	12	2K	32K
CY8C28xxx	最大 44	最大 3	最大 12	最大 44	最大 4	最大 6	最大 12+4 ^[3]	1K	16K
CY8C27x43	最大 44	2	8	最大 12	4	4	12	256	16K
CY8C24x94 ^[2]	最大 56	1	4	最大 48	2	2	6	1K	16K
CY8C24x23A ^[2]	最大 24	1	4	最大 12	2	2	6	256	4K
CY8C23x33	最大 26	1	4	最大 12	2	2	4	256	8K
CY8C22x45 ^[2]	最大 38	2	8	最大 38	0	4	6 ^[3]	1K	16K
CY8C21x45 ^[2]	最大 24	1	4	最大 24	0	4	6 ^[3]	512	8K
CY8C21x34 ^[2]	最大 28	1	4	最大 28	0	2	4 ^[3]	512	8K
CY8C21x23	最大 16	1	4	最大 8	0	2	4 ^[3]	256	4K
CY8C20x34 ^[2]	最大 28	0	0	最大 28	0	0	3 ^[3, 4]	512	8K
CY8C20xx6	最大 36	0	0	最大 36	0	0	3 ^[3, 4]	最大 2K	最大 32K

はじめに

詳細情報やプログラミングの詳細は「[CY8C22x45, CY8C21345: PSoC[®] Programmable System-on-Chip™ Technical Reference Manual](#)」を参照してください。

注文、パッケージ、および電気的仕様の最新情報については、ウェブサイトでの最新の「[PSoC device datasheets](#)」を参照してください。

アプリケーション ノート

「[Cypress application notes](#)」は PSoC を使用したさまざまな設計を目指すうえで優れたガイドです。「[PSoC 1 Application note finder](#)」を使用して、特定のアプリケーションやファミリ用のアプリケーション ノートまたはサンプル プロジェクトを検索してください。

開発キット

[PSoC 1 kits](#) は、サイプレスのオンライン ストアで入手できます。また、各地域や世界規模で Arrow、Avnet、Digi-Key、Farnell、Future Electronics、Newark などの販売代理店網からもお求めいただけます。サイプレスのウェブサイトから入手できる [kit selector guide](#) は、各 PSoC 1 ファミリの使用可能な開発キット、プログラムおよびデバッグ キットの一覧を提供します。

トレーニング

[PSoC の無料技術トレーニング](#) (オンデマンド、ウェビナー、ワークショップ) は、オンラインで [www.cypress.com](#) で受講できます。このトレーニングでは、各種のトピックやスキル レベルをカバーしており、お客様の設計を支援します。

CYPros コンサルタント

認定された PSoC コンサルタントが、技術支援から完成した PSoC 設計までのあらゆるニーズに対応します。PSoC コンサルタントにお問い合わせになるには、またはコンサルタントになるには、[CYPros Consultants](#) ウェブサイトをご覧ください。

ソリューションズ ライブラリ

[ソリューションを重視した設計のライブラリ](#)をご覧ください。ライブラリには、設計を素早く完成する上で役立つ、ファームウェアおよびハードウェア設計ファイルを含む様々なアプリケーション設計が用意されています。

テクニカル サポート

「[Technical support](#)」 - 検索可能な知識ベースの記事と技術フォーラムもオンラインでご利用になれます。解決策が見つからない場合は、テクニカル サポート (1-800-541-4736) までご連絡ください。

注:

- このグループで使用可能な車載用認定済みのデバイスです。
- 制約されたアナログ機能です。
- 2 個のアナログ ブロックおよび 1 個の CapSense[®] ブロックです。

開発ツール

画期的な統合設計環境 (IDE) である PSoC Designer™ を使うと、ユーザーが必要とするアプリケーション要件を満たすよう PSoC をカスタマイズできます。PSoC Designer ソフトウェアは、システム設計や市場投入までの時間を短縮するお手伝いをいたします。ユーザー モジュールと呼ばれるあらかじめ用意されたアナログ ペリフェラルやデジタル ペリフェラルのライブラリを、ドラッグ&ドロップによる設計環境内で利用して独自のアプリケーションを開発できます。また、動的に生成されるアプリケーション プログラミング インターフェース (API) のコード ライブラリを活用しながら、設計をカスタマイズできます。そして、設計のデバッグおよびテストは、回路内エミュレーションや標準ソフトウェア デバッグ機能などを備えた統合デバッグ環境で行います。PSoC Designer には以下が含まれます。

- デバイス、ユーザー モジュール コンフィギュレーションおよびダイナミック リコンフィギュレーション用のアプリケーション エディタ グラフィカル ユーザー インターフェース (GUI)
- 広範なユーザー モジュール カタログ
- 統合ソース コード エディタ (C およびアセンブリ言語)
- サイズや使用期限のない無償の C コンパイラ
- 内蔵デバッガ
- インサーキット エミュレータ
- 通信インターフェースの組み込みサポート機能は以下のとおりです。
 - ハードウェアおよびソフトウェア I²C スレーブとマスター
 - フルスピード USB 2.0
 - 最大 4 個の全二重ユニバーサル非同期レシーバ/トランスミッタ (UART)、SPI マスターと SPI スレーブ、およびワイヤレス

PSoC Designer は、PSoC 1 デバイスの全ライブラリをサポートしており、Windows XP、Windows Vista、Windows 7 上で動作します。

PSoC Designer ソフトウェア サブシステム

設計エントリ

チップレベル ビューでは、まず目的の基本デバイスを選択します。次に、PSoC ブロックを使用するアナログとデジタルの各種オンボード コンポーネント (ユーザー モジュール) を選択します。ユーザー モジュールの例として、ADC、DAC、アンプ、およびフィルタがあります。選択したアプリケーション向けにユーザー モジュールをコンフィギュレーションし、他のユーザー モジュールや適切なピンに接続します。その後、プロジェクトを生成します。それにより、アプリケーションのプログラミングに使用できる API とライブラリがプロジェクトに事前設定されます。

またこのツールを使用すると、複数のコンフィギュレーションと動的再設定を容易に開発できます。動的再設定により、実行時に構成を変更できます。これにより、アプリケーションが 100 パーセント以上の PSoC リソースを利用できます。

コード生成ツール

コード生成ツールは、PSoC Designer のインターフェース内で途切れることなく動作し、さまざまなデバッグ ツールでテスト済みです。C、アセンブリ、または両方の組み合わせで設計を開発できます。

アセンブラ: アセンブラでは、アセンブリ コードを C コードとシームレスに組み合わせられます。リンク ライブラリでは、自動的に絶対アドレス指定を使用できるほか、相対モードでコンパイルされた上で他のソフトウェア モジュールとリンクし、絶対アドレス指定も取得できます。

C 言語コンパイラ: PSoC ファミリのデバイスをサポートする C 言語コンパイラを利用できます。これらの製品を使用することで、PSoC ファミリー デバイス用に完全な C プログラムを作成できます。これらの最適化 C コンパイラは、PSoC のアーキテクチャに合わせて設定した C 言語のすべての機能を提供します。コンパイラには、ポートとバスの動作、標準のキーボードとディスプレイのサポート、および拡張演算機能を提供する組み込みライブラリが付属します。

デバッガ

PSoC Designer はハードウェアによるインサーキット エミュレーション機能を提供するデバッグ環境を備えているため、実システムでプログラムをテストでき、同時に PSoC デバイスの内部状態を見られます。デバッガ コマンドを使用して、データメモリの読み出しとプログラム、データ メモリの読み書き、I/O レジスタの読み書きができます。また、CPU レジスタの読み出しと書き込み、ブレークポイントの設定と消去、プログラムの実行、停止、およびステップ制御が可能です。また、調査対象のレジスタとメモリ位置のトレース バッファをデバッガで作成できます。

オンライン ヘルプ システム

オンライン ヘルプ システムを使用して、コンテキスト依存型のオンライン ヘルプを表示できます。それぞれの機能のサブシステムごとに固有のコンテキスト依存ヘルプがあり、操作手順のヘルプやクイック リファレンスとして使用できます。また、このヘルプ システムは設計者を支援するためのチュートリアル、FAQ とオンライン サポート フォーラムへのリンクを提供します。

インサーキット エミュレータ

コストの低く、機能性の高いインサーキット エミュレータ (ICE) が開発作業をサポートするために用意されています。このハードウェアは単独のデバイスをプログラムできます。

エミュレータは、USB ポートを通じて PC に接続する 1 つの基本ユニットで構成されています。この基本ユニットは汎用型で、すべての PSoC デバイスで動作します。各デバイス ファミリのエミュレーション ボードは、それぞれ別々に用意されています。エミュレーション ボードは、作業対象の基板上の PSoC デバイスと置き換わり、フルスピード (24MHz) で動作できます。



PSoC Designer を使用した設計

PSoC デバイスの開発プロセスは、従来の固定機能マイクロプロセッサの開発プロセスとは異なります。コンフィギュレーション可能なアナログおよびデジタル ハードウェア ブロックにより、PSoC アーキテクチャに独自の柔軟性がもたらされ、開発時の仕様変更の管理や在庫費用の低減に役立ちます。これらのコンフィギュレーション可能なリソースは PSoC ブロックと呼ばれ、ユーザーが選択可能なさまざまな機能を実装できます。PSoC 開発プロセスは次の 4 つのステップにまとめられます。

1. 「User Modules」の選択
2. ユーザー モジュールの設定
3. 構成と接続
4. 生成、検証、およびデバッグ

ユーザー モジュールの選択

PSoC Designer は、あらかじめ構築され、テスト済みのハードウェア周辺コンポーネント（ユーザー モジュールと呼ばれる）のライブラリを備えています。ユーザー モジュールにより、アナログとデジタル両方の周辺デバイスの選択と実装を簡素化できます。

ユーザー モジュールの設定

選択した各ユーザー モジュールにより、選択した機能を実装する基本的なレジスタ設定を確立できます。また、コンポーネントの的確なコンフィギュレーションを特定のアプリケーションに合わせるようにするパラメーターとプロパティも提供されます。たとえば、PWM ユーザー モジュールは、1 つ以上のデジタル PSoC ブロックで構成されます。ユーザー モジュール パラメーターでは、パルス幅とデューティ比を設定できます。選択したアプリケーションに対応するようにパラメーターとプロパティを設定します。値は直接入力またはドロップダウンメニューからの選択で入力してください。すべてのユーザー モジュールはデータシートとして文書化されており、PSoC Designer またはサイプレスのウェブサイトですべて確認できます。これらの [ユーザー モジュール データシート](#) には、ユーザー モジュールの内部動作に関する説明と性能仕様が記載されています。また、各データ シートにはユーザー モジュールの各パラメーターの使用法や、設計を適切に実装するために必要なその他の情報もまとめられています。

構成と接続

各ユーザー モジュールを他のモジュールおよび I/O ピンに相互接続することによって、チップ レベルで信号チェーンを作成できます。すべてのオンチップ リソースを完全に制御できるように、選択、コンフィギュレーション、およびルーティングを行います。

生成、検証、およびデバッグ

ハードウェアのコンフィギュレーションのテスト、またはプロジェクトのコード開発への移行の準備ができたなら、「コンフィギュレーション ファイルを生成する」手順を実行します。このステップで PSoC Designer によって生成されるソース コードは、仕様に合わせてデバイスを自動的に設定し、システム用にソフトウェアを提供します。これらの生成されたコードでは、動作中に発生するハードウェア イベントの制御やそれに対する応答を実現する高レベル関数を伴うアプリケーション プログラミング インターフェース (API)、および必要に応じて書き換えて使用できる割り込みサービス ルーチンが得られます。

高い完成度のコード開発環境により、C またはアセンブリ言語、またはその両方を使用したアプリケーションの開発とカスタマイズが可能です。

開発プロセスの最後のステップは、PSoC Designer のデバッグ内で進めます（接続のアイコンをクリックしてアクセスします）。PSoC Designer によって HEX イメージが ICE にダウンロードされ、フルスピードで実行されます。PSoC Designer のデバッグ機能は、何倍も高価なデバッグ システムの機能に匹敵します。デバッグ インターフェースは、シングル ステップ実行、ブレーク ポイントまでの実行、変数値の追跡などの従来からの機能のほか、大容量のトレース バッファを備えており、複雑なブレークポイント イベントを定義できます。これらにはアドレスとデータ バス値、メモリ位置、および外部信号の監視が含まれます。

端子配置

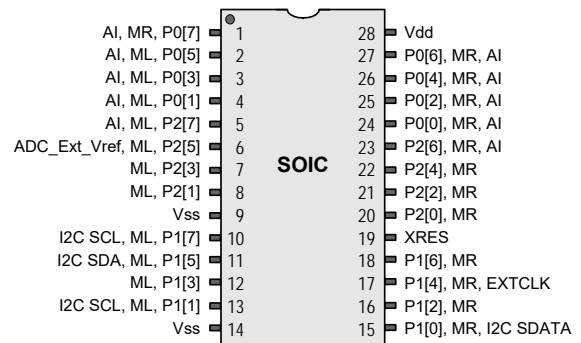
PSoC デバイス ファミリはさまざまなパッケージで提供します。各パッケージについて次の表に示します。すべてのポート ピン (「P」というラベルが付いたもの) は、デジタル I/O の機能を備えています。ただし、Vss、Vdd および XRES はデジタル I/O の機能を備えていません。

CY8C22345、CY8C21345 28 ピン SOIC

表 2. 端子機能

端子 番号	タイプ		端子名	説明
	デジタル	アナログ		
1	I/O	I、MR	P0[7]	MR 向け集積コンデンサ
2	I/O	I、ML	P0[5]	ML 向け集積コンデンサ
3	I/O	I、ML	P0[3]	
4	I/O	I、ML	P0[1]	
5	I/O	I、ML	P2[7]	比較カラム 0 へ信号を送るピン
6	I/O	ML	P2[5]	オプションの ADC 外部 Vref
7	I/O	ML	P2[3]	
8	I/O	ML	P2[1]	
9	電源		Vss	グラウンド接続 ^[5]
10	I/O	ML	P1[7]	I2C シリアル クロック (SCL)
11	I/O	ML	P1[5]	I2C シリアル データ (SDA)
12	I/O	ML	P1[3]	
13	I/O	ML	P1[1]	I2C シリアル クロック (SCL)、 ISSP-SCLK ^[6]
14	電源		Vss	グラウンド接続 ^[5]
15	I/O	MR	P1[0]	I2C シリアル クロック (SCL)、 ISSP-SDATA ^[6]
16	I/O	MR	P1[2]	
17	I/O	MR	P1[4]	オプションの外部クロック入力 (EXT-CLK)
18	I/O	MR	P1[6]	
19	入力		XRES	内部プル ダウン抵抗付きのアク ティブ HIGH のリセットピン
20	I/O	MR	P2[0]	
21	I/O	MR	P2[2]	
22	I/O	MR	P2[4]	
23	I/O	I、MR	P2[6]	比較カラム 1 へ信号を送るピン
24	I/O	I、MR	P0[0]	
25	I/O	I、MR	P0[2]	
26	I/O	I、MR	P0[4]	
27	I/O	I、MR	P0[6]	
28	電源		Vdd	電源電圧

図 3. 端子図



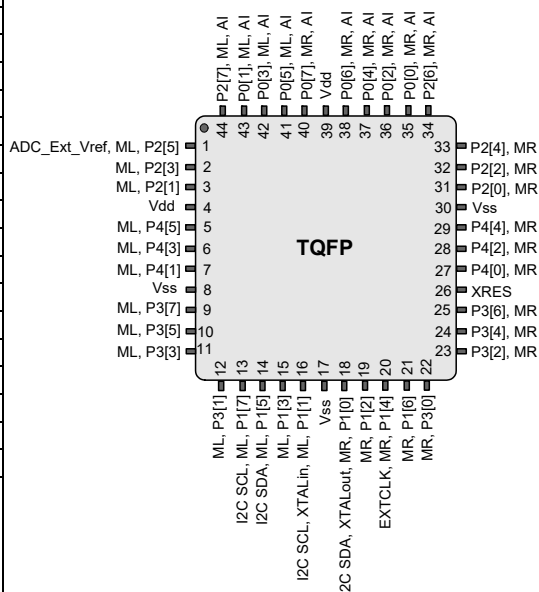
凡例: A= アナログ、I= 入力、O= 出力、M= アナログ マルチプレクサ入力、MR= 右側のアナログ マルチプレクサ入力、ML= 左側のアナログ マルチプレクサ入力。

注:

- すべての Vss ピンを 1 つの共通グラウンド面に接続する必要があります。
- ISSP が使用されない場合、ピン P1[0] および P1[1] は POR または XRES イベントに異なった応答をします。POR または XRES イベントの後、どちらのピンも HIGH-Z 駆動モードに達する前に抵抗ゼロ駆動モードに入って、グラウンドまで電圧が低下します。

CY8C22545 44 ピン TQFP
表 3. 端子機能^[7]

端子 番号	タイプ		端子名	説明
	デジタル	アナログ		
1	I/O	ML	P2[5]	オプションの ADC 外部 Vref
2	I/O	ML	P2[3]	
3	I/O	ML	P2[1]	
4	電源		Vdd	電源電圧
5	I/O	ML	P4[5]	
6	I/O	ML	P4[3]	
7	I/O	ML	P4[1]	
8	電源		Vss	グラウンド接続
9	I/O	ML	P3[7]	
10	I/O	ML	P3[5]	
11	I/O	ML	P3[3]	
12	I/O	ML	P3[1]	
13	I/O	ML	P1[7]	I2C シリアル クロック (SCL)
14	I/O	ML	P1[5]	I2C シリアル データ (SDA)
15	I/O	ML	P1[3]	
16	I/O	ML	P1[1]	水晶振動子 (XTALin)、I2C SCL、ISSP SCLK ^[6]
17	電源		Vss	グラウンド接続
18	I/O	MR	P1[0]	水晶振動子 (XTALout)、I2C SDA、ISSP SDATA ^[6]
19	I/O	MR	P1[2]	
20	I/O	MR	P1[4]	オプションの外部クロック入力 (EXTCLK)
21	I/O	MR	P1[6]	
22	I/O	MR	P3[0]	
23	I/O	MR	P3[2]	
24	I/O	MR	P3[4]	
25	I/O	MR	P3[6]	
26	入力		XRES	内部プルダウン抵抗付きのアクティブ HIGH のリセットピン
27	I/O	MR	P4[0]	
28	I/O	MR	P4[2]	
29	I/O	MR	P4[4]	
30	電源		Vss	グラウンド接続
31	I/O	MR	P2[0]	
32	I/O	MR	P2[2]	
33	I/O	MR	P2[4]	
34	I/O	I、MR	P2[6]	比較カラム 1 へ信号を送るピン
35	I/O	I、MR	P0[0]	
36	I/O	I、MR	P0[2]	
37	I/O	I、MR	P0[4]	
38	I/O	I、MR	P0[6]	
39	電源		Vdd	電源電圧
40	I/O	I、MR	P0[7]	MR 向け集積コンデンサ
41	I/O	I、ML	P0[5]	ML 向け集積コンデンサ
42	I/O	I、ML	P0[3]	
43	I/O	I、ML	P0[1]	
44	I/O	I、ML	P2[7]	比較カラム 0 へ信号を送るピン

図 4. 端子図


凡例: A= アナログ、I= 入力、O= 出力、M= アナログ マルチプレクサ入力、MR= 右側のアナログ マルチプレクサ入力、ML= 左側のアナログ マルチプレクサ入力。

注:

- すべての V_{SS} ピンを 1 つの共通グラウンド面に接続する必要があります。

レジスタ

ここでは、マッピング テーブルによりこの PSoC デバイス ファミリのレジスタを示します。レジスタの詳細情報は「PSoC Programmable System-on Chip Technical Reference Manual」を参照してください。

レジスタの表記法

表 4. 略号

表記	説明
RW	読み出しおよび書き込みレジスタまたはビット
R	読み出しレジスタまたはビット
W	書き込みレジスタまたはビット
L	論理レジスタまたはビット
C	クリア可能なレジスタまたはビット
#	アクセスはビット固有です。

レジスタ マッピング テーブル

PSoC デバイスには、全部で 512 バイトのレジスタ アドレス空間があります。このレジスタ空間は I/O 空間とも呼ばれ、2 つの部分で構成されています。フラグ レジスタ内の XIO ビットは、ユーザーが現時点でどのバンクにアクセスしているかを示します。XIO ビットがセットされた場合、ユーザーが「拡張」アドレス空間または「コンフィギュレーション」レジスタにアクセスするとみなされます。

注：次のレジスタ マッピング テーブルでは、空白のフィールドは予約されているため、アクセスしないでください。



表 5. レジスタ マップ バンク 0 テーブル: ユーザー空間

名称	アドレス (0、16 進)	アクセス	名称	アドレス (0、16 進)	アクセス	名称	アドレス (0、16 進)	アクセス	名称	アドレス (0、16 進)	アクセス
PRT0DR	00	RW		40	#	ASC10CR0*	80*	RW		C0	RW
PRT0IE	01	RW		41	W		81	RW		C1	RW
PRT0GS	02	RW		42	RW		82	RW		C2	RW
PRT0DM2	03	RW		43	#		83	RW		C3	RW
PRT1DR	04	RW		44	#	ASD11CR0*	84*	RW		C4	RW
PRT1IE	05	RW		45	W		85	RW		C5	RW
PRT1GS	06	RW		46	RW		86	RW		C6	RW
PRT1DM2	07	RW		47	#		87	RW		C7	RW
PRT2DR	08	RW		48	#		88	RW	PWMVREF0	C8	#
PRT2IE	09	RW		49	W		89	RW	PWMVREF1	C9	#
PRT2GS	0A	RW		4A	RW		8A	RW	IDAC_MODE	CA	RW
PRT2DM2	0B	RW		4B	#		8B	RW	PWM_SRC	CB	#
PRT3DR	0C	RW		4C	#		8C	RW	TS_CR0	CC	RW
PRT3IE	0D	RW		4D	W		8D	RW	TS_CMPH	CD	RW
PRT3GS	0E	RW		4E	RW		8E	RW	TS_CMPL	CE	RW
PRT3DM2	0F	RW		4F	#		8F	RW	TS_CR1	CF	RW
PRT4DR	10	RW	CSD0_DR0_L	50	R		90	RW	CUR_PP	D0	RW
PRT4IE	11	RW	CSD0_DR1_L	51	W		91	RW	STK_PP	D1	RW
PRT4GS	12	RW	CSD0_CNT_L	52	R		92	RW	PRV_PP	D2	RW
PRT4DM2	13	RW	CSD0_CR0	53	#		93	RW	IDX_PP	D3	RW
	14	RW	CSD0_DR0_H	54	R		94	RW	MVR_PP	D4	RW
	15	RW	CSD0_DR1_H	55	W		95	RW	MVW_PP	D5	RW
	16	RW	CSD0_CNT_H	56	R		96	RW	I2C0_CFG	D6	RW
	17	RW	CSD0_CR1	57	RW		97	RW	I2C0_SCR	D7	#
	18	RW	CSD1_DR0_L	58	R		98	RW	I2C0_DR	D8	RW
	19	RW	CSD1_DR1_L	59	W		99	RW	I2C0_MSCR	D9	#
	1A	RW	CSD1_CNT_L	5A	R		9A	RW	INT_CLR0	DA	RW
	1B	RW	CSD1_CR0	5B	#		9B	RW	INT_CLR1	DB	RW
	1C	RW	CSD1_DR0_H	5C	R		9C	RW	INT_CLR2	DC	RW
	1D	RW	CSD1_DR1_H	5D	W		9D	RW	INT_CLR3	DD	RW
	1E	RW	CSD1_CNT_H	5E	R		9E	RW	INT_MSK3	DE	RW
	1F	RW	CSD_CR1	5F	RW		9F	RW	INT_MSK2	DF	RW
DBC00DR0	20	#	AMX_IN	60	RW		A0		INT_MSK0	E0	RW
DBC00DR1	21	W	AMUX_CFG	61	RW		A1		INT_MSK1	E1	RW
DBC00DR2	22	RW	PWM_CR	62	RW		A2		INT_VC	E2	RC
DBC00CR0	23	#	ARF_CR	63	RW		A3		RES_WDT	E3	W
DBC01DR0	24	#	CMP_CR0	64	#		A4		DEC_DH	E4	RW
DBC01DR1	25	W	ASY_CR	65	#		A5		DEC_DL	E5	RW
DBC01DR2	26	RW	CMP_CR1	66	RW		A6		DEC_CR0*	E6	RW
DBC01CR0	27	#		67	RW		A7		DEC_CR1*	E7	RW
DCC02DR0	28	#	ADC0_CR	68	#		A8	W	MUL0_X	E8	W
DCC02DR1	29	W	ADC1_CR	69	#		A9	W	MUL0_Y	E9	W
DCC02DR2	2A	RW	SADC_DH	6A	RW		AA	R	MUL0_DH	EA	R
DCC02CR0	2B	#	SADC_DL	6B	RW		AB	R	MUL0_DL	EB	R
DCC03DR0	2C	#	TMP_DR0	6C	RW		AC	RW	ACC0_DR1	EC	RW
DCC03DR1	2D	W	TMP_DR1	6D	RW		AD	RW	ACC0_DR0	ED	RW
DCC03DR2	2E	RW	TMP_DR2	6E	RW		AE	RW	ACC0_DR3	EE	RW
DCC03CR0	2F	#	TMP_DR3	6F	RW		AF	RW	ACC0_DR2	EF	RW
DBC10DR0	30	#		70	RW	RD10RI	B0	RW	CPU_A	F0	#
DBC10DR1	31	W		71	RW	RD10SYN	B1	RW	CPU_T1	F1	#
DBC10DR2	32	RW	ACB00CR1*	72*	RW	RD10IS	B2	RW	CPU_T2	F2	#
DBC10CR0	33	#	ACB00CR2*	73*	RW	RD10LT0	B3	RW	CPU_X	F3	#
DBC11DR0	34	#		74	RW	RD10LT1	B4	RW	CPU_PCL	F4	#
DBC11DR1	35	W		75	RW	RD10RO0	B5	RW	CPU_PCH	F5	#
DBC11DR2	36	RW	ACB01CR1*	76*	RW	RD10RO1	B6	RW	CPU_SP	F6	#
DBC11CR0	37	#	ACB01CR2*	77*	RW	RD10DSM	B7	RW	CPU_F	F7	I
DCC12DR0	38	#		78	RW	RD11RI	B8	RW	CPU_TST0	F8	RW
DCC12DR1	39	W		79	RW	RD11SYN	B9	RW	CPU_TST1	F9	RW
DCC12DR2	3A	RW		7A	RW	RD11IS	BA	RW	CPU_TST2	FA	RW
DCC12CR0	3B	#		7B	RW	RD11LT0	BB	RW	CPU_TST3	FB	#
DCC13DR0	3C	#		7C	RW	RD11LT1	BC	RW	DAC1_D	FC	RW
DCC13DR1	3D	W		7D	RW	RD11RO0	BD	RW	DAC0_D	FD	RW
DCC13DR2	3E	RW		7E	RW	RD11RO1	BE	RW	CPU_SCR1	FE	#
DCC13CR0	3F	#		7F	RW	RD11DSM	BF	RW	CPU_SCR0	FF	#

網掛けされたフィールドは予約済みのため、アクセスしないでください。

アクセスはビット固有です。* は異なる意味を持っています。



表 6. レジスタ マップ バンク 1 テーブル: コンフィギュレーション空間

名称	アドレス (1,16進)	アクセス	名称	アドレス (1,16進)	アクセス	名称	アドレス (1,16進)	アクセス	名称	アドレス (1,16進)	アクセス
PRT0DM0	0	RW		40	RW	ASC10CR0*	80*	RW		C0	RW
PRT0DM1	1	RW		41	RW		81	RW		C1	RW
PRT0IC0	2	RW		42	RW		82	RW		C2	RW
PRT0IC1	3	RW		43			83	RW		C3	RW
PRT1DM0	4	RW		44	RW	ASD11CR0*	84*	RW		C4	RW
PRT1DM1	5	RW		45	RW		85	RW		C5	RW
PRT1IC0	6	RW		46	RW		86	RW		C6	RW
PRT1IC1	7	RW		47			87	RW		C7	RW
PRT2DM0	8	RW		48	RW		88	RW		C8	#
PRT2DM1	9	RW		49	RW		89	RW		C9	RW
PRT2IC0	0A	RW		4A	RW		8A	RW		CA	RW
PRT2IC1	0B	RW		4B			8B	RW		CB	RW
PRT3DM0	0C	RW		4C	RW		8C	RW		CC	#
PRT3DM1	0D	RW		4D	RW		8D	RW		CD	RW
PRT3IC0	0E	RW		4E	RW		8E	RW		CE	RW
PRT3IC1	0F	RW		4F			8F	RW		CF	RW
PRT4DM0	10	RW	CMP0CR1	50	RW		90	RW	GDI_O_IN	D0	RW
PRT4DM1	11	RW	CMP0CR2	51	RW		91	RW	GDI_E_IN	D1	RW
PRT4IC0	12	RW		52	RW		92	RW	GDI_O_OU	D2	RW
PRT4IC1	13	RW	VDAC50CR0	53	RW		93	RW	GDI_E_OU	D3	RW
	14	RW	CMP1CR1	54	RW		94	RW		D4	RW
	15	RW	CMP1CR2	55	RW		95	RW		D5	RW
	16	RW		56	RW		96	RW		D6	RW
	17	RW	VDAC51CR0	57	RW		97	RW		D7	RW
	18	RW	CSCMPPCR0	58	#		98	RW	MUX_CR0	D8	RW
	19	RW	CSCMPGOEN	59	RW		99	RW	MUX_CR1	D9	RW
	1A	RW	CSLUTCR0	5A	RW		9A	RW	MUX_CR2	DA	RW
	1B	RW	CMPCOLMUX	5B	RW		9B	RW	MUX_CR3	DB	RW
	1C	RW	CMPPWMCR	5C	RW		9C	RW	DAC_CR1#	DC	RW
	1D	RW	CMPFLTCR	5D	RW		9D	RW	OSC_GO_EN	DD	RW
	1E	RW	CMPCLK1	5E	RW		9E	RW	OSC_CR4	DE	RW
	1F	RW	CMPCLK0	5F	RW		9F	RW	OSC_CR3	DF	RW
DBC00FN	20	RW	CLK_CR0	60	RW	GDI_O_IN_CR	A0	RW	OSC_CR0	E0	RW
DBC00IN	21	RW	CLK_CR1	61	RW	GDI_E_IN_CR	A1	RW	OSC_CR1	E1	RW
DBC00OU	22	RW	ABF_CR0	62	RW	GDI_O_OU_CR	A2	RW	OSC_CR2	E2	RW
DBC00CR1	23	RW	AMD_CR0	63	RW	GDI_E_OU_CR	A3	RW	VLT_CR	E3	RW
DBC01FN	24	RW	CMP_GO_EN	64	RW	RTC_H	A4	RW	VLT_CMP	E4	R
DBC01IN	25	RW	CMP_GO_EN1	65	RW	RTC_M	A5	RW	ADC0_TR*	E5	RW
DBC01OU	26	RW	AMD_CR1	66	RW	RTC_S	A6	RW	ADC1_TR*	E6	RW
DBC01CR1	27	RW	ALT_CR0	67	RW	RTC_CR	A7	RW	V2BG_TR	E7	RW
DCC02FN	28	RW	ALT_CR1	68	RW	SADC_CR0	A8	RW	IMO_TR	E8	W
DCC02IN	29	RW	CLK_CR2	69	RW	SADC_CR1	A9	RW	ILO_TR	E9	W
DCC02OU	2A	RW		6A	RW	SADC_CR2	AA	RW	BDG_TR	EA	RW
DBC02CR1	2B	RW	CLK_CR3	6B	RW	SADC_CR3TRIM	AB	RW	ECO_TR	EB	W
DCC03FN	2C	RW	TMP_DR0	6C	RW	SADC_CR4	AC	RW	MUX_CR4	EC	RW
DCC03IN	2D	RW	TMP_DR1	6D	RW	I2C0_AD	AD	RW	MUX_CR5	ED	RW
DCC03OU	2E	RW	TMP_DR2	6E	RW		AE	RW	MUX_CR6	EE	RW
DBC03CR1	2F	RW	TMP_DR3	6F	RW		AF	RW	MUX_CR7	EF	RW
DBC10FN	30	RW		70	RW	RD10RI	B0	RW	CPU_A	F0	#
DBC10IN	31	RW		71	RW	RD10SYN	B1	RW	CPU_T1	F1	#
DBC10OU	32	RW	ACB00CR1*	72	RW	RD10IS	B2	RW	CPU_T2	F2	#
DBC10CR1	33	RW	ACB00CR2*	73	RW	RD10LT0	B3	RW	CPU_X	F3	#
DBC11FN	34	RW		74	RW	RD10LT1	B4	RW	CPU_PCL	F4	#
DBC11IN	35	RW		75	RW	RD10RO0	B5	RW	CPU_PCH	F5	#
DBC11OU	36	RW	ACB01CR1*	76*	RW	RD10RO1	B6	RW	CPU_SP	F6	#
DBC11CR1	37	RW	ACB01CR2*	77*	RW	RD10DSM	B7	RW	CPU_F	F7	I
DCC12FN	38	RW		78	RW	RD11RI	B8	RW	FLS_PR0	F8	RW
DCC12IN	39	RW		79	RW	RD11SYN	B9	RW	FLS_TR	F9	W
DCC12OU	3A	RW		7A	RW	RD11IS	BA	RW	FLS_PR1	FA	RW
DBC12CR1	3B	RW		7B	RW	RD11LT0	BB	RW		FB	
DCC13FN	3C	RW		7C	RW	RD11LT1	BC	RW	FAC_CR0	FC	SW
DCC13IN	3D	RW		7D	RW	RD11RO0	BD	RW	DAC_CR0#	FD	RW
DCC13OU	3E	RW		7E	RW	RD11RO1	BE	RW	CPU_SCR1	FE	#
DBC13CR1	3F	RW		7F	RW	RD11DSM	BF	RW	CPU_SCR0	FF	#

網掛けされたフィールドは予約済みのため、アクセスしないでください。

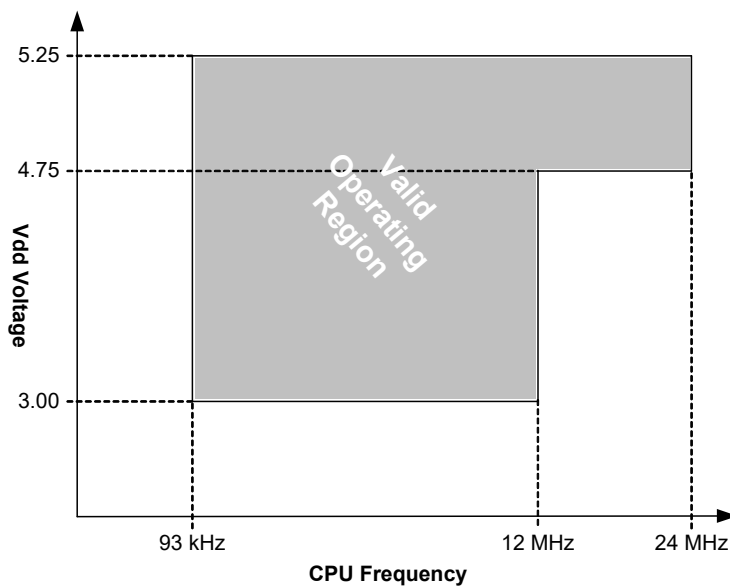
アクセスはビット固有です。* は異なる意味を持っています。

電氣的仕様

ここでは、この PSoC デバイス ファミリの DC および AC の電氣的仕様について説明します。最新の電氣的仕様は <http://www.cypress.com> にアクセスし、最新のデータシートを確認してください。

特記されていない限り、仕様は $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ および $T_J \leq 100^{\circ}\text{C}$ で有効です。12MHz より高い周波数で動作するデバイスの仕様は $-40^{\circ}\text{C} \leq T_A \leq 70^{\circ}\text{C}$ および $T_J \leq 82^{\circ}\text{C}$ で有効です。

図 5. 電圧と動作周波数の関係



絶対最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。ユーザー ガイドラインはテストされていません。

表 7. 絶対最大定格

記号	説明	Min	Typ	Max	単位	備考
T _{STG}	保管温度	-55	–	+100	°C	保管温度が高いと、データ保存期間が短くなります。
T _{BAKETEMP}	ベーキング温度	–	125	パッケージのラベルを参照してください	°C	
T _{BAKETIME}	ベーキング時間	パッケージのラベルを参照してください	–	72	時間	
T _A	通電時の周囲温度	-40	–	+85	°C	
V _{dd}	V _{ss} を基準にした V _{dd} 電源電圧	-0.5	–	+6.0	V	
V _{IO}	DC 入力電圧	V _{ss} -0.5	–	V _{dd} +0.5	V	
V _{IOZ}	トライステート ピンへの印加 DC 電圧	V _{ss} -0.5	–	V _{dd} +0.5	V	
I _{MIO}	ポート ピンへの最大電流	-25	–	+50	mA	
ESD	静電放電電圧	2000	–	–	V	人体モデルでの ESD
LU	ラッチ アップ電流	–	–	200	mA	

動作温度

表 8. 動作温度

記号	説明	Min	Typ	Max	単位	備考
T _A	周囲温度	-40	–	+85	°C	
T _J	接合部温度	-40	–	+100	°C	周囲温度からの接合部の温度上昇はパッケージに応じて異なります。 28ページの表 30 を参照してください。この要件を満たすように、消費電力を制限する必要があります。

DC 電気的特性

チップ レベルの DC 仕様

表 9 に次の電圧範囲と温度範囲でそれぞれで保証されている Max と Min の仕様を示します: 4.75V ~ 5.25V および $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V および $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。Typ パラメータは 25°C で 5V および 3.3V のときに適用され、設計の参考用のみの情報です。

表 9. チップ レベルの DC 仕様

記号	説明	Min	Typ	Max	単位	備考
Vdd	電源電圧	3.0	–	5.25	V	19 ページの表 17 を参照してください
I _{DD}	電源電流	–	7	12	mA	条件: Vdd=5.0V、 25°C、CPU=3MHz、48MHz が無効。 VC1=1.5MHz VC2=93.75kHz VC3=93.75kHz
I _{DD3}	電源電流	–	4	7	mA	条件: Vdd=3.3V T _A =25°C、CPU=3MHz 48MHz= 無効 VC1=1.5MHz、VC2=93.75kHz VC3=93.75kHz
I _{SB}	POR、LVD、スリープ タイマー、WDT のスリープ (モード) 電流 ^[8]	–	3	6.5	μA	条件: 内部低速発振器有り、Vdd=3.3V、 $-40^{\circ}\text{C} \leq T_A \leq 55^{\circ}\text{C}$
I _{SBH}	高温での POR、LVD、スリープ タイマー、WDT のスリープ (モード) 電流 ^[8]	–	4	25	μA	条件: 内部低速発振器有り、Vdd=3.3V、 $55^{\circ}\text{C} < T_A \leq 85^{\circ}\text{C}$
I _{SBXTL}	POR、LVD、スリープ タイマー、WDT、外部水晶振動子が有効のときのスリープ (モード) 電流 ^[8]	–	4	7.5	μA	条件: 適切な負荷状態、 最大 1μW、32.768kHz の水晶 Vdd=3.3V、 $-40^{\circ}\text{C} \leq T_A \leq 55^{\circ}\text{C}$
I _{SBXTLH}	高温での POR、LVD、スリープ タイマー、WDT、外部水晶振動子が有効のときのスリープ (モード) 電流 ^[8]	–	5	26	μA	条件: 適切な負荷状態、最大 1μW、 32.768kHz の水晶 Vdd=3.3V、 $55^{\circ}\text{C} < T_A \leq 85^{\circ}\text{C}$
V _{REF}	基準電圧 (バンドギャップ)	1.275	1.3	1.325	V	適切な Vdd 設定でトリミング

注:

8. スタンバイ電流は信頼性のあるシステム動作に必要なすべての機能 (POR、LVD、WDT、スリープ時間) を備えています。これは同じ機能が有効にされたデバイスと比較する必要があります。

GPIO の DC 仕様

表 10 に次の電圧範囲と温度範囲でそれぞれで保証されている Max と Min の仕様を示します: 4.75V ~ 5.25V および $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V および $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。Typ パラメータは 25°C で 5V および 3.3V のときに適用され、設計の参考用のみの情報です。

表 10. GPIO の DC 仕様

記号	説明	Min	Typ	Max	単位	備考
R_{PU}	プルアップ抵抗	4	5.6	8	k Ω	
$R_{PD}^{[9]}$	プルダウン抵抗	4	5.6	8	k Ω	
V_{OH}	出力 HIGH 電圧	$V_{DD}-1.0$	–	–	V	$I_{OH}=10\text{mA}$ 、 $V_{DD}=4.75 \sim 5.25\text{V}$ (合計で 8 つの負荷があり、その内、4 つは偶数ポート ピン (例: P0[2]、P1[4])、4 つは奇数ポート ピン (例: P0[3]、P1[5]))。 I_{OH} 割当量の最大合成値は 80mA です。
V_{OL}	出力 LOW 電圧	–	–	0.75	V	$I_{OL}=25\text{mA}$ 、 $V_{DD}=4.75 \sim 5.25\text{V}$ (合計で 8 つの負荷があり、その内、4 つは偶数ポート ピン (例: P0[2]、P1[4])、4 つは奇数ポート ピン (例: P0[3]、P1[5]))。 I_{OL} 割当量の最大合成値は 150mA です。
I_{OH}	HIGH ソース電流	10	–	–	mA	$V_{OH}=V_{DD}-1.0\text{V}$ 。 V_{OH} の注に記載されている総電流の制限を参照してください。
I_{OL}	LOW シンク電流	25	–	–	mA	$V_{OL}=0.75\text{V}$ 。 V_{OL} の注に記載されている総電流の制限を参照してください。
$V_{IL}^{[9]}$	入力 LOW レベル	–	–	0.8	V	$V_{DD}=3.0 \sim 5.25$
$V_{IH}^{[9]}$	入力 HIGH レベル	2.1	–	–	V	$V_{DD}=3.0 \sim 5.25$
$V_H^{[9]}$	入力ヒステリシス	–	60	–	mV	
$I_{IL}^{[9]}$	入力リーク電流 (絶対値)	–	1	–	nA	総リーク電流が 1 μA 以下
$C_{IN}^{[9]}$	入力として使用されるピン上の容量負荷	–	3.5	10	pF	パッケージとピンに応じて異なります。 温度 = 25°C
C_{OUT}	出力として使用されるピンの容量負荷	–	3.5	10	pF	パッケージとピンに応じて異なります。 温度 = 25°C

注:

9. GPIO の DC 仕様は XRES ピンにも適用されます。

オペアンプの DC 仕様

下表に、次の電圧範囲と温度範囲でそれぞれで保証されている Max と Min の仕様を示します: 4.75V ~ 5.25V および -40°C ≤ T_A ≤ 85°C、または 3.0V ~ 3.6V および -40°C ≤ T_A ≤ 85°C。Typ パラメーターは 25°C で 5V および 3.3V のときに適用され、設計の参考用のみの情報です。

表 11. 5V のオペアンプの DC 仕様

記号	説明	Min	Typ	Max	単位	備考
V _{OSOA}	入力オフセット電圧 (絶対値)	–	2.5	15	mV	
TCV _{OSOA}	平均入力オフセット電圧ドリフト	–	10	–	μV/°C	
I _{EBOA} ^[10]	入力リーク電流 (ポート 0 アナログピン)	–	200	–	pA	総リーク電流が 1μA 以下
C _{INOA}	入力容量 (ポート 0 アナログピン)	–	4.5	9.5	pF	パッケージとピンに応じて異なります。 温度 = 25°C
V _{CMOA}	同相電圧範囲	0.0	–	V _{dd} -1	V	

表 12. 3.3V のオペアンプの DC 仕様

記号	説明	Min	Typ	Max	単位	備考
V _{OSOA}	入力オフセット電圧 (絶対値)	–	2.5	15	mV	
TCV _{OSOA}	平均入力オフセット電圧ドリフト	–	10	–	μV/°C	
I _{EBOA} ^[10]	入力リーク電流 (ポート 0 アナログピン)	–	200	–	pA	総リーク電流が 1μA 以下
C _{INOA}	入力容量 (ポート 0 アナログピン)	–	4.5	9.5	pF	パッケージとピンに応じて異なる。 温度 = 25°C
V _{CMOA}	同相電圧範囲	0	–	V _{dd} -1	V	

IDAC の DC 仕様

次の表に、車載 A グレードおよび E グレード デバイスで保証されている Max と Min の仕様を示します。特記されていない限り、表のすべての仕様は次の電圧および温度範囲の A グレード デバイスに適用されます: 4.75V ~ 5.25V および -40°C ~ 85°C、または 3.0V ~ 3.6V および -40°C ~ 85°C。特記されていない限り、表のすべての仕様は次の電圧および温度範囲の E グレード デバイスにも適用されます: 4.75V ~ 5.25V および -40°C ~ 85°C。特記されていない限り、Typ パラメーターは 25°C で 5V および 3.3V のときに適用され、単に設計の参考用の情報です。

表 13. IDAC の DC 仕様

記号	説明	Min	Typ	Max	単位	備考
IDAC _{GAIN}	IDAC ゲイン	–	75.4	218	nA/ ビット	IDAC ゲインは 1x 電流ゲイン
		–	335	693	nA/ ビット	IDAC ゲインは 4x 電流ゲイン
		–	1160	2410	nA/ ビット	IDAC ゲインは 16x 電流ゲイン
		–	2340	5700	nA/ ビット	IDAC ゲインは 32x 電流ゲイン
	単調増加性	無	–	–	–	IDAC ゲインは (0x10) のステップ間隔で非単調性です。
IDAC _{GAIN_VAR}	-40°C ~ 85°C の温度範囲における IDAC ゲインの変動	–	3.22	–	nA	1x 電流ゲイン
		–	18.1	–	nA	4x 電流ゲイン
		–	59.9	–	nA	16x 電流ゲイン
		–	120	–	nA	32x 電流ゲイン
I _{IDAC}	(0xFF) の最大コードでの IDAC 電流	–	19.2	–	μA	1x 電流ゲイン
		–	85.4	–	μA	4x 電流ゲイン
		–	295	–	μA	16x 電流ゲイン
		–	596	–	μA	32x 電流ゲイン

注:

10. 一般的な動作: ポート 0 ピン 0 の I_{EBOA} は 25°C で 1nA 未満で、温度の全範囲にわたり 50nA です。200nA の最小のリークでポート 0、ピン 1 ~ 7 を使用します。



低消費電力コンパレータの DC 仕様

表 14 に次の電圧範囲と温度範囲でそれぞれで保証されている Max と Min の仕様を示します: $4.75\text{V} \sim 5.25\text{V}$ および $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$ 、または $3.0\text{V} \sim 3.6\text{V}$ および $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$ 。Typ パラメーターは温度 25°C で 5V のときに適用され、設計の参考用のみの情報です。

表 14. 低消費電力コンパレータの DC 仕様

記号	説明	Min	Typ	Max	単位	備考
V_{REFLPC}	低消費電力コンパレータ (LPC) 基準電圧範囲	0.2	–	$V_{\text{DD}}-1$	V	
V_{OSLPC}	LPC 電圧オフセット	–	2.5	30	mV	

SAR10 ADC の DC 仕様

表 15 に次の電圧範囲と温度範囲でそれぞれで保証されている Max と Min の仕様を示します: $4.75\text{V} \sim 5.25\text{V}$ および $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$ 、または $3.0\text{V} \sim 3.6\text{V}$ および $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$ 。Typ パラメーターは 25°C で 5V および 3.3V のときに適用され、設計の参考用のみの情報です。

表 15. SAR10 ADC の DC 仕様

記号	説明	Min	Typ	Max	単位	備考
V_{adcvref}	ADC 基準電圧として設定された場合のピン P2[5] における基準電圧	3.0	–	5.25	V	V_{REF} が ADC 内部でバッファされている場合は、P2[5] における電圧レベル (ADC 基準電圧として設定されている場合) を、常に V_{DD} ピンのチップ電源電圧レベルよりも 300mV 以上低い電圧に維持する必要があります ($V_{\text{adcvref}} < V_{\text{DD}}$)。
I_{adcvref}	ADC V_{REF} として設定された P2[5] への電流	–	–	0.5	mA	内部基準電圧バッファを無効にします。
INL (10 ビット分解能)	積分非直線性	-2.5	–	2.5	LSB	$V_{\text{DD}} \geq 3.0\text{V}$ および $V_{\text{ref}} \geq 3.0\text{V}$ のとき
		-5.0	–	5.0	LSB	$V_{\text{DD}} < 3.0\text{V}$ または $V_{\text{ref}} < 3.0\text{V}$ のとき
DNL (10 ビット分解能)	微分非直線性	-1.5	–	1.5	LSB	$V_{\text{DD}} \geq 3.0\text{V}$ および $V_{\text{ref}} \geq 3.0\text{V}$ のとき
		-4.0	–	4.0	LSB	$V_{\text{DD}} < 3.0\text{V}$ または $V_{\text{ref}} < 3.0\text{V}$ のとき
SPS ^[11]	サンプル毎秒	–	–	150	ksps	10 ビット分解能

注:

11. **エラッタ**: ADC がフリーランニングモードで動作するとき、一定の入力電圧に対して ADC の出力は最大 7 LSB の変動があります。これは平均法を使用するか、またはフリーランニングモードをデータの読み出し前に無効にして、データの読み出し後に有効にすることで解決できます。詳細は 36 ページの「エラッタ」を参照してください。



アナログ マルチプレクサ バスの DC 仕様

表 16 に次の電圧範囲と温度範囲でそれぞれで保証されている Max と Min の仕様を示します: $4.75\text{V} \sim 5.25\text{V}$ および $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$ 、または $3.0\text{V} \sim 3.6\text{V}$ および $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$ 。Typ パラメーターは 25°C で 5V および 3.3V のときに適用され、設計の参考用のみの情報です。

表 16. アナログ マルチプレクサ バスの DC 仕様

記号	説明	Min	Typ	Max	単位	備考
R_{SW}	共通のアナログバスへのスイッチ抵抗値	—	—	400	Ω	$V_{\text{dd}} \geq 3.00$
R_{gnd}	GND に対する初期化スイッチの抵抗値	—	—	800	Ω	

POR および LVD の DC 仕様

表 17 に次の電圧範囲と温度範囲でそれぞれで保証されている Max と Min の仕様を示します: $4.75\text{V} \sim 5.25\text{V}$ および $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$ 、または $3.0\text{V} \sim 3.6\text{V}$ および $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$ 。Typ パラメーターは 25°C で 5V および 3.3V のときに適用され、設計の参考用のみの情報です。

表 17. POR および LVD の DC 仕様

記号	説明	Min	Typ	Max	単位	備考
V_{PPOR1} V_{PPOR2}	PPOR トリップの V_{dd} 値 PORLEV[1:0]=01b PORLEV[1:0]=10b	—	2.82 4.55	2.95 4.70	V V	起動中、XRES ピンからのリセット中、またはウォッチドッグからのリセット中に、 V_{dd} は 3.0V 以上でなければなりません。
V_{LVD2} V_{LVD3} V_{LVD4} V_{LVD5} V_{LVD6} V_{LVD7}	LVD トリップの V_{dd} 値 VM[2:0]=010b VM[2:0]=011b VM[2:0]=100b VM[2:0]=101b VM[2:0]=110b VM[2:0]=111b	2.95 3.06 4.37 4.50 4.62 4.71	3.02 3.13 4.48 4.64 4.73 4.81	3.09 3.20 4.55 4.75 4.83 4.95	V V V V V V	



プログラミングの DC 仕様

表 18 に次の電圧範囲と温度範囲でそれぞれで保証されている Max と Min の仕様を示します: $4.75\text{V} \sim 5.25\text{V}$ および $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$ 、または $3.0\text{V} \sim 3.6\text{V}$ および $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$ 。Typ パラメータは 25°C で 5V および 3.3V のときに適用され、設計の参考用のみの情報です。

表 18. プログラミングの DC 仕様

記号	説明	Min	Typ	Max	単位	備考
V_{DDP}	プログラミングおよび消去時の V_{DD}	4.5	5.0	5.5	V	この仕様は外部プログラマツールの機能要件に適用されます。
$V_{DDL\text{V}}$	検証時の低 V_{DD}	3.0	3.1	3.2	V	この仕様は外部プログラマツールの機能要件に適用されます。
$V_{DDH\text{V}}$	検証時の高 V_{DD}	5.1	5.2	5.3	V	この仕様は外部プログラマツールの機能要件に適用されます。
$V_{DDI\text{WRITE}}$	フラッシュメモリ書き込み動作の電源電圧	3.0	–	5.25	V	内部フラッシュ書き込みを実行しているときに、この仕様がこのデバイスに適用されます。
I_{DDP}	プログラミングまたは検証時の電源電流	–	5	25	mA	
V_{ILP}	プログラミングまたは検証時の入力 LOW 電圧	–	–	0.8	V	
V_{IHP}	プログラミングまたは検証時の入力 HIGH 電圧	2.2	–	–	V	
I_{ILP}	プログラミングまたは検証中に V_{ILP} を P1[0] または P1[1] に印加するときの入力電流	–	–	0.2	mA	内部ブルダウン抵抗を駆動する電流
I_{IHP}	プログラミングまたは検証中に V_{IHP} を P1[0] または P1[1] に印加するときの入力電流	–	–	1.5	mA	内部ブルダウン抵抗を駆動する電流
V_{OLV}	プログラミングまたは検証時の出力 LOW 電圧	–	–	$V_{SS}+0.75$	V	
V_{OHV}	プログラミングまたは検証時の出力 HIGH 電圧	$V_{DD}-1.0$	–	V_{DD}	V	
Flash _{ENPB}	フラッシュ アクセス可能回数 (ブロックあたり) ^[13]	50,000	–	–	–	ブロックあたりの消去／書き込み回数
Flash _{ENT}	フラッシュ アクセス可能回数 (合計) ^[12]	1,800,000	–	–	–	消去／書き込み回数
Flash _{DR}	フラッシュ データ保持期間	10	–	–	年	

I²C の DC 仕様

表 19 に次の電圧範囲と温度範囲でそれぞれで保証されている Max と Min の仕様を示します: $4.75\text{V} \sim 5.25\text{V}$ および $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$ 、または $3.0\text{V} \sim 3.6\text{V}$ および $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$ 。Typ パラメータは 25°C で 5V および 3.3V のときに適用され、設計の参考用のみの情報です。

表 19. I²C の DC 仕様

記号	説明	Min	Typ	Max	単位	備考
$V_{ILI2C}^{[14]}$	入力電圧 LOW レベル	–	–	$0.3 \times V_{DD}$	V	$3.0\text{V} \leq V_{DD} \leq 3.6\text{V}$
		–	–	$0.25 \times V_{DD}$	V	$4.75\text{V} \leq V_{DD} \leq 5.25\text{V}$
$V_{IHI2C}^{[14]}$	入力 HIGH レベル	$0.7 \times V_{DD}$	–	–	V	$3.0\text{V} \leq V_{DD} \leq 5.25\text{V}$

注:

- 最大 36x50,000 のブロック アクセス可能回数 (サイクル) が許可されます。それぞれ最大 50,000 サイクルの 36x1 ブロック、それぞれ最大 25,000 サイクルの 36x2 ブロック、またはそれぞれ最大 12,500 サイクルの 36x4 ブロックに対する操作を比較検討できます (合計サイクル数は 36x50,000 に制限され、どのブロックも 50,000 サイクルを超えることはありません)。
産業用フルレンジの場合、ユーザーは温度センサー ユーザー モジュール (FlashTemp) を使用し、書き込みの前に結果を温度指数に入力する必要があります。詳細は <http://www.cypress.com> のアプリケーション ノート セクションから、フラッシュ API のアプリケーション ノート AN2015 を参照してください。
- ブロックあたりの 50,000 サイクル フラッシュ アクセス可能回数は、フラッシュが 1 つの電圧範囲内で動作している場合にのみ保証されます。電圧範囲は、 $3.0\text{V} \sim 3.6\text{V}$ および $4.75\text{V} \sim 5.25\text{V}$ です。
- すべての GPIO は、GPIO の DC 仕様の節に記載されている GPIO V_{IL} および V_{IH} の DC 仕様を満たします。I²C GPIO ピンも上記の仕様を満たします。



AC 電気的特性

チップ レベルの AC 仕様

下表に次の電圧範囲と温度範囲でそれぞれで保証されている Max と Min の仕様を示します: 4.75V ~ 5.25V および $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V および $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。Typ パラメータは 25°C で 5V および 3.3V のときに適用され、設計の参考用のみの情報です。

表 20. 5V および 3.3V のチップレベルの AC 仕様

記号	説明	Min	Min (%)	Typ	Max	Max (%)	単位	備考
$F_{\text{IMO}24}^{[15]}$	24MHz での内部主発振器周波数	22.8	—	24	25.2 ^[16, 17, 18]	—	MHz	工場出荷時のトリミング値を使用して、5V または 3.3V 動作向けにトリミングされます。13 ページの図 5 を参照してください。SLIMO モード = 0 < 85
$F_{\text{IMO}6}$	6MHz での内部主発振器周波数	5.5	8	6	6.5 ^[16, 17, 18]	8	MHz	工場出荷時のトリミング値を使用して、5V または 3.3V 動作向けにトリミングされます。13 ページの図 5 を参照してください。SLIMO モード = 0 < 85
$F_{\text{CPU}1}$	CPU 周波数 (公称電圧 5V)	0.089	—	24	24.6 ^[16, 17]	—	MHz	SLIMO モード = 0 のときの 24MHz の値のみがあります。
$F_{\text{CPU}2}$	CPU 周波数 (公称電圧 3.3V)	0.089	—	12	12.3 ^[17, 18]	—	MHz	SLIMO モード = 0
$F_{\text{BLK}5}$	デジタル PSoC ブロック周波数 (公称電圧 5V)	0	—	48	49.2 ^[16, 17, 19]	—	MHz	23 ページの表 24 を参照してください。
$F_{\text{BLK}33}$	デジタル PSoC ブロック周波数 (公称電圧 3.3V)	0	—	24	24.6 ^[17, 19]	—	MHz	
$F_{32\text{K}1}$	内部低速発振器周波数	15	—	32	85	—	kHz	
$F_{32\text{K}U}$	内部低速発振器周波数 (トリミングなし)	5	—	—	100	—	kHz	CPU が動作を開始するまで、ILO は工場出荷時のトリミング値で調整されません。テクニカル リファレンス マニュアルの「システム リセット」節を参照してください。
T_{XRES}	外部リセット パルス幅	10	—	—	—	—	μs	これはデバイスの完全なリセットを達成するのに必要な最小パルス幅の仕様です。パルス幅がこの値より短い場合、チップ動作は未定義になる可能性があります。
$\text{DC}_{24\text{M}}$	24MHz デューティ比	40	—	50	60	—	%	
DC_{ILO}	内部低速発振器デューティ比	20	—	50	80	—	%	
F_{MAX}	ロウ入力またはロウ出力信号の最大周波数	—	—	—	12.3	—	MHz	
$\text{SR}_{\text{POWERUP}}$	電源電圧スルー レート	—	—	—	250	—	V/ms	電源投入時の Vdd スルー レート
T_{POWERUP}	POR の終了から CPU コード実行までの時間	—	—	—	100	—	ms	
$t_{\text{jit_IMO}}^{[20]}$	24MHz IMO サイクル間ジッタ (RMS)	—	—	200	700	—	ps	
	24MHz IMO 長期 N サイクル間ジッタ (RMS)	—	—	300	900	—	ps	N=32
	24MHz IMO 周期ジッタ (RMS)	—	—	100	400	—	ps	
$t_{\text{jit_PLL}}^{[20]}$	24MHz IMO サイクル間ジッタ (RMS)	—	—	200	800	—	ps	
	24MHz IMO 長期 N サイクル間ジッタ (RMS)	—	—	300	1200	—	ps	N=32
	24MHz IMO 周期ジッタ (RMS)	—	—	100	700	—	ps	

注:

15. エラッタ: デバイスが $0^{\circ}\text{C} \sim 70^{\circ}\text{C}$ の温度範囲内で動作するとき、周波数の許容誤差は $\pm 2.5\%$ に低下しますが、極度の温度 (0°C より低い温度や 70°C より高い温度) で動作するとき、周波数の誤差は $\pm 2.5\% \sim \pm 5\%$ です。詳細は 36 ページの「エラッタ」を参照してください。

16. $4.75\text{V} < V_{\text{DD}} < 5.25\text{V}$ の場合にのみ有効です。

17. Vdd 範囲で適切にトリムされた内部主発振器から派生した精度です。

18. $3.0\text{V} < V_{\text{DD}} < 3.6\text{V}$ 。

19. ユーザー モジュールの最大周波数については、個々のユーザー モジュールのデータシートを参照してください。

20. 詳細はサイプレスのジッタ仕様「Understanding Datasheet Jitter Specifications for Cypress Timing Products」を参照してください。

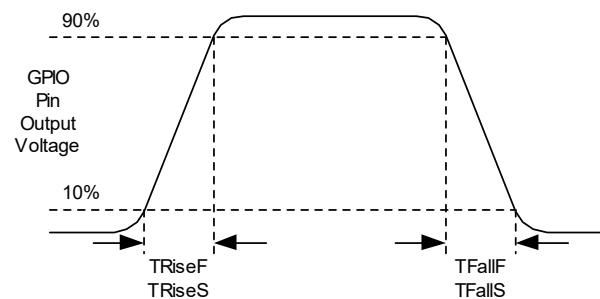
GPIO の AC 仕様

表 21 に次の電圧範囲と温度範囲でそれぞれで保証されている Max と Min の仕様を示します: $4.75\text{V} \sim 5.25\text{V}$ および $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$ 、または $3.0\text{V} \sim 3.6\text{V}$ および $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$ 。Typ パラメーターは 25°C で 5V および 3.3V のときに適用され、設計の参考用のみの情報です。

表 21. 5V および 3.3V の GPIO の AC 仕様

記号	説明	Min	Typ	Max	単位	備考
F_{GPIO}	GPIO 動作周波数	0	–	12	MHz	通常ストロングモード
T_{RiseF}	立ち上がり時間、通常ストロングモード、 $C_{\text{load}}=50\text{pF}$	3	–	18	ns	$V_{\text{dd}}=4.5 \sim 5.25\text{V}$ 、10% ~ 90%
T_{FallF}	立ち下がり時間、通常ストロングモード、 $C_{\text{load}}=50\text{pF}$	2	–	18	ns	$V_{\text{dd}}=4.5 \sim 5.25\text{V}$ 、10% ~ 90%
T_{RiseS}	立ち上がり時間、低速ストロングモード、 $C_{\text{load}}=50\text{pF}$	7	27	–	ns	$V_{\text{dd}}=3 \sim 5.25\text{V}$ 、10% ~ 90%
T_{FallS}	立ち下がり時間、低速ストロングモード、 $C_{\text{load}}=50\text{pF}$	7	22	–	ns	$V_{\text{dd}}=3 \sim 5.25\text{V}$ 、10% ~ 90%

図 6. GPIO のタイミング図



オペアンプの AC 仕様

表 22 に次の電圧範囲と温度範囲でそれぞれで保証されている Max と Min の仕様を示します: $4.75\text{V} \sim 5.25\text{V}$ および $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$ 、または $3.0\text{V} \sim 3.6\text{V}$ および $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$ 。Typ パラメーターは 25°C で 5V および 3.3V のときに適用され、設計の参考用のみの情報です。

表 22. オペアンプの AC 仕様

記号	説明	Min	Typ	Max	単位	備考
T_{COMP}	コンパレータモードの応答時間、 50mV			100	ns	$V_{\text{dd}} \geq 3.0\text{V}$

低消費電力コンパレータの DC 仕様

表 23 に次の電圧範囲と温度範囲でそれぞれで保証されている Max と Min の仕様を示します: $4.75\text{V} \sim 5.25\text{V}$ および $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$ 、または $3.0\text{V} \sim 3.6\text{V}$ および $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$ 。Typ パラメーターは温度 25°C で 5V のときに適用され、設計の参考用のみの情報です。

表 23. 低消費電力コンパレータの AC 仕様

記号	説明	Min	Typ	Max	単位	備考
T_{RLPC}	LPC 応答時間	–	–	50	μs	$\geq 50\text{mV}$ になると、オーバードライブコンパレータ基準電圧は V_{REFLPC} に設定されます。

デジタルブロックの AC 仕様

下表に次の電圧範囲と温度範囲でそれぞれで保証されている Max と Min の仕様を示します: 4.75V ~ 5.25V および $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V および $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。Typ パラメーターは 25°C で 5V および 3.3V のときに適用され、設計の参考用のみの情報です。

表 24. デジタルブロックの AC 仕様

機能	説明	Min	Typ	Max	単位	備考
すべての機能	ブロック入カクロック周波数					
	Vdd ≥ 4.75V	–	–	50.4 ^[21]	MHz	
	Vdd < 4.75V	–	–	25.2 ^[21]	MHz	
タイマー	入カクロック周波数					
	キャプチャなし、Vdd ≥ 4.75V	–	–	50.4 ^[21]	MHz	
	キャプチャなし、Vdd < 4.75V	–	–	25.2 ^[21]	MHz	
	キャプチャあり	–	–	25.2 ^[21]	MHz	
	キャプチャパルス幅	50 ^[22]	–	–	ns	
カウンタ	入カクロック周波数					
	イネーブル入力なし、Vdd ≥ 4.75V	–	–	50.4 ^[21]	MHz	
	イネーブル入力なし、Vdd < 4.75V	–	–	25.2 ^[21]	MHz	
	イネーブル入力あり	–	–	25.2 ^[21]	MHz	
	イネーブル入力パルス幅	50 ^[22]	–	–	ns	
デッドバンド	キルパルス幅					
	非同期リスタートモード	20	–	–	ns	
	同期リスタートモード	50 ^[22]	–	–	ns	
	ディセーブルモード	50 ^[22]	–	–	ns	
	入カクロック周波数					
	Vdd ≥ 4.75V	–	–	50.4 ^[21]	MHz	
	Vdd < 4.75V	–	–	25.2 ^[21]	MHz	
CRCPRS (PRS モード)	入カクロック周波数					
	Vdd ≥ 4.75V	–	–	50.4 ^[21]	MHz	
	Vdd < 4.75V	–	–	25.2 ^[21]	MHz	
CRCPRS (CRC モード)	入カクロック周波数	–	–	25.2 ^[21]	MHz	
SPIM	入カクロック周波数	–	–	8.4 ^[21]	MHz	SPI シリアル クロック (SCLK) 周波数は入カクロック周波数を 2 で割った値になります。
SPIS	入カクロック (SCLK) 周波数	–	–	4.2 ^[21]	MHz	入カクロックは、SPIS モードの SPI SCLK です。
	送信間の SS _– ネゲートの幅	50 ^[22]	–	–	ns	
トランスミッタ	入カクロック周波数					
	Vdd ≥ 4.75V、2 ストップビット	–	–	50.4 ^[21]	MHz	ボーレートは、入カクロック周波数を 8 で割った値になります。
	Vdd ≥ 4.75V、1 ストップビット	–	–	25.2 ^[21]	MHz	
	Vdd < 4.75V	–	–	25.2 ^[21]	MHz	
レシーバ	入カクロック周波数					
	Vdd ≥ 4.75V、2 ストップビット	–	–	50.4 ^[21]	MHz	ボーレートは入カクロック周波数を 8 で割った値になります。
	Vdd ≥ 4.75V、1 ストップビット	–	–	25.2 ^[21]	MHz	
	Vdd < 4.75V	–	–	25.2 ^[21]	MHz	

注:

21. V_{DD} 範囲で適切にトリミングされた IMO による精度です。

22. 50ns の最小入力パルス幅は、24MHz (42ns 公称期間) で動作している入カシンクロナイザに基づいています。

外部クロックの AC 仕様

下表に次の電圧範囲と温度範囲でそれぞれで保証されている Max と Min の仕様を示します: 4.75V ~ 5.25V および $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V および $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。Typ パラメーターは 25°C で 5V および 3.3V のときに適用され、設計の参考用のみの情報です。

表 25. 5V 時の外部クロックの AC 仕様

記号	説明	Min	Typ	Max	単位	備考
F _{OSCEXT}	周波数	0.093	—	24.6	MHz	
—	HIGH 期間	20.6	—	5300	ns	
—	LOW 期間	20.6	—	—	ns	
—	電源投入から IMO への切り替え時間	150	—	—	μs	

表 26. 3.3V 時の外部クロックの AC 仕様

記号	説明	Min	Typ	Max	単位	備考
F _{OSCEXT}	1 による分周の CPU クロックの周波数	0.093	—	12.3	MHz	最大 CPU 周波数は 3.3V のときは 12MHz です。CPU クロック分周器が 1 に設定されると、外部クロックの最大周波数とデューティ比の要件を満たす必要があります。
F _{OSCEXT}	2 以上による分周の CPU クロックの周波数	0.186	—	24.6	MHz	外部クロックの周波数が 12MHz を超えた場合、CPU のクロック分周器は 2 以上に設定する必要があります。この場合、CPU クロック分周器は 50% のデューティ比の要件を満たすことを保証します。
—	1 による分周の CPU クロックでの HIGH 周期	41.7	—	5300	ns	
—	1 による分周の CPU クロックでの LOW 周期	41.7	—	—	ns	
—	電源投入から IMO への切り替え時間	150	—	—	μs	

SAR10 ADC の AC 仕様

表 27 に次の電圧範囲と温度範囲でそれぞれで保証されている Max と Min の仕様を示します: 4.75V ~ 5.25V および $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V および $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。Typ パラメーターは、25°C で 5V および 3.3V のときに適用され、設計の参考用のみの情報です。

表 27. SAR10 ADC の AC 仕様

記号	説明	Min	Typ	Max	単位	備考
Freq ₃	入力クロック周波数、3V	—	—	2.7	MHz	
Freq ₅	入力クロック周波数、5V	—	—	2.7	MHz	

プログラミングの AC 仕様

表 28 に次の電圧範囲と温度範囲それぞれで保証されている Max と Min の仕様を示します : 4.75V ~ 5.25V および $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V および $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。Typ パラメーターは 25°C で 5V または 3.3V のときに適用され、設計の参考用のみの情報です。

表 28. プログラミングの AC 仕様

記号	説明	Min	Typ	Max	単位	備考
T_{RSCLK}	SCLK の立ち上がり時間	1	–	20	ns	
T_{FSCLK}	SCLK の立ち下がり時間	1	–	20	ns	
T_{SSCLK}	データ セット アップから SCLK の立ち下がりエッジまでの時間	40	–	–	ns	
T_{HSCLK}	SCLK の立ち下がりエッジからデータ保持までの時間	40	–	–	ns	
F_{SCLK}	SCLK の周波数	0	–	8	MHz	
F_{SCLK3}	SCLK3 の周波数	0	–	6	MHz	$V_{\text{DD}} < 3.6\text{V}$
T_{ERASEB}	フラッシュ消去時間 (ブロック)	–	10	–	ms	
T_{WRITE}	フラッシュ ブロック書き込み時間	–	40	–	ms	
T_{DSCLK}	SCLK の立ち下がりエッジからデータ出力までの遅延時間	–	–	55	ns	$3.6 < V_{\text{dd}}$ 、30pF 負荷
T_{DSCLK3}	SCLK の立ち下がりエッジからデータ出力までの遅延時間	–	–	65	ns	$3.0 \leq V_{\text{dd}} \leq 3.6$ 、30pF 負荷
T_{ERASEALL}	フラッシュ消去時間 (バルク)	–	40	–	ns	
$T_{\text{PROGRAM_HOT}}$	フラッシュ ブロック消去 + フラッシュ ブロック書き込み時間	–	–	100	ms	
$T_{\text{PROGRAM_COLD}}$	フラッシュ ブロック消去 + フラッシュ ブロック書き込み時間	–	–	200	ms	

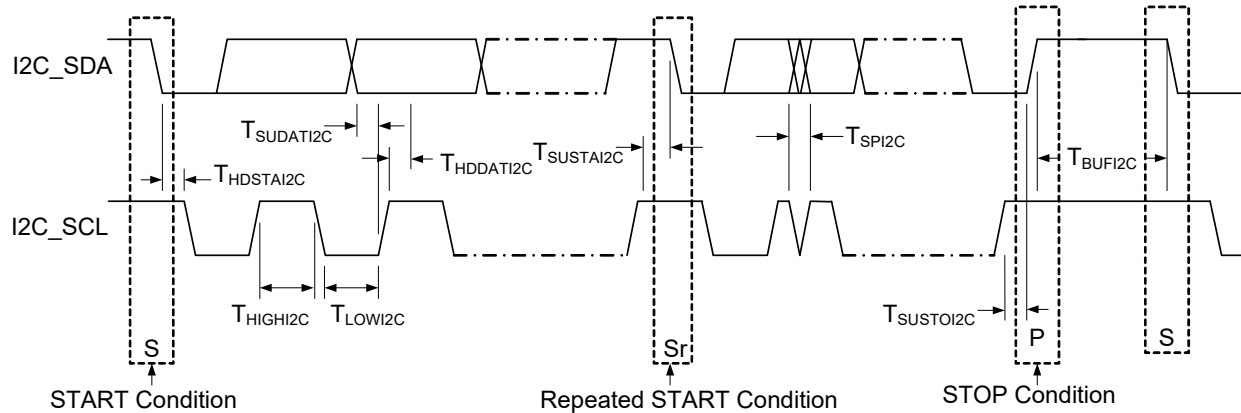
I²C の AC 仕様

表 29 に次の電圧範囲と温度範囲でそれぞれで保証されている Max と Min の仕様を示します: 4.75V ~ 5.25V および -40°C ≤ T_A ≤ 85°C、または 3.0V ~ 3.6V および -40°C ≤ T_A ≤ 85°C。Typ パラメーターは 25°C で 5V、3.3 V、または 2.7V のときに適用され、設計の参考用のみの情報です。

表 29. I²C の SDA と SCL ピンの AC 特性 (V_{dd} ≥ 3.0V)

記号	説明	標準モード		ファストモード		単位	備考
		Min	Max	Min	Max		
F _{SCL I2C}	SCL クロック周波数	0	100	0	400	kHz	
T _{HDSTA I2C}	ホールド時間 (繰り返し) のスタート条件。 この時間が経過した後、最初のクロックパルスが生成されます。	4.0	–	0.6	–	μs	
T _{LOW I2C}	SCL クロックの LOW 期間	4.7	–	1.3	–	μs	
T _{HIGH I2C}	SCL クロックの HIGH 期間	4.0	–	0.6	–	μs	
T _{SUSTA I2C}	繰り返すスタート条件のセットアップ時間	4.7	–	0.6	–	μs	
T _{HDDAT I2C}	データ ホールド時間	0	–	0	–	μs	
T _{SUDAT I2C}	データ セットアップ時間	250	–	100 ^[23]	–	ns	
T _{SUSTOI I2C}	ストップ条件のセットアップ時間	4.0	–	0.6	–	μs	
T _{BUFI I2C}	ストップ条件とスタート条件との間のバス 空き時間	4.7	–	1.3	–	μs	
T _{SPI I2C}	スパイクのパルス幅は入力フィルタによって抑制されます	–	–	0	50	ns	

図 7. ファストモードと標準モードの I²C バスのタイミング定義

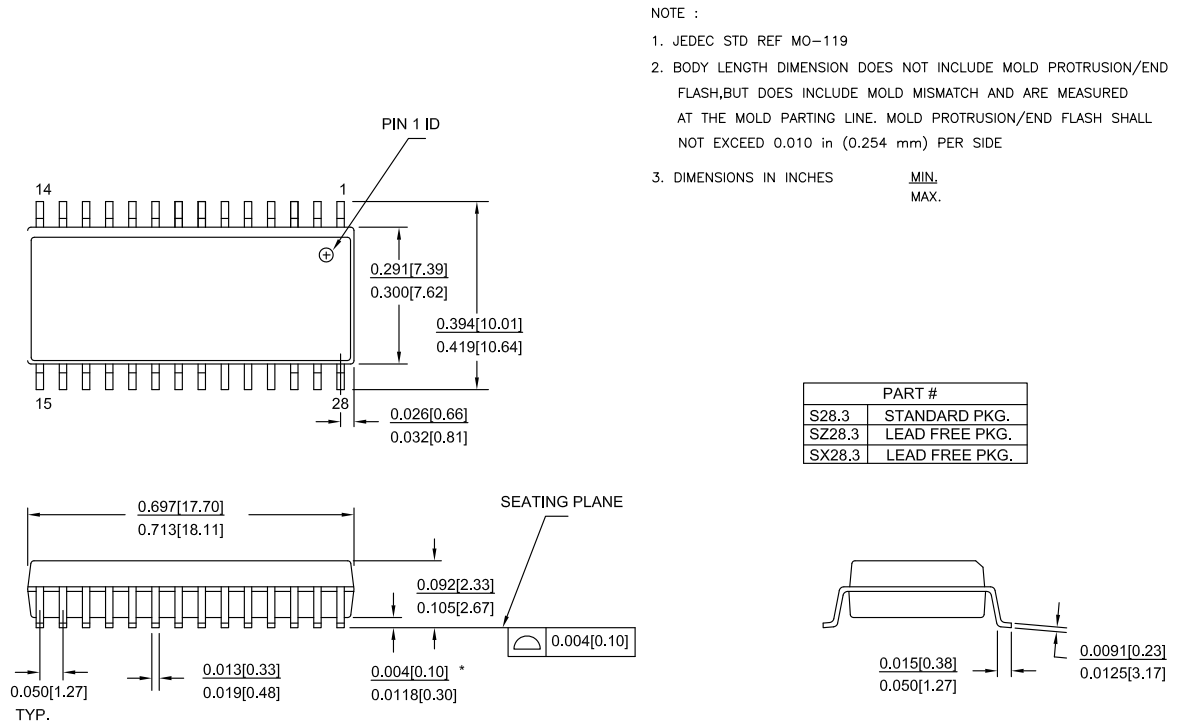


注:

23. ファストモード I2C バス デバイスは標準モード I2C バス システムでも使用できますが、要件 T_{SUDAT I2C} ≥ 250ns を満たさなければなりません。SCL 信号の LOW 期間をデバイスで延ばさなければ、この要件を自動的に満たせません。SCL 信号の LOW 期間をデバイスで延ばした場合、SDA ラインを解放する時点より (t_{max} + T_{SUDAT I2C} = 1000 + 250 = 1250ns) の時間以上前の時点で、標準モード I2C バス仕様に従って次のデータビットを SDA ラインに出力する必要があります。

パッケージ情報

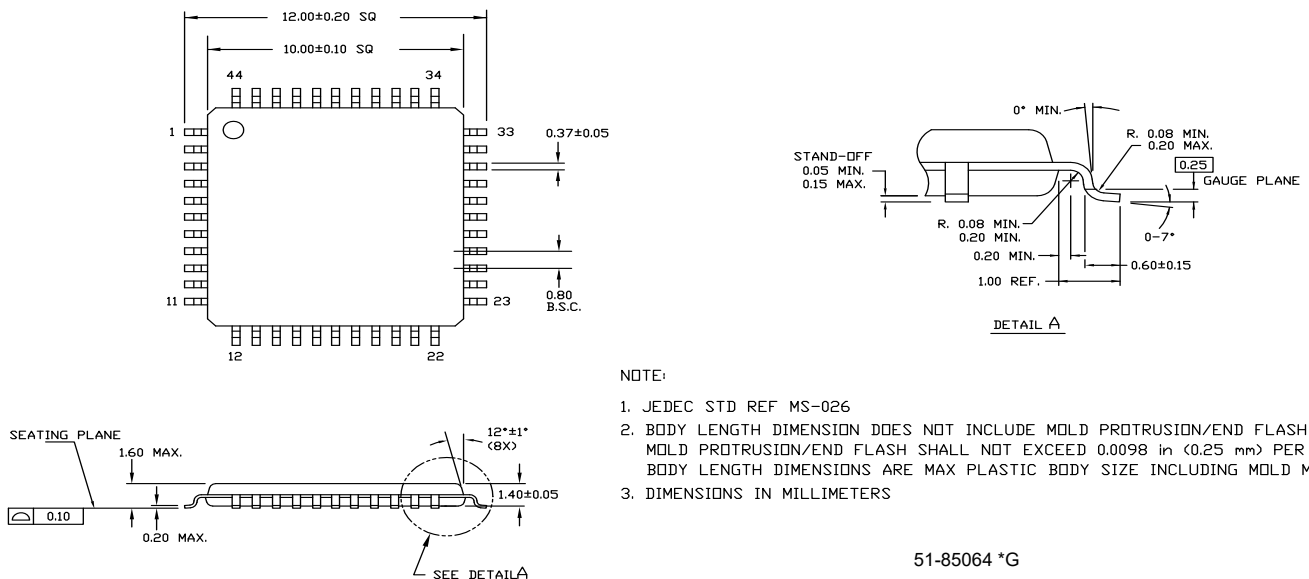
図 8. 28 ピン SOIC (0.713×0.300×0.0932 インチ) パッケージの外形、51-85026



51-85026 *H

図 9. 44 ピン TQFP (10×10×1.4mm) A44S パッケージの外形、51-85064

44 Lead Thin Plastic Quad Flatpack 10 X 10 X 1.4mm



51-85064 *G



熱インピーダンス

表 30. パッケージ別の熱インピーダンス

パッケージ	標準 θ_{JA} ^[25]
28 ピン SOIC	68°C/W
44 ピン TQFP	61°C/W

はんだリフローの仕様

表 31 には、超えてはならないはんだリフロー温度限界値を示します。

表 31. はんだリフローの仕様

パッケージ	最高ピーク温度 (T_C)	T_C -5°C 以上の最大時間
28 ピン SOIC	260°C	30 秒
44 ピン TQFP	260°C	30 秒

注文情報

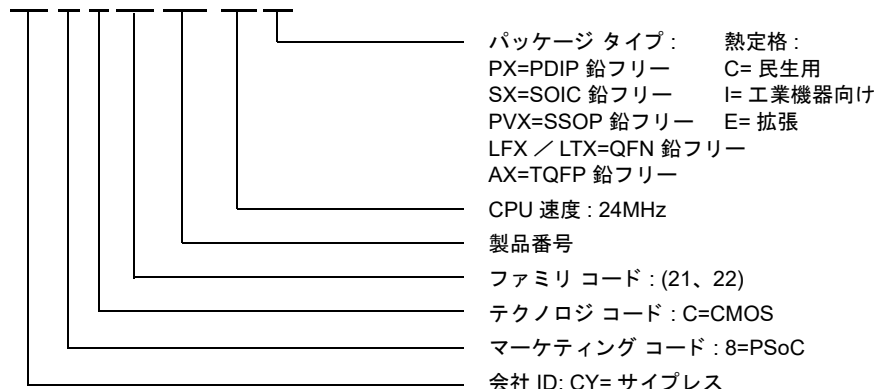
下表に、この PSoC デバイス ファミリの主なパッケージの機能と注文コードを示します。

表 32. PSoC デバイス ファミリの主な機能と注文情報

パッケージ	注文コード	フラッシュ (K バイト)	RAM (バイト)	温度範囲	デジタルブロック (4 個のブロックのロー)	アナログブロック (3 個のブロックのコラム)	デジタル I/O ピン	アナログ入力	アナログ出力	XRES ピン
28 ピン SOIC	CY8C21345-24SXI	8	512B	-40°C ~ +85°C	4	6	24	24 ^[24]	0	あり
28 ピン SOIC (テープ & リール)	CY8C21345-24SXIT	8	512B	-40°C ~ +85°C	4	6	24	24 ^[24]	0	あり
28 ピン SOIC	CY8C22345-24SXI	16	1K	-40°C ~ +85°C	8	6	24	24 ^[24]	0	あり
28 ピン SOIC (テープ & リール)	CY8C22345-24SXIT	16	1K	-40°C ~ +85°C	8	6	24	24 ^[24]	0	あり
44 ピン TQFP	CY8C22545-24AXI	16	1K	-40°C ~ +85°C	8	6	38	38 ^[24]	0	あり
44 ピン TQFP (テープ & リール)	CY8C22545-24AXIT	16	1K	-40°C ~ +85°C	8	6	38	38 ^[24]	0	あり

注文コードの定義

CY 8 C 2x xxx-SPxx



略語

表 33 に、本書で使用する略語を示します。

表 33. 本データシートで使用されている略語

略語	説明	略語	説明
AC	alternating current (交流電流)	MAC	multiply-accumulate (積和演算)
ADC	analog-to-digital converter (アナログ - デジタル変換器)	MCU	microcontroller unit (マイクロコントローラ ユニット)
API	application programming interface (アプリケーション プログラミング インターフェース)	MIPS	million instructions per second (100 万命令毎秒)
CMOS	相補型金属酸化膜半導体	PCB	printed circuit board (プリント回路基板)
CPU	central processing unit (中央演算処理装置)	PGA	programmable gain amplifier (プログラマブル ゲイン アンプ)
CRC	cyclic redundancy check (巡回冗長検査)	PLL	phase-locked loop (位相同期回路)
CSD	CapSense Sigma Delta (CapSense シグマ デルタ方式)	POR	power on reset (パワー オン リセット)
CT	continuous time (連続時間)	PPOR	precision power on reset (高精度パワーオンリセット)
DAC	digital-to-analog converter (デジタル - アナログ変換器)	PRS	pseudo random sequence (疑似乱数列)
DC	direct current (直流)	PSoC®	Programmable System-on-Chip (プログラマブル システムオンチップ)
DNL	differential nonlinearity (微分非直線性)	PWM	pulse width modulator (パルス幅変調器)
ECO	external crystal oscillator (外部水晶発振器)	QFN	quad flat no leads (クアッド フラット (リードなし) パッケージ)
EEPROM	electrically erasable programmable read-only memory (電氣的消去書き込み可能読み出し専用メモリ)	RTC	real time clock (リアル タイム クロック)
FSK	frequency-shift keying (周波数シフト キーイング)	SAR	successive approximation (逐次比較)
GPIO	general purpose I/O (汎用入出力)	SC	switched capacitor (スイッチト キャパシタ)
I/O	input/output (入出力)	SLIMO	slow IMO (低速 IMO)
ICE	in-circuit emulator (インサーキット エミュレータ)	SOIC	small-outline integrated circuit (小型外形集積回路)
IDE	integrated development environment (統合開発環境)	SPI™	Serial Peripheral Interface (シリアル ペリフェラル インターフェース)
IDAC	current DAC (電流 DAC)	SRAM	static random access memory (スタティック ランダム アクセス メモリ)
ILO	internal low speed oscillator (内部低速発振器)	SROM	supervisory read-only memory (スーパーバイザ読み出し専用メモリ)
IMO	internal main oscillator (内部主発振器)	SSOP	shrink small-outline package (シュリンク スモール アウトライン パッケージ)
INL	integral nonlinearity (積分非直線性)	TQFP	thin quad flat pack (薄型クワッド フラット パック)
IrDA	infrared data association (赤外線データ協会)	UART	Universal Asynchronous Receiver Transmitter (汎用非同期レシーバ/トランスミッタ)
ISSP	in-system serial programming (インシステム シリアル プログラミング)	USB	Universal Serial Bus (ユニバーサル シリアル バス)
LPC	Low power comparator (低消費電力コンパレータ)	WDT	watchdog timer (ウォッチドッグ タイマー)
LSB	least-significant bit (最下位ビット)	XRES	external reset (外部リセット)
LVD	low voltage detect (低電圧検出)		

注 :

24. I_O の直接入力。

25. T_J = T_A + 消費電力 × θ_{JA}

参考資料

CY8C22x45 and CY8C21345 PSoC[®] Programmable System-on-Chip™ [Technical Reference Manual \(TRM\)](#) (001-48461)

Design Aids – Reading and Writing PSoC[®] Flash – [AN2015](#) (001-40459)

Understanding Datasheet Jitter Specifications for Cypress Timing Products



本書の表記法

測定単位

表 34 に測定単位を示します。

表 34. 測定単位

記号	測定単位	記号	測定単位
kB	1024 バイト	mV	ミリボルト
°C	摂氏温度	nA	ナノアンペア
kHz	キロヘルツ	ns	ナノ秒
kΩ	キロオーム	W	オーム
LSB	最下位ビット	%	パーセント
MHz	メガヘルツ	pF	ピコファラド
μA	マイクロアンペア	ps	ピコ秒
μs	マイクロ秒	sps	サンプル数毎秒
μV	マイクロボルト	pA	ピコアンペア
mA	ミリアンペア	V	ボルト
mm	ミリメートル	μW	マイクロワット
ms	ミリ秒	W	ワット

数値の表記

16 進数はすべて大文字で表記し、小文字の「h」を付記します (例: 「14h」、「3Ah」)。C のコーディング規則に基づき、接頭語「0x」を使用して 16 進数を表現している場合もあります。2 進数には小文字の「b」を付記します (例: 「01010100b」、「01000011b」)。「h」または「b」が付いていない数は 10 進数です。

用語集

アクティブ HIGH	1. アサート状態を論理値「1」状態とするロジック信号です。 2. 2 つの状態のうち、高い電圧側を論理値「1」状態とするロジック信号です。
アナログブロック	基本はプログラム可能なオペアンプ回路。SC (スイッチト キャパシタ) および CT (連続時間) ブロック。これらのブロックは相互接続して、ADC、DAC、多極フィルタ、ゲイン ステージなどを提供可能。
アナログ - デジタル変換器 (ADC)	アナログ信号を、振幅に対応したデジタル信号に変換するデバイス。一般的に ADC は電圧をデジタル数値に変換。デジタル - アナログ変換器 (DAC) は ADC の逆の動作を行います。
API (アプリケーション プログラミング インターフェース)	コンピュータ アプリケーションと低レベルのサービスと関数間のインターフェース (例えば、ユーザー モジュール、ライブラリ) からなる一連のソフトウェア ルーチンです。API は、ソフトウェア アプリケーションを作成するプログラマ向けのビルディング ブロックとして機能します。
asynchronous (非同期)	どのクロック信号にも関係なく直ちに認識され、作用するデータを持つ信号です。
バンドギャップ基準電圧	VT の正の温度係数と VBE の負の温度係数を一致させ、ゼロ温度係数 (理想) の基準電圧を生成する安定した基準電圧の回路です。
bandwidth (帯域幅)	1. ヘルツを単位として計測されるメッセージまたは情報処理システムの周波数範囲です。 2. 増幅器 (または減衰器) に実質的なゲイン (またはロス) があるスペクトル領域の幅。より具体的に (例えば最大値の 1/2 になる点の幅として) 示されることがあります。

用語集 (続き)

バイアス	<ol style="list-style-type: none"> 1. 基準値からの意図的な偏差の値です。 2. 基準値と一連の値の平均値の間の誤差です。 3. デバイスを動作させる基準レベルを確立するために、デバイスに適用される電氣的、機械的、磁氣的、その他の力 (場) です。
ブロック	<ol style="list-style-type: none"> 1. 単一機能を実行する機能ユニット (発振器など)。 2. いくつかの機能のいずれかを実行するために設定可能な機能ユニットです (デジタル PSoC ブロックやアナログ PSoC ブロックなど)。
バッファ	<ol style="list-style-type: none"> 1. 1 つのデバイスから他のデバイスへデータを転送する際に、速度差を補うために使用されるデータ ストレージ領域。通常、データが読み書きされる、IO 操作のために予約された領域を示します。 2. データ (多くの場合、外部デバイスに送信される前のデータや外部デバイスから受信されたばかりのデータ) を格納するメモリ部分です。 3. システムの出カインピーダンスを下げるために使用される増幅器です。
バス	<ol style="list-style-type: none"> 1. 複数ラインの名前付き接続。回路どうしをバスにバンドルすることにより、類似したルーティング パターンを持つネットの配線は容易になります。 2. 共通機能を実行し、同様のデータを運ぶ信号一式。一般的にベクトル表記で表される (例 : アドレス [7:0])。 3. 関連するデバイスのグループの共通接続として機能する 1 つまたは複数の導電体です。
クロック	<p>一定の周波数およびデューティ比で周期信号を生成するデバイス。クロックは時々、異なる論理ブロックを同期化するために使用されます。</p>
コンパレータ	<p>2 つの入力レベルが同時に所定の振幅要件を満たすたびに、出力電圧または電流を生成する電子回路です。</p>
コンパイラ	<p>C のような高レベルの言語を機械言語に変換するプログラムです。</p>
コンフィギュレーション空間	<p>PSoC デバイスでの、CPU_F レジスタ内の XIO ビットが「1」にセットされたときにアクセスされるレジスタ空間です。</p>
水晶発振器	<p>周波数が圧電性水晶によって制御される発振器。一般的に、圧電性水晶は他の回路コンポーネントほど周囲温度に敏感ではありません。</p>
巡回冗長検査 (CRC)	<p>一般的に線形フィードバック シフト レジスタを使用して行われるデータ通信でエラーを検出するために使用される計算。同様の計算はデータ圧縮など他の多くの用途に使用可能です。</p>
データ バス	<p>メモリ位置から中央演算処理装置へ、またはその逆で、情報を伝えるためにコンピュータによって使用される一組の双方向信号です。より一般的には、デジタル機能間でデータを伝えるために使用される信号一式です。</p>
デバッグ	<p>ユーザーが開発中のシステムの動作を分析することを可能にするハードウェアおよびソフトウェア システムです。通常、開発者はデバッグにより、ファームウェアを一段階ずつ手順を追って実行したり、ブレークポイントをセットしたり、メモリを分析したりできます。</p>
デッド バンド	<p>2 つまたは複数の信号の内いずれもアクティブ状態や遷移中ではない期間です。</p>
デジタルブロック	<p>カウンタやタイマー、シリアル レシーバ、シリアル トランスミッタ、CRC ジェネレータ、疑似乱数生成器、SPI として機能できる 8 ビットの論理ブロックです。</p>
デジタル - アナログ変換器 (DAC)	<p>デジタル信号を対応する振幅を持っているアナログ信号に変換するデバイス。アナログ - デジタル変換器 (ADC) は DAC の逆の動作を行います。</p>
デューティ比	<p>クロック周期の HIGH 時間と LOW 時間の関係であり、パーセント単位で表されます。</p>

用語集 (続き)

エミュレータ	1つのシステムの機能を別のシステムに複製 (エミュレーション実行) し、第2のシステムが第1のシステムのように動作します。
外部リセット (XRES)	PSoC デバイスに駆動されるアクティブ HIGH 信号です。これにより、CPU およびブロックのすべての動作が停止し、事前定義された状態に戻ります。
フラッシュ	EPROM のプログラミング可能性およびデータ ストレージ、およびインシステム消去性をユーザーに提供する、電氣的にプログラム及び消去可能な不揮発性の技術です。不揮発性は電源がオフになっているときにデータが保持されることを意味します。
フラッシュ ブロック	一度にプログラムできるフラッシュ ROM の最小容量、および保護できるフラッシュ メモリの最小領域です。1つのフラッシュ ブロックは 64 バイトを保持します。
周波数	周期関数の単位時間当たりのサイクルまたはイベント数です。
ゲイン	出力電流、電圧または電力対入力電流、電圧または電力の比率です。ゲインは通常 dB で表されます。
I ² C	Philips Semiconductors (現 NXP Semiconductors) の 2 線式シリアル コンピュータ バスです。I ² C は内部統合回路です。組み込みシステムの低速周辺機器を接続するために使用されます。オリジナル システムはバッテリー制御インターフェースとして 1980 年代初頭に作成されました。その後制御電子回路をビルドするための単純な内部バス システムとして使用されます。I ² C は 2 つの双方向のピン (クロックおよびデータ) のみを使用します。双方とも +5V で動作し、抵抗で HIGH にプルアップされます。バスは標準モードで毎秒 100 キロビット、ファスト モードで毎秒 400 キロビット で動作します。
ICE	ユーザーがソフトウェア環境 (PSoC Designer) でデバッグ装置の活動を見ながら、ハードウェア環境でプロジェクトをテストすることを可能にするインサーキット エミュレータです。
入力/出力 (I/O)	システムへデータを導入したり、システムからデータを抽出するデバイスです。
割り込み	コンピュータ プログラムの実行など、そのプロセスの外部のイベントによって引き起こされる、プロセスを再開できるような方法で行ったプロセスの一時停止です。
割り込みサービスルーチン (ISR)	M8C がハードウェア割り込みを受信したときに通常のコードの実行から転向させられるコードのブロックです。多くの割り込みソースは、それぞれ独自の優先順位および個別の ISR コード ブロックで存在している可能性があります。各 ISR コード ブロックは RETI 命令で終了し、正常のプログラム実行を停止したポイントにデバイスを戻します。
ジッタ	<ol style="list-style-type: none"> 理想的な位置からの移行のタイミング誤配置です。シリアル データ ストリームで発生する破損の典型的フォームです。 連続パルス間隔、連続サイクルの振幅、や連続サイクルの周波数またはフェーズなど、1 つ以上の信号特性の急激な望ましくない変動です。
低電圧検出 (LVD)	Vdd を感知し、Vdd が選択された閾値を下回るとシステムへの割り込みを生成する回路です。
M8C	8 ビット ハーバード アーキテクチャ マイクロプロセッサです。マイクロプロセッサは、フラッシュ、SRAM およびレジスタ空間へインターフェースで接続することで PSoC の内部のすべての動作を調整します。
マスターデバイス	2 つのデバイス間のデータ交換のタイミングを制御するデバイスです。または、デバイスがカスケード接続されている場合、マスター デバイスはカスケード接続されたデバイスと外部インターフェース間のデータ交換のタイミングを制御します。制御されるデバイスは スレーブ デバイス と呼ばれます。

用語集 (続き)

マイクロコントローラー	主に制御システムおよび製品のために設計された集積回路チップです。マイクロコントローラーは CPU 以外、通常、メモリ、タイミング回路、および IO 回路を内蔵します。その理由は、最小量のチップを使用してコントローラーを実現するためです。このようにして、最大限の小型化を達成します。これにより、コントローラーのボリュームおよびコストを削減します。マイクロコントローラーは通常、マイクロプロセッサの演算処理のような汎用演算処理には使用されません。
混合信号	アナログとデジタルの技術およびコンポーネントの両方を含む回路へのリファレンスです。
変調器	キャリア上の信号を課すデバイスです。
ノイズ	<ol style="list-style-type: none"> 1. 信号に影響を与える、およびその信号によって運ばれた情報を歪める可能性がある妨害です。 2. 電圧、電流、またはデータなど、実体の 1 つまたは複数の特性のランダムなばらつきです。
発振器	クロック周波数を生成するために使用される回路です。水晶制御のものもあります。
パリティ	送信データをテストする技術です。通常、2 進桁がデータに追加されて、この 2 進データのすべての桁数の合計が常に偶数 (偶数パリティ) または常に奇数 (奇数パリティ) となります。
フェーズロックループ (PLL)	基準信号に対して一定の位相角を維持するように 発振器 を制御する電子回路です。
ピン (端子) 配置	端子番号割り当て : PSoC デバイスの論理入力および出力とそれらのプリント回路基板 (PCB) パッケージ内の物理的なカウンターパートとの関係です。端子配置は回路図と PCB 設計 (両方ともコンピュータ生成ファイル) 間のリンクとしての端子番号を含み、端子名も含む場合があります。
ポート	ピンのグループです。通常 8 個あります。
パワー オン リセット (POR)	電圧が事前設定レベル以下の際、PSoC デバイスを強制的にリセットさせる回路です。これはハードウェア リセットの一種です。
PSoC®	サイプレス セミコンダクタの PSoC® は登録商標で、Programmable System-on-Chip™ はサイプレスの商標です。
PSoC Designer™	サイプレスの Programmable System-on-Chip 技術のソフトウェアです。
パルス幅変調器 (PWM)	適用された測定量の関数として変動するデューティ比のかたちでの出力です。
RAM	ランダム アクセス メモリ (random access memory) の頭字語です。データを読み出せ、新しいデータを書き込めるデータストレージ デバイスです。
レジスタ	ビットやバイトなど、特定の容量を持つストレージ デバイスです。
リセット	システムを既知の状態に戻す手段です。ハードウェア リセットおよびソフトウェア リセットを参照してください。
ROM	読み出し専用メモリ (read only memory) の頭字語です。データを読み出すことはできるが、新しいデータを書き込むことはできないデータストレージ デバイスです。
シリアル	<ol style="list-style-type: none"> 1. すべてのイベントが相次いで発生するプロセスを示します。 2. 単一のデバイスまたはチャネルにある 2 つまたは複数の関連する動作の逐次的または連続的な発生を指します。
整定時間	入力がある値から別の値に変更された後に、出力信号または値が安定化するのに必要な時間です。

用語集 (続き)

シフト レジスタ	シリアル データ ストリームを出力するために、左または右にワードを連続してシフトするメモリ ストレージ デバイスです。
スレーブ デバイス	他のデバイスに、2 つのデバイス間のデータ交換のタイミングを制御させるデバイスです。または、デバイスがカスケード接続されている場合、スレーブ デバイスは、他のデバイスにカスケード接続されたデバイスと外部インターフェース間のデータ交換のタイミングを制御させるものです。制御するデバイスはマスター デバイスと呼ばれます。
SRAM	スタティック ランダム アクセス メモリ (static random access memory) の頭字語です。ユーザーが高速でデータを格納および取得することを可能にするメモリ装置です。「スタティック」という用語が使用される理由は、値は SRAM セルにロードされた後に、明示的に変更されるか、またはデバイスの電源が切られるまで変わらないままのためです。
SROM	監視用読み出し専用メモリ (supervisory read only memory) の頭字語です。SROM は、デバイスを起動し、回路を校正し、フラッシュ動作を実行するために使用されるコードを保持します。SROM の機能は、フラッシュメモリから操作する普通のユーザー コードでアクセスできます。
ストップ ビット	受信側のデバイスが次の文字またはブロックを受信するのを準備する文字またはブロックの後に続く信号です。
同期	<ol style="list-style-type: none">1. クロック信号の次のアクティブ エッジまで動作したり、受け取られることのないデータを持つ信号です。2. 動作がクロック信号によって同期されるシステムです。
トライステート	出力が 0、1、および Z (ハイ インピーダンス) という 3 つの状態になる機能です。この機能は Z の状態ではどんな値も駆動せず、多くの点で回路の残りの部分から切断状態として考えられ、他の出力が同じネットを駆動できます。
UART	UART またはユニバーサル非同期レシーバ トランスミッタは、データの平行レル ビットとシリアル ビット間の変換を行います。
ユーザー モジュール	低レベルのアナログおよびデジタル PSoC ブロックを管理および設定する、事前構築されたテスト済みのハードウェア/ファームウェアの周辺機能です。ユーザー モジュールは周辺機能に高レベルの API (アプリケーション プログラミング インターフェース) も提供します。
ユーザー空間	レジスタ マップのバンク 0 空間です。このバンクのレジスタは、初期化中にだけでなく、通常のプログラム実行中にも変更される可能性が高いです。バンク 1 のレジスタはプログラムの初期化フェーズでのみ変更される可能性が最も高いです。
V _{DD}	「電圧ドレイン」を意味するパワーネットの名前です。最も正の電源供給信号です。通常 5V または 3.3V です。
V _{SS}	「電圧ソース」を意味するパワーネットの名前です。最も負の電源供給信号です。
ウォッチドッグ タイマー	定期的に処理する必要があるタイマーです。処理されない場合、CPU は一定時間経過後にリセットされます。



エラッタ

本節では、PSoC デバイスの CY8C21x45、CY8C22x45 ファミリのエラッタについて説明します。詳細は、エラッタのトリガー条件、影響の範囲、可能な回避方法、およびシリコン版数の適用可能性を含みます。

何かご質問がありましたら、最寄りのサイプレスの販売代理店までご連絡ください。

影響を受ける製品番号

製品番号	デバイスの特性
CY8C21345	全バリエーション
CY8C22345	全バリエーション
CY8C22545	全バリエーション

CY8C21x45、CY8C22x45 認定状態

製品の状態：量産中

エラッタのまとめ

下表は、この PSoC デバイス ファミリに適用可能なエラッタを定義します。

項目	製品番号	シリコンチップ版数	問題の修正状況
1. フリー ランニング モードでデータをノンストップで読み出すと、SAR10ADC で 7 LSB の擬似コードが変動	すべての CY8C21x45、CY8C22x45 デバイスが影響される	すべて	シリコンの修正は計画されていません。回避策を使用
2. 極度の温度での内部主発振器 (IMO) の許容誤差	すべての CY8C21x45、CY8C22x45 デバイスが影響されます。	すべて	シリコンの修正は計画されていません。回避策を使用

1. フリー ランニング モードでデータをノンストップで読み出すと、SAR10ADC で 7 LSB の擬似コードが変動します。

■ 問題の定義

フリー ランニング モードでは、SAR10 ADC のデジタル出力の最大 7 LSB の変動が発生する可能性があります。

■ 影響を受けるパラメーター

コード バリエーション。これは特定のパラメーターではありません。

これは、正確なコードに加えて、一定の入力電圧に対して、ADC によって生成される固有の出力コードの数と定義されています。例えば、入力電圧が 2.000V で、期待されるコード 190hex で、ADC が 191hex、190hex、および 192hex という 3 つのコードを生成する場合、コード バリエーションは 2 LSB です。

■ トリガ条件

SAR10 ADC はフリー ランニング モードで設定されています。ADC がフリー ランニング モードで動作するとき、一定の入力電圧に対して ADC の出力は最大 7 LSB の変動があります。これは平均法を使用するか、またはフリー ランニング モードをデータの読み出し前に無効にして、データの読み出し後に有効にすることで解決できます。

■ 影響の範囲

不正確な出力が出る可能性があります。

■ 回避方法

以下の回避方法のいずれか、または両方を使用することで、この問題を防止できます。追加支援のために、サイプレスの担当者に連絡します。

- 平均法を使用します。すなわち、複数のサンプル入力を取得して、デジタル平均化フィルタを使用します。
- フリー ランニング モードをデータの読み出し前に無効にして、データの読み出し後に有効にします。

■ 問題の修正状況

シリコン修正は計画されていません。



2. 極度の温度での内部主発振器 (IMO) の許容誤差

■ 問題の定義

非同期デジタル通信インターフェースは 0 ~ 70°C の温度範囲外で動作するとき、エラーとなる可能性があります。この問題は 0 ~ 70°C の温度範囲内での最終製品の使用に影響しません。

■ 影響を受けるパラメーター

IMO 周波数の許容誤差です。0°C より低い温度、+70°C より高い温度、およびデータシートで規定された高い温度範囲および低い温度範囲内で動作するときに、最悪の偏差は $\pm 5\%$ です。

■ トリガ条件

0°C ~ +70°C の温度範囲外で動作するとき、非同期 Rx / Tx クロック ソース IMO 周波数の誤差はデータシートで規定された $\pm 2.5\%$ の制限を超える可能性があります。

■ 影響の範囲

この問題は UART、IrDA、および FSK の実装に影響を与える可能性があります。

■ 回避方法

非同期デジタル通信インターフェースの少なくとも一端で水晶振動子安定化クロック ソースを実装します。

■ 問題の修正状況

この問題の原因と解決法が特定されました。シリコンでの欠陥を修正するシリコン修正は計画されていません。

改訂履歴

文書名 : CY8C21345/CY8C22345/CY8C22545、PSoC [®] プログラマブル システムオンチップ 文書番号 : 001-94448			
版	ECN	発行日	変更内容
**	4536587	10/15/2014	これは英語版 001-43084 Rev. *T を翻訳した日本語版 001-94448 Rev. ** です。
*A	4928460	09/25/2015	これは英語版 001-43084 Rev. *V を翻訳した日本語版 001-94448 Rev. *A です。
*B	6655966	01/08/2020	これは英語版 001-43084 Rev. *W を翻訳した日本語版 001-94448 Rev. *B です。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューションセンター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

Arm®Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック & バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラー	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカル サポート

cypress.com/support

© Cypress Semiconductor Corporation, 2008-2020. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。) を含む) は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証 (商品性及び特定の目的への適合性の保証を含むがこれらに限られない) も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラーと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想されるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本来目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress、Cypress のロゴ、Spansion、Spansion のロゴ及びこれらの組み合わせ、WICED、PSoC、CapSense、EZ-USB、F-RAM、及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。