

请注意赛普拉斯已正式并入英飞凌科技公司。

此封面页之后的文件标注有“赛普拉斯”的文件即该产品为此公司最初开发的。请注意作为英飞凌产品组合的部分,英飞凌将继续为新的及现有客户提供该产品。

文件内容的连续性

事实是英飞凌提供如下产品作为英飞凌产品组合的部分不会带来对于此文件的任何变更。未来的变更将在恰当的时候发生,且任何变更将在历史页面记录。

订购零件编号的连续性

英飞凌继续支持现有零件编号的使用。下单时请继续使用数据表中的订购零件编号。

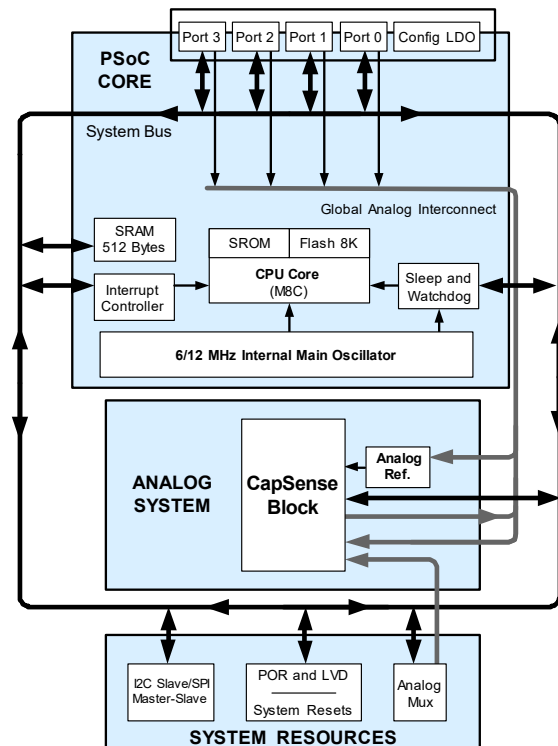
特性

- 低功耗 CapSense® 模块
 - 可配置的电容式感应元件
 - 支持组合使用 CapSense 按键、滑条、触摸板和接近传感器
- 强大的 Harvard 架构处理器
 - M8C 处理器的速度最高可达 12 MHz
 - 速度高、功耗低
 - 工作电压范围：2.4 V 到 5.25 V
 - 工业级温度范围：-40 °C 到 +85 °C
- 灵活的片上存储器
 - 8 KB 闪存程序存储器，50,000 次擦 / 写循环
 - 512 字节的 SRAM 数据存储器
 - 局部闪存更新
 - 灵活的保护模式
 - 中断控制器
 - 系统内串行编程 (ISSP)
- 完备的开发工具
 - 免费的开发工具 (PSoC Designer™)
 - 功能齐全的在线仿真器和编程器
 - 全速仿真
 - 复合断点结构
 - 128 字节的跟踪存储器
- 高精度的可编程时钟
 - 内部 ±5.0% 6/12 MHz 主振荡器
 - 供看门狗和睡眠定时器使用的 32 kHz 内部低速振荡器
- 可编程引脚配置
 - 所有通用 I/O 均可选择上拉驱动、高阻抗驱动、开漏驱动和 CMOS 驱动模式
 - 通用 I/O 上模拟输入最多可达 28 个
 - 所有通用 I/O 均接受可配置的输入
 - 所有通用 I/O 均具有 20 mA 的灌电流能力
 - 端口 1 上可选的稳压数字 I/O
 - 端口 1 的拉电流总和为 20 mA (3.0 V)
 - 端口 1 通用模拟复用器采用 5 mA 强驱动模式
 - 通用内部模拟总线
 - 同时 I/O 组合连接
 - 比较器具有抗噪能力
 - 用于模拟阵列的低压差电压调节器

■ 其它系统资源

- 可配置的通信速度
 - I²C: 可选的频率分别为 50 kHz、100 kHz 或 400 kHz
 - SPI: 可在 46.9 kHz 到 3 MHz 的范围内进行配置
- I²C 从设备
- SPI 主设备和 SPI 从设备
- 看门狗和睡眠定时器
- 内部参考电压
- 集成监控电路

逻辑框图



更多信息

赛普拉斯网站 (www.cypress.com) 上提供了大量资料, 这些资料有助于您选择符合设计的 PSoC 器件, 并能够快速有效地将该器件集成到您的设计中。有关使用资源的完整列表, 请参考知识库文章 [KBA92181 — CapSense® 控制器的资源](#)。下面是 CapSense 器件的简要列表:

■ 概述: CapSense 产品系列、CapSense 产品路线图

■ 产品选择器: CapSense、CapSense Plus、CapSense Express、带有 CapSense 的 PSoC3、带有 CapSense 的 PSoC5、PSoC4。此外, 在创建新项目时 PSoC Designer 还提供器件选型工具。

■ 应用笔记: 赛普拉斯提供了大量 CapSense 应用笔记, 包括从基本到高级的广泛主题。下面列出的是 CapSense 入门的应用笔记:

- AN64846 – CapSense 入门
- CY8C20x34 CapSense® 设计指南
- AN2397 – CapSense® 数据查看工具

■ 技术参考手册 (TRM):

- PSoC® CY8C20x24、CY8C20x34 系列技术参考手册 (TRM)

■ 开发套件:

□ CY3280-20x34 通用 CapSense 控制器套件使用预定义的控制电路和插入硬件, 简化了原型化设计和系统调试。编程硬件和 I2C-to-USB 桥接器硬件也包含在内, 以便进行调试和数据采集。

□ CY3280-SLM 线性滑条模块由五个 CapSense 按键、一个线性滑条 (带十个传感器) 和五个 LED 构成。该模块可以连接至任何 CY3280 通用 CapSense 控制器电路板 (包含 CY3280-20x34 套件)。

□ 通过 CY3280-BBM 通用 CapSense 原型模块套件可以访问到全部信号, 这些信号路由到控制器电路板 (包含 CY3280-20x34 套件) 上 44 引脚连接器。

■ 编程

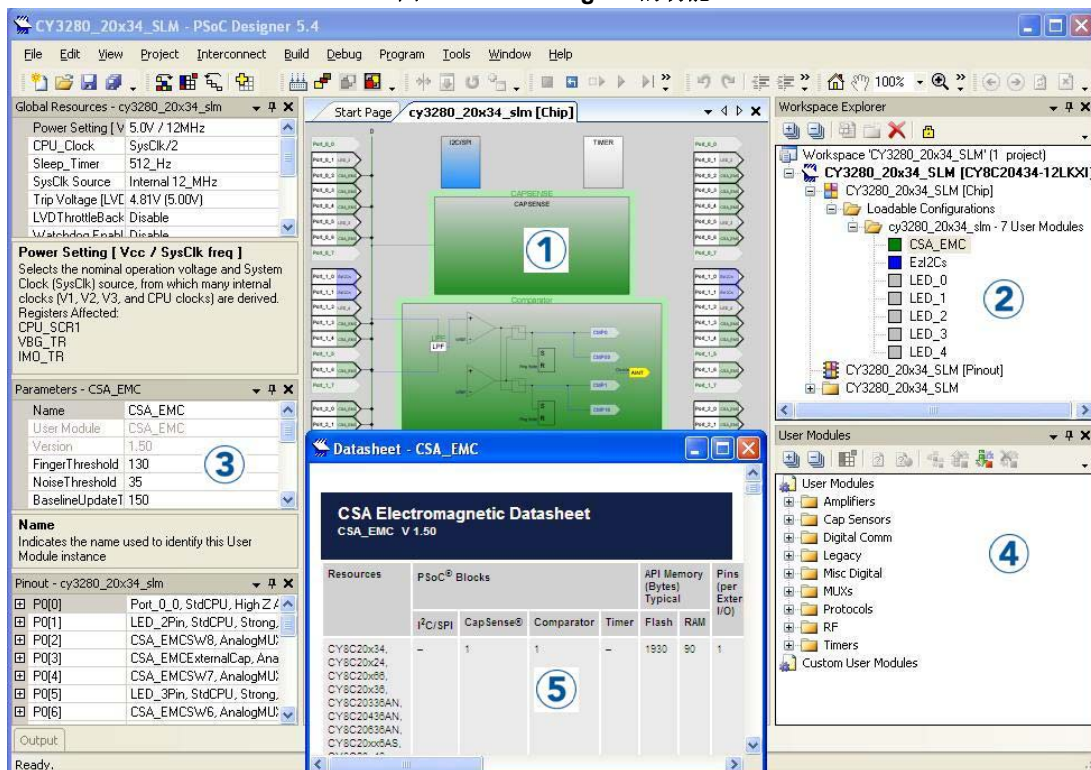
□ PSoC 支持了多种不同的编程模式和工具。更多有关信息, 请参阅 [通用编程页面](#)。

PSoC Designer

PSoC Designer 是基于 Windows 的免费的集成设计环境 (IDE)。通过它可以同时在基于 CapSense 的系统中设计硬件和固件 (请参见图 1)。通过 PSoC Designer, 您可以:

1. 将用户模块图标施放到主要设计工作区中, 以进行您的硬件系统设计。
2. 使用 PSoC Designer 集成开发环境 C 编译器对您的应用固件和 PSoC 硬件进行协同设计
3. 配置用户模块
4. 了解用户模块库
5. 查看用户模块的数据手册

图 1. PSoC Designer 的功能



目录

PSoC 功能概述	4	工作温度	20
PSoC 内核	4	直流电气特性	20
CapSense 模拟系统	4	交流电气特性	25
其它系统资源	5	封装图	32
PSoC 器件特性	5	热阻	37
入门	6	回流焊规范	37
应用笔记	6	开发工具选择	38
开发套件	6	软件	38
培训	6	开发套件	38
CYPros 顾问	6	评估工具	38
解决方案库	6	器件编程器	39
技术支持	6	附件（仿真和编程）	39
开发工具	7	订购信息	40
PSoC Designer 软件子系统	7	订购代码定义	40
使用 PSoC Designer 进行设计	8	缩略语	41
选择用户模块	8	所使用的缩略语	41
配置用户模块	8	参考文档	41
组织和连接	8	文档规范	42
生成、验证和调试	8	测量单位	42
引脚信息	9	数字规范	42
8 引脚 SOIC 的引脚分布	9	术语表	42
16 引脚 SOIC 的引脚分布	10	文档修订记录	46
48 引脚 OCD 部件的引脚分布	11	销售、解决方案和法律信息	47
16 引脚部件的引脚分布	13	全球销售和 design 支持	47
24 引脚部件的引脚分布	14	产品	47
32 引脚部件的引脚分布	15	PSoC® 解决方案	47
28 引脚部件的引脚分布	17	赛普拉斯开发者社区	47
30 球型焊盘器件的引脚分布	18	技术支持	47
电气规范	19		
最大绝对额定值	19		

PSoC 功能概述

PSoC 系列包含许多带片上控制器的可编程片上系统。这些器件旨在使用一个低成本的单芯片可编程组件取代多个基于 MCU 的传统系统组件。PSoC 器件包含多个可配置的模拟和数字模块，以及可编程互连。这种结构可帮助用户根据每个应用的要求来创建定制的外设配置。此外，在一系列方便易用的引脚布局中还包含快速 CPU、闪存程序存储器、SRAM 数据存储器 and 可配置的 I/O。

如图 2 所示，此器件系列的 PSoC 架构由三个主要部分组成：内核、系统资源和 CapSense 模拟系统。通过一根通用总线，能够实现 I/O 与模拟系统之间的连接。每个 CY8C20x34 PSoC 器件都包含一个专用的 CapSense 模块，该模块能够为电容式感应应用提供感应和扫描控制电路。最多可以包括 28 个通用 I/O (GPIO)，具体取决于 PSoC 封装。GPIO 能够提供对 MCU 和模拟复用器的访问。

PSoC 内核

PSoC 内核是一个支持多种指令集的强大引擎。它包含用于存储数据的 SRAM、中断控制器、睡眠和看门狗定时器，以及 IMO 和 ILO。被称为 M8C 的 CPU 内核是一个速度高达 12 MHz 的强大处理器。M8C 是一个 2 MIPS 的 8 位 Harvard 架构微处理器。

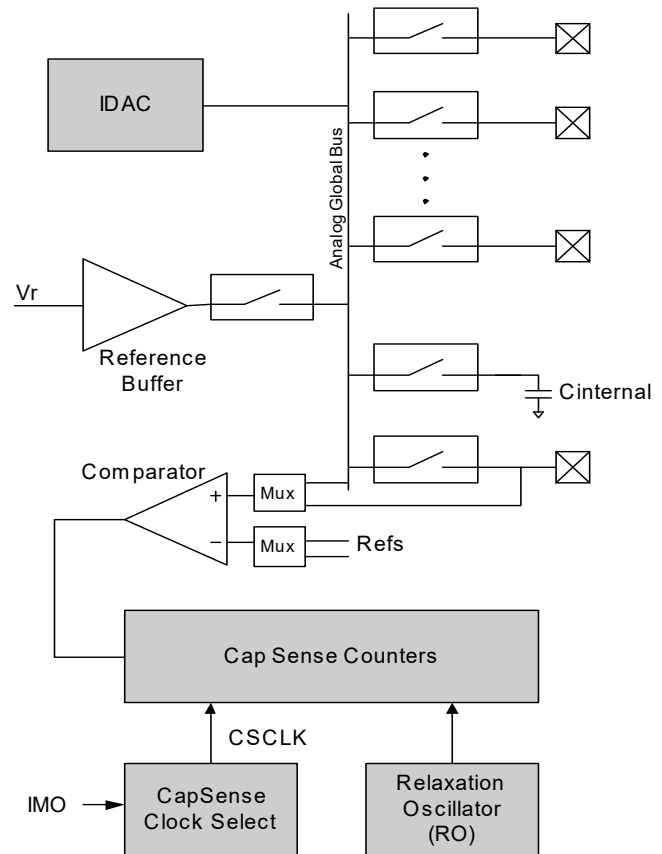
系统资源提供额外的功能，例如可配置的 I²C 从设备或 SPI 主 - 从设备通信接口，以及 M8C 支持的众多系统复位功能。

模拟系统包括 CapSense PSoC 模块和内部 1.8 V 模拟电压参考。总共能够为多达 28 个输入提供电容式感应支持。

CapSense 模拟系统

模拟系统包含电容式感应硬件。它能够支持多种硬件算法。该硬件不需要使用外部组件，即可执行电容式感应和扫描。在每个 GPIO 引脚上都可以配置电容式感应功能。可以跨多个端口对使能的 CapSense 引脚快速轻松地进行扫描。

图 2. 模拟系统框图



模拟复用器系统

模拟复用器总线可以连接至每个 GPIO 引脚。引脚可以单独连接至总线，也可以采用任意组合方式连接至总线。该总线还可以连接到模拟系统，以便使用 CapSense 模块比较器进行分析。

借助开关控制逻辑，选定的引脚可以在硬件控制下连续预充电。从而能够对触摸感应等应用进行电容式测量。其他复用器应用包括：

- 灵活实用的电容式感应接口，如滑块和触摸板
- 可以从任意 I/O 引脚进行模拟输入的芯片级复用器
- 任意 I/O 引脚组合之间的交叉点连接

其它系统资源

系统资源能够提供对整个系统非常有用的附加功能。除此之外，还包括欠压检测和上电复位。以下介绍了每种系统资源的优势：

- **I²C** 从设备或 **SPI** 主 — 从设备模块能够通过两条线路提供 50/100/400 kHz 通信。通过三条或四条线路进行 **SPI** 通信，则传输速度可达到 46.9 kHz 到 3 MHz（如系统时钟较慢，则传输速度也较慢）。

- 欠压检测（LVD）中断可以在电压下降时向应用程序发出信号，而高级 **POR**（上电复位）电路则消除了系统监控方面的需要。
- 内部 1.8 V 电压参考为电容式感应提供了一个绝对电压参考。
- 5 V 最大输入、3 V 固定输出、低压差电压调节器（LDO）能够对 I/O 进行稳压调节。利用寄存器控制的旁路模式，用户可以禁用 LDO。

PSoC 器件特性

数字和模拟系统可以有 16、8 或 4 个数字模块和 12、6 或 4 个模拟模块，具体取决于 PSoC 器件的特性。表 1 列出了特定 PSoC 器件系列所提供的资源。本数据手册中介绍的 PSoC 器件为突出显示的器件。

表 1. PSoC 器件特性

PSoC 器件型号	数字 I/O	数字行	数字模块	模拟输入	模拟输出	模拟列	模拟模块	SRAM 大小	闪存大小
CY8C29x66	多达 64 个	4	16	多达 12 个	4	4	12	2K	32K
CY8C28xxx	多达 44 个	多达 3 个	多达 12 个	多达 44 个	多达 4 个	多达 6 个	多达 12 + 4 ^[1]	1K	16K
CY8C27x43	多达 44 个	2	8	多达 12 个	4	4	12	256	16K
CY8C24x94	多达 56 个	1	4	多达 48 个	2	2	6	1K	16K
CY8C24x23A	多达 24 个	1	4	多达 12 个	2	2	6	256	4K
CY8C23x33	多达 26 个	1	4	多达 12 个	2	2 个	4	256	8K
CY8C22x45	多达 38 个	2	8	多达 38 个	0	4	6 ^[1]	1K	16K
CY8C21x45	多达 24 个	1	4	多达 24 个	0	4	6 ^[1]	512	8K
CY8C21x34	多达 28 个	1	4	多达 28 个	0	2	4 ^[1]	512	8K
CY8C21x23	多达 16 个	1	4	多达 8 个	0	2	4 ^[1]	256	4K
CY8C20x34	多达 28 个	0	0	多达 28 个	0	0	3 ^[1、2]	512	8K
CY8C20xx6	多达 36 个	0	0	多达 36 个	0	0	3 ^[1、2]	多达 2K	多达 32K

注释：

1. 有限的模拟功能

入门

有关详细信息以及详细的编程信息，请参见 [PSoC® 技术参考手册](#)。

如需最新的订购、封装和电气规范信息，请参见网站上提供的最新 [PSoC 器件数据手册](#)。

应用笔记

[赛普拉斯应用笔记](#)介绍的是众多 PSoC 设计方案。

开发套件

可以在线获得 [PSoC 开发套件](#)，也可以从不断增加的地区和全球分销商（包括 [Arrow](#)、[Avnet](#)、[Digi-Key](#)、[Farnell](#)、[Future Electronics](#) 和 [Newark](#)）处获得。

培训

网址 www.cypress.com 下所在的在线[免费 PSoC 技术培训](#)（按需提供培训、在线研讨会和专题讨论会）涵盖了有助于您进行设计的大量主题和技能。

CYPros 顾问

从技术协助到完成 PSoC 设计，得到认证的 PSoC 顾问能够提供一切支持。要想联系或成为 PSoC 的顾问，请访问 [CYPros 顾问网站](#)。

解决方案库

请访问我们的 [以解决方案为中心且内容持续更新的设计库](#)。您可以从中找到各种应用设计，包括有助于快速完成设计的固件和硬件设计文件。

技术支持

也可以在线获取[技术支持](#)（包括可搜索到的知识库文章和技术论坛）。如果找不到问题的解决方案，请致电 1-800-541-4736 联系技术支持。

开发工具

PSoC Designer™ 是革新的集成开发环境 (IDE)，您可以使用它来自定义 PSoC 以满足特定应用的需求。PSoC Designer 软件可加快系统的设计和上市进程。在拖放式设计环境中使用预先设定的模拟和数字外设库（也称为用户模块）来开发您的应用程序。然后，利用动态生成的应用编程接口 (API) 代码库来自定义您的设计。最后，使用集成调试环境（包括在线仿真和标准的软件调试功能）来调试并测试您的设计。PSoC Designer 包括：

- 应用编辑器图形用户界面 (GUI)，用于器件和用户模块配置和动态重配置
- 内容丰富的用户模块目录
- 集成的源代码编辑器 (C 语言和汇编语言)
- 免费的 C 语言编译器 (无大小限制或时间限制)
- 内置调试器
- 在线仿真
- 通信接口的内置支持：
 - 硬件和软件 I²C 从设备和主设备
 - 全速 USB 2.0
 - 最多四个全双工通用异步接收器 / 发送器 (UART)、SPI 主设备和从设备及无线模块

PSoC Designer 支持 PSoC 1 器件的整个库，并可在 Windows XP、Windows Vista 和 Windows 7 操作系统上运行。

PSoC Designer 软件子系统

设计入口

在芯片级视图中，选择需要使用的基本器件。然后选择不同的板上模拟和数字组件。这些组件称为用户模块，并使用 PSoC 模块。用户模块示例包括 ADC、DAC、放大器和滤波器。为所选应用配置用户模块，将它们互连并连接到适当的引脚。然后生成您的项目。这样，可以在项目中加入 API 和库，从而能使用它们编程应用。

通过此工具，用户还可以轻松开发多个配置和动态重新配置。利用动态重新配置，可在运行时更改配置。实质上，通过动态重新配置，您可以为某个应用使用超过 100% 的 PSoC 资源。

代码生成工具

这些代码生成工具能够在 PSoC Designer 界面中无缝工作，并且已经采用了一整套调试工具进行测试。您可以使用 C 语言、汇编语言或两者进行设计开发。

汇编器。汇编器可使汇编代码与 C 语言代码无缝合并。链接库会自动使用绝对寻址，或在相对模式下进行编译，然后与其他软件模块链接，以实现绝对寻址。

C 语言编译器。C 语言编译器支持 PSoC 器件系列。使用这些产品，您可以为 PSoC 器件系列创建完整的 C 语言程序。优化的 C 语言编译器能够提供针对 PSoC 架构定制的所有 C 语言功能。此外，还提供了各个嵌入式库。这些库能够提供端口和总线操作、标准键盘和显示屏支持，以及扩展的数学功能。

调试器

PSoC Designer 所提供的调试环境具有硬件在线仿真功能，不但提供了 PSoC 器件的内部视图，而且您还可以在物理系统中测试程序。借助调试器命令，可对数据存储器进行读 / 编程和读 / 写操作，对 I/O 寄存器进行读 / 写操作。可对 CPU 寄存器进行读 / 写操作、设置和清除断点，以及提供程序运行、暂停和步进控制。调试器还可让您创建相关寄存器和存储器位置的跟踪缓冲区。

在线帮助系统

在线帮助系统可提供与上下文相关的在线帮助。每个功能子系统都有上下文关联的帮助，以便提供程式化的快速参考。在线帮助系统还提供相关教程以及指向常见问题和在线支持论坛的链接，以帮助设计人员。

在线仿真器

功能强大的低成本在线仿真器 (ICE) 可提供开发支持。该工具可以编程单个器件。

仿真器包含一个基本的装置，可通过 USB 端口连接到 PC。这个基本装置是通用的，它能够与所有的 PSoC 器件一起使用。您可以单独购买任意器件系列的仿真转接板。仿真转接板取代了目标电路板中的 PSoC 器件，并可执行全速 (24 MHz) 操作。

使用 PSoC Designer 进行设计

PSoC 器件的开发过程与传统的固定功能微处理器不同。可配置的模拟和数字硬件模块赋予了 PSoC 架构独特的灵活性，这样有助于在开发期间管理规范变更，并降低库存成本。这些可配置的资源（称为 PSoC 模块）能够实现众多可供用户选择的功能。PSoC 开发过程可概括为以下四个步骤：

1. 选择用户模块。
2. 配置用户模块。
3. 组织和连接。
4. 生成、验证和调试。

选择用户模块

PSoC Designer 提供了一个预建且预测试的硬件外设组件，称作“用户模块”。用户模块使外设器件（包括模拟和数字器件）的选择和实现变得更加简单。

配置用户模块

每个所选用户模块都能建立用于实现所选功能的基本寄存器设置。此外，它们还提供了各个参数和属性，使您能够针对特定应用自定义精确配置。例如，PWM 用户模块能够配置一个或多个数字 PSoC 模块（每个模块的分辨率均为 8 位）。借助用户模块参数，您可以确定脉冲宽度和占空比。请根据所选应用配置参数和属性。您可以直接输入某个值或从下拉菜单中选择。所有用户模块都记录在数据手册内，可在 PSoC Designer 中直接查看或在赛普拉斯网站上查看。这些[用户模块数据手册](#)介绍了用户模块的内部操作并提供了性能规范。每个数据手册都介绍了每个用户模块参数的使用，以及成功实现设计可能需要的其他信息。

组织和连接

您可以通过将用户模块互连并连接到 I/O 引脚来构建芯片级的信号链。通过选择、配置和布线操作，可完全控制所有的片上资源。

生成、验证和调试

当您准备测试硬件配置或需要开发项目代码时，请执行“生成配置文件”这一步骤。这会使 PSoC Designer 生成源代码，而源代码会自动按照您的规范配置器件，并为系统提供软件。所生成的代码提供了带有高级函数的应用编程接口（API），用于在运行时控制并响应硬件事件。同时，还提供了可根据需要进行调整的中断服务子程序。

完善的代码开发环境可让您使用 C 语言和 / 或汇编语言来开发和自定义应用程序。

开发过程的最后一步是在 PSoC Designer 的调试器（单击“Connect”（连接）图标访问）中完成的。PSoC Designer 会将 HEX 图像下载到 ICE 中并全速运行。PSoC Designer 的调试功能可以与成本比其高数倍的系统相媲美。除了传统的单步执行、运行到断点和监视变量功能外，调试接口还提供大型跟踪缓冲区，并允许您定义复杂的断点事件。这些事件包括监控地址和数据总线值、存储器位置和外部信号。

引脚信息

本节说明、列出并展示了 CY8C20234、CY8C20334、CY8C20434、CY8C20534 和 CY8C20634PSoC 器件的引脚和引脚分布。

CY8C20x34 PSoC 器件有多种封装可供选择，具体请参见后续表格。每个端口引脚（标志为“P”）都能用作数字 I/O，并可连接到通用模拟总线。但 V_{SS} 、 V_{DD} 和 XRES 不能用作数字 I/O。

8 引脚 SOIC 的引脚分布

图 3. CY8C20134-12SXI 8 引脚 SOIC 的引脚分布

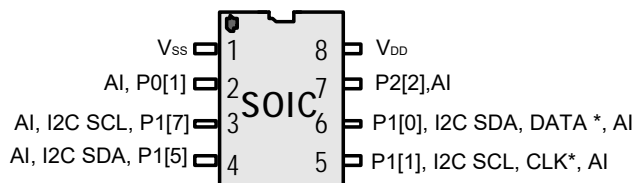


表 2. 引脚定义 — CY8C20134 8 引脚（SOIC）

引脚编号	数字	模拟	名称	说明
1	电源		V_{SS}	接地
2	I/O	I	P0[1]	模拟列复用器输入，集成输入
3	I/O	I	P1[7]	I2C 串行时钟（SCL）
4	I/O	I	P1[5]	I2C 串行数据（SDA）
5	I/O	I	P1[1]	I2C 串行时钟（SCL）、ISSP-SCLK
6	I/O	I	P1[0]	I2C 串行数据（SDA）、ISSP-SDATA
7	I/O	I	P2[2]	模拟列复用器输入
8	电源		V_{DD}	供电电压

A = 模拟，I = 输入，O = 输出，OH = 5 mA 高输出驱动。

16 引脚 SOIC 的引脚分布

图 4. CY8C20234-12SXI 16 引脚 SOIC 的引脚分布

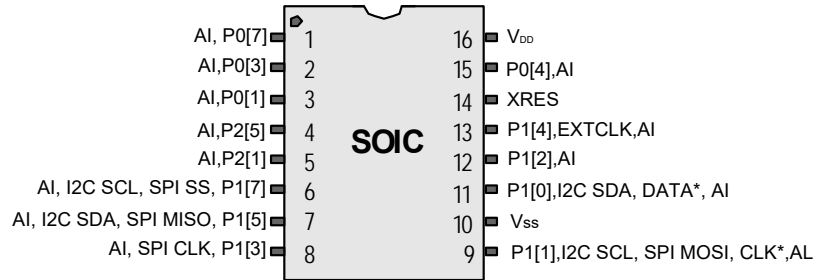


表 3. 引脚定义 — CY8C20234 16 引脚 (SOIC)

引脚编号	数字	模拟	名称	说明
1	I/O	I	P0[7]	模拟列复用器输入
2	I/O	I	P0[3]	模拟列复用器输入和列输入、集成输入
3	I/O	I	P0[1]	模拟列复用器输入，集成输入
4	I/O	I	P2[5]	模拟列复用器输入
5	I/O	I	P2[1]	模拟列复用器输入
6	I/O	I	P1[7]	I2C 串行时钟 (SCL)、SPI SS
7	I/O	I	P1[5]	I2C 串行数据 (SDA)、SPI MISO
8	I/O	I	P1[3]	模拟列复用器输入、SPI CLK
9	I/O	I	P1[1]	I2C 串行时钟 (SCL)、ISSP-SCLK、SPI MOSI
10	电源		V _{SS}	接地
11	I/O	I	P1[0]	I2C 串行数据 (SDA)、ISSP-SDATA
12	I/O	I	P1[2]	模拟列复用器输入
13	I/O	I	P1[4]	模拟列复用器输入，可选的外部时钟输入 (EXTCLK)
14	I/O	I	XRES	XRES
15	I/O	I	P0[4]	模拟列复用器输入
16	电源		V _{DD}	供电电压

A = 模拟，I = 输入，O = 输出，OH = 5 mA 高输出驱动。

48 引脚 OCD 部件的引脚分布

48 引脚 QFN 部件表和引脚图用于 CY8C20000 片上调试 (OCD) PSoC 器件。此部件仅用于进行在线调试。它不能用于生产。

图 5. CY8C20000 48 引脚 OCD PSoC 器件

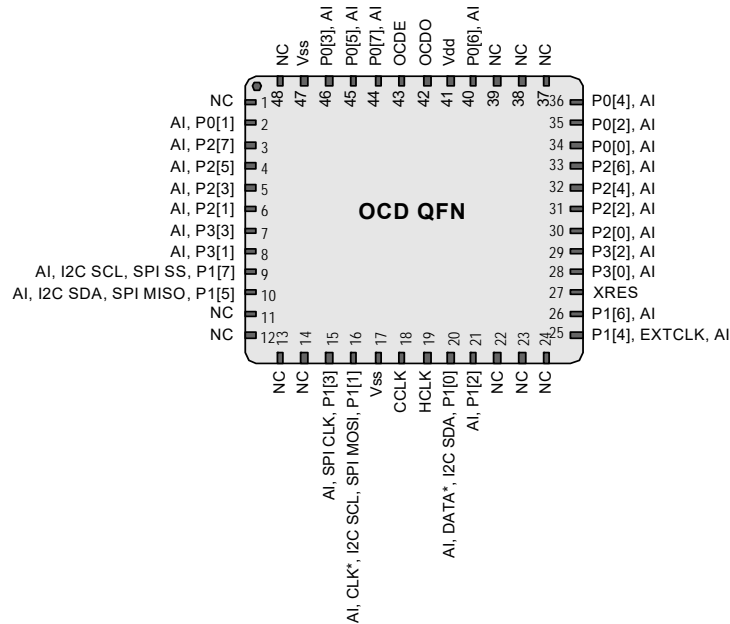


表 4. 引脚定义 — CY8C20000 48 引脚 OCD (QFN) [3]

引脚编号	数字	模拟	名称	说明
1			NC	无连接
2	I/O	I	P0[1]	
3	I/O	I	P2[7]	
4	I/O	I	P2[5]	
5	I/O	I	P2[3]	
6	I/O	I	P2[1]	
7	I/O	I	P3[3]	
8	I/O	I	P3[1]	
9	I _{OH}	I	P1[7]	I ² C SCL、SPI SS
10	I _{OH}	I	P1[5]	I ² C SDA、SPI MISO
11	I/O	I	P0[1]	
12			NC	无连接
13			NC	无连接
14			NC	无连接
15			NC	SPI CLK
16	I _{OH}	I	P1[3]	CLK ^[4] 、I ² C SCL、SPI MOSI
17	I _{OH}	I	P1[1]	接地

注释:

3. QFN 封装上的中心焊盘应接地 (V_{SS})，以获得最佳机械、热学和电气性能。如果未接地，它则处于电气悬空状态，而不能连接到任何其他信号。

4. 它们是 ISSP 引脚，在 POR（上电复位）时不处于高阻抗状态。有关详细信息，请参见《PSoC 技术参考手册》。

表 4. 引脚定义 — CY8C20000 48 引脚 OCD (QFN) [3] (续)

引脚编号	数字	模拟	名称	说明
18	电源		V _{SS}	OCD CPU 时钟输出
19			CCLK	OCD 高速时钟输出
20			HCLK	DATA ^[5] 、I ² C SDA
21	I _{OH}	I	P1[0]	
22	I _{OH}	I	P1[2]	无连接
23			NC	无连接
24			NC	无连接
25			NC	可选的外部时钟输入 (EXTCLK)
26	I _{OH}	I	P1[4]	
27	I _{OH}	I	P1[6]	采用内部下拉电阻的高电平有效外部复位
28	输入		XRES	
29	I/O	I	P3[0]	
30	I/O	I	P3[2]	
31	I/O	I	P2[0]	
32	I/O	I	P2[2]	
33	I/O	I	P2[4]	
34	I/O	I	P2[6]	
35	I/O	I	P0[0]	
36	I/O	I	P0[2]	
37			NC	无连接
38			NC	无连接
39			NC	无连接
40	I/O	I	P0[6]	模拟旁路
41	电源		V _{DD}	供电电压
42			OCDO	OCD 奇数据输出
43			OCDE	OCD 偶数据 I/O
44	I/O	I	P0[7]	
45	I/O	I	P0[5]	
46	I/O	I	P0[3]	集成输入
47	电源		V _{SS}	接地
48			NC	无连接
CP	电源		V _{SS}	中心焊盘接地

A = 模拟, I = 输入, O = 输出, NC = 无连接 H = 5 mA 高输出驱动。

注释:

- 它们是 ISSP 引脚, 在 POR (加电复位) 时不是 High Z 模式。有关详细信息, 请参见 [《PSoC 技术参考手册》](#)。

16 引脚部件的引脚分布

图 6. CY8C20234 16 引脚的 PSoC 器件

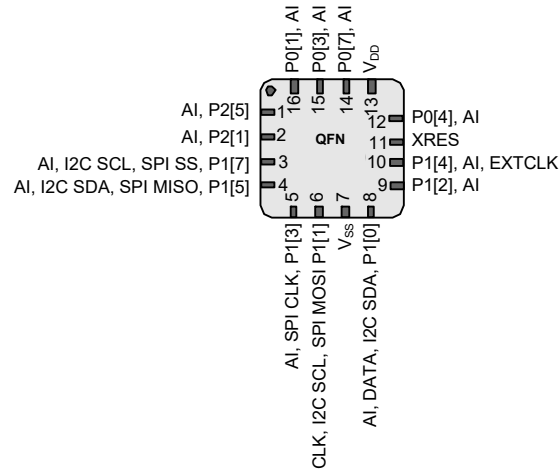


表 5. 引脚定义 — CY8C20234 16 引脚（QFN 无 e-pad）

引脚编号	类型		名称	说明
	数字	模拟		
1	I/O	I	P2[5]	
2	I/O	I	P2[1]	
3	I _{OH}	I	P1[7]	I ² C SCL、SPI SS
4	I _{OH}	I	P1[5]	I ² C SDA、SPI MISO
5	I _{OH}	I	P1[3]	SPI CLK
6	I _{OH}	I	P1[1]	CLK ^[6] 、I ² C SCL、SPI MOSI
7	电源		V _{SS}	接地
8	I _{OH}	I	P1[0]	DATA ^[6] 、I ² C SDA
9	I _{OH}	I	P1[2]	
10	I _{OH}	I	P1[4]	可选的外部时钟输入（EXTCLK）
11	输入		XRES	带有内部下拉电阻的高电平有效外部复位引脚
12	I/O	I	P0[4]	
13	电源		V _{DD}	供电电压
14	I/O	I	P0[7]	
15	I/O	I	P0[3]	集成输入
16	I/O	I	P0[1]	

A = 模拟，I = 输入，O = 输出，OH = 5 mA 高输出驱动

注释:

6. 它们是 ISSP 引脚，在 POR（上电复位）时不处于高阻抗状态。有关详细信息，请参见《PSoC 技术参考手册》。

24 引脚部件的引脚分布

图 7. CY8C20334 24 引脚 PSoc 器件

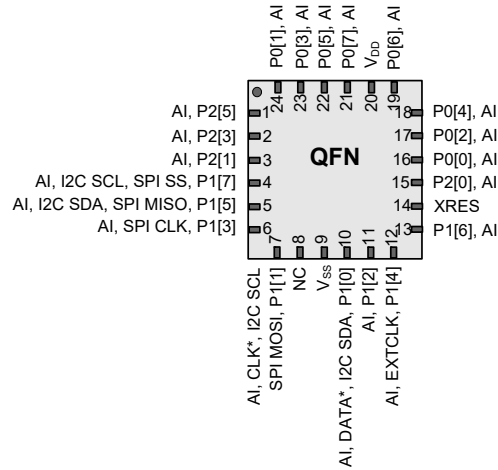


表 6. 引脚定义 — CY8C20334 24 引脚 (QFN) [7]

引脚编号	类型		名称	说明
	数字	模拟		
1	I/O	I	P2[5]	
2	I/O	I	P2[3]	
3	I/O	I	P2[1]	
4	I _{OH}	I	P1[7]	I ² C SCL、SPI SS
5	I _{OH}	I	P1[5]	I ² C SDA、SPI MISO
6	I _{OH}	I	P1[3]	SPI CLK
7	I _{OH}	I	P1[1]	CLK ^[8] 、I ² C SCL、SPI MOSI
8			NC	无连接
9	电源		V _{SS}	接地
10	I _{OH}	I	P1[0]	DATA ^[8] 、I ² C SDA
11	I _{OH}	I	P1[2]	
12	I _{OH}	I	P1[4]	可选的外部时钟输入 (EXTCLK)
13	I _{OH}	I	P1[6]	
14	输入		XRES	采用内部下拉电阻的高电平有效外部复位
15	I/O	I	P2[0]	
16	I/O	I	P0[0]	
17	I/O	I	P0[2]	
18	I/O	I	P0[4]	
19	I/O	I	P0[6]	模拟旁路
20	电源		V _{DD}	供电电压
21	I/O	I	P0[7]	
22	I/O	I	P0[5]	
23	I/O	I	P0[3]	集成输入
24	I/O	I	P0[1]	
CP	电源		V _{SS}	中心焊盘接地

A = 模拟、I = 输入、O = 输出、OH = 5 mA 高输出驱动

注释:

- QFN 封装上的中心焊盘应接地 (V_{SS})，以获得最佳机械、热学和电气性能。如果未接地，它则处于电气悬空状态，而不能连接到任何其他信号。
- 它们是 ISSP 引脚，在 POR (上电复位) 时不处于高阻抗状态。有关详细信息，请参见 [《PSoc 技术参考手册》](#)。

32 引脚部件的引脚分布

图 8. CY8C20434 32 引脚 PSoc 器件

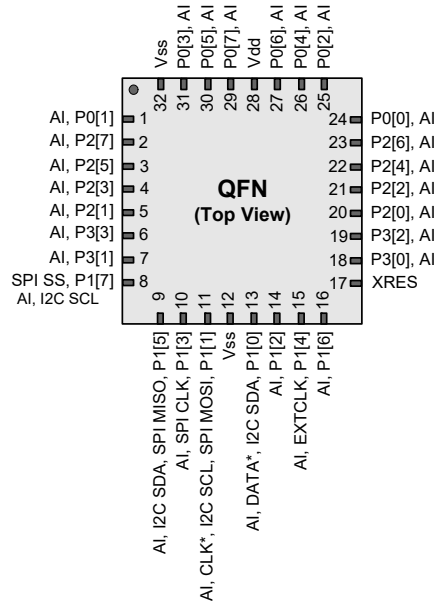


表 7. 引脚定义 — CY8C20434 32 引脚 (QFN) [9]

引脚编号	类型		名称	说明
	数字	模拟		
1	I/O	I	P0[1]	
2	I/O	I	P2[7]	
3	I/O	I	P2[5]	
4	I/O	I	P2[3]	
5	I/O	I	P2[1]	
6	I/O	I	P3[3]	
7	I/O	I	P3[1]	
8	I _{OH}	I	P1[7]	I ² C SCL、SPI SS
9	I _{OH}	I	P1[5]	I ² C SDA、SPI MISO
10	I _{OH}	I	P1[3]	SPI CLK
11	I _{OH}	I	P1[1]	CLK ^[10] 、I ² C SCL、SPI MOSI
12	电源		V _{SS}	接地 ^[11]
13	I _{OH}	I	P1[0]	DATA ^[10] 、I ² C SDA
14	I _{OH}	I	P1[2]	
15	I _{OH}	I	P1[4]	可选的外部时钟输入 (EXTCLK)
16	I _{OH}	I	P1[6]	
17	输入		XRES	带有内部下拉电阻的高电平有效外部复位引脚

注释:

9. QFN 封装上的中心焊盘应连接到接地 (V_{SS})，以获得最佳机械、热学和电气性能。如果未接地，它则处于电气悬空状态，而不能连接到任何其他信号。

10. 它们是 ISSP 引脚，在 POR (上电复位) 时不处于高阻抗状态。有关详细信息，请参见《PSoc 技术参考手册》。

11. 应将所有 V_{SS} 引脚连接到共同的 GND 接地层。

表 7. 引脚定义 — CY8C20434 32 引脚 (QFN) ^[9] (续)

引脚编号	类型		名称	说明
	数字	模拟		
18	I/O	I	P3[0]	
19	I/O	I	P3[2]	
20	I/O	I	P2[0]	
21	I/O	I	P2[2]	
22	I/O	I	P2[4]	
23	I/O	I	P2[6]	
24	I/O	I	P0[0]	
25	I/O	I	P0[2]	
26	I/O	I	P0[4]	
27	I/O	I	P0[6]	模拟旁路
28	电源		V _{DD}	供电电压
29	I/O	I	P0[7]	
30	I/O	I	P0[5]	
31	I/O	I	P0[3]	集成输入
32	电源		V _{SS}	接地 ^[12]
CP	电源		V _{SS}	中心焊盘接地

A = 模拟, I = 输入, O = 输出, OH = 5 mA 高输出驱动。

注释:

12. 应将所有 V_{SS} 引脚连接到共同的 GND 接地层。

28 引脚部件的引脚分布

图 9. CY8C20534 28 引脚 PSoc 器件

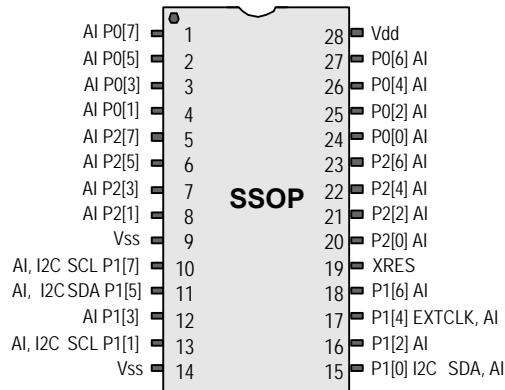


表 8. 引脚定义 — CY8C20534 28 引脚（SSOP）

引脚编号	类型		名称	说明
	数字	模拟		
1	I/O	I	P0[7]	模拟列复用器输入
2	I/O	I	P0[5]	模拟列复用器输入和列输出
3	I/O	I	P0[3]	模拟列复用器输入和列输出、集成输入
4	I/O	I	P0[1]	模拟列复用器输入、集成输入
5	I/O	I	P2[7]	
6	I/O	I	P2[5]	
7	I/O	I	P2[3]	直接开关电容模块输入
8	I/O	I	P2[1]	直接开关电容模块输入
9	电源		V _{SS}	接地 [13]
10	I/O	I	P1[7]	I2C 串行时钟（SCL）
11	I/O	I	P1[5]	I2C 串行数据（SDA）
12	I/O	I	P1[3]	
13	I/O	I	P1[1]	I2C 串行时钟（SCL）， ISSP-SCLK ^[14]
14	电源		V _{SS}	接地
15	I/O	I	P1[0]	I2C 串行数据（SDA）， ISSP-SDATA ^[14]
16	I/O	I	P1[2]	
17	I/O	I	P1[4]	可选的外部时钟输入（EXTCLK）
18	I/O	I	P1[6]	
19	输入		XRES	使用内部下拉电阻的高电平有效外部复位
20	I/O	I	P2[0]	直接开关电容模块输入
21	I/O	I	P2[2]	直接开关电容模块输入
22	I/O	I	P2[4]	
23	I/O	I	P2[6]	
24	I/O	I	P0[0]	模拟列复用器输入
25	I/O	I	P0[2]	模拟列复用器输入
26	I/O	I	P0[4]	模拟列复用器输入
27	I/O	I	P0[6]	模拟列复用器输入
28	电源		V _{DD}	供电电压

A = 模拟，I = 输入，O = 输出，OH = 5 mA 高输出驱动。

注释：

13. 应将所有 V_{SS} 引脚连接到共同的 GND 地层。

14. 它们是 ISSP 引脚，在 POR（加电复位）时不是 High Z 模式。有关详细信息，请参见《PSoc 技术参考手册》。

30 球型焊盘器件的引脚分布

图 10. CY8C20634 30 球型焊盘 PSoc 器件

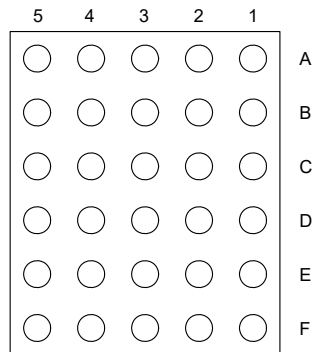


表 9. 30 球型焊盘器件的引脚分布 (WLCSP)

引脚编号	类型		名称	说明
	数字	模拟		
A1	电源		V _{DD}	供电电压
A2	I/O	I	P0[6]	模拟旁路
A3	I/O	I	P0[4]	
A4	I/O	I	P0[3]	集成输入
A5	I/O	I	P2[7]	
B1	I/O	I	P0[2]	
B2	I/O	I	P0[0]	
B3	I/O	I	P2[6]	
B4	I/O	I	P0[5]	
B5	I/O	I	P0[1]	
C1	I/O	I	P2[4]	
C2	I/O	I	P2[2]	
C3	I/O	I	P3[1]	
C4	I/O	I	P0[7]	
C5	I/O	I	P2[1]	
D1	I/O	I	P2[0]	
D2	I/O	I	P3[0]	
D3	I/O	I	P3[2]	
D4	I _{OH}	I	P1[1]	CLK ^[15] 、I ² C SCL、SPI MOSI
D5	I/O	I	P2[3]	
E1	输入		XRES	带有内部下拉电阻的高电平有效外部复位
E2	I _{OH}	I	P1[6]	
E3	I _{OH}	I	P1[4]	可选的外部时钟输入 (EXTCLK)
E4	I _{OH}	I	P1[5]	I ² C SDA、SPI MISO
E5	I/O	I	P2[5]	
F1	电源		V _{SS}	接地 ^[16]
F2	I _{OH}	I	P1[2]	
F3	I _{OH}	I	P1[0]	DATA ^[15] 、I ² C SDA
F4	I _{OH}	I	P1[3]	SPI CLK
F5	I _{OH}	I	P1[7]	I ² C SCL、SPI SS

A = 模拟, I = 输入, O = 输出, OH = 5 mA 高输出驱动。

注释:

15. 它们是 ISSP 引脚, 在 POR (加电复位) 时不是 High Z 模式。有关详细信息, 请参见 《PSoc 技术参考手册》。

16. 应将所有 V_{SS} 引脚连接到共同的 GND 地层。

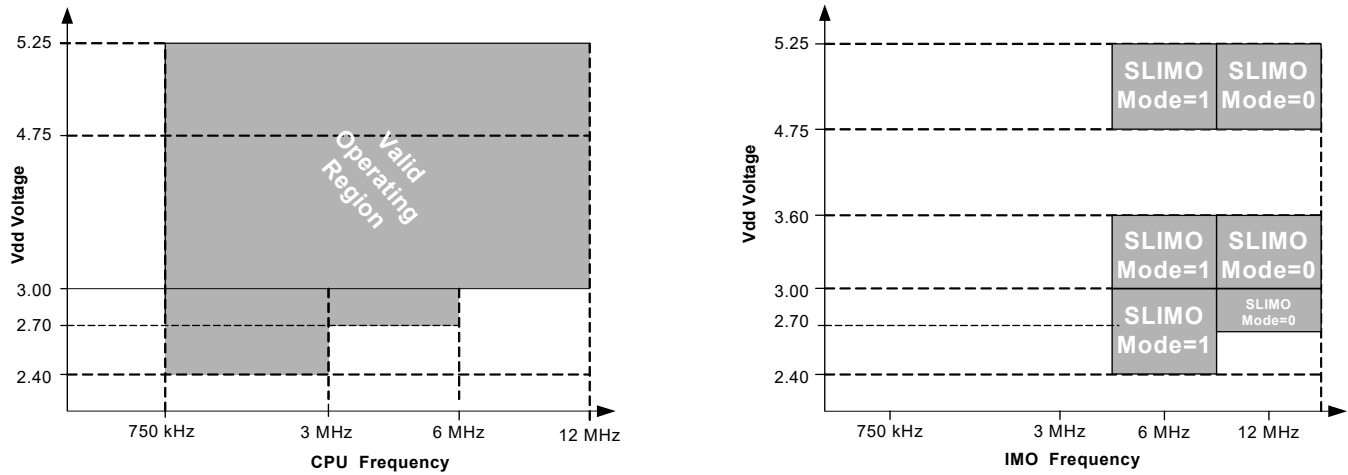
电气规范

本节介绍 CY8C20234、CY8C20334、CY8C20434、CY8C20534 和 CY8C20634PSoC 器件的直流和交流电气规范。有关最新的电气规范，请访问网址 <http://www.cypress.com> 查看最新的数据手册。

除非另有说明，否则这些规范的适用条件是 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 且 $T_J \leq 100^{\circ}\text{C}$ 。

有关使用 SLIMO 模式的内部主振荡器（IMO）上的电气规范，请参见第 25 页上的表 19。

图 11. 电压与 CPU 频率和 IMO 频率调整选项



最大绝对额定值

表 10. 最大绝对额定值

符号	说明	最小值	典型值	最大值	单位	注释
T_{STG}	存放温度	-55	25	+100	$^{\circ}\text{C}$	存储温度越高，数据保留时间就越短。推荐的存放温度为 $+25^{\circ}\text{C} \pm 25^{\circ}\text{C}$ 。存放温度长期保持在 65°C 以上会降低可靠性。
T_{BAKETEMP}	烘烤温度	—	125	请参见封装标签	$^{\circ}\text{C}$	
t_{BAKETIME}	烘烤时间	请参见封装标签	—	72	小时	
T_A	上电时的环境温度	-40	—	+85	$^{\circ}\text{C}$	
V_{DD}	相对于 V_{SS} 的 V_{DD} 供电电压	-0.5	—	+6.0	V	
V_{IO}	直流输入电压	$V_{\text{SS}} - 0.5$	—	$V_{\text{DD}} + 0.5$	V	
V_{IOZ}	三态下的直流电压	$V_{\text{SS}} - 0.5$	—	$V_{\text{DD}} + 0.5$	V	
I_{MIO}	任意端口引脚上的最大输入电流	-25	—	+50	mA	
ESD	静电放电电压	2000	—	—	V	人体模型 ESD。
LU	闩锁电流	—	—	200	mA	

工作温度

表 11. 工作温度

符号	说明	最小值	典型值	最大值	单位	注释
T_A	环境温度	-40	—	+85	°C	
T_J	结温	-40	—	+100	°C	从环境温度到结温的温度升高情况因封装不同而有所变化。请参见第 23 页上的表 16。用户必须限制功耗，以满足该要求。

直流电气特性

直流芯片级规范

表 12 分别列出了以下电压和温度范围内允许的最大和最小规范：4.75 V 至 5.25 V 和 $-40\text{ °C} \leq T_A \leq 85\text{ °C}$ 、3.0 V 至 3.6 V 和 $-40\text{ °C} \leq T_A \leq 85\text{ °C}$ 或 2.4 V 至 3.0 V 和 $-40\text{ °C} \leq T_A \leq 85\text{ °C}$ 。典型参数适用于 25 °C 且电压为 5 V、3.3 V 或 2.7 V 的情况。这些参数仅供设计指导之用。

表 12. 直流芯片级规范

符号	说明	最小值	典型值	最大值	单位	注释
V_{DD}	供电电压	2.40	—	5.25	V	请参见第 23 页上的表 16。
I_{DD12}	供电电流，IMO = 12 MHz	—	1.5	2.5	mA	条件是 $V_{DD} = 3.0\text{ V}$ 、 $T_A = 25\text{ °C}$ 、CPU = 12 MHz。
I_{DD6}	供电电流，IMO = 6 MHz	—	1	1.5	mA	条件是 $V_{DD} = 3.0\text{ V}$ 、 $T_A = 25\text{ °C}$ 、CPU = 6 MHz
I_{SB27}	使用 POR、LVD、睡眠定时器、WDT 和内部慢速振荡器时的睡眠（模式）电流。中等温度范围。	—	2.6	4	μA	$V_{DD} = 2.55\text{ V}$ 、 $0\text{ °C} \leq T_A \leq 40\text{ °C}$
I_{SB}	使用 POR、LVD、睡眠定时器、WDT 和内部慢速振荡器时的睡眠（模式）电流。	—	2.8	5	μA	$V_{DD} = 3.3\text{ V}$ 、 $-40\text{ °C} \leq T_A \leq 85\text{ °C}$

直流 GPIO 规范

除非另有说明，表 13 分别列出了以下电压和温度范围内允许的最大和最小规范：4.75 V 至 5.25 V 和 $-40\text{ °C} \leq T_A \leq 85\text{ °C}$ 、3.0 V 至 3.6 V 和 $-40\text{ °C} \leq T_A \leq 85\text{ °C}$ 或表 14 2.4 V 至 3.0 V 和 $-40\text{ °C} \leq T_A \leq 85\text{ °C}$ 。典型参数适用于 25 °C 且电压为 5 V、3.3 V 或 2.7 V 的情况。这些参数仅供设计指导之用。

表 13. 5 V 和 3.3 V 直流 GPIO 规范

符号	说明	最小值	典型值	最大值	单位	注释
R_{PU}	上拉电阻	4	5.6	8	kΩ	
V_{OH1}	输出高电平电压 端口 0、2 或 3 引脚	$V_{DD} - 0.2$	—	—	V	$I_{OH} \leq 10\text{ μA}$ ， $V_{DD} \geq 3.0\text{ V}$ ，所有 I/O 的最大拉电流为 20 mA。
V_{OH2}	输出高电平电压 端口 0、2 或 3 引脚	$V_{DD} - 0.9$	—	—	V	$I_{OH} = 1\text{ mA}$ ， $V_{DD} \geq 3.0\text{ V}$ ，所有 I/O 的最大拉电流为 20 mA。
V_{OH3}	输出高电平电压 端口 1 引脚，已禁用 LDO 电压调节器	$V_{DD} - 0.2$	—	—	V	$I_{OH} < 10\text{ μA}$ ， $V_{DD} \geq 3.0\text{ V}$ ，所有 I/O 的最大拉电流为 10 mA。
V_{OH4}	输出高电平电压 端口 1 引脚，已禁用 LDO 电压调节器	$V_{DD} - 0.9$	—	—	V	$I_{OH} = 5\text{ mA}$ ， $V_{DD} \geq 3.0\text{ V}$ ，所有 I/O 的最大拉电流为 20 mA。
V_{OH5}	输出高电平电压 端口 1 引脚，已启用 3.0 V LDO 电压调节器	2.7	3.0	3.3	V	$I_{OH} < 10\text{ μA}$ ， $V_{DD} \geq 3.1\text{ V}$ ，最多 4 个 I/O，每个 I/O 的拉电流均为 5 mA。
V_{OH6}	输出高电平电压 端口 1 引脚，已启用 3.0 V LDO 电压调节器	2.2	—	—	V	$I_{OH} = 5\text{ mA}$ ， $V_{DD} \geq 3.1\text{ V}$ ，所有 I/O 的最大拉电流为 20 mA。
V_{OH7}	输出高电平电压 端口 1 引脚，已启用 2.4 V LDO 电压调节器	2.1	2.4	2.7	V	$I_{OH} < 10\text{ μA}$ ， $V_{DD} \geq 3.0\text{ V}$ ，所有 I/O 的最大拉电流为 20 mA。

表 13. 5 V 和 3.3 V 直流 GPIO 规范 (续)

符号	说明	最小值	典型值	最大值	单位	注释
V_{OH8}	输出高电平电压 端口 1 引脚, 已启用 2.4 V LDO 电压调节器	2.0	—	—	V	$I_{OH} < 200 \mu A$, $V_{DD} \geq 3.0 V$, 所有 I/O 的最大拉电流为 20 mA。
V_{OH9}	输出高电平电压 端口 1 引脚, 已启用 1.8 V LDO 电压调节器	1.6	1.8	2.0	V	$I_{OH} < 10 \mu A$ $3.0 V \leq V_{DD} \leq 3.6 V$ $0^\circ C \leq T_A \leq 85^\circ C$ 所有 I/O 的最大拉电流为 20 mA。
V_{OH10}	输出高电平电压 端口 1 引脚, 已启用 1.8 V LDO 电压调节器	1.5	—	—	V	$I_{OH} < 100 \mu A$. $3.0 V \leq V_{DD} \leq 3.6 V$. $0^\circ C \leq T_A \leq 85^\circ C$. 所有 I/O 的最大拉电流为 20 mA
V_{OL}	输出低电平电压	—	—	0.75	V	$I_{OL} = 20 mA$, $V_{DD} > 3.0 V$, 在偶数 端口引脚 (例如 P0[2] 和 P1[4]) 上 时最大灌电流为 60 mA, 在奇数端 口引脚 (例如 P0[3] 和 P1[5]) 上时 最大灌电流为 60 mA。
I_{OH}	高电平拉电流	—	—	20	mA	$V_{OH} = V_{DD} - 0.9$. 请参见 V_{OH} 备注 内容中的总电流限制。
I_{OH2}	高电平拉电流端口 0、2 或 3 的引脚	1	—	—	mA	$V_{OH} = V_{DD} - 0.9$, 有关在其他 V_{OH} 电平时的总电流和 I_{OH} 的限制, 请参 见 V_{OH} 备注内容。
I_{OH4}	高电平拉电流端口 1 引脚, 已禁用 LDO 电压 调节器	5	—	—	mA	$V_{OH} = V_{DD} - 0.9$, 有关在其他 V_{OH} 电平时的总电流和 I_{OH} 的限制, 请参 见 V_{OH} 备注内容。
I_{OL}	低电平灌电流	20	—	—	mA	$V_{OL} = 0.75 V$, 请参见 V_{OL} 备注内容 中的总电流限制
V_{IL}	输入低电平电压	—	—	0.8	V	$3.6 V \leq V_{DD} \leq 5.25 V$
V_{IH}	输入高电平电压	2.0	—	—	V	$3.6 V \leq V_{DD} \leq 5.25 V$
V_H	输入迟滞电压	—	140	—	mV	
I_{IL}	输入漏电流 (绝对值)	—	1	—	nA	粗略测试结果为 1 μA
C_{IN}	输入引脚上的电容负载	0.5	1.7	5	pF	取决于封装和引脚, 温度 = 25 $^\circ C$
C_{OUT}	输出引脚上的电容负载	0.5	1.7	5	pF	取决于封装和引脚, 温度 = 25 $^\circ C$

表 14. 2.7 V 直流 GPIO 规范

符号	说明	最小值	典型值	最大值	单位	注释
R_{PU}	上拉电阻	4	5.6	8	k Ω	
V_{OH1}	输出高电平电压 端口 1 引脚, 已禁用 LDO 电压调节器	$V_{DD} - 0.2$	—	—	V	$I_{OH} < 10 \mu A$, 所有 I/O 的最大拉电流为 10 mA。
V_{OH2}	输出高电平电压 端口 1 引脚, 已禁用 LDO 电压调节器	$V_{DD} - 0.5$	—	—	V	$I_{OH} = 2 \text{ mA}$, 所有 I/O 的最大拉电流为 10 mA。
V_{OL}	输出低电平电压	—	—	0.75	V	$I_{OL} = 10 \text{ mA}$, 在偶数端口引脚 (例如 P0[2] 和 P1[4]) 上时最大灌电流为 30 mA, 在奇数端口引脚 (例如 P0[3] 和 P1[5]) 上时最大灌电流为 30 mA。
I_{OH2}	高电平源电流端口 1 引脚, 已禁用 LDO 电压调节器	2	—	—	mA	$V_{OH} = V_{DD} - 0.5$, 有关在其他 V_{OH} 电平时的总电流和 I_{OH} , 请参见 V_{OH} 的备注内容。
I_{OL}	低电平灌电流	10	—	—	mA	$V_{OH} = .75 \text{ V}$, 请参见 V_{OL} 备注内容中的总电流限制
V_{OLP1}	低电平输出电压端口 1 的引脚	—	—	0.4	V	$I_{OL} = 5 \text{ mA}$ 在偶数端口引脚 (例如 P0[2] 和 P3[4]) 上时最大灌电流为 50 mA, 在奇数端口引脚 (例如 P0[3] 和 P2[5]) 上时最大灌电流为 50 mA。 $2.4 \text{ V} \leq V_{DD} < 3.6 \text{ V}$
V_{IL}	输入低电平电压	—	—	0.75	V	$2.4 \text{ V} \leq V_{DD} < 3.6 \text{ V}$
V_{IH1}	输入高电平电压	1.4	—	—	V	$2.4 \text{ V} \leq V_{DD} < 2.7 \text{ V}$
V_{IH2}	输入高电平电压	1.6	—	—	V	$2.7 \text{ V} \leq V_{DD} < 3.6 \text{ V}$
V_H	输入迟滞电压	—	60	—	mV	
I_{IL}	输入漏电流 (绝对值)	—	1	—	nA	粗略测试结果为 1 μA
C_{IN}	输入引脚上的电容负载	0.5	1.7	5	pF	取决于封装和引脚, 温度 = 25 °C
C_{OUT}	输出引脚上的电容负载	0.5	1.7	5	pF	取决于封装和引脚, 温度 = 25 °C

直流模拟复用器总线规范

表 15 分别列出了以下电压和温度范围内允许的最大和最小规范: 4.75 V 至 5.25 V 和 $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$ 、3.0 V 至 3.6 V 和 $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$ 或 2.4 V 至 3.0 V 和 $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$ 。典型参数适用于 25 °C 且电压为 5 V、3.3 V 或 2.7 V 的情况。这些参数仅供设计指导之用。

表 15. 直流模拟复用器总线规范

符号	说明	最小值	典型值	最大值	单位	注释
R_{SW}	连接通用模拟总线的开关电阻	—	—	400 800	Ω Ω	$V_{DD} \geq 2.7 \text{ V}$ $2.4 \text{ V} \leq V_{DD} \leq 2.7 \text{ V}$

直流 POR 和 LVD 规范

表 16 分别列出了以下电压和温度范围内允许的最大和最小规范：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 或 2.4 V 至 3.0 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。

典型参数适用于 25 °C 且电压为 5 V、3.3 V 或 2.7 V 的情况。这些参数仅供设计指导之用。

表 16. 直流 POR 和 LVD 规范

符号	说明	最小值	典型值	最大值	单位	注释
V_{PPOR0}	激发 PPOR 的 V_{DD} 值 PORLEV[1:0] = 00b	—	2.36	2.40	V	在启动、从 XRES 引脚复位或从看门狗定时器复位期间， V_{DD} 大于或等于 2.5 V。
V_{PPOR1}	PORLEV[1:0] = 01b	—	2.60	2.65	V	
V_{PPOR2}	PORLEV[1:0] = 10b	—	2.82	2.95	V	
V_{LVD0}	激发 LVD 的 V_{DD} 值 VM[2:0] = 000b	2.39	2.45	2.51 ^[17]	V	
V_{LVD1}	VM[2:0] = 001b	2.54	2.71	2.78 ^[18]	V	
V_{LVD2}	VM[2:0] = 010b	2.75	2.92	2.99 ^[19]	V	
V_{LVD3}	VM[2:0] = 011b	2.85	3.02	3.09	V	
V_{LVD4}	VM[2:0] = 100b	2.96	3.13	3.20	V	
V_{LVD5}	VM[2:0] = 101b	—	—	—	V	
V_{LVD6}	VM[2:0] = 110b	—	—	—	V	
V_{LVD7}	VM[2:0] = 111b	4.52	4.73	4.83	V	

注释:

17. 对于下降电源，始终比 V_{PPOR} (PORLEV = 00) 高 50 mV。
18. 对于下降供电，始终比 V_{PPOR} (PORLEV = 01) 高 50 mV。
19. 对于下降供电，始终比 V_{PPOR} (PORLEV = 10) 高 50 mV。

直流编程规范

表 17 分别列出了以下电压和温度范围内允许的最大和最小规范：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 或 2.4 V 至 3.0 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V、3.3 V 或 2.7 V 的情况，这些参数仅供设计指导之用。使用 EEPROM 用户模块时，在进行闪存写操作期间，闪存耐久性和保留规范仅有效于温度为 $25^{\circ}\text{C} \pm 20^{\circ}\text{C}$ 的条件。有关超出 $25^{\circ}\text{C} \pm 20^{\circ}\text{C}$ 温度范围时的 EEPROM 闪存写入要求，请参考 EEPROM 用户模块数据手册说明。

表 17. 直流编程规范

符号	说明	最小值	典型值	最大值	单位	注释
V_{DDP}	用于编程和擦除的 V_{DD}	4.5	5	5.5	V	该规范适用于外部编程工具的功能要求
$V_{DDL V}$	进行验证时使用的低电平 V_{DD}	2.4	2.5	2.6	V	该规范适用于外部编程工具的功能要求
$V_{DDH V}$	进行验证时使用的高电平 V_{DD}	5.1	5.2	5.3	V	该规范适用于外部编程工具的功能要求
$V_{DDIWRITE}$	用于进行闪存写入操作时的供电电压	2.7	—	5.25	V	该规范适用于器件的内部闪存写入操作
I_{DDP}	编程或验证期间使用的供电电流	—	5	25	mA	
V_{ILP}	编程或验证期间输入的低电平电压	—	—	0.8	V	
V_{IHP}	编程或验证期间输入的高电平电压	2.2	—	—	V	
I_{ILP}	编程或验证期间为 P1[0] 或 P1[1] 施加 V_{ILP} 电压时的输入电流	—	—	0.2	mA	驱动内部下拉电阻。
I_{IHP}	编程或验证期间为 P1[0] 或 P1[1] 施加 V_{IHP} 电压时的输入电流	—	—	1.5	mA	驱动内部下拉电阻。
V_{OLV}	编程或验证期间输出的低电平电压	—	—	$V_{SS} + 0.75$	V	
V_{OHV}	编程或验证期间输出的高电平电压	$V_{DD} - 1.0$	—	V_{DD}	V	
Flash _{ENPB}	闪存耐久性（每一模块）	50,000 ^[21]	—	—	—	每个模块的擦 / 写次数。
Flash _{ENT}	闪存擦写总数 ^[20]	1,800,000	—	—	—	擦除 / 写周期次数。
Flash _{DR}	闪存数据保持时间	10	—	—	年	

注释：

20. 允许的最高模块耐久性擦 / 写循环为 $36 \times 50,000$ 次。这可以在使用 36×1 个区块（每个区块最多 50,000 次擦 / 写循环）、 36×2 个区块（每个区块最多 25,000 次擦 / 写循环）或 36×4 个区块（每个区块最多 12,500 次擦 / 写循环）之间进行平衡（将总擦 / 写循环次数限制为 $36 \times 50,000$ 次，而且单个区块的擦 / 写循环次数不超过 50,000 次）。
21. 仅当闪存存在一个电压范围内工作时，才能保证每个模块 50,000 次擦 / 写循环的闪存耐久性。电压范围为 2.4 V 到 3.0 V、3.0 V 到 3.6 V 和 4.75 V 到 5.25 V。

I²C 直流规范

表 18 分别列出了以下电压和温度范围内允许的最大和最小规范：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 或 2.4 V 至 3.0 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V、3.3 V 或 2.7 V 的情况，这些参数仅供设计指导之用。使用 EEPROM 用户模块时，在进行闪存写操作期间，闪存耐久性和保留规范仅有效于温度为 $25^{\circ}\text{C} \pm 20^{\circ}\text{C}$ 的条件。有关超出 $25^{\circ}\text{C} \pm 20^{\circ}\text{C}$ 温度范围时的 EEPROM 闪存写入要求，请参考 EEPROM 用户模块数据表说明。

表 18. 直流 I²C 规范 [22]

符号	说明	最小值	典型值	最大值	单位	注释
V _{IL} I ² C	输入低电平电压	—	—	$0.3 \times V_{DD}$	V	$2.4\text{ V} \leq V_{DD} \leq 3.6\text{ V}$
		—	—	$0.25 \times V_{DD}$	V	$4.75\text{ V} \leq V_{DD} \leq 5.25\text{ V}$
V _{IH} I ² C	输入高电平电压	$0.7 \times V_{DD}$	—	—	V	$2.4\text{ V} \leq V_{DD} \leq 5.25\text{ V}$

交流电气特性

交流芯片级规范

表 19、表 20、和表 21 分别列出了以下电压和温度范围内允许的最大和最小规范：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ，或 2.4 V 至 3.0 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V、3.3 V 或 2.7 V 的情况，这些参数仅供设计指导之用。

表 19. 5 V 和 3.3 V 交流芯片级规范

符号	说明	最小值	典型值	最大值	单位	注释
F _{CPU1}	CPU 频率（3.3 V 额定值）	0.75	—	12.6	MHz	等于 12 MHz 时，仅用于 SLIMO 模式 = 0。
F _{32K1}	内部低速振荡器频率	15	32	64	kHz	
F _{32K_U}	内部低速振荡器（ILO）未调整频率	5	—	100	kHz	在复位之后以及 M8C 开始运行之前，未对 ILO 进行调整。有关该调整的详细信息，请参见《PSoC 技术参考手册》中的“系统复位”一节。
F _{IMO12}	12 MHz （商业级温度）时的内部主振荡器稳定性 [23]	11.4	12	12.6	MHz	已使用出厂预设值对 3.3 V 工作电压进行调整。请参见第 19 页上的图 11，SLIMO 模式 = 0。
F _{IMO6}	6 MHz （商业级温度）时的内部主振荡器稳定性	5.5	6.0	6.5	MHz	已使用出厂预设值对 3.3 V 工作电压进行调整。请参见第 19 页上的图 11，SLIMO 模式 = 1。
DC _{IMO}	IMO 的占空比	40	50	60	%	
DC _{ILO}	内部低速振荡器占空比	20	50	80	%	
t _{XRST}	外部复位脉冲宽度	10	—	—	μs	
t _{POWERUP}	从上电复位结束到 CPU 执行代码时的时间	—	16	100	ms	从 0 V 开始加电。请参见《PSoC 技术参考手册》的“系统复位”一节。
SR _{POWER_UP}	电源转换速率	—	—	250	V/ms	
t _{jitter} IMO [24]	12 MHz IMO 周期期间抖动（RMS）	—	200	1600	ps	
	12 MHz IMO 长期 N 周期期间抖动（RMS）	—	600	1400	ps	N = 32
	12 MHz IMO 周期抖动（RMS）	—	100	900	ps	

注释：

22. 所有 GPIO 均符合直流 GPIO 规范章节中的直流 GPIO V_{IL} 和 V_{IH} 规范。I²C GPIO 引脚也符合以上规范。

23. 0 到 70 °C 环境温度，V_{DD} = 3.3 V。

24. 更多信息，请访问网址 <http://www.cypress.com> 查看《赛普拉斯抖动规范应用笔记 - AN5054》。

表 20. 2.7 V 交流芯片级规范

符号	说明	最小值	典型值	最大值	单位	注释
F _{CPU1}	CPU 频率 (2.7 V 额定值)	0.75	—	3.25	MHz	SLIMO 模式 = 0
F _{32K1}	内部低速振荡器频率	8	32	96	kHz	
F _{32K_U}	内部低速振荡器 (ILO) 未调整频率	5	—	100	kHz	在复位之后以及 M8C 开始运行之前, 未对 ILO 进行调整。有关该调整的详细信息, 请参见《PSoC 技术参考手册》中的“系统复位”一节。
F _{IMO12}	12 MHz (商业级温度) 时的 IMO 稳定性 [25]	11.0	12	12.9	MHz	已使用出厂预设值对 2.7 V 工作电压进行调整。请参见第 19 页上的图 11, SLIMO 模式 = 0。
F _{IMO6}	6 MHz (商业级温度) 时的 IMO 稳定性	5.5	6.0	6.5	MHz	已使用出厂预设值对 2.7 V 工作电压进行调整。请参见第 19 页上的图 11, SLIMO 模式 = 1。
DC _{IMO}	IMO 的占空比	40	50	60	%	
DC _{ILO}	内部低速振荡器占空比	20	50	80	%	
t _{XRST}	外部复位脉冲宽度	10	—	—	μs	
t _{POWERUP}	从上电复位结束到 CPU 执行代码时的时间	—	16	100	ms	从 0 V 开始上电。请参见 PSoC 技术参考手册的“系统复位”一节。
SR _{POWER_UP}	电源转换速率	—	—	250	V/ms	
t _{JIT_IMO} [26]	12 MHz IMO 周期抖动 (RMS)	—	500	900	ps	
	12 MHz IMO 长期 N 周期抖动 (RMS)	—	800	1400	ps	N = 32
	12 MHz IMO 周期抖动 (RMS)	—	300	500	ps	

注释:

 25.0 °C 到 70 °C 环境温度, V_{DD} = 3.3 V。

 26. 更多信息, 请访问网址 <http://www.cypress.com> 查看《赛普拉斯抖动规范应用笔记 - AN5054》。

交流 GPIO 规范

表 21 和表 22 分别列出了以下电压和温度范围内允许的最大和最小规范：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 或 2.4 V 至 3.0 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25 °C 且电压为 5 V、3.3 V 或 2.7 V 的情况，这些参数仅供设计指导之用。

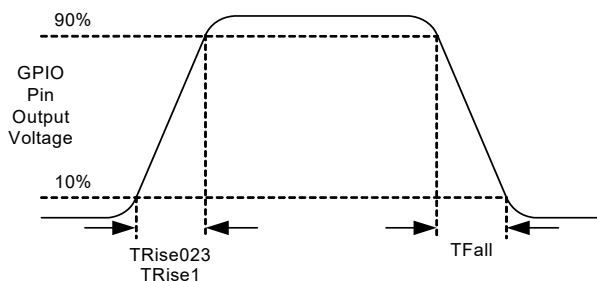
表 21. 5 V 和 3.3 V 交流 GPIO 规范

符号	说明	最小值	典型值	最大值	单位	注释
F_{GPIO}	GPIO 工作频率	0	—	6	MHz	常规强驱动模式，端口 1。
t_{RISE023}	上升时间，强驱动模式，Cload = 50 pF 端口 0、2、3	15	—	80	ns	$V_{\text{DD}} = 3.0$ 至 3.6 V 和 4.75 V 至 5.25 V，10% 至 90%
t_{RISE1}	上升时间，强驱动模式，Cload = 50 pF 端口 1	10	—	50	ns	$V_{\text{DD}} = 3.0$ V 至 3.6 V，10% 至 90%
t_{FALL}	下降时间，强驱动模式，Cload = 50 pF 所有端口	10	—	50	ns	$V_{\text{DD}} = 3.0$ V 至 3.6 V 和 4.75 V 至 5.25 V，10% 到 90%

表 22. 2.7 V 交流 GPIO 规范

符号	说明	最小值	典型值	最大值	单位	注释
F_{GPIO}	GPIO 工作频率	0	—	1.5	MHz	常规强驱动模式，端口 1。
t_{RISE023}	上升时间，强驱动模式，Cload = 50 pF 端口 0、2、3	15	—	100	ns	$V_{\text{DD}} = 2.4$ V 至 3.0 V，10% 至 90%
t_{RISE1}	上升时间，强驱动模式，Cload = 50 pF 端口 1	10	—	70	ns	$V_{\text{DD}} = 2.4$ V 至 3.0 V，10% 至 90%
t_{FALL}	下降时间，强驱动模式，Cload = 50 pF 所有端口	10	—	70	ns	$V_{\text{DD}} = 2.4$ V 至 3.0 V，10% 至 90%

图 12. GPIO 时序图



交流比较器规范

表 23 分别列出了以下电压和温度范围内允许的最大和最小规范：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 或 2.4 V 至 3.0 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25 °C 且电压为 5 V、3.3 V 或 2.7 V 的情况。这些参数仅供设计指导之用。

表 23. 交流比较器规范

符号	说明	最小值	典型值	最大值	单位	注释
t_{COMP}	比较器响应时间，50 mV 过驱动	—	—	100 200	ns ns	$V_{\text{DD}} \geq 3.0$ V. $2.4 \text{ V} < V_{\text{CC}} < 3.0 \text{ V}$ 。

交流外部时钟规范

表 24、表 25、表 26 和表 27 分别列出了以下电压和温度范围内允许的最大和最小规范：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 或 2.4 V 至 3.0 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25 °C 且电压为 5 V、3.3 V 或 2.7 V 的情况。这些参数仅供设计指导之用。

表 24. 5 V 交流外部时钟规范

符号	说明	最小值	典型值	最大值	单位	注释
F _{OSCEXT}	频率	0.750	—	12.6	MHz	
—	高周期	38	—	5300	ns	
—	低周期	38	—	—	ns	
—	从给 IMO 上电到它能为器件提供时钟源的时间	150	—	—	μs	

表 25. 3.3 V 交流外部时钟规范

符号	说明	最小值	典型值	最大值	单位	注释
F _{OSCEXT}	CPU 时钟一分频时的频率	0.750	—	12.6	MHz	3.3 V 时，最大 CPU 频率为 12 MHz。当 CPU 时钟分频器设为 ‘1’ 时，外部时钟必须符合最大频率和占空比要求。
—	CPU 时钟一分频时的高电平时间	41.7	—	5300	ns	
—	CPU 时钟一分频时的低电平时间	41.7	—	—	ns	
—	从给 IMO 上电到它能为器件提供时钟源的时间	150	—	—	μs	

表 26. 2.7 V（额定值）交流外部时钟规范

符号	说明	最小值	典型值	最大值	单位	注释
F _{OSCEXT}	CPU 时钟一分频时的频率	0.750	—	3.08	MHz	2.7 V 时，最大 CPU 频率为 3 MHz。当 CPU 时钟分频器设为 ‘1’ 时，外部时钟必须符合最大频率和占空比要求。
F _{OSCEXT}	CPU 时钟二分频或更高分频时的频率	0.15	—	6.35	MHz	如果外部时钟的频率大于 3 MHz，那么必须将 CPU 时钟分频器设为 ‘2’ 或更大。在这种情况下，CPU 时钟分频器可确保满足百分之五十占空比的要求。
—	CPU 时钟一分频时的高电平时间	160	—	5300	ns	
—	CPU 时钟一分频时的低电平时间	160	—	—	ns	
—	从给 IMO 上电到它能为器件提供时钟源的时间	150	—	—	μs	

表 27. 2.7 V（最小值）交流外部时钟规范

符号	说明	最小值	典型值	最大值	单位	注释
F _{OSCEXT}	CPU 时钟一分频时的频率	0.750	—	6.3	MHz	2.7 V 时，最大 CPU 频率为 6 MHz。当 CPU 时钟分频器设为 ‘1’ 时，外部时钟必须符合最大频率和占空比要求。
F _{OSCEXT}	CPU 时钟二分频或更高分频时的频率	0.15	—	12.6	MHz	如果外部时钟的频率大于 6 MHz，那么必须将 CPU 时钟分频器设为 ‘2’ 或更大。在这种情况下，CPU 时钟分频器可确保满足百分之五十占空比的要求。
—	CPU 时钟一分频时的高电平时间	160	—	5300	ns	
—	CPU 时钟一分频时的低电平时间	160	—	—	ns	
—	从给 IMO 上电到它能为器件提供时钟源的时间	150	—	—	μs	

交流编程规范

表 28 别列出了以下电压和温度范围内允许的最大和最小规范：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 或 2.4 V 至 3.0 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V、3.3 V 或 2.7 V 的情况。这些参数仅供设计指导之用。

表 28. 交流编程规范

符号	说明	最小值	典型值	最大值	单位	注释
t_{RSCLK}	SCLK 的上升时间	1	—	20	ns	
t_{FSCLK}	SCLK 的下降时间	1	—	20	ns	
t_{SSCLK}	从数据建立到 SCLK 下降沿的时间	40	—	—	ns	
t_{HSCLK}	从 SCLK 下降沿开始的数据保持时间	40	—	—	ns	
F_{SCLK}	SCLK 的频率	0	—	8	MHz	
t_{ERASEB}	闪存擦除时间（模块）	—	10	—	ms	
t_{WRITE}	闪存模块写入时间	—	40	—	ms	
t_{DSCLK}	从 SCLK 下降沿开始的数据输出延迟时间	—	—	45	ns	$3.6 < V_{\text{DD}}$
t_{DSCLK3}	从 SCLK 下降沿开始的数据输出延迟时间	—	—	50	ns	$3.0 \leq V_{\text{DD}} \leq 3.6$
t_{DSCLK2}	从 SCLK 下降沿开始的数据输出延迟时间	—	—	70	ns	$2.4 \leq V_{\text{DD}} \leq 3.0$
t_{ERASEALL}	闪存擦除时间（批量）	—	20	—	ms	一次性擦除所有模块和保护字段的时间
$t_{\text{PROGRAM_HOT}}$	闪存模块擦除 + 闪存模块写入的时间	—	—	100	ms	$0^{\circ}\text{C} \leq T_j \leq 100^{\circ}\text{C}$
$t_{\text{PROGRAM_COLD}}$	闪存模块擦除 + 闪存模块写入的时间	—	—	200	ms	$-40^{\circ}\text{C} \leq T_j \leq 0^{\circ}\text{C}$

I²C 交流规范

表 29 和表 30 分别列出了以下电压和温度范围内允许的最大和最小规范：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 或 2.4 V 至 3.0 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V、3.3 V 或 2.7 V 的情况，这些参数仅供设计指导之用。

表 29. $V_{\text{DD}} \geq 3.0 \text{ V}$ 时的 I²C SDA 和 SCL 引脚的交流电气特性

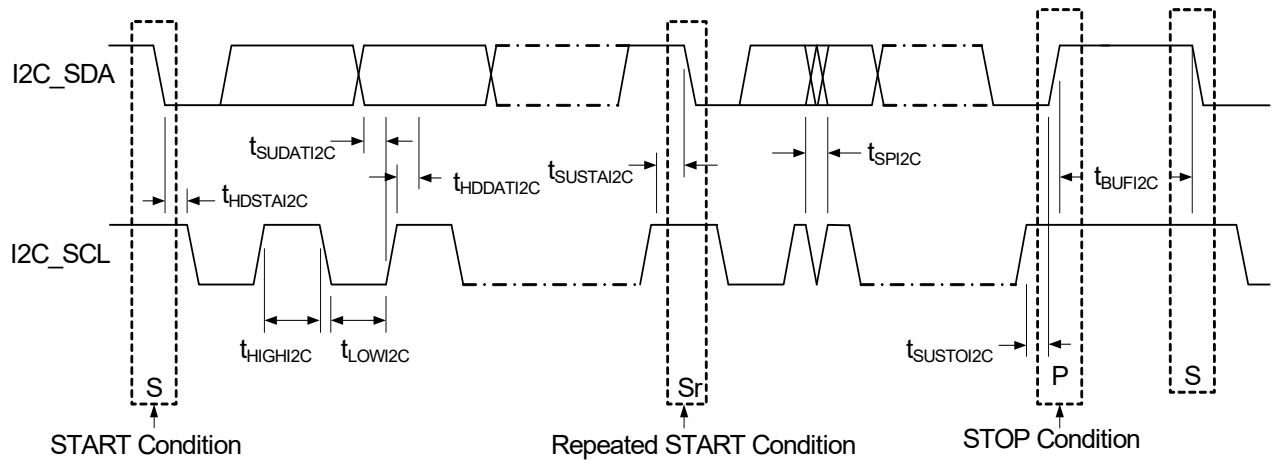
符号	说明	标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
$F_{\text{SCL}2\text{C}}$	SCL 时钟频率	0	100	0	400	kHz
$t_{\text{HDSTA}2\text{C}}$	（重复）启动条件的保持时间。经过这段时间后，会生成第一个时钟脉冲	4.0	—	0.6	—	μs
$t_{\text{LOW}2\text{C}}$	SCL 时钟的低电平周期	4.7	—	1.3	—	μs
$t_{\text{HIGH}2\text{C}}$	SCL 时钟的高电平周期	4.0	—	0.6	—	μs
$t_{\text{SUSTA}2\text{C}}$	重复启动条件的建立时间	4.7	—	0.6	—	μs
$t_{\text{HDDAT}2\text{C}}$	数据保留时间	0	—	0	—	μs
$t_{\text{SUDAT}2\text{C}}$	数据建立时间	250	—	100 ^[27]	—	ns
$t_{\text{SUSTOI}2\text{C}}$	停止条件的建立时间	4.0	—	0.6	—	μs
$t_{\text{BUFI}2\text{C}}$	停止和启动条件之间的总线空闲时间	4.7	—	1.3	—	μs
$t_{\text{SPI}2\text{C}}$	输入滤波器抑制的尖峰脉冲宽度	—	—	0	50	ns

注释：

27. 快速模式 I²C 总线器件可用于标准模式 I²C 总线系统，但必须满足 $t_{\text{SU}}; \text{DAT} \geq 250 \text{ ns}$ 的要求。如果器件不会延长 SCL 信号的低周期，这种情况会自动发生。如果此类器件会延长 SCL 信号的低周期，则它必须在 SCL 线被释放之前将下一个数据位输出到 SDA 线 $t_{\text{max}} + t_{\text{SU}}; \text{DAT} = 1000 + 250 = 1250 \text{ ns}$ （根据标准模式 I²C 总线规范）。

表 30. I²C SDA 和 SCL 引脚的 2.7 V 交流电气特性（不支持快速模式）

符号	说明	标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
$F_{SCL I2C}$	SCL 时钟频率	0	100	—	—	kHz
$t_{HDSTA I2C}$	（重复）启动条件的保持时间。经过这段时间后，会生成第一个时钟脉冲	4.0	—	—	—	μs
$t_{LOW I2C}$	SCL 时钟的低电平周期	4.7	—	—	—	μs
$t_{HIGH I2C}$	SCL 时钟的高电平周期	4.0	—	—	—	μs
$t_{SUSTA I2C}$	重复启动条件的建立时间	4.7	—	—	—	μs
$t_{HDDAT I2C}$	数据保留时间	0	—	—	—	μs
$t_{SUDAT I2C}$	数据建立时间	250	—	—	—	ns
$t_{SUSTOI2C}$	停止条件的建立时间	4.0	—	—	—	μs
t_{BUFI2C}	停止和启动条件之间的总线空闲时间	4.7	—	—	—	μs
t_{SPI2C}	输入滤波器抑制的尖峰脉冲宽度	—	—	—	—	ns

图 13. I²C 总线上快速 / 标准模式的时序定义


交流 SPI 规范

表 31 和表 32 分别列出了以下电压和温度范围内允许的最大和最小规范：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 或 2.4 V 至 3.0 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25 °C 且电压为 5 V、3.3 V 或 2.7 V 的情况，并且仅供设计指导使用。

表 31. SPI 主设备交流规范

符号	参数	条件	最小值	典型值	最大值	单位
F_{SCLK}	SCLK 时钟频率	—	—	—	12	MHz
DC_{SCLK}	SCLK 占空比	—	—	50	—	%
t_{SETUP}	从 MISO 到 SCLK 的建立时间	—	40	—	—	ns
t_{HOLD}	从 SCLK 到 MISO 的保持时间	—	40	—	—	ns
$t_{\text{OUT_VAL}}$	从 SCLK 到 MOSI 有效的时间	—	—	—	40	ns
$t_{\text{OUT_H}}$	MOSI 为高电平的时间	—	40	—	—	ns

表 32. SPI 从设备交流规范

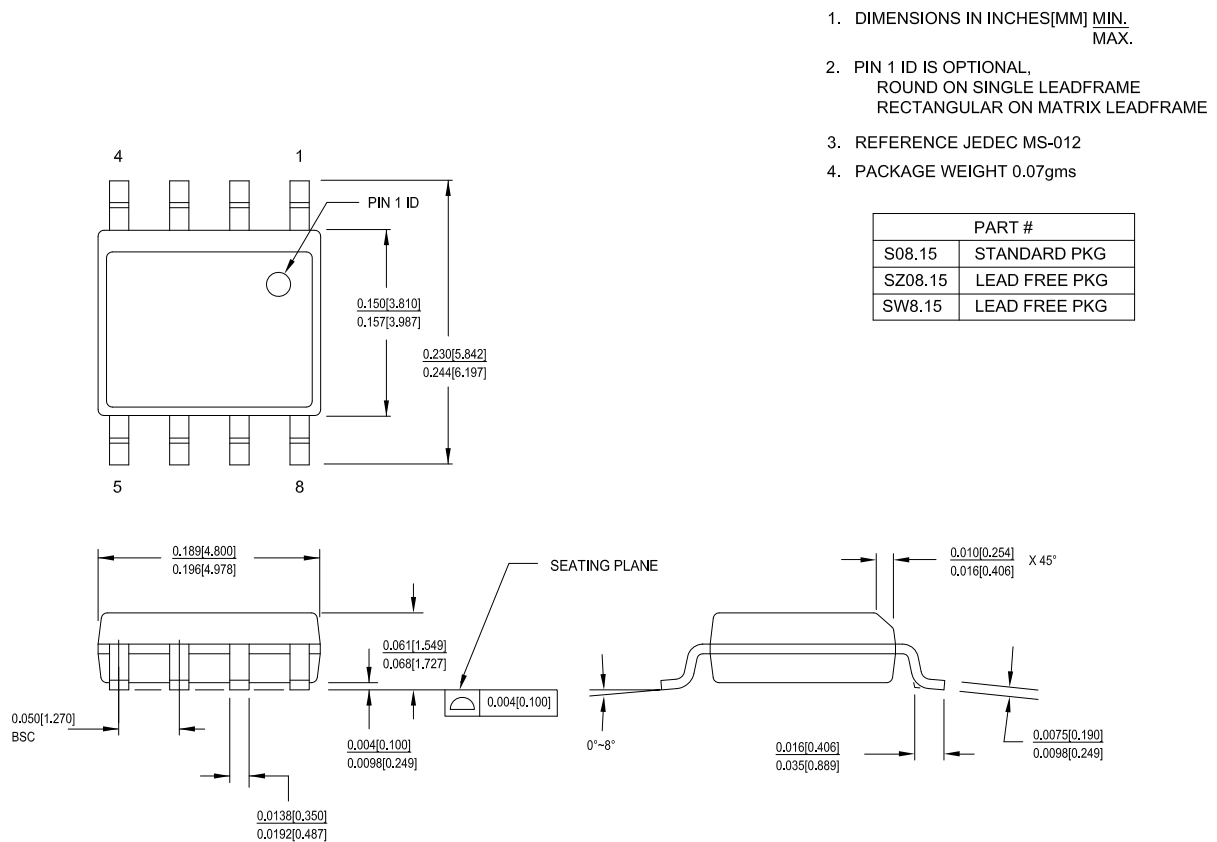
符号	参数	条件	最小值	典型值	最大值	单位
F_{SCLK}	SCLK 时钟频率	—	—	—	4	MHz
t_{LOW}	SCLK 为低电平的时间	—	41.67	—	—	ns
t_{HIGH}	SCLK 为高电平的时间	—	41.67	—	—	ns
t_{SETUP}	从 MOSI 到 SCLK 的建立时间	—	30	—	—	ns
t_{HOLD}	从 SCLK 到 MOSI 的保持时间	—	50	—	—	ns
$t_{\text{SS_MISO}}$	从 SS 低电平到 MISO 有效的时间	—	—	—	153	ns
$t_{\text{SCLK_MISO}}$	从 SCLK 到 MISO 有效的时间	—	—	—	125	ns
$t_{\text{SS_HIGH}}$	SS 为高电平的时间	—	50	—	—	ns
$t_{\text{SS_SCLK}}$	从 SS 为低电平到第一个 SCLK 的时间	—	$2/F_{\text{SCLK}}$	—	—	ns
$t_{\text{SCLK_SS}}$	从最后一个 SCLK 到 SS 为高电平的时间	—	$2/F_{\text{SCLK}}$	—	—	ns

封装图

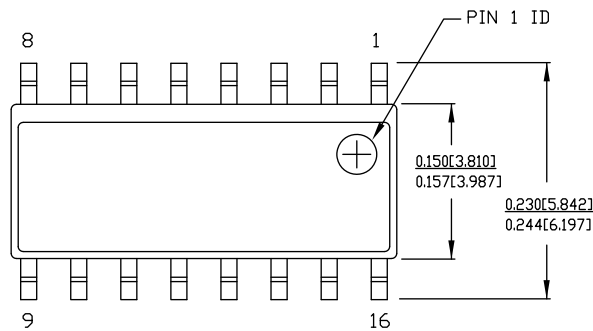
本节介绍 CY8C20234、CY8C20334、CY8C20434、CY8C20534 和 CY8C20634PSoC 器件的封装规范以及每种封装的热阻。

重要说明：仿真工具在目标 PCB 上可能需要比芯片封装空间更大的面积。有关仿真工具尺寸的详细说明，请参见 <http://www.cypress.com> 上的仿真器转接板尺寸图。

图 14. 8 引脚 SOIC (150Mils) 封装外形, 51-85066



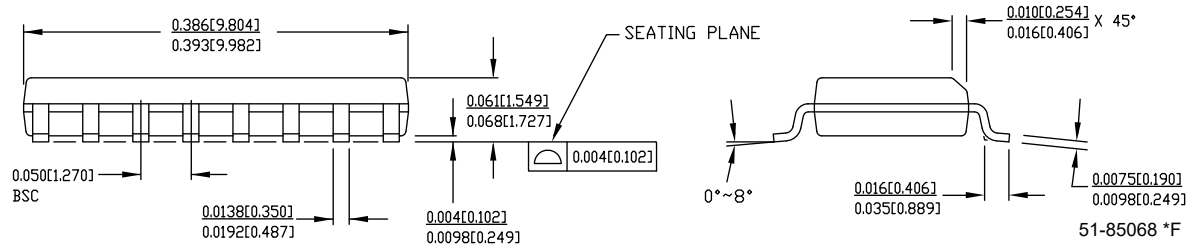
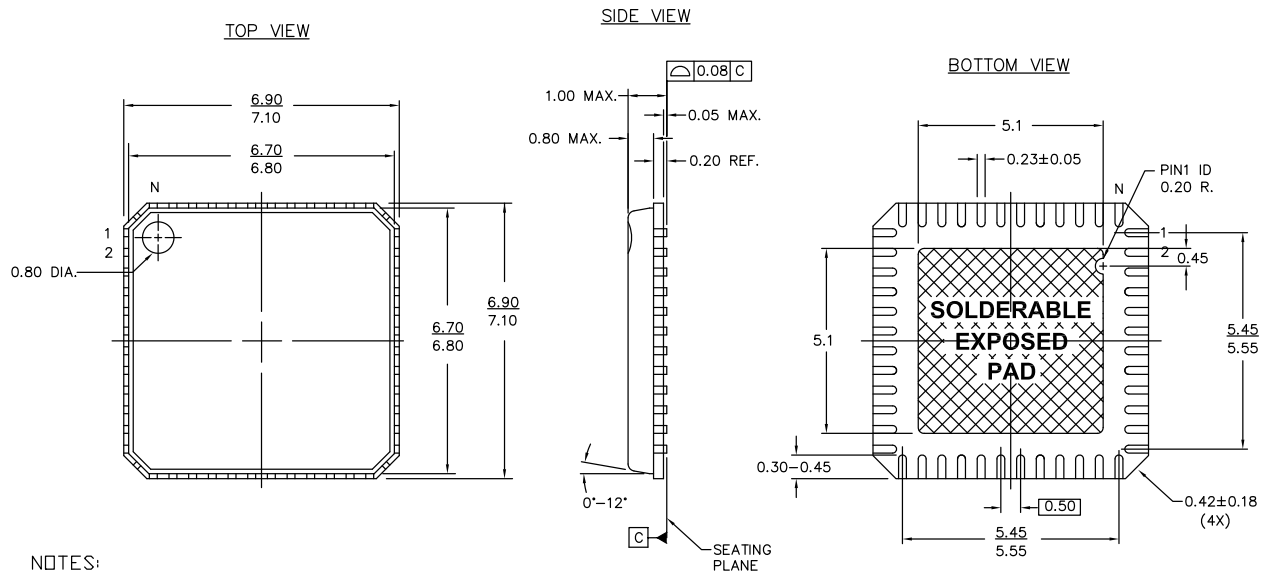
51-85066 *I

图 15. 16 引脚 SOIC (150 Mil) 封装外形, 51-85068


NOTE:

1. DIMENSIONS IN INCHES[MM] MIN./MAX.
2. REFERENCE JEDEC MS-012
3. PACKAGE WEIGHT : refer to IPC 1752 Material Declaration.

PART #	
S16.15	STANDARD PKG.
SZ16.15	LEAD FREE PKG.

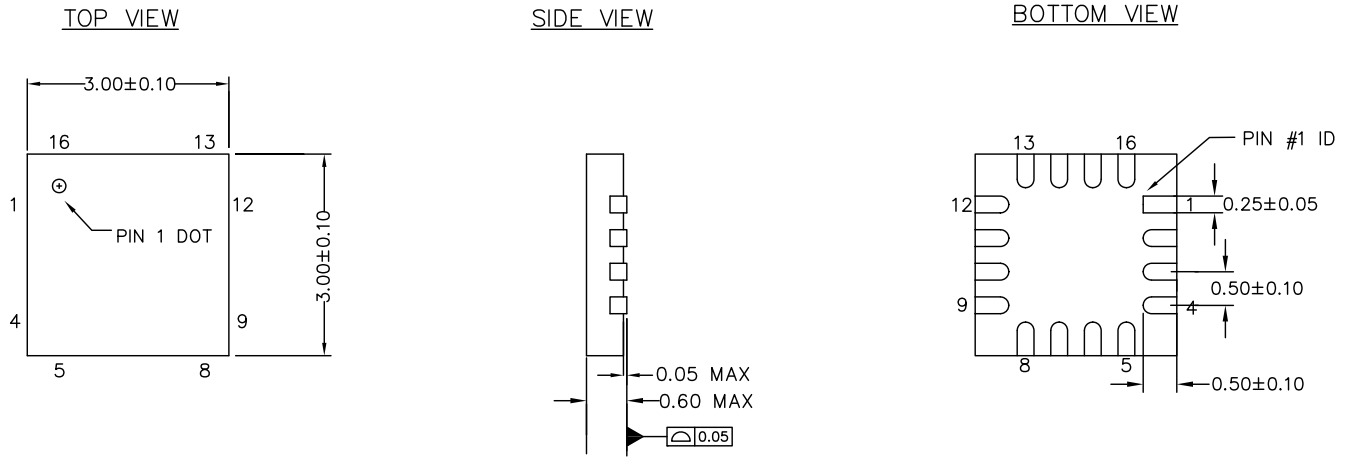

图 16. 48 引脚 QFN (7 × 7 × 1.0 mm) 封装外形, 001-12919


NOTES:

1. [HATCH] HATCH AREA IS SOLDERABLE EXPOSED METAL.
2. REFERENCE JEDEC#: MQ-220
3. PACKAGE WEIGHT: 0.13g
4. ALL DIMENSIONS ARE IN MM [MIN/MAX]
5. PACKAGE CODE

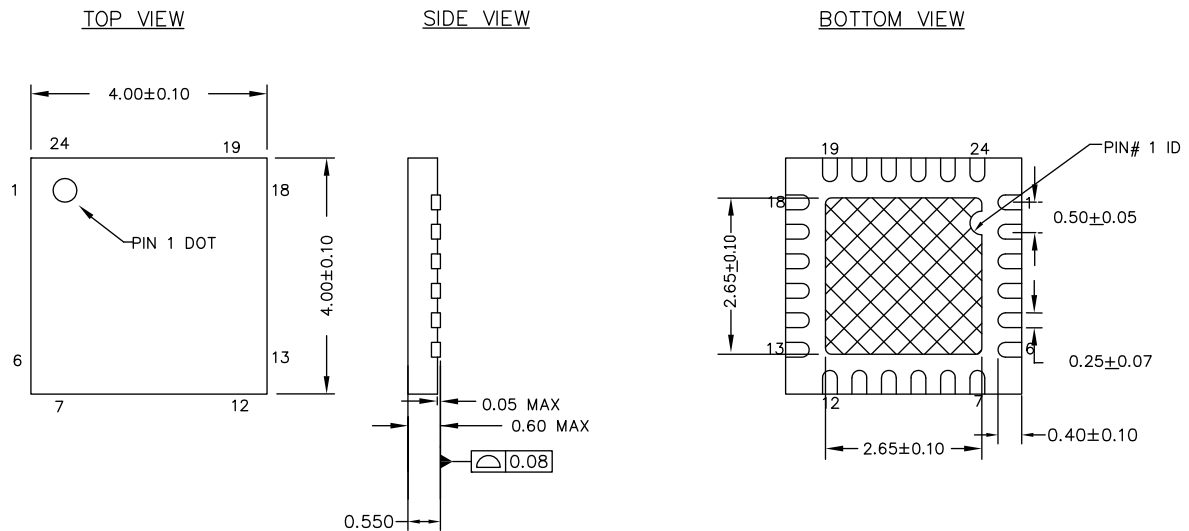
PART #	DESCRIPTION
LF48A	STANDARD
LY48A	LEAD FREE


001-12919 *D

图 17. 16 引脚 COL (3 × 3 × 0.6 mm (Sawn)) 封装外形 001-09116

NOTES

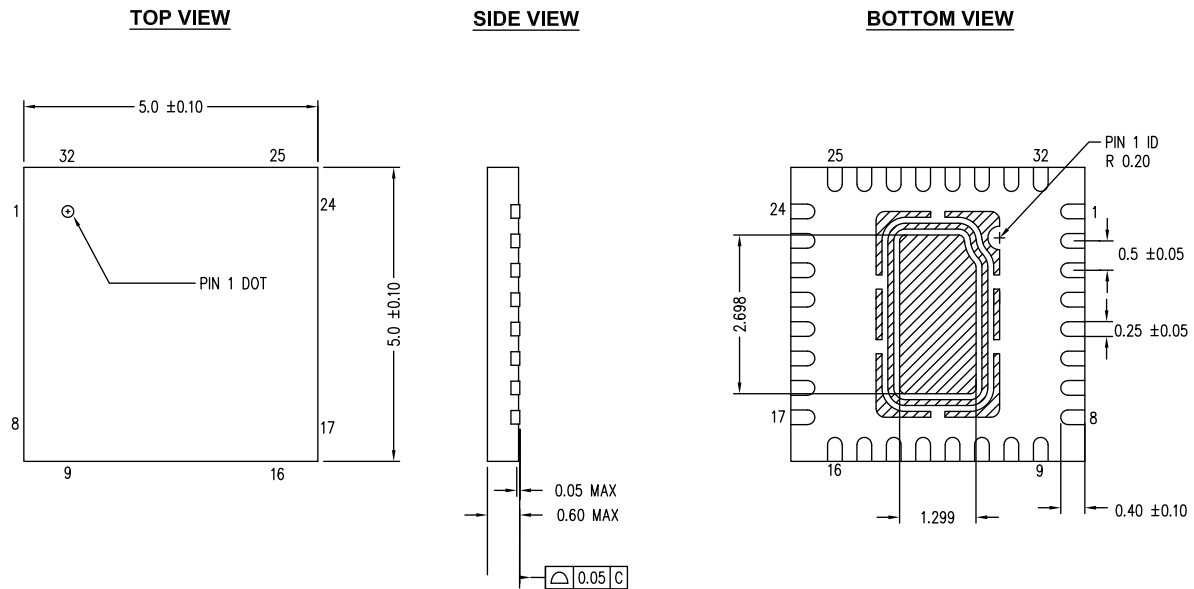
1. REFERENCE JEDEC # MO-220
2. ALL DIMENSIONS ARE IN MILLIMETERS


001-09116 *J

图 18. 24-QFN (4 × 4 × 0.55 mm (Sawn)) 封装外形, 001-13937

NOTES :

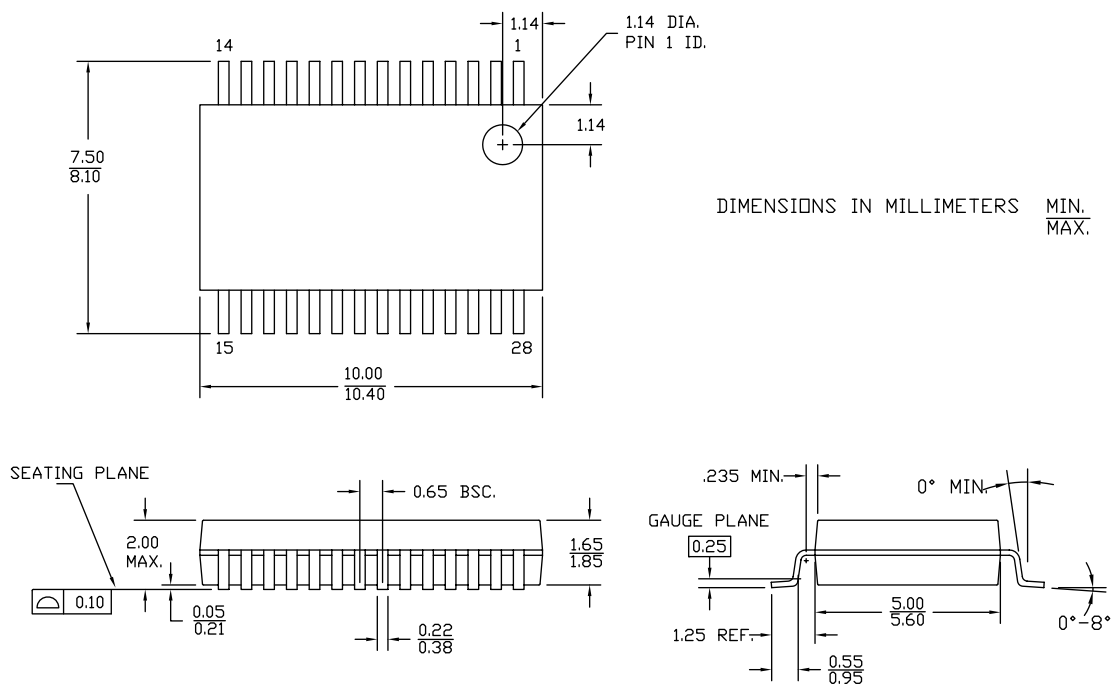
1.  HATCH IS SOLDERABLE EXPOSED METAL.
2. REFERENCE JEDEC # MO-248
3. PACKAGE WEIGHT : 29 ± 3 mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

001-13937 *G

图 19. 32 引脚 QFN (5 × 5 × 0.55 mm (Sawn) 封装类型, 001-48913

NOTES:

1.  HATCH AREA IS SOLDERABLE EXPOSED PAD
2. BASED ON REF JEDEC # MO-248
3. PACKAGE WEIGHT: 38mg ± 4 mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

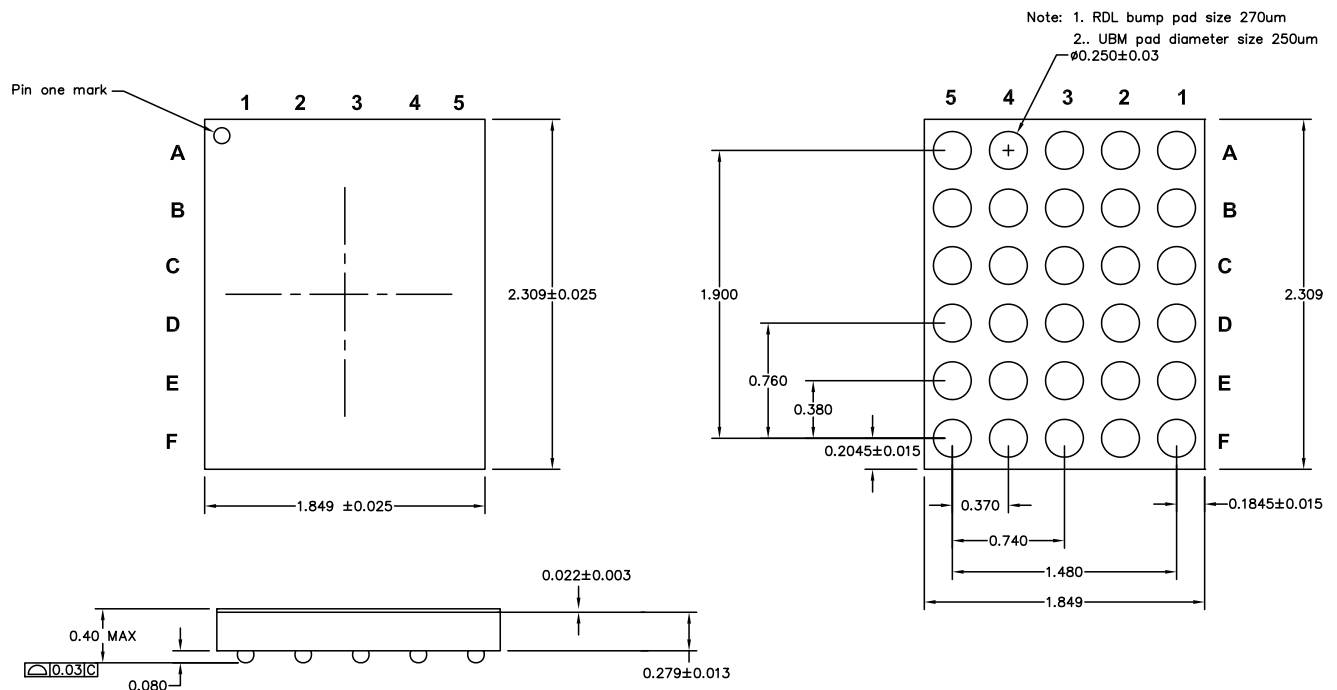
001-48913 *E

图 20. 28 引脚 SSOP (210 Mil) 封装外形, 51-85079


DIMENSIONS IN MILLIMETERS MIN. MAX.

51-85079 *F

图 21. 30 球型焊盘 WLCSP (1.85 × 2.31 × 0.40 mm) 封装外形, 001-44613



* ALL DIMENSION ARE IN MILLIMETER

Package weight : TBD

Jedec Publication 95

001-44613 *C

重要说明: 有关安装 QFN 封装的最佳尺寸信息, 请参考在 <http://www.cypress.com> 网站上提供的应用笔记赛普拉斯四方扁平无扩展引线 (QFN) 封装器件的设计指南 — AN72845。

请务必留意, 低功率 24 引脚、32 引脚和 48 引脚 QFN PSoc 器件不需要热传导的固定孔。

热阻

表 33 提供要达到良好的可焊性所需要的最低回流焊峰值温度。

表 33. 每种封装的热阻

封装	典型 θ_{JA} [28]
8 SOIC	127 °C/W
16 SOIC	80 °C/W
16 QFN	46 °C/W
24 QFN[29]	25 °C/W
28 SSOP	96 °C/W
30 WLCSP	54 °C/W
32 QFN[29]	27 °C/W
48 QFN[29]	28 °C/W

回流焊规范

表 34 显示不可超过的回流焊温度限制。

表 34. 回流焊规范

封装	最大峰值温度 (T_C)	最大时间高于 $T_C - 5\text{ °C}$
8 引脚 SOIC	260 °C	30 秒
16 引脚 SOIC	260 °C	30 秒
16 引脚 QFN	260 °C	30 秒
24 引脚 QFN	260 °C	30 秒
28 引脚 SSOP	260 °C	30 秒
30 引脚 WLCSP	260 °C	30 秒
32 引脚 QFN	260 °C	30 秒
48 引脚 QFN	260 °C	30 秒

注释:

28. $T_J = T_A + \text{功耗} \times \theta_{JA}$.

29. 要达到为 QFN 封装指定的热阻, 请参考 <http://www.cypress.com> 网站上提供的应用笔记赛普拉斯四方扁平无扩展引线 (QFN) 封装器件的设计指南 — AN72845。

30. 根据焊料熔点的不同, 需要更高的温度。典型的焊接温度为 $220 \pm 5\text{ °C}$ (使用 Sn-Pb 焊膏) 或 $245 \pm 5\text{ °C}$ (使用 Sn-Ag-Cu 焊膏)。请参见焊料制造商提供的规范。

开发工具选择

软件

PSoC Designer™

PSoC Designer 是 PSoC 开发软件套装的核心，用于生成 PSoC 固件应用程序。在 <http://www.cypress.com> 上免费提供 PSoC Designer，并附带免费的 C 语言编译器。

PSoC 编程器

PSoC Programmer 非常灵活，它不仅可用于开发，而且很适合工厂编程。PSoC Programmer 既可作为独立的编程应用程序，也可从 PSoC Designer 中直接使用。PSoC Programmer 软件同 PSoC ICE-Cube 在线仿真器和 PSoC MiniProg 均兼容。PSoC Programmer 在 <http://www.cypress.com> 网站上是免费提供的。

开发套件

所有开发套件均在赛普拉斯在线商店销售。

CY3215-DK 基本开发套件

CY3215-DK 用于通过 PSoC Designer 进行原型设计和开发。该套件支持在线仿真功能，它的界面允许用户运行、暂停和单步执行处理器，另外还可以查看特定存储器位置的内容。PSoC Designer 也支持高级仿真功能。该套件包括：

- PSoC Designer 软件 CD
- ICE-Cube 在线仿真器
- CY8C29x66 系列的 ICE Flex-Pod
- Cat-5 适配器
- Mini-Eval 编程板
- 110 ~ 240 V 电源，Euro-Plug 适配器
- iMAGEcraft C 编译器（需要注册）
- ISSP 线缆
- USB 2.0 线缆和蓝色 Cat-5 线缆
- 两个 CY8C29466-24PXI 28-PDIP 芯片样品

评估工具

所有评估工具均在赛普拉斯在线商店销售。

CY3210-MiniProg1

CY3210-MiniProg1 套件可让用户通过 MiniProg1 编程单元对 PSoC 器件进行编程。MiniProg 是一种紧凑的小型原型设计编程器，通过随附的 USB 2.0 线缆连接到 PC。该套件包括：

- MiniProg 编程单元
- MiniEval Socket 编程和评估板
- 28 引脚 CY8C29466-24PXI PDIP PSoC 器件样品
- 28 引脚 CY8C27443-24PXI PDIP PSoC 器件样品
- PSoC Designer 软件 CD
- 入门指南
- USB 2.0 线缆

CY3210-PSoCEval1

CY3210-PSoCEval1 套件包含一个评估板和一个 MiniProg1 编程单元。评估板包括 LCD 模块、电位器、LED 和大量实验板空间，可满足您的所有评估需要。该套件包括：

- 带 LCD 模块的评估板
- MiniProg 编程单元
- 28 引脚 CY8C29466-24PXI PDIP PSoC 器件样品（2）
- PSoC Designer 软件 CD
- 入门指南
- USB 2.0 线缆

CY3214-PSoCEvalUSB

CY3214-PSoCEvalUSB 评估套件包括针对 CY8C24794-24LFXI PSoC 器件的开发电路板。电路板的特殊功能包括 USB 和电容式感应开发和调试支持。该评估板还包括 LCD 模块、电位器、LED、报警器和大量实验板空间，可满足您的所有评估需要。该套件包括：

- PSoCEvalUSB 板
- LCD 模块
- MiniProg 编程单元
- Mini USB 线缆
- PSoC Designer 和示例项目 CD
- 入门指南
- 线包

器件编程器

您可以在赛普拉斯在线商店上购买所有的器件编程器。

CY3216 模块化编程器

CY3216 模块编程器套件包括模块编程器和 MiniProg1 编程单元。模块化编程器包括 3 个编程模块卡，并支持多个赛普拉斯产品。该套件包括：

- 模块化编程器基础
- 3 张编程模块卡
- MiniProg 编程单元
- PSoC Designer 软件 CD
- 入门指南
- USB 2.0 线缆

附件（仿真和编程）

表 35. 仿真和编程附件

器件型号	引脚封装	Flex-Pod 套件 ^[31]	支脚套件 ^[32]	原型设计模块	适配器 ^[33]
CY8C20234-12LKXI	16 QFN	不可用	CY3250-16QFN-FK	CY3210-20X34	不可用
CY8C20334-12LQXI	24 QFN	CY3250-20334QFN	CY3250-24QFN-FK	CY3210-20X34	AS-24-28-01ML-6
CY8C20634-12FDXI	30 WLCSP	不可用		CY3210-20X34	不可用

CY3207ISSP 系统内串行编程器 (ISSP)

CY3207ISSP 是一个生产编程器。它包括保护电路和一个工业外壳，该工业外壳在生产编程环境中比 MiniProg 更强大。请注意，CY3207ISSP 需要特殊软件，而且与 PSoC Programmer 不兼容。该套件包括：

- CY3207 编程器单元
- PSoC ISSP 软件 CD
- 110 ~ 240 V 电源，Euro-Plug 适配器
- USB 2.0 线缆

注释：

31. 双功能数字 I/O 引脚也连接到常见模拟复用器。

32. 此器件也可用于进行在线调试。不能用于生产。

33. 编程适配器用于将非 DIP 封装转换成 DIP 封装。有关每种适配器的具体详细信息和订购信息，请访问 <http://www.emulation.com> 网站。

订购信息

表 36 列出了 CY8C20234、CY8C20334、CY8C20434、CY8C20534 和 CY8C20634PSoC 器件的关键封装特征和订购代码。

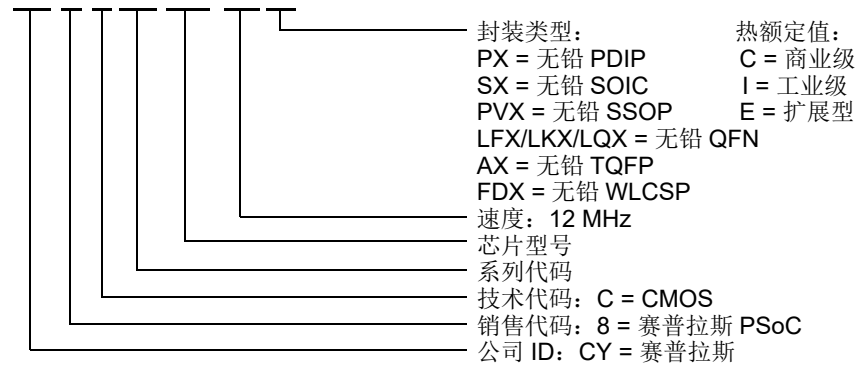
表 36. PSoC 器件的关键特性和订购信息

订购代码	封装	闪存 (字节)	SRAM (字节)	数字 模块	CapSense 模块	数字 I/O 引脚	模拟输入	模拟输出	XRES 引脚
CY8C20134-12SXI	8-SOIC	8K	512	0	1	6	6	0	无
CY8C20234-12SXI	16 pin SOIC	8K	512	0	1	13	13	0	有
CY8C20234-12SXIT	16 引脚 SOIC	8K	512	0	1	13	13	0	有
CY8C20534-12PVXI	28 引脚 SSOP	8K	512	0	1	24	24 ^[31]	0	有
CY8C20534-12PVXIT	28 引脚 SSOP	8K	512	0	1	24	24 ^[31]	0	有
CY8C20234-12LKXI	16 引脚 (3 × 3 mm 最大厚度为 0.60) Sawn QFN	8K	512	0	1	13	13 ^[31]	0	有
CY8C20234-12LKXIT	16 引脚 (3 × 3 mm 最大厚度为 0.60) Sawn QFN (盘带封装)	8K	512	0	1	13	13 ^[31]	0	有
CY8C20334-12LQXI	24 引脚 (4 × 4 mm 最大厚度 为 0.60) Sawn QFN	8K	512	0	1	20	20 ^[31]	0	有
CY8C20334-12LQXIT	24 引脚 (4 × 4 mm 最大厚度为 0.60) Sawn QFN (盘带封装)	8K	512	0	1	20	20 ^[31]	0	有
CY8C20434-12LQXI	32 引脚 (5 × 5 mm 最大厚度为 0.60) 薄 Sawn QFN	8K	512	0	1	28	28	0	有
CY8C20434-12LQXIT	32 引脚 (5 × 5 mm 最大厚度为 0.60) 薄 Sawn QFN (盘带封装)	8K	512	0	1	28	28	0	有

备注：有关 Die（芯片）的销售信息，请与当地的赛普拉斯销售办事处或现场应用工程师（FAE）联系。

订购代码定义

CY 8 C 20 xxx- 12 xx



缩略语

所使用的缩略语

表 37 列出了本文档中使用的缩略语。

表 37. 本数据手册中使用的缩略语

缩略语	说明	缩略语	说明
AC	交流	MIPS	每秒百万条指令
ADC	模数转换器	OCD	片上调试
API	应用编程接口	PCB	印刷电路板
CMOS	互补金属氧化物半导体	PGA	可编程增益放大器
CPU	中央处理单元	POR	加电复位
EEPROM	电可擦除只读出存储器	PPOR	精密上电复位
GPIO	通用输入 / 输出	PSoC®	可编程片上系统
ICE	在线仿真器	PWM	脉冲宽度调制器
IDAC	电流 DAC	QFN	四方扁平无引脚器件
IDE	集成开发环境	SLIMO	慢速 IMO
ILO	内部低速振荡器	SPI™	串行外设接口
IMO	内部主振荡器	SRAM	静态随机存取存储器
I/O	输入 / 输出	SROM	监控只读出存储器
ISSP	系统内串行编程	SSOP	紧缩小外形封装
LCD	液晶显示器	USB	通用串行总线
LDO		WDT	看门狗定时器
LED	发光二极管	WLCSP	晶圆级芯片尺寸封装
LVD	低电压检测	XRES	外部复位
MCU	微控制器单元		

参考文档

PSoC® CY8C20x34 和 PSoC® CY8C20x24 技术参考手册 (TRM) - 001-13033

辅助设计工具 - 读取和写入 PSoC® 闪存 — AN2015 (001-40459)

<http://www.cypress.com> 网站上提供的赛普拉斯四方扁平扩展引线 (QFN) 封装器件的设计指南 — AN72845。

文档规范

测量单位

表 38 列出了测量单位。

表 38. 测量单位

符号	测量单位	符号	测量单位
°C	摄氏度	ms	毫秒
pF	皮法	ns	纳秒
kHz	千赫兹	ps	皮秒
MHz	兆赫	μV	微伏
kΩ	千欧	mV	毫伏
Ω	欧姆	V	伏特
μA	微安	W	瓦特
mA	毫安	mm	毫米
nA	纳安	%	百分比
μs	微秒		

数字规范

十六进制数字中的所有字母均为大写，并且结尾是小写的 'h'（例如，'14h' 或 '3Ah'）。十六进制数字还可以使用前缀 '0x' 表示（C 编码规范）。二进制数字结尾带一个小写的 'b'（例如，'01010100b' 或 '01000011b'）。不带 'h' 或 'b' 的数字是十进制数字。

术语表

高电平有效	<ol style="list-style-type: none"> 1. 一种逻辑信号，它的激活状态为逻辑 1。 2. 一种逻辑信号，其逻辑 1 状态作为两个状态中较高的电压值。
模拟模块	基本的可编程运算放大器电路。它们是 SC（切换电容）和 CT（连续时间）模块。这些模块内部互联时可提供 ADC、DAC、多极滤波器、增益级等多种功能。
模数转换器（ADC）	将模拟信号转换为相应量级的数字信号的器件。通常，ADC 可以将某个电压值转换成一个数字值。数模转换器（DAC）可逆向完成该操作。
应用编程接口（API）	一系列的软件程序，包含了计算机应用与低层服务和函数（例如，用户模块和库）之间的接口。应用编程接口（API）作为程序员在创建软件应用时使用的基本模块。
异步	该信号的数据被立即确认或作出响应，与任何时钟信号无关。
带隙参考	指的是一种稳定的电压参考设计，它将 VT 温度正系数与 VBE 温度负系数相互匹配，从而生成零温度系数（理想的）参考。
带宽	<ol style="list-style-type: none"> 1. 指的是消息或信息处理系统的频率范围（单位为 Hz）。 2. 放大器（或吸收器）在其频谱区内会有大量增益（或损失）。有时它表示的更为具体，例如半峰全宽。
偏置	<ol style="list-style-type: none"> 1. 数值与参考值之间的系统偏差。 2. 一组数据的平均值偏离参考值的幅度。 3. 适用某个器件的电力、机械力、磁场或其他力（场），使该器件建立一个参考电压从而运行该器件。
模块	<ol style="list-style-type: none"> 1. 用于执行单项功能的功能单元，如振荡器。 2. 用于执行某项功能而配置的功能单元，例如，数字 PSoC 模块或模拟 PSoC 模块。

术语表（续）

缓冲区	<ol style="list-style-type: none">1. 数据存储区，当将数据从一个器件传输至另一个器件时，用于补偿速度之差。通常是指针对 IO 操作保留的区域，可以对该区进行读写操作。2. 用于存储数据的一部分存储器空间，通常在数据发送到外部器件之前或从外部器件接受数据时使用。3. 它是一个用于降低系统的输出阻抗的放大器。
总线	<ol style="list-style-type: none">1. 某个命名的网络连接。将网络捆绑到总线中，便于使用类似的路由模式路由网络。2. 用于执行通用功能并携带类似数据的一组信号。通常使用向量符号来表示。例如，地址 [7:0]。3. 一个或多个作为一组相关器件的共用连接的导体。
时钟	生成具有固定频率和占空比的周期性信号的器件。有时，时钟可以用来同步各个不同的逻辑模块。
比较器	指两个输入电平同时满足预定振幅要求时会生成输出电压或电流的电气电路。
编译器	一种将高级语言（例如 C 语言）转换成机器语言的程序。
配置空间	在 PSoC 器件中，当 CPU_F 寄存器中的 XIO 位被设置为 ‘1’ 时，可以访问的寄存器空间。
晶体振荡器	由压电晶体控制频率的振荡器。通常情况下，与其他电路组件相比，压电晶体对环境温度的灵敏度更低。
循环冗余校验（CRC）	用于检测数据通信中的错误的计算方法，通常使用线性反馈移位寄存器执行。相似算法可用于其他多种用途，例如：数据压缩。
数据总线	计算机使用以将信息从存储器位置传输到中央处理单元（CPU）或反向传输信息的双向信号组。更为普遍的是，用来传送数字功能之间数据的信号组。
调试器	允许分析正在开发的系统操作的软件和硬件系统。调试器通常允许开发人员逐步执行固件操作，设置断点及分析存储器。
死区	两个或多个信号都没有处于活跃状态或切换状态的一段时间。
数字模块	可用作计数器、计时器、串行接收器、串行发送器、CRC 发生器、伪随机数发生器或 SPI 的 8 位逻辑模块。
数模转换器（DAC）	可将数字信号转换为相应量级的模拟信号的器件。模数转换器（ADC）用来逆向执行该操作。
占空比	时钟周期的高电平时间与其低电平时间的关系表示为一个百分比。
仿真器	使用不同系统复制（仿真）某个系统的功能，这样，第二个系统便可以实现与第一个系统相类似的操作。
外部复位（XRES）	传入 PSoC 器件的高电平有效信号。这会停止 CPU 的所有操作和模块，并返回到预定义的状态。
闪存	提供可编程功能、EPROM 数据存储及系统内可擦除功能的电可擦可编程、非易失性技术。非易失性表示下电时仍能保持数据。
闪存模块	可一次性编程的最小闪存 ROM 空间和受保护的最小闪存空间。闪存模块的大小为 64 个字节。
频率	是指一个周期功能中每时间单位内的周期数或事件数。
增益	分别为输出电流、电压或功率与输入电流、电压或功率之间的比率。增益单位通常为分贝（dB）。

术语表（续）

I ² C	由飞利浦半导体（现更名为 NXP 半导体）开发的两线串行计算机总线。I ² C 是内部集成电路。它用于连接嵌入式系统中的低速外设。原始系统创建于 20 世纪 80 年代初期，当时仅作为电池控制接口使用，后来被用作构建控制电子器件的简单内部总线系统。I ² C 仅使用两个双向引脚，即时钟和数据，二者均以 +5 V 的电压运行，并采用电阻上拉。在标准模式下，总线的运行速度为 100 Kb/s，而在快速模式下，其速度为 400 Kb/s。
ICE	在线仿真器允许您在硬件环境下测试项目，而在软件环境（PSoC Designer）下查看调试器件的活动。
输入 / 输出 (I/O)	用于将数据引入到系统或从系统中提取数据的器件。
中断	流程暂停（例如，执行计算机程序），由流程外部事件导致，并且暂停后可以恢复流程。
中断服务子程序 (ISR)	M8C 收到硬件中断时常规代码执行转入的代码模块。许多中断源均有各自的优先级和单个 ISR 代码模块。各个 ISR 代码模块均以 RETI 指令结束，并且器件会返回到离开常规程序执行的程序点。
抖动	<ol style="list-style-type: none"> 1. 是指从其理想位置跃变的时序错位。在串行数据流中出现的典型损坏。 2. 一个或多个信号特性的突发和意外变化，例如连续脉冲之间的间隔、连续周期的振幅或连续周期的频率或相位。
低压检测 (LVD)	在 V _{DD} 降低并低于选定阈值时可检测 V _{DD} 并实现系统中断的电路。
M8C	8 位 Harvard 架构微处理器。通过连接到闪存、SRAM 和寄存器空间，该微处理器可协调 PSoC 内部的所有活动。
主设备	用于控制两个器件间数据交换时序的器件。或者，以脉冲宽度级联器件时，主设备是用来控制级联器件与外部接口之间数据交换时序的器件。受控制的器件被称为从设备。
微控制器	主要用于控制系统和产品的集成电路芯片。除 CPU 外，微控制器通常还包含存储器、定时电路和 I/O 电路。这是为了允许执行包含最小芯片数量的控制器，从而能够实现最大程度的微型化。从而能够降低控制器的体积和成本。微控制器通常不能用作微处理器执行通用计算的功能。
混合信号	是指包含模拟和数字技术及组件的电路参考。
调制器	指的是在载波上附加信号的器件。
噪声	<ol style="list-style-type: none"> 1. 指的是一种干扰，它会影响信号，并且可使信号携带的信息失真。 2. 电压、电流或数据等任何实体的其中一种或多种特性的随机变化。
振荡器	它是一种可受晶控，并用于生成时钟频率的电路。
奇偶校验	用于测试传输数据的技术。通常，将一个二进制数字添加到数据中，以便使二进制数据的所有数字之和始终为奇数（奇校验）或偶数（偶校验）。
锁相环 (PLL)	用来控制振荡器，使其保持与参考信号相对的常相位角的电气电路。
引脚分布	引脚号分布：印刷电路板（PCB）封装中 PSoC 器件及其物理对立方的逻辑输入与输出之间的关系。引脚分布涉及引脚号（如原理图与 PCB 设计（两者均为计算机生成的文件）之间的链接），也涉及引脚名称。
端口	通常带八个引脚的一组引脚。
上电复位 (POR)	当电压低于预设电平时，用于强制 PSoC 器件复位的电路。这是一种硬件复位类型。

术语表（续）

PSoC®	赛普拉斯半导体的 PSoC® 是赛普拉斯公司的注册商标，Programmable System-on-Chip™（可编程片上系统）是赛普拉斯公司的商标。
PSoC Designer™	用于赛普拉斯的可编程片上系统技术的软件。
脉宽调制器 (PWM)	以占空比形式表示的输出，随着应用测量对象的不同而变化。
RAM	随机存取存储器的缩略语。数据存储器件，可以对该器件进行读写操作。
寄存器	具有特定容量（例如一位或一个字节）的存储器件。
复位	使系统返回已知状态的方法。请参见硬件复位和软件复位部分的内容。
ROM	只读存储器的缩略语。数据存储器件，可以读取该器件，但无法对它进行写操作。
串行	1. 是指所有事件在其中连续发生的流程。 2. 表示在单个器件或通道中两个或多个相关活动连续发生。
建立时间	输入从一个值改为另一个值后，输出信号或值进入稳定状态需要的时长。
移位寄存器	按顺序向左或向右转移一个字，使输出串行数据流的存储器件。
从设备	允许另一个器件控制两个器件之间数据交换的时序的器件。或者，以脉冲宽度级联器件时，从设备是允许另一个器件控制级联器件与外部接口之间数据交换的时序的器件。控制器件被称为主设备。
SRAM	静态随机存取存储器的缩略语。能以高速率存储及检索数据的存储器件。使用术语“静态”是因为在将值加载到 SRAM 单元之后，该值保持不变，直到其被明确更改，或直到器件断电为止。
SROM	监控只读存储器的缩略语。SROM 保留代码，用以启动器件、校准电路和执行闪存操作。可以使用从闪存中运行的普通用户代码来访问 SROM 功能。
停止位	是字符或模块带有的信号，用于准备接收器来接收下一个字符或模块。
同步	1. 指的是一个信号，其数据未被确认或做出响应，直到时钟信号的下一个边沿有效为止。 2. 使用时钟信号进行同步的系统。
三态	其输出可采用 0、1 和 Z（高阻抗）等三种状态的功能。该功能不在 Z 状态下驱动任何值，在许多方面，它可以被视为从其余电路断开，允许另一次输出以驱动相同网络。
UART	UART 或通用异步接收器 - 发送器在数据并行位和串行位之间转换。
用户模块	负责全面管理和配置低级模拟和数字 PSoC 模块的预构建、预测试硬件 / 固件外围功能。此外，用户模块还针对外设功能提供高级 API（应用编程接口）。
用户空间	寄存器映射的组 0 空间。在执行常规程序和初始化期间，很可能对该组中的寄存器进行修改。在程序初始化阶段，很可能对组 1 中的寄存器进行修改。
V _{DD}	电力网络名称，意为“电压漏极”。最正极的电源信号。电压通常为 5 V 或 3.3 V。
V _{SS}	电源网络名称，意为“电压源”。最负极的电源信号。
看门狗定时器	是必须定期处理的定时器。如果未定期刷新，则 CPU 会在指定时间期间后复位。

文档修订记录

文档标题: CY8C20134/CY8C20234/CY8C20334/CY8C20434/CY8C20534/CY8C20634, PSoC® 可编程片上系统 文档编号: 001-63505				
版本	ECN	变更者	提交日期	变更说明
**	3003474	VLX	08/11/2010	新数据手册。
*A	3546858	VLX	03/30/2012	再次对英文版的 001-05356 Rev *P 进行翻译。
*B	4400686	SCHC	06/06/2014	更新了封装尺寸: 规范 51-85066: 将 Rev*E 变更为 Rev*F。 规范 51-85068: 将 Rev*D 变更为 Rev*E。 规范 001-12919: 将 Rev*C 变更为 Rev*D。 规范 001-90116: 将 Rev*F 变更为 Rev*J。 规范 001-13937: 将 Rev*C 变更为 Rev*E。 规范 001-48913: 将 Rev*B 变更为 Rev*D。 规范 001-44613: 将 Rev*B 变更为 Rev*C。
*C	4477366	RLJW	08/20/2014	本文档版本号为 Rev*C, 译自英文版 38-12022 Rev*X。
*D	4521461	YUXI	11/10/2014	本文档版本号为 Rev*D, 译自英文版 001-05356 Rev*R。
*E	4802188	YUXI	06/18/2015	本文档版本号为 Rev*E, 译自英文版 001-05356 Rev*T。
*F	6618178	YLIU	08/13/2019	本文档版本号为 Rev*F, 译自英文版 001-05356 Rev*W。

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要想找到最靠近您的办事处，请访问[赛普拉斯所在地](#)。

产品

Arm® Cortex® 微控制器	cypress.com/arm
汽车级	cypress.com/automotive
时钟与缓冲器	cypress.com/clocks
接口	cypress.com/interface
物联网	cypress.com/iot
存储器	cypress.com/memory
微控制器	cypress.com/mcu
PSoC	cypress.com/psoc
电源管理 IC	cypress.com/pmic
触摸感应	cypress.com/touch
USB 控制器	cypress.com/usb
无线连接	cypress.com/wireless

PSoC® 解决方案

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

赛普拉斯开发者社区

[社区](#) | [项目](#) | [视频](#) | [博客](#) | [培训](#) | [组件](#)

技术支持

cypress.com/support

© 赛普拉斯半导体公司，2015-2019 年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC（“赛普拉斯”）的财产。本文件，包括其包含或引用的任何软件或固件（“软件”），根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性的、非独家且不可转让的如下许可（无再许可权）（1）在赛普拉斯特软件著作权项下的下列许可权（一）对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和（二）仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供（无论直接提供或通过经销商和分销商间接提供），和（2）在被软件（由赛普拉斯公司提供，且未经修改）侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。没有任何电子设备是绝对安全的。因此，尽管赛普拉斯在其硬件和软件产品中采取了必要的安全措施，但是赛普拉斯并不承担任何由于使用赛普拉斯产品而引起的安全问题及安全漏洞的责任，例如未经授权的访问或使用赛普拉斯产品。此外，本材料中所介绍的赛普拉斯产品有可能存在设计缺陷或设计错误，从而导致产品的性能与公布的规格不一致。（如果发现此类问题，赛普拉斯会提供勘误表）赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用人应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统（包括急救设备和手术植入物）、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途（“非预期用途”）。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，WICED，及 PSoC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。