

サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

特長

- USB IF による USB 2.0 High-Speed 認証を取得 (TID # 40460272)
- シングルチップに、USB 2.0 トランシーバ、スマート SIE、強化された 8051 マイクロプロセッサを内蔵
- FX2 との互換性 (外形形状、構造、機能)
 - ピンの互換性
 - オブジェクトコードの互換性
 - 機能上の互換性 (FX2LP はスーパーセット)
- 超低消費電力: I_{CC} あらゆるモードで 85 mA 未満
 - バスおよび電池式アプリケーションに最適
- ソフトウェア: 8051 のコードは以下から実行できます。
 - 内部 RAM - USB からダウンロード
 - 内部 RAM - EEPROM からダウンロード
 - 外部メモリ デバイス (128 ピン パッケージ)
- 16 KB のオンチップ コード/データ RAM
- 4 つのプログラマブルな BULK、INTERRUPT、および ISOCRONOUS
 - バッファ オプション: 2 重、3 重および 4 重
- プログラマブルな 64 バイトの (BULK、INTERRUPT) エンドポイントを追加
- 8 ビットまたは 16 ビットの外部データ インタフェース
- スマート メディア標準の ECC 生成
- GPIF (General Programmable Interface)
 - ほとんどのパラレル インタフェースに直接接続可能
 - プログラマブルな波形ディスクリプタおよびコンフィグレーション レジスタで波形を定義
 - 複数の Ready (RDY) 入力と Control (CTL) 出力に対応
- 集積された業界標準の拡張 8051
 - 48 MHz、24 MHz または 12 MHz で CPU が動作
 - 4 クロックの命令サイクル
 - 2 個の USART
 - 3 つのカウンタ/タイマ
 - 拡張割り込みシステム
 - 2 個のデータ ポインタ

- 3.3 V の動作 / 5 V の I/O トレランス
- ベクトル化された USB 割り込みと GPIF/FIFO 割り込み
- CONTROL 転送のセットアップ / データ ポインタの別々のデータ バッファ
- 100 または 400 kHz で動作する I²C コントローラを内蔵^[1]
- 4 つの FIFO を内蔵
 - グルーロジックと FIFO の内蔵によりシステムコストを低減
 - 16 ビットバスとの自動変換
 - マスタまたはスレーブ動作
 - 外部クロックまたは非同期ストロブを使用
 - ASIC および DSP IC への容易なインタフェース
- 民生用と産業用の温度グレードが利用可能 (VFBGA を除くすべてのパッケージ)

特長 (CY7C68013A/14A のみ)

- CY7C68014A: 電池式アプリケーションに最適
 - サスペンド電流: 100 mA (標準値)
- CY7C68013A: 非電池式アプリケーションに最適
 - サスペンド電流: 300 mA (標準値)
- 最大 40 個の GPIO を持つ 5 種類の鉛フリーのパッケージが利用可能
 - 128 ピン TQFP (40 GPIO)、100 ピン TQFP (40 GPIO)、56 ピン QFN (24 GPIO)、56 ピン SSOP (24 GPIO)、および 56 ピン VFBGA (24 GPIO)

特長 (CY7C68015A/16A のみ)

- CY7C68016A: 電池式アプリケーションに最適
 - サスペンド電流: 100 mA (標準値)
- CY7C68015A: 非電池式アプリケーションに最適
 - サスペンド電流: 300 mA (標準値)
- 鉛フリー 56 ピン QFN パッケージが利用可能 (26 GPIO)
- CY7C68013A/14A よりも GPIO が 2 個多いことで、同じ実装面積でさらに多くの機能を実現

機能説明

すべての関連資料の一覧については、[ここ](#)をクリックしてください。

注:
1. 実際の I²C クロック周波数は異なります。100 kHz と 400 kHz に設定した場合の測定された I²C クロック周波数は、それぞれ約 85 kHz と 300 kHz です。
2. シリコンエラッタの詳細については、68 ページの「エラッタ」を参照してください。詳細には、トリガー条件、影響を受けるデバイス、および提案された回避策が含まれます。

詳細情報

サイプレスは、www.cypress.com に大量のデータを掲載しており、ユーザーがデザインに適切な PSoC デバイスを選択し、デバイスを迅速で効果的にデザインに統合する手助けをしています。リソースの包括的な一覧については、アプリケーション ノート AN65209 - Getting Started with FX2LP を参照してください。

- **概要: USB ポートフォリオ、USB ロードマップ**
- **USB 2.0 製品セレクトア: FX2LP、AT2LP、NX2LP-Flex、SX2**
- **アプリケーション ノート: サイプレスは、基本レベルから高度なレベルまでの様々なトピックに触れる大量の USB アプリケーション ノートを提供しています。以下は FX2LP 入門用の推奨アプリケーション ノートです。**
 - [AN65209](#) - Getting Started with FX2LP
 - [AN15456](#) - Guide to Successful EZ-USB™ FX2LP and EZ-USB™ FX1 Hardware Design and Debug
 - [AN50963](#) - EZ-USB™ FX1/FX2LP Boot Options
 - [AN66806](#) - EZ-USB™ FX2LP GPIF Design Guide
 - [AN61345](#) - Implementing an FX2LP - FPGA Interface
 - [AN57322](#) - Interfacing SRAM with FX2LP over GPIF
 - [AN4053](#) - Streaming Data through Isochronous/Bulk Endpoints on EZ-USB™ FX2 and EZUSB FX2LP
 - [AN63787](#) - EZ-USB™ FX2LP GPIF and Slave FIFO Configuration Examples using 8-bit Asynchronous Interface

すべてのアプリケーション ノートの一覧を表示するには、[ここ](#) をクリックしてください。

- **サンプル コード**
 - [USB ハイスピード](#)
- **テクニカル リファレンス マニュアル (TRM)**
 - [EZ-USB™ FX2LP テクニカル リファレンス マニュアル](#)
- **リファレンス デザイン**
 - [CY4661](#) - External USB Hard Disk Drives (HDD) with Fingerprint Authentication Security
 - [FX2LP DMB-T/H TV Dongle reference design](#)
 - **モデル: IBIS**

EZ-USB™ FX2LP 開発キット

[CY3684 EZ-USB™ FX2LP 開発キット](#) は FX2LP 用の完全な開発リソースです。これは FX2LP を使用してカスタム プロジェクトの開発およびテスト用のプラットフォームを提供します。

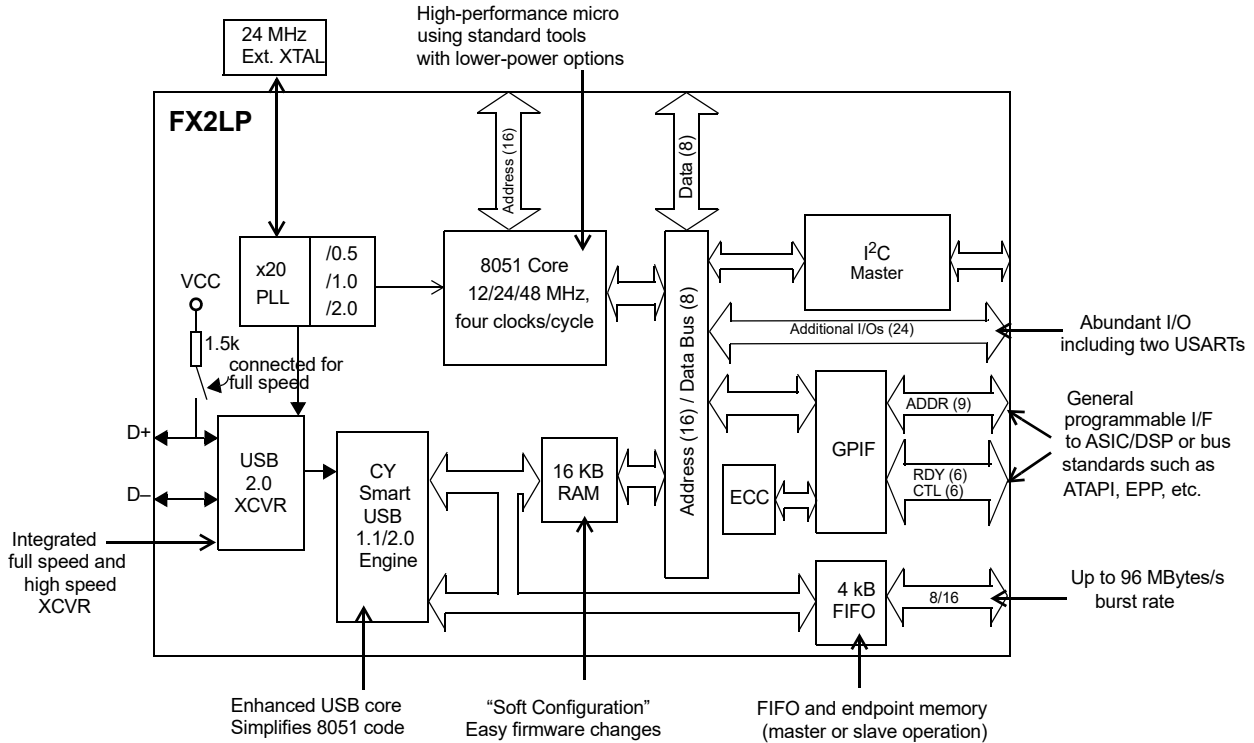
[CY3689 EZ-USB™ FX2LP 開発キット](#) は、初心者と経験豊富なユーザーが FX2LP を使用してさまざまなアプリケーションを実装するために役立つ新しく設計されたキットです。

この開発キットは、FX2LP を用いた設計のファームウェア、ハードウェアおよびソフトウェア面の関連資料を含みます。

GPIF™ Designer

FX2LP™ 汎用プログラマブル インタフェース (GPIF) は、外部インタフェースが必要とするデータと制御信号を生成する独立のハードウェア ユニットを提供します。FX2LP GPIF Designer はグラフィカル ユーザ インタフェースを使用し、EZ-USB™ FX2/FX2LP チップファミリの GPIF 波形ディスクリプタを作成および修正できます。GPIF および GPIF Designer を使用したプログラミングの詳細な説明は、GPIF Designer で提供される「[FX2LP Technical Reference Manual](#)」および「[GPIF Designer User Guide](#)」に含まれます。「[AN66806 - Getting Started with EZ-USB™ FX2LP GPIF](#)」は良い入門書となります。

論理ブロックダイアグラム



サイプレスの EZ-USB™ FX2LP (CY7C68013A/14A) は、EZ-USB™ FX2 (CY7C68013) の低電力バージョンであり、高度に統合された低電力 USB 2.0 マイクロコントローラです。サイプレスは、USB 2.0 トランシーバ、シリアル インタフェース エンジン (SIE)、拡張 8051 マイクロコントローラ、およびプログラマブルな周辺デバイス インタフェースを単一のチップに統合することで、バスパワーで動作する低消費電力が必要なアプリケーションにおいて、市場導入までの時間が短いコスト効率に優れたソリューションを実現しました。

FX2LP の独創的なアーキテクチャにより、56 VFBGA と同じ小さいパッケージ (5 mm x 5mm) で低コストの 8051 マイクロコントローラを使用することで、1 秒あたり 53 Mbyte を超えるデータ転送率、すなわち USB 2.0 の最大許容帯域幅が実現されています。FX2LP には USB 2.0 トランシーバが内蔵されているため、経済性に優れ、USB 2.0 SIE や外部トランシーバの実装よりも小さい実装面積ですみます。EZ-USB™ FX2LP 搭載によ

り、サイプレス Smart SIE は、ハードウェアで USB 1.1 および 2.0 プロトコルのほとんどを処理するのでマイクロコントローラをアプリケーション固有の機能に開放して USB の互換性を確認するための開発時間を短縮します。

GPIF (General Programmable Interface) およびマスタ / スレーブ エンドポイント FIFO (8 ビットまたは 16 ビットのデータバス) は、ATA、UTOPIA、EPP、PCMCIA、多くの DSP / プロセッサなどの一般に普及しているインタフェースへの容易で外付け部品なしでのインタフェースを提供します。

FX2LP はオンチップ コード / データ RAM が 2 倍である FX2 (CY7C68013) より消費電流が少なく、56、100、および 128 ピン FX2 と、外形形状、構造、および機能ともに互換性があります。

56VFBGA、56 SSOP、56 QFN、100 TQFP、および 128 TQFP という 5 つのパッケージがこのファミリに用意されています。

目次

アプリケーション	5	データ メモリの読み出し	43
機能の概要	5	データ メモリの書き込み	44
USB 信号速度	5	PORTC ストローク機能のタイミング	45
8051 マイクロプロセッサ	5	GPIF 同期信号	46
I ² C バス	5	スレープ FIFO 同期読み出し	47
バス	5	スレープ FIFO 非同期読み出し	48
USB のブート方法	6	スレープ FIFO 同期書き込み	49
再エニューメレーション	6	スレープ FIFO 非同期書き込み	50
バスパワーで動作するアプリケーション	6	スレープ FIFO 非同期パケット終了ストローブ	53
割込みシステム	6	スレープ FIFO 出力イネーブル	53
リセットとウェークアップ	9	スレープ FIFO アドレスからフラグ/データ	53
プログラム/データ RAM	10	スレープ FIFO 同期アドレス	54
レジスタ アドレス	11	スレープ FIFO 非同期アドレス	54
エンドポイント RAM	12	シーケンス図	55
外部 FIFO インタフェース	14	オーダ情報	59
GPIF	14	注文コードの定義	59
ECC 生成	15	パッケージ	60
USB のアップロードとダウンロード	15	PCB レイアウトの推奨事項	65
オートポイント アクセス	15	QFN パッケージ品の設計に関する注記	66
I ² C コントローラ	15	略号	67
前世代の EZ-USB™ FX2 との互換性	16	本書の表記法	67
CY7C68013A/14A と CY7C68015A/16A の違い	16	エラッタ	68
ピンの割り当て	17	影響を受ける製品番号	68
CY7C68013A/15A ピンの説明	24	CY7C68013A/14A/15A/16A 認定状況	68
レジスタの概要	33	CY7C68013A/14A/15A/16A エラッタ概要	68
絶対最大定格	40	改訂履歴	69
動作条件	40	セールス、ソリューション、および法律情報	70
熱特性	40	ワールドワイドな販売と設計サポート	70
DC 電気的特性	41	製品	70
USB トランシーバ	41	PSoC® ソリューション	70
AC 電気的特性	42	サイプレス開発者コミュニティ	70
USB トランシーバ	42	テクニカル サポート	70
プログラム メモリ読み出し	42		

アプリケーション

- ポータブルビデオレコーダ
- MPEG/TV変換
- DSLモデム
- ATAインタフェース
- メモリカードリーダー
- 従来の変換デバイス
- カメラ
- スキャナ
- ワイヤレスLAN
- MP3プレイヤー
- ネットワーク

サイプレス Web サイトの「リファレンス デザイン」セクションには、代表的な USB 2.0 アプリケーション用の追加ツールが記載されています。各リファレンス デザインには、ファームウェア ソース、オブジェクト コード、回路図、およびドキュメントが用意されています。詳細については、www.cypress.com をご覧ください。

機能の概要

USB 信号速度

FX2LP は、2000 年 4 月 27 日に発行された USB Specification Revision 2.0 に規定された 3 つの速度のうちの 2 つで動作します。

- フルスピード - 12 Mbps の信号ビット レート
- ハイスピード - 480 Mbps の信号ビット レート

FX2LP は、1.5 Mbps のロースピード信号モードはサポートしていません。

8051 マイクロプロセッサ

FX2LP ファミリーに組み込まれた 8051 マイクロプロセッサは、256 バイトの RAM、拡張割込みシステム、3 個のタイマ/カウンタ、および 2 個の USART を備えています。

8051 クロック周波数

FX2LP には、以下の特性を持つ 24 MHz (±100 ppm) の外付けの水晶振動子を使用したオンチップ発振器回路が搭載されています。

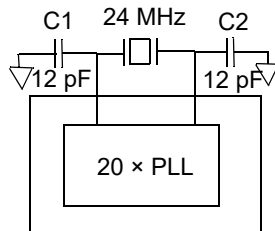
- 並列共振
- 基本モード
- 500mW 駆動レベル
- 12 pF (5% の許容誤差) 負荷コンデンサ

オンチップ PLL では、トランシーバ/PHY24 の要求に応じて 24 MHz の発振器を 480 MHz まで逡倍し、内部カウンタがこれを 8051 クロックとして使用するために分周します。デフォルトの 8051 クロック周波数は 12 MHz です。8051 のクロック周波数は、CPUCS レジスタを介して動的に 8051 で変更できます。

注:

3. 115 K ボー動作は、8051 SMOD0 または SMOD1 ビットを UART0 に対して、UART1 に対して、または両方に対して「1」にプログラムすることも可能です。
4. 実際の I²C クロック周波数は異なります。100 kHz と 400 kHz に設定した場合の測定された I²C クロック周波数は、それぞれ約 85 kHz と 300 kHz です。

図 1. 水晶発振回路の構成



コンデンサの値 12 pF は、FR4 4層基板の上の配線1本当りの容量 3 pF を考慮しています。

CLKOUT ピンは 3 ステートが可能で、内部制御ビットを使用して反転でき、選択された 8051 クロック周波数 (48 MHz、24 MHz、または 12 MHz) で 50% のデューティ比 8051 クロックを出力します。

USART

FX2LP は、特殊機能レジスタ (SFR) ビットを介してアドレス指定される 2 つの標準 8051 USART を含みます。USART インタフェース ピンは、別個の I/O ピンで使用でき、ポート ピンでは多重化されません。

UART0 および UART1 は、ボー レート エラーがわずか 1% である 230 K ボーの内部クロックを使用して動作できます。230 K ボーの動作は、内部で生成されるクロック ソースによって達成されます。このソースは適切な時間にオーバーフローパルスを生じます。内部クロックは、230 K ボーの動作に対して常に正しい周波数を示すように 8051 クロック速度 (48 MHz、24 MHz、12 MHz) を調整します。^[3]

特殊機能レジスタ

重要な FX2LP 機能への高速アクセスを提供するために、8051 には特定の SFR アドレスが追加されています。これらの追加 SFR を 6 ページの表 1 に示します。両方のタイプが非標準の強化された 8051 レジスタを示しています。「0」と「8」で終了する 2 つの SFR ローは、ビットアドレス可能なレジスタを含みます。A から D の 4 つの I/O ポートは、標準 8051 のポート 0 ~ 3 で使用されている SFR アドレスを使用し、これは FX2LP には実装されていません。SFR アドレス指定の迅速化と効率化を図るため、外部 RAM 空間では (MOVX 命令を使用して) FX2LP I/O ポートをアドレス指定できません。

I²C バス

FX2LP は、100/400 KHz でマスタのみとして I²C バスをサポートしています。^[4] SCL ピンと SDA ピンには、オープンドレイン出力とヒステリシス入力があります。これらの信号は I²C デバイスが接続されていない場合であっても 3.3 V にプルアップする必要があります。

バス

すべてのパッケージでの I/O ポート B および D で多重化された、8 ビットまたは 16 ビットの「FIFO」双方向データバス。128 ピンパッケージでは、16 ビットの出力専用の 8051 アドレスバス、8 ビット双方向データバスが追加されています。

表 1. 特殊機能レジスタ

x	8x	9x	Ax	Bx	Cx	Dx	Ex	Fx
0	IOA	IOB	IOC	IOD	SCON1	ps	AC	B
1	SP	EXIF	INT2CLR	IOE	SBUF1	-	-	-
2	DPL0	MPAGE	INT4CLR	OEA	-	-	-	-
3	DPH0	-	-	OEB	-	-	-	-
4	DPL1	-	-	OEC	-	-	-	-
5	DPH1	-	-	OED	-	-	-	-
6	DPS	-	-	OEE	-	-	-	-
7	PCON	-	-	-	-	-	-	-
8	TCON	SCON0	IE	IP	T2CON	EICON	EIE	EIP
9	TMOD	SBUF0	-	-	-	-	-	-
A	TL0	AUTOPTRH1	EP2468STAT	EP01STAT	RCAP2L	-	-	-
B	TL1	AUTOPTL1	EP24FIFOFLGS	GPIFTRIG	RCAP2H	-	-	-
C	TH0	予約済み	EP68FIFOFLGS		TL2	-	-	-
D	TH1	AUTOPTRH2	-	GPIFSGLDATH	TH2	-	-	-
E	CKCON	AUTOPTL2	-	GPIFSGLDATLX	-	-	-	-
F	-	予約済み	AUTOPTRSET-UP	GPIFSGLDATLNOX	-	-	-	-

USB のブート方法

起動シーケンス中、内部ロジックは EEPROM に接続された I²C ポートをチェックし、最初のバイトが 0xC0 または 0xC2 であることを確認します。見つかった場合、内部で記憶されている値の代わりに EEPROM の VID/PID/DID 値を使用します (0xC0 のとき)。または EEPROM の内容を内部 RAM にブートロードします (0xC2 のとき)。EEPROM が検出されない場合、FX2LP は内部で記憶されているディスクリプタを使用してエニユメレートします。FX2LP のデフォルト ID 値は、VID/PID/DID (0x04B4、0x8613、0xAxxx など。ここで xxx はチップ リビジョン) です。^[5]

表 2. FX2LP のデフォルト ID 値

デフォルトの VID/PID/DID		
ベンダ ID	0x04B4	サイプレス セミコンダクタ
プロダクト ID	0x8613	EZ-USB™ FX2LP
デバイス リリース	0xAxxx	チップ リビジョンによって異なる (nnn = チップ リビジョン。最初のシリコンであれば 001)

再エニユメレーション

FX2LP のコンフィギュレーションはソフトであるため、1 つのチップが複数の別個の USB デバイスの ID を持てます。

デバイスを USB に接続すると、FX2LP は最初に自動的にエニユメレートして、ファームウェアと USB ディスクリプタ テーブルを USB ケーブルを介してダウンロードします。次に、ダウンロードされた情報に定義されたデバイスとして、FX2LP は再びエニユメレートします。この特許化されている 2 段階のプロセスは、ReNumeration™ と呼ばれ、デバイスが USB に接続された直後に実行されるので、初期にダウンロード ステップが発生していることを意識させません。

注:

- I²C バス SCL ピンおよび SDA ピンは、EEPROM が接続されない場合であってもプルアップする必要があります。プルアップしない場合、この検出方法は正常に機能しません。

USBCS レジスタ (USB 制御およびステータス) の 2 つの制御ビットは、DISCON および RENUM という ReNumeration プロセスを制御します。USB の切断をシミュレートするには、ファームウェアは DISCON を 1 にセットします。再接続するには、ファームウェアは DISCON を 0 にクリアします。

再接続前に、ファームウェアは RENUM ビットを設定またはクリアし、ファームウェアとデフォルトの USB デバイスのいずれかがエンドポイント ゼロによってデバイス要求を処理するかを示します。RENUM が 0 のときは、デフォルトの USB デバイスがデバイス要求を処理し、RENUM が 1 のときは、ファームウェアが要求を処理します。

バスパワーで動作するアプリケーション

FX2LP は、USB 2.0 の規格で必要とされる 100 mA 未満のエニユメレートによってバス動作のデザインを完全にサポートしています。

割込みシステム

INT2 割込み要求とイネーブルレジスタ

FX2LP は、INT2 と INT4 向けの自動ベクトル機能を実装しています。27 INT2 (USB) ベクトル、および 14 INT4 (FIFO/GPIF) ベクトルがあります。詳細については、EZ-USB のテクニカルリファレンスマニュアル (TRM) を参照してください。

USB 割込みオートベクトル

メインの USB 割込みは、27 個の割込みソースで共有されます。個々の USB 割込みソースの特定に必要なコードと処理時間を節約するために、FX2LP にはオートベクトルと呼ばれる第 2 レベルの割込みベクトルがあります。USB 割込みがアサートされると、FX2LP はプログラムカウンタをそのスタックにプッシュし、USB 割込みサービスルーチンへの「ジャンプ」命令の検出が予測されるアドレス 0x0043 にジャンプします。

FX2LP ジャンプ命令は次のようにエンコードされます。

表 3. INT2 USB 割込み

INT2 の USB 割込みテーブル			
優先順位	INT2VEC 値	ソース	注
1	00	SUDAV	セットアップ データが使用可能
2	04	SOF	フレーム (またはマイクロフレーム) の開始
3	08	SUTOK	セットアップ トークン受信
4	0C	SUSPEND	USB サスペンド要求
5	10	USB RESET	バス リセット
6	14	HISPEED	ハイスピード動作に入った状態
7	18	EP0ACK	FX2LP ACK 応答された CONTROL ハンドシェイク
8	1C		予約済み
9	20	EP0-IN	EP0-IN はデータのロード準備が完了
10	24	EP0-OUT	EP0-OUT に USB データあり
11	28	EP1-IN	EP1-IN はデータのロード準備が完了
12	2C	EP1-OUT	EP1-OUT に USB データあり
13	30	EP2	IN: バッファは使用可能。OUT: バッファにデータあり
14	34	EP4	IN: バッファは使用可能。OUT: バッファにデータあり
15	38	EP6	IN: バッファは使用可能。OUT: バッファにデータあり
16	3C	EP8	IN: バッファは使用可能。OUT: バッファにデータあり
17	40	IBN	IN-Bulk-NAK (あらゆる IN エンドポイント)
18	44		予約済み
19	48	EP0PING	EP0 OUT に Ping が発行され、NAK 応答
20	4C	EP1PING	EP1 OUT に Ping が発行され、NAK 応答
21	50	EP2PING	EP2 OUT に Ping が発行され、NAK 応答
22	54	EP4PING	EP4 OUT に Ping が発行され、NAK 応答
23	58	EP6PING	EP6 OUT に Ping が発行され、NAK 応答
24	5C	EP8PING	EP8 OUT に Ping が発行され、NAK 応答
25	60	ERRLIMIT	バス エラーがプログラムされた限度を超過
26	64	-	-
27	68	-	予約済み
28	6C	-	予約済み
29	70	EP2ISOERR	ISO EP2 OUT PID シーケンス エラー
30	74	EP4ISOERR	ISO EP4 OUT PID シーケンス エラー
31	78	EP6ISOERR	ISO EP6 OUT PID シーケンス エラー
32	7C	EP8ISOERR	ISO EP8 OUT PID シーケンス エラー

オートベクトルがイネーブル (INTSET-UP レジスタで AV2EN = 1) である場合、FX2LP はその INT2VEC バイトを代用します。したがって、ジャンプ テーブル アドレスの上位バイト (「ページ」) が位置 0x0044 にプリロードされている場合、0x0045 に自動的に挿入された INT2VEC バイトが、ページ内の 27 個のアドレスから正しいアドレスへのジャンプを指示します。

FIFO/GPIF 割込み (INT4)

USB 割込みが 27 個の各 USB 割込みソース間で共用されているのと同じように、FIFO/GPIF 割込みは 14 個の各ソース間で共用されます。USB 割込みと同様に FIFO/GPIF 割込みはオートベクトルに対応できます。表 4 に 14 個の FIFO/GPIF 割込みソースに関する優先順位と INT4VEC 値を示します。

表 4. 各 FIFO/GPIF 割込みソース

優先順位	INT4VEC 値	ソース	注記
1	80	EP2PF	エンドポイント 2 プログラマブル フラグ
2	84	EP4PF	エンドポイント 4 プログラマブル フラグ
3	88	EP6PF	エンドポイント 6 プログラマブル フラグ
4	8C	EP8PF	エンドポイント 8 プログラマブル フラグ
5	90	EP2EF	エンドポイント 2 エンプティ フラグ ^[6]
6	94	EP4EF	エンドポイント 4 エンプティ フラグ
7	98	EP6EF	エンドポイント 6 エンプティ フラグ
8	9C	EP8EF	エンドポイント 8 エンプティ フラグ
9	A0	EP2FF	エンドポイント 2 フル フラグ
10	A4	EP4FF	エンドポイント 4 フル フラグ
11	A8	EP6FF	エンドポイント 6 フル フラグ
12	AC	EP8FF	エンドポイント 8 フル フラグ
13	B0	GPIFDONE	GPIF 動作の完了
14	B4	GPIFWF	GPIF の波形

オートベクトルがイネーブル (INTSET-UP レジスタで AV4EN = 1) である場合、FX 2LP はその INT4VEC バイトを代用します。したがって、ジャンプ テーブル アドレスの上位バイト (「ページ」) が位置 0x0054 にプリロードされている場合、0x0055 に自動的に挿入された INT4VEC バイトが、ページ内の 14 個のアドレスから正しいアドレスへのジャンプを指示します。ISR が発生すると、FX2LP はプログラム カウンタをそのスタックにプッシュしアドレス 0x0053 にジャンプします。そこには ISR 割込みサービス ルーチンへの「ジャンプ」命令が書かれています。

注:

6. エラッタ: スレーブ FIFO 非同期ワード ワイド モードでは、単一のワード データが USB ホストから、最初のトランザクションで OUT エンドポイント (EP) に設定された EP2 に転送された場合、エンプティ フラグは間違っても動作します。最初のトランザクションでデータ サイズが複数ワードである場合、これは起きません。詳細については、68 ページの「エラッタ」を参照してください。

リセットとウェークアップ

リセットピン

入力ピン RESET# は、アサート時に FX2LP をリセットします。このピンにはヒステリシスがあり、アクティブ LOW です。CY7C680xxA で水晶振動子が使用される場合、リセット期間中に水晶振動子と PLL が安定しなければいけません。このリセット期間は VCC が 3.0 V に達してから約 5 ms とします。水晶振動子の入力ピンがクロック信号によって駆動される場合、内部 PLL は VCC が 3.0 V に達してから 200 μ s で安定します。^[7]

図 2 に、パワーオン リセット条件および操作中に適用されるリセットを示します。パワーオン リセットは回路への電源供給中にアサートされる時間リセットとして定義されます。電源供給リセットとは、FX2LP が電源供給されて動作し、RESET# ピンがアサートされる状態です。

サイプレスでは、パワーオン リセットの実装の詳細および推奨に関するアプリケーション ノートを提供しています。FX2 製品ファミリのリセット実装の詳細は、<http://www.cypress.com> を参照してください。

図 2. リセット タイミング図

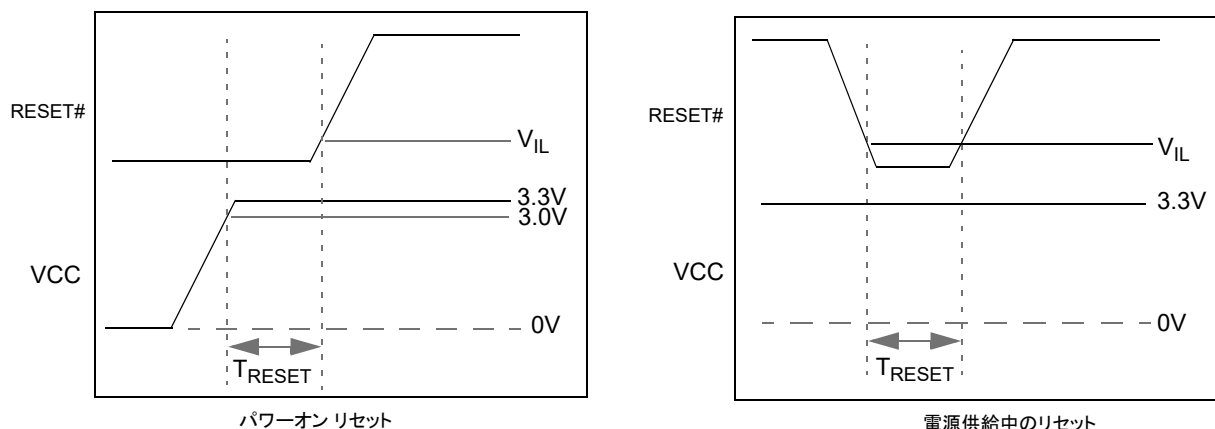


表 5. リセット タイミングの値

条件	T _{RESET}
水晶振動子でのパワーオン リセット	5 ms
外部クロックでのパワーオン リセット	200 μ s + クロック安定時間
電源供給中のリセット	200 μ s

ウェークアップピン

8051 は PCON.0 = 1 を設定することで自らとチップの残りをパワーダウンモードにします。これによって発振器と PLL が停止します。WAKEUP が外部ロジックでアサートされると、発振器は PLL が安定した後で再起動し、8051 はウェークアップ割込みを受け取ります。これは FX2LP が USB に接続されていてもいなくても同様です。

FX2LP は、以下のいずれかの方法で電源遮断 (USB サスペンド) 状態を終了します。

- USB バス アクティビティ (D+/D- ラインがフローティング状態である場合、これらのラインへのノイズが FX2LP にアクティビティを示しウェークアップを開始することがあります)
- 外部ロジックが WAKEUP ピンをアサートする
- 外部ロジックが PA3/WU2 ピンをアサートする

2 番目のウェークアップピンである WU2 は、汎用 I/O ピンとして構成することもできます。これによって、単純な外部 R-C 回路を周期的なウェークアップソースとして使用できます。WAKEUP はデフォルトでアクティブ LOW です。

注:

7. 外部クロックが CY7C680xxA と同時に起動され、安定するまで待機時間が必要な場合、その時間を 200 μ s に追加する必要があります。

プログラム / データ RAM

サイズ

FX2LPには16KBの内部プログラム/データRAMがあります。このRAMでは、PSEN#/RD#信号の論理和が内部で取られ、8051がプログラムとデータメモリの両方としてこのRAMにアクセスできるようにします。この空間にUSB制御レジスタは現れません。

以下の図には2つのメモリマップが示されます。

図3に、内部コードメモリであるEA=0を示します。

図4に、外部コードメモリであるEA=1を示します。

内部コードメモリ、EA=0

このモードでは、共有されたコードとデータメモリとして16KBブロックのRAM(0で開始)が実装されます。外部RAMまたはROMが追加されると、チップのメモリ空間に対するアクセスでは外部の読み出しおよび書き込みストロブが抑制されます。これによって、ユーザは内部メモリ空間と外部を区別するためのアドレスデコーダを必要とせずに64KBのメモリを接続できます。

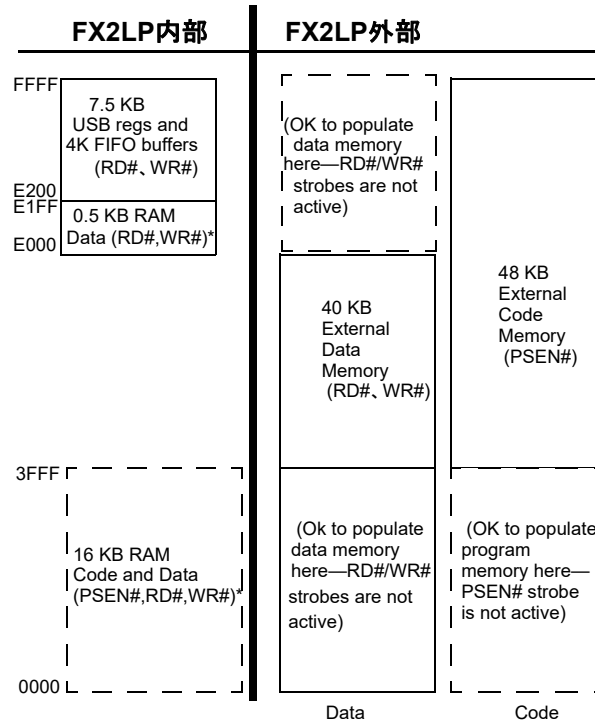
内部の16KBおよびスクラッチパッド0.5KB RAM空間のみ以下からのアクセスができます。

- USBのダウンロード
- USBのアップロード
- データポインタのセットアップ
- I²Cインタフェースのブートロード。

外部コードメモリ、EA=1

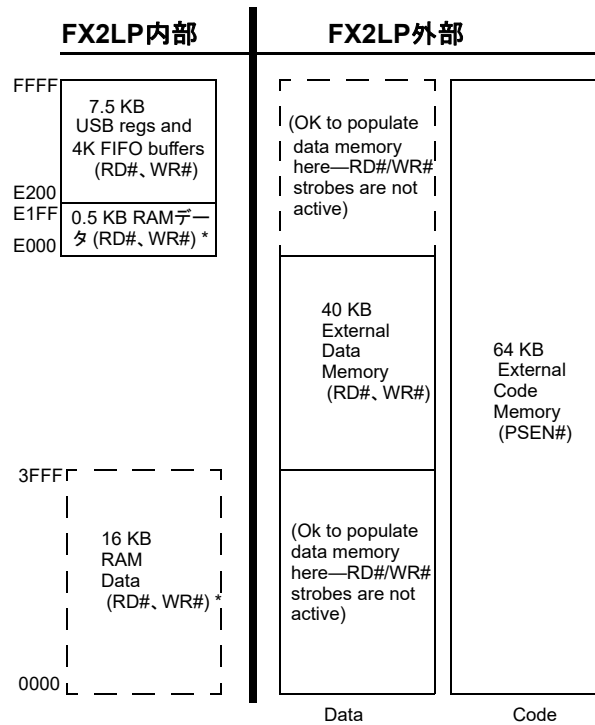
16KBのプログラムメモリは外部にあります。したがって内部RAMの下位の16KBには、データメモリとしてのみアクセスできます。

図3. 内部コードメモリ、EA=0



*SUDPTR, USB upload/download, I²C interface boot access

図 4. 外部コード メモリ、EA = 1


 *SUDPTR, USB upload/download, I²C interface boot access

レジスタ アドレス

FFFF	4 KB EP2-EP8 buffers (8 x 512)
F000	
EFFF	2 KB RESERVED
E800	
E7FF	64 BEP1IN
E7C0	
E7BF	64 Bytes EP1OUT
E780	
E77F	64 Bytes EP0 IN/OUT
E740	
E73F	64 Bytes RESERVED
E700	
E6FF	8051 Addressable Registers (512)
E500	
E4FF	Reserved (128)
E480	
E47F	128 Bytes GPIF Waveforms
E400	
E3FF	Reserved (512)
E200	
E1FF	512 Bytes 8051 xdata RAM
E000	

エンドポイント RAM

サイズ

- 3 x 64 バイト (エンドポイント 0 および 1)
- 8 x 512 バイト (エンドポイント 2、4、6、8)

構成

- EP0
- 双方向エンドポイント ゼロ、64 バイト バッファ
- EP1IN、EP1OUT
- 64 バイト バッファ、バルク転送またはインタラプト転送用
- EP2、4、6、8
- 8 個の 512 バイト バッファ、バルク転送、インタラプト転送またはアイソクロナス転送用。EP4 および EP8 は 2 重にバッファリング可能。EP2 および 6 は、いずれも 2 重、3 重、または 4 重バッファ型にできます。ハイスピードエンドポイントのコンフィグレーション オプションについては、[図 5](#) を参照してください。

セットアップ データ バッファ

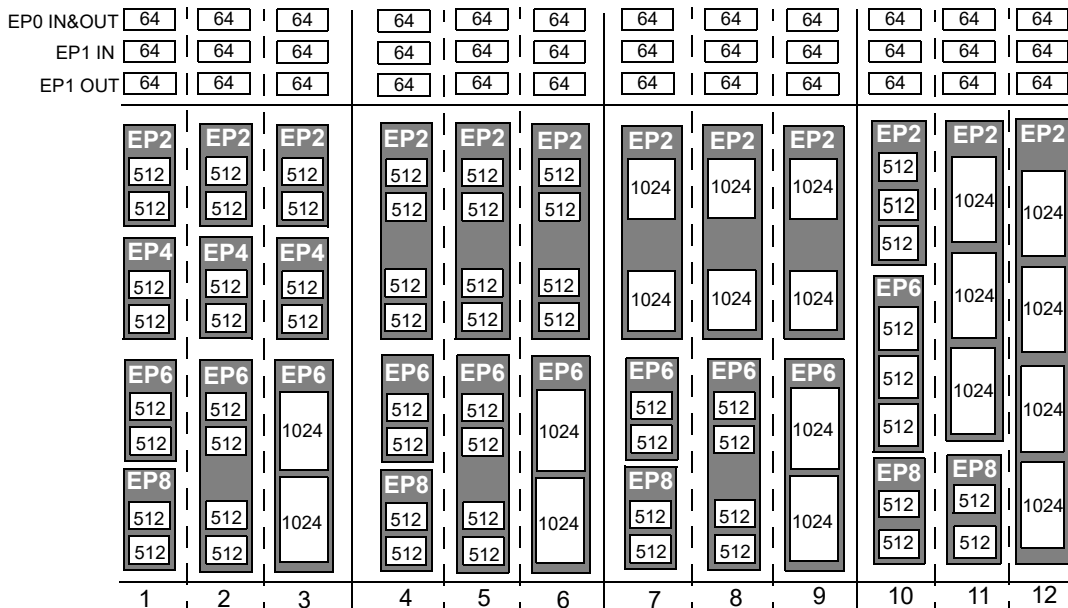
0xE6B8-0xE6BF の別個の 8 バイト バッファは、コントロール転送からのセットアップ データを保持します。

エンドポイントのコンフィグレーション (ハイスピードモード)

エンドポイント 0 および 1 は、すべてのコンフィグレーションについて同じです。エンドポイント 0 は唯一の CONTROL エンドポイントであり、エンドポイント 1 はバルクと INTERRUPT のいずれにすることもできます。

エンドポイント バッファは、列に示された 12 のコンフィグレーションのいずれか 1 つに構成できます。フルスピードのバルクモードで動作する場合、各バッファの最初の 64 バイトのみが使用されます。例えば、ハイスピード モードでは、最大パケットサイズは 512 バイトですが、フルスピード モードでは 64 バイトです。バッファは 512 バイト バッファにコンフィグレーションされていますが、フルスピード モードでは、最初の 64 バイトのみが使用されます。未使用のエンドポイント バッファ空き領域は他の処理には使用できません。サンプルのエンドポイント コンフィグレーションは、EP2-1024 2 重バッファ型、EP6-512 4 重バッファ型 (コラム 8) です。

図 5. エンドポイントのコンフィグレーション



初期設定されたフルスピードモードの設定

 表 6. 初期設定されたフルスピードモードの設定^[8,9]

選択可能な設定	0	1	2	3
ep0	64	64	64	64
ep1out	0	64 バルク	64 インタラプト	64 インタラプト
ep1in	0	64 バルク	64 インタラプト	64 インタラプト
ep2	0	64 バルク アウト (2 x)	64 インタラプト アウト (2 x)	64 アイソクロナス アウト (2 x)
ep4	0	64 バルク アウト (2 x)	64 バルク アウト (2 x)	64 バルク アウト (2 x)
ep6	0	64 バルク イン (2 x)	64 インタラプト イン (2 x)	64 アイソクロナス イン (2 x)
ep8	0	64 バルク イン (2 x)	64 バルク イン (2 x)	64 バルク イン (2 x)

初期設定されたハイスピードモードの設定

 表 7. 初期設定されたハイスピードモードの設定^[8,9]

選択可能な設定	0	1	2	3
ep0	64	64	64	64
ep1out	0	512 バルク ^[10]	64 インタラプト	64 インタラプト
ep1in	0	512 バルク ^[10]	64 インタラプト	64 インタラプト
ep2	0	512 バルク アウト (2 x)	512 インタラプト アウト (2 x)	512 アイソクロナス アウト (2 x)
ep4	0	512 バルク アウト (2 x)	512 バルク アウト (2 x)	512 バルク アウト (2 x)
ep6	0	512 バルク イン (2 x)	512 インタラプト イン (2 x)	512 アイソクロナス イン (2 x)
ep8	0	512 バルク イン (2 x)	512 バルク イン (2 x)	512 バルク イン (2 x)

注:

8. 「0」は「実装なし」を意味します。

9. 「2 x」は「2重バッファ型」を意味します。

10. これらのバッファは64バイトですがUSB 2.0 準拠のために512バイトとしてレポートされます。ユーザは64バイトよりも大きなパケットをEP1に転送してはなりません。

外部 FIFO インタフェース

アーキテクチャ

FX2LP スレーブ FIFO アーキテクチャは、エンドポイント RAM に 8 個の 512 バイト ブロックを持ちます。これらは FIFO メモリとして直接機能し、FIFO 制御信号 (IFCLK、SLCS#、SLRD、SLWR、SLOE、PKTEND、フラグなど) によって制御されます。

処理中には、この 8 個の RAM ブロックのうち、SIE から満たされるか空にされるものもあれば、I/O 転送ロジックに接続されるものもあります。転送ロジックは内部で生成される制御信号用の GPIF、および外部で制御される転送用のスレーブ FIFO という 2 つの形式をとります。

マスタ/スレーブの制御信号

FX2LP エンドポイント FIFOs は、物理的に異なった 8 個の 256x16 RAM ブロックとして実装されます。8051/SIE は、USB (SIE) ドメインと 8051-I/O 単位ドメインの 2 つのドメイン間で RAM ブロックをどれでも切り替えられます。このスイッチングは、「USB FIFOs」と「スレーブ FIFOs」間の転送時間を基本的に不要とすることでほとんど同時に実行されます。これらは物理的には同じメモリであるため、実際にはバイトがバッファ間で転送されることはありません。

どの時点においても、SIE 制御下で USB データによって満たされる/空にされる RAM ブロックもあれば、8051、I/O 制御ユニット、またはその両方で使用できる RAM ブロックもあります。RAM ブロックは USB ドメインでは単一のポートとして動作し、8051-I/O ドメインではデュアルポートとして動作します。前述のとおり、ブロックは、単一バッファ、2 重バッファ、3 重バッファ、または 4 重バッファ型でコンフィグレーションできます。

I/O 制御ユニットは、内部マスタ (マスタを M と表記) または外部マスタ (スレーブを S と表記) のいずれかのインタフェースを実装します。

マスタ (M) モードでは、GPIF は FIFO を選択するように内部で FIFOADR[1..0] を制御します。RDY ピン (56 ピンパッケージでは 2 個、100 ピン/128 ピンパッケージでは 6 個) は、外部 FIFO または必要に応じて他のロジックからのフラグ入力として使用できます。GPIF は、内部で派生したクロックから、または外部から供給された (IFCLK) クロックから、最大データ転送率 96 MB/秒 (16 ビットのインタフェースで 48 MHz IFCLK) で実行できます。

スレーブ (S) モードでは、FX2LP は、内部で派生したクロックと外部から供給されたクロック (IFCLK、最大周波数は 48 MHz) のいずれか、および外部ロジックからの SLCS#、SLRD、SLWR、SLOE、PKTEND 信号を受け入れます。外部 IFCLK を使用する場合、外部クロックは IFCLKSRC ビットによって外部クロックに切り替わる前に存在していなければなりません。各エンドポイントは、内部コンフィグレーションによってバイトまたはワード処理に対して個々に選択でき、スレーブ FIFO イネーブル出力信号である SLOE によって選択された幅のデータがイネーブルになります。外部ロジックは、スレーブ FIFO へのデータ書き込み時にイネーブル出力信号が非アクティブになるようにする必要があります。また、スレーブ インタフェースは非同期にも動作できます。この場合、同期モードにおけるクロック修飾子としてではなく SLRD 信号と SLWR 信号がストロブとして直接動作します。SLRD、SLWR、SLOE、および PKTEND 信号は、SLCS# 信号によってゲートされます。

GPIF および FIFO クロック速度

8051 レジスタ ビットは、内部に供給されるインタフェース クロックである 30 MHz と 48 MHz の 2 つの周波数のうちの 1 つを選択します。または、IFCLK ピンに外部から入力される 5 MHz ~ 48 MHz のクロックをインタフェース クロックとして使用できます。GPIF と FIFO が内部で記録される場合は、IFCLK を出力クロックとして機能するようにコンフィグレーションできます。IFCONFIG レジスタの出力イネーブル ビットは、このクロック出力を必要に応じてオフにします。IFCONFIG レジスタ内の別のビットは、IFCLK 信号をその供給が内部か外部かに関係なく反転します。

GPIF

GPIF は、ユーザによるプログラム可能な有限のステートマシンによって駆動される、フレキシブルな 8 ビットまたは 16 ビットのパラレル インタフェースです。GPIF は、CY7C68013A/15A をイネーブルにしてローカル バス マスタリングを実行し、ATA インタフェース、プリンタ パラレルポート、Utopia などのさまざまなプロトコルを実装できます。

GPIF には、6 つのプログラマブルな Control Output (CTL)、9 つの Address Output (GPIFADR_x)、および 6 つの汎用 Ready Input (RDY) があります。データバスの幅は 8 ビットまたは 16 ビットにできます。各 GPIF ベクトルは、Control Output の状態を定義し、遷移する前に、Ready Input (または複数の入力) がどのような状態にならなければならないかを決定します。GPIF ベクトルをプログラムして、FIFO を次のデータ値に進ませる、またはアドレスを進ませられます。GPIF ベクトルのシーケンスは、単一の波形を生成し、これは FX2LP と外部デバイスとの間で任意のデータを移動するために実行されます。

6 つの Control OUT 信号

100 ピンと 128 ピンのパッケージは、6 つの Control Output ピン (CTL0 ~ CTL5) をすべて持っています。8051 は CTL 波形を定義するように GPIF ユニットのプログラムします。56 ピンパッケージは、これらの 3 つの信号 (CTL0 ~ CTL2) を持っています。CTL_x 波形エッジを 1 クロックごとに (48 MHz クロックでは 20.8 ns) 遷移するようにプログラムできます。

6 つの Ready IN 信号

100 ピンと 128 ピンのパッケージは、6 つの Ready Input (RDY0 ~ RDY5) をすべて持っています。8051 は、GPIF 分岐について RDY ピンをテストするように GPIF ユニットのプログラムします。56 ピンパッケージは、これらの 2 つの信号 (RDY0 ~ 1) を持っています。

9 つの GPIF Address OUT 信号

100 ピンおよび 128 ピンパッケージでは 9 つの GPIF アドレス行 (GPIFADR[8..0]) を使用できます。GPIF アドレス行は、最大 512 バイト ブロックの RAM 全体のインデックス化をイネーブルにします。さらに多くのアドレス行が必要な場合は、I/O ポートのピンが使用されます。

ロング転送モード

マスタ モードでは、8051 は最大 2^{32} トランザクションの応答転送のために GPIF トランザクション カウント レジスタ (GPIFTCB3、GPIFTCB2、GPIFTCB1、または GPIFTCB0) を適切に設定します。GPIF は、データ フローを自動的に調整して、要求されたすべての数のトランザクションが完了するまでアンダーフローまたはオーバーフローを防止します。GPIF はこれらのレジスタの値を減算して、トランザクションの現在のステータスを表します。

ECC 生成

EZ-USB は、GPIF またはスレーブ FIFO インタフェースを通過するデータの ECC (誤り訂正符号)^[11] を計算できます。次の 2 つの ECC コンフィグレーションがあります。これらは、それぞれが 256 バイトにわたって計算される 2 つの ECC (SmartMedia 規格)、および 512 バイトにわたって計算される 1 つの ECC という 2 とおりです。

ECC は、1 ビットのエラーを訂正でき、2 ビットのエラーを検出できます。

ECC の実装

次の 2 つの ECC コンフィグレーションは ECCM ビットで選択されます。

ECCM = 0

2 つの 3 バイト ECC。それぞれが 256 バイトのデータ ブロックにわたって計算されます。このコンフィグレーションは SmartMedia の規格に準拠しています。

ECCRESET に値を書き込んで、データを GPIF またはスレーブ FIFO インタフェースを介して渡します。先頭の 256 バイトのデータの ECC が計算され、ECC1 に格納されます。次の 256 バイトの ECC が ECC2 に格納されます。2 番目の ECC が計算された後は、その後インタフェースを介してデータがさらに渡されたとしても、ECCRESET が再び書き込まれるまで ECC x レジスタは変更されません。

ECCM = 1

512 バイトのデータ ブロックにわたって計算される 1 つの 3 バイト ECC。

ECCRESET に値を書き込んで、データを GPIF またはスレーブ FIFO インタフェースを介して渡します。先頭の 512 バイトのデータの ECC が計算され、ECC1 に格納されます。ECC2 は使用されません。ECC が計算された後は、その後インタフェースを介してデータがさらに渡されたとしても、ECCRESET が再び書き込まれるまで ECC1 は変更されません。

USB のアップロードとダウンロード

コアは、内部 16 KB の RAM、および内部 512 バイトのスクラッチパッド RAM のデータ内容を、ベンダ固有のコマンドを介して直接編集できます。この機能は、通常はユーザ コードをソフトダウンロードするとき使用され、8051 がリセットにホールドされている場合のみ内部 RAM との間でのみ使用できます。使用可能な RAM 空間は 0x0000-0x3FFF (コード/データ) からの 16 KB、および 0xE000-0xE1FF (スクラッチパッドデータ RAM) からの 512 バイトです。^[12]

オートポインタ アクセス

FX2LP には 2 つのまったく同じオートポインタが用意されています。これらは内部 8051 データポインタに似ていますが、メモリ アクセスごとにオプションでインクリメントできるとい

う機能が追加されています。この機能は、内部 RAM と外部 RAM の両方との間で使用できます。オートポインタは、モードビット (AUTOPTRESET-UP.0) の制御下にある外部 FX2LP レジスタで使用できます。外部 FX2LP オートポインタ アクセスを (0xE67B ~ 0xE67C で) 使用すると、オートポインタはデバイスへの外部および内部 RAM すべてにアクセスできます。

また、オートポインタは、FX2LP レジスタまたはエンドポイントバッファ空間をポイントできます。オートポインタの外部メモリへのアクセスがイネーブルになると、XDATA とコード空間の 0xE67B と 0xE67C の位置は使用できなくなります。

I²C コントローラ

FX2LP には、2 つの内部コントローラによって駆動される 1 つの I²C ポートがあります。この 1 つの内部コントローラはブート時に自動的に動作して VID/PID/DID およびコンフィグレーション情報をロードします。また、もう 1 つの内部コントローラは 8051 が動作時に外部の I²C デバイスを制御するために使用します。I²C ポートは、マスタモードのみで動作します。

I²C ポートのピン

I²C ピンである SCL と SDA は、EEPROM が FX2LP に接続されていない場合であっても外部 2.2 W プルアップ抵抗を持たなければなりません。外部の EEPROM デバイス アドレスピンは、適切にコンフィグレーションされている必要があります。デバイス アドレスピンのコンフィグレーションについては、表 8 を参照してください。

表 8. EEPROM アドレスピンの設定

バイト	品種例	A2	A1	A0
16	24LC00 ^[13]	該当なし	該当なし	該当なし
128	24LC01	0	0	0
256	24LC02	0	0	0
4K	24LC32	0	0	1
8K	24LC64	0	0	1
16K	24LC128	0	0	1

I²C インタフェース ブート ロード アクセス

パワーオン リセット時には、I²C インタフェース ブートローダは、VID/PID/DID コンフィグレーション バイトおよび最大 16 KB のプログラム/データをロードします。使用可能な RAM 空間は、0x0000-0x3FFF の 16KB、および 0xE000-0xE1FF の 512 バイトです。8051 はリセット状態です。I²C インタフェースブートは、パワーオン リセットの後のみ発生します。

I²C インタフェース 汎用アクセス

8051 は、I²CTL レジスタおよび I2DAT レジスタを使用して I²C バスに接続されている周辺デバイスを制御できます。FX2LP は I²C マスタ制御のみを提供し、これが I²C スレーブとなることはありません。

注

11. ECC ロジックを使用するには、GPIF またはスレーブ FIFO インタフェースをバイト幅動作に構成する必要があります。
12. データがホストからダウンロードされた後、「ローダー」を内部 RAM から実行してダウンロードされたデータを外部メモリに転送できます。
13. この EEPROM にアドレスピンはありません。

前世代の EZ-USB™ FX2 との互換性

EZ-USB™ FX2LP は、EZ-USB™ FX2 と外形形状、構造上の互換性があり、極少数の例外はあるものの機能上も互換性があります。このため、設計者はシステムを FX2 から FX2LP にアップグレードする場合、移行を簡単に行えます。ピンの機能と用意されたパッケージは同じであり、FX2 のために以前開発されたファームウェアの大部分が FX2LP でも機能します。

FX2 から FX2LP に移行する場合、部品表の変更とメモリ割り当ての見直し（内部メモリが増加しているため）が必要です。EZ-USB™ FX2 から EZ-USB™ FX2LP への移行の詳細については、サイプレス Web サイトで入手できるアプリケーションノート「[Migrating from EZ-USB™ FX2 to EZ-USB™ FX2LP](#)」を参照してください。

表 9. 部品番号の変換表

EZ-USB™ FX2 部品番号	EZ-USB™ FX2LP 部品番号	パッケージ 説明
CY7C68013-56PVC	CY7C68013A-56PVXC または CY7C68014A-56PVXC	56 ピン SSOP
CY7C68013-56PVCT	CY7C68013A-56PVXCT または CY7C68014A-56PVXCT	56 ピン SSOP - テープおよび リール
CY7C68013-56LFC	CY7C68013A-56LFXC または CY7C68014A-56LFXC	56 ピン QFN
CY7C68013-100AC	CY7C68013A-100AXC または CY7C68014A-100AXC	100 ピン TQFP
CY7C68013-128AC	CY7C68013A-128AXC または CY7C68014A-128AXC	128 ピン TQFP

CY7C68013A/14A と CY7C68015A/16A の違い

CY7C68013A は、外形形状、構造、機能が CY7C68014A と同じです。CY7C68015A は、外形形状、構造、機能が CY7C68016A と同じです。CY7C68014A および CY7C68016A は、それぞれ CY7C68013A および CY7C68015A よりもサスペンド電流が低く、消費電力に敏感な電池式アプリケーションには理想的です。

CY7C68015A および CY7C68016A は、56 ピンの QFN パッケージのみで入手できません。IFCLK と CLKOUT がいずれも 56 ピンパッケージで不要な場合、柔軟性を高めるために 2 つの追加の GPIO 信号が CY7C68015A および CY7C68016A に用意されています。

FX2 56 ピン アプリケーションをバスパワーで動作するシステムに直接変換する USB 開発者は、これらの追加の信号から直接恩恵を受けます。2 つの GPIO によって、開発者はバスパワーで動作するアプリケーションのパワー制御回路に必要な信号を、FX2LP のピン数の多いバージョンに変更せずに入手できます。

CY7C68015A は、56 ピン QFN パッケージのみで入手できます。

表 10. CY7C68013A/14A と CY7C68015A/16A のピンの違い

CY7C68013A/CY7C68014A	CY7C68015A/CY7C68016A
IFCLK	PE0
CLKOUT	PE1

ピンの割り当て

図 6 に、5つのパッケージ タイプのすべての信号を示します。以降のページでは、各ピンの図に加えて、128ピン、100ピン、および56ピンのパッケージで信号のどのフルセットを利用できるかを示した組み合わせの図も示します。

図 6 の 56ピンパッケージの左端に示された信号は、記載されているとおり CY7C68013A/14A と CY7C68015A/16A の違いがありますが、FX2LP ファミリのすべてのバージョンに共通です。

ポート、GPIF マスタ、およびスレーブ FIFO という 3つのモードはすべてのパッケージバージョンで使用できます。これらのモードによって図の右端の信号が定義されます。8051 は、IFCONFIG[1:0] レジスタビットを使用してインタフェースモードを選択します。ポートモードは、パワーオンデフォルトコンフィグレーションです。

100ピンのパッケージは、次のピンを追加することで56ピンパッケージに機能を追加しています。

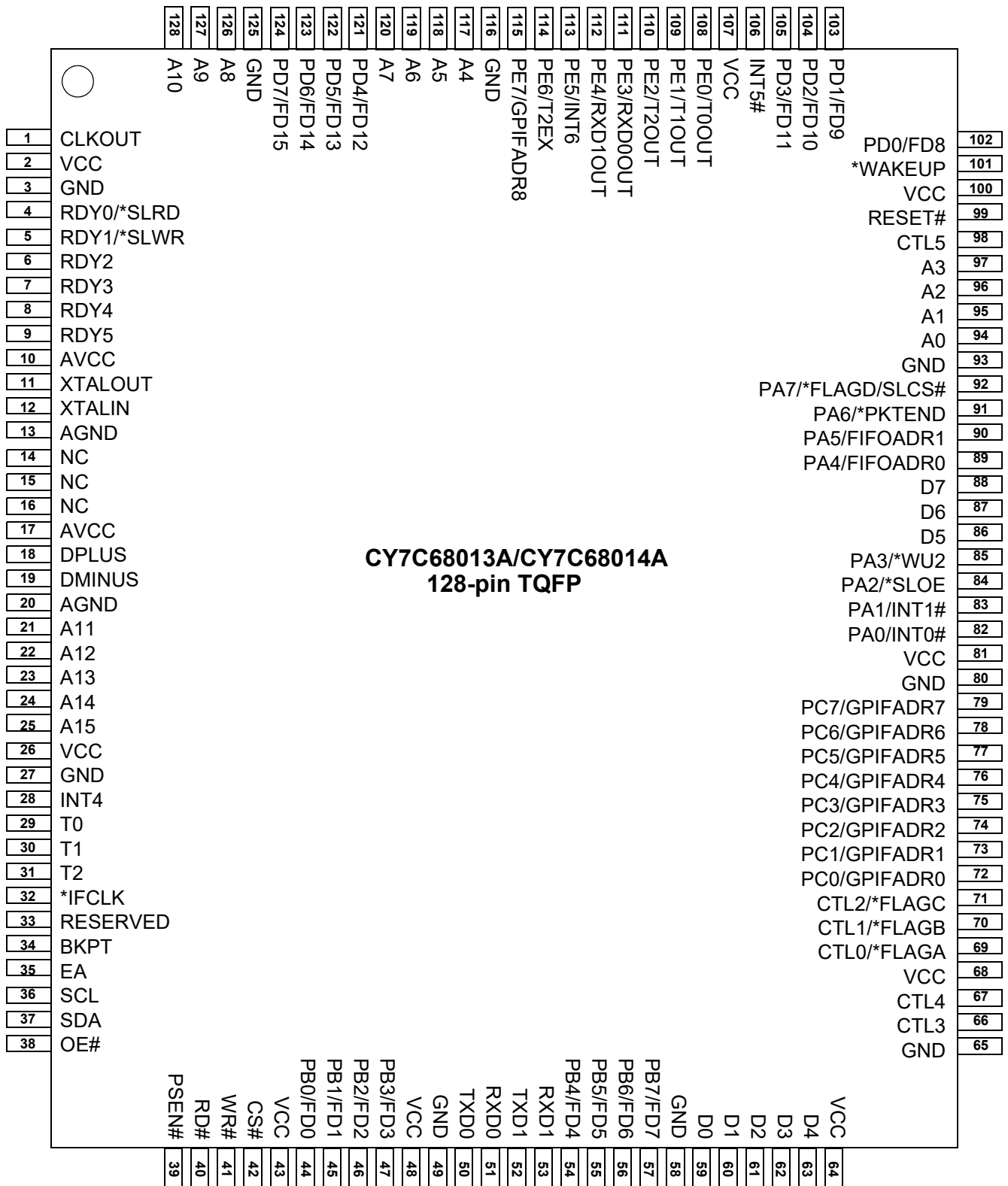
- PORTC または GPIFADR[7:0] アドレス信号
- PORTE または、GPIFADR[8] アドレス信号および 7つの追加 8051 信号
- 3つの GPIF Control 信号
- 4つの GPIF Ready 信号
- 9つの 8051 信号 (2つの USART、3つのタイマ入力、INT4、および INT5#)
- BKPT、RD#、WR#

128ピンパッケージは、8051 アドレスおよびデータバスのほか、制御信号を追加しています。2つの必須信号 RD# および WR# は、100ピンバージョンに存在することに注意してください。

100ピンおよび128ピンのバージョンでは、8051 が PORTC との読み出し / 書き込みを実行する時に、RD# ピンと WR# ピンにパルスを送るように8051制御ビットを設定できます。この機能は、CPUCS レジスタに PORTCSTB ビットを設定することでイネーブルになります。

PORTC ストローブ機能のタイミング は、PORTC へのアクセス時の読み出し / 書き込みストローブ機能のタイミング図を示したものです。

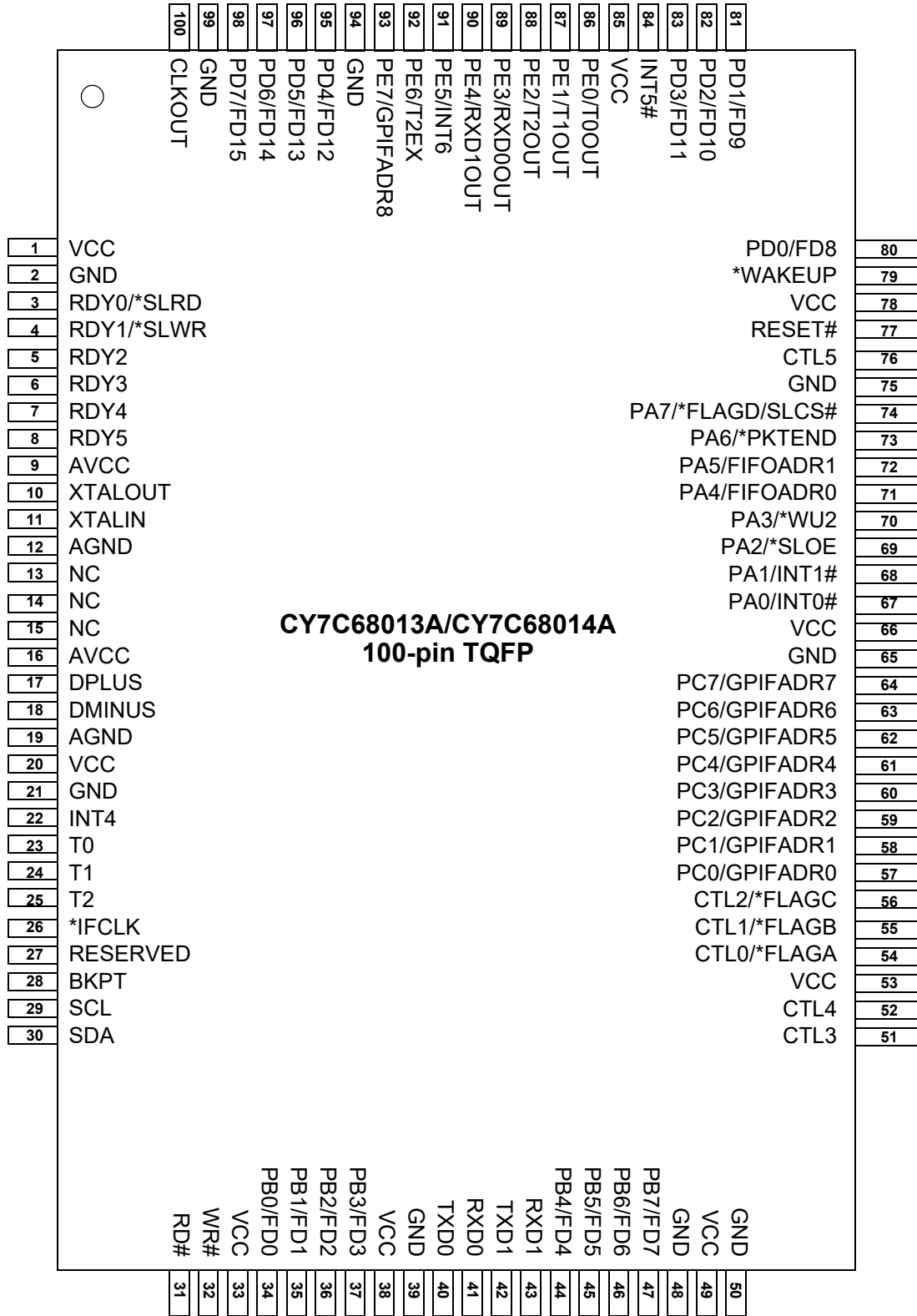
図 7. CY7C68013A/CY7C68014A 128 ピン TQFP のピン割り当て



CY7C68013A/CY7C68014A
128-pin TQFP

* denotes programmable polarity

図 8. CY7C68013A/CY7C68014A 100 ピン TQFP のピン割り当て



* denotes programmable polarity

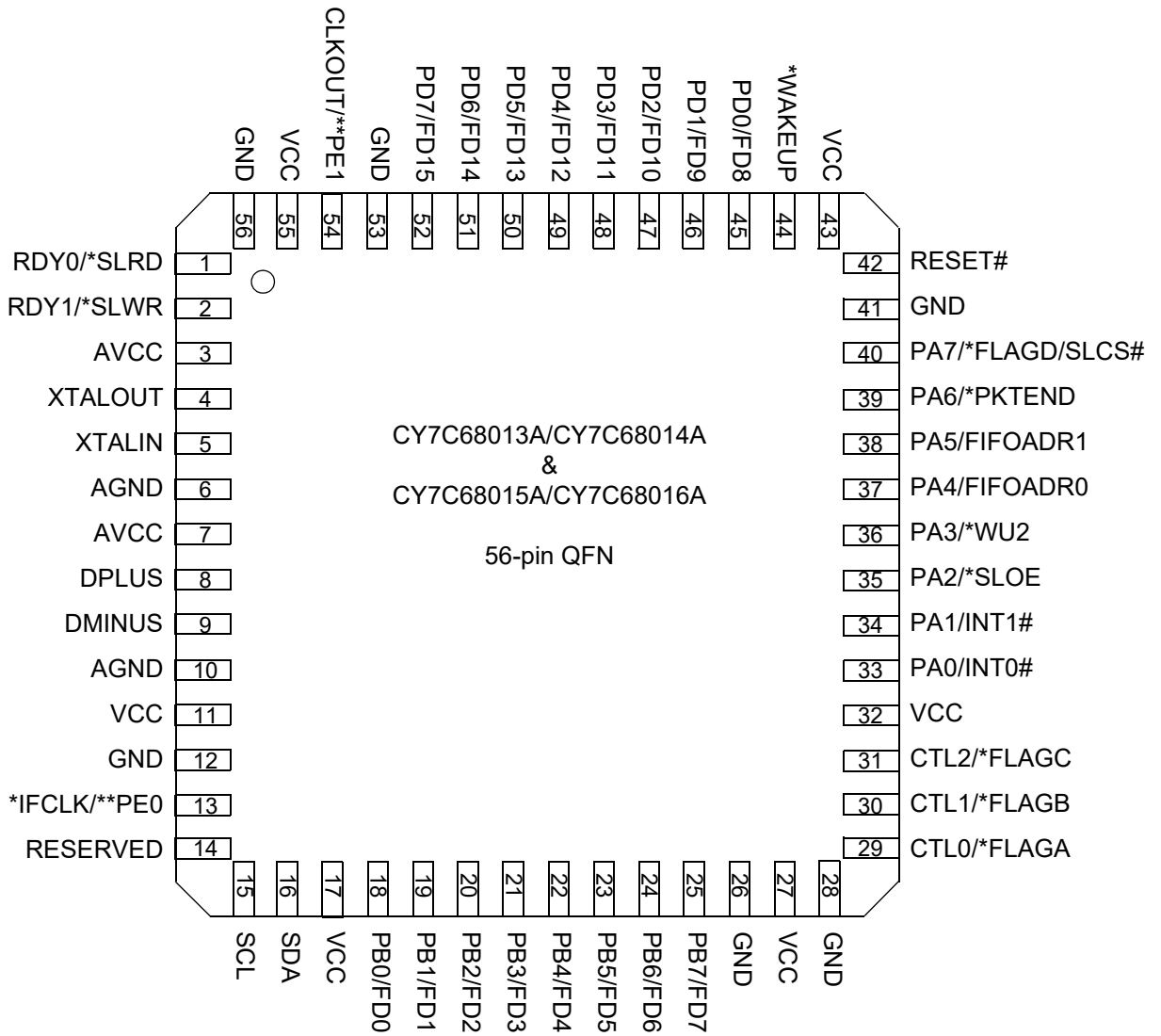
図 9. CY7C68013A/CY7C68014A 56 ピン SSOP のピン割り当て

CY7C68013A/CY7C68014A
56-pin SSOP

1	PD5/FD13	PD4/FD12	56
2	PD6/FD14	PD3/FD11	55
3	PD7/FD15	PD2/FD10	54
4	GND	PD1/FD9	53
5	CLKOUT	PD0/FD8	52
6	VCC	*WAKEUP	51
7	GND	VCC	50
8	RDY0/*SLRD	RESET#	49
9	RDY1/*SLWR	GND	48
10	AVCC	PA7/*FLAGD/SLCS#	47
11	XTALOUT	PA6/PKTEND	46
12	XTALIN	PA5/FIFOADR1	45
13	AGND	PA4/FIFOADR0	44
14	AVCC	PA3/*WU2	43
15	DPLUS	PA2/*SLOE	42
16	DMINUS	PA1/INT1#	41
17	AGND	PA0/INT0#	40
18	VCC	VCC	39
19	GND	CTL2/*FLAGC	38
20	*IFCLK	CTL1/*FLAGB	37
21	RESERVED	CTL0/*FLAGA	36
22	SCL	GND	35
23	SDA	VCC	34
24	VCC	GND	33
25	PB0/FD0	PB7/FD7	32
26	PB1/FD1	PB6/FD6	31
27	PB2/FD2	PB5/FD5	30
28	PB3/FD3	PB4/FD4	29

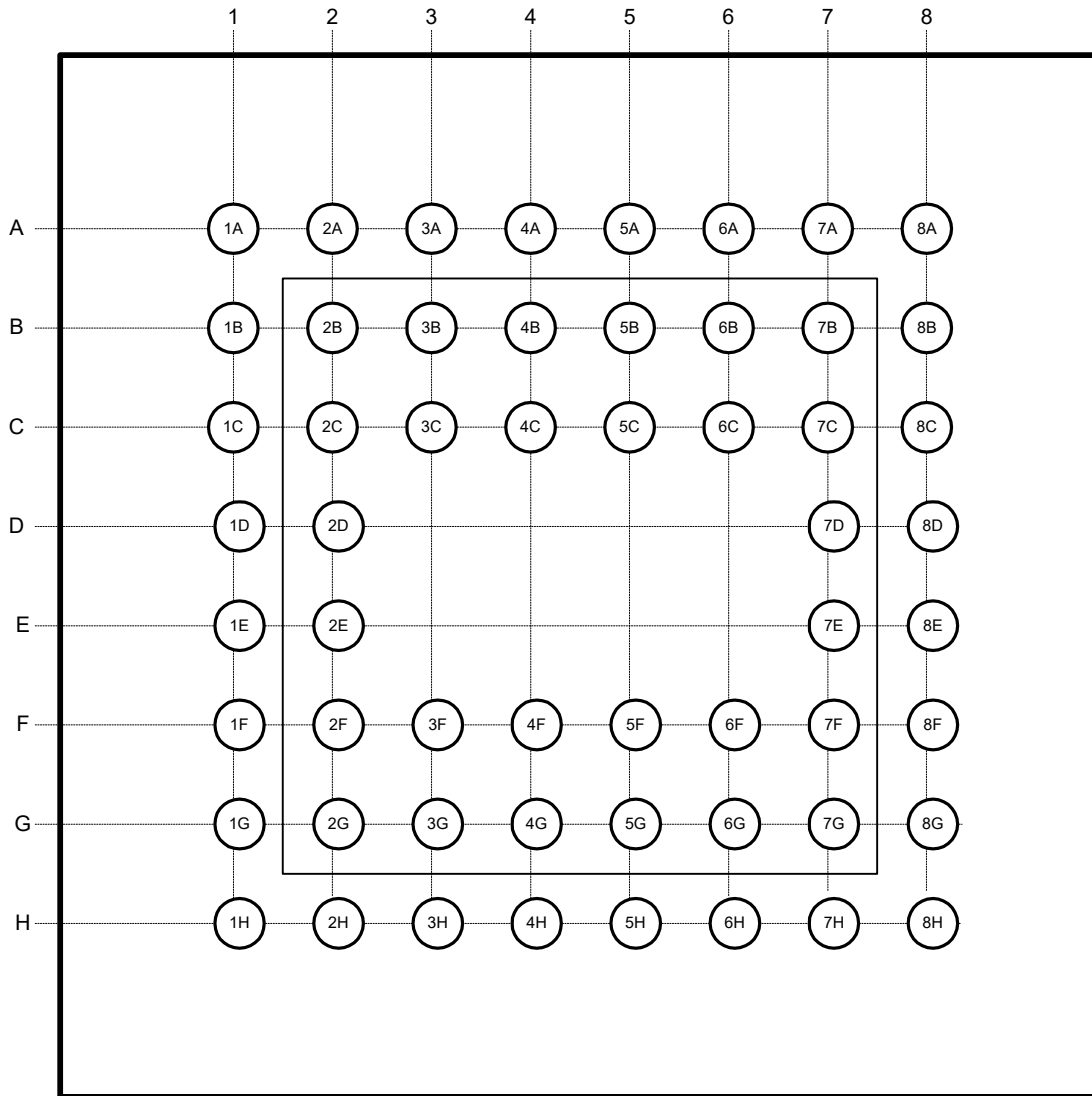
* denotes programmable polarity

図 10. CY7C68013A/14A/15A/16A 56 ピン QFN のピン割り当て



* denotes programmable polarity
** denotes CY7C68015A/CY7C68016A pinout

図 11. CY7C68013A 56 ピン VFBGA のピン割り当て - 上面図



CY7C68013A/15A ピンの説明

表 11. FX2LP ピンの説明 ^[14]

128 TQFP	100 TQFP	56 SSOP	56 QFN	56 VFBGA	名前	タイプ	デフォルト	リセット ^[15]	説明
10	9	10	3	2D	AVCC	電源	該当なし	該当なし	アナログ VCC 。このピンを 3.3V の電源に接続します。この信号は、チップのアナログのセクションへの電力を提供する
17	16	14	7	1D	AVCC	電源	該当なし	該当なし	アナログ VCC 。このピンを 3.3V の電源に接続します。この信号は、チップのアナログのセクションへの電力を提供する
13	12	13	6	2F	AGND	グラウンド	該当なし	該当なし	アナログ グラウンド 。できる限り短いパスでグラウンドに接続する
20	19	17	10	1F	AGND	グラウンド	該当なし	該当なし	アナログ グラウンド 。できる限り短いパスでグラウンドに接続する
19	18	16	9	1E	DMINUS	I/O/Z	Z	該当なし	USB D- 信号 。USB D- 信号に接続する
18	17	15	8	2E	DPLUS	I/O/Z	Z	該当なし	USB D+ 信号 。USB D+ 信号に接続する
94	-	-	-	-	A0	出力	L	L	8051 アドレス バス 。このバスは常時駆動される。8051 が内部 RAM をアドレス指定する場合、これは内部アドレスを反映する
95	-	-	-	-	A1	出力	L	L	
96	-	-	-	-	A2	出力	L	L	
97	-	-	-	-	A3	出力	L	L	
117	-	-	-	-	A4	出力	L	L	
118	-	-	-	-	A5	出力	L	L	
119	-	-	-	-	A6	出力	L	L	
120	-	-	-	-	A7	出力	L	L	
126	-	-	-	-	A8	出力	L	L	
127	-	-	-	-	A9	出力	L	L	
128	-	-	-	-	A10	出力	L	L	
21	-	-	-	-	A11	出力	L	L	
22	-	-	-	-	A12	出力	L	L	
23	-	-	-	-	A13	出力	L	L	
24	-	-	-	-	A14	出力	L	L	
25	-	-	-	-	A15	出力	L	L	
59	-	-	-	-	D0	I/O/Z	Z	Z	8051 データ バス 。この双方向バスは、非アクティブ時にはハイインピーダンスになり、バス読み出しについては入力、バス書き込みについては出力です。データバスは外部 8051 プログラムおよびデータメモリに使用されます。データバスは外部バスアクセスについてのみアクティブであり、サスペンド状態では LOW で駆動されます。
60	-	-	-	-	D1	I/O/Z	Z	Z	
61	-	-	-	-	D2	I/O/Z	Z	Z	
62	-	-	-	-	D3	I/O/Z	Z	Z	
63	-	-	-	-	D4	I/O/Z	Z	Z	
86	-	-	-	-	D5	I/O/Z	Z	Z	
87	-	-	-	-	D6	I/O/Z	Z	Z	
88	-	-	-	-	D7	I/O/Z	Z	Z	
39	-	-	-	-	PSEN#	出力	H	H	プログラムストアイネーブル 。このアクティブ LOW 信号は、外部メモリからの 8051 コードフェッチを示します。EA ピンが LOW のときは 0x4000-0xFFFF からの、または EA ピンが HIGH のときは 0x0000-0xFFFF からのプログラムメモリのフェッチがアクティブです。

注:

14. 使用しない入力はフローティング状態のままにしないでください。必要に応じて HIGH または LOW のいずれかに接続してください。起動時およびスタンバイ状態での信号を保証するために、出力はプルアップまたはプルダウンのみにする必要があります。また、デバイスの電力が遮断されている間、ピンが駆動されないようにする必要があります。

15. 「リセット」列はリセット (RESET# がアサート) またはパワーオンリセット (POR) の間の信号状態を示します。

表 11. FX2LP ピンの説明 (続き)^[14]

128 TQFP	100 TQFP	56 SSOP	56 QFN	56 VFBGA	名前	タイプ	デフォルト	リセット ^[15]	説明
34	28	-	-		BKPT	出力	L	L	ブレイクポイント。このピンは、8051 アドレスバスが BPADDRH/L レジスタと一致し、ブレイクポイントが BREAKPT レジスタでイネーブルにされる (BPEN = 1) と、アクティブ (HIGH) になります。BREAKPT レジスタの BPPULSE ビットが HIGH のとき、この信号は 12-/24-/48 MHz クロックの 8 クロック時間の間 HIGH を出力します。BPPULSE ビットが LOW のときは、8051 が BREAKPT レジスタ内の BREAK ビットを (これに 1 を書き込むことで) クリアするまで信号は HIGH のままとなります。
99	77	49	42	8B	RESET#	入力	該当なし	該当なし	アクティブ LOW リセット。チップ全体をリセットします。詳細については 9 ページのセクション「リセットとウェークアップ」を参照してください。
35	-	-	-	-	EA	入力	該当なし	該当なし	外部アクセス。このピンは、8051 がアドレス 0x0000 と 0x3FFF との間どこからコードをフェッチするかを決定します。EA = 0 のとき、8051 はこのコードをその内部 RAM からフェッチします。EA = 1 のとき、8051 はこのコードを外部メモリからフェッチします。
12	11	12	5	1C	XTALIN	入力	該当なし	該当なし	水晶振動子入力。このピンを 24 MHz の並列共振、基本波モード水晶振動子に接続し、負荷コンデンサを介して GND に接続します。また、別のクロックソースから派生した外部 24-MHz の方形波で XTALIN を駆動してもかまいません。外部ソースから駆動する場合、駆動信号は 3.3V の方形波となる必要があります。
11	10	11	4	2C	XTALOUT	出力	該当なし	該当なし	水晶振動子出力。このピンを 24 MHz の並列共振、基本波モード水晶振動子に接続し、負荷コンデンサを介して GND に接続します。外部クロックを使用して XTALIN を駆動する場合は、このピンを開放しておきます。
1	100	5	54	2B	CY7C6801 3A および CY7C6801 4A の CLKOUT ----- CY7C6801 5A および CY7C6801 6A の PE1	O/Z ----- I/O/Z	12 MHz ----- I	クロック駆動 ----- Z	CLKOUT: 24 MHz 入力クロックに位相同期した 12-、24- または 48 MHz クロック。8051 はデフォルトでは 12 MHz の処理になります。8051 は CPUCS.1 = 1 を設定することでこの出力をスリーステートにできます。 -----PE1 は双方向の I/O ポートピンです。
ポート A									
82	67	40	33	8G	PA0 または INT0#	I/O/Z	I (PA0)	Z (PA0)	機能が PORTACFG.0 によって選択される多重化されたピン PA0 は双方向の I/O ポートピンです。 INT0# は、エッジトリガ (IT0 = 1) またはレベルトリガ (IT0 = 0) される、アクティブ LOW 8051 INT0 割込み入力信号です。
83	68	41	34	6G	PA1 または INT1#	I/O/Z	I (PA1)	Z (PA1)	機能が PORTACFG.1 によって選択される多重化されたピン PA1 は双方向の I/O ポートピンです。 INT1# は、エッジトリガ (IT1 = 1) またはレベルトリガ (IT1 = 0) される、アクティブ LOW 8051 INT1 割込み入力信号です。

表 11. FX2LP ピンの説明 (続き)^[14]

128 TQFP	100 TQFP	56 SSOP	56 QFN	56 VFBGA	名前	タイプ	デフォルト	リセット ^[15]	説明
84	69	42	35	8F	PA2 または SLOE	I/O/Z	I (PA2)	Z (PA2)	機能が IFCONFIG[1:0] の 2 つのビットによって選択される多重化されたピン PA2 は双方向の I/O ポート ピンです。 SLOE は、FD[7..0] または FD[15..0] に接続されるスレーブ FIFO に対する出力イネーブルです。入力専用端子であり極性のプログラムが FIFOPINPOLAR.4 にて可能です。
85	70	43	36	7F	PA3 または WU2	I/O/Z	I (PA3)	Z (PA3)	機能が WAKEUP.7 および OEA.3 によって選択される多重化されたピン PA3 は双方向の I/O ポート ピンです。 WU2 は USB ウェイクアップのもう 1 つのソースであり、WU2EN ビット (WAKEUP.1) によってイネーブルになり、WU2POL (WAKEUP.4) によって極性が設定されます。8051 がサスペンド状態で、WU2EN = 1 のとき、このピンの遷移が発振器を起動し、8051 に対して割込みを発生し、サスペンド モードからの復帰を可能にします。WU2EN = 1 のとき、このピンのアサートによって、チップのサスペンド状態が禁止されます。
89	71	44	37	6F	PA4 または FIFOADR0	I/O/Z	I (PA4)	Z (PA4)	機能が IFCONFIG[1..0] によって選択される多重化されたピン PA4 は双方向の I/O ポート ピンです。 FIFOADR0 は、FD[7..0] または FD[15..0] に接続されるスレーブ FIFO に対するアドレス選択ピンです。(入力専用ピン)
90	72	45	38	8C	PA5 または FIFOADR1	I/O/Z	I (PA5)	Z (PA5)	機能が IFCONFIG[1..0] によって選択される多重化されたピン PA5 は双方向の I/O ポート ピンです。 FIFOADR1 は、FD[7..0] または FD[15..0] に接続されるスレーブ FIFO に対するアドレス選択ピンです。(入力専用ピン)
91	73	46	39	7C	PA6 または PKTEND	I/O/Z	I (PA6)	Z (PA6)	機能が IFCONFIG[1:0] ビットによって選択される多重化されたピン PA6 は双方向の I/O ポート ピンです。 PKTEND は、エンドポイントに FIFO パケットデータを転送する時に使用されます。その極性は FIFOPINPOLAR.5 からプログラム可能です。(入力ピン)
92	74	47	40	6C	PA7 または FLAGD または SLCS#	I/O/Z	I (PA7)	Z (PA7)	機能が IFCONFIG[1:0] ビットおよび PORTACFG.7 ビットによって選択される多重化されたピン PA7 は双方向の I/O ポート ピンです。 FLAGD は、プログラマブルなスレーブ FIFO 出力ステータス フラグ信号です。 SLCS# は、その他のスレーブ FIFO イネーブル / ストロブをすべてゲートします。
ポート B									
44	34	25	18	3H	PB0 または FD[0]	I/O/Z	I (PB0)	Z (PB0)	機能が IFCONFIG[1..0] によって選択される多重化されたピン PB0 は双方向の I/O ポート ピンです。 FD[0] は双方向の FIFO/GPIF データバスです
45	35	26	19	4F	PB1 または FD[1]	I/O/Z	I (PB1)	Z (PB1)	機能が IFCONFIG[1..0] によって選択される多重化されたピン PB1 は双方向の I/O ポート ピンです。 FD[1] は双方向の FIFO/GPIF データバスです。

表 11. FX2LP ピンの説明 (続き)^[14]

128 TQFP	100 TQFP	56 SSOP	56 QFN	56 VFBGA	名前	タイプ	デフォルト	リセット ^[15]	説明
46	36	27	20	4H	PB2 または FD[2]	I/O/Z	I (PB2)	Z (PB2)	機能が IFCONFIG[1..0] によって選択される多重化されたピン PB2 は双方向の I/O ポート ピンです。 FD[2] は双方向の FIFO/GPIF データ バスです。
47	37	28	21	4G	PB3 または FD[3]	I/O/Z	I (PB3)	Z (PB3)	機能が IFCONFIG[1..0] によって選択される多重化されたピン PB3 は双方向の I/O ポート ピンです。 FD[3] は双方向の FIFO/GPIF データ バスです。
54	44	29	22	5H	PB4 または FD[4]	I/O/Z	I (PB4)	Z (PB4)	機能が IFCONFIG[1..0] によって選択される多重化されたピン PB4 は双方向の I/O ポート ピンです。 FD[4] は双方向の FIFO/GPIF データ バスです。
55	45	30	23	5G	PB5 または FD[5]	I/O/Z	I (PB5)	Z (PB5)	機能が IFCONFIG[1..0] によって選択される多重化されたピン PB5 は双方向の I/O ポート ピンです。 FD[5] は双方向の FIFO/GPIF データ バスです。
56	46	31	24	5F	PB6 または FD[6]	I/O/Z	I (PB6)	Z (PB6)	機能が IFCONFIG[1..0] によって選択される多重化されたピン PB6 は双方向の I/O ポート ピンです。 FD[6] は双方向の FIFO/GPIF データ バスです。
57	47	32	25	6H	PB7 または FD[7]	I/O/Z	I (PB7)	Z (PB7)	機能が IFCONFIG[1..0] によって選択される多重化されたピン PB7 は双方向の I/O ポート ピンです。 FD[7] は双方向の FIFO/GPIF データ バスです。
ポート C									
72	57	-	-	-	PC0 または GPIFADR0	I/O/Z	I (PC0)	Z (PC0)	機能が PORTCCFG.0 によって選択される多重化されたピン PC0 は双方向の I/O ポート ピンです。 GPIFADR0 は、GPIF アドレス出力ピンです。
73	58	-	-	-	PC1 または GPIFADR1	I/O/Z	I (PC1)	Z (PC1)	機能が PORTCCFG.1 によって選択される多重化されたピン PC1 は双方向の I/O ポート ピンです。 GPIFADR1 は、GPIF アドレス出力ピンです。
74	59	-	-	-	PC2 または GPIFADR2	I/O/Z	I (PC2)	Z (PC2)	機能が PORTCCFG.2 によって選択される多重化されたピン PC2 は双方向の I/O ポート ピンです。 GPIFADR2 は、GPIF アドレス出力ピンです。
75	60	-	-	-	PC3 または GPIFADR3	I/O/Z	I (PC3)	Z (PC3)	機能が PORTCCFG.3 によって選択される多重化されたピン PC3 は双方向の I/O ポート ピンです。 GPIFADR3 は、GPIF アドレス出力ピンです。
76	61	-	-	-	PC4 または GPIFADR4	I/O/Z	I (PC4)	Z (PC4)	機能が PORTCCFG.4 によって選択される多重化されたピン PC4 は双方向の I/O ポート ピンです。 GPIFADR4 は、GPIF アドレス出力ピンです。
77	62	-	-	-	PC5 または GPIFADR5	I/O/Z	I (PC5)	Z (PC5)	機能が PORTCCFG.5 によって選択される多重化されたピン PC5 は双方向の I/O ポート ピンです。 GPIFADR5 は、GPIF アドレス出力ピンです。
78	63	-	-	-	PC6 または GPIFADR6	I/O/Z	I (PC6)	Z (PC6)	機能が PORTCCFG.6 によって選択される多重化されたピン PC6 は双方向の I/O ポート ピンです。 GPIFADR6 は、GPIF アドレス出力ピンです。
79	64	-	-	-	PC7 または GPIFADR7	I/O/Z	I (PC7)	Z (PC7)	機能が PORTCCFG.7 によって選択される多重化されたピン PC7 は双方向の I/O ポート ピンです。 GPIFADR7 は、GPIF アドレス出力ピンです。

表 11. FX2LP ピンの説明 (続き)^[14]

128 TQFP	100 TQFP	56 SSOP	56 QFN	56 VFBGA	名前	タイプ	デフォルト	リセット ^[15]	説明
ポート D									
102	80	52	45	8A	PD0 または FD[8]	I/O/Z	I (PD0)	Z (PD0)	機能が IFCONFIG[1..0] ビットおよび EPxFIFOCFG.0 (ワード幅) ビットによって選択される多重化されたピン。 FD[8] は双方向の FIFO/GPIF データバスです。
103	81	53	46	7A	PD1 または FD[9]	I/O/Z	I (PD1)	Z (PD1)	機能が IFCONFIG[1..0] ビットおよび EPxFIFOCFG.0 (ワード幅) ビットによって選択される多重化されたピン。 FD[9] は双方向の FIFO/GPIF データバスです。
104	82	54	47	6B	PD2 または FD[10]	I/O/Z	I (PD2)	Z (PD2)	機能が IFCONFIG[1..0] ビットおよび EPxFIFOCFG.0 (ワード幅) ビットによって選択される多重化されたピン。 FD[10] は双方向の FIFO/GPIF データバスです。
105	83	55	48	6A	PD3 または FD[11]	I/O/Z	I (PD3)	Z (PD3)	機能が IFCONFIG[1..0] ビットおよび EPxFIFOCFG.0 (ワード幅) ビットによって選択される多重化されたピン。 FD[11] は双方向の FIFO/GPIF データバスです。
121	95	56	49	3B	PD4 または FD[12]	I/O/Z	I (PD4)	Z (PD4)	機能が IFCONFIG[1..0] ビットおよび EPxFIFOCFG.0 (ワード幅) ビットによって選択される多重化されたピン。 FD[12] は双方向の FIFO/GPIF データバスです。
122	96	1	50	3A	PD5 または FD[13]	I/O/Z	I (PD5)	Z (PD5)	機能が IFCONFIG[1..0] ビットおよび EPxFIFOCFG.0 (ワード幅) ビットによって選択される多重化されたピン。 FD[13] は双方向の FIFO/GPIF データバスです。
123	97	2	51	3C	PD6 または FD[14]	I/O/Z	I (PD6)	Z (PD6)	機能が IFCONFIG[1..0] ビットおよび EPxFIFOCFG.0 (ワード幅) ビットによって選択される多重化されたピン。 FD[14] は双方向の FIFO/GPIF データバスです。
124	98	3	52	2A	PD7 または FD[15]	I/O/Z	I (PD7)	Z (PD7)	機能が IFCONFIG[1..0] ビットおよび EPxFIFOCFG.0 (ワード幅) ビットによって選択される多重化されたピン。 FD[15] は双方向の FIFO/GPIF データバスです。
ポート E									
108	86	-	-	-	PE0 または T0OUT	I/O/Z	I (PE0)	Z (PE0)	機能が PORTECFG.0 ビットによって選択される多重化されたピン PE0 は双方向の I/O ポートピンです。 T0OUT は、8051 Timer-counter0 からのアクティブ HIGH 信号です。T0OUT は、Timer0 オーバーフロー時に 1 CLKOUT クロックサイクル分、HIGH レベルを出力します。Timer0 がモード 3 (2つの別個のタイマ/カウンタ) で動作する場合、T0OUT は下位バイトのタイマ/カウンタのオーバーフロー時にアクティブになります。
109	87	-	-	-	PE1 または T1OUT	I/O/Z	I (PE1)	Z (PE1)	機能が PORTECFG.1 ビットによって選択される多重化されたピン PE1 は双方向の I/O ポートピンです。 T1OUT は、8051 Timer-counter1 からのアクティブ HIGH 信号です。T1OUT は、Timer1 オーバーフロー時に 1 CLKOUT クロックサイクル分、HIGH レベルを出力します。Timer1 がモード 3 (2つの別個のタイマ/カウンタ) で動作する場合、T1OUT は下位バイトのタイマ/カウンタのオーバーフロー時にアクティブになります。

表 11. FX2LP ピンの説明 (続き)^[14]

128 TQFP	100 TQFP	56 SSOP	56 QFN	56 VFBGA	名前	タイプ	デフォルト	リセット ^[15]	説明
110	88	-	-	-	PE2 または T2OUT	I/O/Z	I (PE2)	Z (PE2)	機能がPORTECFG.2ビットによって選択される多重化されたピン PE2 は双方向の I/O ポート ピンです。 T2OUT は、8051 Timer2 からのアクティブ HIGH 出力信号です。T2OUT は、Timer/Counter 2 のオーバーフロー時に 1 クロック サイクル分、アクティブ (HIGH) です。
111	89	-	-	-	PE3 または RXD0OUT	I/O/Z	I (PE3)	Z (PE3)	機能がPORTECFG.3ビットによって選択される多重化されたピン PE2 は双方向の I/O ポート ピンです。 RXD0OUT は、8051 UART0 からのアクティブ HIGH 信号です。RXD0OUT が選択され、UART0 がモード 0 のとき、このピンは同期モード時のみ UART0 に対して出力データを提供します。それ以外の場合、これは 1 です。
112	90	-	-	-	PE4 または RXD1OUT	I/O/Z	I (PE4)	Z (PE4)	機能がPORTECFG.4ビットによって選択される多重化されたピン PE4 は双方向の I/O ポート ピンです。 RXD1OUT は、8051 UART1 からのアクティブ HIGH 出力です。RXD1OUT が選択され、UART1 がモード 0 のとき、このピンは同期モード時のみ UART1 に対して出力データを提供します。モード 1、2、および 3 では、このピンは HIGH です。
113	91	-	-	-	PE5 または INT6	I/O/Z	I (PE5)	Z (PE5)	機能がPORTECFG.5ビットによって選択される多重化されたピン PE5 は双方向の I/O ポート ピンです。 INT6 は、8051 INT6 割り込み要求入力信号です。INT6ピンは、エッジを感知するアクティブ HIGH です。
114	92	-	-	-	PE6 または T2EX	I/O/Z	I (PE6)	Z (PE6)	機能がPORTECFG.6ビットによって選択される多重化されたピン PE6 は双方向の I/O ポート ピンです。 T2EX は、8051 Timer2 へのアクティブ HIGH 入力信号です。T2EX は、タイマ 2 をその立ち下りエッジで再ロードします。T2EX は EXEN2 ビットが T2CON に設定される場合のみアクティブです。
115	93	-	-	-	PE7 または GPIFADR8	I/O/Z	I (PE7)	Z (PE7)	機能が PORTECFG.7 ビットによって選択される多重化されたピン PE7 は双方向の I/O ポート ピンです。 GPIFADR8 は、GPIF アドレス出力ピンです。
4	3	8	1	1A	RDY0 または SLRD	入力	該当なし	該当なし	機能が IFCONFIG[1..0] によって選択される多重化されたピン RDY0 は GPIF 入力信号です。 SLRD は、FD[7..0] または FD[15..0] に接続されるスレーブ FIFO に対する読み出しストローブです。入力専用端子であり極性のプログラムが FIFOPINPOLAR.3 にて可能です。
5	4	9	2	1B	RDY1 または SLWR	入力	該当なし	該当なし	機能が IFCONFIG[1..0] によって選択される多重化されたピン RDY1 は GPIF 入力信号です。 SLWR は、FD[7..0] または FD[15..0] に接続されるスレーブ FIFO に対する書き込みストローブです。入力専用端子であり極性のプログラムが FIFOPINPOLAR.2 にて可能です。
6	5	-	-	-	RDY2	入力	該当なし	該当なし	RDY2 は GPIF 入力信号です。
7	6	-	-	-	RDY3	入力	該当なし	該当なし	RDY3 は GPIF 入力信号です。

表 11. FX2LP ピンの説明 (続き)^[14]

128 TQFP	100 TQFP	56 SSOP	56 QFN	56 VFBGA	名前	タイプ	デフォルト	リセット ^[15]	説明
8	7	—	—	—	RDY4	入力	該当なし	該当なし	RDY4 は GPIF 入力信号です。
9	8	—	—	—	RDY5	入力	該当なし	該当なし	RDY5 は GPIF 入力信号です。
69	54	36	29	7H	CTL0 または FLAGA	O/Z	H	L	機能が IFCONFIG[1..0] によって選択される多重化されたピン CTL0 は、GPIF 制御出力です。 FLAGA は、プログラマブルなスレーブ FIFO 出力ステータス フラグ信号です。 FIFOADR[1:0] ピンによって選択される FIFO についてはデフォルトでプログラマブルです。
70	55	37	30	7G	CTL1 または FLAGB	O/Z	H	L	機能が IFCONFIG[1..0] によって選択される多重化されたピン CTL1 は、GPIF 制御出力です。 FLAGB は、プログラマブルなスレーブ FIFO 出力ステータス フラグ信号です。 FIFOADR[1:0] ピンによって選択される FIFO についてはデフォルトで FULL です。
71	56	38	31	8H	CTL2 または FLAGC	O/Z	H	L	機能が IFCONFIG[1..0] によって選択される多重化されたピン CTL2 は、GPIF 制御出力です。 FLAGC は、プログラマブルなスレーブ FIFO 出力ステータス フラグ信号です。 FIFOADR[1:0] ピンによって選択される FIFO についてはデフォルトで EMPTY です。
66	51	—	—	—	CTL3	O/Z	H	L	CTL3 は、GPIF 制御出力です。
67	52	—	—	—	CTL4	出力	H	L	CTL4 は、GPIF 制御出力です。
98	76	—	—	—	CTL5	出力	H	L	CTL5 は、GPIF 制御出力です。
32	26	20	13	2G	CY7C6801 3A および CY7C6801 4A の IFCLK	I/O/Z	Z	Z	スレーブ FIFO へ、またはスレーブ FIFO からデータを非同期にクロッキングするために使用されるインタフェース クロック。IFCLK は、すべてのスレーブ FIFO 制御信号および GPIF に対するタイミング基準としても機能します。内部クロッキングが使用されている場合 (IFCONFIG.7 = 1)、ビット IFCONFIG.5 および IFCONFIG.6 によって 30/48 MHz を出力するように IFCLK ピンを構成できます。IFCLK は、ビット IFCONFIG.4 = 1 を設定することで供給元が内部か外部かに関係なく反転できます。
					CY7C6801 5A および CY7C6801 6A の PE0	I/O/Z	I	Z	PE0 は双方向の I/O ポート ピンである
28	22	—	—	—	INT4	入力	該当なし	該当なし	INT4 は、8051 INT4 割込み要求入力信号です。INT4 ピンは、エッジ検出でアクティブ HIGH です。
106	84	—	—	—	INT5#	入力	該当なし	該当なし	INT5# は、8051 INT5 割込み要求入力信号です。INT5 ピンは、エッジ検出でアクティブ LOW です。
31	25	—	—	—	T2	入力	該当なし	該当なし	T2 は、アクティブ HIGH の極性をもつ 8051 Timer2 の T2 入力端子であり、C/T2 = 1 の場合は Timer2 に入力を与えます。C/T2 = 0 の場合、タイマ 2 はこのピンを使用します。

表 11. FX2LP ピンの説明 (続き)^[14]

128 TQFP	100 TQFP	56 SSOP	56 QFN	56 VFBGA	名前	タイプ	デフォルト	リセット ^[15]	説明
30	24	-	-	-	T1	入力	該当なし	該当なし	T1 は、アクティブ HIGH の極性をもつ 8051 Timer1 の T1 入力端子であり、C/T1 = 1 の場合は Timer1 に入力を与えます。C/T1 = 0 の場合、タイマ 1 はこのピンを使用しません。
29	23	-	-	-	T0	入力	該当なし	該当なし	T0 は、アクティブ HIGH の極性をもつ 8051 Timer0 の T0 入力端子であり、C/T0 = 1 の場合は Timer0 に入力を与えます。C/T0 = 0 の場合、タイマ 0 はこのピンを使用しません。
53	43	-	-	-	RXD1	入力	該当なし	該当なし	RXD1 は、8051 UART1 に対するアクティブ HIGH 入力信号であり、すべてのモードで UART にデータを与えます。
52	42	-	-	-	TXD1	出力	H	L	TXD1 は、8051 UART1 からのアクティブ HIGH 出力ピンであり、同期モードで出力クロックを与え、非同期モードで出力データを与えます。
51	41	-	-	-	RXD0	入力	該当なし	該当なし	RXD0 は、8051 UART0 に対するアクティブ HIGH RXD0 入力であり、すべてのモードで UART にデータを与えます。
50	40	-	-	-	TXD0	出力	H	L	TXD0 は、8051 UART0 からのアクティブ HIGH TXD0 出力であり、同期モードで出力クロックを与え、非同期モードで出力データを与えます。
42		-	-	-	CS#	出力	H	H	CS# は、外部メモリに対するアクティブ LOW チップセレクトです。
41	32	-	-	-	WR#	出力	H	H	WR# は、外部メモリに対するアクティブ LOW 書き込みストロブ出力です。
40	31	-	-	-	RD#	出力	H	H	RD# は、外部メモリに対するアクティブ LOW 読み取りストロブ出力です。
38		-	-	-	OE#	出力	H	H	OE# は、外部メモリに対するアクティブ LOW 出力イネーブルです。
33	27	21	14	2H	予約済み	入力	該当なし	該当なし	予約済み。グラウンドに接続します。
101	79	51	44	7B	WAKEUP	入力	該当なし	該当なし	USB ウェークアップ。8051 がサスペンド状態の場合、このピンのアサートにより発振器を起動し、8051 に割り込みを発生し、サスペンドモードを終了させます。アサートされた WAKEUP の保持によって、EZ-USB™ チップのサスペンド状態が阻止されます。このピンは極性をプログラムできません。(WAKEUP.4)
36	29	22	15	3F	SCL	OD	Z	Z (ブートが完了した場合)	I ² C インタフェースのクロック。I ² C デバイスが接続されない場合でも 2.2KΩ の抵抗を VCC に接続します。
37	30	23	16	3G	SDA	OD	Z	Z (ブートが完了した場合)	I ² C 互換インタフェースのデータ。I ² C 互換デバイスが接続されない場合でも 2.2KΩ の抵抗を VCC に接続します。
2	1	6	55	5A	VCC	Power (出力)	該当なし	該当なし	VCC。3.3 V の電源に接続します。
26	20	18	11	1G	VCC	Power (出力)	該当なし	該当なし	VCC。3.3 V の電源に接続します。
43	33	24	17	7E	VCC	Power (出力)	該当なし	該当なし	VCC。3.3 V の電源に接続します。
48	38	-	-	-	VCC	Power (出力)	該当なし	該当なし	VCC。3.3 V の電源に接続します。

表 11. FX2LP ピンの説明 (続き)^[14]

128 TQFP	100 TQFP	56 SSOP	56 QFN	56 VFBGA	名前	タイプ	デフォルト	リセット ^[15]	説明
64	49	34	27	8E	VCC	Power (出力)	該当なし	該当なし	VCC。3.3 V の電源に接続します。
68	53	–	–	–	VCC	Power (出力)	該当なし	該当なし	VCC。3.3 V の電源に接続します。
81	66	39	32	5C	VCC	Power (出力)	該当なし	該当なし	VCC。3.3 V の電源に接続します。
100	78	50	43	5B	VCC	Power (出力)	該当なし	該当なし	VCC。3.3 V の電源に接続します。
107	85	–	–	–	VCC	Power (出力)	該当なし	該当なし	VCC。3.3 V の電源に接続します。
3	2	7	56	4B	GND	グランド	該当なし	該当なし	グランド
27	21	19	12	1H	GND	グランド	該当なし	該当なし	グランド
49	39	–	–	–	GND	グランド	該当なし	該当なし	グランド
58	48	33	26	7D	GND	グランド	該当なし	該当なし	グランド
65	50	35	28	8D	GND	グランド	該当なし	該当なし	グランド
80	65	–	–	–	GND	グランド	該当なし	該当なし	グランド
93	75	48	41	4C	GND	グランド	該当なし	該当なし	グランド
116	94	–	–	–	GND	グランド	該当なし	該当なし	グランド
125	99	4	53	4A	GND	グランド	該当なし	該当なし	グランド
14	13	–	–	–	NC	該当なし	該当なし	該当なし	未接続。このピンは開放しておく必要があります。
15	14	–	–	–	NC	該当なし	該当なし	該当なし	未接続。このピンは開放しておく必要があります。
16	15	–	–	–	NC	該当なし	該当なし	該当なし	未接続。このピンは開放しておく必要があります。

レジスタの概要

FX2LP レジスタ ビットの定義は、EZ-USB™ テクニカルリファレンスマニュアルに詳細に説明されています。

表 12. FX2LP レジスタの概要

16 進	サイズ	名前	説明	b7	b6	b5	b4	b3	b2	b1	b0	デフォルト	アクセス
		GPIF 波形メモリ											
E400	128	WAVEDATA	GPIF 波形ディスクリプタ 0、1、2、3 データ	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	RW
E480	128	予約済み											
		全体的なコンフィグレーション											
E50D		GPCR2	汎用コンフィグレーション レジスタ 2	予約済み	予約済み	予約済み	FULL_SPE ED_ONLY	予約済み	予約済み	予約済み	予約済み	00000000	R
E600	1	CPUCS	CPU 制御とステータス	0	0	PORTCSTB	CLKSPD1	CLKSPD0	CLKINV	CLKOE	8051RES	00000010	rrbbbbbr
E601	1	IFCONFIG	インタフェース コンフィグレーション (ポート、GPIF、スレーブ FIFO)	IFCLKSRC	3048MHZ	IFCLKOE	IFCLKPOL	ASYN	GSTATE	IFCFG1	IFCFG0	10000000	RW
E602	1	PINFLAGSAB ^[16]	スレーブ FIFO FLAGA および FLAGB ビン配置	FLAGB3	FLAGB2	FLAGB1	FLAGB0	FLAGA3	FLAGA2	FLAGA1	FLAGA0	00000000	RW
E603	1	PINFLAGSCD ^[16]	スレーブ FIFO FLAGC および FLAGD ビン配置	FLAGD3	FLAGD2	FLAGD1	FLAGD0	FLAGC3	FLAGC2	FLAGC1	FLAGC0	00000000	RW
E604	1	FIFORESET ^[16]	FIFOS をデフォルト状態に復元	NAKALL	0	0	0	EP3	EP2	EP1	EP0	xxxxxxxx	W
E605	1	BREAKPT	ブレイクポイント制御	0	0	0	0	BREAK	BPPULSE	BPEN	0	00000000	rrrrbbbr
E606	1	BPADDRH	ブレイクポイント アドレス H	A15	A14	A13	A12	A11	A10	A9	A8	xxxxxxxx	RW
E607	1	BPADDRL	ブレイクポイント アドレス L	A7	A6	A5	A4	A3	A2	A1	A0	xxxxxxxx	RW
E608	1	UART230	230 K ボーの内部で生成された基準クロック	0	0	0	0	0	0	230UAR T1	230UART0	00000000	rrrrrrbb
E609	1	FJFOPINPOLAR ^[16]	スレーブ FIFO インタフェースピン極性 polarity	0	0	PKTEND	SLOE	SLRD	SLWR	EF	FF	00000000	rrbbbbbb
E60A	1	REVID	チップ リビジョン	rv7	rv6	rv5	rv4	rv3	rv2	rv1	rv0	RevA 00000001	R
E60B	1	REVCTL ^[16]	チップ リビジョン制御	0	0	0	0	0	0	dyn_out	enh_pkt	00000000	rrrrrrbb
		UDMA											
E60C	1	GPIFHOLDAMOUNT	MSTB ホールド時間 (UDMA の)	0	0	0	0	0	0	HOLDT IME1	HOLDTIME0	00000000	rrrrrrbb
	3	予約済み											
		エンドポイントのコンフィグレーション											
E610	1	EP1OUTCFG	エンドポイント 1-OUT コンフィグレーション	VALID	0	TYPE1	TYPE0	0	0	0	0	10100000	brbrrrrr
E611	1	EP1INCFG	エンドポイント 1-IN コンフィグレーション	VALID	0	TYPE1	TYPE0	0	0	0	0	10100000	brbrrrrr
E612	1	EP2CFG	エンドポイント 2 のコンフィグレーション	VALID	DIR	TYPE1	TYPE0	SIZE	0	BUF1	BUF0	10100010	bbbbbrbb
E613	1	EP4CFG	エンドポイント 4 のコンフィグレーション	VALID	DIR	TYPE1	TYPE0	0	0	0	0	10100000	bbbbrrrr
E614	1	EP6CFG	エンドポイント 6 のコンフィグレーション	VALID	DIR	TYPE1	TYPE0	SIZE	0	BUF1	BUF0	11100010	bbbbbrbb
E615	1	EP8CFG	エンドポイント 8 のコンフィグレーション	VALID	DIR	TYPE1	TYPE0	0	0	0	0	11100000	bbbbrrrr
	2	予約済み											
E618	1	EP2FIFOCFG ^[16]	エンドポイント 2/ スレーブ FIFO のコンフィグレーション	0	INFM1	OEP1	AUTOOUT	AUTOIN	ZEROLENIN	0	WORDWID E	00000101	rbbbbbrb
E619	1	EP4FIFOCFG ^[16]	エンドポイント 4/ スレーブ FIFO のコンフィグレーション	0	INFM1	OEP1	AUTOOUT	AUTOIN	ZEROLENIN	0	WORDWID E	00000101	rbbbbbrb
E61A	1	EP6FIFOCFG ^[16]	エンドポイント 6/ スレーブ FIFO のコンフィグレーション	0	INFM1	OEP1	AUTOOUT	AUTOIN	ZEROLENIN	0	WORDWID E	00000101	rbbbbbrb
E61B	1	EP8FIFOCFG ^[16]	エンドポイント 8/ スレーブ FIFO のコンフィグレーション	0	INFM1	OEP1	AUTOOUT	AUTOIN	ZEROLENIN	0	WORDWID E	00000101	rbbbbbrb
E61C	4	予約済み											
E620	1	EP2AUTOINLEN ^[16]	エンドポイント 2 AUTOIN パケット長 H	0	0	0	0	0	PL10	PL9	PL8	00000010	rrrrrrbb
E621	1	EP2AUTOINLEN ^[16]	エンドポイント 2 AUTOIN パケット長 L	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0	00000000	RW
E622	1	EP4AUTOINLEN ^[16]	エンドポイント 4 AUTOIN パケット長 H	0	0	0	0	0	0	PL9	PL8	00000010	rrrrrrbb
E623	1	EP4AUTOINLEN ^[16]	エンドポイント 4 AUTOIN パケット長 L	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0	00000000	RW
E624	1	EP6AUTOINLEN ^[16]	エンドポイント 6 AUTOIN パケット長 H	0	0	0	0	0	PL10	PL9	PL8	00000010	rrrrrrbb
E625	1	EP6AUTOINLEN ^[16]	エンドポイント 6 AUTOIN パケット長 L	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0	00000000	RW
E626	1	EP8AUTOINLEN ^[16]	エンドポイント 8 AUTOIN パケット長 H	0	0	0	0	0	0	PL9	PL8	00000010	rrrrrrbb
E627	1	EP8AUTOINLEN ^[16]	エンドポイント 8 AUTOIN パケット長 L	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0	00000000	RW
E628	1	ECCCFG	ECC のコンフィグレーション	0	0	0	0	0	0	0	ECCM	00000000	rrrrrrrb
E629	1	ECCRESET	ECC リセット	x	x	x	x	x	x	x	x	00000000	W
E62A	1	ECC1B0	ECC1 バイト 0 アドレス	LINE15	LINE14	LINE13	LINE12	LINE11	LINE10	LINE9	LINE8	00000000	R

注: 16. これらのレジスタの読み出しおよび書き込みでは、Synchronization Delay が必要な場合があります。Synchronization Delay についてはテクニカルリファレンスマニュアルを参照してください。

表 12. FX2LP レジスタの概要 (続き)

16 進	サイズ	名前	説明	b7	b6	b5	b4	b3	b2	b1	b0	デフォルト	アクセス
E62B	1	ECC1B1	ECC1 バイト 1 アドレス	LINE7	LINE6	LINE5	LINE4	LINE3	LINE2	LINE1	LINE0	00000000	R
E62C	1	ECC1B2	ECC1 バイト 2 アドレス	COL5	COL4	COL3	COL2	COL1	COL0	LINE17	LINE16	00000000	R
E62D	1	ECC2B0	ECC2 バイト 0 アドレス	LINE15	LINE14	LINE13	LINE12	LINE11	LINE10	LINE9	LINE8	00000000	R
E62E	1	ECC2B1	ECC2 バイト 1 アドレス	LINE7	LINE6	LINE5	LINE4	LINE3	LINE2	LINE1	LINE0	00000000	R
E62F	1	ECC2B2	ECC2 バイト 2 アドレス	COL5	COL4	COL3	COL2	COL1	COL0	0	0	00000000	R
E630	1	EP2FIFOPFH ^[17]	エンドポイント 2 / スレープ FIFO プログラマブル フラグ H	DECIS	PKTSTAT	IN:PKTS[2] OUT:PFC12	IN:PKTS[1] OUT:PFC11	IN:PKTS[0] OUT:PFC10	0	PFC9	PFC8	10001000	bbbbbrbb
E630	1	EP2FIFOPFH ^[17]	エンドポイント 2 / スレープ FIFO プログラマブル フラグ H	DECIS	PKTSTAT	OUT:PFC12	OUT:PFC11	OUT:PFC10	0	PFC9	IN:PKTS[2] OUT:PFC8	10001000	bbbbbrbb
E631	1	EP2FIFOPFL ^[17]	エンドポイント 2 / スレープ FIFO プログラマブル フラグ L	PFC7	PFC6	PFC5	PFC4	PFC3	PFC2	PFC1	PFC0	00000000	RW
E631	1	EP2FIFOPFL ^[17]	エンドポイント 2 / スレープ FIFO プログラマブル フラグ L	IN:PKTS[1] OUT:PFC7	IN:PKTS[0] OUT:PFC6	PFC5	PFC4	PFC3	PFC2	PFC1	PFC0	00000000	RW
E632	1	EP4FIFOPFH ^[17]	エンドポイント 4 / スレープ FIFO プログラマブル フラグ H	DECIS	PKTSTAT	0	IN: PKTS[1] OUT:PFC10	IN: PKTS[0] OUT:PFC9	0	0	PFC8	10001000	bbrbbrbb
E632	1	EP4FIFOPFH ^[17]	エンドポイント 4 / スレープ FIFO プログラマブル フラグ H	DECIS	PKTSTAT	0	OUT:PFC10	OUT:PFC9	0	0	PFC8	10001000	bbrbbrbb
E633	1	EP4FIFOPFL ^[17]	エンドポイント 4 / スレープ FIFO プログラマブル フラグ L	PFC7	PFC6	PFC5	PFC4	PFC3	PFC2	PFC1	PFC0	00000000	RW
E633	1	EP4FIFOPFL ^[17]	エンドポイント 4 / スレープ FIFO プログラマブル フラグ L	IN: PKTS[1] OUT:PFC7	IN: PKTS[0] OUT:PFC6	PFC5	PFC4	PFC3	PFC2	PFC1	PFC0	00000000	RW
E634	1	EP6FIFOPFH ^[17]	エンドポイント 6 / スレープ FIFO プログラマブル フラグ H	DECIS	PKTSTAT	IN:PKTS[2] OUT:PFC12	IN:PKTS[1] OUT:PFC11	IN:PKTS[0] OUT:PFC10	0	PFC9	PFC8	00001000	bbbbbrbb
E634	1	EP6FIFOPFH ^[17]	エンドポイント 6 / スレープ FIFO プログラマブル フラグ H	DECIS	PKTSTAT	OUT:PFC12	OUT:PFC11	OUT:PFC10	0	PFC9	IN:PKTS[2] OUT:PFC8	00001000	bbbbbrbb
E635	1	EP6FIFOPFL ^[17]	エンドポイント 6 / スレープ FIFO プログラマブル フラグ L	PFC7	PFC6	PFC5	PFC4	PFC3	PFC2	PFC1	PFC0	00000000	RW
E635	1	EP6FIFOPFL ^[17]	エンドポイント 6 / スレープ FIFO プログラマブル フラグ L	IN:PKTS[1] OUT:PFC7	IN:PKTS[0] OUT:PFC6	PFC5	PFC4	PFC3	PFC2	PFC1	PFC0	00000000	RW
E636	1	EP8FIFOPFH ^[17]	エンドポイント 8 / スレープ FIFO プログラマブル フラグ H	DECIS	PKTSTAT	0	IN: PKTS[1] OUT:PFC10	IN: PKTS[0] OUT:PFC9	0	0	PFC8	00001000	bbrbbrbb
E636	1	EP8FIFOPFH ^[17]	エンドポイント 8 / スレープ FIFO プログラマブル フラグ H	DECIS	PKTSTAT	0	OUT:PFC10	OUT:PFC9	0	0	PFC8	00001000	bbrbbrbb
E637	1	EP8FIFOPFL ^[17]	エンドポイント 8 / スレープ FIFO プログラマブル フラグ L	PFC7	PFC6	PFC5	PFC4	PFC3	PFC2	PFC1	PFC0	00000000	RW
E637	1	EP8FIFOPFL ^[17]	エンドポイント 8 / スレープ FIFO プログラマブル フラグ L	IN: PKTS[1] OUT:PFC7	IN: PKTS[0] OUT:PFC6	PFC5	PFC4	PFC3	PFC2	PFC1	PFC0	00000000	RW
	8	予約済み											
E640	1	EP2ISOINPKTS	フレームごと (1 ~ 3) に EP2 (ISO の場合) IN パケット	AADJ	0	0	0	0	0	INPPF1	INPPF0	00000001	brrrrrbb
E641	1	EP4ISOINPKTS	フレームごと (1 ~ 3) に EP4 (ISO の場合) IN パケット	AADJ	0	0	0	0	0	INPPF1	INPPF0	00000001	brrrrrrr
E642	1	EP6ISOINPKTS	フレームごと (1 ~ 3) に EP6 (ISO の場合) IN パケット	AADJ	0	0	0	0	0	INPPF1	INPPF0	00000001	brrrrrbb
E643	1	EP8ISOINPKTS	フレームごと (1 ~ 3) に EP8 (ISO の場合) IN パケット	AADJ	0	0	0	0	0	INPPF1	INPPF0	00000001	brrrrrrr
E644	4	予約済み											
E648	1	INPKTEND ^[17]	IN パケットの強制終了	スキップ	0	0	0	EP3	EP2	EP1	EP0	xxxxxxx	W
E649	7	OUTPKTEND ^[17]	OUT パケットの強制終了	スキップ	0	0	0	EP3	EP2	EP1	EPO	xxxxxxx	W
		INTERRUPTS											
E650	1	EP2FIFOIE ^[17]	エンドポイント 2 スレープ FIFO フラグの 割込みイネーブル	0	0	0	0	EDGE PF	PF	EF	FF	00000000	RW
E651	1	EP2FIFOIRQ ^[17, 25]	エンドポイント 2 スレープ FIFO フラグの 割込み要求	0	0	0	0	0	PF	EF	FF	00000000	rrrrrbbb
E652	1	EP4FIFOIE ^[17]	エンドポイント 4 スレープ FIFO フラグの 割込みイネーブル	0	0	0	0	EDGE PF	PF	EF	FF	00000000	RW
E653	1	EP4FIFOIRQ ^[17, 18]	エンドポイント 4 スレープ FIFO フラグの 割込み要求	0	0	0	0	0	PF	EF	FF	00000000	rrrrrbbb
E654	1	EP6FIFOIE ^[17]	エンドポイント 6 スレープ FIFO フラグの 割込みイネーブル	0	0	0	0	EDGE PF	PF	EF	FF	00000000	RW
E655	1	EP6FIFOIRQ ^[17, 18]	エンドポイント 6 スレープ FIFO フラグの 割込み要求	0	0	0	0	0	PF	EF	FF	00000000	rrrrrbbb
E656	1	EP8FIFOIE ^[17]	エンドポイント 8 スレープ FIFO フラグの 割込みイネーブル	0	0	0	0	EDGE PF	PF	EF	FF	00000000	RW
E657	1	EP8FIFOIRQ ^[17, 18]	エンドポイント 8 スレープ FIFO フラグの 割込み要求	0	0	0	0	0	PF	EF	FF	00000000	rrrrrbbb
E658	1	IBNIE	IN-BULK-NAK 割込みイネーブル	0	0	EP8	EP6	EP4	EP2	EP1	EP0	00000000	RW
E659	1	IBNIRQ ^[18]	IN-BULK-NAK 割込み要求	0	0	EP8	EP6	EP4	EP2	EP1	EP0	00xxxxxx	rrbbbbbb
E65A	1	NAKIE	エンドポイント Ping-NAK 応答 /IBN 割込 みイネーブル	EP8	EP6	EP4	EP2	EP1	EP0	0	IBN	00000000	RW
E65B	1	NAKIRQ ^[18]	エンドポイント Ping-NAK 応答 /IBN 割込 み要求	EP8	EP6	EP4	EP2	EP1	EP0	0	IBN	xxxxxx0x	bbbbbrbb
E65C	1	USBIE	USB 割込みイネーブル	0	EP0ACK	HSGRANT	URES	SUSP	SUTOK	SOF	SUDAV	00000000	RW

注:
 17. これらのレジスタの読み出しおよび書き込みでは、Synchronization Delay が必要な場合があります。Synchronization Delay についてはテクニカルリファレンスマニユアルを参照してください。
 18. レジスタはリセットのみ可能です。セットはできません。

表 12. FX2LP レジスタの概要 (続き)

16 進	サイズ	名前	説明	b7	b6	b5	b4	b3	b2	b1	b0	デフォルト	アクセス
E65D	1	USBIRQ ^[19]	USB 割込み要求	0	EP0ACK	HSGRANT	URES	SUSP	SUTOK	SOF	SUDAV	0xxxxxxx	rbbbbbbb
E65E	1	EPIE	エンドポイント割込みイネーブル	EP8	EP6	EP4	EP2	EP1OUT	EP1IN	EP0OUT	EP0IN	00000000	RW
E65F	1	EPIRQ ^[19]	エンドポイント割込み要求	EP8	EP6	EP4	EP2	EP1OUT	EP1IN	EP0OUT	EP0IN	0	RW
E660	1	GPIFIE ^[20]	GPIF 割込みイネーブル	0	0	0	0	0	0	GPIFWF	GPIFDONE	00000000	RW
E661	1	GPIFIRQ ^[20]	GPIF 割込み要求	0	0	0	0	0	0	GPIFWF	GPIFDONE	000000xx	RW
E662	1	USBERRIE	USB エラー割込みイネーブル	ISOEP8	ISOEP6	ISOEP4	ISOEP2	0	0	0	ERRLIMIT	00000000	RW
E663	1	USBERRIRQ ^[19]	USB エラー割込み要求	ISOEP8	ISOEP6	ISOEP4	ISOEP2	0	0	0	ERRLIMIT	0000000x	bbbbrrrb
E664	1	ERRCNTLIM	USB エラーカウンタとリミット	EC3	EC2	EC1	EC0	LIMIT3	LIMIT2	LIMIT1	LIMIT0	xxxx0100	rrrrbbbb
E665	1	CLRERRCNT	エラーカウンタ EC3:0 のクリア	x	x	x	x	x	x	x	x	xxxxxxx	W
E666	1	INT2IVEC	割込み 2 (USB) オートベクトル	0	I2V4	I2V3	I2V2	I2V1	I2V0	0	0	00000000	R
E667	1	INT4IVEC	割込み 4 (スレーブ FIFO および GPIF) オートベクトル	1	0	I4V3	I4V2	I4V1	I4V0	0	0	10000000	R
E668	1	INTSET-UP	割込み 2 および 4 セットアップ	0	0	0	0	AV2EN	0	INT4SRC	AV4EN	00000000	RW
E669	7	予約済み											
		INPUT / OUTPUT											
E670	1	PORTACFG	I/O PORTA コンフィグレーション	FLAGD	SLCS	0	0	0	0	INT1	INT0	00000000	RW
E671	1	PORTCCFG	I/O PORTC コンフィグレーション	GPIFA7	GPIFA6	GPIFA5	GPIFA4	GPIFA3	GPIFA2	GPIFA1	GPIFA0	00000000	RW
E672	1	PORTECFG	I/O PORTE コンフィグレーション	GPIFA8	T2EX	INT6	RXD1OUT	RXD0OUT	T2OUT	T1OUT	T0OUT	00000000	RW
E673	4	予約済み											
E677	1	予約済み											
E678	1	I ² C ^S	I ² C バス制御およびステータス	START	STOP	LASTRD	ID1	ID0	BERR	ACK	完了	000xx000	bbbbrrrr
E679	1	I2DAT	I ² C バス Data (データ)	d7	d6	d5	d4	d3	d2	d1	d0	xxxxxxx	RW
E67A	1	I ² CTL	I ² C バス制御	0	0	0	0	0	0	STOPIE	400KHZ	00000000	RW
E67B	1	XAUTODAT1	APTREN=1 の場合、Autoptr1 MOVX アクセス	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxx	RW
E67C	1	XAUTODAT2	APTREN=1 の場合、Autoptr2 MOVX アクセス	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxx	RW
		UDMA CRC											
E67D	1	UDMACRCH ^[20]	UDMA CRC MSB	CRC15	CRC14	CRC13	CRC12	CRC11	CRC10	CRC9	CRC8	01001010	RW
E67E	1	UDMACRCL ^[20]	UDMA CRC LSB	CRC7	CRC6	CRC5	CRC4	CRC3	CRC2	CRC1	CRC0	10111010	RW
E67F	1	UDMACRC-QUALIFIER	UDMA CRC 修飾子	QENABLE	0	0	0	QSTATE	QSIGNA2	QSIGNA1	QSIGNA0	00000000	brrrrbbb
		USB 制御											
E680	1	USBCS	USB 制御およびステータス	HSM	0	0	0	DISCON	NOSYNOSF	RENUM	SIGRSUM	x0000000	rrrrbbbb
E681	1	SUSPEND	チップをサスペンド状態にする	x	x	x	x	x	x	x	x	xxxxxxx	W
E682	1	WAKEUPCS	ウェイクアップ制御およびステータス	WU2	WU	WU2POL	WUPOL	0	DPEN	WU2EN	WUEN	xx000101	bbbbrrbb
E683	1	TOGCTL	トグル制御	Q	S	R	I/O	EP3	EP2	EP1	EP0	x0000000	rrrrbbbb
E684	1	USBFRAMEH	USB フレーム カウント H	0	0	0	0	0	FC10	FC9	FC8	00000xxx	R
E685	1	USBFRAMEL	USB フレーム カウント L	FC7	FC6	FC5	FC4	FC3	FC2	FC1	FC0	xxxxxxx	R
E686	1	MICROFRAME	マイクロフレーム カウント、0 ~ 7	0	0	0	0	0	MF2	MF1	MF0	00000xxx	R
E687	1	FNADDR	USB 関数アドレス	0	FA6	FA5	FA4	FA3	FA2	FA1	FA0	0xxxxxxx	R
E688	2	予約済み											
		ENDPOINTS											
E68A	1	EP0BCH ^[20]	エンドポイント 0 バイト カウント H	(BC15)	(BC14)	(BC13)	(BC12)	(BC11)	(BC10)	(BC9)	(BC8)	xxxxxxx	RW
E68B	1	EP0BCL ^[20]	エンドポイント 0 バイト カウント L	(BC7)	BC6	BC5	BC4	BC3	BC2	BC1	BC0	xxxxxxx	RW
E68C	1	予約済み											
E68D	1	EP1OUTBC	エンドポイント 1 OUT バイト カウント	0	BC6	BC5	BC4	BC3	BC2	BC1	BC0	0xxxxxxx	RW
E68E	1	予約済み											
E68F	1	EP1INBC	エンドポイント 1 IN バイト カウント	0	BC6	BC5	BC4	BC3	BC2	BC1	BC0	0xxxxxxx	RW
E690	1	EP2BCH ^[20]	エンドポイント 2 バイト カウント H	0	0	0	0	0	BC10	BC9	BC8	00000xxx	RW
E691	1	EP2BCL ^[20]	エンドポイント 2 バイト カウント L	BC7/SKIP	BC6	BC5	BC4	BC3	BC2	BC1	BC0	xxxxxxx	RW
E692	2	予約済み											
E694	1	EP4BCH ^[20]	エンドポイント 4 バイト カウント H	0	0	0	0	0	0	BC9	BC8	000000xx	RW
E695	1	EP4BCL ^[20]	エンドポイント 4 バイト カウント L	BC7/SKIP	BC6	BC5	BC4	BC3	BC2	BC1	BC0	xxxxxxx	RW
E696	2	予約済み											
E698	1	EP6BCH ^[20]	エンドポイント 6 バイト カウント H	0	0	0	0	0	BC10	BC9	BC8	00000xxx	RW
E699	1	EP6BCL ^[20]	エンドポイント 6 バイト カウント L	BC7/SKIP	BC6	BC5	BC4	BC3	BC2	BC1	BC0	xxxxxxx	RW

注：
 19. レジスタはリセットのみ可能です。セットはできません。
 20. これらのレジスタの読み出しおよび書き込みでは、Synchronization Delay が必要な場合があります。Synchronization Delay についてはテクニカルリファレンスマニュアルを参照してください。

表 12. FX2LP レジスタの概要 (続き)

16 進	サイズ	名前	説明	b7	b6	b5	b4	b3	b2	b1	b0	デフォルト	アクセス
E69A	2	予約済み											
E69C	1	EP8BCH ^[21]	エンドポイント 8 バイト カウント H	0	0	0	0	0	0	BC9	BC8	000000xx	RW
E69D	1	EP8BCL ^[21]	エンドポイント 8 バイト カウント L	BC7/SKIP	BC6	BC5	BC4	BC3	BC2	BC1	BC0	xxxxxxx	RW
E69E	2	予約済み											
E6A0	1	EP0CS	エンドポイント 0 制御およびステータス	HSNAK	0	0	0	0	0	BUSY	STALL	10000000	bbbbbbbrb
E6A1	1	EP1OUTCS	エンドポイント 1 OUT 制御およびステータス	0	0	0	0	0	0	BUSY	STALL	00000000	bbbbbbbrb
E6A2	1	EP1INCS	エンドポイント 1 IN 制御およびステータス	0	0	0	0	0	0	BUSY	STALL	00000000	bbbbbbbrb
E6A3	1	EP2CS	エンドポイント 2 制御およびステータス	0	NPAK2	NPAK1	NPAK0	FULL	EMPTY	0	STALL	00101000	rrrrrrb
E6A4	1	EP4CS	エンドポイント 4 制御およびステータス	0	0	NPAK1	NPAK0	FULL	EMPTY	0	STALL	00101000	rrrrrrb
E6A5	1	EP6CS	エンドポイント 6 制御およびステータス	0	NPAK2	NPAK1	NPAK0	FULL	EMPTY	0	STALL	00000100	rrrrrrb
E6A6	1	EP8CS	エンドポイント 8 制御およびステータス	0	0	NPAK1	NPAK0	FULL	EMPTY	0	STALL	00000100	rrrrrrb
E6A7	1	EP2FIFOFLGS	エンドポイント 2 /スレーブ FIFO フラグ	0	0	0	0	0	PF	EF	FF	00000010	R
E6A8	1	EP4FIFOFLGS	エンドポイント 4 /スレーブ FIFO フラグ	0	0	0	0	0	PF	EF	FF	00000010	R
E6A9	1	EP6FIFOFLGS	エンドポイント 6 /スレーブ FIFO フラグ	0	0	0	0	0	PF	EF	FF	00000110	R
E6AA	1	EP8FIFOFLGS	エンドポイント 8 /スレーブ FIFO フラグ	0	0	0	0	0	PF	EF	FF	00000110	R
E6AB	1	EP2FIFOBCH	エンドポイント 2 スレーブ FIFO 合計バイト カウント H	0	0	0	BC12	BC11	BC10	BC9	BC8	00000000	R
E6AC	1	EP2FIFOBCL	エンドポイント 2 スレーブ FIFO 合計バイト カウント L	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0	00000000	R
E6AD	1	EP4FIFOBCH	エンドポイント 4 スレーブ FIFO 合計バイト カウント H	0	0	0	0	0	BC10	BC9	BC8	00000000	R
E6AE	1	EP4FIFOBCL	エンドポイント 4 スレーブ FIFO 合計バイト カウント L	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0	00000000	R
E6AF	1	EP6FIFOBCH	エンドポイント 6 スレーブ FIFO 合計バイト カウント H	0	0	0	0	BC11	BC10	BC9	BC8	00000000	R
E6B0	1	EP6FIFOBCL	エンドポイント 6 スレーブ FIFO 合計バイト カウント L	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0	00000000	R
E6B1	1	EP8FIFOBCH	エンドポイント 8 スレーブ FIFO 合計バイト カウント H	0	0	0	0	0	BC10	BC9	BC8	00000000	R
E6B2	1	EP8FIFOBCL	エンドポイント 8 スレーブ FIFO 合計バイト カウント L	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0	00000000	R
E6B3	1	SUDPTRH	セットアップ データ ポインタの上位アドレス バイト	A15	A14	A13	A12	A11	A10	A9	A8	xxxxxxx	RW
E6B4	1	SUDPTRL	セットアップ データ ポインタの低位アドレス バイト	A7	A6	A5	A4	A3	A2	A1	0	xxxxxxx0	bbbbbbbr
E6B5	1	SUDPTRCTL	セットアップ データ ポインタの自動モード	0	0	0	0	0	0	0	SDPAUTO	00000001	RW
	2	予約済み											
E6B8	8	SET-UPDAT	8 バイトのセットアップ データ SET-UPDAT[0] = bmRequestType SET-UPDAT[1] = bmRequest SET-UPDAT[2:3] = wValue SET-UPDAT[4:5] = wIndex SET-UPDAT[6:7] = wLength	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxx	R
		GPIF											
E6C0	1	GPIFWFSELECT	波形セレクタ	SINGLEWR1	SINGLEWR0	SINGLERD1	SINGLERD0	FIFOWR1	FIFOWR0	FIFORD1	FIFORD0	11100100	RW
E6C1	1	GPIFIDLECS	GPIF Done、GPIF IDLE 駆動モード	完了	0	0	0	0	0	0	IDLEDRV	10000000	RW
E6C2	1	GPIFIDLECTL	非アクティブ バス、CTL 状態	0	0	CTL5	CTL4	CTL3	CTL2	CTL1	CTL0	11111111	RW
E6C3	1	GPIFCTLCFG	CTL 駆動タイプ	TRICTL	0	CTL5	CTL4	CTL3	CTL2	CTL1	CTL0	00000000	RW
E6C4	1	GPIFADRHI ^[21]	GPIF アドレス H	0	0	0	0	0	0	0	GPIFA8	00000000	RW
E6C5	1	GPIFADRLL ^[21]	GPIF アドレス L	GPIFA7	GPIFA6	GPIFA5	GPIFA4	GPIFA3	GPIFA2	GPIFA1	GPIFA0	00000000	RW
		FLOWSTATE											
E6C6	1	FLOWSTATE	フローステート イネーブルおよびセレクタ	FSE	0	0	0	0	FS2	FS1	FS0	00000000	brrrrrbb
E6C7	1	FLOWLOGIC	フローステートの論理	LFUNC1	LFUNC0	TERMA2	TERMA1	TERMA0	TERMB2	TERMB1	TERMB0	00000000	RW
E6C8	1	FLOWEQ0CTL	フローステートの CTL-Pin 状態 (Logic = 0 の場合)	CTL0E3	CTL0E2	CTL0E1/CTL5	CTL0E0/CTL4	CTL3	CTL2	CTL1	CTL0	00000000	RW

注：
 21. これらのレジスタの読み出しおよび書き込みでは、Synchronization Delay が必要な場合があります。Synchronization Delay についてはテクニカルリファレンスマニュアルを参照してください。

表 12. FX2LP レジスタの概要 (続き)

16進	サイズ	名前	説明	b7	b6	b5	b4	b3	b2	b1	b0	デフォルト	アクセス
E6C9	1	FLOWEQ1CTL	フローステートの CTL-Pin 状態 (Logic = 1 の場合)	CTL0E3	CTL0E2	CTL0E1/CTL5	CTL0E0/CTL4	CTL3	CTL2	CTL1	CTL0	00000000	RW
E6CA	1	FLOWHOLDOFF	ホールドオフのコンフィグレーション	HOPERIOD3	HOPERIOD2	HOPERIOD1	HOPERIOD0	HOSTATE	HOCTL2	HOCTL1	HOCTL0	00010010	RW
E6CB	1	FLOWSTB	フローステート ストロープのコンフィグレーション	SLAVE	RDYASYNC	CTLTOGL	SUSTAIN	0	MSTB2	MSTB1	MSTB0	00100000	RW
E6CC	1	FLOWSTBEDGE	フローステートの立ち上り / 立ち下りエッジのコンフィグレーション	0	0	0	0	0	0	FALLING	RISING	00000001	rrrrrb
E6CD	1	FLOWSTBPERIOD	マスタ ストロープ半期間	D7	D6	D5	D4	D3	D2	D1	D0	00000010	RW
E6CE	1	GPIFTCB3 ^[22]	GPIF トランザクション カウント バイト 3	TC31	TC30	TC29	TC28	TC27	TC26	TC25	TC24	00000000	RW
E6CF	1	GPIFTCB2 ^[22]	GPIF トランザクション カウント バイト 2	TC23	TC22	TC21	TC20	TC19	TC18	TC17	TC16	00000000	RW
E6D0	1	GPIFTCB1 ^[22]	GPIF トランザクション カウント バイト 1	TC15	TC14	TC13	TC12	TC11	TC10	TC9	TC8	00000000	RW
E6D1	1	GPIFTCB0 ^[22]	GPIF トランザクション カウント バイト 0	TC7	TC6	TC5	TC4	TC3	TC2	TC1	TC0	00000001	RW
	2	予約済み										00000000	RW
		予約済み											
		予約済み											
E6D2	1	EP2GPIFFLGSEL ^[22]	エンドポイント 2 GPIF フラグ 選択	0	0	0	0	0	0	FS1	FS0	00000000	RW
E6D3	1	EP2GPIFPFSTOP	prog. フラグのエンドポイント 2 GPIF 停止 トランザクション	0	0	0	0	0	0	0	FIFO2FLAG	00000000	RW
E6D4	1	EP2GPIFTRIGL ^[22]	エンドポイント 2 GPIF トリガ	x	x	x	x	x	x	x	x	xxxxxxx	W
	3	予約済み											
		予約済み											
		予約済み											
E6DA	1	EP4GPIFFLGSEL ^[22]	エンドポイント 4 GPIF フラグ 選択	0	0	0	0	0	0	FS1	FS0	00000000	RW
E6DB	1	EP4GPIFPFSTOP	GPIF フラグのエンドポイント 4 GPIF 停止 トランザクション	0	0	0	0	0	0	0	FIFO4FLAG	00000000	RW
E6DC	1	EP4GPIFTRIGL ^[22]	エンドポイント 4 GPIF トリガ	x	x	x	x	x	x	x	x	xxxxxxx	W
	3	予約済み											
		予約済み											
		予約済み											
E6E2	1	EP6GPIFFLGSEL ^[22]	エンドポイント 6 GPIF フラグ 選択	0	0	0	0	0	0	FS1	FS0	00000000	RW
E6E3	1	EP6GPIFPFSTOP	prog. フラグのエンドポイント 6 GPIF 停止 トランザクション	0	0	0	0	0	0	0	FIFO6FLAG	00000000	RW
E6E4	1	EP6GPIFTRIGL ^[22]	エンドポイント 6 GPIF トリガ	x	x	x	x	x	x	x	x	xxxxxxx	W
	3	予約済み											
		予約済み											
		予約済み											
E6EA	1	EP8GPIFFLGSEL ^[22]	エンドポイント 8 GPIF フラグ 選択	0	0	0	0	0	0	FS1	FS0	00000000	RW
E6EB	1	EP8GPIFPFSTOP	prog. フラグのエンドポイント 8 GPIF 停止 トランザクション	0	0	0	0	0	0	0	FIFO8FLAG	00000000	RW
E6EC	1	EP8GPIFTRIGL ^[22]	エンドポイント 8 GPIF トリガ	x	x	x	x	x	x	x	x	xxxxxxx	W
	3	予約済み											
E6F0	1	XGPIFSGLDATAH	GPIF データ H (16 ビットモードのみ)	D15	D14	D13	D12	D11	D10	D9	D8	xxxxxxx	RW
E6F1	1	XGPIFSGLDATAHX	読み出し / 書き込み GPIF データおよびトリガ トランザクション	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxx	RW
E6F2	1	XGPIFSGLDATAHNOX	GPIF データ H の読み出し、トランザクショントリガなし	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxx	R
E6F3	1	GPIFREADYCFG	内部 RDY、Sync/Async、RDY ピン状態	INTRDY	SAS	TCXRDY5	0	0	0	0	0	00000000	bbrrrr
E6F4	1	GPIFREADYSTAT	GPIF Ready ステータス	0	0	RDY5	RDY4	RDY3	RDY2	RDY1	RDY0	00xxxxx	R
E6F5	1	GPIFABORT	GPIF 波形の中止	x	x	x	x	x	x	x	x	xxxxxxx	W
E6F6	2	予約済み											
		ENDPOINT BUFFERS											
E740	64	EP0BUF	EP0-IN-OUT バッファ	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxx	RW
E780	64	EP10UTBUF	EP1-OUT バッファ	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxx	RW
E7C0	64	EP1INBUF	EP1-IN バッファ	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxx	RW
E800	2048	予約済み											RW
F000	1024	EP2FIFOBUF	512/1024 バイト EP 2/ スレーブ FIFO バッファ (IN または OUT)	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxx	RW
F400	512	EP4FIFOBUF	512 バイト EP 4/ スレーブ FIFO バッファ (IN または OUT)	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxx	RW
F600	512	予約済み											

注: 22. これらのレジスタの読み出しおよび書き込みでは、Synchronization Delay が必要な場合があります。Synchronization Delay についてはテクニカルリファレンスマニュアルを参照してください。

表 12. FX2LP レジスタの概要 (続き)

16進	サイズ	名前	説明	b7	b6	b5	b4	b3	b2	b1	b0	デフォルト	アクセス
F800	1024	EP6FIFOBUF	512/1024バイト EP 6/スレーブ FIFO バッファ (INまたはOUT)	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	RW
FC00	512	EP8FIFOBUF	512バイト EP 8/スレーブ FIFO バッファ (INまたはOUT)	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	RW
FE00	512	予約済み											
xxxx		PC コンフィグレーションバイト		0	DISCON	0	0	0	0	0	400KHZ	xxxxxxxx ^[26]	該当なし
		特殊機能レジスタ (SFR)											
80	1	IOA ^[24]	ポート A (ビット アドレス指定可能)	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	RW
81	1	SP	スタック ポインタ	D7	D6	D5	D4	D3	D2	D1	D0	0000111	RW
82	1	DPL0	データ ポインタ 0 L	A7	A6	A5	A4	A3	A2	A1	A0	00000000	RW
83	1	DPH0	データ ポインタ 0 H	A15	A14	A13	A12	A11	A10	A9	A8	00000000	RW
84	1	DPL1 ^[24]	データ ポインタ 1 L	A7	A6	A5	A4	A3	A2	A1	A0	00000000	RW
85	1	DPH1 ^[24]	データ ポインタ 1 H	A15	A14	A13	A12	A11	A10	A9	A8	00000000	RW
86	1	DPS ^[24]	データ ポインタ 0/1 選択	0	0	0	0	0	0	0	SEL	00000000	RW
87	1	PCON	出力制御	SMOD0	x	1	1	x	x	x	IDLE	00110000	RW
88	1	TCON	タイマ/カウンタの制御 (ビット アドレス指定可能)	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0	00000000	RW
89	1	TMOD	タイマ/カウンタ モードの制御	GATE	CT	M1	M0	GATE	CT	M1	M0	00000000	RW
8A	1	TL0	タイマ 0 再ロード L	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
8B	1	TL1	タイマ 1 再ロード L	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
8C	1	TH0	タイマ 0 再ロード H	D15	D14	D13	D12	D11	D10	D9	D8	00000000	RW
8D	1	TH1	タイマ 1 再ロード H	D15	D14	D13	D12	D11	D10	D9	D8	00000000	RW
8E	1	CKCON ^[24]	クロック制御	x	x	T2M	T1M	T0M	MD2	MD1	MD0	00000001	RW
8F	1	予約済み											
90	1	IOB ^[24]	ポート B (ビット アドレス指定可能)	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	RW
91	1	EXIF ^[24]	外部割込みフラグ	IE5	IE4	ICINT	USBNT	1	0	0	0	00001000	RW
92	1	MPAGE ^[24]	@R0/@R1 を使用した MOVX の上位 アドレス バイト	A15	A14	A13	A12	A11	A10	A9	A8	00000000	RW
93	5	予約済み											
98	1	SCON0	シリアル ポート 0 の制御 (ビット アドレス指定可能)	SM0_0	SM1_0	SM2_0	REN_0	TB8_0	RB8_0	TI_0	RI_0	00000000	RW
99	1	SBUF0	シリアル ポート 0 のデータ バッファ	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
9A	1	AUTOPTRH1 ^[24]	オートポインタ 1 アドレス H	A15	A14	A13	A12	A11	A10	A9	A8	00000000	RW
9B	1	AUTOPTRL1 ^[24]	オートポインタ 1 アドレス L	A7	A6	A5	A4	A3	A2	A1	A0	00000000	RW
9C	1	予約済み											
9D	1	AUTOPTRH2 ^[24]	オートポインタ 2 アドレス H	A15	A14	A13	A12	A11	A10	A9	A8	00000000	RW
9E	1	AUTOPTRL2 ^[24]	オートポインタ 2 アドレス L	A7	A6	A5	A4	A3	A2	A1	A0	00000000	RW
9F	1	予約済み											
A0	1	IOC ^[24]	ポート C (ビット アドレス指定可能)	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	RW
A1	1	INT2CLR ^[24]	割込み 2 クリア	x	x	x	x	x	x	x	x	xxxxxxxx	W
A2	1	INT4CLR ^[24]	割込み 4 クリア	x	x	x	x	x	x	x	x	xxxxxxxx	W
A3	5	予約済み											
A8	1	IE	割込みイネーブル (ビット アドレス指定可能)	EA	ES1	ET2	ES0	ET1	EX1	ET0	EX0	00000000	RW
A9	1	予約済み											
AA	1	EP2468STAT ^[24]	エンドポイント 2、4、6、8 ステータス フラグ	EP8F	EP8E	EP6F	EP6E	EP4F	EP4E	EP2F	EP2E	01011010	R
AB	1	EP24FIFOFLGS ^[24]	エンドポイント 2、4 スレーブ FIFO ステータス フラグ	0	EP4PF	EP4EF	EP4FF	0	EP2PF	EP2EF	EP2FF	00100010	R
AC	1	EP68FIFOFLGS ^[25]	エンドポイント 6、8 スレーブ FIFO ステータス フラグ	0	EP8PF	EP8EF	EP8FF	0	EP6PF	EP6EF	EP6FF	01100110	R
AD	2	予約済み											
AF	1	AUTOPTRSETU ^{p[24]}	オートポインタ 1 および 2 セットアップ	0	0	0	0	0	APTR2INC	APTR1NC	APTREN	00000110	RW
B0	1	IOD ^[24]	ポート D (ビット アドレス指定可能)	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	RW
B1	1	IOE ^[24]	ポート E (ビット アドレス指定不可)	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	RW
B2	1	OEA ^[24]	ポート A 出力イネーブル	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
B3	1	OEB ^[24]	ポート B 出力イネーブル	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
B4	1	OEC ^[25]	ポート C 出力イネーブル	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
B5	1	OED ^[24]	ポート D 出力イネーブル	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
B6	1	OEE ^[24]	ポート E 出力イネーブル	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
B7	1	予約済み											
B8	1	IP	割込み優先順位 (ビット アドレス指定可能)	1	PS1	PT2	PS0	PT1	PX1	PT0	PX0	10000000	RW
B9	1	予約済み											

注

23. SIE で EEPROM が検出されない場合、初期値は 00000000 となります。
 24. SFR は 8051 標準アーキテクチャにはありません。

表 12. FX2LP レジスタの概要 (続き)

16進	サイズ	名前	説明	b7	b6	b5	b4	b3	b2	b1	b0	デフォルト	アクセス
BA	1	EP01STAT ^[25]	エンドポイント 0 および 1 ステータス	0	0	0	0	0	EP1INBSY	EP1OUTBSY	EP0BSY	00000000	R
BB	1	GPIFTRIG ^[25, 26]	エンドポイント 2、4、6、8 GPIF スレーブ FIFO トリガ	完了	0	0	0	0	RW	EP1	EP0	10000xxx	brrrrbbb
BC	1	予約済み											
BD	1	GPIFSGLDATH ^[25]	GPIF データ H (16 ビット モードのみ)	D15	D14	D13	D12	D11	D10	D9	D8	xxxxxxxx	RW
BE	1	GPIFSGLDATLX ^[25]	GPIF データ L トリガあり	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	RW
BF	1	GPIFSGLDATLNOX ^[25]	GPIF データ L トリガなし	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	R
C0	1	SCON1 ^[25]	シリアルポート 1 の制御 (ビットアドレス指定可能)	SM0_1	SM1_1	SM2_1	REN_1	TB8_1	RB8_1	TI_1	RI_1	00000000	RW
C1	1	SBUF1 ^[25]	シリアルポート 1 のデータバッファ	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
C2	6	予約済み											
C8	1	T2CON	タイマ / カウンタ 2 の制御 (ビットアドレス指定可能)	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	CT2	CPRL2	00000000	RW
C9	1	予約済み											
CA	1	RCAP2L	タイマ 2、自動再ロード、インクリメントカウンタのキャプチャ	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
CB	1	RCAP2H	タイマ 2、自動再ロード、インクリメントカウンタのキャプチャ	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
CC	1	TL2	タイマ 2 再ロード L	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
CD	1	TH2	タイマ 2 再ロード H	D15	D14	D13	D12	D11	D10	D9	D8	00000000	RW
CE	2	予約済み											
D0	1	ps	プログラム ステータスワード (ビットアドレス指定可能)	CY	AC	F0	RS1	RS0	OV	F1	P	00000000	RW
D1	7	予約済み											
D8	1	EICON ^[25]	外部割込み制御	SMOD1	1	ERESI	RESI	INT6	0	0	0	01000000	RW
D9	7	予約済み											
E0	1	AC	アキュムレータ (ビットアドレス指定可能)	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
E1	7	予約済み											
E8	1	EIE ^[25]	外部割込みイネーブル	1	1	1	EX6	EX5	EX4	EI ² C	EUSB	11100000	RW
E9	7	予約済み											
F0	1	B	B (ビットアドレス指定可能)	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
F1	7	予約済み											
F8	1	EIP ^[25]	外部割込み優先順位制御	1	1	1	PX6	PX5	PX4	PI ² C	PUSB	11100000	RW
F9	7	予約済み											

R = すべてのビットが読み取り専用
 W = すべてのビットが書き込み専用
 r = 読み取り専用ビット
 w = 書き込み専用ビット
 b = 読み取り/書き込みビット


注

25. SFR は 8051 標準アーキテクチャにはありません。
 26. これらのレジスタの読み出しおよび書き込みでは、Synchronization Delay が必要な場合があります。Synchronization Delay についてはテクニカルリファレンスマニュアルを参照してください。

絶対最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。ユーザガイドラインは未テストです。

保存温度	-65 °C ~ +150 °C
通電時の 周囲温度 (民生用)	0 °C ~ +70 °C
通電時の 周囲温度 (産業用)	-40 °C ~ +105 °C
グランド電位への電源電圧	-0.5V ~ +4.0V
任意の入力ピンへの DC 入力電圧 [27]	5.25V
High-Z 状態の出力に印加される DC 電圧	-0.5V ~ VCC+ 0.5V
電力損失	300 mW
静電気放電電圧	>2000 V
I/O ポートあたりの最大出力電流	10 mA
5 つの I/O ポートすべての最大出力電流 (128 および 100 ピン パッケージ)	50 mA

熱特性

最大接合温度125 °C

以下の表に、各種パッケージの熱特性を示します。

表 13. 熱特性

パッケージ	周囲温度 (°C)	θ_{Jc} ジャンクションからケースの熱抵抗 (°C/W)	θ_{Ja} ジャンクションから周囲の熱抵抗 (°C/W)
56 SSOP	70	24.4	47.7
100 TQFP	70	11.9	45.9
128 TQFP	70	15.5	43.2
56 QFN	70	10.6	25.2
56 VFBGA	70	30.9	58.6

接合部の温度 θ_j は、次の式を使用して計算できます。 $\theta_j = P \cdot \theta_{Ja} + \theta_a$

ここで、

P = 電力

θ_{Ja} = 接合部から周囲の温度 ($\theta_{Jc} + \theta_{Ca}$)

θ_a = 周囲の温度 (70°C)

ケースの温度 θ_c は、次の式を使用して計算できます。 $\theta_c = P \cdot \theta_{Ca} + \theta_a$

ここで、

P = 電力

θ_{Ca} = ケースから周囲の温度

θ_a = 周囲の温度 (70°C)

注:

27. チップの電源を遮断した状態で I/O ピンに電力を供給しないでください。

動作条件

T_A (バイアス印加時の周囲温度)

民生用 0 °C ~ +70 °C

T_A (バイアス印加時の周囲温度)

産業用 -40 °C ~ +105 °C

電源電圧 +3.00 V ~ +3.60 V

グランド電圧 0V

F_{OSC} (発振器または水晶振動子周波数) 24 MHz ± 100 ppm、
並列共振

DC 電気的特性

表 14. DC 特性

パラメータ	説明	条件	最小値	標準値	最大値	単位
VCC	電源電圧	–	3.00	3.3	3.60	V
VCC Ramp Up	0 ~ 3.3V	–	200	–	–	μs
V _{IH}	入力 HIGH 電圧	–	2	–	5.25	V
V _{IL}	入力 LOW 電圧	–	-0.5	–	0.8	V
V _{IH_X}	水晶振動子入力 HIGH 電圧	–	2	–	5.25	V
V _{IL_X}	水晶振動子入力 LOW 電圧	–	-0.5	–	0.8	V
I _I	入力漏れ電流	0 < V _{IN} < VCC	–	–	±10	μA
V _{OH}	出力電圧 HIGH	I _{OUT} = 4 mA	2.4	–	–	V
V _{OL}	出力電圧 LOW	I _{OUT} = -4 mA	–	–	0.4	V
I _{OH}	出力電流 HIGH	–	–	–	4	mA
I _{OL}	出力電流 LOW	–	–	–	4	mA
C _{IN}	入力ピン容量	D+/D- 除く	–	–	10	pF
		D+/D-	–	–	15	pF
I _{SUSP}	サスペンド電流 CY7C68014/CY7C68016	接続	–	300	380 ^[28]	μA
		切断	–	100	150 ^[28]	μA
	サスペンド電流 CY7C68013/CY7C68015	接続	–	0.5	1.2 ^[28]	mA
		切断	–	0.3	1.0 ^[28]	mA
I _{CC}	供給電流	8051 動作、USB HS に接続	–	50	85	mA
		8051 動作、USB FS に接続	–	35	65	mA
T _{RESET}	電源投入時のリセット時間	V _{CC} の最小値 = 3.0V	5.0	–	–	ms
	電源投入直後のピン リセット		200	–	–	μs

USB トランシーバ

USB2.0 のフルスピード / ハイスピードモードに準拠。

注：
28. VCC Max、25°C で測定。

AC 電气的特性

USB トランシーバ

USB2.0 のフルスピード / ハイスピードモードに準拠します。

プログラム メモリ読み出し

図 12. プログラム メモリ読み出しタイミング図

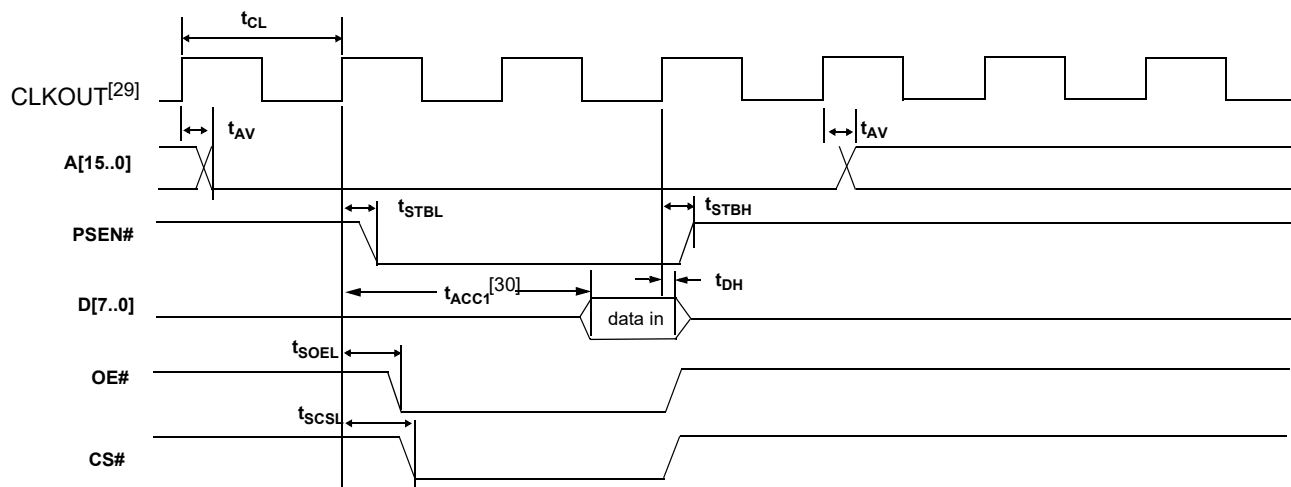


表 15. プログラム メモリ読み出しパラメータ

パラメータ	説明	最小値	標準値	最大値	単位	注記
t_{CL}	1/CLKOUT 周波数	–	20.83	–	ns	48 MHz
		–	41.66	–	ns	24 MHz
		–	83.2	–	ns	12 MHz
t_{AV}	クロックからアドレスが有効になるまでの遅延	0	–	10.7	ns	–
t_{STBL}	クロックから PSEN LOW	0	–	8	ns	–
t_{STBH}	クロックから PSEN High	0	–	8	ns	–
t_{SOEL}	クロックから OE Low	–	–	11.1	ns	–
t_{SCSL}	クロックから CS Low	–	–	13	ns	–
t_{DSU}	データ セットアップからクロック	9.6	–	–	ns	–
t_{DH}	データ ホールド時間	0	–	–	ns	–

注:

29. CLKOUT は、正論理で示されています。
 30. t_{ACC1} は、以下のパラメータから計算されます。
 t_{ACC1} (24 MHz) = $3 \cdot t_{CL} - t_{AV} - t_{DSU} = 106$ ns。
 t_{ACC1} (48 MHz) = $3 \cdot t_{CL} - t_{AV} - t_{DSU} = 43$ ns。

データメモリの読み出し [31]

図 13. データメモリ読み出しタイミング図

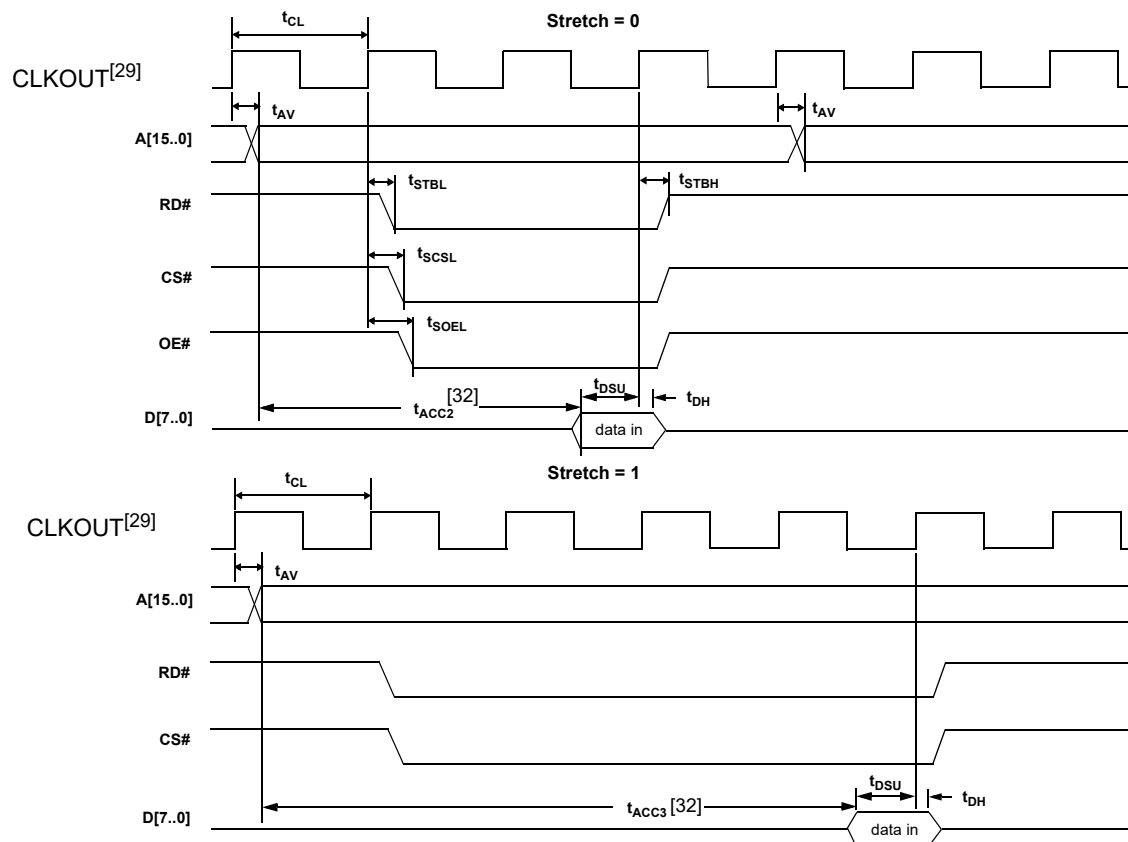


表 16. データメモリの読み出しパラメータ

パラメータ	説明	最小値	標準値	最大値	単位	注記
t_{CL}	1/CLKOUT 周波数	-	20.83	-	ns	48 MHz
		-	41.66	-	ns	24 MHz
		-	83.2	-	ns	12 MHz
t_{AV}	クロックからアドレスが有効になるまでの遅延	-	-	10.7	ns	-
t_{STBL}	クロックから RD LOW	-	-	11	ns	-
t_{STBH}	クロックから RD HIGH	-	-	11	ns	-
t_{SCSL}	クロックから CS LOW	-	-	13	ns	-
t_{SOEL}	クロックから OE LOW	-	-	11.1	ns	-
t_{DSU}	データセットアップからクロック	9.6	-	-	ns	-
t_{DH}	データホールド時間	0	-	-	ns	-

AUTOPTR1 または AUTOPTR2 を使用して外部メモリをアドレス指定する場合、RD# または WR# がアクティブである間は、AUTOPTR1 のアドレスのみがアクティブです。AUTOPTR2 のアドレスはサイクル全体でアクティブであり、ストレッチ値に基づくアドレス有効時間を満たします。

注：
31. ストレッチメモリサイクル機能により、EZ-USB ファームウェアはプログラムメモリアクセスではなく、データメモリアクセスの速度を調整できます。標準ストロブ幅タイミングを含む詳細は、[テクニカルリファレンスマニュアル](#)の 12.1.2 節を参照してください。アドレスサイクル幅はこれらから解釈できます。

32. t_{ACC2} と t_{ACC3} は、以下のパラメータから計算されます。
 t_{ACC2} (24 MHz) = $3 \cdot t_{CL} - t_{AV} - t_{DSU} = 106$ ns.
 t_{ACC2} (48 MHz) = $3 \cdot t_{CL} - t_{AV} - t_{DSU} = 43$ ns.
 t_{ACC3} (24 MHz) = $5 \cdot t_{CL} - t_{AV} - t_{DSU} = 190$ ns.
 t_{ACC3} (48 MHz) = $5 \cdot t_{CL} - t_{AV} - t_{DSU} = 86$ ns.

データメモリの書き込み^[33]

図 14. データメモリ書き込みタイミング図

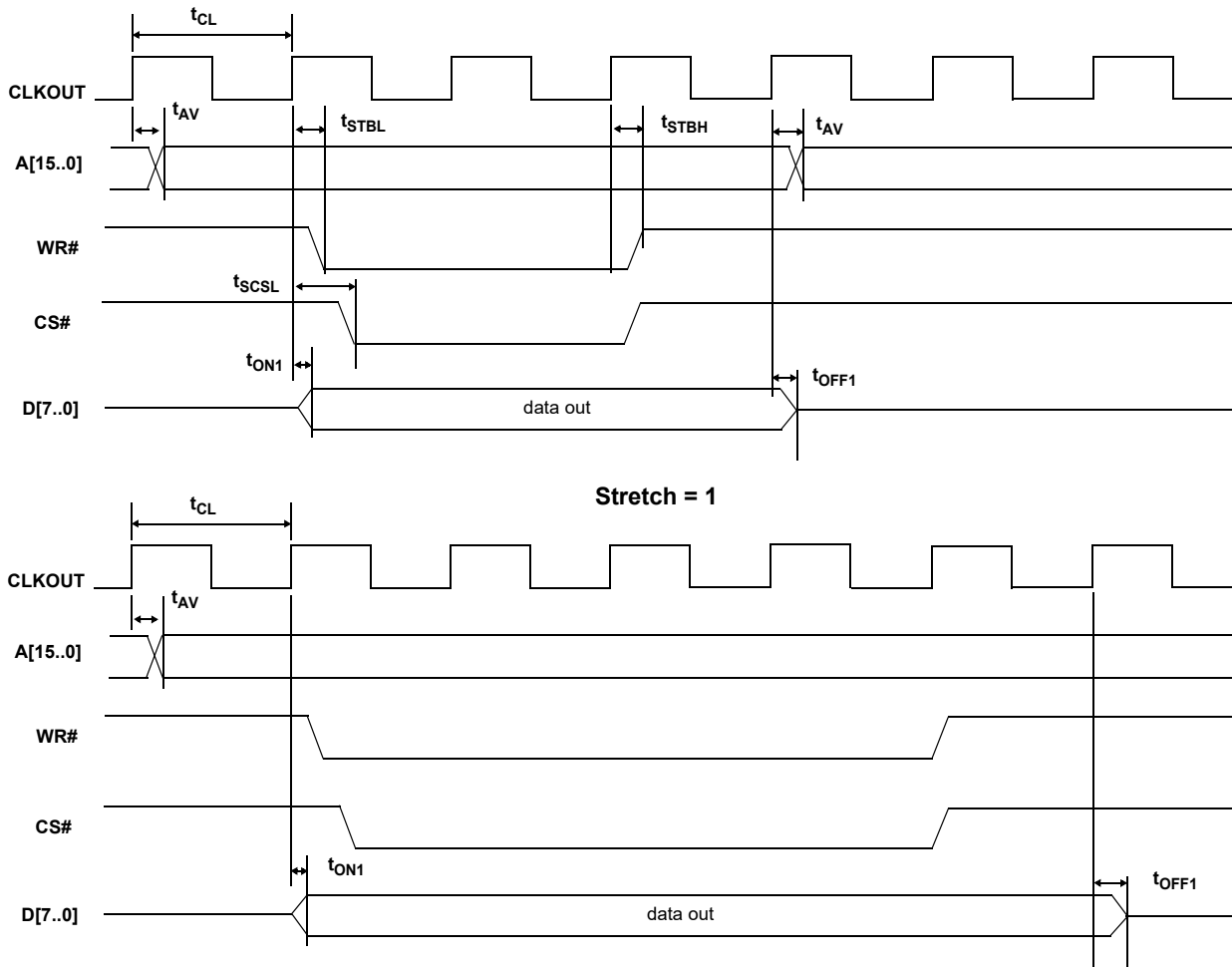


表 17. データメモリの書き込みパラメータ

パラメータ	説明	最小値	最大値	単位	注記
t_{AV}	クロックからアドレスが有効になるまでの遅延	0	10.7	ns	-
t_{STBL}	クロックから WR パルス LOW	0	11.2	ns	-
t_{STBH}	クロックから WR パルス HIGH	0	11.2	ns	-
t_{SCSL}	クロックから CS パルス LOW	-	13.0	ns	-
t_{ON1}	クロックからデータのオン	0	13.1	ns	-
t_{OFF1}	クロックからデータ ホールド時間	0	13.1	ns	-

AUTOPTR1 または AUTOPTR2 を使用して外部メモリをアドレス指定する場合、RD# または WR# がアクティブである間は、AUTOPTR1 のアドレスのみがアクティブです。AUTOPTR2 のアドレスはサイクル全体でアクティブであり、ストレッチ値に基づくアドレス有効時間を満たします。

注:

33. ストレッチメモリサイクル機能により、EZ-USB ファームウェアはプログラムメモリアクセスではなく、データメモリアクセスの速度を調整できます。標準ストロブ幅タイミングを含む詳細は、[テクニカルリファレンスマニュアル](#)の12.1.2節を参照してください。アドレスサイクル幅はこれらから解釈できません。

PORTC ストローブ機能のタイミング

RD# および WR# は、100 ピンバージョンおよび 128 ピンパッケージに存在します。これらの 100 ピンおよび 128 ピンのバージョンでは、8051 が PORTC との読み出し / 書き込みを実行するときに、RD# ピンと WR# ピンにパルスを送るよう 8051 制御ビットを設定できます。この機能は、CPUCS レジスタに PORTCSTB ビットを設定することでイネーブルになります。

PORTC へのアクセス時に、RD# および WR# ストローブは 2 つの CLKOUT サイクル分、アサートされます。

WR# ストローブは、[図 15](#) に示されるとおり、PORTC が更新された後、2 クロック サイクル分アサートされ、その後、2 クロック サイクル分アクティブになります。

読み出しについては、8051 が読み出す値は、RD# のアサートの前の PORTC 3 クロック サイクルの値です。RD# は、8051 が PORTC で読み出し関数を実行した時点から 3 クロック サイクル後に、2 クロック サイクル分、パルス出力されます。

RD# 信号は、外部ロジックに次のデータ バイトを準備するように求めます。RD# 信号そのもののアサート時には内部的には何もサンプルされません。これは次のデータ バイトを準備させるための単なるプリフェッチ タイプの信号です。そのため、RD# 信号を使用するときにそのことを考慮すると、次の読み出しまでのセットアップ時間の条件を簡単に満たせます。

RD# のこのパルス送信の目的は、外部周辺デバイスが 8051 が PORTC の読み出しを実行し、データが RD# 信号のアサート前に PORTC 3 CLKOUT サイクルにラッチされたことを感知できるようにすることです。RD# がパルス送信されると、外部ロジックは PORTC 上のデータを更新できます。

以下は、PORTC へのアクセス時の読み出し / 書き込みストローブ機能のタイミング図を示したものです。RD# 信号と WR# 信号の伝播遅延の詳細については、[データメモリの読み出し](#) ^[31] と [データメモリの書き込み](#) ^[33] を参照してください。

図 15. 8051 が PORTC にアクセスするときの WR# ストローブ関数

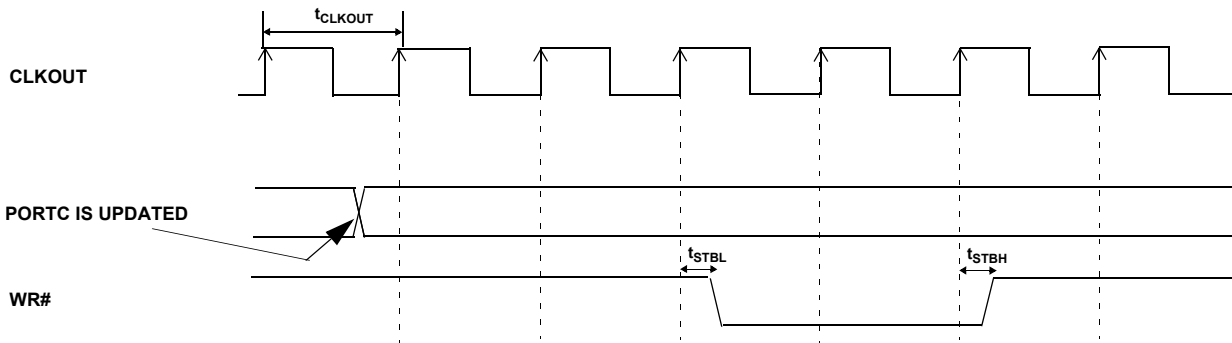
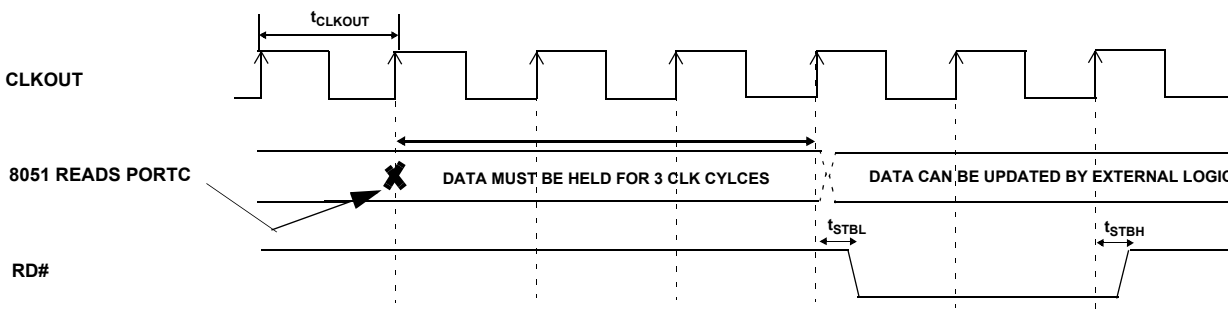
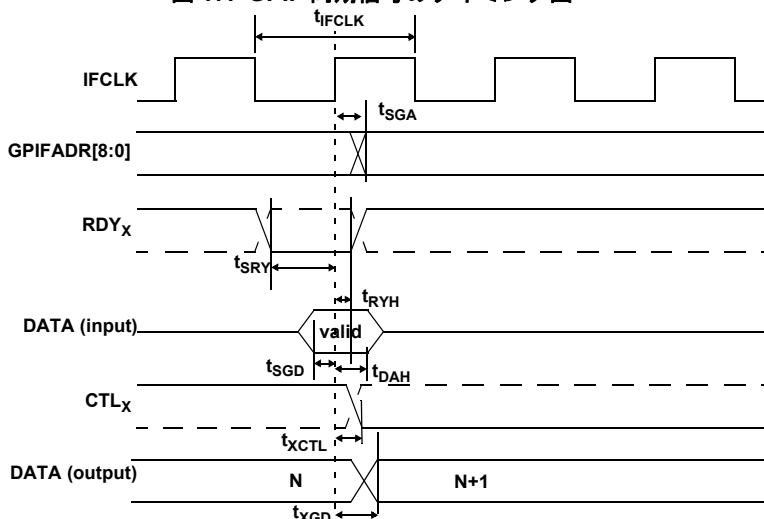


図 16. 8051 が PORTC にアクセスするときの RD# ストローブ関数



GPIF 同期信号
図 17. GPIF 同期信号のタイミング図^[34]

表 18. 内部から供給される IFCLK での GPIF 同期信号パラメータ^[34, 35]

パラメータ	説明	最小値	最大値	標準値		単位
				最小値	最大値	
t_{IFCLK}	IFCLK 周期	20.83	-	-	-	ns
t_{SRY}	RDY _x からクロック セットアップ時間	8.9	-	-	-	ns
t_{RYH}	RDY _x からのホールド時間	0	-	-	-	ns
t_{SGD}	GPIF データからクロック セットアップ時間	9.2	-	-	-	ns
t_{DAH}	GPIF データ ホールド時間	0	-	-	-	ns
t_{SGA}	クロックから GPIF アドレス伝播遅延	-	7.5	-	-	ns
t_{XGD}	クロックから GPIF データ出力までの伝播遅延	-	10	-	-	ns
t_{XCTL}	クロックから CTL _x 出力までの伝播遅延	-	6.7	-	-	ns
t_{IFCLKR}	IFCLK の立ち上がり時間	-	-	-	900	ps
t_{IFCLKF}	IFCLK の立ち下がり時間	-	-	-	900	ps
$t_{IFCLKOD}$	IFCLK 出力デューティ比	-	-	49	51	%
t_{IFCLKJ}	IFCLK ジッタ (ピークツーピーク)	-	-	-	300	ps

表 19. 外部から供給される IFCLK での GPIF 同期信号パラメータ^[35]

パラメータ	説明	最小値	最大値	単位
t_{IFCLK}	IFCLK 周期 ^[36]	20.83	200	ns
t_{SRY}	RDY _x からクロック セットアップ時間	2.9	-	ns
t_{RYH}	RDY _x からのホールド時間	3.7	-	ns
t_{SGD}	GPIF データからクロック セットアップ時間	3.2	-	ns
t_{DAH}	GPIF データ ホールド時間	4.5	-	ns
t_{SGA}	クロックから GPIF アドレス伝播遅延	-	11.5	ns
t_{XGD}	クロックから GPIF データ出力までの伝播遅延	-	15	ns
t_{XCTL}	クロックから CTL _x 出力までの伝播遅延	-	10.7	ns

注

34. 破線は、極性を反転してプログラムした信号を示します。
 35. GPIF 非同期 RDY_x 信号の最小セットアップ時間は内部 48 MHz IFCLK 使用時で 50 ns です。
 36. IFCLK が 48 MHz を超えないようにする必要があります。

スレーブ FIFO 同期読み出し

スレーブ FIFO 同期読み出しのタイミング図^[37]

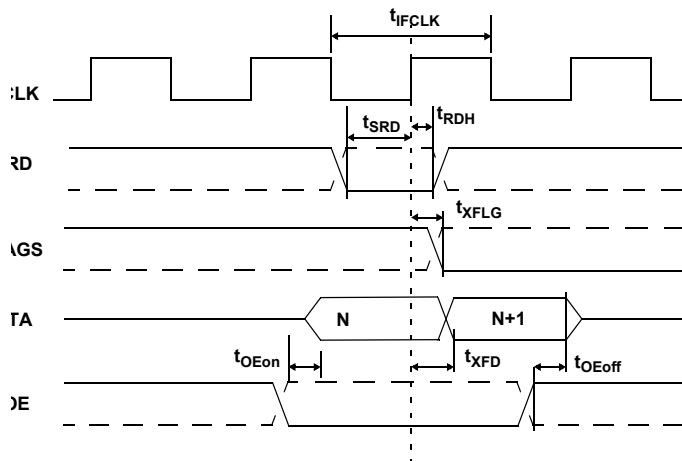


表 20. 内部から供給される IFCLK でのスレーブ FIFO 同期読み出しパラメータ^[38]

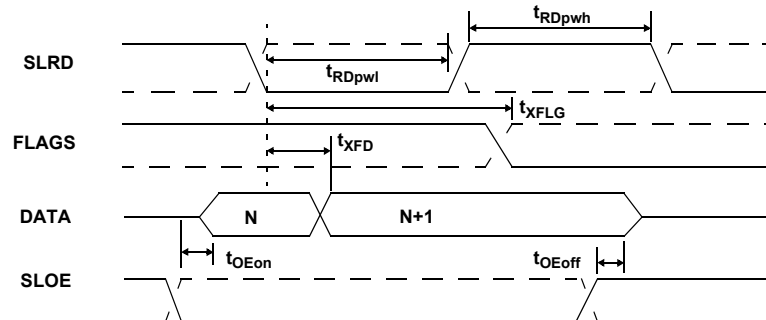
パラメータ	説明	最小値	最大値	標準値		単位
				最小値	最大値	
t _{IFCLK}	IFCLK 周期	20.83	–	–	–	ns
t _{SRD}	SLRD からクロック セットアップ時間	18.7	–	–	–	ns
t _{RDH}	クロックから SLRD ホールド時間	0	–	–	–	ns
t _{OEOon}	SLOE ターンオンから FIFO データが有効になるまで	–	10.5	–	–	ns
t _{OEOoff}	SLOE ターンオフから FIFO データホールドまで	–	10.5	–	–	ns
t _{XFLG}	クロックから FLAGS 出力までの伝播遅延	–	9.5	–	–	ns
t _{XFD}	クロックから FIFO データ出力までの伝播遅延	–	11	–	–	ns
t _{IFCLKR}	IFCLK の立ち上がり時間	–	–	–	900	ps
t _{IFCLKF}	IFCLK の立ち下がり時間	–	–	–	900	ps
t _{IFCLKOD}	IFCLK 出力デューティ比	–	–	49	51	%
t _{IFCLKJ}	IFCLK ジッタ (ピークツーピーク)	–	–	–	300	ps

表 21. 外部から供給される IFCLK でのスレーブ FIFO 同期読み出しパラメータ^[38]

パラメータ	説明	最小値	最大値	単位
t _{IFCLK}	IFCLK 周期	20.83	200	ns
t _{SRD}	SLRD からクロック セットアップ時間	12.7	–	ns
t _{RDH}	クロックから SLRD ホールド時間	3.7	–	ns
t _{OEOon}	SLOE ターンオンから FIFO データが有効になるまで	–	10.5	ns
t _{OEOoff}	SLOE ターンオフから FIFO データホールドまで	–	10.5	ns
t _{XFLG}	クロックから FLAGS 出力までの伝播遅延	–	13.5	ns
t _{XFD}	クロックから FIFO データ出力までの伝播遅延	–	15	ns

注

37. 破線は、極性を反転してプログラムした信号を示します。
38. GPIF 非同期 RDY_x 信号の最小セットアップ時間は内部 48 MHz IFCLK 使用時で 50 ns です。

スレーブ FIFO 同期読み出し
図 18. スレーブ FIFO 非同期読み出しのタイミング図^[39]

表 22. スレーブ FIFO 非同期読み出しのパラメータ^[40]

パラメータ	説明	最小値	最大値	単位
t_{RDpwl}	SLRD パルス幅 LOW	50	–	ns
t_{RDpwh}	SLRD パルス幅 HIGH	50	–	ns
t_{XFLG}	SLRD から FLAGS 出力までの伝播遅延	–	70	ns
t_{XFD}	SLRD から FIFO データ出力までの伝播遅延	–	15	ns
t_{OEon}	SLOE ターンオンから FIFO データが有効になるまで	–	10.5	ns
t_{OEoff}	SLOE ターンオフから FIFO データホールドまで	–	10.5	ns

注:

39. 破線は、極性を反転してプログラムした信号を示します。

40. スレーブ FIFO 非同期パラメータ値は、48 MHz の内部 IFCLK 設定を使用します。

スレーブ FIFO 同期書き込み

図 19. スレーブ FIFO 同期書き込みのタイミング図^[41]

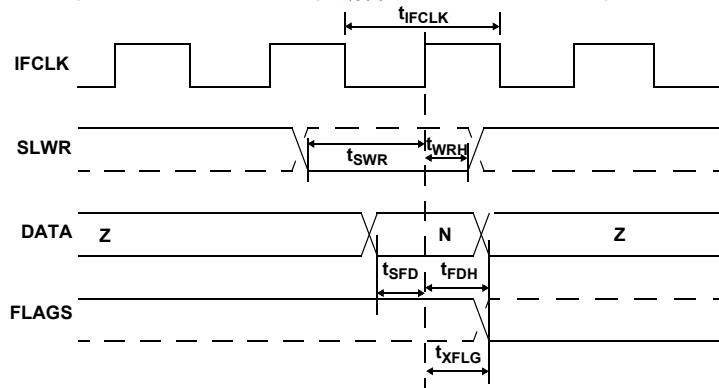


表 23. 内部から供給される IFCLK でのスレーブ FIFO 同期書き込みパラメータ^[42]

パラメータ	説明	最小値	最大値	単位
t_{IFCLK}	IFCLK 周期	20.83	–	ns
t_{SWR}	SLWR からクロック セットアップ時間	10.4	–	ns
t_{WRH}	クロックから SLWR ホールド時間	0	–	ns
t_{SFD}	FIFO データからクロック セットアップ時間	9.2	–	ns
t_{FDH}	クロックから FIFO データ ホールド時間	0	–	ns
t_{XFLG}	クロックから FLAGS 出力までの伝播遅延	–	9.5	ns

表 24. 外部から供給される IFCLK でのスレーブ FIFO 同期書き込みパラメータ^[42]

パラメータ	説明	最小値	最大値	単位
t_{IFCLK}	IFCLK 周期	20.83	200	ns
t_{SWR}	SLWR からクロック セットアップ時間	12.1	–	ns
t_{WRH}	クロックから SLWR ホールド時間	3.6	–	ns
t_{SFD}	FIFO データからクロック セットアップ時間	3.2	–	ns
t_{FDH}	クロックから FIFO データ ホールド時間	4.5	–	ns
t_{XFLG}	クロックから FLAGS 出力までの伝播遅延	–	13.5	ns

注:

41. 破線は、極性を反転してプログラムした信号を示します。

42. GPIF 非同期 RDY_x 信号の最小セットアップ時間は内部 48 MHz IFCLK 使用時で 50 ns です。

スレーブ FIFO 非同期書き込み

図 20. スレーブ FIFO 非同期書き込みのタイミング図^[43]

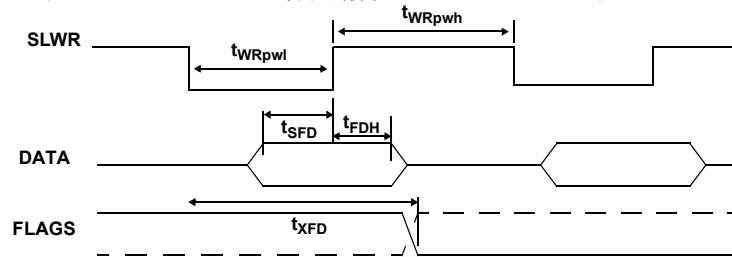


表 25. 内部から供給される IFCLK でのスレーブ FIFO 非同期書き込みパラメータ^[44]

パラメータ	説明	最小値	最大値	単位
t_{WRpwl}	SLWR パルス LOW	50	–	ns
t_{WRpwh}	SLWR パルス HIGH	70	–	ns
t_{SFD}	SLWR から FIFO データ セットアップ時間	10	–	ns
t_{FDH}	FIFO データから SLWR ホールド時間	10	–	ns
t_{XFD}	SLWR から FLAGS 出力までの伝播遅延	–	70	ns

注:

43. 破線は、極性を反転してプログラムした信号を示します。
44. GPIF 非同期 RDY_x 信号の最小セットアップ時間は内部 48 MHz IFCLK 使用時で 50 ns です。

スレーブ FIFO 同期パケット終了ストロープ

図 21. スレーブ FIFO 同期パケット終了ストロープのタイミング図^[45]

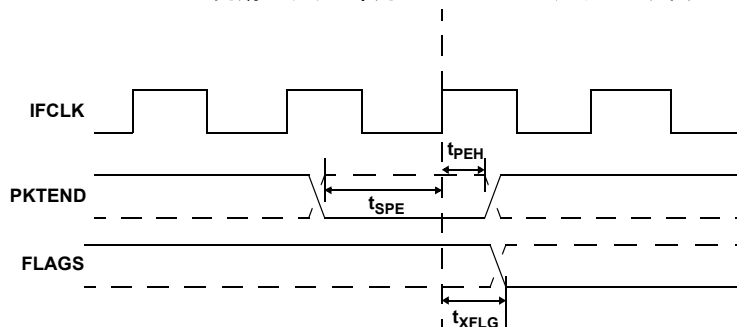


表 26. 内部から供給される IFCLK でのスレーブ FIFO 同期パケット終了ストロープ パラメータ^[46]

パラメータ	説明	最小値	最大値	単位
t_{IFCLK}	IFCLK 周期	20.83	–	ns
t_{SPE}	PKTEND からクロック セットアップ時間	14.6	–	ns
t_{PEH}	クロックから PKTEND ホールド時間	0	–	ns
t_{XFLG}	クロックから FLAGS 出力までの伝播遅延	–	9.5	ns

表 27. 外部から供給される IFCLK でのスレーブ FIFO 同期パケット終了ストロープ パラメータ^[46]

パラメータ	説明	最小値	最大値	単位
t_{IFCLK}	IFCLK 周期	20.83	200	ns
t_{SPE}	PKTEND からクロック セットアップ時間	8.6	–	ns
t_{PEH}	クロックから PKTEND ホールド時間	2.5	–	ns
t_{XFLG}	クロックから FLAGS 出力までの伝播遅延	–	13.5	ns

注:

45. 破線は、極性を反転してプログラムした信号を示します。

46. GPIF 非同期 RDY_x 信号の最小セットアップ時間は内部 48 MHz IFCLK 使用時で 50 ns です。

PKTEND ピンのアサートと SLWR のアサートの時間的關係について、満たさなければならない特定のタイミング要件はありません。PKTEND は、最後のデータ値が FIFO に取り込まれた時またはそれ以降にアサートできます。セットアップ時間 t_{SPE} およびホールド時間 t_{PEH} を満たす必要があります。

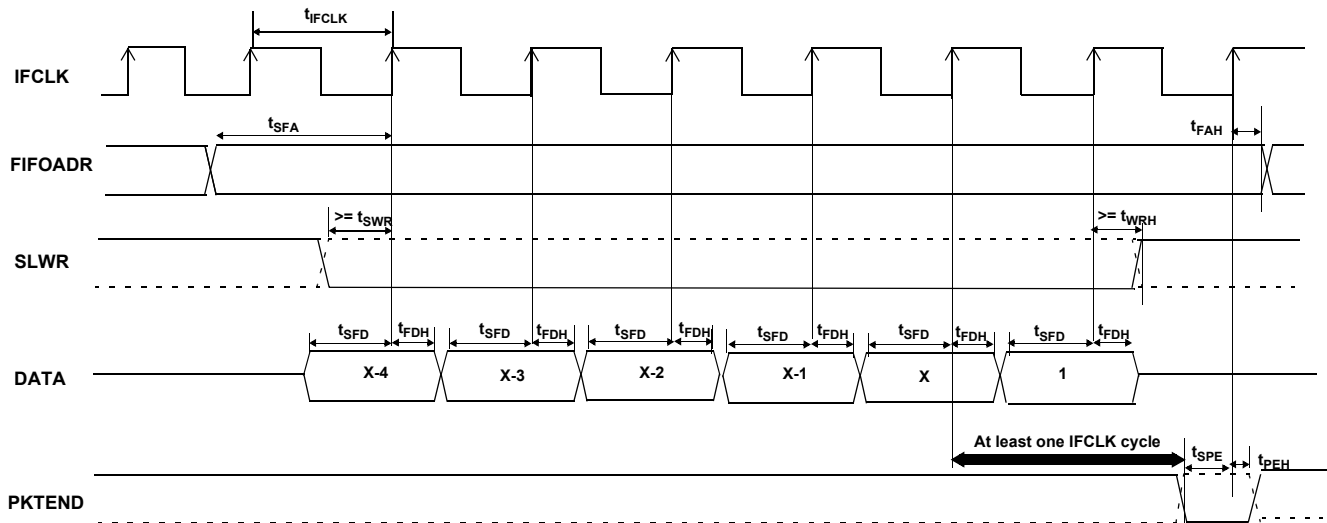
PKTEND アサートについて特定のタイミング要件はありませんが、PKTEND ピンを使用して 1 バイトまたは 1 ワードの packets を転送する間に注意すべき特定のコーナー ケース条件があります。また、自動モードで動作するように FIFO を構成している場合は、2 つの packets を送信するために必要となる追加のタイミング要件があります。それは PKTEND ピンを使用して手動で転送された短い 1 バイトまたは 1 ワードの packets が続く、自動的に転送されたフル packets です。(フルとは、AUTOINLEN レジスタに設定されたレベルを満たす FIFO のバイト数)。このシナリオでは、ユーザは、その時点まで自動的に転送してきた packets の最後のバイトまたはワードを取り込

むクロックの立ち上りエッジの後、少なくとも 1 クロック サイクル経過後に PKTEND をアサートするようにならなければなりません。図 22 はこのシナリオを示したものです。X は、IN エンドポイントが自動モードに入るように構成されるときに、AUTOINLEN レジスタに設定される値です。

図 22 に、2 つの packets が転送されるシナリオを示します。最初の packet は、FIFO のバイト数が X (AUTOINLEN レジスタに設定された値) に達するまで自動的に転送され、2 番目の 1 バイト/ワードのショート packet は PKTEND を使用して手動で転送されます。

PKTEND のアサートと、最初の packet の最終バイトのクロッキング (packet の自動転送が発生する) との間には少なくとも 1 つの IFCLK サイクルタイミングがあります。このタイミングを守らないと、FX2 は 1 バイトまたは 1 ワードのショート packet の送信に失敗します。

図 22. スレーブ FIFO 同期書き込みシーケンスおよびタイミング図^[47]



注:

47. 破線は、極性を反転してプログラムした信号を示します。

スレーブ FIFO 非同期パケット終了ストロブ

図 23. スレーブ FIFO 非同期パケット終了ストロブのタイミング図^[48]

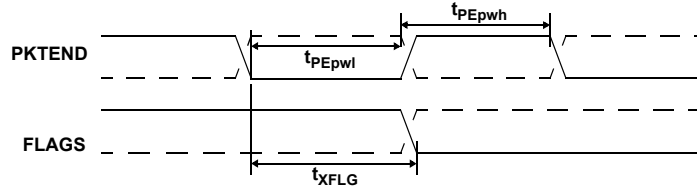


表 28. スレーブ FIFO 非同期パケット終了ストロブのパラメータ^[49]

パラメータ	説明	最小値	最大値	単位
t_{PEpwl}	PKTEND パルス幅 LOW	50	–	ns
t_{PEpwh}	PKTEND パルス幅 HIGH	50	–	ns
t_{XFLG}	PKTEND から FLAGS 出力までの伝播遅延	–	115	ns

スレーブ FIFO 出カインエーブル

図 24. スレーブ FIFO 出力のタイミング図^[48]

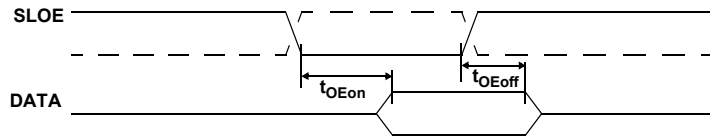


表 29. スレーブ FIFO 出カインエーブルのパラメータ

パラメータ	説明	最小値	最大値	単位
t_{OEon}	SLOE アサートから FIFO データ出力まで	–	10.5	ns
t_{OEoff}	SLOE デアサートから FIFO データホールドまで	–	10.5	ns

スレーブ FIFO アドレスからフラグ/データ

図 25. フラグ/データへのスレーブ FIFO アドレスのタイミング図^[48]

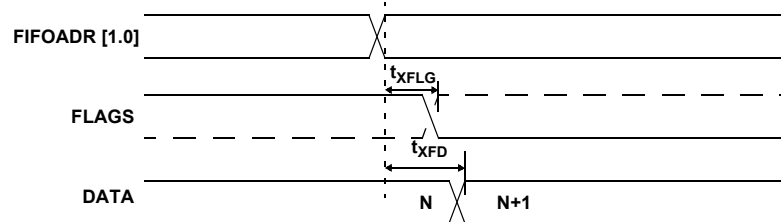


表 30. スレーブ FIFO アドレスからフラグ/データへのパラメータ

パラメータ	説明	最小値	最大値	単位
t_{XFLG}	FIFOADR[1:0] から FLAGS 出力までの伝播遅延	–	10.7	ns
t_{XFD}	FIFOADR[1:0] から FIFODATA 出力までの伝播遅延	–	14.3	ns

注:

- 48. 破線は、極性を反転してプログラムした信号を示します。
- 49. スレーブ FIFO 非同期パラメータ値は、48 MHz の内部 IFCLK 設定を使用します。

スレーブ FIFO 同期アドレス

図 26. スレーブ FIFO 同期アドレスのタイミング図^[50]

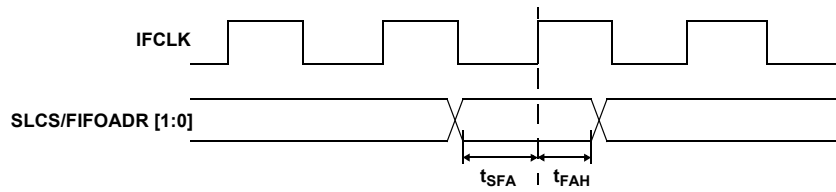


表 31. スレーブ FIFO 同期アドレスのパラメータ^[51]

パラメータ	説明	最小値	最大値	単位
t_{IFCLK}	インタフェース クロック周期	20.83	200	ns
t_{SFA}	FIFOADR[1:0] からクロック セットアップ時間	25	–	ns
t_{FAH}	クロックから FIFOADR[1:0] ホールド時間	10	–	ns

スレーブ FIFO 非同期アドレス

図 27. スレーブ FIFO 非同期アドレスのタイミング図^[50]

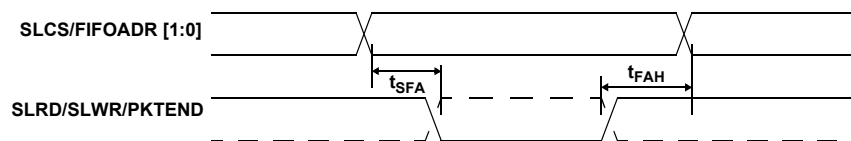


表 32. スレーブ FIFO 非同期アドレスのパラメータ^[52]

パラメータ	説明	最小値	最大値	単位
t_{SFA}	FIFOADR[1:0] から SLRD/SLWR/PKTEND セットアップ時間	10	–	ns
t_{FAH}	RD/WR/PKTEND から FIFOADR[1:0] ホールド時間	10	–	ns

注:

- 50. 破線は、極性を反転してプログラムした信号を示します。
- 51. GPIF 非同期 RDY_x 信号の最小セットアップ時間は内部 48 MHz IFCLK 使用時で 50 ns です。
- 52. スレーブ FIFO 非同期パラメータ値は、48 MHz の内部 IFCLK 設定を使用します。

シーケンス図

単一およびバースト同期読み出しの例

図 28. スレーブ FIFO 同期読み出しシーケンスおよびタイミング図 [53]

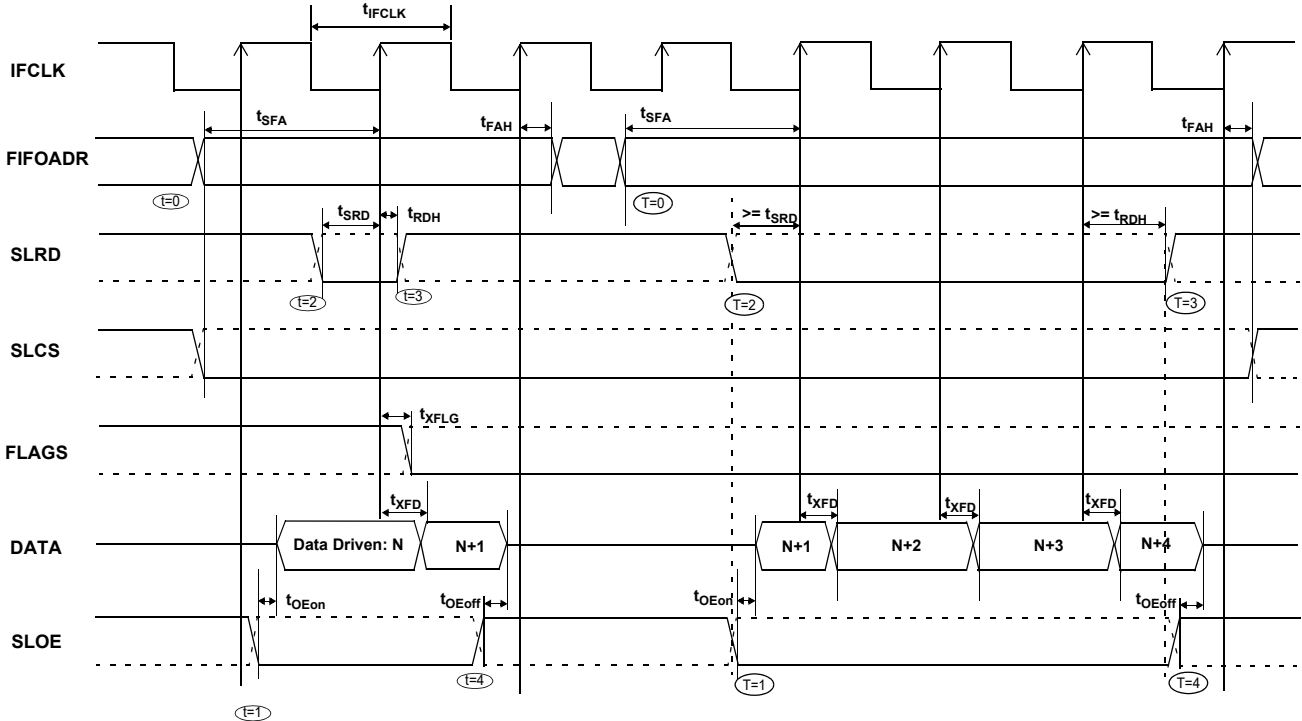


図 29. スレーブ FIFO 同期シーケンスのイベント図

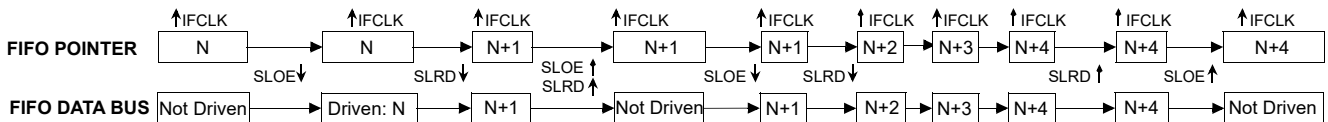


図 28 に、IFCLK を同期クロックとして使用して同期 FIFO を読み出すときの、スレーブ FIFO 信号のタイミングを示します。この図は、単一の読み出しとそれに続くバースト読み出しを示します。

- $t=0$ では、FIFO アドレスが固定し、信号 SLCS がアサートされます (一部のアプリケーションでは、SLCS は LOW に固定できます)。 t_{SFA} は、最小 25 ns です。これは、IFCLK が 48 MHz で動作する場合に、FIFO アドレスのセットアップ時間が 1 IFCLK サイクルよりも長くかかることを意味します。
- SLOE は $t=1$ でアサートされます。SLOE は、出力イネーブルのみで、その唯一の機能は、データバスを駆動することです。バスで駆動されたデータは、内部 FIFO ポインタが現在指し示しているデータです。この例では、FIFO 内の最初のデータ値が出力されます。注：データは、SLOE がアサートされるときにプリフェッチされ、バスで出力されます。
- $t=2$ では SLRD がアサートされます。SLRD は、セットアップ時間 t_{SRD} (SLRD 信号のアサートから IFCLK の立ち上りエッジまでの時間) と、最小ホールド時間 t_{RDH} (IFCLK エッジから SLRD 信号のデアサートまでの時間) を考慮する必要があります。SLCS 信号を使用する場合、これは SLRD がアサートされ

る前にアサートする必要があります (有効な読み出し状態を開始するためには、SLCS 信号と SLRD 信号の両方をアサートする必要があります)。

- FIFO ポインタは、SLRD のアサート中、IFCLK の立ち上りエッジ時に更新されます。これで、新たにアドレス指定されるデータのデータバスへの伝播が始まります。 t_{XFD} の伝播遅延 (IFCLK の立ち上りエッジから測定) 後、新しいデータ値が存在します。N は、FIFO から読み出される最初のデータ値です。FIFO データバス上のデータを取得するためには、SLOE もアサートしなければいけません。

バースト読み出しにも同じ連のイベントが示され、 $T = 0 \sim 5$ の時間インジケータでマークされています。

注：バーストモードについては、読み出し時間中は SLRD および SLOE がアサートされたままになります。バースト読み出しモードで、SLOE がアサートされる場合は、FIFO ポインタによって指し示されるデータは、データバスにあります。最初の読み出しサイクルで、クロックの立ち上り時に、FIFO ポインタが更新され、アドレス $N+1$ を指し示すよう増やされます。IFCLK の後続の各立ち上りエッジで、SLRD がアサートされている間、FIFO ポインタが増やされ、次のデータ値がデータバスに配置されます。

注：

53. 破線は、極性を反転してプログラムした信号を示します。

単一およびバースト同期書き込み

図 30. スレーブ FIFO 同期書き込みシーケンスおよびタイミング図 [54]

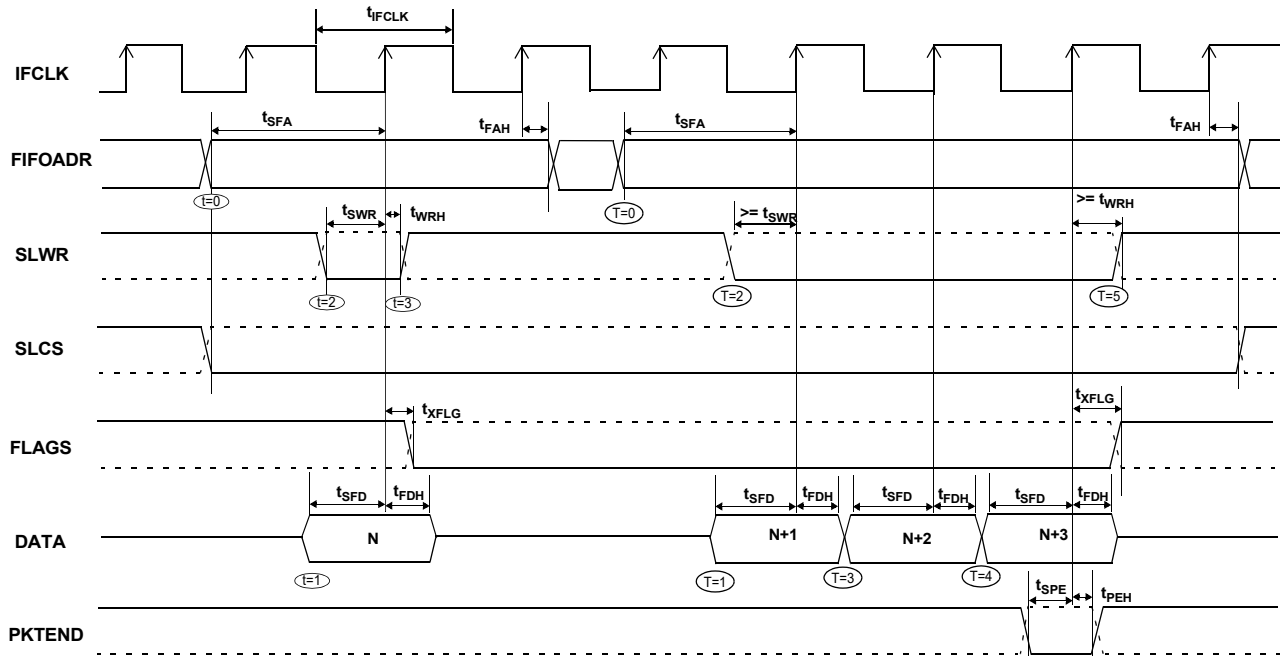


図 30 に、IFCLK を同期クロックとして使用した同期書き込み中の、スレーブ FIFO 信号のタイミングを示します。この図は、単一の書き込みとそれに続く、3 バイトのバースト書き込み、および PKTEND ピンを使用したショート パケットとしての 4 バイトすべての転送を示します。

- $t=0$ で FIFO アドレスが安定し、信号 SLCS がアサートされます (一部のアプリケーションでは、SLCS は LOW に固定できません)。 t_{SFA} は、最小 25 ns です。これは、IFCLK が 48 MHz で動作する場合に、FIFO アドレスのセットアップ時間が 1IFCLK サイクルよりも長くかかることを意味します。
- $t=1$ では、外部マスタ/周辺デバイスは、IFCLK の立ち上りエッジ前に、最小セットアップ時間 t_{SFD} を満たしてデータバスにデータ値を出力する必要があります。
- $t=2$ では SLWR がアサートされます。SLWR は、セットアップ時間 t_{SWR} (SLWR 信号のアサートから IFCLK の立ち上りエッジまでの時間) と、最小ホールド時間 t_{WRH} (IFCLK エッジから SLWR 信号のデアサートまでの時間) を考慮する必要があります。SLCS 信号を使用する場合、SLWR 信号と同時にしくは SLWR がアサートされるよりも前に SLCS 信号をアサートする必要があります (有効な書き込み状態を開始するためには、SLCS 信号と SLWR 信号の両方をアサートする必要があります)。
- SLWR がアサートされている間、データは FIFO に書き込まれ、IFCLK の立ち上りエッジ時に FIFO ポインタがインクリメントされます。FIFO フラグもクロックの立ち上りエッジからの遅延 t_{XFLG} 後に更新されます。

バースト書き込みにも同じ一連のイベントが示され、 $T=0 \sim 5$ の時間インジケータでマークされています。

注: バーストモードについては、すべての必須データ値の書き込み中は SLWR および SLCS がアサートされたままとなります。このバースト書き込みモードでは、SLWR がアサートされた後、IFCLK の立ち上りエッジごとに FIFO データバス上の

データが FIFO に書き込まれます。FIFO ポインタは IFCLK の立ち上りエッジごとに更新されます。図 30 では、FIFO に 4 バイトが書き込まれた後、SLWR がデアサートされます。PKTEND 信号をアサートすることで 4 バイトのショート パケットをホストに転送できます。

PKTEND 信号のアサートと SLWR 信号のアサートの時間的関係について、満たさなければならない特定のタイミング要件はありません。PKTEND は最後のデータ値以降でアサートできます。唯一の要件とは、セットアップ時間 t_{SPE} およびホールド時間 t_{PEH} を満たさなければならないというものです。図 30 のシナリオでは、転送されるデータ値の数には、FIFO に書き込まれる最後の値も含まれます。この例では、データ値と PKTEND 信号の両方が IFCLK の同じ立ち上りエッジでクロックされます。PKTEND は後続のクロック サイクルでもアサートできます。FIFOADDR ラインは、PKTEND アサート中は一定に保たれます。

PKTEND アサートについては特定のタイミング要件はありませんが、PKTEND を使用して 1 バイト/ワードの packets を転送する間は注意が必要な特定のコーナー ケース条件があります。自動モードで動作するように FIFO を構成する場合は、2 つの packets を送信するために必要となる追加のタイミング要件があります。それは PKTEND ピンを使用して手動で転送された短い 1 バイトまたは 1 ワードの packets が続く、自動的に転送されたフル packets です。(フルとは、AUTOINLEN レジスタに設定されたレベルを満たす FIFO のバイト数)

この場合、外部のマスタは、その時点まで自動転送してきた packets (AUTOINLEN レジスタに設定されるバイト数と同じバイト数を持つ packets) の最後のバイトまたはワードを取り込むクロックの立ち上りエッジの後、少なくとも 1 クロック サイクル経過後に PKTEND ピンをアサートしなければなりません。このタイミングの詳細については、図 22 を参照してください。

注:
54. 破線は、極性を反転してプログラムした信号を示します。

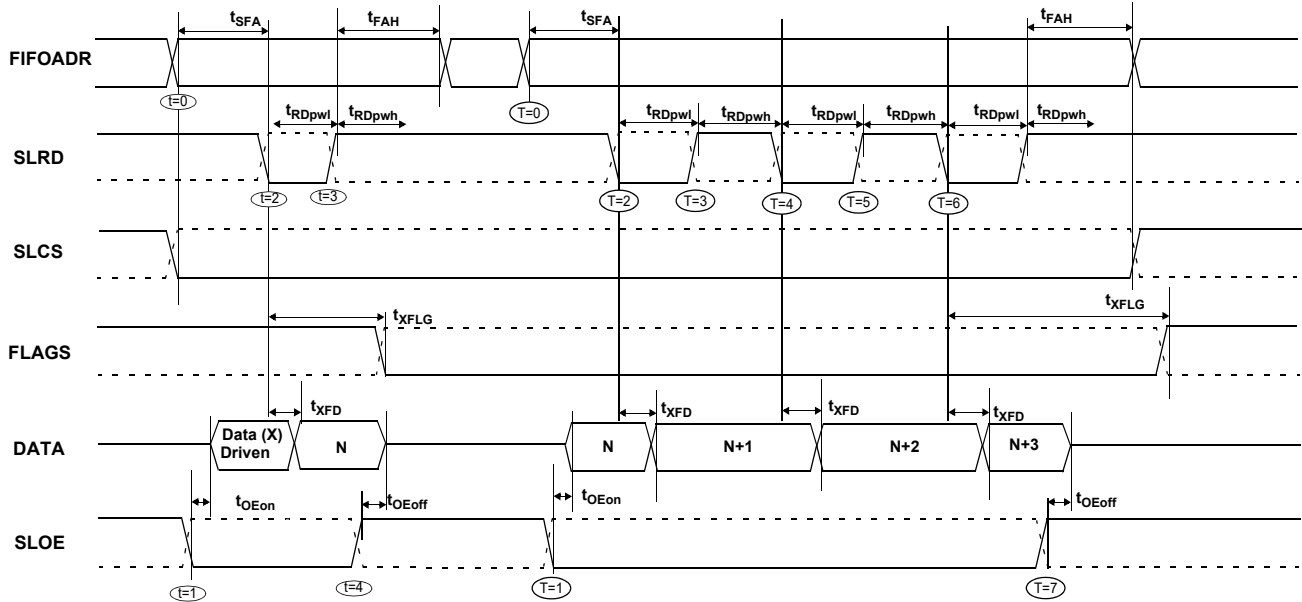
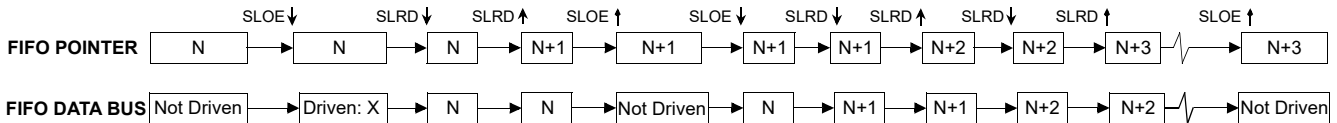
単一およびバースト非同期読み出しのシーケンス図
図 31. スレーブ FIFO 非同期読み出しシーケンスおよびタイミング図 [55]

図 32. スレーブ FIFO 非同期読み出しシーケンスのイベント図


図 31 に、非同期の FIFO 読み出し中の、スレーブ FIFO 信号のタイミングを示します。これは単一の読み出しとそれに続くバースト読み出しを示しています。

- $t=0$ で FIFO アドレスが固定し、SLCS 信号がアサートされま
す。
- SLOE は $t=1$ でアサートされます。これによってデータバス
が駆動されます。バスに出力されるデータは、以前のデー
タで、以前の読み出しサイクルからの FIFO 内にあったデー
タです。
- $t=2$ では SLRD がアサートされます。SLRD は、最小アクティ
ブパルス t_{RDpwl} および最小非アクティブパルス幅 t_{RDpwh}
を満たさなければいけません。SLCS が使用される場合、SLCS
は SLRD がアサートされる前にアサートする必要があります
(有効な読み出し状態を開始するためには、SLCS 信号と SLRD
信号の両方をアサートする必要があります)。

注：

55. 破線は、極性を反転してプログラムした信号を示します。

- SLRD のアサート後に出力されるデータは FIFO から更新され
たデータです。このデータは、SLRD のエッジがアクティブ
になってからの伝播遅延 t_{XFD} 後に有効となります。図 31 の
データ N は、FIFO から読み出される最初の有効データです。
読み出しサイクル (SLRD がアサートされる) 中にデータバ
スにデータが現れるようにするためには、SLOE がアサート
された状態であればいけません。SLRD と SLOE は結合す
ることもできます。

同じ一連のイベントがバースト読み出しについても示され、 $T=0 \sim 5$ でマークされます。

注：バースト読み出しモードでは、SLOE がアサートされる間、
データバスは駆動状態にあり、以前のデータを出力します。
SLRD がアサートされた後、FIFO からのデータはデータバス
に出力され (SLOE もアサートされなければいけません)、FIFO
ポインタがインクリメントされます。

単一およびバースト非同期書き込みのシーケンス図

図 33. スレーブ FIFO 非同期書き込みシーケンスおよびタイミング図 [56]

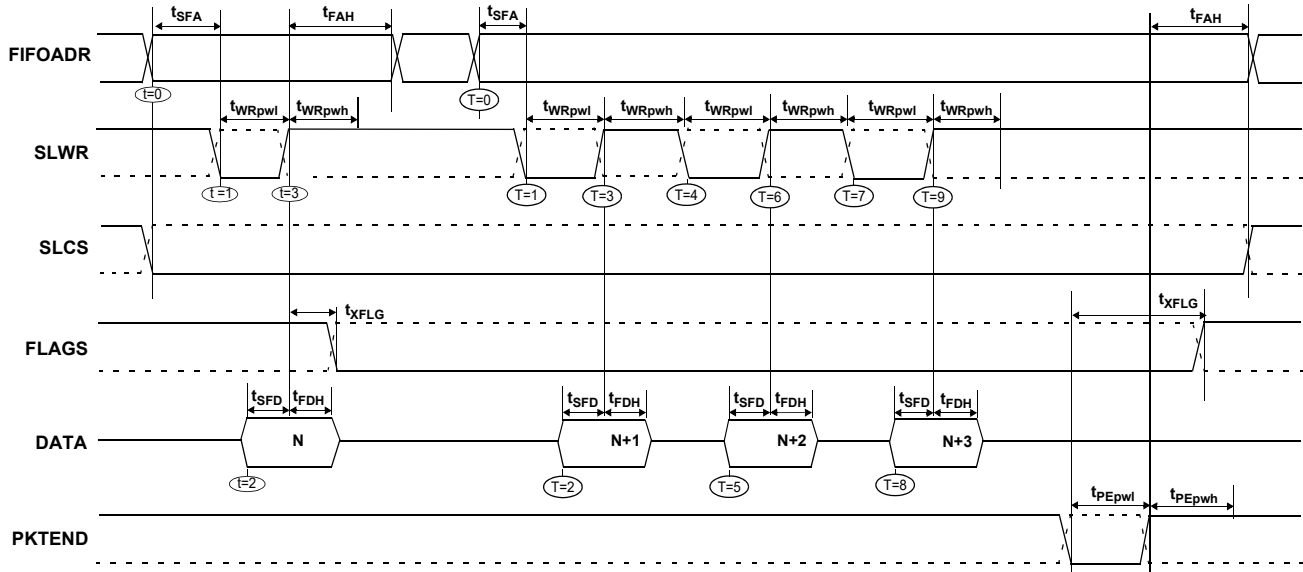


図 33 に、非同期モードでの、スレーブ FIFO 書き込みのタイミングを示します。この図は、単一の書き込みとそれに続く 3 バイトのバースト書き込み、および PKTEND を使用した 4 バイトのショート パケットの転送を示します。

- t=0 で FIFO アドレスが指定されますが、この場合セットアップ時間 t_{SFA} 要件を考慮する必要があります。SLCS が使用される場合、これもアサートする必要があります (一部のアプリケーションでは、SLCS は LOW に固定できます)。
- t=1 で SLWR がアサートされます。SLWR は、最小アクティブパルス t_{WRpwl} および最小非アクティブパルス幅 t_{WRpwh} を満たさなければいけません。SLCS 信号を使用する場合、SLWR 信号と同時にもしくは SLWR がアサートされるよりも前に SLCS 信号をアサートする必要があります。
- t=2 で、データは SLWR のエッジをデアサートする前にバス t_{SFD} に存在しなければいけません。
- t=3 で、SLWR のデアサートによってデータがデータバスから FIFO に書き込まれ、FIFO ポインタがインクリメントされます。FIFO フラグは、SLWR のエッジのデアサートから t_{XFLG} の後も更新されます。

バースト書き込みにも同じ一連のイベントが示され、T=0 ~ 5 のタイミング マークで示されます。

注：バースト書き込みモードでは、SLWR がデアサートされた後、データが FIFO に書き込まれ、続いて FIFO ポインタが FIFO の次のバイトにインクリメントされます。FIFO ポインタはポストインクリメントされます。

図 33 では、4 バイトが FIFO に書き込まれて SLWR がデアサートされた後、PKTEND を使用して 4 バイトのショート パケットをホストに転送できます。外部デバイスは、SLWR と PKTEND 信号を同時にアサートしないように設計する必要があります。SLWR がデアサートされた後で PKTEND がアサートされ、デアサートされるパルスの最小幅を満たすように設計する必要があります。FIFOADDR ラインは、PKTEND アサート中は一定に保たなければいけません。

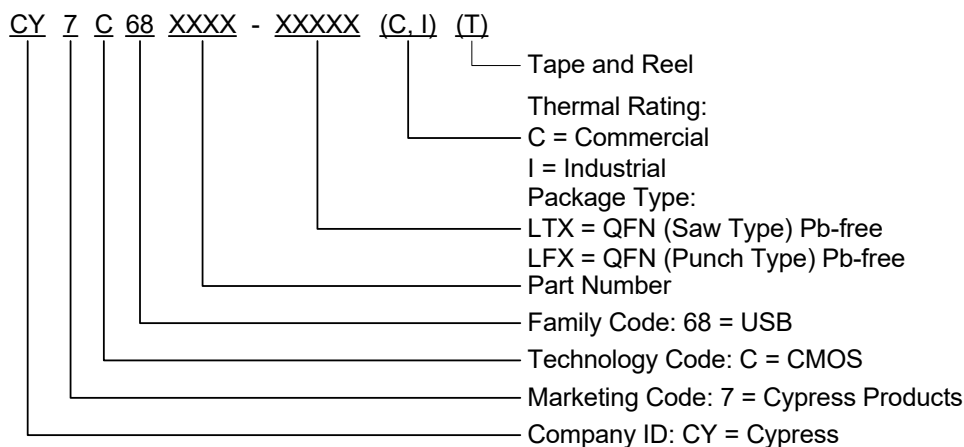
注：
56. 破線は、極性を反転してプログラムした信号を示します。

オーダー情報

表 33. オーダー情報

注文コード	パッケージ タイプ	RAM サイズ	# Prog I/O	8051 アドレス / データバス	シリアル デバッグ [57]
電池式アプリケーションに最適					
CY7C68014A-128AXC	128 TQFP - 鉛フリー	16 K	40	16/8 ビット	Y
CY7C68014A-100AXC	100 TQFP - 鉛フリー	16 K	40	-	Y
CY7C68014A-56PVXC	56 SSOP - 鉛フリー	16 K	24	-	N
CY7C68014A-56LTXC	56 QFN - 鉛フリー	16 K	24	-	N
CY7C68016A-56LTXC	56 QFN - 鉛フリー	16 K	26	-	N
CY7C68016A-56LTXCT	56 QFN - 鉛フリー	16 K	26	-	N
非電池式アプリケーションに最適					
CY7C68013A-128AXC	128 TQFP - 鉛フリー	16 K	40	16/8 ビット	Y
CY7C68013A-128AXI	128 TQFP - 鉛フリー (産業用)	16 K	40	16/8 ビット	Y
CY7C68013A-100AXC	100 TQFP - 鉛フリー	16 K	40	-	Y
CY7C68013A-100AXI	100 TQFP - 鉛フリー (産業用)	16 K	40	-	Y
CY7C68013A-56PVXC	56 SSOP - 鉛フリー	16 K	24	-	N
CY7C68013A-56PVXCT	56 SSOP - 鉛フリー	16 K	24	-	N
CY7C68013A-56PVXI	56 SSOP - 鉛フリー (産業用)	16 K	24	-	N
CY7C68013A-56BAXC	56 VFBGA - 鉛フリー	16 K	24	-	N
CY7C68013A-56BAXCT	56 VFBGA - 鉛フリー	16 K	24	-	N
CY7C68013A-56LTXC	56 QFN - 鉛フリー	16 K	24	-	N
CY7C68013A-56LTXCT	56 QFN - 鉛フリー	16 K	24	-	N
CY7C68013A-56LTXI	56 QFN - 鉛フリー (産業用)	16 K	24	-	N
CY7C68015A-56LTXC	56 QFN - 鉛フリー	16 K	26	-	N
開発ツールキット					
CY3684	EZ-USB™ FX2LP 開発キット				
CY3689	EZ-USB™ FX2LP Discovery キット				
リファレンス デザイン キット					
CY4611B	EZ-USB™ FX2LP を使用した USB2.0 - ATA/ATAPI ブリッジのリファレンス デザイン				

注文コードの定義



注:

57. UART は、CY7C68013A の 56 ピン パッケージでは使用できないため、Keil Monitor を使用したシリアル ポートのデバッグには対応していません。

パッケージ

FX2LP は、次の 5 つのパッケージのラインナップがあります。

- 56 ピン SSOP
- 56 ピン QFN
- 100 ピン TQFP
- 128 ピン TQFP
- 56 ボール VFBGA

図 35. 56 ピン SSOP (300 Mils) パッケージ外形図, 51-85062

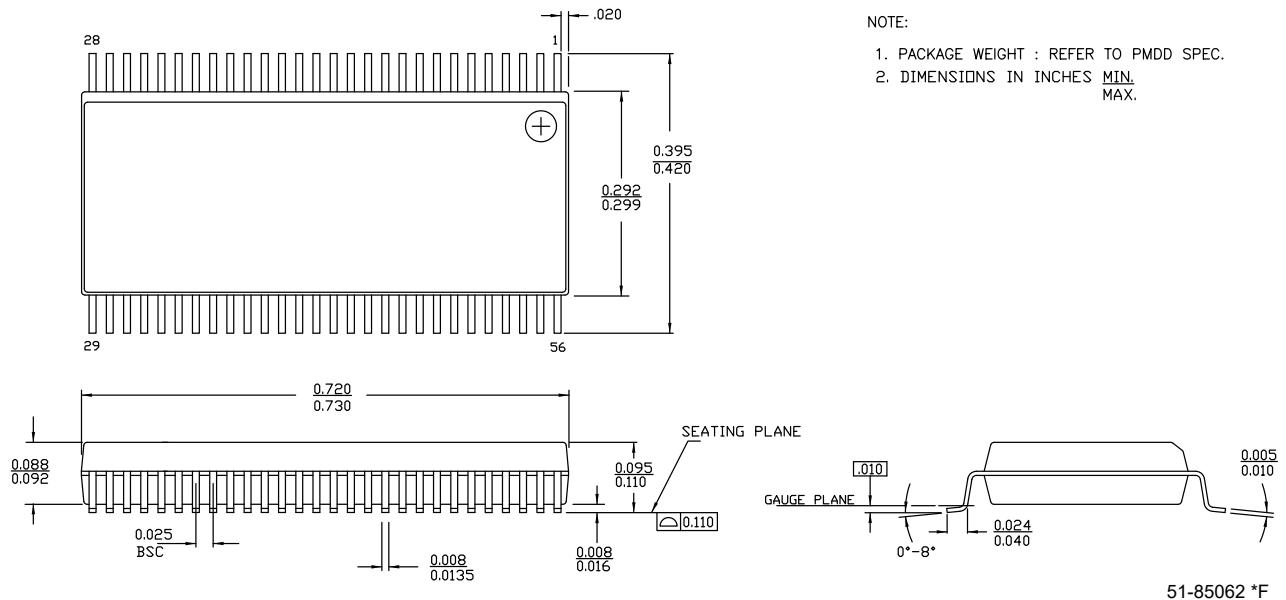


図 36. 56 ピン QFN ((8 x 8 x 1 mm) 4.5 x 5.2 E-Pad (Sawn)) パッケージ外形図, 001-53450

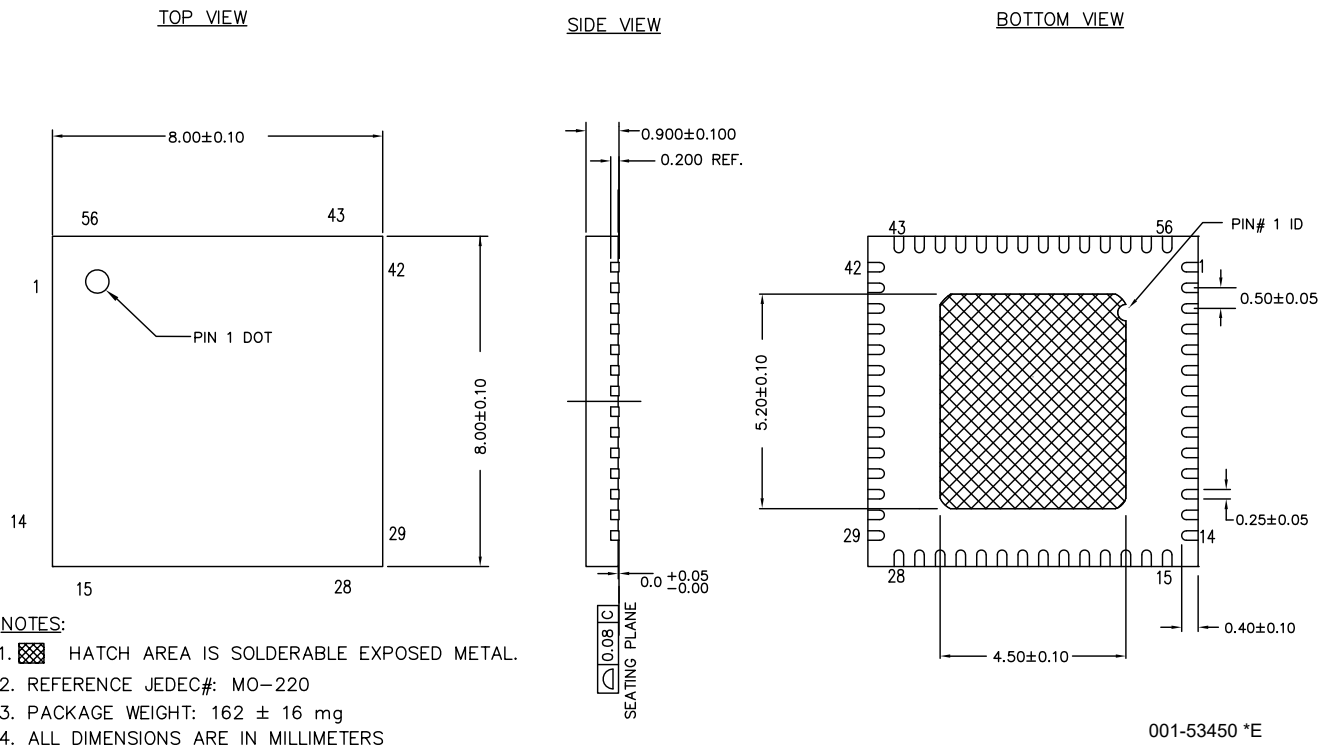
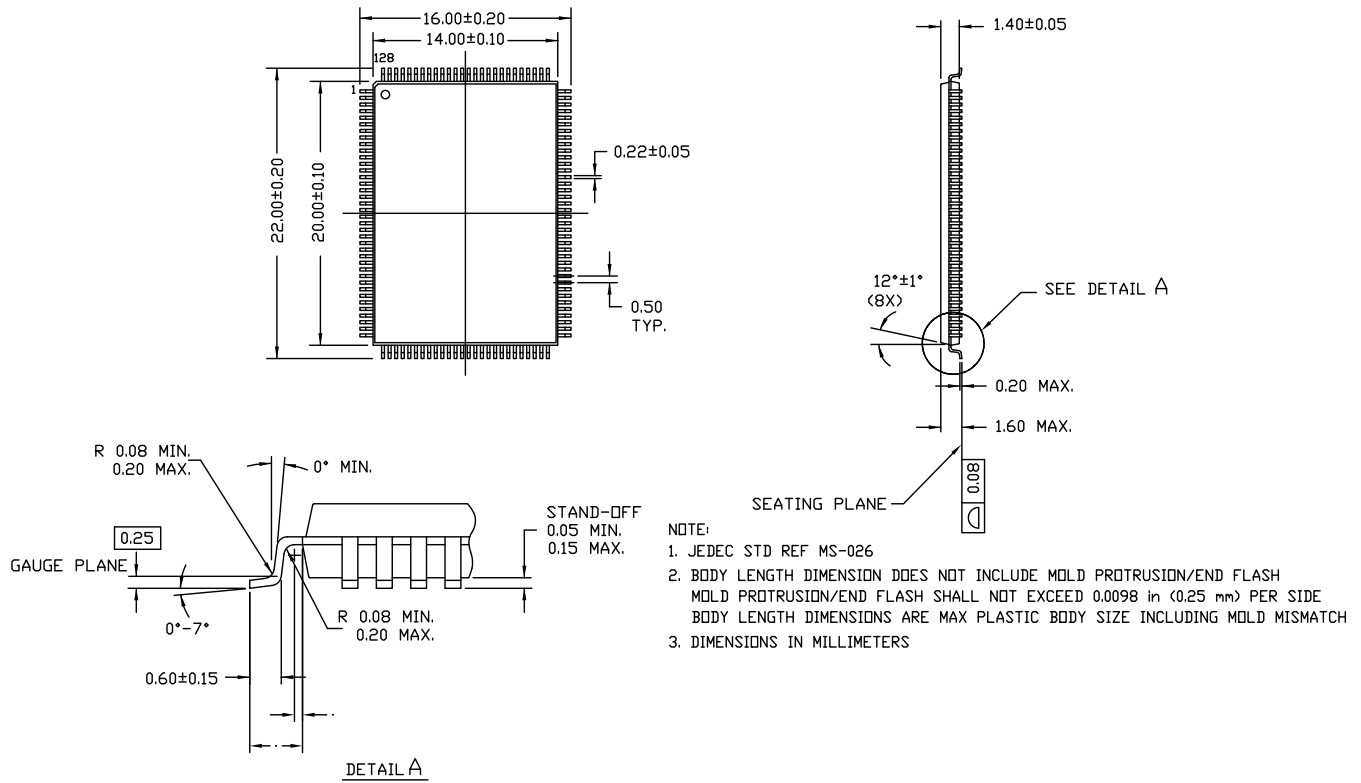


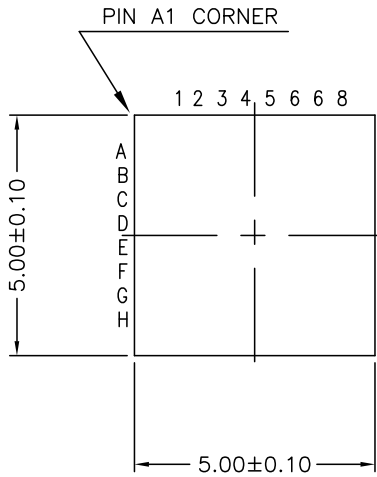
図 38. 128 ピン TPQF (14 x 20 x 1.4 mm) パッケージ外形図, 51-85101



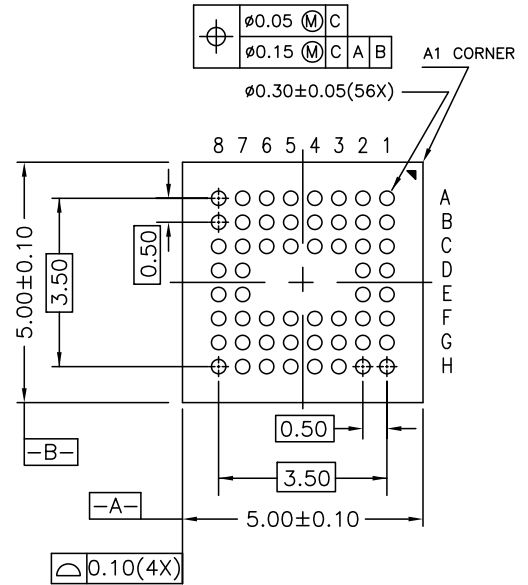
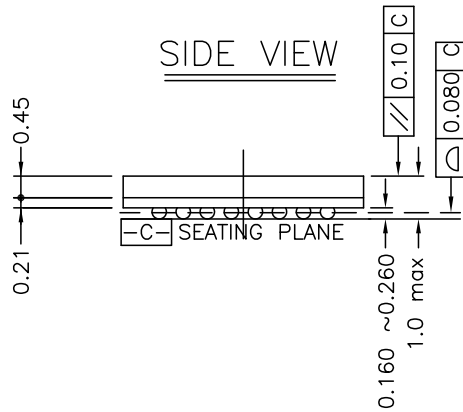
51-85101 *F

図 39. 56 ボール VFBGA (5 x 5 x 1.0 mm) 0.50 ピッチ、0.30 ボールパッケージ外形図, 001-03901

TOP VIEW



SIDE VIEW



BOTTOM VIEW

REFERENCE JEDEC: MO-195C
PACKAGE WEIGHT: 0.02 grams

001-03901 *F

PCB レイアウトの推奨事項

以下の推奨事項に従って、信頼性の高い高性能な動作を実現してください。^[58]

- 信号の品質を保持するためには、4層インピーダンス制御基板が必要です。
- インピーダンス管理の対象を指定してください（基板のベンダに何が可能かをお尋ねください）。
- インピーダンスを制御するためには、トレースの幅とトレースの間隔を維持してください。
- 信号の反射を最小化するため、スタブを最小限にしてください。
- USB コネクタ シェルと信号用グラウンドとの間の接続は USB コネクタの近くにする必要があります。
- コネクタ近くの VBUS でのバイパス / フライバック キャパシタを推奨します。
- DPLUS および DMINUS トレース長は、互いに 2 mm 以内を保持します。推奨される長さは、20 ~ 30 mm です。
- DPLUS トレースおよび DMINUS トレース直下の内層はベタグラウンドを保持してください。これらのトレースの下でベタグラウンドが分割されないようにしてください。
- DPLUS または DMINUS トレースの配線にはビアホールを設けないでください。
- DPLUS と DMINUS トレースは、他のすべての信号トレースから 10 mm 以上離してください。

注：

58. 推奨事項の出典：『EZ-USB™ FX2 PCB Design Recommendations』、<http://www.cypress.com> および 『High Speed USB Platform Design Guidelines』 (http://www.usb.org/developers/docs/hs_usb_pdg_r1_0.pdf)。

QFN パッケージ品の設計に関する注記

PCB と部品の電氣的接続は、パッケージ底面上のリードを PCB にはんだ付けすることで行われます。したがって、プリント基板で良好な熱結合が行われるようにパッケージの底面の伝熱面に特別な配慮が必要です。パッケージの下にサーマルパッドとして PCB に銅箔のベタ面を設計してください。熱は FX2LP からパッケージ底面にある金属パドルを通じて伝わります。ここからの熱はサーマルパッドで PCB に伝導されます。次にサーマルパッドから 5 x 5 列のビアによって PCB の内層グラウンドに伝導されます。ビアは、PCB のめっきスルーホールで、仕上がり外径は 13 mil です。QFN の金属ダイパドルは PCB のサーマルパッド上にはんだ付けする必要があります。はんだがビアに流れ込まないように各ビアの上、基板の上面にソルダーマスクが配置されます。また、上面のマスクは、はんだリフロプロセス中のガス放出を最小限に抑えます。

このパッケージ設計の詳細は、Amkor の MicroLeadFrame (MLF) パッケージの表面実装アセンブリに関するアプリケーションノートを参照してください。これは Amkor の Web サイト (<http://www.amkor.com>) でご覧いただけます。

アプリケーション ノートには、基板実装のガイドライン、はんだフロー、手直しプロセスなどの詳細が記載されています。

図 40 に、パッケージ下部の断面図を示します。この図は 1 つのビアについて示しています。はんだペースト テンプレートは、はんだ範囲が少なくとも 50% となるように設計する必要があります。はんだペースト テンプレートの厚みは 5 mil とする必要があります。部品を実装するためには No Clean タイプ 3 はんだペーストを使用してください。リフロ工程では、窒素パーズを行うことをお勧めします。

図 41 は、ソルダーマスクパターンの形状であり、図 42 は実装後の X 線画像を示します。

図 40. QFN パッケージ下の領域の断面図

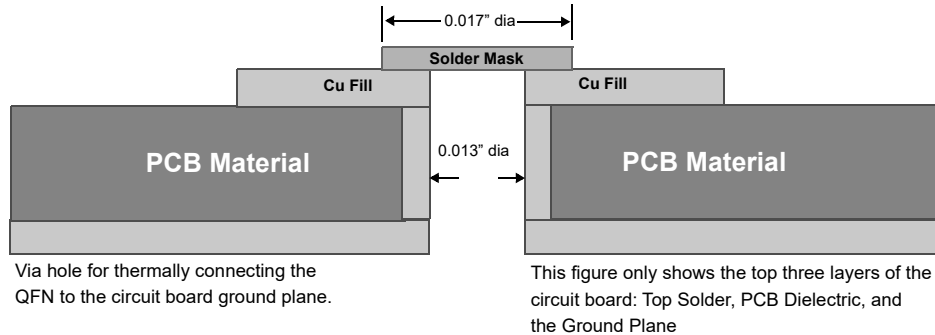


図 41. ソルダーマスクの形状 (白い領域)

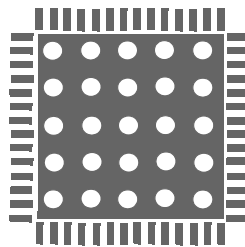
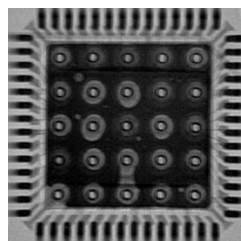


図 42. 実装後の X 線画像



略号

表 34. 本書で使用する略号

略号	説明
ASIC	application specific integrated circuit
ATA	advanced technology attachment
DID	device identifier (デバイス修飾子)
DSL	digital service line (デジタル サービス ライン)
DSP	digital signal processor (デジタル シグナル プロセッサ)
ECC	error correction code (エラー訂正コード)
EEPROM	electrically erasable programmable read only memory (電氣的消去書き込み可能な読み出し専用メモリ)
EPP	enhanced parallel port (拡張パラレルポート)
FIFO	first in first out (先入れ先出し)
GPIF	general programmable interface (汎用プログラマブル インタフェース)
GPIO	general purpose input output (汎用 I/O)
I/O	input output (入出力)
LAN	local area network (ローカル エリア ネットワーク)
MPEG	moving picture experts group (動画画像専門家集団)
PCMCIA	personal computer memory card international association (パーソナル コンピュータ メモリ カード 国際協会)
PID	product identifier (製品の識別子)
PLL	phase locked loop (位相同期回路)
QFN	quad flat no leads (クアッド フラット リードなしパッケージ)
RAM	random access memory (ランダム アクセス メモリ)
SIE	serial interface engine (シリアル インタフェース エンジン)
SOF	start of frame (フレームの開始)
SSOP	super small outline package (超小型外形パッケージ)
TQFP	thin quad flat pack (薄型クワッド フラット パック)
USARTS	universal serial asynchronous receiver/transmitter (汎用非同期レシーバ/トランスミッタ)
USB	universal serial bus (ユニバーサルシリアルバス)
UTOPIA	universal test and operations physical-layer interface (汎用テストおよび操作物理層インタ フェース)
VFBGA	very fine ball grid array (超ファインピッチ ボールグリッドアレイ)
VID	vendor identifier (ベンダ識別子)

本書の表記法

表 35. 測定単位

記号	測定単位
kHz	キロヘルツ
mA	ミリアンペア
Mbps	メガビット / 秒
MBPs	メガバイト / 秒
MHz	メガヘルツ
uA	マイクロアンペア
V	ボルト

エラータ

ここでは、EZ-USB™ FX2LP CY7C68013A/14A/15A/16A リビジョン B シリコンのエラータについて説明します。詳細は、エラータのトリガ条件、影響の範囲、可能な回避手段、シリコン リビジョンの適用可能性を含みます。

ご質問がありましたら、最寄りのサイプレス販売代理店までご連絡ください。

影響を受ける製品番号

製品番号	パッケージタイプ	動作範囲
CY7C68013A	すべて	民生用
CY7C68014A	すべて	民生用
CY7C68015A	すべて	民生用
CY7C68016A	すべて	民生用

CY7C68013A/14A/15A/16A 認定状況

量産中

CY7C68013A/14A/15A/16A エラータ概要

この表は CY7C68013A/14A/15A/16A ファミリー デバイスのエラータを定義します。「X」は、エラータが選択されたデバイスに関連することを示します。

項目	CY7C68013A/14A/15A/16A	シリコン チップ リビジョン	修正状況
[1]. エンプティ フラグの アサート	X	B	現在、シリコン修正は計画されていません。回避策を使用する

1. エンプティ フラグのアサート

■ 問題の定義

スレーブ FIFO 非同期ワード ワイド モードでは、単一のワード データが USB ホストから、最初のトランザクションで OUT エンドポイント (EP) に設定された EP2 に転送された場合、エンプティ フラグは間違っ動作します。最初のトランザクションでデータ サイズが複数ワードである場合、これは起きません。

■ 影響を受けるパラメータ

なし

■ トリガ条件

スレーブ FIFO 非同期ワード ワイド モードでは、ファームウェア ブートおよび初期化の後、EP2 OUT エンドポイント エンプティ フラグは「エンプティ」状態を示します。EP2 でデータが受信されると、状態は「非エンプティ」に変わります。しかし、EP2 に転送されたデータが単一ワードである場合、FIFOADR が他の任意のエンドポイントを指す時、EP2 にワード データがある (または、使用されない) にもかかわらず、SLRD がアサートされると EP2 の状態は「非エンプティ」から「エンプティ」に変わります。これは、単一ワードが最初のトランザクションとして送信された場合に起こり、最初のトランザクションとして送信された複数ワードのパケットの後に単一ワードが続く場合には起こりません。

■ 影響の範囲

外部インタフェースは EP2 OUT エンドポイントに使用可能なデータを見えず、データ読み出しを待つようになってしまいます。

■ 回避方法

次の回避方法の 1 つを使用できます：

- ファームウェア初期化後、ホストから EP2 ヘデータ転送の前後、FIFOADR ピンが EP2 以外のエンドポイントを 指す時、SLWR ピンにパルス信号を送信します。
- EP2 への最初のデータの長さを 1 ワードより大きく設定します。
- マスタ デバイスで複数の OUT EP に対して EP2 読み出しを優先順位付けし、EP2 に単一ワードを書き込みます。
- マスタから EP2 以外の OUT EP から読み出す前に、もしあればマスタから IN EP に書き込みます。

■ 修正状況

現在、シリコン チップの修正計画はありません。上記の回避方法を使用してください。

改訂履歴

文書名 : CY7C68013A/CY7C68014A/CY7C68015A/CY7C68016A EZ-USB™ FX2LP USB マイクロコントローラ ハイスピード USB ペリフェラルコントローラ 文書番号 : 001-63322			
版	ECN	発行日	変更内容
**	2966796	07/30/2010	New datasheet
*A	3556235	05/02/2012	これは翻訳版であるリビジョン *A 英語のドキュメント 38-08032 牧師の *V
*B	4093036	08/12/2013	No changes required
*C	5523873	11/24/2016	これは英語版 38-08032 Rev. *Y を翻訳した日本語版 001-63322 Rev. *C です。
*D	5994049	12/15/2017	これは英語版 38-08032 Rev. AA を翻訳した日本語版 001-63322 Rev. *D です。
*E	6499320	03/05/2019	これは英語版 38-08032 Rev. AB を翻訳した日本語版 001-63322 Rev. *E です。
*F	6569458	05/09/2019	これは英語版 38-08032 Rev. AB を翻訳した日本語版 001-63322 Rev. *E です。 P.9 の Typo を修正。(200 ms -> 200 μs)
*G	6734295	11/25/2019	これは英語版 38-08032 Rev. AC を翻訳した日本語版 001-63322 Rev. *G です。
*H	7230299	08/19/2021	これは英語版 38-08032 Rev. AD を翻訳した日本語版 001-63322 Rev. *H です。

セールス、ソリューション、および法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック & バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [サンプルコード](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカル サポート

cypress.com/support

© Cypress Semiconductor Corporation, 2003-2021. 本書面は、Infineon Technologies グループの Cypress Semiconductor Corporation 及びその関連会社（以下「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア（以下「本ソフトウェア」という。）を含む）は、アメリカ合衆国及び世界のその他の国における知的財産法及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、（直接又は再販売者及び販売代理店を介して間接的いずれかで）本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェア又はソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセス又は使用といったセキュリティ違反から生じるいかなる責任も負わない。**Cypress は、Cypress 製品又は Cypress 製品を使用して生成されたシステムに破壊、攻撃、ウイルス、干渉、ハッキング、データの損失又は盗難、その他のセキュリティ侵害 (総称して、以下「セキュリティ違反」という。) がないことを表明又は保証しない。**Cypress は、セキュリティ違反に関連するいかなる責任も否認し、セキュリティ違反から生じるいかなる請求、損害又はその他の責任について免責される。加えて、本書面に記載された製品には、エラーと呼ばれる設計上の欠陥又はエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のために提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。「ハイスループ・デバイス」とは、不具合により人身傷害、死亡若しくは物的損害を引き起こす可能性のある装置若しくはシステムをいう。「ハイスループ・デバイス」の例として、兵器、原子力施設、外科的移植、及びその他の医療機器が挙げられる。「重要な構成部分」とは、その不具合が直接又は間接的にハイスループ・デバイスの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるようなハイスループ・デバイスのあらゆる構成部分をいう。Cypress 製品をハイスループ・デバイスの重要な構成部分として使用したことから生じるいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress (その関連会社を含む) 及びその取締役、執行役、従業員、代理人、販売業者、及び譲受人は Cypress 製品をハイスループ・デバイスの重要な構成部分として使用したことから生じる製造物責任、又は人身傷害若しくは死亡、又は物的損害の請求を含むあらゆる請求から生じるすべての費用、損害及び経費から免責される。Cypress 製品は、(i) Cypress が特定のハイスループ・デバイスで使用するための製品として明示的に認定している製品のデータシートを公表している場合、又は、(ii) Cypress が特定のハイスループ・デバイスの重要な構成部分として製品を使用することを事前に書面により承認し、別途補償契約に署名した場合の限定された範囲を除いては、ハイスループ・デバイスの重要な構成部分としての使用を意図又は承認されていない。

Cypress、Cypress のロゴ及びこれらの組み合わせ、PSoC、CapSense、EZ-USB、F-RAM、Traveo、WICED、及び ModusToolbox は、米国又はその他の国における Cypress 又はその子会社の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照する。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。