

## サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

## 文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

## 注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

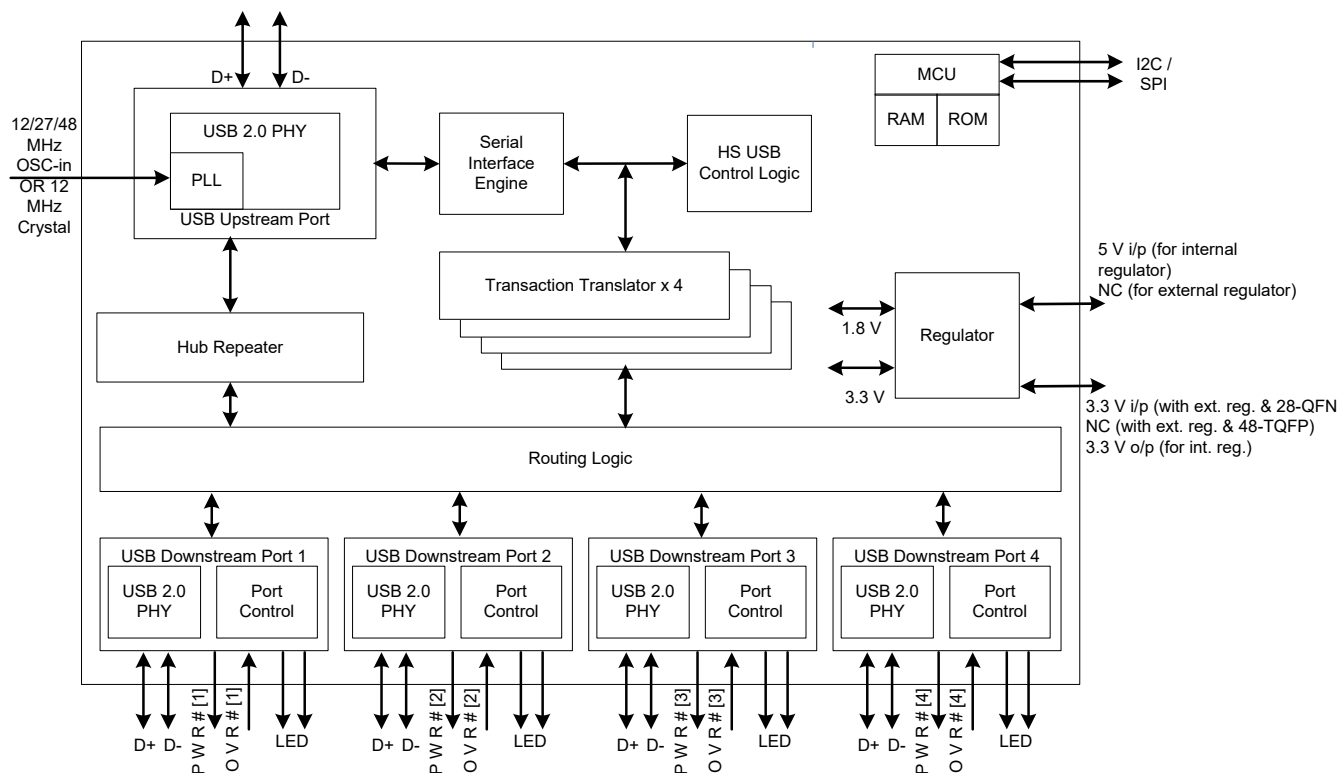
# HX2VL - 超低消費電力 USB 2.0 TetraHub コントローラー

## 特長

- 最小限の部品表 (BOM) で低コスト設計を実現した高性能、低消費電力 USB 2.0 ハブ。
- USB 2.0 ハブ コントローラー
  - USB 2.0 仕様に準拠, TID# 30000059
  - 最大 4 つのダウストリーム ポートをサポート
  - ダウストリーム ポートは FS、LS と下位互換性あり
  - 各ダウストリーム ポートごとに配置され最高性能を実現するマルチプルトランザクショントランスレータ (TT)
- 超低消費電力
  - バス給電と自己給電モードをサポート
  - バス給電と自己給電を自動切替え
  - 2K ROM および 64 バイト RAM を備えた単一 MCU
  - 最小の消費電力
- 高度に統合したソリューションで BOM コスト削減
  - 内部レギュレータ - 単一電源電圧 5V のみが必要
  - 外部レギュレータで 3.3V 接続を提供
  - アップストリーム プルアップ抵抗を内蔵
  - すべてのダウストリーム ポート用のプルダウン抵抗を内蔵
  - アップストリーム/ダウストリーム終端抵抗を内蔵
  - ポート ステータス インジケータ コントローラーを内蔵

- 駆動レベル 600μW の 12MHz +/-500ppm 外部水晶振動子 (内蔵 PLL 用) 入力クロックで、オプションとして 27/48MHz 振動子クロック入力
- ESD 回復用の電源障害検知機能を搭載
- ダウストリーム ポート管理
  - 個別とギャング モードの電源管理をサポート
  - 過電流検出
  - ダウストリーム ポートごとに 2 つのポート ステータス インジケータ
- コンフィギュレーションの多様性
  - VID と PID は外部 EEPROM によりコンフィギュレーション可能
  - ポート数、取外し可能/取外し不可ポートは、EEPROM および I/O ピン設定によりコンフィギュレーション可能
  - ギャング/個別モードの電源切替え、リファレンス、ロックソース、および電源切替えイネーブル ピンの極性は I/O ピンでコンフィギュレーション可能
  - コンフィギュレーション オプションはマスク ROM を通しても利用可能
- 省スペースの 48 ピン TQFP (7×7mm) および 28 ピン QFN (5×5mm) パッケージが利用可能
- 温度範囲 0°C ~ +70°C をサポート

## ブロック図



Not Recommended for New Designs

## 詳細情報

サイプレスは、[www.cypress.com](http://www.cypress.com) に大量のデータを掲載しており、ユーザーがデザインに適切な HX2VL デバイスを選択し、デバイスをデザインに迅速で効果的に統合する手助けをしています。リソースの包括的な一覧については、製品一覧ページ <http://www.cypress.com/?id=2411> を参照してください。

- 概要: USB ポートフォリオ、USB ロードマップ
- USB 2.0 ハブ コントローラー セレクター: [HX2LP](#)、[HX2VL](#)
- アプリケーション ノート: サイプレスは、基本レベルから高度なレベルまでの様々なトピックに触れる大量の USB アプリケーション ノートを提供しています。以下は HX2VL 入門用の推奨アプリケーション ノートです。
  - [AN72332](#) - Guidelines on System Design using Cypress's USB 2.0 Hub (HX2VL)
  - [AN69235](#) - Migrating from HX2/HX2LP to HX2VL
- リファレンス デザイン:
  - [CY4608: HX2VL Very Low-Power USB 2.0 Compliant 4-Port Hub Development Kit](#)
  - [CY4607: HX2VL Very Low-Power USB 2.0 Compliant 4-Port Hub Development Kit](#)
- モデル: HX2VL (CY7C65632/34/42) - [IBIS](#)

## HX2VL 開発キット

HX2VL 開発キット基板は、HX2VL デバイス (CY7C65632, CY7C65634) の特長を説明するツールです。完全設計の段階に入る前の最初の設計段階では、この基板により、開発者がチップの特長と制限を十分把握できます。開発キットは、基板ハードウェア、PC アプリケーション ソフトウェアにかかわる補助ドキュメント、および EEPROM コンフィギュレーション データ (.iic) ファイルを含みます。

## 目次

はじめに .....	4	電源切替えイネーブル ピンの極性 .....	15
HX2VL アーキテクチャ .....	4	ポート番号コンフィギュレーション .....	15
USB シリアル インターフェース エンジン .....	4	取外し不可ポートのコンフィギュレーション .....	15
HS USB 制御ロジック .....	4	リファレンス クロック コンフィギュレーション .....	15
ハブ リピータ .....	4	<b>絶対最大定格</b> .....	<b>16</b>
MCU .....	4	<b>動作条件</b> .....	<b>16</b>
トランザクション トランスレータ .....	4	<b>電気的特性</b> .....	<b>17</b>
ポート制御 .....	4	DC 特性 .....	17
<b>アプリケーション</b> .....	<b>4</b>	AC 電気的特性 .....	18
<b>機能の概要</b> .....	<b>5</b>	<b>熱抵抗</b> .....	<b>18</b>
システムの初期化 .....	5	<b>注文情報</b> .....	<b>19</b>
エニュメレーション .....	5	注文コードの定義 .....	19
マルチプル トランザクション		<b>パッケージ図</b> .....	<b>20</b>
トランスレータのサポート .....	5	<b>略語</b> .....	<b>22</b>
アップストリーム ポート .....	5	<b>本書の表記法</b> .....	<b>22</b>
ダウンストリーム ポート .....	5	測定単位 .....	22
電源切替え .....	5	<b>付録 : HX2VL、CY7C65642</b>	
過電流検出 .....	5	<b>製品ファミリのシリコン エラッタ</b> .....	<b>23</b>
ポート インジケータ .....	5	影響を受ける部品番号 .....	23
電源レギュレータ .....	6	HX2VL 認定状態 .....	23
外部レギュレータ使用の場合 .....	6	HX2VL エラッタのまとめ .....	23
内蔵レギュレータ使用の場合 .....	6	<b>改訂履歴</b> .....	<b>24</b>
<b>ピン配置</b> .....	<b>7</b>	<b>セールス、ソリューション、および法律情報</b> .....	<b>25</b>
<b>ピン機能</b> .....	<b>9</b>	ワールドワイドな販売と設計サポート .....	25
<b>ピン機能</b> .....	<b>12</b>	製品 .....	25
<b>EEPROM コンフィギュレーション オプション</b> .....	<b>14</b>	PSoC™ ソリューション .....	25
<b>ピン コンフィギュレーション オプション</b> .....	<b>15</b>	サイプレス開発者コミュニティ .....	25
パワーオン リセット .....	15	テクニカル サポート .....	25
ギャング/個別電源切替えモード .....	15		

## はじめに

HX2VL は、サイプレスの超低消費電力で高性能な USB 2.0 ハブ コントローラーの次世代ファミリです。HX2VL は、アップストリームおよびダウストリーム トランシーバ、USB シリアル インターフェース エンジン (SIE)、USB ハブ コントロールとリピータ、ロジック、およびトランザクション トランスレータ (TT) ロジックを内蔵しています。さらに、電圧レギュレータやプルアップ / プルダウン抵抗などの外付け部品も内蔵しており、USB ハブ システムの実装に必要な部品点数 (BOM) を全体的に削減できます。

CY7C65642 は HX2VL ポートフォリオの一部で、4 つのダウストリーム ポートがあり、それぞれに専用の独立した TT を備えています。このデバイスは、4 つまでのダウストリーム ポートを必要とする超低消費電力で高性能なアプリケーションに対応します。CY7C65642 は、48 ピン TQFP パッケージと 28 ピン QFN パッケージ オプションで利用可能です。

すべてのデバイス オプションは、サイプレスの世界一流のリファレンス デザイン キットによりサポートされています。このキットには、ボードの回路図、BOM、ガーバー ファイル、Orcad ファイル、およびあらゆる設計資料が含まれています。

## HX2VL アーキテクチャ

1 ページの「ブロック図」は HX2VL TetraHub アーキテクチャを示しています。

### USB シリアル インターフェース エンジン

SIE により、HX2VL は USB ホストと通信できます。SIE はハブ制御ブロックから独立して以下の USB 動作を処理します。

- ビット スタッフィングおよびアンスタッフing
- チェックサムの生成と確認
- トークン タイプの識別
- アドレスのチェック

### HS USB 制御ロジック

「ハブ制御」ブロックはエニュメレーション、一時停止、および再開を処理します。ホストがハブへアクセスするために、ステータスとコントロール信号を生成します。また、ハブをホストに同期させるフレーム タイマーも内蔵しています。MCU のファームウェアへのインターフェースとして機能するステータス / 制御レジスタを備えています。

### ハブ リピータ

ハブ リピータは、同じスピードで動作しているアップストリームとダウストリーム側のポートの接続を管理します。フルスピードとハイスピードの接続をサポートします。USB 2.0 仕様に従って、ハブ リピータは以下の機能を備えています：

- パケット境界での接続を設定 / 解除
- 適切なりモート ウェイクアップ処理を含む「一時停止」状態への出入りのエンタリーを順に処理

## MCU

HX2VL は、2K ROM および 64 バイト RAM を備えた MCU を搭載しています。MCU は 12MHz クロックで動作し、ホストからの USB コマンドをデコードし、ホストに応答します。また MCU は、GPIO 設定を処理してさらなる柔軟性を提供し、拡張コンフィギュレーション オプションを持つ EEPROM からの読み出しを制御します。

### トランザクション トランスレータ

トランザクション トランスレータ (TT) はある速度から別の速度へデータを変換します。ハブがハイスピードで動作 (アップストリーム ポートがハイスピードのホスト コントローラーに接続) しているが、フルスピードまたはロースピードのデバイスが取り付けられている場合、TT は、ハイスピードのスプリット トランザクションをフルスピードまたはロースピードのトランザクションに変換します。ダウストリーム ポートに取り付けているデバイスの動作速度に応じて、ルーティング ロジックはポートを TT に接続するか、あるいはハブ リピータに接続するかを決めます。アップストリーム ホストとダウストリーム デバイスが異なる速度で機能している場合、データは TT を経由します。その他すべての場合において、データはリピータを通して転送されます。例えば、フルスピードまたはロースピードのデバイスがハイスピードのホスト アップストリームにハブを介して接続される場合、データ転送ルートには TT が含まれます。ハイスピードのデバイスがハブを通してハイスピードのホストのアップストリームに接続される場合は、データ転送ルートにはリピータが含まれます。ハブがフルスピードのホスト コントローラー アップストリームに接続される場合、ハイスピードのペリフェラルはその性能を完全に発揮することはできません。これらのデバイスはフルスピードでのみ動作します。このハブに接続したフルスピードおよびロースピードのデバイスは、通常で動作します。

### ポート制御

ダウストリーム「ポート制御」ブロックは、接続 / 切断、過電流検出、および電源供給有無と LED 制御を処理します。また、ダウストリーム トランシーバの制御信号も生成します。

## アプリケーション

HX2VL デバイス ファミリの代表的なアプリケーション：

- ドッキングステーション
- スタンドアロン ハブ
- モニター ハブ
- 多機能プリンター
- デジタル テレビ
- 高機能ポート レプリケータ
- キーボード ハブ
- ゲーム コンソール



## 機能の概要

サイプレス CY7C65642 USB 2.0 ハブは、USB 用の低消費電力のハブ ソリューションであり、ダウストリーム ポート間で TT のマルチプレクシングなしに最高の転送効率を実現します。CY7C65642 USB 2.0 ハブは、フルスピード動作のために 1.5kΩ アップストリーム プルアップ抵抗を備え、すべてのダウストリームに 15kΩ プルダウン抵抗とアップストリームおよびダウストリーム D+ と D- ピン上に直列終端抵抗を内蔵しています。このように、USB 2.0 仕様に組み込みサポートを提供して、システム費用を最適化できます。

## システムの初期化

電源投入時に、CY7C65642 は、マスク ROM 内のデフォルト設定、または外付け EEPROM からコンフィギュレーション情報を読み込むオプションを持ちます。最も基本的なレベルでは、この EEPROM はお客様のアプリケーション向けにベンダー ID (VID) と製品 ID (PID) を持っています。さらに専用化したアプリケーションでは、その他のコンフィギュレーション オプションを指定できます。詳細については、14 ページの「EEPROM コンフィギュレーション オプション」を参照してください。CY7C65642 は、EEPROM の内容をディスクリプタとしてロードする前にチェックサムを確認します。

## エニユメレーション

CY7C65642 は D+ にあるプルアップ抵抗を有効にし、アップストリーム ハブに対してその存在を示します。その後は、USB バス リセットが予測されます。USB バス リセット後に、CY7C65642 はアドレス指定されず、未設定状態になります (コンフィギュレーション値は「0」に設定)。エニユメレーション過程では、ホストはハブのアドレスとコンフィギュレーションを設定します。ハブの設定が完了すると、ハブの全機能を利用できます。

## マルチプル トランザクション トランスレータのサポート

TetraHub がハイスピードのシステムで設定されると、シングル TT モードになります。その後、ホストは SetInterface コマンドを送信し、ハブをマルチプル TT モードに設定できます。マルチプル TT モードでは、各フルスピード ポートが独立して処理されるため、完全な 12Mbps 帯域を利用できます。シングル TT モードでは、ホストからフルスピードまたはロースピード ポートに向けた通信はすべて、それらすべてのポートに転送されます。これは、12Mbps 帯域をすべてのフルスピードとロースピード ポートが共有することを意味します。

## アップストリーム ポート

アップストリーム ポートにはトランスミッターとレシーバ ステート マシンが含まれています。トランスミッターとレシーバは、現在のハブ設定に応じてハイスピードかフルスピードで動作します。トランスミッター ステート マシンはアップストリーム側ポートを監視し、同時にハブ リピータはアップストリーム側に接続します。このステートマシンは、このハブのダウストリーム側ポートに発生したバブルや切断イベントが伝播して、このハブを無効にさせたり、接続されているハブから切断されたりすることを防ぎます。

## ダウストリーム ポート

CY7C65642 は、最大 4 つのダウストリーム ポートに対応し、EEPROM 設定ではそれぞれのポートが「使用可能」か「取外し可能」とマークされます。14 ページの「EEPROM コンフィギュレーション オプション」を参照してください。さらに、ピン ストラッピングによって設定することも可能です。15 ページの「ピン コンフィギュレーション オプション」を参照してください。

ダウストリーム D+ と D- プルダウン抵抗は CY7C65642 の各ポートに内蔵されています。ハブが設定される前に、ポートはシングル エンド ゼロ (両方の D+ と D- ピンが LOW である (SE0)) に駆動され、無電源状態に設定されます。ハブが設定されると、ポートは駆動せず、ホストは各ポートに SetPortPower コマンドを送信することでポートに電源を供給します。ポートが電源供給されると、接続または切断のイベントはすべてハブが検知します。ポート状態の変化はすべて、ステータス チェンジ エンドポイント (エンドポイント 1) を通じてハブからホストに通知されます。デバイスを接続したポートに対して SetPortReset 要求を受信すると、ハブは以下を実行します：

- 該当するポートで USB リセットを実行
- ポートを有効状態に設定
- ポートが有効になった後にバブル検知を有効化

バブルは、EOF2 後のポートでの非アイドル状態から成っています。有効になったポートでバブルが検知されると、そのポートは無効になります。ホストからの ClearPortEnable 要求も、指定したポートを無効にします。

ダウストリーム ポートは、SetPortSuspend 要求で、ホストによって個別に一時停止できます。ハブが一時停止されていない場合、ポートでのリモート ウェイクアップ イベントは、ハブ ステータス チェンジ エンドポイントのポート変更通知によりホストに反映されます。ハブが一時停止した場合、このポートでのリモート ウェイクアップ イベントがホストに転送されます。ホストは ClearPortSuspend コマンドを送信することにより、ポートを再開できます。

## 電源切替え

CY7C65642 は、外部ポート電源スイッチ用のインターフェース信号を持っています。ギャングと個別 (ポートごと) コンフィギュレーションの両方がピン ストラッピングによってサポートされています。15 ページの「ピン コンフィギュレーション オプション」をご覧ください。

エニユメレーションの後、ホストは各ポートに対して SetPortPower 要求を送信することでそのポートに電源を供給します。電源切替えと過電流の検出は、外部電源切替えのデバイスに接続されたそれぞれの制御信号 (PWR#[n] と OVR#[n]) によって管理されています。両方の HIGH/LOW イネーブル電源スイッチがサポートされ、極性が GPIO 設定を介して設定されています。15 ページの「ピン コンフィギュレーション オプション」をご覧ください。

## 過電流検出

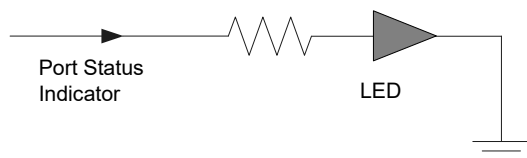
CY7C65642 シリーズの OVR#[n] ピンは、それぞれの外部電源スイッチのポート過電流表示 (出力) 信号に接続しています。過電流状態を検出した後、ハブは過電流状態をホストに通知し、外部電源デバイスへの PWR#[n] 出力を無効にします。OVR#[n] のセットアップ時間は 20ns です。過電流検出から PWR#[n] のデアサートまでは 3 ~ 4ms かかります。

## ポート インジケータ

USB 2.0 ポート インジケータは、CY7C65642 によっても直接サポートされています。仕様に従って、ハブの各ダウストリーム ポートは任意的にステータス インジケータをサポートしています。ダウストリーム側ポートのインジケータの存在は、ハブレベルのディスクリプタの HubCharacteristics フィールドのビット 7 によって指定されます。デフォルトの CY7C65642 ディスクリプタは、ポート インジケータがサポートされていることを指定します。CY7C65642 ポート インジケータには、自動と手動の 2 つの動作モードがあります。

電源投入時に、CY7C65642 のデフォルト モードは自動モードで、ポート インジケータの色 ( 緑 , アンバー , オフ ) は CY7C65642 ポートの機能ステータスを示します。デバイスが一時停止すると、LED はオフになります。

図 1. ポートステータス インジケータ LED



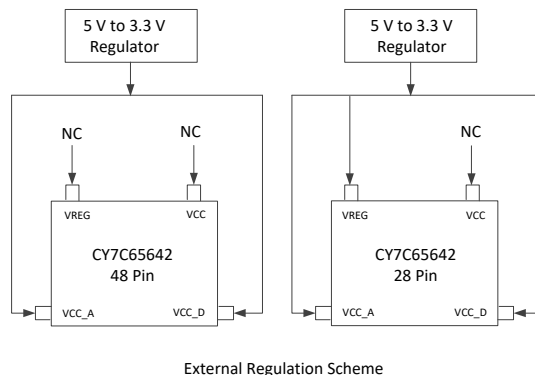
## 電源レギュレータ

CY7C65642 は、内部コア ロジックおよび USB 物理レイヤ (PHY) の通常動作に 3.3V のソース電源を必要とします。内蔵の低ドロップ電源レギュレータは、USB ケーブル (Vbus) からの 5V 電源入力を 3.3V ソース電源に変換します。3.3V 電源出力は、入力電圧が 4V ~ 5.5V の範囲内にある場合、内部電圧リファレンス回路によって保証されています。レギュレータの最大電流負荷は 150mA です。これにより、CY7C65642 の通常消費電力 (100mA 未満) に許容差を提供します。内蔵レギュレータの静止電流は 28μA です。

## 外部レギュレータ使用の場合

CY7C65642 は、外部レギュレータ使用と内蔵レギュレータ使用の双方をサポートしています。外部レギュレータを選択した場合、48 ピン パッケージでは、VCC と VREG は接続せずに開放のままにします。外部レギュレータ出力 3.3V は VCC\_A と VCC\_D ピンに接続する必要があります。この接続は基板上のチップの外側で行われます。28 ピン パッケージでは、外部レギュレータからの 3.3V 出力は、VREG、VCC\_A、および VCC\_D に接続する必要があります。VCC ピンは接続せずに、開放のままにします。チップの内部使用のために、外部 3.3V 入力から 1.8V がチップ内部で生成されます。

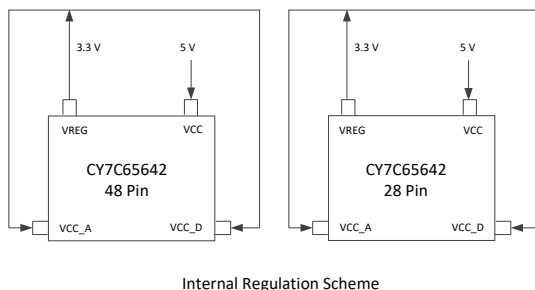
図 2. 外部レギュレータ使用の場合



## 内蔵レギュレータ使用の場合

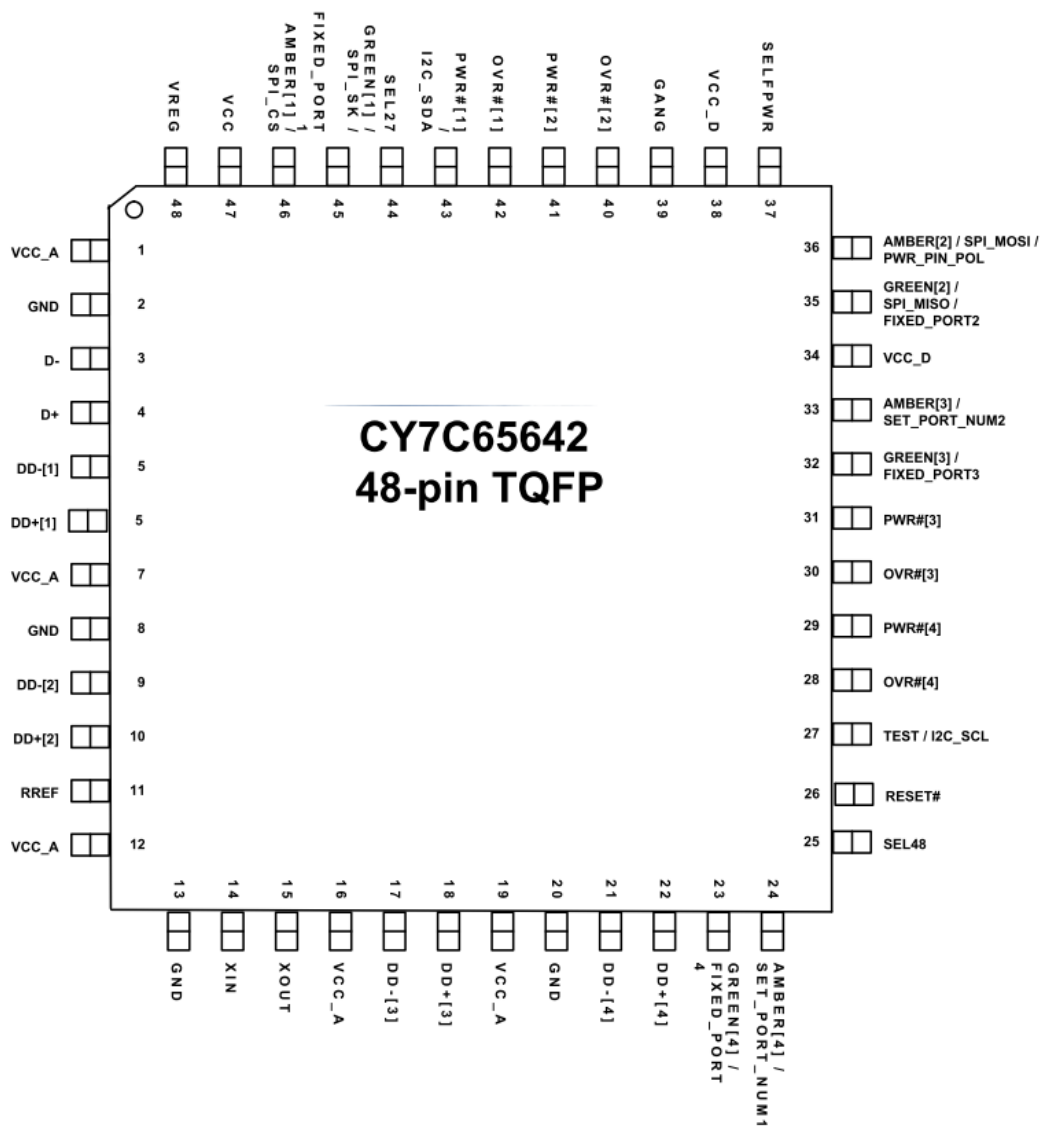
内蔵レギュレータを選択した場合、VCC ピンは 48 ピンと 28 ピン パッケージの双方で 5V に接続する必要があります。内蔵されたレギュレータによりチップの内部使用のために 3.3V と 1.8V を生成します。また、3.3V 出力は VREG ピンから出て、外部で VCC\_A と VCC\_D に接続する必要があります。

図 3. 内蔵レギュレータ使用の場合



## ピン配置

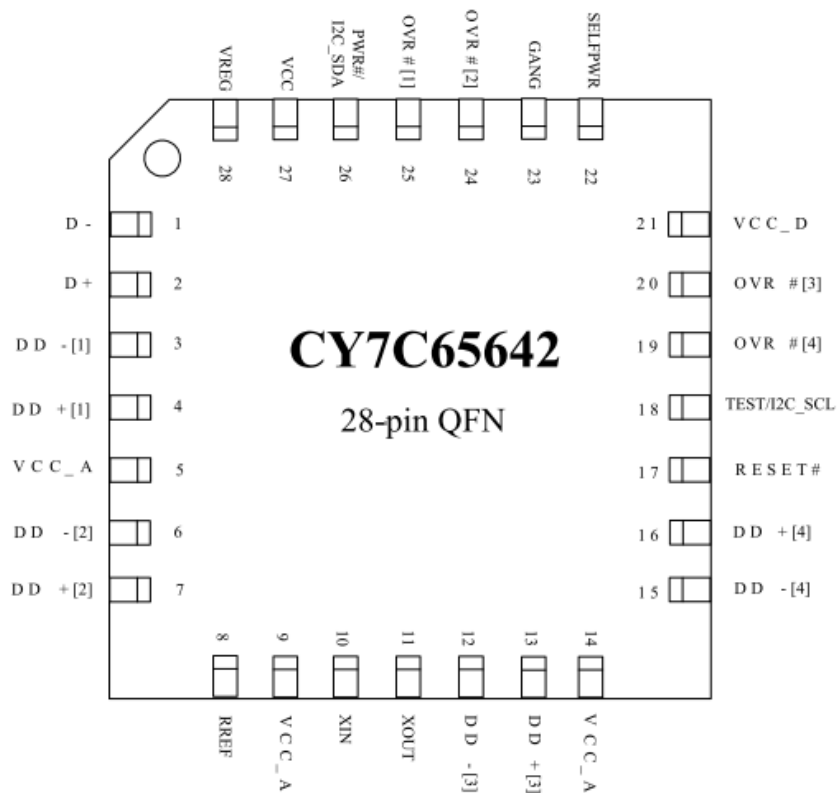
図 4. 48 ピン TQFP (7 × 7 × 1.4mm) ピン配置





ピン配置 ( 続き )

図 5. 28 ピン QFN (5 × 5 × 0.8mm) ピン配置



## ピン機能

48 ピン TQFP パッケージ

ピン名	ピン番号	タイプ <sup>[1]</sup>	説明
<b>電源およびクロック</b>			
VCC_A	1	P	V <sub>CC A</sub> 。チップへの 3.3V アナログ電源
VCC_A	7	P	V <sub>CC A</sub> 。チップへの 3.3V アナログ電源
VCC_A	12	P	V <sub>CC A</sub> 。チップへの 3.3V アナログ電源
VCC_A	16	P	V <sub>CC A</sub> 。チップへの 3.3V アナログ電源
VCC_A	19	P	V <sub>CC A</sub> 。チップへの 3.3V アナログ電源
VCC_D	34	P	V <sub>CC D</sub> 。チップへの 3.3V デジタル電源
VCC_D	38	P	V <sub>CC D</sub> 。チップへの 3.3V デジタル電源
VCC	47	P	V <sub>CC</sub> 。内部レギュレータへの 5V 入力；外部レギュレータを使用する場合は未接続
VREG	48	P	V <sub>REG</sub> 。内部レギュレータ使用時には 5V から 3.3V レギュレータ出力；外部レギュレータ使用時には未接続
GND	2	P	GND。できる限り短いパスでグラウンドに接続
GND	8	P	GND。できる限り短いパスでグラウンドに接続
GND	13	P	GND。できる限り短いパスでグラウンドに接続
GND	20	P	GND。できる限り短いパスでグラウンドに接続
XIN	14	I	12MHz 水晶クロック入力、または 12/27/48MHz クロック入力
XOUT	15	O	12MHz 水晶振動子出力 ( 外部クロックを使用する場合、未接続 )
SEL48 / SEL27	25 / 44	I	クロックソースの選択入力。 00: 予約済み 01: 48MHz OSC 入力 10: 27MHz OSC 入力 11: 12MHz 水晶振動子または OSC 入力
RESET#	26	I	アクティブ LOW リセット。外部リセット入力、デフォルトで 10kΩ HIGH にプルアップ；RESET = LOW の場合、チップ全体を初期状態にリセット
SELPWR	37	I	自己給電。自己給電／バス給電選択用の入力。0 の場合はバス給電、1 の場合は自己給電
GANG	39	I/O	ギャング。デフォルトはパワーオン リセット後の入力モード。 ギャング モード：入力が 1 の場合、出力は通常動作では 0、一時停止では 1 個別モード：入力が 0 の場合、出力は通常動作では 1、一時停止では 0 詳細は、15 ページの「ピン コンフィギュレーション オプション」のギャング／個別電源切替えモードをご覧ください
RREF	11	I/O	649Ω の抵抗を RREF とグラウンドの間に接続することが必要
<b>システム インターフェース</b>			
Test I <sup>2</sup> C_SCL	27	I(R <sub>DN</sub> ) I/O(R <sub>DN</sub> )	テスト。0 の場合は通常動作、1 の場合はチップがテスト モードに入る I <sup>2</sup> C_SCL。I <sup>2</sup> C クロック ピンとして使用し、I <sup>2</sup> C EEPROM にアクセス可能
<b>アップストリーム ポート</b>			
D-	3	I/O/Z	アップストリーム D- 信号
D+	4	I/O/Z	アップストリーム D+ 信号

### 注

1. ピン タイプ：I = 入力、O = 出力、P = 電源 / グラウンド、Z = ハイ インピーダンス、R<sub>DN</sub> = パッド内部プルダウン抵抗、R<sub>UP</sub> = パッド内部プルアップ抵抗。

## ピン機能 ( 続き )

48 ピン TQFP パッケージ

ピン名	ピン番号	タイプ <sup>[1]</sup>	説明
<b>ダウンストリーム ポート 1</b>			
DD-[1]	5	I/O/Z	ダウンストリーム D- 信号
DD+[1]	6	I/O/Z	ダウンストリーム D+ 信号
AMBER[1] SPI_CS	46	O(R <sub>DN</sub> ) O(R <sub>DN</sub> )	LED。アンバーの LED 用のドライバー出力。ポート インジケータ サポート <b>SPI_CS</b> 。チップ選択として使用し、外部 SPI EEPROM にアクセス可能
GREEN[1] <sup>[2]</sup> SPI_SK FIXED_PORT1	45	O(R <sub>DN</sub> ) O(R <sub>DN</sub> ) I(R <sub>DN</sub> )	LED。緑の LED 用のドライバー出力。ポート インジケータ サポート。 <b>SPI_SK</b> 。SPI クロックとして使用し、外部 SPI EEPROM にアクセス可能。 <b>FIXED_PORT1</b> 。POR では、ポート 1 を取外し不可ポートとして設定するために使用。 <a href="#">15 ページの「ピン コンフィギュレーション オプション」</a> を参照
OVR#[1]	42	I(R <sub>UP</sub> )	過電流条件検出入力。アクティブ LOW 過電流条件検出入力。
PWR#[1] I <sup>2</sup> C_SDA	43	O/Z I/O	電源切替えドライバー出力。デフォルトはアクティブ LOW <b>I<sup>2</sup>C_SDA</b> 。I <sup>2</sup> C データ ピンとして使用し、I <sup>2</sup> C EEPROM に接続することが可能
<b>ダウンストリーム ポート 2</b>			
DD-[2]	9	I/O/Z	ダウンストリーム D- 信号
DD+[2]	10	I/O/Z	ダウンストリーム D+ 信号
AMBER[2] SPI_MOSI PWR_PIN_POL	36	O(R <sub>DN</sub> ) O(R <sub>DN</sub> ) I(R <sub>DN</sub> )	LED。アンバーの LED 用のドライバー出力。ポート インジケータ サポート <b>SPI_MOSI</b> 。データ出力として使用し、外部 SPI EEPROM にアクセス可能。 <b>PWR_PIN_POL</b> 。電源切替えイネーブルピンの極性設定に使用。 <a href="#">15 ページの「ピン コンフィギュレーション オプション」</a> を参照
GREEN[2] <sup>[2]</sup> SPI_MISO FIXED_PORT2	35	O(R <sub>DN</sub> ) I(R <sub>DN</sub> ) I(R <sub>DN</sub> )	LED。緑の LED 用のドライバー出力。ポート インジケータ サポート <b>SPI_MISO</b> 。データ入力として使用し、外部 SPI EEPROM にアクセス可能。 <b>FIXED_PORT2</b> 。POR では、ポート 2 を取外し不可ポートとして設定するために使用。 <a href="#">15 ページの「ピン コンフィギュレーション オプション」</a> を参照
OVR#[2]	40	I(R <sub>UP</sub> )	過電流条件検出入力。アクティブ LOW 過電流条件検出入力
PWR#[2]	41	O/Z	電源切替えドライバー出力。デフォルトはアクティブ LOW
<b>ダウンストリーム ポート 3</b>			
DD-[3]	17	I/O/Z	ダウンストリーム D- 信号
DD+[3]	18	I/O/Z	ダウンストリーム D+ 信号
AMBER[3] SET_PORT_NUM2	33	O(R <sub>DN</sub> ) I(R <sub>DN</sub> )	LED。アンバーの LED 用のドライバー出力。ポート インジケータ サポート。 <b>SET_PORT_NUM2</b> 。SET_PORT_NUM1 と共に、ポート 番号の設定に使用。 <a href="#">15 ページの「ピン コンフィギュレーション オプション」</a> を参照
GREEN[3] FIXED_PORT3	32	O(R <sub>DN</sub> ) I(R <sub>DN</sub> )	LED。緑の LED 用のドライバー出力。ポート インジケータ サポート。 <b>FIXED_PORT3</b> 。POR では、ポート 3 を取外し不可ポートとして設定するために使用。 <a href="#">15 ページの「ピン コンフィギュレーション オプション」</a> を参照
OVR#[3]	30	I(R <sub>UP</sub> )	過電流条件検出入力。アクティブ LOW 過電流条件検出入力
PWR#[3]	31	O/Z	電源切替えドライバー出力。デフォルトはアクティブ LOW

### 注

2. ピンストラッピング GREEN[1] および GREEN[2] により、HX2VL の通常の機能に影響を及ぼす可能性がある専用機能を有効にします。ピンストラッピングによってポート #1 と #2 を取外し不可ポートにコンフィギュレーションしてはいけません。

## ピン機能 ( 続き )

### 48 ピン TQFP パッケージ

ピン名	ピン番号	タイプ <sup>[1]</sup>	説明
<b>ダウンストリーム ポート 4</b>			
DD-[4]	21	I/O/Z	ダウンストリーム D- 信号
DD+[4]	22	I/O/Z	ダウンストリーム D+ 信号
AMBER[4] SET_PORT_NUM1	24	O(R <sub>DN</sub> ) I(R <sub>DN</sub> )	<b>LED</b> 。アンバーの LED 用のドライバー出力。ポート インジケータ サポート。 <b>SET_PORT_NUM1</b> 、SET_PORT_NUM2 と共に、ポート 番号の設定に使用。15 ページの「ピン コンフィギュレーション オプション」を参照
GREEN[4] FIXED_PORT4	23	O(R <sub>DN</sub> ) I(R <sub>DN</sub> )	<b>LED</b> 。緑の LED 用のドライバー出力。ポート インジケータ サポート。 <b>FIXED_PORT4</b> 。POR では、ポート 4 を取外し不可ポートとして設定するために使用。15 ページの「ピン コンフィギュレーション オプション」を参照
OVR#[4]	28	I(R <sub>UP</sub> )	<b>過電流条件検出</b> 入力。アクティブ LOW 過電流条件検出入力
PWR#[4]	29	O/Z	<b>電源切替え</b> ドライバー出力。デフォルトはアクティブ LOW

注：ピンが論理 HIGH にストラップされている場合、論理 HIGH に対応するように設計されて独立した回路を除き、LED インジケータとして動作するこれらのピンの代替機能は利用できません。60ms のパワー オン リセット (POR) 後に、これらのピンが出力として再コンフィギュレーションされるため、接続が切断されます。

## ピン機能

28 ピン QFN パッケージ

ピン名	ピン番号	タイプ <sup>[3]</sup>	説明
<b>電源およびクロック</b>			
VCC_A	5	P	V <sub>CC A</sub> 。チップへの 3.3V アナログ電源
VCC_A	9	P	V <sub>CC A</sub> 。チップへの 3.3V アナログ電源
VCC_A	14	P	V <sub>CC A</sub> 。チップへの 3.3V アナログ電源
VCC_D	21	P	V <sub>CC D</sub> 。チップへの 3.3V デジタル電源
VCC	27	P	V <sub>CC</sub> 。内部レギュレータへの 5V 入力；外部レギュレータを使用する場合は未接続
VREG	28	P	V <sub>CC</sub> 。内部レギュレータ使用時には 5V から 3.3V レギュレータ出力、外部レギュレータを使用する場合には 3.3V レギュレータ入力
XIN	10	I	12MHz 水晶クロック入力、または 12MHz クロック入力
XOUT	11	O	12MHz 水晶振動子出力 ( 外部クロックを使用する場合、未接続 )
RESET#	17	I	<b>アクティブ LOW リセット</b> 。外部リセット入力、デフォルトで 10k $\Omega$ HIGH にプルアップ；RESET = LOW の場合、チップ全体を初期状態にリセット
SELPWR	22	I	<b>自己給電</b> 。自己給電／バス給電選択用の入力。0 の場合はバス給電、1 の場合は自己給電
GANG	23	I/O	<b>ギャングデフォルトはパワーオン リセット後の入力モード</b> 。 ギャング モード：入力が 1 の場合、出力は通常動作では 0、一時停止では 1 個別モード：入力が 0 の場合、出力は通常動作では 1、一時停止では 0 詳細は、 <a href="#">15 ページの「ピン コンフィギュレーション オプション」</a> のギャング／個別電源切替えモードをご覧ください。
RREF	8	I/O	649 $\Omega$ 抵抗を RREF とグラウンドの間に接続することが必要
<b>システム インターフェース</b>			
Test I2C_SCL	18	O(R <sub>DN</sub> ) I/O(R <sub>DN</sub> )	テスト。0 の場合は通常動作、1 の場合はチップがテスト モードに入る <b>I2C_SCL</b> 。I <sup>2</sup> C クロック ピン
PWR# <sup>[4]</sup> I2C_SDA	26	I/O	<b>電源切替えドライバー出力</b> 。デフォルトはアクティブ LOW <b>I2C_SDA</b> 。I <sup>2</sup> C データ ピン

注

3. ピン タイプ：I = 入力、O = 出力、P = 電源 / グラウンド、Z = ハイ インピーダンス、R<sub>DN</sub> = パッド内部プルダウン抵抗、R<sub>UP</sub> = パッド内部プルアップ抵抗。

4. PWR#/I2C\_SDA は、PWR# または I2C\_SDA のどちらかとして使用できますが、両機能としては使用できません。EEPROM が接続されている場合、ピンは I2C\_SDA として機能し、(48 ピン TQFP パッケージと違って) PWR# モードには切り替わりません。

## ピン機能 ( 続き )

28 ピン QFN パッケージ

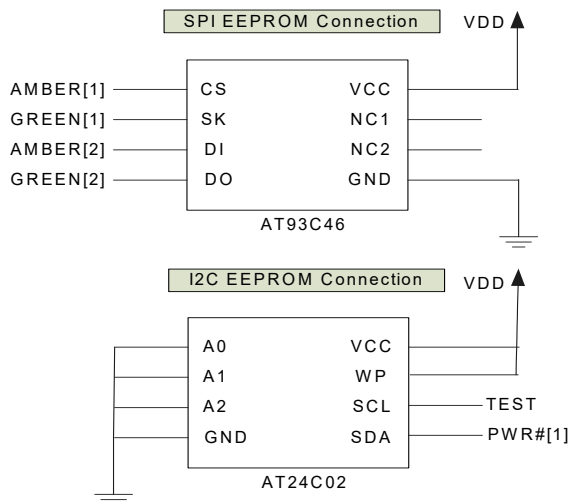
ピン名	ピン番号	タイプ <sup>[3]</sup>	説明
<b>アップストリーム ポート</b>			
D-	1	I/O/Z	アップストリーム D- 信号
D+	2	I/O/Z	アップストリーム D+ 信号
<b>ダウストリーム ポート 1</b>			
DD-[1]	3	I/O/Z	ダウストリーム D- 信号
DD+[1]	4	I/O/Z	ダウストリーム D+ 信号
OVR#[1]	25	I(R <sub>UP</sub> )	過電流条件検出入力。アクティブ LOW 過電流条件検出入力。ギャングモードでは、OVR # [1] (ピン 25) のみが有効になります。ギャング・モードでは、OVR # [2] (ピン 24)、OVR # [3] (ピン 20) および OVR # [4] (ピン 19) は無効になります。
<b>ダウストリーム ポート 2</b>			
DD-[2]	6	I/O/Z	ダウストリーム D- 信号
DD+[2]	7	I/O/Z	ダウストリーム D+ 信号
OVR#[2]	24	I(R <sub>UP</sub> )	過電流条件検出入力。アクティブ LOW 過電流条件検出入力。ギャングモードでは、OVR # [1] (ピン 25) のみが有効になります。この (OVR # [2]) ピンはギャング・モードではディスエーブルされています。
<b>ダウストリーム ポート 3</b>			
DD-[3]	12	I/O/Z	ダウストリーム D- 信号
DD+[3]	13	I/O/Z	ダウストリーム D+ 信号
OVR#[3]	20	I(R <sub>UP</sub> )	過電流条件検出入力。アクティブ LOW 過電流条件検出入力。ギャングモードでは、OVR # [1] (ピン 25) のみが有効になります。この (OVR # [3]) ピンはギャング・モードではディスエーブルされています。
<b>ダウストリーム ポート 4</b>			
DD-[4]	15	I/O/Z	ダウストリーム D- 信号
DD+[4]	16	I/O/Z	ダウストリーム D+ 信号
OVR#[4]	19	I(R <sub>UP</sub> )	過電流条件検出入力。アクティブ LOW 過電流条件検出入力。ギャングモードでは、OVR # [1] (ピン 25) のみが有効になります。この (OVR # [4]) ピンはギャング・モードではディスエーブルされています。
GND	PAD	P	チップ用のグラウンド ピン。これはチップの下にある、はんだ付け可能なエクスポーズドパッド。21 ページの図 7 を参照してください

Not Recommended for New Designs



## EEPROM コンフィギュレーション オプション

CY7C65642 を使用するシステムでは、デフォルトのディスクリプタを使ってハブを設定するオプションがあります。そうでない場合、デバイスが固有の VID と PID を設定するために、外付け EEPROM を使用する必要があります。CY7C65642 は、93C46 のような SPI (マイクロワイヤ) EEPROM、または 24C02 のような I<sup>2</sup>C EEPROM と通信可能です。EEPROM 接続の例を以下に示します：



注：28 ピン QFN パッケージは、ATMEL/24C02N、SU27 D、MICROCHIP/4LC028 SN0509、SEIKO/S24CS02AVH9 などの I<sup>2</sup>C EEPROM のみをサポートします。48 ピン TQFP パッケージには、I<sup>2</sup>C と SPI EEPROM の両方の接続オプションが含まれています。この場合、ユーザーは、EEPROM と通信する時に、SPI 接続または I<sup>2</sup>C 接続のいずれかを使用できます。48 ピン パッケージは、上記のファミリに加えて、ATMEL/AT93C46DN-SH-T をサポートしています。HX2VL は SPI EEPROM から読み出しのみができます。このため、EEPROM のフィールド プログラミングは I<sup>2</sup>C EEPROM にしかサポートされていません。デフォルトの VID と PID は 0x04B4 と 0x6572 です。

CY7C65642 は、パワーオン リセットの後にチェックサムを確認し、有効の場合は EEPROM からコンフィギュレーションを読み出します。このコンフィギュレーションの上書きを防ぐために、SPI EEPROM が存在する場合、AMBER[1] を無効にします。

バイト	値
00h	VID_LSB
01h	VID_MSB
02h	PID_LSB
03h	PID_MSB
04h	ChkSum
05h	予約済み (FEh)
06h	取外し可能ポート
07h	ポート番号
08h	最大出力
09h ~ 0Fh	予約済み (FFh)

バイト	値
10h	ベンダ文字列長さ
11h ~ 3Fh	ベンダ文字列 (ASCII コード)
40h	製品文字列長さ
41h ~ 6Fh	製品文字列 (ASCII コード)
70h	シリアル番号長さ
71h ~ 80h	シリアル番号文字列

### バイト 0: VID (LSB)

ベンダ ID の最下位バイト

### バイト 1: VID (MSB)

ベンダ ID の最上位バイト

### バイト 2: PID (LSB)

製品 ID の最下位バイト

### バイト 3: PID (MSB)

製品 ID の最上位バイト

### バイト 4: ChkSum

CY7C65642 は、ChkSum が VID\_LSB + VID\_MSB + PID\_LSB + PID\_MSB + 1 に等しくない場合、EEPROM 設定を無視します。

### バイト 5: 予約済み

FEh に設定

### バイト 6: RemovablePorts

RemovablePorts[4:1] は、該当するダウンストリーム ポートに接続されたデバイスが取外し可能 (0 に設定) か、または取外し不可 (1 に設定) かを示すビットです。ビット 1 はポート 1、ビット 2 はポート 2、... などのように対応します。デフォルト値は 0 です (取外し可能)。これらのビット値は、HubDescriptor:DeviceRemovable フィールドで適切に報告されます。

ビット 0, 5, 6, 7 は 0 に設定されます。

### バイト 7: ポート番号

ポート番号は、ダウンストリーム ポートの番号を示します。値は 1 ~ 4 である必要があります。デフォルト値は 4 です。

### バイト 8: 最大出力

この値は、コンフィギュレーション ディスクリプタの bMax-Power フィールドで報告され、ハブのアップストリーム側から要求される 2mA 単位でインクリメントする電流です。許容範囲は 00h (0mA) ~ FAh (500mA) です。デフォルト値は 32h (100mA) です。

### バイト 9 ~ 15: 予約済み

FFh に設定 (ただし、11 は FEh に設定)

### バイト 16: ベンダ文字列長さ

ベンダ文字列の長さ

### バイト 17 ~ 63: ベンダ文字列

ベンダ文字列の値 (ASCII コード)。

### バイト 64: 製品文字列長さ

製品文字列の長さ

### バイト 65 ~ 111: 製品文字列

製品文字列の値 (ASCII コード)

### バイト 112: シリアル番号長さ

シリアル番号の長さ

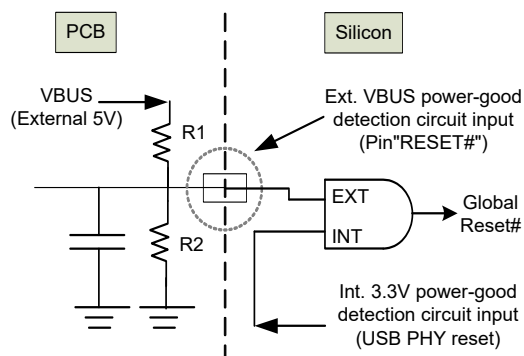
### バイト 113 以降: シリアル番号文字列

シリアル番号文字列 (ASCII コード)。

## ピン コンフィギュレーション オプション

### パワーオン リセット

パワーオン リセットは外部リセットまたは内部回路によりトリガーされます。内部リセットは、チップ内部のコア電源 ( $3.3V \pm 10\%$ ) に対して電源が不安定な状態になった場合に開始されます。内部リセットは、電源がパワーグッド電圧 ( $2.5V \sim 2.8V$ ) に達した後に、 $2.7\mu s \pm 1.2\%$  で解除されます。外部リセットピンは、図で示すようにアップストリーム側のVBUSで電圧レベル ( $5V$ ) を連続的に検知します。USBの差し込み/抜き出し、または電圧降下イベントが生じた場合、外部リセットはトリガーされます。このリセットトリガーは、抵抗  $R1$  と  $R2$  を使用して設定できます。サイプレスは、外部リセット回路に適用されるリセット時間は、内部リセット時間よりも長くするように推奨しています。



### ギャング/個別電源切替えモード

単一のピンを使用し、個別/ギャング モードを設定し、一時停止フラグを出力します。これにより、ピン数を減らせます。個別またはギャング モードは、パワーオン リセット後の  $20\mu s$  以内に決定されます。そのセットアップ時間は  $1ns$  です。リセットしてから  $50 \sim 60ms$  後に、このピンは出力モードに変更します。CY7C65642 は完全に一時停止されると、一時停止フラグを出力します。個別モードでは  $100K$  よりも大きなプルダウン抵抗が必要で、ギャング モードでは  $100K$  よりも大きなプルアップ抵抗が必要です。下図は一時停止の LED インジケータの回路図を示します。LED の極性に従う必要があります。そうしないと、一時停止時の電流は仕様限度 ( $2.5mA$ ) を超えてしまいます。

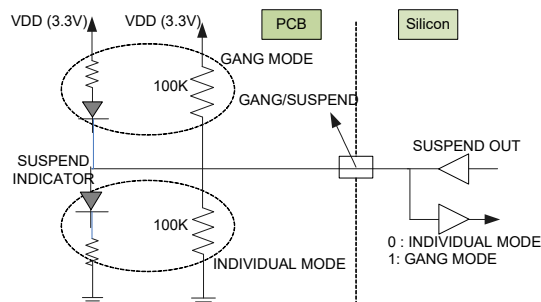


表 1. 48 ピンと 28 ピン パッケージで対応する機能

対応 機能	48 ピン	28 ピン
ポート 番号コンフィギュレーション	有	無
取外し不可ポートコンフィギュレーション	有	無
リファレンス クロック コンフィギュレーション	有	無
電源切替えイネーブル極性	有	無
LED インジケータ	有	無

### 電源切替えイネーブル ピンの極性

ピンの極性は、PWR\_PIN\_POL ピンを 1 にストラッピングすることでアクティブ HIGH に、PWR\_PIN\_POL ピンを 0 にストラッピングすることでアクティブ LOW に設定されます。従って、両方の電源切替えに対応します。この機能は、28 ピン QFN パッケージではサポートされていません。

### ポート番号コンフィギュレーション

上記の EEPROM コンフィギュレーションに加えて、2, 3, または 4 つのポートを備えるハブのコンフィギュレーションも、下表で示すように SET\_PORT\_NUM1 と SET\_PORT\_NUM2 のピンストラッピングを使用します。ピンストラッピング オプションは 28 ピン QFN パッケージではサポートされていません。

SET_PORT_NUM2	SET_PORT_NUM1	ポート数
1	1	1 (ポート 1)
1	0	2 (ポート 1/2)
0	1	3 (ポート 1/2/3)
0	0	4 (すべてのポート)

### 取外し不可ポートのコンフィギュレーション

組み込みシステムにおいて、パワー オン リセットの前に、該当する FIXED\_PORT# ピン 1 ~ 4 を HIGH にストラッピングすることにより、システム内部で常に接続するダウンストリームポートを取外し不可ポート (常時接続) として設定できます。POR 時に、ピンが HIGH にプルアップされた場合、該当するポートは取外し不可ポートに設定されます。これは 28 ピン QFN パッケージではサポートされていません。

### リファレンス クロック コンフィギュレーション

このハブは、オプションで 27MHz か 48MHz クロック ソースを利用できます。27/48MHz クロックが基板上に存在する場合、それを使用します。外部振動子を除去することで、BOM コストをさらに削減できます。以下に示すように GPIO ピンのコンフィギュレーションによりこれを実行できます。これは 28 ピン QFN パッケージではサポートされていません。

SEL48	SEL27	クロック ソース
0	1	48MHz 振動子入力
1	0	27MHz 振動子入力
1	1	12MHz 水晶振動子または 12MHz 振動子入力

## 絶対最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。これらのユーザー ガイドラインは試験されていません。

保存温度 .....	-60°C ~ +100°C
周囲温度 .....	0°C ~ +70°C
グランド電位への 5V 電源電圧 .....	-0.5V ~ +6.0V
グランド電位への 3.3V 電源電圧 .....	-0.5V ~ +3.6V
オープン ドレイン入力ピンでの電圧 (OVR#1-4、SELPWR、RESET#) .....	-0.5V ~ +5.5V
デジタル I/O の 3.3V 入力電圧 .....	-0.5V ~ +3.6V
FOSC ( 振動子または水晶周波数 ) .....	12MHz ± 0.05%

## 動作条件

周囲温度 .....	0°C ~ +70°C
周囲最大接合部温度 .....	0°C ~ +125°C
グランド電位への 5V 電源電圧 .....	4.75V ~ +5.25V
グランド電位への 3.3V 電源電圧 .....	3.15V ~ +3.6V
USB 信号ピンの入力電圧 .....	0.5V ~ +3.6V
オープン ドレイン入力ピンでの電圧 .....	-0.5V ~ +5.0V
温度特性 48 ピン TQFP .....	78.7°C/W
温度特性 28 ピン QFN .....	33.3°C/W

Not Recommended for New Designs

## 電気的特性

### DC 特性

パラメーター	説明	条件	Min	Typ	Max		単位
					外部レギュレータ	内部レギュレータ	
$P_D$	電力損失	USB 信号を除く	–	–	432		mW
$V_{IH}$	入力 HIGH 電圧	–	2	–	–		V
$V_{IL}$	入力 LOW 電圧	–	–	–	0.8		V
$I_I$	入力リーク電流	フル スピード / ロー スピード ( $0 < V_{IN} < V_{CC}$ )	–10	–	+10		$\mu A$
		ハイ スピード モード ( $0 < V_{IN} < V_{CC}$ )	–5	0	+5		$\mu A$
$V_{OH}$	出力 HIGH 電圧	$I_{OH} = 8mA$	2.4	–	–		V
$V_{OL}$	出力 LOW 電圧	$I_{OL} = 8mA$	–	–	0.4		V
$R_{DN}$	パッド内部プルダウン抵抗	–	29	59	135		$K\Omega$
$R_{UP}$	パッド内部プルアップ抵抗	–	80	108	140		$K\Omega$
$C_{IN}$	入力ピン静電容量	フル スピード / ロー スピード モード	–	–	20		pF
		ハイ スピード モード	4	4.5	5		pF
$I_{SUSP}$	一時停止時の電流	–	–	0.786	1.043	1.3	mA
$I_{CC}$	<b>供給電流</b>						
	4 つのアクティブ ポート	フル スピード ホスト、フル スピード デバイス	–	88.7	103.9	105.4	mA
		ハイ スピード ホスト、ハイ スピード デバイス	–	81.9	88.2	89.3	mA
		ハイ スピード ホスト、フル スピード デバイス	–	88.2	101.2	102.3	mA
	3 つのアクティブ ポート <sup>[5]</sup>	フル スピード ホスト、フル スピード デバイス	–	79.1	91.6	93	mA
		ハイ スピード ホスト、ハイ スピード デバイス	–	72.9	78.5	78.6	mA
		ハイ スピード ホスト、フル スピード デバイス	–	75.9	88.7	88.8	mA
	2 つのアクティブ ポート	フル スピード ホスト、フル スピード デバイス	–	68.1	78.4	78.6	mA
		ハイ スピード ホスト、ハイ スピード デバイス	–	61.9	67.6	69.6	mA
		ハイ スピード ホスト、フル スピード デバイス	–	64.9	75.4	76.1	mA
	1 つのアクティブ ポート	フル スピード ホスト、フル スピード デバイス	–	57.1	66.3	66.7	mA
		ハイ スピード ホスト、ハイ スピード デバイス	–	51.9	57.6	59.3	mA
		ハイ スピード ホスト、フル スピード デバイス	–	54.7	61.1	62.5	mA
	アクティブ ポートなし <sup>[6]</sup>	フル スピード ホスト	–	42.8	48.9	50.3	mA
		ハイ スピード ホスト	–	44.2	49.1	50.6	mA

#### 注

- 電流の測定は、エニユメレーションされた外付けデバイスにより実行されます。
- 外付けデバイスがありません。

## AC 電気的特性

USB トランシーバーは、ロー スピード、フル スピード、ハイ スピード モードで USB 2.0 認証を取得しています。

アップストリーム USB トランシーバーと 4 つすべてのダウンストリーム トランシーバーは、いずれも USB-IF USB 2.0 電気認可試験に合格しています。

48 ピン TQFP パッケージは、I<sup>2</sup>C または SPI のいずれかを使用して、EEPROM への通信をサポートできます。

28 ピン QFN パッケージは、EEPROM への I<sup>2</sup>C 通信のみをサポートしています。

EEPROM とのこれら 2 つのインターフェースの AC 特性は、下表にてまとめています。

### SPI EEPROM インターフェースの AC 特性

パラメーター	パラメーター	Min	Typ	Max	単位
t <sub>CS</sub>	CS セットアップ時間	3.0	—	—	μs
t <sub>CSH</sub>	CS ホールド時間	3.0	—	—	
t <sub>SKH</sub>	SK HIGH 時間	1.0	—	—	
t <sub>SKL</sub>	SK LOW 時間	2.2	—	—	
t <sub>DIS</sub>	DI セットアップ時間	1.8	—	—	
t <sub>DIH</sub>	DI ホールド時間	2.4	—	—	
t <sub>PD1</sub>	「1」までの出力遅延時間	—	—	1.8	
t <sub>PD0</sub>	「0」までの出力遅延時間	—	—	1.8	

### I<sup>2</sup>C EEPROM インターフェースの AC 特性

パラメーター	パラメーター	1.8V ~ 5.5V		2.5V ~ 5.5V		単位
		Min	Max	Min	Max	
f <sub>SCL</sub>	SCL クロック周波数	0.0	100	0.0	400	kHz
t <sub>LOW</sub>	クロック LOW 期間	4.7	—	1.2	—	μs
t <sub>HIGH</sub>	クロック HIGH 期間	4.0	—	0.6	—	μs
t <sub>SU ; STA</sub>	START 条件セットアップ時間	4.7	—	0.6	—	μs
t <sub>SU ; STO</sub>	STOP 条件セットアップ時間	4.7	—	0.6	—	μs
t <sub>HD ; STA</sub>	START 条件ホールド時間	4.0	—	0.6	—	μs
t <sub>HD;STO</sub>	STOP 条件ホールド時間	4.0	—	0.6	—	μs
t <sub>SU ; DAT</sub>	データ入力セットアップ時間	200.0	—	100.0	—	ns
t <sub>HD ; DAT</sub>	データ入力ホールド時間	0	—	0	—	ns
t <sub>DH</sub>	データ出力ホールド時間	100	—	50	—	ns
t <sub>AA</sub>	クロックから出力まで	0.1	4.5	0.1	—	μs
t <sub>WR</sub>	書き込みサイクル時間	—	10	—	5	ns

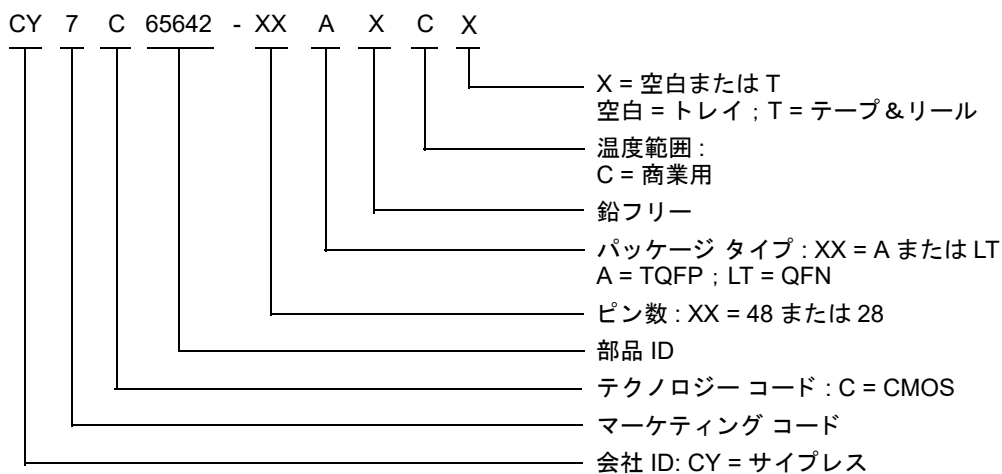
## 熱抵抗

パラメーター	説明	48 ピン TQFP パッケージ	28 ピン QFN パッケージ	単位
Θ <sub>JA</sub>	熱抵抗 (接合部から周囲へ)	78.7	33.3	°C/W
Θ <sub>JC</sub>	熱抵抗 (接合部からケースへ)	35.3	18.4	°C/W

## 注文情報

注文コード	パッケージ タイプ
CY7C65642-48AXC	48 ピン TQFP - トレイ
CY7C65642-48AXCT	48 ピン TQFP - テープ & リール
CY7C65642-28LTXC	28 ピン QFN - トレイ

## 注文コードの定義

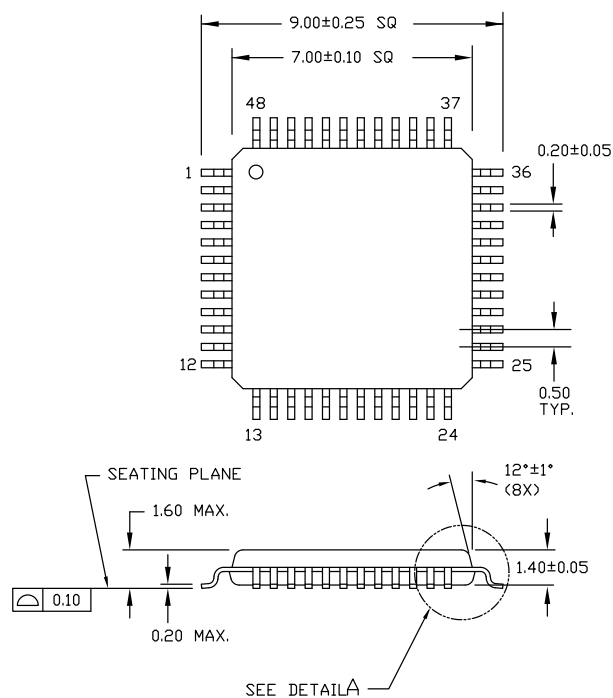




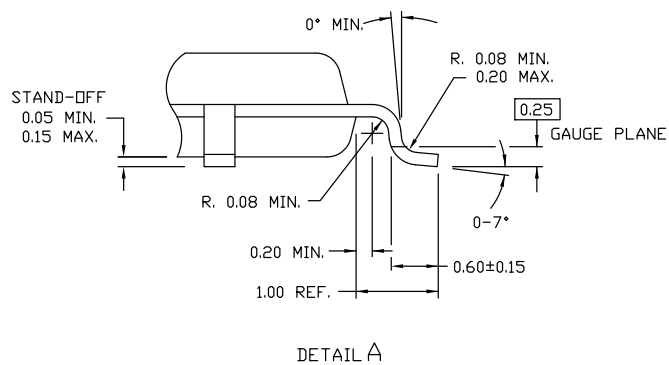
## パッケージ図

CY7C65642 は以下のパッケージで提供可能です。

図 6. 48 ピン TQFP (7 × 7 × 1.4mm) A48 パッケージ図、51-85135



DIMENSIONS ARE IN MILLIMETERS

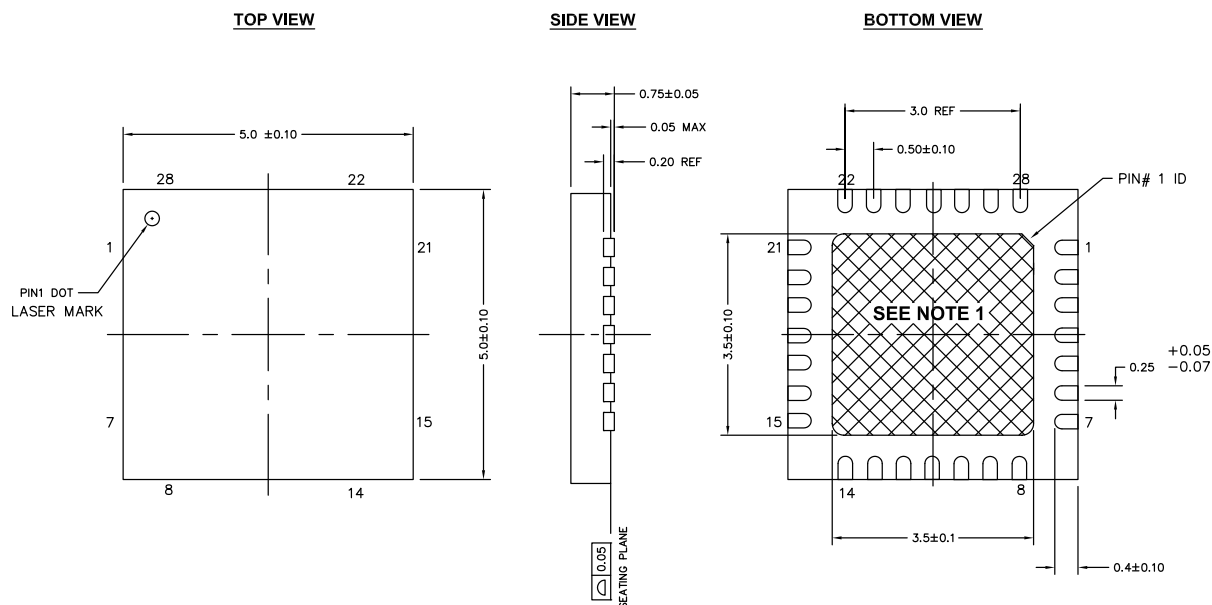


51-85135 \*C


## パッケージ図 ( 続き )

CY7C65642 は以下のパッケージで提供可能です。

図 7. 28 ピン QFN (5 × 5 × 0.8mm)、LT28A (3.5 × 3.5 E-Pad)、Sawn パッケージ図、001-64621



### NOTES:

1.  HATCH AREA IS SOLDERABLE EXPOSED PAD
2. BASED ON REF JEDEC # MO-220
3. PACKAGE WEIGHT: ~0.05gr
4. DIMENSIONS ARE IN MILLIMETERS

001-64621 \*A

Not Recommended for New Designs

## 略語

略語	説明
AC	Alternating Current ( 交流電流 )
ASCII	American standard code for information interchange ( 情報交換用米国標準コード )
EEPROM	Electrically Erasable Programmable Read Only Memory ( 電氣的消去プログラム可能な読出し専用メモリ )
EMI	Electromagnetic Interference ( 電磁妨害 )
ESD	Electrostatic Discharge ( 静電放電 )
GPIO	General Purpose Input/Output ( 汎用入出力 )
I/O	Input/Output ( 入力／出力 )
LED	Light Emitting Diode ( 発光ダイオード )
LSB	Least Significant Bit ( 最下位ビット )
MSB	Most significant bit ( 最上位ビット )
PCB	Printed Circuit Board ( プリント回路基板 )
PLL	Phase-Locked Loop ( 位相同期回路 )
POR	Power On Reset ( パワーオン リセット )
PSoC™	Programmable System-on-Chip ( プログラマブル システムオンチップ )
QFN	Quad Flat No leads ( クアッド フラット ( リードなし ) パッケージ )
RAM	Random Access Memory ( ランダム アクセス メモリ )
ROM	Read Only Memory ( 読出し専用メモリ )
SIE	Serial Interface Engine ( シリアル インターフェース エンジン )
TQFP	Thin Quad Flat Pack ( 薄型クアッド フラット パッケージ )
TT	Transaction Translator ( トランザクション トランスレータ )
USB	Universal Serial Bus ( ユニバーサル シリアル バス )

## 本書の表記法

### 測定単位

記号	測定単位
°C	摂氏温度
kHz	キロヘルツ
kΩ	キロオーム
MHz	メガヘルツ
μA	マイクロアンペア
μs	マイクロ秒
μW	マイクロワット
mA	ミリアンペア
mm	ミリメートル
ms	ミリ秒
mW	ミリワット
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラド
ppm	100 万分の 1
V	ボルト
W	ワット

## 付録：HX2VL、CY7C65642 製品ファミリのシリコン エラッタ

本節では、HX2VL、CY7C65642 のエラッタについて説明します。詳細情報は、エラッタのトリガー条件、影響の範囲、可能な回避方法、シリコン チップのリビジョンの適用可能性などを含みます。

何かご質問がございましたら、最寄りのサイプレスの販売代理店までお問い合わせください。

### 影響を受ける部品番号

製品番号	デバイスの特性
CY7C65642	USB 2.0 マルチプル TT ハブ

### HX2VL 認定状態

製品の状態：量産中

### HX2VL エラッタのまとめ

この表は、利用可能な HX2VL ファミリデバイスへのエラッタの適用性を定義します。

項目	製品番号	シリコン リビジョン	回避方法	修正状況
[1]. ハブ サスペンド中に切断された後に接続イベントが発生すると、USB デバイスが正しく認識されません。	CY7C65642	Rev **	USB デバイスが STALL された場合は、ホスト USB アプリケーション、またはドライバからポートリセットを発行します。	修正の計画はありません。

1. ハブ サスペンド中に切断された後に接続イベントが発生すると、USB デバイスが正しく認識されません。

#### ■ 問題の定義

HX2VL は、接続されたダウンストリーム (DS) デバイスがハブ サスペンド状態中に切断され、同じ DS ポートに接続された場合、サスペンドから復帰した後、DS USB デバイスを認識しないことがあります。

#### ■ 影響を受けるパラメータ

なし

#### ■ トリガ条件

切断に続いてサスペンド状態のハブからの DS デバイスの接続イベント。

#### ■ 影響の範囲

標準 Microsoft ドライバ / クラスデバイス (マウス、キーボード、大容量ストレージなど) では問題は発生しません。標準クラスドライバは、DS デバイスからの STALL がある場合、ポートリセットコマンドを使用してデバイスを回復します。

#### ■ 回避方法

STALLS 時に、ホスト USB アプリケーションまたはドライバからポートリセットを発行して、DS デバイスを回復します。

#### ■ 修正状況

修正の計画はありません。

**改訂履歴**

文書名 : CY7C65642、HX2VL - 超低消費電力 USB 2.0 TetraHub コントローラー 文書番号 : 001-79912			
版	ECN	発行日	変更内容
**	3630384	05/30/2012	これは英語版 001-65659 Rev. *C を翻訳した日本語版 001-79912 Rev. ** です。
*A	4850627	07/29/2015	これは英語版 001-65659 Rev. *F を翻訳した日本語版 001-79912 Rev. *A です。
*B	5782905	07/04/2017	これは英語版 001-65659 Rev. *J を翻訳した日本語版 001-79912 Rev. *B です。
*C	6282109	08/20/2018	これは英語版 001-65659 Rev. *K を翻訳した日本語版 001-79912 Rev. *C です。
*D	7195230	07/21/2021	これは英語版 001-65659 Rev. *L を翻訳した日本語版 001-79912 Rev. *D です。

## セールス、ソリューション、および法律情報

### ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

### 製品

Arm® Cortex® Microcontrollers	<a href="http://cypress.com/arm">cypress.com/arm</a>
車載用	<a href="http://cypress.com/automotive">cypress.com/automotive</a>
クロック & バッファ	<a href="http://cypress.com/clocks">cypress.com/clocks</a>
インターフェース	<a href="http://cypress.com/interface">cypress.com/interface</a>
IoT (モノのインターネット)	<a href="http://cypress.com/iot">cypress.com/iot</a>
メモリ	<a href="http://cypress.com/memory">cypress.com/memory</a>
マイクロコントローラ	<a href="http://cypress.com/mcu">cypress.com/mcu</a>
PSoC	<a href="http://cypress.com/psoc">cypress.com/psoc</a>
電源用 IC	<a href="http://cypress.com/pmic">cypress.com/pmic</a>
タッチ センシング	<a href="http://cypress.com/touch">cypress.com/touch</a>
USB コントローラー	<a href="http://cypress.com/usb">cypress.com/usb</a>
ワイヤレス	<a href="http://cypress.com/wireless">cypress.com/wireless</a>

### PSoC™ ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

### サイプレス開発者コミュニティ

[コミュニティ](#) | [サンプルコード](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

### テクニカル サポート

[cypress.com/support](http://cypress.com/support)

© Cypress Semiconductor Corporation, 2011-2021. 本書面は、Infineon Technologies グループの Cypress Semiconductor Corporation 及びその関連会社（以下「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア（以下「本ソフトウェア」という。）を含む）は、アメリカ合衆国及び世界のその他の国における知的財産法及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、（直接又は再販売者及び販売代理店を介して間接のいずれかで）本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス（サブライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

**適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示をとわず、いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。**いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェア又はソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセス又は使用といったセキュリティ違反から生じるいかなる責任も負わない。**Cypress は、Cypress 製品又は Cypress 製品を使用して生成されたシステムに破壊、攻撃、ウイルス、干渉、ハッキング、データの損失又は盗難、その他のセキュリティ侵害（総称して、以下「セキュリティ違反」という。）がないことを表明又は保証しない。**Cypress は、セキュリティ違反に関連するいかなる責任も否認し、セキュリティ違反から生じるいかなる請求、損害又はその他の責任について免責される。加えて、本書面に記載された製品には、エラーと呼ばれる設計上の欠陥又はエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。「ハイスループットデバイス」とは、不具合により人身傷害、死亡若しくは物的損害を引き起こす可能性のある装置若しくはシステムをいう。「ハイスループットデバイス」の例として、兵器、原子力施設、外科的移植、及びその他の医療機器が挙げられる。「重要な構成部分」とは、その不具合が直接又は間接的にハイスループットデバイスの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるようなハイスループットデバイスのあらゆる構成部分をいう。Cypress 製品をハイスループットデバイスの重要な構成部分として使用したことから生じるいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部をとわず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress（その関連会社を含む）、及びその取締役、執行役、従業員、代理人、販売業者、及び譲受人は Cypress 製品をハイスループットデバイスの重要な構成部分として使用したことから生じる製造物責任、又は人身傷害若しくは死亡、又は物的損害の請求を含むあらゆる請求から生じるすべての費用、損害及び経費から免責される。Cypress 製品は、(i) Cypress が特定のハイスループットデバイスで使用するための製品として明示的に認定している製品のデータシートを公表している場合、又は、(ii) Cypress が特定のハイスループットデバイスの重要な構成部分として製品を使用することを事前に書面により承認し、別途補償契約に署名した場合の限定された範囲を除いては、ハイスループットデバイスの重要な構成部分としての使用を意図又は承認されていない。

Cypress、Cypress のロゴ及びこれらの組み合わせ、PSoC、CapSense、EZ-USB、F-RAM、Traveo、WICED、及び ModusToolbox は、米国又はその他の国における Cypress 又はその子会社の商標又は登録商標である。Cypress のより完全な商標のリストは、[cypress.com](http://cypress.com) を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。