

特性

- 密度为 72 Mbit (4 M × 18, 2 M × 36)
- 总随机事务处理速率^[1] 为 2133 MT/s
- 最大工作频率为 1066 MHz
- 读延迟为 8.0 个时钟周期, 写延迟为 5.0 个时钟周期
- 8 分组的架构允许在每个周期中对一个分组进行一次访问
- 所有访问均为 2 字突发
- 两个独立的双向数据端口
 - 双数据速率 (DDR) 的数据端口
 - 支持在两个端口上并发读 / 写数据操作
- 单地址端口, 用于控制两个数据端口
 - DDR 地址信令
- 单倍数据速率 (SDR) 的控制信令
- 与高速收发器逻辑 (HSTL) 和短引线串行端接逻辑 (SSTL) 相兼容的信号 (符合 JESD8-16A 标准)
 - I/O $V_{DDQ} = 1.2\text{ V} \pm 50\text{ mV}$ 或 $1.25\text{ V} \pm 50\text{ mV}$
- 伪开漏 (POD) 信令 (符合 JESD8-24)
 - I/O $V_{DDQ} = 1.1\text{ V} \pm 50\text{ mV}$ 或 $1.2\text{ V} \pm 50\text{ mV}$
- 内核电压
 - $V_{DD} = 1.3\text{ V} \pm 40\text{ mV}$
- 片内终端电阻 (ODT)
 - 可以为时钟、地址 / 指令和数据输入编程该值。
- 通过 ZQ 引脚, 可以对输出阻抗进行内部自校准
- 可反转总线, 以降低开关噪声和功耗。
 - 可以为地址和数据使能或禁用该性能
- 地址总线奇偶校验错误保护
- 校正每位的培训序列
- 片上纠错码 (ECC) 可降低软错误率 (SER)
- JTAG 1149.1 测试访问端口 (符合 JESD8-26)
 - 1.25 V LVCMOS 信令
- 采用了 361 球形焊盘的 FCBGA 无铅 (21 × 21mm) 封装形式。

产品选型指南

说明		QDR-IV 2133 (MT/s)	QDR-IV 1866 (MT/s)	单位
最大工作频率		1066	933	MHz
最大工作电流	× 18	4100	3400	mA
	× 36	4500	4000	

注意:

1. RTR (随机事务处理速率) 被定义为存储器可以执行完全随机存储器访问 (读或写) 的次数。RTR 的测量单位为百万事务每秒。

配置

CY7C4042KV13 – 4 M × 18

CY7C4042KV13 – 2 M × 36

功能描述

QDR-IV XP (Xtreme 性能) SRAM 是一个已得到优化的高性能存储器器件; 通过使用两个独立的双向数据端口, 可以最大化每秒随机事务的次数。

这两个端口被指定为端口 A 和端口 B。对这两个数据端口进行的访问可以同时进行并相互独立。对每个端口进行的访问都是通过一个公用地址总线 (以双倍数据速率 DDR 运行) 进行的。以单倍数据速率 (SDR) 运行的控制信号用于确定是否执行了读或写操作。

差分时钟共有下面三种:

- (CK、CK#), 用于为地址和指令提供时钟脉冲
- (DKA、DKA#、DKB、DKB#), 用于为数据输入提供时钟脉冲
- (QKA、QKA#、QKB、QKB#), 用于为数据输出提供时钟脉冲

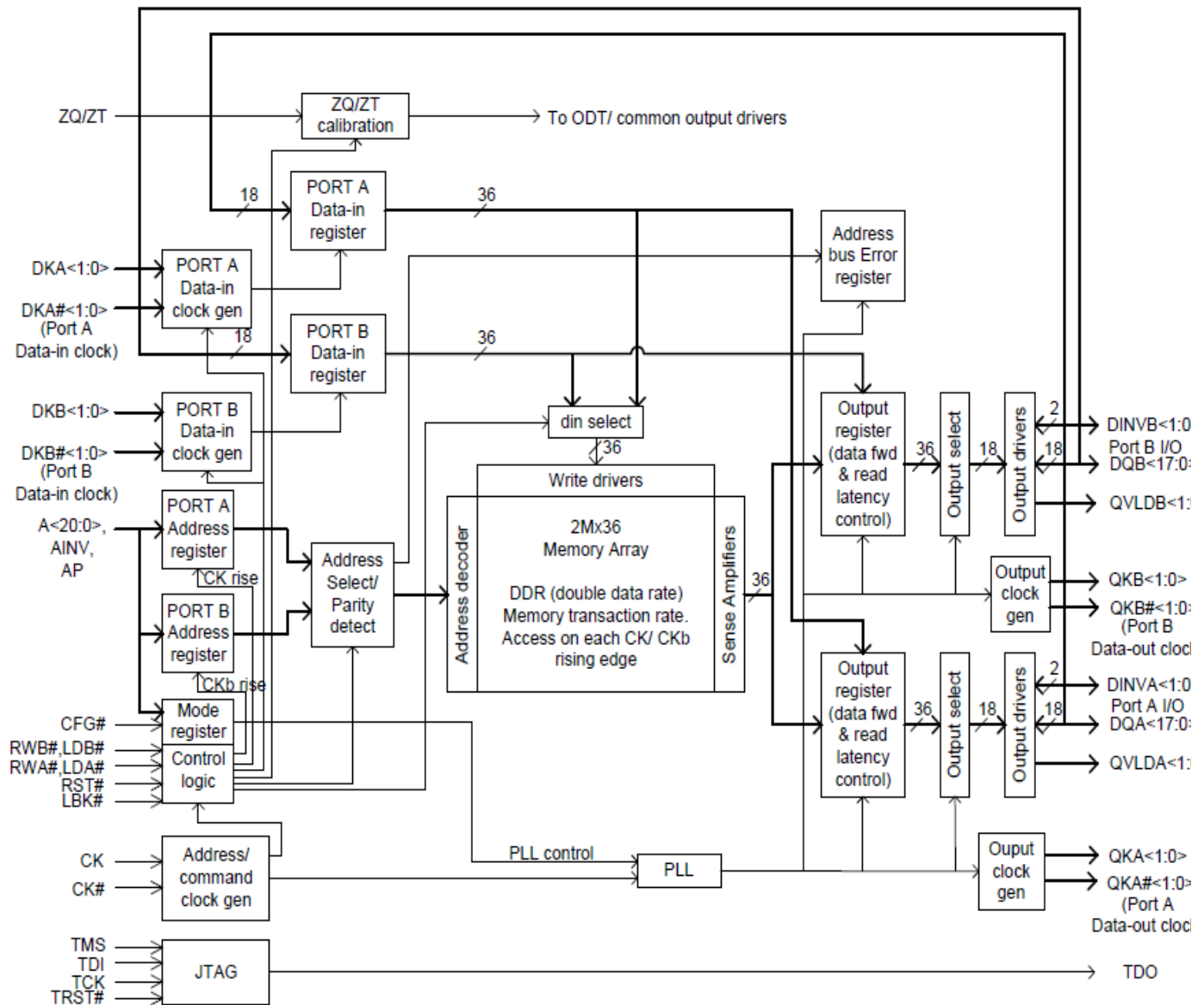
端口 A 地址在输入时钟 (CK) 的上升沿上被锁存, 而端口 B 地址在输入时钟 (CK) 的下降沿上被锁存。

QDR-IV XP SRAM 分为八个内部组。在每个时钟周期内, 每次只能访问一组, 使 SRAM 能够以高频率运行。

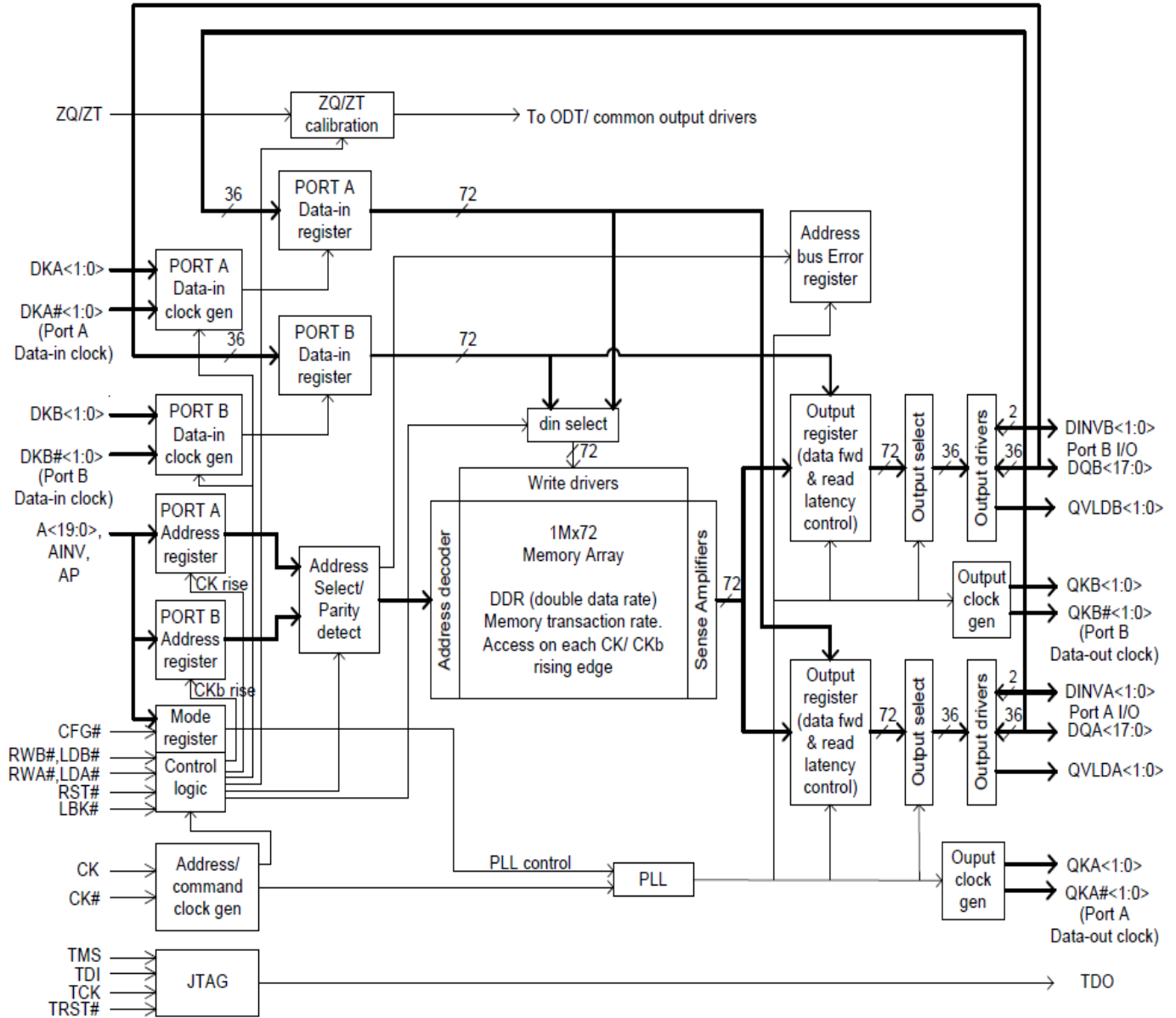
QDR-IV XP SRAM 包括总线宽度为 × 18 和 × 36 的两种配置, 并能够以两字突发来访问数据。

× 18 总线宽度配置有 22 个地址位, 则 × 36 总线宽度配置有 21 个地址位。

片上 ECC 电路检测并校正所有单位存储器上的错误, 包括由软错误事件 (如宇宙射线、α 粒子, 等等) 导致的错误。因此, 这些器件的 SER 比预期值小了 0.01 FITs/Mb, 即比先前各代 SRAM 已提高了四个数量级。

逻辑框图 — CY7C4022KV13


逻辑框图 — CY7C4042KV13



目录

引脚配置	5	TAP 电气特性	24
引脚定义	7	TAP 交流开关特性	24
功能概述	9	TAP 的时序图	25
时钟	9	标识寄存器定义	26
指令周期	9	扫描寄存器的大小	26
读和写数据周期	9	指令代码	26
分组操作	9	边界扫描顺序	27
地址和数据总线反转	9	最大额定值	30
地址奇偶校验	10	工作范围	30
端口使能	10	抗中子软失效	30
片内终端 (ODT) 操作	10	电气特性	30
JTAG 操作	10	电容	32
上电与复位	10	热电阻	32
工作模式	11	交流测试负载和波形	32
校正培训序列	12	开关特性	33
I/O 信号标准	12	开关波形	35
初始化	13	订购信息	42
配置寄存器	14	订购代码定义	42
配置寄存器的说明	15	封装图	43
配置寄存器的定义	15	缩略语	44
I/O 类型和端口使能位定义	17	文档规范	44
ODT 终止位定义	18	测量单位	44
驱动强度位定义	19	文档修订记录页	45
IEEE 1149.1 串行边界扫描 (JTAG)	20	销售、解决方案和法律信息	46
测试访问端口	20	全球销售和 design 支持	46
TAP 寄存器	20	产品	46
TAP 指令集	20	PSoC® 解决方案	46
TAP 控制器状态图	22	赛普拉斯开发者社区	46
TAP 控制器框图	23	技术支持	46

引脚配置

图 1. 361 球形焊盘的 FCBGA 引脚分布

CY7C4022KV13 (4 M × 18)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
A	VSS	VDDQ	VSS	DQA 5	VDDQ	DQA 7	VSS	DQA 8	VSS	LBK0#	VSS	DQA 17	VSS	DQA 16	VDDQ	DQA 14	VSS	VDDQ	VSS
B	VDD	DNU	VDDQ	VSS	DNU	VDDQ	DQA 1	VDDQ	VDD	LBK1#	VDD	VDDQ	DQA 10	VDDQ	DNU	VSS	VDDQ	DNU	VDD
C	VSS	VDDQ	Qvld A0	QKA0	VSS	DQA 2	VDDQ	DQA 0	VSS	VDDQ	VSS	DQA 9	VDDQ	DQA 11	VSS	QKA1	Qvld A1	VDDQ	VSS
D	VDD	VSS	QKA0#	VDDQ	DQA 3	VSS	DQA 4	DINV A0	VDD	CFG#	VDD	DINV A1	DQA 13	VSS	DQA 12	VDDQ	QKA1#	VSS	VDD
E	VSS	DNU	VDDQ	VREF	VSS	VDDQ	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDDQ	VSS	VREF	VDDQ	DNU	VSS
F	VDDQ	VSS	DKA0#	DKA0	DQA 6	VSS	VDDQ	A13	VDD	A0	VDD	A14	VDDQ	VSS	DQA 15	DKA1	DKA1#	VSS	VDDQ
G	VSS	DNU	VSS	DNU	VDDQ	VDD	A3	VSS	A21 144M	A1	A22 288M	VSS	A4	VDD	VDDQ	DNU	VSS	DNU	VSS
H	VDD	VSS	DNU	VSS	DNU	VSS	VSS	LDA#	VDDQ	RWA#	VDDQ	LDB#	VSS	VSS	DNU	VSS	DNU	VSS	VDD
J	VSS	DNU	VDDQ	DNU	VSS	VDD	A5	VSS	A19 36M	CK	A20 72M	VSS	A6	VDD	VSS	DNU	VDDQ	DNU	VSS
K	TDI	TRST#	TCK	VSS	VDD	VSS	VDD	VREF	VDDQ	CK#	VDDQ	VREF	VDD	VSS	VDD	VSS	TMS	RST#	TDO
L	VSS	DNU	VDDQ	DNU	VSS	VDD	A7	VDD	A17	RWB#	A18 18M	VDD	A8	VDD	VSS	DNU	VDDQ	DNU	VSS
M	VDD	VSS	DNU	VSS	DNU	VSS	VSS	A11	VDDQ	AINV	VDDQ	A12	VSS	VSS	DNU	VSS	DNU	VSS	VDD
N	VSS	DNU	VSS	DNU	VDDQ	VDD	A9	VSS	A23 576M	A2	A24 1152M	VSS	A10	VDD	VDDQ	DNU	VSS	DNU	VSS
P	VDDQ	VSS	DKB0#	DKB0	DQB 6	VSS	VDDQ	A15	VDD	AP	VDD	A16	VDDQ	VSS	DQB 15	DKB1	DKB1#	VSS	VDDQ
R	VSS	DNU	VDDQ	VREF	VSS	VDDQ	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDDQ	VSS	VREF	VDDQ	DNU	VSS
T	VDD	VSS	QKB0#	VDDQ	DQB 3	VSS	DQB 4	DINV B0	VDD	DNU	VDD	DINV B1	DQB 13	VSS	DQB 12	VDDQ	QKB1#	VSS	VDD
U	VSS	VDDQ	Qvld B0	QKB0	VSS	DQB 2	VDDQ	DQB 0	VSS	VDDQ	VSS	DQB 9	VDDQ	DQB 11	VSS	QKB1	Qvld B1	VDDQ	VSS
V	VDD	DNU	VDDQ	VSS	DNU	VDDQ	DQB 1	VDDQ	VDD	PE#	VDD	VDDQ	DQB 10	VDDQ	DNU	VSS	VDDQ	DNU	VDD
W	VSS	VDDQ	VSS	DQB 5	VDDQ	DQB 7	VSS	DQB 8	VSS	ZQ/ZT	VSS	DQB 17	VSS	DQB 16	VDDQ	DQB 14	VSS	VDDQ	VSS

引脚配置 (续)

图 2. 361 球形焊盘的 FCBGA 引脚分布

CY7C4042KV13 (2 M × 36)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
A	VSS	VDDQ	VSS	DQA 5	VDDQ	DQA 7	VSS	DQA 8	VSS	LBK0#	VSS	DQA 26	VSS	DQA 25	VDDQ	DQA 23	VSS	VDDQ	VSS
B	VDD	DQA 13	VDDQ	VSS	DQA 17	VDDQ	DQA 1	VDDQ	VDD	LBK1#	VDD	VDDQ	DQA 19	VDDQ	DQA 35	VSS	VDDQ	DQA 31	VDD
C	VSS	VDDQ	Qvld A0	QKA0	VSS	DQA 2	VDDQ	DQA 0	VSS	VDDQ	VSS	DQA 18	VDDQ	DQA 20	VSS	QKA1	Qvld A1	VDDQ	VSS
D	VDD	VSS	QKA0#	VDDQ	DQA 3	VSS	DQA 4	DINV A0	VDD	CFG#	VDD	DINV A1	DQA 22	VSS	DQA 21	VDDQ	QKA1#	VSS	VDD
E	VSS	DQA 14	VDDQ	VREF	VSS	VDDQ	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDDQ	VSS	VREF	VDDQ	DQA 32	VSS
F	VDDQ	VSS	DKA0#	DQA 6	VSS	VDDQ	A13	VDD	A0	VDD	A14	VDDQ	VSS	DQA 24	DKA1	DKA1#	VSS	VDDQ	
G	VSS	DQA 15	VSS	DQA 16	VDDQ	VDD	A3	VSS	A21 288M	A1	A22 576M	VSS	A4	VDD	VDDQ	DQA 34	VSS	DQA 33	VSS
H	VDD	VSS	DQA 9	VSS	DQA 10	VSS	VSS	LDA#	VDDQ	RWA#	VDDQ	LDB#	VSS	VSS	DQA 28	VSS	DQA 27	VSS	VDD
J	VSS	DQA 11	VDDQ	DQA 12	VSS	VDD	A5	VSS	A19 72M	CK	A20 144M	VSS	A6	VDD	VSS	DQA 30	VDDQ	DQA 29	VSS
K	TDI	TRST#	TCK	VSS	VDD	VSS	VDD	VREF	VDDQ	CK#	VDDQ	VREF	VDD	VSS	VDD	VSS	TMS	RST#	TDO
L	VSS	DQB 11	VDDQ	DQB 12	VSS	VDD	A7	VDD	A17	RWB#	A18 36M	VDD	A8	VDD	VSS	DQB 30	VDDQ	DQB 29	VSS
M	VDD	VSS	DQB 9	VSS	DQB 10	VSS	VSS	A11	VDDQ	AINV	VDDQ	A12	VSS	VSS	DQB 28	VSS	DQB 27	VSS	VDD
N	VSS	DQB 15	VSS	DQB 16	VDDQ	VDD	A9	VSS	A23 1152M	A2	A24 2304M	VSS	A10	VDD	VDDQ	DQB 34	VSS	DQB 33	VSS
P	VDDQ	VSS	DKB0#	DKB0	DQB 6	VSS	VDDQ	A15	VDD	AP	VDD	A16	VDDQ	VSS	DQB 24	DKB1	DKB1#	VSS	VDDQ
R	VSS	DQB 14	VDDQ	VREF	VSS	VDDQ	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDDQ	VSS	VREF	VDDQ	DQB 32	VSS
T	VDD	VSS	QKB0#	VDDQ	DQB 3	VSS	DQB 4	DINV B0	VDD	DNU	VDD	DINV B1	DQB 22	VSS	DQB 21	VDDQ	QKB1#	VSS	VDD
U	VSS	VDDQ	Qvld B0	QKB0	VSS	DQB 2	VDDQ	DQB 0	VSS	VDDQ	VSS	DQB 18	VDDQ	DQB 20	VSS	QKB1	Qvld B1	VDDQ	VSS
V	VDD	DQB 13	VDDQ	VSS	DQB 17	VDDQ	DQB 1	VDDQ	VDD	PE#	VDD	VDDQ	DQB 19	VDDQ	DQB 35	VSS	VDDQ	DQB 31	VDD
W	VSS	VDDQ	VSS	DQB 5	VDDQ	DQB 7	VSS	DQB 8	VSS	ZQ/ZT	VSS	DQB 26	VSS	DQB 25	VDDQ	DQB 23	VSS	VDDQ	VSS

引脚定义

引脚名称	I/O	引脚说明
CK, CK#	输入时钟	地址 / 指令输入时钟。 CK 和 CK# 均是差分时钟输入。在 CK 的上升沿和下降沿上对所有控制信号和地址输入信号进行采样。在 CK 的上升沿上采样端口 A 的控制和地址输入，而在其下降沿上采样端口 B 的控制和地址输入。CK# 和 CK 之间的相位相差为 180 度。
A[x:0]	输入	地址输入。 在有效的读和写操作期间，在 CK 和 CK# 时钟的上升沿上进行采样。这些地址输入可用于在两个端口上进行的读和写操作。通过较低的两个地址引脚（A0、A1 和 A2）选择将被访问的组。这些地址输入也被视为组地址引脚。 对于（×36）数据宽度：使用地址引脚 A[19:0]，A[24:20] 引脚保留。 对于（×18）数据宽度：使用地址引脚 A[20:0]，A[24:20] 引脚保留。 保留的地址输入未被连接。它们可以被连接至高电平、低电平或处于悬空状态。
AP	输入	地址奇偶校验输入。 该输入用于为各地址引脚提供偶校验。 对于（×36）数据宽度：AP 提供偶校验给地址输入 A[20:0] 对于（×18）数据宽度：AP 提供偶校验给地址输入 A[21:0]
PE#	输出	地址奇偶校验错误标志。 如果检测到地址校验错误，该标志将被置为低电平。激活时，PE# 将保持低电平状态，直到通过配置寄存器指令被清除为止。
AINV	输入	地址和地址奇偶校验输入的地址反转引脚。 对于（×36）数据宽度：AINV 用以反转地址输入 A[20:0] 和地址奇偶校验输入（AP）。 对于（×18）数据宽度：AINV 用以地址输入 A[21:0] 和地址奇偶校验输入（AP）。
DKA[1:0]、DKA#[1:0]、DKB[1:0]、DKB#[1:0]	输入	数据输入时钟。 DKA[0] / DKA#[0] 分别控制 ×36 配置的 DQA[17:0] 输入和 ×18 配置的 DQA[8:0] 输入 DKA[1] / DKA#[1] 分别控制 ×36 配置的 DQA[35:18] 输入和 ×18 配置的 DQA[17:9] 输入 DKB[0] / DKB#[0] 分别控制 ×36 配置的 DQB[17:0] 输入和 ×18 配置的 DQB[8:0] 输入 DKB[1] / DKB#[1] 分别控制 ×36 配置的 DQB[35:18] 输入和 ×18 配置的 DQB[17:9] 输入
QKA[1:0]、QKA#[1:0]、QKB[1:0]、QKB#[1:0]	输出	数据输出时钟。 QKA[0] / QKA#[0] 分别控制 ×36 配置的 DQA[17:0] 输出和 ×18 配置的 DQA[8:0] 输出 QKA[1] / QKA#[1] 分别控制 ×36 配置的 DQA[35:18] 输出和 ×18 配置的 DQA[17:9] 输出 QKB[0] / QKB#[0] 分别控制 ×36 配置的 DQB[17:0] 输出和 ×18 配置的 DQB[8:0] 输出 QKB[1] / QKB#[1] 分别控制 ×36 配置的 DQB[35:18] 输出和 ×18 配置的 DQB[17:9] 输出
DQA[x:0]、DQB[x:0]	输入 / 输出	数据输入 / 输出。 双向数据总线。 对于（×36）数据宽度 — DQA _[35:0] ；DQB _[35:0] 对于（×18）数据宽度 — DQA _[17:0] ；DQB _[17:0]
DINVA[1:0]、DINVB[1:0]	输入 / 输出	DQ 数据总线的数据反转引脚。 DINVA[0] 分别覆盖 ×36 配置的 DQA[17:0] 和 ×18 配置的 DQA[8:0] DINVA[1] 分别覆盖 ×36 配置的 DQA[35:18] 和 ×18 配置的 DQA[17:9] DINVB[0] 分别覆盖 ×36 配置的 DQB[17:0] 和 ×18 配置的 DQB[8:0] DINVB[1] 分别覆盖 ×36 配置的 DQB[35:18] 和 ×18 配置的 DQB[17:9]
LDA#、LDB#	输入	同步负载输入。 LDA# 在 CK 时钟的上升沿上进行采样，则 LDB# 在 CK 时钟的下降沿上进行采样。LDA# 使能数据端口 A 的指令，则 LDB# 使能数据端口 B 的指令。当 LDx# 为低电平时，它将使能这些指令；当它为高电平时，则会禁用这些指令。禁用该指令时，将忽略新的指令，但仍继续进行内部操作。
RWA#、RWB#	输入	同步读 / 写输入。 RWA# 输入在 CK 时钟的上升沿上进行采样，则 RWB# 在 CK 时钟的下降沿上进行采样。RWA# 输入与 LDA# 输入同时使用，以选择读或写操作。类似的，RWB# 输入与 LDB# 输入同时使用，以选择读或写操作。
QVLDA[1:0]、QVLDB[1:0]	输出	输出数据有效的指示器。 QVLD 引脚表示有效的输出数据。QVLD 与 QKx 和 QKx# 边沿对齐。
ZQ/ZT	输入	输出阻抗匹配输入。 使用此输入调整器件输出，使其阻抗与系统数据总线的阻抗相对应。
CFG#	输入	配置位。 该引脚用于配置不同的模式寄存器。

引脚定义（续）

引脚名称	I/O	引脚说明
RST#	输入	异步低电平有效 RST。RST# 为低电平时，该引脚有效；RST# 为高电平时，该引脚无效。RST# 引脚具有内部下拉电阻。
LBK0#、LBK1#	输入	校正地址 / 指令 / 时钟的环回模式。
TMS	输入	JTAG 的测试模式选择输入引脚。如果电路中未使用 JTAG 功能，此引脚可以保持未连接状态。
TDI	输入	JTAG 的测试数据输入引脚。如果电路中未使用 JTAG 功能，此引脚可以保持未连接状态。
TCK	输入	JTAG 的测试时钟输入引脚。如果电路中未使用 JTAG 功能，此引脚必须连接到 VSS。
TDO	输出	JTAG 的测试数据输出引脚。如果电路中未使用 JTAG 功能，此引脚可以保持未连接状态。
TRST#	输入	JTAG 的测试复位输入引脚。如果系统中未使用 JTAG 功能，此引脚必须连接到 VDD。TRST# 输入仅适用于 JTAG 模式。
DNU	N/A	请勿使用。请勿使用这些引脚。
VREF	参考电压	参考电压输入。静态输入用于设置输入、输出和交流测量点的参考电平。
VDD	电源	器件内核的电源输入。
VDDQ	电源	器件输出的电源输入。
VSS	接地	器件的接地。

功能概述

QDR-IV XP SRAM 是一个能够以两字突发来访问数据的 SRAM，它备有两个独立的双向数据端口。下面内容介绍的是 QDR-IV XP SRAM 的操作。

时钟

时钟信号共有三组：CK/CK#、DKx/DKx# 和 QKx/QKx#，其中 x 可以为 A 或 B（表示相应的端口）。

CK/CK# 时钟与下面的地址和控制引脚相关联：A[24:0]、LDA#、LDB#、RWA#、RWB#。CK/CK# 时钟转换与地址和控制信号转换是中心对齐的。

DKx/DKx# 时钟与写数据相关联。当 DDR DQx 和 DINVx 引脚作为写数据的输入时，DKx/DKx# 时钟将会充当这些引脚的源中心时钟。

QKx/QKx# 时钟与读数据相关联。当双倍数据速率 DQx 和 DINVx 引脚作为读数据的输出时，QKx/QKx# 时钟将充当这些引脚的源同步时钟。

指令周期

QDR-IV XP SRAM 读和写指令由控制输入（LDA#、LDB#、RWA# 和 RWB#）以及地址总线驱动。

在输入时钟的上升沿上对端口 A 的控制输入（LDA# 和 RWA#）进行采样。在输入时钟的下降沿上对端口 B 的控制输入（LDB# 和 RWB#）进行采样。

对于端口 A：

当 LDA# = 0 和 RWA# = 1 时，将启动读操作。

当 LDA# = 0 和 RWA# = 0 时，将启动写操作。

在输入时钟的上升沿上对该地址进行采样。

对于端口 B：

当 LDB# = 0 和 RWB# = 1 时，将启动读操作。

当 LDB# = 0 和 RWB# = 0 时，将启动写操作。

在输入时钟的下降沿上对该地址进行采样。

读和写数据周期

从 CK 信号（与启动读指令的周期相应）的上升沿算起，在整整 8 个时钟周期内将读数据提供给 DQA 引脚。在总线上驱动第一个数据字的半周期前置位 QVLDA，并在总线上驱动最后一个数据字的半周期前取消激活它。紧随最后的数据字，时钟内的数据输出均是三态的。

从 CK 信号（与初始化读指令的周期相应）的下降沿算起，在正好八个时钟周期内向 DQB 引脚提供读数据。在总线上驱动第一个数据字的半个周期前激活 QVLDB，并在总线上驱动最后一个数据字的半周期前取消激活它。紧随最后的数据字，时钟内的数据输出均是三态的。

从 CK 信号（与初始化写指令的周期相应）的上升沿算起，在正好五个时钟周期内向 DQA 引脚提供写数据。

从 CK 信号（与初始化写指令的周期相应）的下降沿算起，在正好五个时钟周期内向 DQB 引脚提供写数据。

分组操作

QDR-IV XP SRAM 分为 8 个内部组。三个较低的地址引脚（A0、A1 和 A2）选择了将被访问的组。这些地址输入还被称为组地址引脚。

组访问规则

1. 在输入时钟的上升沿上，可以访问**任何组地址**。该地址与端口 A 相关联。
2. 在输入时钟的下降沿上，可以访问**任何其他组地址**。该地址与端口 B 相关联。
3. 如果端口 A 在输入时钟的上升沿上未发出指令，则端口 B 将会在输入时钟下降沿上访问**任何组地址**。
4. 从输入时钟周期的上升沿到输入时钟的下个上升沿，**没有地址限制**。端口 A 可以随时访问任何一组。

为了说明，该分组限制只应用于单时钟周期。由于在输入时钟的上升沿上对端口 A 地址进行采样，因此对端口 A 进行的访问不受任何限制。由于端口 B 地址在输入时钟的下降沿上被采样，因此端口 B 不能使用端口 A 所用的组。

分组冲突

1. 端口 A 的访问并不会导致分组冲突，只有端口 B 的访问会发生。
2. 如果端口 B 尝试访问端口 A 所访问的同一组，则会忽略端口 B 对存储器阵列的访问。端口 A 仍然正常进行访问。
3. 如果端口 B 的请求周期是写周期，那么根本不会表明已经发生了分组冲突。
4. 如果此周期是读周期，则不会生成 QVLDB 信号。各输出将保持三态。

地址和数据总线反转

为了减少发生同时切换噪声和 I/O 电流，QDR-IV XP SRAM 允许所有地址和数据引脚间的转换。

AINV 引脚指示是否转换了地址总线 A[24:0] 和地址奇偶校验位 AP。地址总线和奇偶校验位被视为一组。AINV 引脚的功能由存储器控制器控制。然而，系统设计中应使用下面规则。

- 对于一个 ×36 配置的器件，20 个地址引脚加上 1 个奇偶校验位均用于地址组中的 21 个信号。如果 '0' 的数量 ≥11，则控制器会将 AINV 设置为 1。因此，在每位期间，以同一方向进行切换的引脚数量不能超过 11。
- 对于 ×18 数据带宽的器件，21 个地址引脚和一个奇偶校验位均用于地址组中的 22 个信号。如果地址组中 '0' 的数量 ≥12，则控制器将 AINV 设置为 1。因此，在每位期间，12 个引脚以上不能以同一方向进行切换。

DINVx 和 DINVB 引脚指示是否反转了相应的 DQA 和 DQB 引脚。

- 对于 ×36 数据带宽的器件，每个端口的数据总线被拆分为有 18 个引脚的组。在任何已给的周期内，可以将每个 18 引脚的数据组驱动给不多于 10 个低电平引脚。如果数据组中 '0' 的数量 ≥10，则 DINV 被设置为 1。因此，在每位期间，10 个引脚以上不能以同一方向进行切换。
- 对于 ×18 数据宽度的器件，每个端口的数据总线可拆分为 9 个引脚的组。保证在任何已给的周期内，将每个 9 引脚数据组驱动到不超过 5 个低电平引脚。如果数据组中的 '0' 数量 ≥5，DINV 被设置为 1。因此，在每位期间，5 个引脚以上不能以同一方向进行切换。

AINV、DINVA[1:0]、DINVB[1:0] 都是高电平有效引脚。设置为 1 时，将反转其相应的总线。如果禁用了数据转换性能，则 DINVA/DINVB 的输出位始终被设置为 0。

通过各个配置寄存器，可以对这些功能进行编程，另外还可以为地址总线和数据总线独立使能或禁用它们。

在配置寄存器的读和写周期中，将忽略地址转换输入；当在数据总线驱动寄存器读取数据时，数据转换输出始终被驱动为 0。尤其，在 DQA[7:0] 上驱动寄存器读取数据，并将 DINVA[0] 位驱动为 0。所有其他 DQA/DQB 数据位和 DINVA/DINVB 位均为三态。此外，忽略地址奇偶校验输入（AP）。

地址奇偶校验

QDR-IV XP SRAM 提供一个地址奇偶校验特性，以提供地址总线上的完整性。提供了以下两个引脚用以支持该功能：AP 和 PE#。

通过该 AP 引脚可以在地址引脚上提供偶校验。设置 AP 值，使得 ‘1’ 的总数量（含 AP 位）是偶数。AP 引脚是 DDR 输入。

在内部，当检测到一个地址奇偶校验错误时，如果对存储器阵列进行写周期访问，则该访问被忽略。如果存储器阵列进行读访问，则继续进行。

在外部，通过 PE# 引脚指示已发生了地址奇偶校验错误。当检测到地址奇偶校验错误时，该引脚是低电平有效的，并在 RL 周期内被设置为 0。它保持激活状态，直到通过配置寄存器清除错误为止。

地址校验功能是可选的：可以使用配置寄存器来使能或禁用该功能。

在配置寄存器的读和写周期中，地址奇偶校验输入都被忽略。在这些周期内，将不会检查奇偶校验。

注意：存储器控制器首先要根据地址总线生成地址奇偶校验。然后，在地址总线和地址奇偶位上进行地址反转。

端口使能

QDR-IV XP SRAM 拥有两个独立的双向数据端口。然而，某些系统设计师可能会选择仅使用一个端口；或者使用一个端口当做只读的，另一个当做只写的。

如果在单向模式下使用了一个端口，请禁用数据时钟（DKx/DKx# 或 QKx/QKx#）以降低 EMI 对系统的影响。此外，需要禁用相应的控制输入（RWx#）。

可以通过编程端口 B 禁用它。如果不使用端口 B，必须进行下面各项操作：

- 必须禁用数据时钟（DKB/DKB# 和 QKB/QKB#）以及控制输入（LDB# 和 RWB#）。

- 所有数据总线信号必须为三态。其包括 DQB、DINVB 和 QVLDB。

- 所有与端口 B 相关联的输入信号可以保持为悬空状态，或者绑定为 1 或 0，而对端口 A 的操作不会产生任何不利影响。

- 未使用端口 B 时，所有与端口 B 相关联的输出信号均无效。

通过选择一个配置寄存器，可以指出一个端口是不被使用，还是正在在单向模式下运行。

片内终端电阻（ODT）操作

使能时，芯片的 ODT 电路将在所有 NOP 和写周期内被使能。在读周期中只暂时禁用 ODT，因为读取的数据被输出。

尤其，在数据总线上驱动第一个读取数据节拍的半个时钟周期之前禁用 ODT，并在整个读操作中保持其禁用状态。在数据总线上驱动最后一个读取数据节拍的半个时钟周期之后再次使能 ODT。

JTAG 操作

JTAG 接口使用以下 5 个信号：TRST#、TCK、TMS、TDI 和 TDO。在 JTAG 的正常操作中，此器件不可选用 TRST#。

在 JTAG 模式下，要满足下面条件：

- 禁用所有引脚的 ODT。

如果系统中不使用 JTAG 功能，则 TRST# 引脚必须连接到 VDD，同时 TCK 输入必须驱动为低电平或连接至 VSS。TMS、TDI 和 TDO 可以处于悬空状态。

上电与复位

QDR-IV HP SRAM 具有特定的上电和复位要求，以保证操作可靠。

上电序列

- 在应用 V_{DDQ} 之前，先应用 V_{DD}。

- 在应用 V_{REF} 之前或应用该 V_{REF} 的同时应用 V_{DDQ}。

复位序列

请参考复位时序图（第 41 页上的图 16）。

1. 上电时，除了 RST# 和 TRST#（在 t_{PWR} 时间内必须为低电平）以外，所有输入可能都处于未定义状态。
2. 第一个需要驱动到器件的信号是输入时钟（CK/CK#），在 t_{PWR} 期间，该信号可能不稳定。
3. 当输入时钟已经稳定下来以后，所有的控制输入应被驱动到一个有效的值，具体如下：
 - a. RST# = 0
 - b. CFG# = 1
 - c. LBK0# = 1
 - d. LBK1# = 1
 - e. LDA# = 1
 - f. LDB# = 1
4. 复位仍保持激活状态，但至少要在 200 μ s（ t_{RSS} ）的时间内，所有其他控制输入均被取消激活。
5. 在复位的上升沿上，各个地址位 A[13:0] 会被采样，以加载 ODT 值以及端口使能值。复位后，将启动器件的内部操作。这包括 PLL 初始化、复位和内部寄存器等操作。
6. 然而，所有外部控制信号至少在 400000 的时钟周期（ t_{RSH} ）内必须保持取消激活的状态。在这段时间中，所有其他信号（数据总线和地址总线）应被驱动到一个有效的值。所有输入到器件的输入应被驱动到一个有效的水平。
7. 然后，器件会处在正常操作模式，并能够对控制输入做出响应。

一般情况下，在一个复位顺序后，系统会开始执行培训顺序，包括下面一节中所概述的步骤。

然而，系统可随时激活 RST#，并且系统需要在复位序列后开始正常的读 / 写操作，而无需经过另一个培训序列。在对 RST# 取消激活的 t_{RSH} 期间后，芯片应能够立即接受正常的读 / 写操作。

PLL 复位操作

配置寄存器包含一位用以复位 PLL。未使能 PLL 时不支持运行 QDR-IV XP 器件，即禁用 PLL 时不保证时序特性。然而，仍需要该位以允许系统能够复位 PLL 锁定电路。

首先将 PLL 复位位编程为 1 以禁用 PLL，然后将该位清除为 0 以使能 PLL，这样即可复位 PLL。进行这些步骤之后，PLL 将重新锁定输入时钟。需要 t_{PLL} 的等待时间。

工作模式

QDR-IV XP 具有以下三个独特的操作模式：

1. 配置
2. 环回
3. 存储器访问

根据控制信号 CFG#、LBK0#、LBK1#、LDA#、LDB# 的电平定义上述模式。

目的是为了使这些操作模式相互排斥。换句话说，一个操作模式不能与其他操作模式同时进行。

对于在不合适的时间内不经意激活控制信号，将**不提供任何优先级**。内部芯片的行为**未被定义**，以避免不正确地确认控制信号。系统**必须**严格遵守下面一节所定义的正确模式转换，以让器件能够正常操作。

配置

当激活 CFG# 信号时，器件会进入配置模式。在进入该模式前至少 32 个时钟周期内，不应执行存储器访问或环回模式。

在该模式下，千万不要激活 LDB#、LBK0# 和 LBK1# 等控制信号。然而，可以使用 LDA# 来执行实际的寄存器读和写操作。

在退出该模式后至少 32 个时钟周期内，不应执行存储器访问或环回模式。

环回

当激活 LBK0# 和 / 或 LBK1# 信号时，会进入环回模式。在进入该模式前至少 32 个时钟周期内，不应执行存储器访问或配置模式。

刚进入这种模式时，器件可接收用于培训的切换有效输入之前需要额外 32 个时钟周期。

在该模式下，可切换 LDA# 和 LDB#，以进行培训。

在退出该模式后至少 32 个时钟周期内，不应执行存储器访问或配置模式。

在环回模式下，将不使用数据转换。即使配置寄存器的此特性已使能，在环回模式下仍暂时忽略此转换。

存储器访问

如果未激活 CFG#、LBK0# 和 LBK1# 等控制信号，则器件会处于存储器访问模式。该模式是器件的正常工作模式。

在该模式下，当激活了 LDA# 和 / 或 LDB# 信号时，将执行一个存储器访问周期。执行存储器访问周期的过程中，千万不要激活 CFG#、LBK0# 和 LBK1# 等控制信号。

在退出该模式前至少 32 个时钟周期内，不应执行存储器访问。

校正培训序列

QDR-IV XP SRAM 支持存储器控制器能够为高速操作校正信号。如果需要校正，存储器控制器会提供校正功能。在进行校正中，QDR-IV XP SRAM 会在环回模式下工作。

请参见环回时序图（第 40 页上的图 15）。

通过以下三个步骤，可以实现校正

1. 控制 / 地址校正
2. 读数据校正
3. 写数据校正

控制 / 地址校正

将 LBK0# 设定为 0，和 / 或 LBK1# 设定为 0。

此时将环回下面 39 个信号：

■ DKA0、DKA0#、DKA1、DKA1#

■ DKB0、DKB0#、DKB1、DKB1#

■ LDA#、RWA#、LDB#、RWB#

■ A[24:0]、AINV、AP

DKA0、DKA0#、DKA1#、DKB0、DKB0#、DKB1 和 DKB1# 等时钟输入均为自由运行的时钟输入，并在培训序列中仍继续运行。此外，还需要 tPLL 的等待时间。

请参考第 14 页上的表 1，了解环回信号的映射情况。

对于每个被环回的引脚，通过使用输入时钟（CK/CK#）可在上升沿和下降沿上对输入引脚进行采样。

在输出时钟（QKA/QKA#）的上升沿上采样的输出值便是在输入时钟的上升沿上所采样的值。

在输出时钟（QKA/QKA#）的下降沿上采样的输出值便是在输入时钟的下降沿上所采样的反转值。

从输入引脚到 DQA 输出的延迟是 t_{BL} ，其时长为 16 个时钟周期。

读数据校正

此时，地址、控制和数据输入时钟都已经得到校正了。

读数据校正需要使用常数值将培训模型写入到存储器内。

通过使用未校正的 DQA 和 / 或 DQB 信号和写入培训使能位，可以将下面复杂的数据模型写入到存储器内。

将写入培训使能位设置为 1：

在写数据周期中：

第一个数据节拍（第一个数据突发）是从数据总线采样的。

第二个数据节拍（第二个数据突发）是从数据总线采样的反转样本。

将写入培训使能位设置为 0：

在写数据周期中：

第一和第二个数据节拍都从数据总线采样的，这是正常的操作。

写入培训使能位对读数据周期不产生任何影响。

将数据模型写入到存储器内后，标准的读指令允许系统能够校正与 QK/QK# 数据输出时钟有关的下面信号：

DQA、DINVA、QVLDA、DQB、DINVB、QVLDB

写数据校正

使用读数据指令以后，通过对存储器的写数据指令可校正写数据。

所校正的读数据路径用于确认器件是否已经正确地接收了写数据。

这样允许系统够校正与 DK/DK# 输入数据时钟有关的下面信号：

DQA、DINVA、DQB、DINVB

I/O 信号标准

QDR-IV XP SRAM 支持一些 I/O 信号标准，用户可随意进行编程选择标准。它们分别为：

■ 1.2 V 和 1.25 V HSTL/SSTL

■ 1.1 V 和 1.2 V POD

通过对地址总线输入进行采样，可在复位的上升沿上编程 I/O 信号标准。编程后，数值就不可更改。仅在另一个复位的上升沿上才能更改该值。

除了在 LVCMOS 信令一节中被列为 LVCMOS 的六个引脚以外，所有地址、控制和数据 I/O 信号都会进行编程，以符合 HSTL/SSTL、或 POD 标准。

HSTL/SSTL 信令

V_{DDQ} 电压为 1.2 V 和额定电压为 1.25 V 时，HSTL/SSTL 受支持。

可以将 ODT 终止值设置为：

■ 40、60 或 120 欧姆（参考电阻为 220 欧姆）

■ 50 或 100 欧姆（参考电阻为 180 欧姆）。

可以将驱动强度编程为：

■ 40 或 60 欧姆（参考电阻为 220 欧姆）

■ 50 欧姆（参考电阻为 180 欧姆）

通过 HSTL/SSTL 信令，可以支持一个 180 或 220 欧姆的电阻。

POD 信令

V_{DDQ} 电压为 1.1 V 和额定电压为 1.2 V 时，POD 受支持。

可以将 ODT 终止值设置为：

■ 50 或 100 欧姆（参考电阻为 180 欧姆）

■ 60 或 120 欧姆（参考电阻为 220 欧姆）

可以将驱动强度编程为：

■ 50 欧姆（参考电阻为 180 欧姆）

■ 40 或 60 欧姆（参考电阻为 220 欧姆）

通过 POD 信令，可以支持一个 180 或 220 欧姆的参考电阻。

LVCMOS 信令

固定设置六个 I/O 信号，以能够在额定电压为 1.25 V 时使用 LVCMOS 信令。这些信号参考内核供电电压 V_{DD} 。它们分别为：

RST#、TRST#、TCK、TMS、TDI 和 TDO

所有五个 JTAG 信号和主复位输入都是 1.25 V 的 LVCMOS 信号。

另外，在这些 LVCMOS 信号上，ODT 始终被禁用。

初始化

QDR-IV XP SRAM 初始化后才能在正常操作模式下运行。进行初始化时需要使用下面四个特殊引脚：

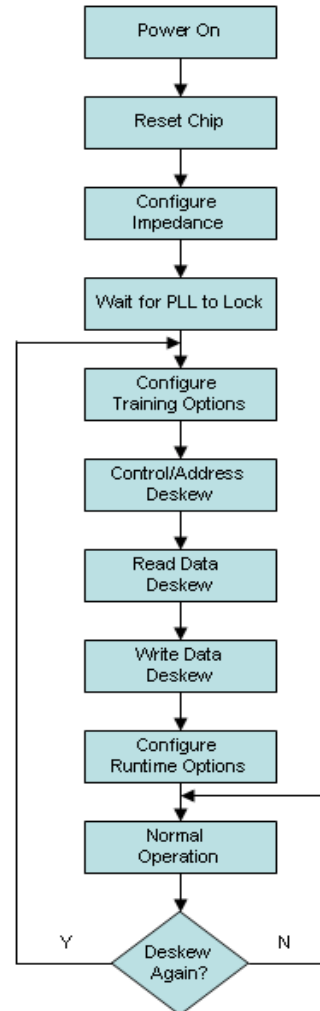
- RST# 引脚，用于复位器件

- CFG# 引脚，用于编程配置寄存器

- LBK0# 和 LBK1# 引脚，用于环回功能

下面的流程图显示的是初始化过程：

图 3. 描述初始化过程的流程图



上电

根据“上电序列”一节中所述的内容，向芯片供电。

复位芯片

根据“复位序列”一节中所介绍的内容复位QDR-IV XP SRAM。

配置阻抗

确认配置（CFG# = 0）并对阻抗控制寄存器进行编程。

等待 PLL 锁相

由于输入阻抗被更新，所以使 PLL 时间（ t_{PLL} ）锁存到输入时钟。

配置培训选项

这时，需要对地址和数据反转选项进行编程。另外，还需要使能写培训功能。

确认配置（CFG# = 0）和编程：

- a. 写培训（打开）

- b. 地址反转使能
- c. 数据反转使能

控制/地址校正

这时，存储器控制器可以执行控制和地址校正。

读数据校正

校正控制和地址后，将校正读数据路径，如“校正培训序列”一节中所述。

写数据校正

校正读数据路径后，将校正写数据路径。

配置运行时间选项

完成培训后，请禁用写培训功能。然后，使能奇偶校验选项。

确认配置（CFG# = 0）和编程：

- a. 写培训（关闭）
- b. 奇偶校验使能

正常操作

如果系统检测到需要重新进行校正，那么需要从‘配置培训选项’这一步重新开始操作。下表定义了环回映像情况：

表 1. 环回信号映射

输入引脚 LBK0# = 0 LBK1# = 0	输入引脚 LBK0# = 0 LBK1# = 1	输入引脚 LBK0# = 1 LBK1# = 0	输出引脚
A0	A13	DKA0	DQA0
A1	A14	DKA0#	DQA1
A2	A15	DKA1	DQA2
A3	A16	DKA1#	DQA3
A4	A17	LDA#	DQA4
A5	A18	RWA#	DQA5
A6	A19	DKB0	DQA6
A7	A20	DKB0#	DQA7
A8	A21	DKB1	DQA8
A9	A22	DKB1#	DQA9
A10	A23	LDB#	DQA10
A11	A24	RWB#	DQA11
A12	AINV	AP	DQA12

配置寄存器

QDR-IV XP SRAM 拥有多个内部寄存器。系统使用特殊的配置周期可以对它们进行编程。这些寄存器可用于使能并控制若干选项，如本节中所述。所有寄存器的宽度均为 8 位。只要使用地址引脚定义寄存器地址和寄存器写数据，即可进行写操作。对于读操作，会在数据端口 A 的输出引脚上提供寄存器读数据。更多详细信息，请参考第 39 页上的图 14。

各地址引脚 A[9:0] 都在 RST# 的上升沿上采样。采样值会变为特定位在下面定义的寄存器中的复位值。复位操作一结束后就立即使用此值来设置终止、阻抗和端口配置值。以后通过一个寄存器的写操作可以覆盖这些值。

一旦发生奇偶校验错误，**第一个**错误的完整地址和端口 A/B 的错误位均被记录到寄存器 4、5、6 和 7 中。端口 A/B 错误位表示地址奇偶错误来自哪个端口（0：表示端口 A，1：表示端口 B）。持续锁存该信息，直到向寄存器 3 中的地址奇偶错误清除位写入 1 来清除该信息为止。

通过两个计数器，可以表示是否发生了多个地址奇偶错误。端口 A 错误计数就是端口 A 地址上的奇偶错误数量。同样，端口 B 错误计数就是端口 B 地址上的奇偶错误数量。每个计数器将独立计数到最大值 3，然后停止计数。这些计数器均为自由运行；向寄存器 3 中的地址奇偶错误清除位写入 1，可复位它们。

配置寄存器的说明

表 2. 配置寄存器表

寄存器地址	说明
0	终端控制寄存器
1	阻抗控制寄存器
2	选项控制寄存器
3	功能控制寄存器
4	地址奇偶状态寄存器 0
5	地址奇偶状态寄存器 1
6	地址奇偶状态寄存器 2
7	地址奇偶状态寄存器 3

配置寄存器的定义

表 3. 地址 0：终端控制寄存器（读 / 写）

描述	ODT 全局使能	ODT/ZQ 自动更新	地址 / 指令 输入组 IU[2]	地址 / 指令 输入组 IU[1]	地址 / 指令 输入组 IU[0]	时钟输入组 KU[2]	时钟输入组 KU[1]	时钟输入组 KU[0]
位的位置	7	6	5	4	3	2	1	0
复位值	A7	A6	A5	A4	A3	A2	A1	A0

注意：如果修改 ODT/ZQ 配置，则需要使能 ODT/ZQ 自动更新功能

表 4. 地址 1：阻抗控制寄存器（读 / 写）

功能	下拉组 PD[1]	下拉组 PD[0]	上拉组 PU[1]	上拉组 PU[0]	未使用	数据输入组 QU[2]	数据输入组 QU[1]	数据输入组 QU[0]
位的位置	7	6	5	4	3	2	1	0
复位值	1	0	1	0	0	A10	A9	A8

表 5. 地址 2：选项控制寄存器（读 / 写位 7-3）（只读位 2-0）^[2]

功能	写培训使能	数据反转 使能	地址反转 使能	地址奇偶 使能	PLL 复位	I/O 类型	端口使能 [1]	端口使能 [0]
位的位置	7	6	5	4	3	2	1	0
复位值	0	0	0	0	0	A13	A12	A11

表 6. 地址 3：功能控制寄存器（只写）

描述	未使用	未使用	未使用	未使用	未使用	未使用	未使用	清除地址奇 偶校验错误 标志
位的位置	7	6	5	4	3	2	1	0
复位值	0	0	0	0	0	0	0	0

注意：

- 位 2-0 是只读位，只能在复位上升沿时进行修改

表 7. 地址 4: 地址奇偶状态寄存器 0 (只读)

功能	端口 B 错误计数 (1:0)	端口 A 错误计数 (1:0)	端口 A/B 错误	AINV 位	未使用	未使用
位的位置	7:6	5:4	3	2	1	0
复位值	00	00	0	0	0	0

表 8. 地址 5: 地址奇偶状态寄存器 1 (只读)

功能	地址 (23:16)
位的位置	7:0
复位值	00000000
注意: 未使用的地址位置将读取为 0	

表 9. 地址 6: 地址奇偶状态寄存器 2 (只读)

功能	地址 (15:8)
位的位置	7:0
复位值	00000000

表 10. 地址 7: 地址奇偶状态寄存器 3 (只读)

功能	地址 (7:0)
位的位置	7:0
复位值	00000000

I/O 类型和端口使能位的定义

表 11. 在地址 2 中指定的 I/O 类型的位定义：选项控制寄存器

I/O 类型	功能
0	HSTL / SSTL
1	POD

表 12. 地址 2 中指定的端口使能位定义：选项控制寄存器

端口使能 [1:0]		功能	端口 B 模式	端口 A 模式	端口 B 时钟与控制	端口 A 时钟与控制
0	0	固定端口模式	只写	只读	DKB — 开 QKB — 关 LDB# — 开 RWB# — 关	DKA — 关 QKA — 开 LDA# — 开 RWA# — 关
0	1	仅使能端口 A	禁用	使能	DKB — 关 QKB — 关 LDB# — 关 RWB# — 关	DKA — 开 QKA — 开 LDA# — 开 RWA# — 开
1	0	不支持	禁用	禁用	DKB — 关 QKB — 关 LDB# — 关 RWB# — 关	DKA — 关 QKA — 关 LDA# — 关 RWA# — 关
1	1	使能两个端口	使能	使能	DKB — 开 QKB — 开 LDB# — 开 RWB# — 开	DKA — 开 QKA — 开 LDA# — 开 RWA# — 开

ODT 终止位定义
表 13. 指定在‘地址 0’的时钟输入组的位定义：终端控制寄存器

ODT 全局使能	KU[2:0]			除数值	终止值 HSTL/ SSTL 模式		终止值 POD 模式	
					ZT 180 欧姆	ZT 220 欧姆	ZT 180 欧姆	ZT 220 欧姆
0	X	X	X	—	禁用	禁用	禁用	禁用
1	0	0	0	—	禁用	禁用	禁用	禁用
1	0	0	1	8.33%	不支持	不支持	不支持	不支持
1	0	1	0	12.50%	不支持	不支持	不支持	不支持
1	0	1	1	16.67%	不支持	40 欧姆	不支持	不支持
1	1	0	0	25%	50 欧姆	60 欧姆	50 欧姆	60 欧姆
1	1	0	1	50%	100 欧姆	120 欧姆	100 欧姆	120 欧姆
1	1	1	0	—	不支持	不支持	不支持	不支持
1	1	1	1	—	不支持	不支持	不支持	不支持

注意：终止值的精确度为 +/- 15%
ZQ 容差为 1%

表 14. 地址 0 中地址 / 指令输入组的位定义：终端控制寄存器

ODT 全局使能	IU[2:0]			除数值	终止值 HSTL/ SSTL 模式		终止值 POD 模式	
					ZT 180 欧姆	ZT 220 欧姆	ZT 180 欧姆	ZT 220 欧姆
0	X	X	X	—	禁用	禁用	禁用	禁用
1	0	0	0	—	禁用	禁用	禁用	禁用
1	0	0	1	8.33%	不支持	不支持	不支持	不支持
1	0	1	0	12.50%	不支持	不支持	不支持	不支持
1	0	1	1	16.67%	不支持	40 欧姆	不支持	不支持
1	1	0	0	25%	50 欧姆	60 欧姆	50 欧姆	60 欧姆
1	1	0	1	50%	100 欧姆	120 欧姆	100 欧姆	120 欧姆
1	1	1	0	—	不支持	不支持	不支持	不支持
1	1	1	1	—	不支持	不支持	不支持	不支持

注意：终止值的精确度为 +/- 15%
ZQ 容差为 1%

表 15. 地址 1 指定的数据输入组的位定义：阻抗控制寄存器

ODT 全局使能	QU[2:0]			除数值	终止值 HSTL/ SSTL 模式		终止值 POD 模式	
					ZT 180 欧姆	ZT 220 欧姆	ZT 180 欧姆	ZT 220 欧姆
0	X	X	X	—	禁用	禁用	禁用	禁用
1	0	0	0	—	禁用	禁用	禁用	禁用
1	0	0	1	8.33%	不支持	不支持	不支持	不支持
1	0	1	0	12.50%	不支持	不支持	不支持	不支持
1	0	1	1	16.67%	不支持	40 欧姆	不支持	不支持
1	1	0	0	25%	50 欧姆	60 欧姆	50 欧姆	60 欧姆
1	1	0	1	50%	100 欧姆	120 欧姆	100 欧姆	120 欧姆
1	1	1	0	—	不支持	不支持	不支持	不支持
1	1	1	1	—	不支持	不支持	不支持	不支持

注意：终止值的精确度为 +/- 15%
ZQ 容差为 1%

驱动强度位定义

表 16. 地址 1 中指定的上拉驱动程序的位定义：阻抗控制寄存器

PU[1:0]		除数值	阻抗值 HSTL/ SSTL 模式		阻抗值 POD 模式	
			ZT 180 欧姆	ZT 220 欧姆	ZT 180 欧姆	ZT 220 欧姆
0	0	14.17%	不支持	不支持	不支持	不支持
0	1	16.67%	不支持	40 欧姆	不支持	40 欧姆
1	0	25%	50 欧姆	60 欧姆	50 欧姆	60 欧姆
1	1	—	不支持	不支持	不支持	不支持
注意：终止值的精确度为 +/- 15% ZQ 容差为 1%						

表 17. 下拉驱动的位定义

PD[1:0]		除数值	阻抗值 HSTL/ SSTL 模式		阻抗值 POD 模式	
			ZT 180 欧姆	ZT 220 欧姆	ZT 180 欧姆	ZT 220 欧姆
0	0	14.17%	不支持	不支持	不支持	不支持
0	1	16.67%	不支持	40 欧姆	不支持	40 欧姆
1	0	25%	50 欧姆	60 欧姆	50 欧姆	60 欧姆
1	1	—	不支持	不支持	不支持	不支持
注意：终止值的精确度为 +/- 15% ZQ 容差为 1%						

IEEE 1149.1 串行边界扫描 (JTAG)

这些 QDR-IV XP SRAM 在 FCBGA 封装中包含了串行边界扫描测试端口 (TAP)。此部件完全符合 IEEE 标准 #1149.1-2001。在 JTAG 模式下, 禁用所有引脚的 ODT 特性。

如果电路中不使用 JTAG 功能, 则 TCK 输入必须驱动为低电平或连接至 VSS。TRST#、TMS、TDI 和 TDO 可能会处于悬空状态。将在 TRST#、TMS 和 TDI 输入上实现内部上拉电阻, 以确保在 tPWR 期间这些输入均保持高电平。

测试存取端口

测试时钟 (TCK)

测试时钟仅能与 TAP 控制器配合使用。所有输入都在 TCK 的上升沿上被捕获。所有输出都从 TCK 的下降沿上被输出。

测试模式选择 (TMS)

TMS 输入用于向 TAP 控制器提供指令, 并在 TCK 的上升沿上被采样。如果未使用 TAP, 此引脚可以保持未连接状态。此引脚在内部上拉, 从而产生逻辑高电平。

测试数据输入 (TDI)

TDI 引脚用于以串行方式将信息输入到寄存器中, 并可以连接到任何寄存器的输入。TDI 和 TDO 之间的寄存器由加载到 TAP 指令寄存器中的指令进行选择。有关加载指令寄存器的信息, 请参见第 22 页上的图 4。TDI 在内部上拉。如果未使用 TAP, 此引脚可以保持未连接状态。TDI 连接到任何寄存器的最高有效位 (MSB)。

测试数据输出 (TDO)

TDO 输出引脚用于以串行方式从寄存器输出时钟数据。输出有效, 这取决于 TAP 状态机的当前状态 (请参见第 26 页上的指令代码)。输出会在 TCK 的下降沿上改变。TDO 连接到任何寄存器的最低有效位 (LSB)。

测试复位 (TRST#)

TRST# 输入引脚用于复位 TAP 控制器。

另外, 通过将 TMS 在 5 个 TCK 上升沿的时间内强制置为高电平 (V_{DD}), 即可进行复位。

此复位不会影响 SRAM 的工作, 并且在 SRAM 工作期间执行。在加电时, TAP 会在内部复位, 以确保 TDO 处于高阻态。

TAP 寄存器

此类寄存器位于 TDI 和 TDO 引脚之间, 用于扫描 SRAM 测试电路的数据输入和输出。指令寄存器每次只能选择一个寄存器。在

TCK 的上升沿上, 数据会以串行方式加载到 TDI 引脚。在 TCK 的下降沿上, 数据会从 TDO 引脚输出。

指令寄存器

三位指令会以串行方式加载到指令寄存器中。此寄存器在置于 TDI 和 TDO 引脚之间时被加载, 如第 23 页上的图 5 所示。在加电时, 指令寄存器会加载 IDCODE 指令。即使控制器处于 RST (复位) 状态, 也会加载 IDCODE 指令, 如上一节所述。

当 TAP 控制器处于 Capture-IR 状态时, 两个最低有效位会以二进制的 '01' 值加载, 以便实现模块级别的串行测试路径故障隔离。

旁路寄存器

当数据以串行方式写入寄存器时, 跳过某些芯片可能会节省时间。旁路寄存器为单比特寄存器, 可置于 TDI 和 TDO 引脚之间, 从而使数据在写入 SRAM 时具有较小的延迟。执行 BYPASS 指令时, 旁路寄存器会置为低电平 (VSS)。

边界扫描寄存器

边界扫描寄存器连接到 SRAM 上的所有输入和输出引脚。扫描寄存器中还包含一些无连接 (NC) 引脚, 以便供更高密度的器件使用。

当 TAP 控制器处于 Capture-DR 状态时, 边界扫描寄存器会加载 RAM 输入和输出环的内容。当控制器转入 Shift-DR 状态后, 该寄存器会被置于 TDI 和 TDO 引脚之间。EXTEST、SAMPLE/PRELOAD 和 SAMPLE Z 指令用于捕获输入和输出环的内容。

第 27 页上的边界扫描顺序显示了各个位的连接顺序。每个位都对应于 SRAM 封装上的一个管脚。寄存器的 MSB 连接到 TDI, LSB 连接到 TDO。

标识 (ID) 寄存器

当指令寄存器中加载了 IDCODE 指令时, ID 寄存器会在 Capture-DR 状态期间加载供货商特定的 32 位代码。IDCODE 已硬连线到 SRAM 中, 当 TAP 控制器处于 Shift-DR 状态时, 可以将其读出。ID 寄存器具有供货商代码和第 26 页上的标识寄存器定义中所述的其他信息。

TAP 指令集

三位指令寄存器可实现八个不同的指令。第 26 页上的指令代码中列出了所有组合。其中三个指令列为了 RESERVED, 请勿使用这些指令。本节将详细说明其他五个指令。

当指令寄存器置于 TDI 和 TDO 之间时, 这些指令会在 Shift-IR 状态期间加载到 TAP 控制器中。在此状态期间, 指令会通过 TDI 和 TDO 引脚被写入指令寄存器。要在写入指令后执行指令, 必须使 TAP 控制器转入 Update-IR 状态。

IDCODE

IDCODE 指令用于将供货商特定的 32 位代码加载到指令寄存器中。它还会将指令寄存器置于 TDI 和 TDO 引脚之间，并会在 TAP 控制器进入 Shift-DR 状态后，将 IDCODE 移出器件。在加电时，或每当 TAP 控制器处于 Test-Logic-RST 状态时，IDCODE 指令都会加载到指令寄存器中。

SAMPLE Z

当 TAP 控制器处于 Shift-DR 状态时，SAMPLE Z 指令会将边界扫描寄存器置于 TDI 和 TDO 引脚之间。SAMPLE Z 指令会将输出总线置于高阻状态，直到在 Update-IR 状态期间提供了下一条指令为止。一旦执行了该指令，将使能端口 A 和端口 B。

SAMPLE/PRELOAD

SAMPLE/PRELOAD 是 1149.1 强制指令。当 SAMPLE/PRELOAD 指令加载到指令寄存器中并且 TAP 控制器处于 Capture-DR 状态时，边界扫描寄存器中会捕获输入和输出引脚上数据的快照。

请注意，TAP 控制器时钟的最高工作频率仅为 20 MHz，而 SRAM 时钟的工作频率要比它高一个数量级。由于在时钟频率方面存在较大差距，因此在 Capture-DR 状态期间，输入或输出可能会出现跃变。TAP 则可能会在跃变（半稳态）期间尝试捕获信号。虽然这并不会损坏器件，但无法保证捕获到的值是正确的，并且结果可能无法重复。

为了保证边界扫描寄存器捕获到正确的信号值，SRAM 信号必须在足够长的时间内保持稳定，以达到 TAP 控制器的捕获建立加保持时间（ t_{CS} 和 t_{CH} ）的要求。如果在设计上无法在 SAMPLE/PRELOAD 指令期间停止（或减慢）时钟，则可能无法正确捕获 SRAM 时钟输入。即使存在这一问题，仍可以捕获所有其他信号，只要忽略边界扫描寄存器中捕获的 CK 和 CK 的值即可。

捕获数据后，通过将 TAP 置于 Shift-DR 状态，可以读出数据。这会将边界扫描寄存器置于 TDI 和 TDO 引脚之间。

在选择另一个边界扫描测试操作之前，PRELOAD 用于在边界扫描寄存器单元的已锁存并行输出处放置一个初始数据样本。

必要时，SAMPLE 和 PRELOAD 阶段的数据读写可以并发执行，即可以在读出所捕获数据的同时，读入预加载的数据。

BYPASS

当 BYPASS 指令加载到指令寄存器中并且 TAP 处于 Shift-DR 状态时，旁路寄存器会被置于 TDI 和 TDO 引脚之间。BYPASS 指令的优势是当模块上有多个器件连接在一起时，可以缩短边界扫描路径。

EXTEST

EXTEST 指令用于通过系统输出引脚输出预加载的数据。在 Shift-DR 控制器状态下，此指令还会将用于串行访问的边界扫描寄存器置于 TDI 和 TDO 之间。一旦执行了该指令，将使能端口 A 和端口 B。

EXTEST 输出总线三态模式

IEEE 标准 1149.1 强制规定，TAP 控制器需要能够将输出总线置于三态模式。

边界扫描寄存器含有输出使能控制位（即第 49 位和第 50 位）。第 49 位使能了 DQB 的输出引脚，第 50 位使能了 DQA 和 PE# 引脚。

当这些扫描单元（称为“外测试输出总线三态”）在 TAP 控制器处于 Update-DR 状态期间被锁存到预加载寄存器中时，如果输入 EXTEST 作为当前指令，则这些单元会直接控制输出（Q 总线）引脚的状态。在置于高电平时，它将允许输出缓冲器控制输出总线。在置于低电平时，此位会将输出总线置于高阻态。

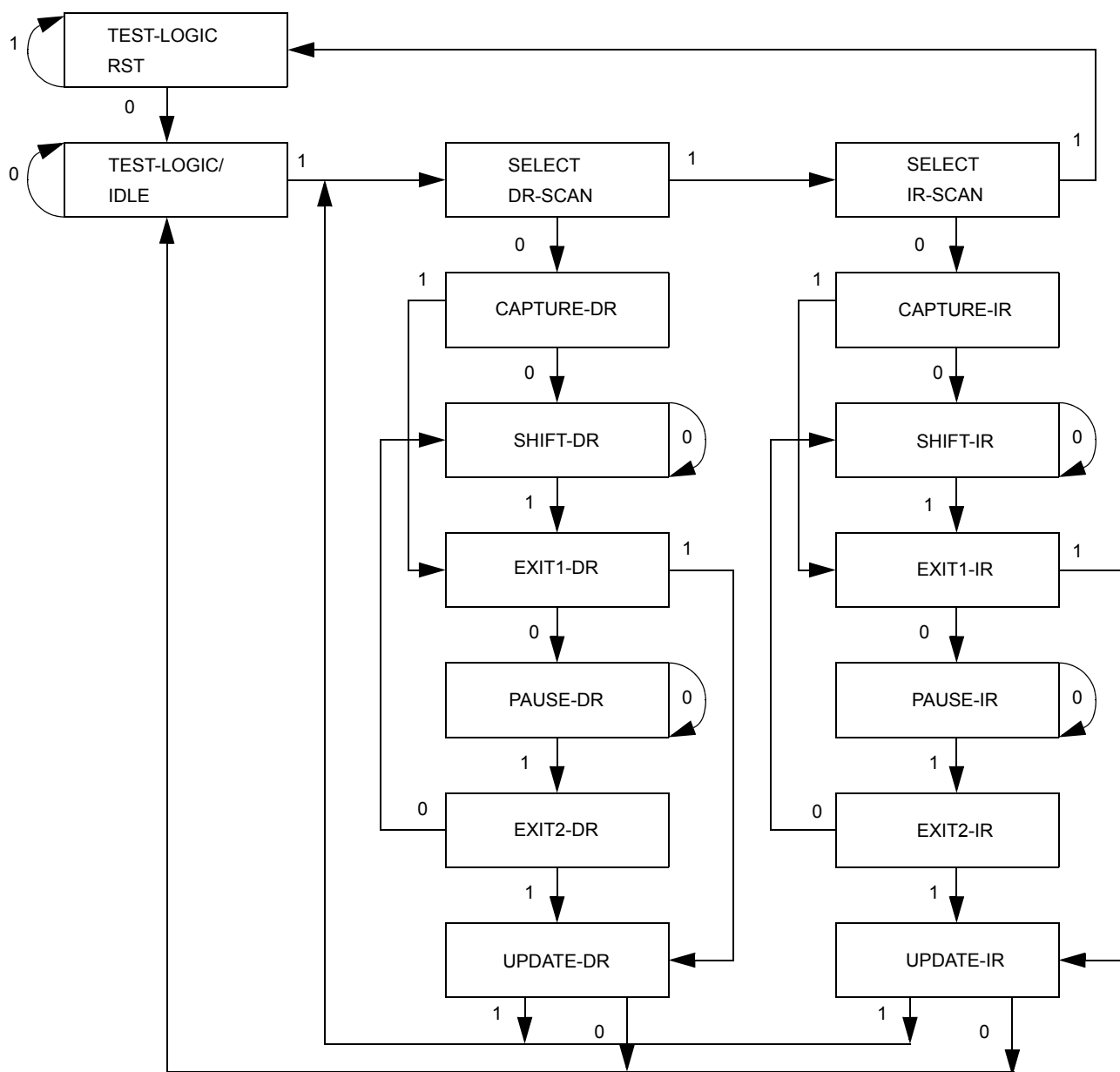
通过输入 SAMPLE/PRELOAD 或 EXTEST 指令，然后在 Shift-DR 状态期间将所需的位读入到此单元中，即可设置这些位。在 Update-DR 期间，加载到该移位寄存器单元中的值会被锁存到预加载寄存器中。输入 EXTEST 指令后，这些位会直接控制输出 Q 总线引脚。请注意，这些位都会预置为低电平，以便在器件加电时，以及当 TAP 控制器处于 Test-Logic-RST 状态时，禁用输出。

保留

这些指令尚未实现，但可以留作日后使用。请勿使用这些指令。

TAP 控制器状态图

图 4. TAP 控制器状态图 [2]

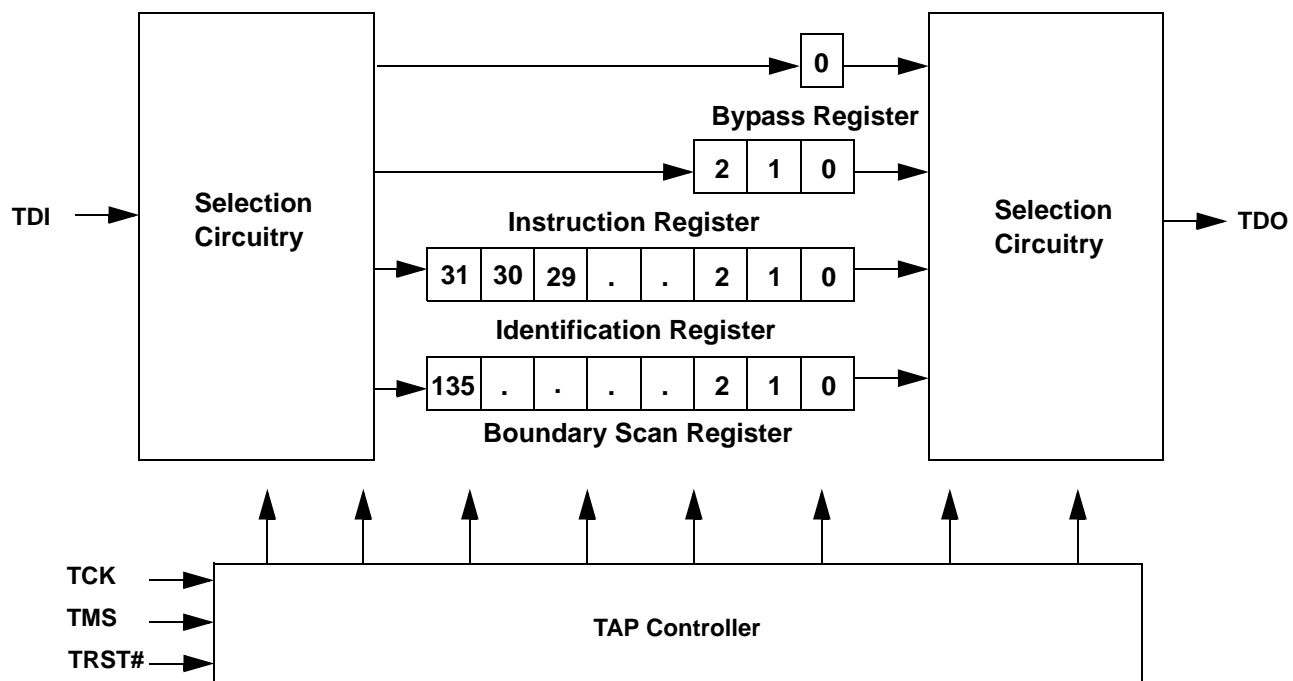


注意:

3. 每个状态旁边的 0/1 代表 TCK 上升沿上对应的 TMS 的值。

TAP 控制器框图

图 5. TAP 控制器框图



TAP 的电气特性

超出工作范围

参数	说明	测试条件	最小值	最大值	单位
V_{OH}	LVC MOS 高电平输出电压	$I_{OH} = 100 \mu A$	$V_{DD} \times 0.8$	—	V
V_{OL}	LVC MOS 低电平输出电压	$I_{OL} = 100 \mu A$	—	$V_{DD} \times 0.2$	V
V_{IH}	LVC MOS 高电平输入电压 (直流)		$V_{DD} \times 0.7$	$V_{DD} + 0.2$	V
V_{IL}	LVC MOS 低电平输入电压 (直流)		-0.2	$V_{DD} \times 0.3$	V
I_X	LVC MOS 输入漏电流		—	10	mA
I_{OZ}	LVC MOS 输出漏电流		—	10	mA

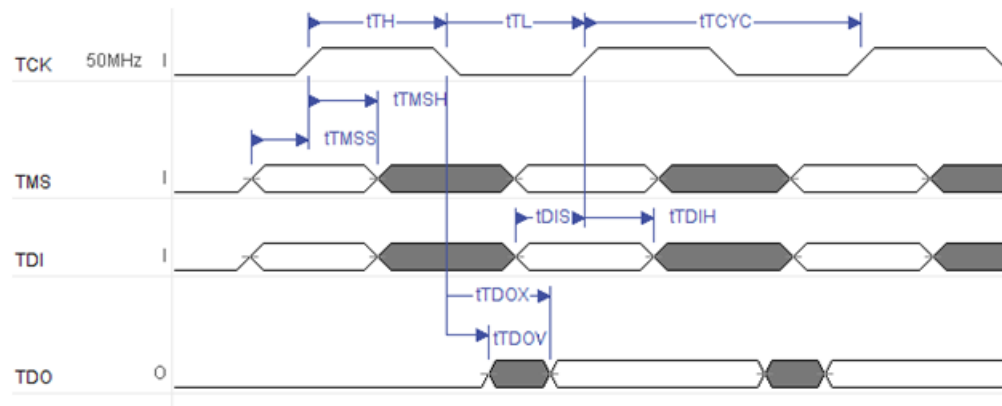
TAP 交流开关特性

超出工作范围

参数	说明	最小值	最大值	单位
t_{TCYC}	TCK 时钟周期时间	50	—	ns
t_{TF}	TCK 时钟频率	—	20	MHz
t_{TH}	TCK 时钟为高电平的时间	20	—	ns
t_{TL}	TCK 时钟为低电平的时间	20	—	ns
建立时间				
t_{TMSS}	从 TMS 到 TCK 时钟上升沿的建立时间	5	—	ns
t_{TDIS}	从 TDI 到 TCK 时钟上升沿的建立时间	5	—	ns
t_{CS}	从捕获到 TCK 上升沿的建立时间	5	—	ns
保持时间				
t_{TMSH}	TCK 时钟上升沿之后的 TMS 保持时间	5	—	ns
t_{TDIH}	时钟上升沿之后的 TDI 保持时间	5	—	ns
t_{CH}	时钟上升沿之后的捕获保持时间	5	—	ns
输出时间				
t_{TDOV}	从 TCK 时钟为低到 TDO 有效的时间	—	10	ns
t_{TDOX}	从 TCK 时钟为低到 TDO 无效的时间	0	—	ns
注意: t_{CS} 和 t_{CH} 表示从边界扫描寄存器锁存数据的建立和保持的时间要求。				

TAP 时序图

图 6. TAP 时序图



标识寄存器定义

指令字段	数值		说明
	CY7C4022KV13	CY7C4042KV13	
版本号 (31:29)	000	000	版本号。
赛普拉斯的器件 ID (28:12)	11011010101010100	11011010101100100	定义 SRAM 的类型。
赛普拉斯 JEDEC ID (11:1)	00000110100	00000110100	允许对 SRAM 供货商使用唯一标识。
ID 寄存器的存在情况 (0)	1	1	指示是否存在 ID 寄存器。

扫描寄存器大小

寄存器名称	位大小
指令	3
旁路	1
ID	32
边界扫描	136

指令代码

指令	代码	说明
EXTEST	000	捕获输入和输出环的内容。
IDCODE	001	将供货商 ID 代码加载到 ID 寄存器中，并将该寄存器置于 TDI 和 TDO 之间。此操作不会影响 SRAM 的工作。
SAMPLE Z	010	捕获输入和输出的内容。将边界扫描寄存器置于 TDI 和 TDO 之间。强制使所有 SRAM 输出驱动进入高阻态 (High Z)。
RESERVED	011	请勿使用：此指令留给将来使用。
SAMPLE/PRELOAD	100	捕获输入和输出的内容。将边界扫描寄存器置于 TDI 和 TDO 之间。此操作不会影响 SRAM 的工作。
RESERVED	101	请勿使用：此指令留给将来使用。
RESERVED	110	请勿使用：此指令留给将来使用。
旁路	111	将旁路寄存器置于 TDI 和 TDO 之间。此操作不会影响 SRAM 的工作。

边界扫描顺序

位	管脚	CY7C4042KV13	CY7C4022KV13
		×36 器件	×18 器件
0	12A	DQA<26>	DQA<17>
1	13B	DQA<19>	DQA<10>
2	14A	DQA<25>	DQA<16>
3	15B	DQA<35>	NC
4	16A	DQA<23>	DQA<14>
5	18B	DQA<31>	NC
6	17C	QVLDA<1>	QVLDA<1>
7	16C	QKA<1>	QKA<1>
8	14C	DQA<20>	DQA<11>
9	12C	DQA<18>	DQA<9>
10	12D	DINVA<1>	DINVA<1>
11	13D	DQA<22>	DQA<13>
12	15D	DQA<21>	DQA<12>
13	17D	QKA#<1>	QKA#<1>
14	18E	DQA<32>	NC
15	15F	DQA<24>	DQA<15>
16	16F	DKA<1>	DKA<1>
17	17F	DKA#<1>	DKA#<1>
18	18G	DQA<33>	NC
19	16G	DQA<34>	NC
20	17H	DQA<27>	NC
21	15H	DQA<28>	NC
22	16J	DQA<30>	NC
23	18J	DQA<29>	NC
24	18K	RST#	RST#
25	18L	DQB<29>	NC
26	16L	DQB<30>	NC
27	15M	DQB<28>	NC
28	17M	DQB<27>	NC
29	18N	DQB<33>	NC
30	16N	DQB<34>	NC
31	15P	DQB<24>	DQB<15>
32	16P	DKB<1>	DKB<1>
33	17P	DKB#<1>	DKB#<1>
34	18R	DQB<32>	NC
35	17T	QKB#<1>	QKB#<1>
36	15T	DQB<21>	DQB<12>
37	13T	DQB<22>	DQB<13>
38	12T	DINVB<1>	DINVB<1>
39	12U	DQB<18>	DQB<9>
40	14U	DQB<20>	DQB<11>
41	16U	QKB<1>	QKB<1>
42	17U	QVLDB<1>	QVLDB<1>
43	18V	DQB<31>	NC
44	15V	DQB<35>	NC
45	13V	DQB<19>	DQB<10>
46	12W	DQB<26>	DQB<17>

边界扫描顺序（续）

位	管脚	CY7C4042KV13	CY7C4022KV13
		×36 器件	×18 器件
47	14W	DQB<25>	DQB<16>
48	16W	DQB<23>	DQB<14>
49		Internal_DQB	Internal_DQB
50		Internal_DQA	Internal_DQA
51	10V	PE#	PE#
52	8P	A<15>	A<15>
53	7N	A<9>	A<9>
54	9N	NC/1152M	NC/576M
55	10P	AP	AP
56	10N	A<2>	A<2>
57	11N	NC/2304M	NC/1152M
58	12P	A<16>	A<16>
59	13N	A<10>	A<10>
60	13L	A<8>	A<8>
61	12M	A<12>	A<12>
62	11L	A<18>	A<18>
63	10L	RWB#	RWB#
64	10M	AINV	AINV
65	9L	A<17>	A<17>
66	8M	A<11>	A<11>
67	7L	A<7>	A<7>
68	7J	A<5>	A<5>
69	9J	A<19>	A<19>
70	10K	CK#	CK#
71	10J	CK	CK
72	11J	NC/144M	A<20>
73	13J	A<6>	A<6>
74	12H	LDB#	LDB#
75	10H	RWA#	RWA#
76	8H	LDA#	LDA#
77	7G	A<3>	A<3>
78	9G	NC/288M	NC/144M
79	10G	A<1>	A<1>
80	11G	NC/576M	NC/288M
81	13G	A<4>	A<4>
82	12F	A<14>	A<14>
83	10F	A<0>	A<0>
84	8F	A<13>	A<13>
85	10D	CFG#	CFG#
86	10B	LBK#<1>	LBK#<1>
87	10A	LBK#<0>	LBK#<0>
88	8A	DQA<8>	DQA<8>
89	7B	DQA<1>	DQA<1>
90	6A	DQA<7>	DQA<7>
91	5B	DQA<17>	NC
92	4A	DQA<5>	DQA<5>
93	2B	DQA<13>	NC
94	3C	QVLDA<0>	QVLDA<0>
95	4C	QKA<0>	QKA<0>

边界扫描顺序（续）

位	管脚	CY7C4042KV13	CY7C4022KV13
		×36 器件	×18 器件
96	6C	DQA<2>	DQA<2>
97	8C	DQA<0>	DQA<0>
98	8D	DINVA<0>	DINVA<0>
99	7D	DQA<4>	DQA<4>
100	5D	DQA<3>	DQA<3>
101	3D	QKA#<0>	QKA#<0>
102	2E	DQA<14>	NC
103	3F	DKA#<0>	DKA#<0>
104	4F	DKA<0>	DKA<0>
105	5F	DQA<6>	DQA<6>
106	4G	DQA<16>	NC
107	2G	DQA<15>	NC
108	3H	DQA<9>	NC
109	5H	DQA<10>	NC
110	4J	DQA<12>	NC
111	2J	DQA<11>	NC
112	2L	DQB<11>	NC
113	4L	DQB<12>	NC
114	5M	DQB<10>	NC
115	3M	DQB<9>	NC
116	2N	DQB<15>	NC
117	4N	DQB<16>	NC
118	5P	DQB<6>	DQB<6>
119	4P	DKB<0>	DKB<0>
120	3P	DKB#<0>	DKB#<0>
121	2R	DQB<14>	NC
122	3T	QKB#<0>	QKB#<0>
123	5T	DQB<3>	DQB<3>
124	7T	DQB<4>	DQB<4>
125	8T	DINVB<0>	DINVB<0>
126	8U	DQB<0>	DQB<0>
127	6U	DQB<2>	DQB<2>
128	4U	QKB<0>	QKB<0>
129	3U	QVLDB<0>	QVLDB<0>
130	2V	DQB<13>	NC
131	5V	DQB<17>	NC
132	7V	DQB<1>	DQB<1>
133	8W	DQB<8>	DQB<8>
134	6W	DQB<7>	DQB<7>
135	4W	DQB<5>	DQB<5>

最大额定值

超过最大额定值可能会影响器件的使用寿命。这些用户指导未经过测试。

存放温度 -65 °C 到 +150 °C

通电状态下
的环境温度 -55 °C 到 +125 °C

最高结温 125 °C

V_{DD} 上相对于
GND 的供电电压 -0.3 V 到 +1.35 V

V_{DDQ} 上相对于
GND 的供电电压 -0.3 V to +1.35 V

直流输入电压 -0.3 V 到 +1.35 V

输出端（低电平）的吸入电流为 20 mA

静电放电电压（MIL-STD-883、M. 3015）..... > 2001 V

闩锁电流 > 200 mA

工作范围

范围	封装外壳温度 (T_C)	V_{DD}	V_{DDQ}
商业级	0 °C 至 +70 °C	1.3 V \pm 40 mV	1.1 V \pm 50 mV 1.2 V \pm 50 mV

抗中子软失效

参数	说明	测试条件	典型值	最大值 *	单位
LSBU	单比特逻辑错误	25 °C	0	0.01	FIT/Mb
LMBU	逻辑多比特错误	25 °C	0	0.01	FIT/Mb
SEL	单事件闩锁	85 °C	0	0.1	FIT/Dev

* 测试期间未出现 LMBU 或 SEL 事件；此列为统计得出的 χ^2 ，按 95% 置信区间计算。如需详细信息，请参考应用笔记 AN54908 “加速中子 SER 测试和地面故障率的计算”。

电气特性

超出工作范围

参数	说明	最小值	典型值	最大值	单位
POD 信令模式					
$V_{DD}^{[4]}$	内核供电电压（1.3 V \pm 40 mV）	1.26	1.3	1.34	V
$V_{DDQ}^{[4]}$	POD I/O 供电电压（1.1 V \pm 50 mV）	1.05	1.1	1.15	V
	POD I/O 供电电压（1.2 V \pm 50 mV）	1.15	1.2	1.25	V
$V_{REF}^{[4, 5]}$	POD 参考电压	$V_{DDQ} \times 0.69$	$V_{DDQ} \times 0.7$	$V_{DDQ} \times 0.71$	V
$V_{OL(DC)}^{[4]}$	POD 低电平输出电压（直流）	—	—	0.5	V
$V_{IH(DC)}^{[4, 6]}$	POD 高电平输入电压（直流）	$V_{REF} + 0.08$	—	$V_{DDQ} + 0.15$	V
$V_{IL(DC)}^{[4, 6]}$	POD 低电平输入电压	-0.15	—	$V_{REF} - 0.08$	V
$V_{IH(AC)}^{[4, 7]}$	POD 高电平输入电压（直流）	$V_{REF} + 0.15$	—	—	V
$V_{IL(AC)}^{[4, 7]}$	POD 低电平输入电压	—	—	$V_{REF} - 0.15$	V
$V_{MP(DC)}$	POD 差分输入中点电压；引脚和引脚编号	$V_{REF} - 0.08$	—	$V_{REF} + 0.08$	V
$V_{ID(DC)}$	POD 差分输入差分电压（直流）；引脚和引脚编号	0.16	—	—	V
$V_{ID(AC)}$	POD 差分输入差分电压（交流）；引脚和引脚编号	0.30	—	—	V
V_{IN}	POD 单端输入电压；引脚和引脚编号	0.27	—	$V_{DDQ} + 0.15$	V
V_{INS}	POD 单端输入电压的转换速率；引脚和引脚编号	3	—	—	V/ns
$V_{IX(AC)}$	POD 差分输入交叉点电压（交流）；引脚和引脚编号	$V_{REF} - 0.08$	—	$V_{REF} + 0.08$	V

注意：

- 所有电压都参考 VSS（接地）电压。
- V_{REF} 上的峰-峰交流噪声决不可超过 $\pm 2\% V_{DDQ}$ （直流）。
- 禁用 ODT 时，才会指定 V_{IH}/V_{IL} （直流）的值。
- V_{IH}/V_{IL} （交流）是一个测试条件，用以保证当 ODT 使能时，接收器必须满足其时序规范。

电气特性（续）

超出工作范围

参数	说明	最小值	典型值	最大值	单位
$I_X^{[8]}$	POD 输入漏电流	—	—	200	μA
$I_{OZ}^{[8]}$	POD 输出漏电流	—	—	200	μA
$I_{DD}^{[9, 10]}$	V_{DD} 工作电流 (1066 MHz, $\times 18$)	—	2800	4100	mA
	V_{DD} 工作电流 (1066 MHz, $\times 36$)	—	3920	4500	mA
	V_{DD} 工作电流 (933 MHz, $\times 18$)	—	2520	3400	mA
	V_{DD} 工作电流 (933 MHz, $\times 36$)	—	3520	4000	mA
HSTL/SSTL 信令模式					
$V_{DD}^{[11]}$	内核供电电压 ($1.3 V \pm 40 mV$)	1.26	1.3	1.34	V
$V_{DDQ}^{[11]}$	I/O 供电电压 ($1.2 V \pm 50 mV$)	1.15	1.2	1.25	V
	I/O 供电电压 ($1.25 V \pm 50 mV$)	1.2	1.25	1.3	V
$V_{REF(DC)}^{[11, 12]}$	HSTL/SSTL 参考电压 (直流)	$V_{DDQ} \times 0.48$	$V_{DDQ} \times 0.5$	$V_{DDQ} \times 0.52$	V
$V_{REF(AC)}^{[11, 12]}$	HSTL/SSTL 参考电压 (交流)	$V_{DDQ} \times 0.47$	$V_{DDQ} \times 0.5$	$V_{DDQ} \times 0.53$	V
$V_{IH(DC)}^{[11, 13]}$	HSTL/SSTL 高电平输入电压 (直流)	$V_{REF} + 0.8$	—	$V_{DDQ} + 0.15$	V
$V_{IL(DC)}^{[11, 13]}$	HSTL/SSTL 低电平输入电压 (直流)	-0.15	—	$V_{REF} - 0.08$	V
$V_{IH(AC)}^{[11, 14]}$	HSTL/SSTL 高电平输入电压 (交流)	$V_{REF} + 0.15$	—	$V_{DDQ} + 0.24$	V
$V_{IL(AC)}^{[11, 14]}$	HSTL/SSTL 低电平输入电压 (交流)	-0.24	—	$V_{REF} - 0.15$	V
$V_{OH(DC)}^{[11]}$	HSTL/SSTL 高电平输出电压 (直流) — $I_{OH} = -0.25 \times V_{DDQ}/R_{OH}$	$V_{DDQ} \times 0.712$	$V_{DDQ} \times 0.75$	—	V
$V_{OL(DC)}^{[11]}$	HSTL/SSTL 低电平输出电压 (直流) — $I_{OL} = 0.25 \times V_{DDQ}/R_{OL}$	—	$V_{DDQ} \times 0.25$	$V_{DDQ} \times 0.288$	V
V_{IX}	HSTL/SSTL 输入电压的交叉点	—	$V_{DDQ} \times 0.5$	—	V
$V_{DIF(AC)}$	HSTL/SSTL 交流差分输入电压	0.30	—	$V_{DDQ} + 0.48$	V
$V_{DIF(DC)}$	HSTL/SSTL 直流差分输入电压	0.16	—	$V_{DDQ} + 0.30$	V
$V_{DIF(CM)}$	HSTL/SSTL 直流共模输入	$V_{DDQ} \times 0.4$	$V_{DDQ} \times 0.5$	$V_{DDQ} \times 0.6$	V
V_{OX}	HSTL/SSTL 输出电压交叉点	—	$V_{DDQ} \times 0.5$	—	V
$V_{OUT(AC)}$	HSTL/SSTL 交流输出电压	-0.24	—	$V_{DDQ} + 0.24$	V
$V_{OUT(DC)}$	HSTL/SSTL 直流输出电压	-0.15	—	$V_{DDQ} + 0.15$	V
$I_X^{[8]}$	HSTL/SSTL 输入漏电流	—	—	200	μA
$I_{OZ}^{[8]}$	HSTL/SSTL 输出漏电流	—	—	200	μA
$I_{DD}^{[9, 10]}$	V_{DD} 工作电流 (1066 MHz, $\times 18$)	—	2800	4100	mA
	V_{DD} 工作电流 (1066 MHz, $\times 36$)	—	3920	4500	mA
	V_{DD} 工作电流 (933 MHz, $\times 18$)	—	2520	3400	mA
	V_{DD} 工作电流 (933 MHz, $\times 36$)	—	3520	4000	mA

注意:

- 禁用 ODT 时, 输出驱动器将进入高阻态。
- 工作电流根据 50% 读周期和 50% 写周期计算得出。
- 典型的工作电流规格在 V_{DD} 为 1.3V 时测试。
- 所有电压都参考 V_{SS} (接地) 电压。
- V_{REF} 上的峰-峰交流噪声决不可超过 $\pm 2\% V_{DDQ}$ (直流)。
- 禁用 ODT 时, 才会指定 V_{IH}/V_{IL} (直流) 的值。
- V_{IH}/V_{IL} (交流) 是一个测试条件, 用以保证当 ODT 使能时, 接收器必须满足其时序规范。

电容

表 18. 电容

参数 ^[15]	说明	测试条件	最大值	单位
C_{IN}	输入电容	$T_A = 25\text{ }^{\circ}\text{C}$ 、 $f = 1\text{ MHz}$ 、 $V_{DD} = 1.3\text{ V}$ 、 $V_{DDQ} = 1.25\text{ V}$	4	pF
C_O	输出电容		4	pF

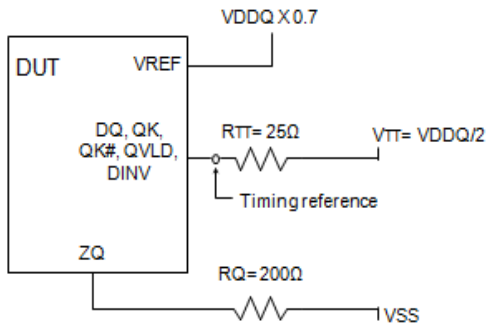
热电阻

表 19. 热电阻

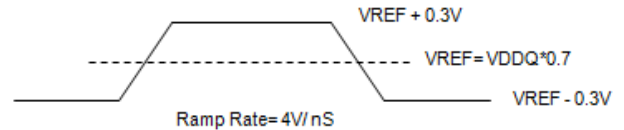
参数 ^[15]	说明	测试条件	361 球形焊盘的 FCBGA 封装	单位
Q_{JA}	热电阻（结温）	根据 EIA/JESD51 的要求，测试条件遵循测试热阻的标准测试方法和过程。	11.4	$^{\circ}\text{C/W}$
Q_{JC}	热电阻（结壳）		0.04	$^{\circ}\text{C/W}$

交流测试负载和波形

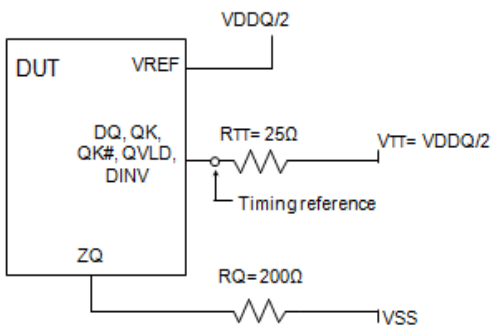
图 7. 交流测试负载和波形



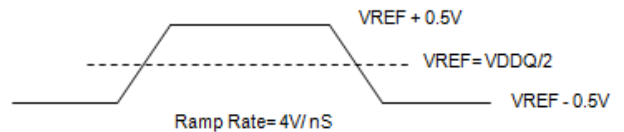
(a). Output AC Test Load (POD I/O)



(b). POD Input Waveforms



(c). Output AC Test Load (HSTL/SSTL I/O)



(d). HSTL/SSTL Input Waveforms

注意:

15. 在任何设计或工艺更改之前和之后进行测试都对这些参数产生影响。

开关特性

在工作范围内 [16、17、18、19、20、21、22、23]

赛普拉斯参数	说明	1066 MHz		933 MHz		单位
		最小值	最大值	最小值	最大值	
t_{CK}	CK、DKx、QKx 时钟周期	0.938	1.875	1.071	2.143	ns
t_{CKL}	CK、DKx 为低电平的时间	0.45*	—	0.45*	—	t_{CK}
t_{CKH}	CK、DKx 为高电平的时间	0.45*	—	0.45*	—	t_{CK}
$t_{JIT(per)}$	时钟周期抖动的的时间	-0.055	0.055	-0.060	0.060	ns
$t_{JIT(cc)}$	周期期间抖动的的时间	—	0.110	—	0.120	ns
t_{AS}	A 至 CK 的建立时间	0.125	—	0.135	—	ns
t_{AH}	CK 到 A 的保持时间	0.125	—	0.135	—	ns
t_{CS}	从 LDx#、RWx# 到 CK 的建立时间	0.150	—	0.180	—	ns
t_{CH}	CK 到 LDx#、RWx# 的保持时间	0.150	—	0.180	—	ns
t_{CKDK}	CK 至 DKx 的偏移时间	-0.15	0.15	-0.172	0.172	ns
t_{IS}	DQx、DINVx 至 DKx 的建立时间	0.125	—	0.135	—	ns
t_{IH}	从 DKx 至 DQx、DINVx 的保持时间	0.125	—	0.135	—	ns
$t_{Rise(se)}$	单端输出信号（从 20% 到 80%）的上升时间	2	6	2	6	V/ns
$t_{Fall(se)}$	单端输出信号（从 20% 到 80%）的下降时间	2	6	2	6	V/ns
$t_{Rise(diff)}$	差分输出信号（从 20% 到 80%）的上升时间	3	10	3	10	V/ns
$t_{Fall(diff)}$	差分输出信号（从 20% 到 80%）的下降时间	3	10	3	10	V/ns
t_{QKL}	QKx 为低电平的时间	0.45*	—	0.45*	—	t_{CK}
t_{QKH}	QKx 为高电平的时间	0.45*	—	0.45*	—	t_{CK}
t_{CKQK}	从 CK 至 QKx 的偏移时间	-0.225	0.225	-0.257	0.257	ns
t_{QKQ0}	从 QKx[0] 到 DQx[17:0]、DINVx[0]（× 36）的时间或从 QKx[0] 到 DQx[8:0]、DINVx[0]（× 18）的时间	—	0.075	—	0.085	ns
t_{QH0}	从 QKx[0] 到 DQx[17:0]、DINVx[0]（× 36）的时间或从 QKx[0] 到 DQx[8:0]、DINVx[0]（× 18）的时间	0.40*	—	0.40*	—	t_{CK}
t_{QKQ1}	从 QKx[1] 到 DQx[35:18]、DINVx[1]（× 36）的时间或从 QKx[1] 到 DQx[17:9]、DINVx[1]（× 18）的时间	—	0.075	—	0.085	ns
t_{QH1}	从 QKx[1] 到 DQx[35:18]、DINVx[1]（× 36）的时间或从 QKx[1] 到 DQx[17:9]、DINVx[1]（× 18）的时间	0.40*	—	0.40*	—	t_{CK}
t_{QKQV0}	QKx[0] 到 QVLDx 的时间	—	0.112	—	0.128	ns
t_{QVH0}	从 QKx[0] 到 QVLDx 的时间	0.85*	—	0.85*	—	t_{CK}
t_{QKQV1}	从 QKx[1] 到 QVLDx 的时间	—	0.112	—	0.128	ns
t_{QVH1}	从 QKx[1] 到 QVLDx 的时间	0.85*	—	0.85*	—	t_{CK}
t_{PWR}	从 V_{DD} （典型值）到第一次访问的时间	200	—	200	—	ms
t_{RSS}	RST# 脉冲宽度	200	—	200	—	μs
t_{RSH}	从取消激活 RST# 到第一个指令有效的的时间	400000*	—	400000*	—	t_{CK}

注意:

16. 'x' 表示端口 A 和端口 B。例如，DQx 表示 DQA 和 DQB。
17. 输入保持时序假设从 V_{IL}/V_{IH} （直流）到 V_{REF} 测量得的上升沿转换速率为 4 V/ns。
18. 输入设置时序假设从 V_{REF} 到 V_{IL}/V_{IH} （交流）测量得到的下降沿转换速率为 4 V/ns。
19. 所有输出时序假设其负载显示在图 8 中。
20. 建立 / 保持时间、 t_{ASH} 、 t_{CSH} 、 t_{ISH} 都是基于电气仿真得到的，并可用于校正时序预算。如果未进行校正培训，则不能直接测量这些值。
21. 时钟相位抖动是时钟上升沿到下个时钟上升沿的差异。
22. 禁止频率漂移。
23. t_{QKQ} 、 t_{QKQx} 由设计保证。

开关特性 (续)

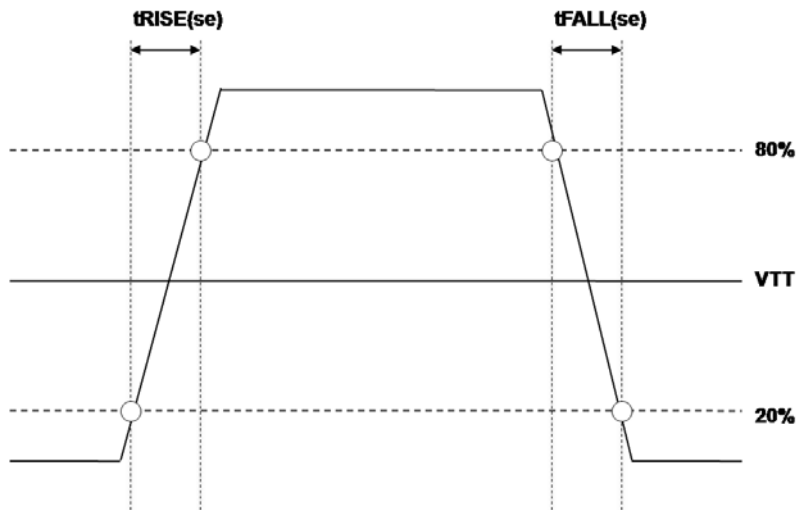
在工作范围内 [16、17、18、19、20、21、22、23]

赛普拉斯参数	说明	1066 MHz		933 MHz		单位
		最小值	最大值	最小值	最大值	
t_{RDS}	从 A 到 RST 的设置时间	500*	—	500*	—	t_{CK}
t_{RDH}	从 A 到 RST# 的保持时间	500*	—	500*	—	t_{CK}
t_{TSS}	TRST# 脉冲宽度	200	—	200	—	μs
t_{TSH}	取消激活 TRST# 到第一个 JTAG 指令的时间	200	—	200	—	μs
t_{PLL}	PLL 在复位后的稳定时间	—	100	—	100	μs
t_{LBL}	环回延迟	16*	16*	16*	16*	t_{CK}
t_{CD}	环回输出延迟	—	5	—	5	ns
t_{CFGs}	从活跃模式转到配置模式的时间	32*	—	32*	—	t_{CK}
t_{CFGH}	从配置模式转换为活跃模式寄存器访问 (不包含 ODT 或 PLL 编程更新) 的时间	32*	—	32*	—	t_{CK}
t_{CFGH}	从配置模式转换为活跃模式寄存器访问 (包含 ODT 编程更新) 的时间	4096*	—	4096*	—	t_{CK}
t_{CFGH}	从配置模式转换为活跃模式寄存器访问 (包含 PLL 编程更新) 的时间	100	—	100	—	μs
t_{CFGD}	配置各指令之间的时间	80*	—	80*	—	t_{CK}
t_{CLDS}	从 CFG# 激活到 LDA# 激活的时间	32*	—	32*	—	t_{CK}
t_{CLDH}	LDA# 取消激活到 CFG# 取消激活的时间	32*	—	32*	—	t_{CK}
t_{CLDW}	配置指令的 LDA# 脉冲宽度	16*	—	16*	—	t_{CK}
t_{CRDL}	从 LDA# 激活到读取数据的延迟	—	32*	—	32*	t_{CK}
t_{CRDH}	CFG# 取消激活到读取数据的保持时间	0*	32*	0*	32*	t_{CK}
t_{DQVLD}	在配置模式中从 DQAx 到 QVLDA<0> 的时间	-2	2	-2	2	t_{CK}

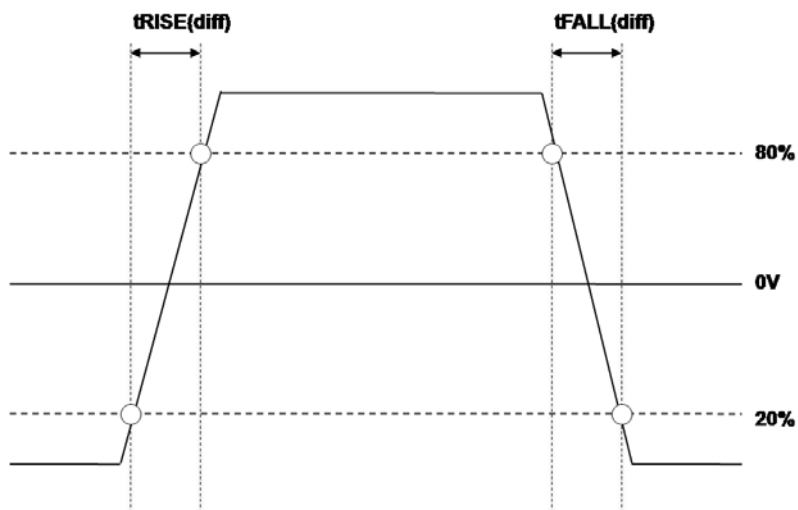
开关波形

图 8. 输出信号的上升和下降时间的定义

单端输出信号的标称上升 — 下降时间的定义



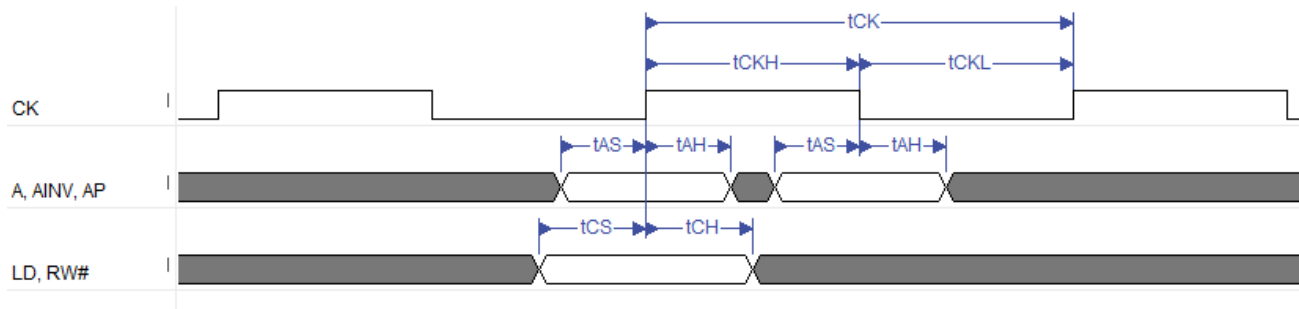
差分输出信号的标称上升 — 下降时间的定义



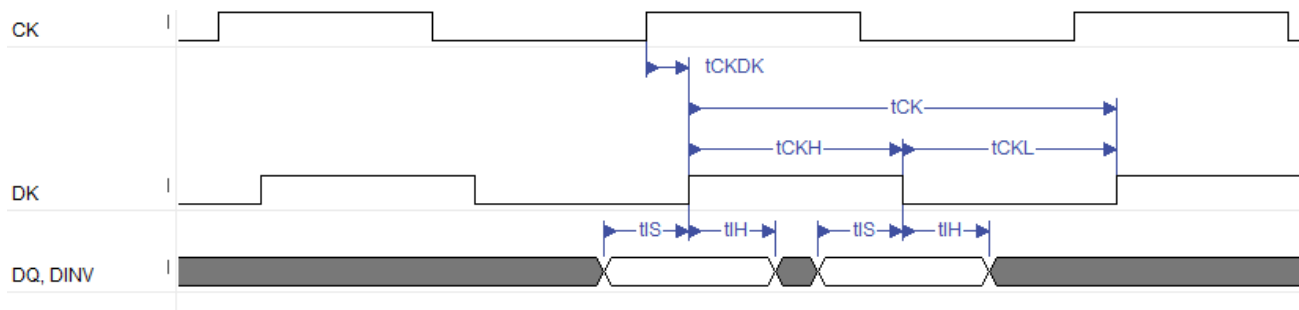
开关波形（续）

图 9. 输入和输出的时序波形

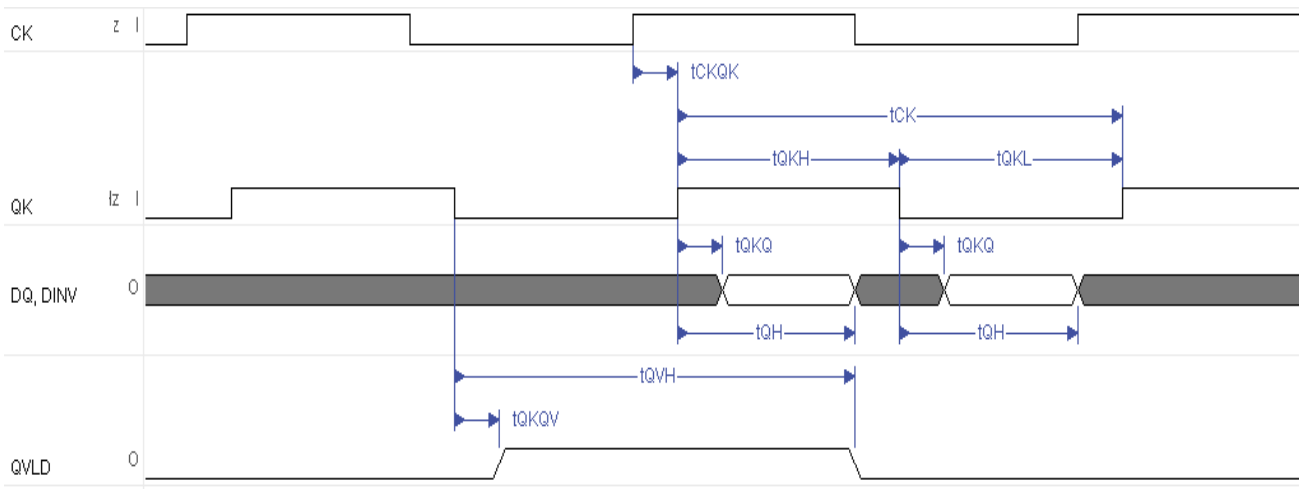
Address and Command Input Timing



Data Input Timing



Data Output Timing



开关波形（续）

图 10. 8.0 周期读延迟的波形（从读到写的时序波形）

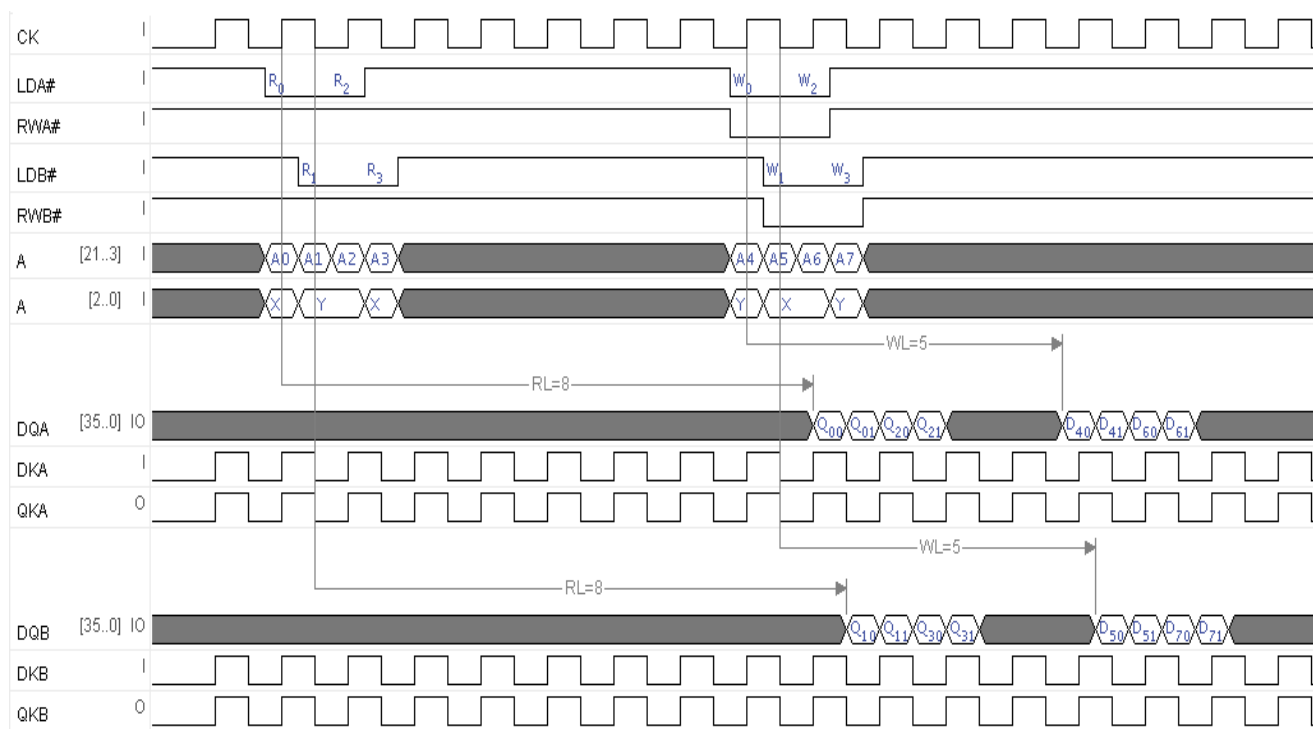
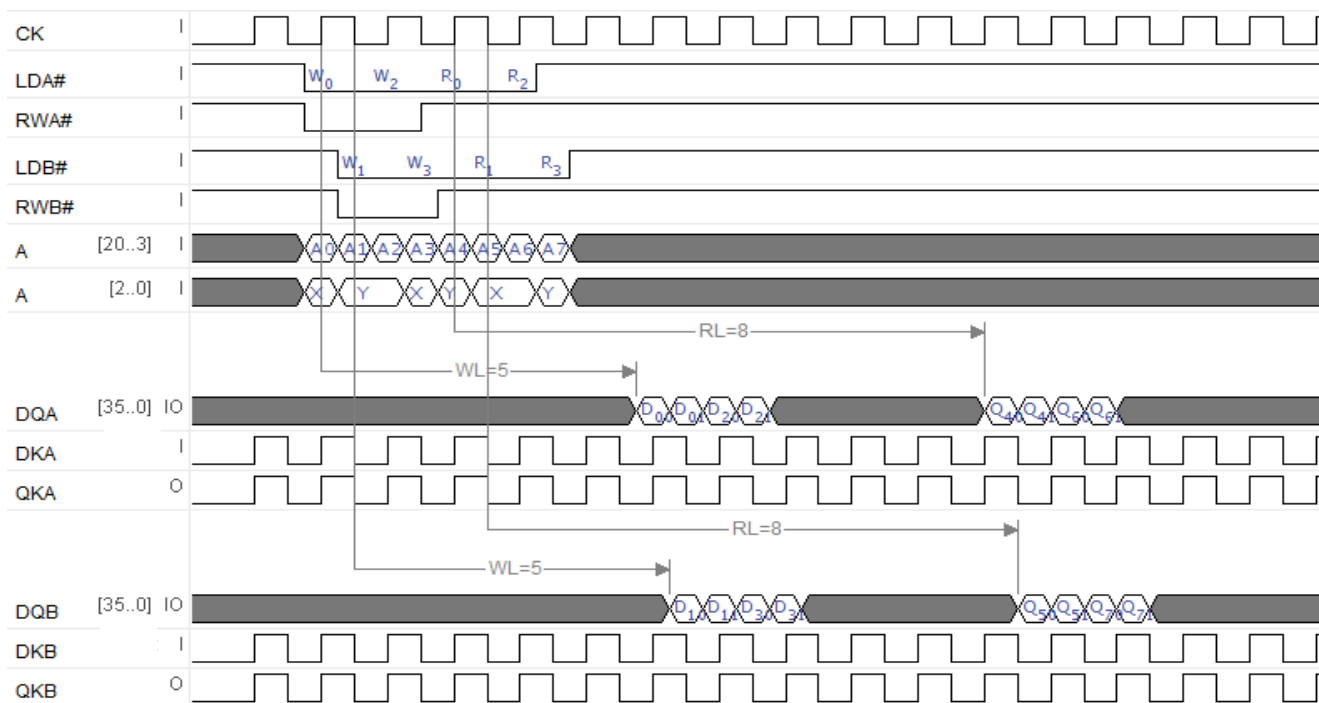


图 11. 8.0 读周期延迟的波形（从写到读的时序波形）



开关波形（续）

图 12. 配置写入的时序波形

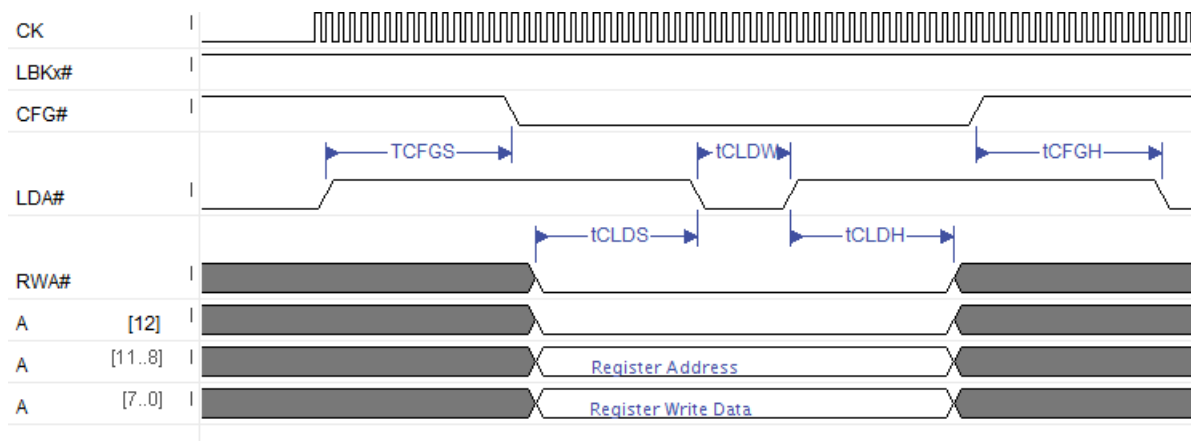
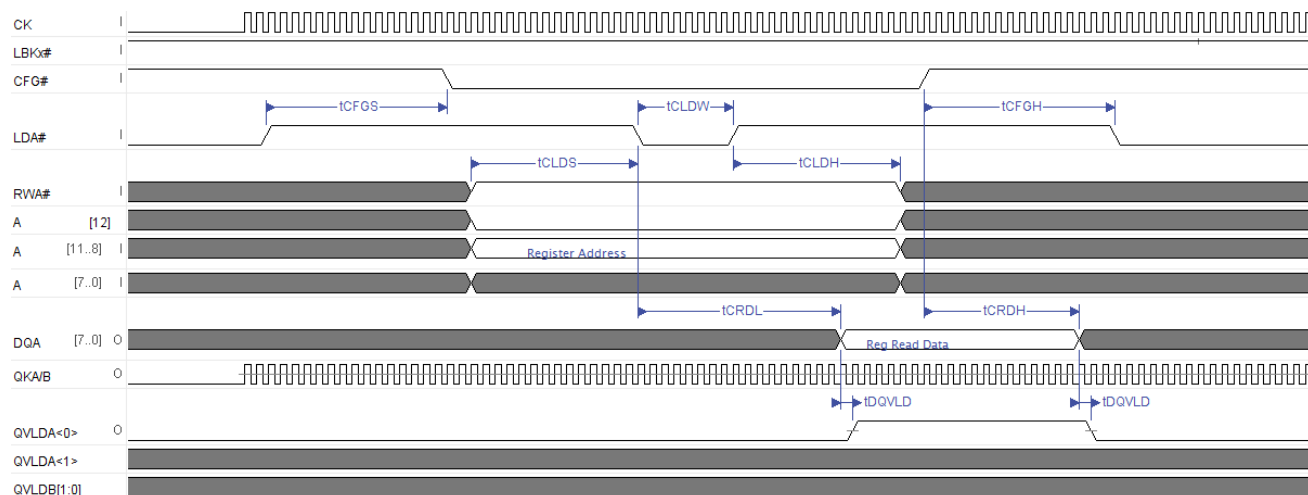


图 13. 配置读取的时序波形

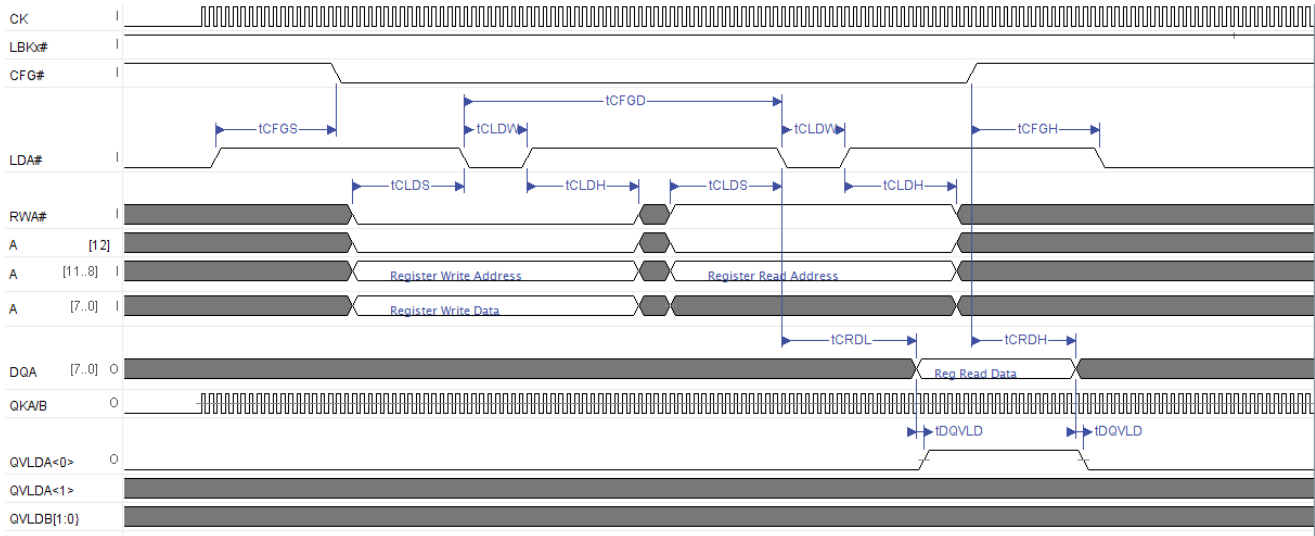


注意 在配置模式下，DQA[x:8] 和 DQB 数据总线无需关注

开关波形（续）

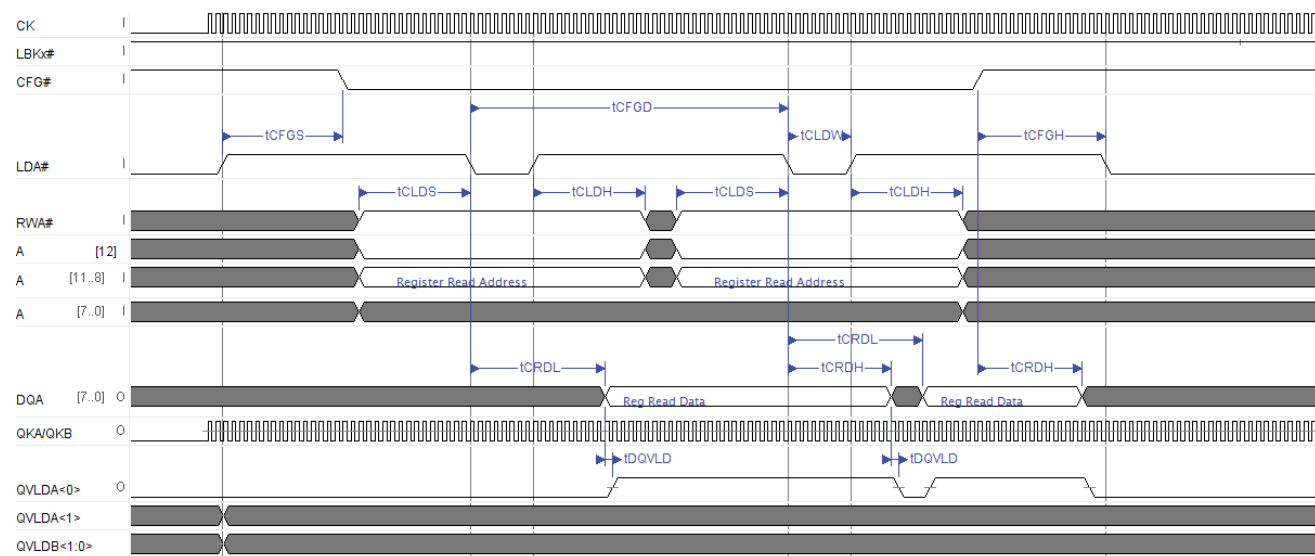
图 14. 配置写入和读取的时序波形

(a) 配置多重周期 — 读操作随后写操作



注意 在配置模式下，DQA[x:8] 和 DQB 数据总线无需关注

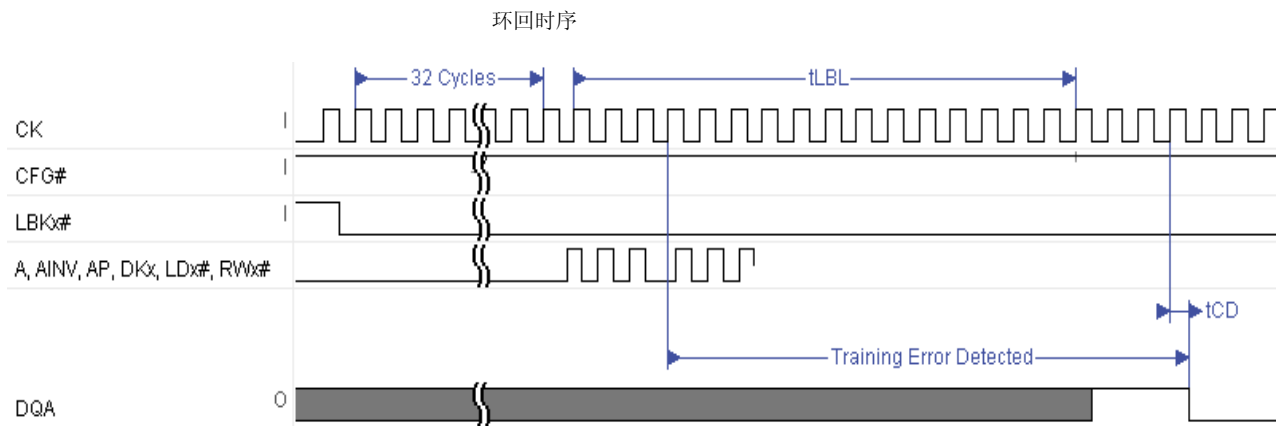
(b) 配置多重周期 — 背靠背的读操作



注意 在配置模式下，DQA[x:8] 和 DQB 数据总线无需关注

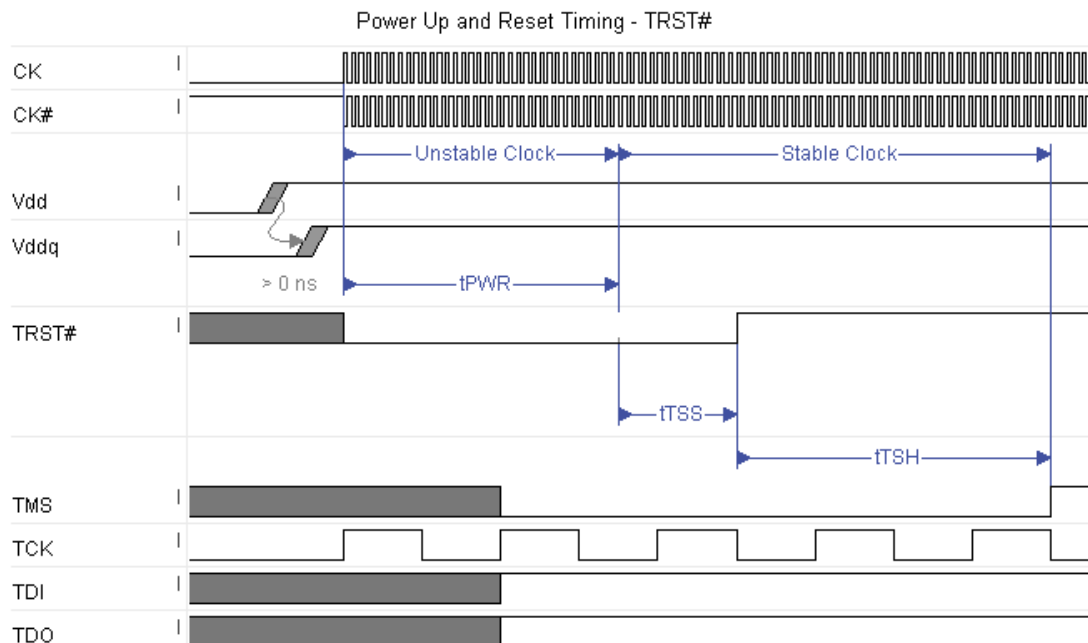
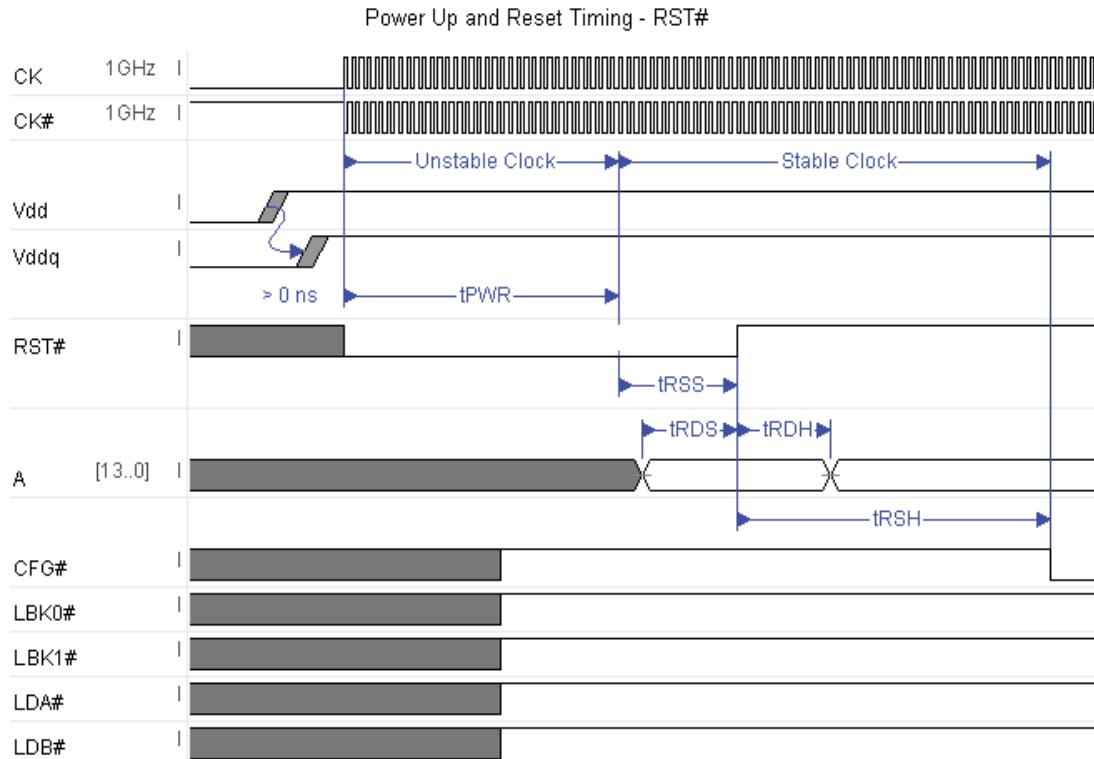
开关波形（续）

图 15. 环回时序



开关波形（续）

图 16. 复位时序



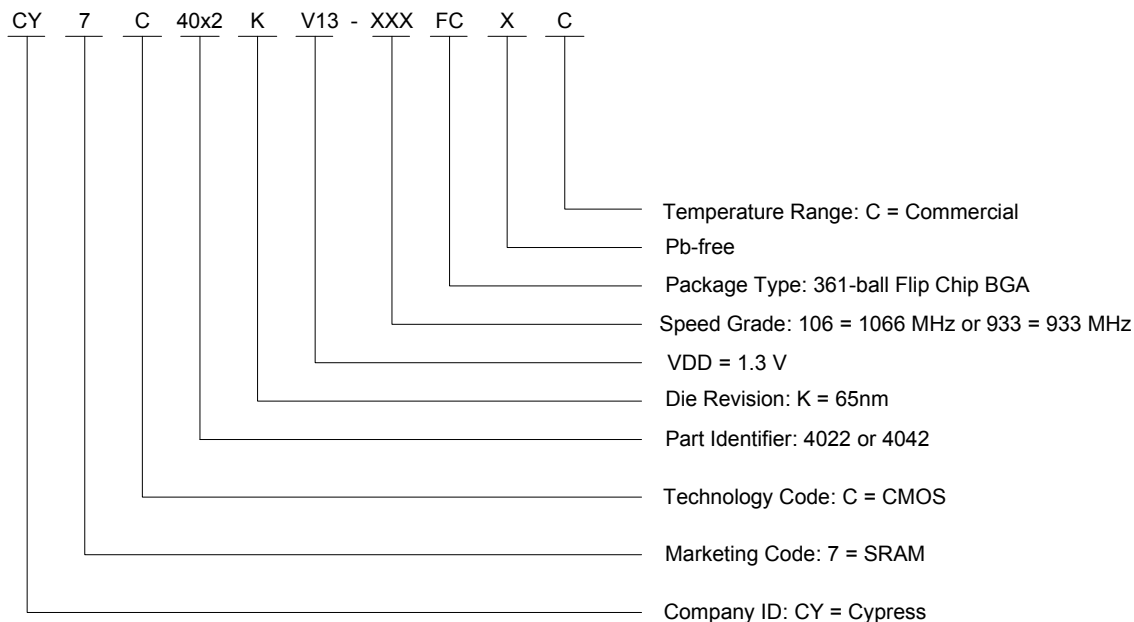
订购信息

下表仅包含目前可以供应的器件。如果您未能找到所需的器件，请与您当地销售代表联系。如需更多信息，请访问赛普拉斯公司网站 www.cypress.com，并参考 <http://www.cypress.com/products> 上的产品汇总页。

赛普拉斯公司拥有一个由办事处、解决方案中心、工厂代表和经销商组成的全球性网络。要查找距您最近的办事处，请访问 <http://www.cypress.com/go/datasheet/offices>。

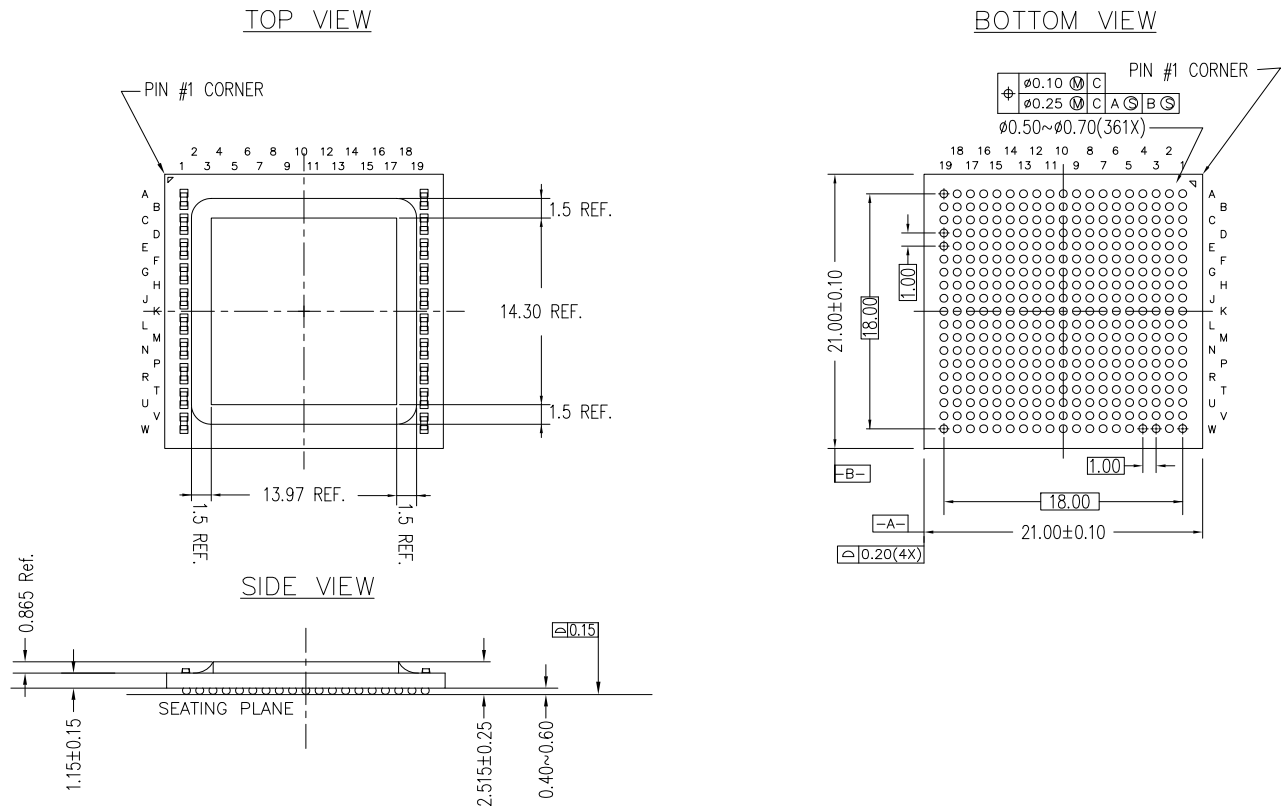
速度 (MHz)	订购代码	封装图	封装类型	工作范围
1066	CY7C4022KV13-106FCXC	001-70319	361 球形焊盘 FCBGA (21 × 21 × 2.515 mm) (无铅)	商用
	CY7C4042KV13-106FCXC			
933	CY7C4022KV13-933FCXC	001-70319	361 球形焊盘 FCBGA (21 × 21 × 2.515 mm) (无铅)	商用
	CY7C4042KV13-933FCXC			

订购代码定义



封装图

图 17. 361 球形焊盘的 FCBGA (21 × 21 × 2.515 mm) FR0AA 封装外形, 001-70319



NOTES:

ALL DIMENSIONS ARE IN MILLIMETERS
 SOLDER BALL DIAMETER: 0.63
 SOLDER PAD TYPE: SOLDER MASK DEFINED (SMD)
 PACKAGE CODE: FR0AA

001-70319 *C

缩略语

表 20. 本文档中使用的缩略语

缩略语	说明
DDR	双倍数据速率 (Double Data Rate)
RTR	随机事务处理速率 (Random Transaction Rate)
EIA	电子工业联盟 (Electronic Industries Alliance)
EMI	电磁干扰 (Electromagnetic Interference)
FCBGA	翻转芯片上的球栅阵列 (Flip-Chip Ball Grid Array)
I/O	输入 / 输出 (Input/Output)
JEDEC	联合电子器件工程委员会 (Joint Electron Devices Engineering Council)
JTAG	联合测试行动小组 (Joint Test Action Group)
LMBU	多比特逻辑错误 (Logical Multiple Bit Upset)
LSB	最低有效位 (Least Significant Bit)
LSBU	单比特逻辑错误 (Logical Single Bit Upset)
MSB	最高有效位 (Most Significant Bit)
ODT	片内终端 (On-Die Termination)
PLL	锁相环 (Phase Locked Loop)
QDR	四倍数据速率 (Quad Data Rate)
SDR	单倍数据速率 (Single Data Rate)
SEL	单事件电路门锁 (Single Event Latch-up)
SER	软错误率 (Soft Error Rate)
SRAM	静态随机存取存储器 (Static Random Access Memory)
TAP	测试存取端口 (Test Access Port)
TCK	测试时钟 (Test Clock)
TDI	测试数据输入 (Test Data-In)
TDO	测试数据输出 (Test Data-Out)
TMS	测试模式选择 (Test Mode Select)

文档规范

测量单位

表 21. 测量单位

符号	测量单位
°C	摄氏度
MHz	兆赫兹
μA	微安
μs	微秒
mA	毫安
mm	毫米
ms	毫秒
mV	毫伏
ns	纳秒
W	欧姆
%	百分比
pF	皮法
V	伏特
W	瓦特

文档修订记录页

文档标题: CY7C4022KV13/CY7C4042KV13, 72 Mbit QDR™-IV XP SRAM 文档编号: 001-91747				
修订版本	ECN	提交日期	变更人	更改说明
**	4321841	03/26/2014	CHAZ	本文档版本号为 Rev**, 译自英文版 001-79552 Rev*G。

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、工厂代表和经销商组成的全球性网络。要找到离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

汽车用产品	cypress.com/go/automotive
时钟与缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc cypress.com/go/plc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应产品	cypress.com/go/touch
USB 控制器	cypress.com/go/USB
无线 /RF	cypress.com/go/wireless

PSoC® 解决方案

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

技术支持

cypress.com/go/support

© 赛普拉斯半导体公司，2014。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路以外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不会根据专利权或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯产品不保证能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于合理预计会发生运行异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯将不批准将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和 / 或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和 / 或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯的明确书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对该材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不另行通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于合理预计可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而导致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受适用的赛普拉斯软件许可协议限制。