

NoBL™ アーキテクチャの 36M ビット (1M×36/2M×18) パイプライン SRAM (ECC 付き)

機能

- ZBT™ とピン互換で、機能もゼロバースターンアラウンド (ZBT™) と同様
- 待ち状態なしの 250MHz バス動作
 - 速度グレード 250MHz、200MHz、167MHz
- 内部セルフタイム出力バッファ制御 (非同期 \overline{OE} 信号の使用が不要になる)
- パイプライン動作に入出力が完全に登録済み
- バイト書き込み機能
- 3.3V 電源
- 3.3V/2.5V I/O 電源
- クロック～出力の時間が速い
 - 2.5ns (デバイス速度 250MHz の場合)
- 動作停止用クロック イネーブル (\overline{CEN}) ピン
- セルフタイム同期書き込み
- CY7C1460KV33、CY7C1460KVE33、CY7C1462KVE33 は、JEDEC 標準鉛フリー 100 ピン TQFP、鉛フリーと非鉛フリー 165 ボール FBGA パッケージで出荷
- IEEE 1149.1 JTAG 準拠のバウンダリ スキャン
- バースト機能 — リニア/インターリーブ バースト順
- 「ZZ」スリープ モード オプション
- ソフトエラー レート (SER) 低減するための誤り訂正符号 (ECC) を内蔵

機能の詳細

CY7C1460KV33/CY7C1460KVE33/CY7C1462KVE33 は、それぞれ 3.3V で動作する、1M × 36、2M × 18 の No Bus Latency™ (NoBL™) 論理付き同期パイプライン バースト SRAM です。これらのデバイスは、待ち状態なしの真の無限連続読み書き動作に対応するために設計されています。

CY7C1460KV33/CY7C1460KVE33/CY7C1462KVE33 は、データがクロック サイクル毎に転送される連続的読み書き処理の有効化に必要な高度な NoBL 論理を備えています。

この機能は、頻繁な読み書き転送が必要なシステム内のデータスループットを大幅に増加させます。

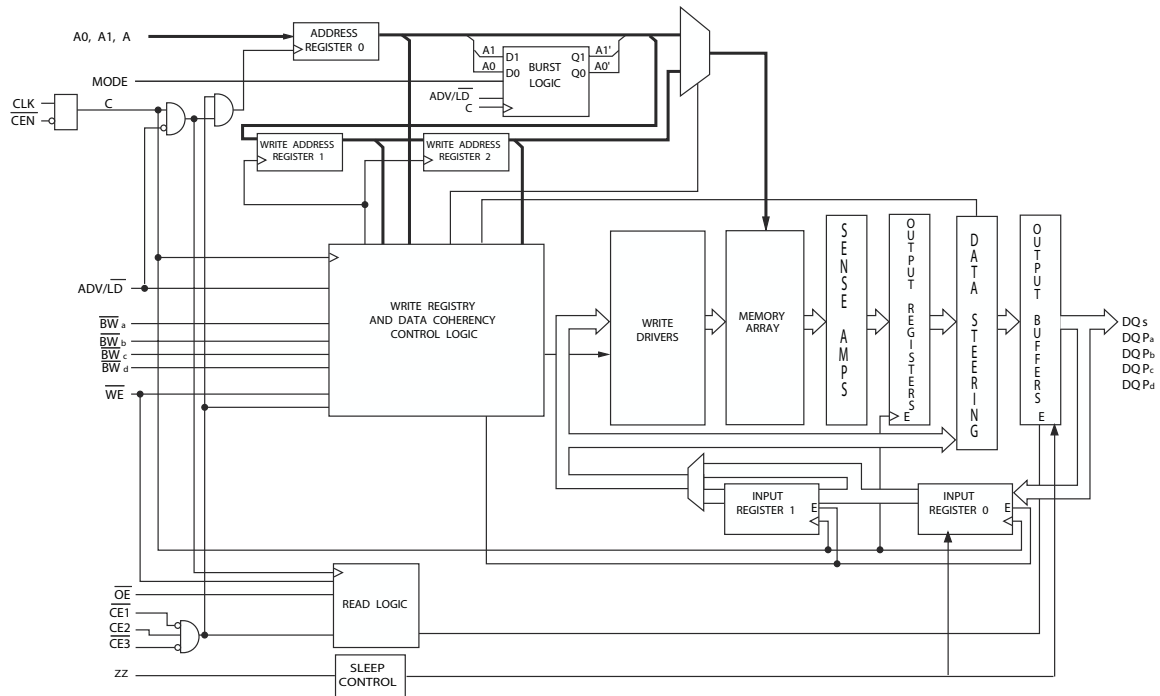
CY7C1460KV33/CY7C1460KVE33/CY7C1462KVE33 は、ZBT デバイスとピン互換で、機能も同様です。

全ての同期入力、クロックの立ち上がりエッジにより制御される入力レジスタを通過します。全てのデータ出力は、クロックの立ち上がりエッジにより制御される出力レジスタを通過します。クロック入力、クロック イネーブル (\overline{CEN}) 信号により有効にされます。この信号は、デアサートされると、動作を停止し、以前のクロック サイクルを延長します。

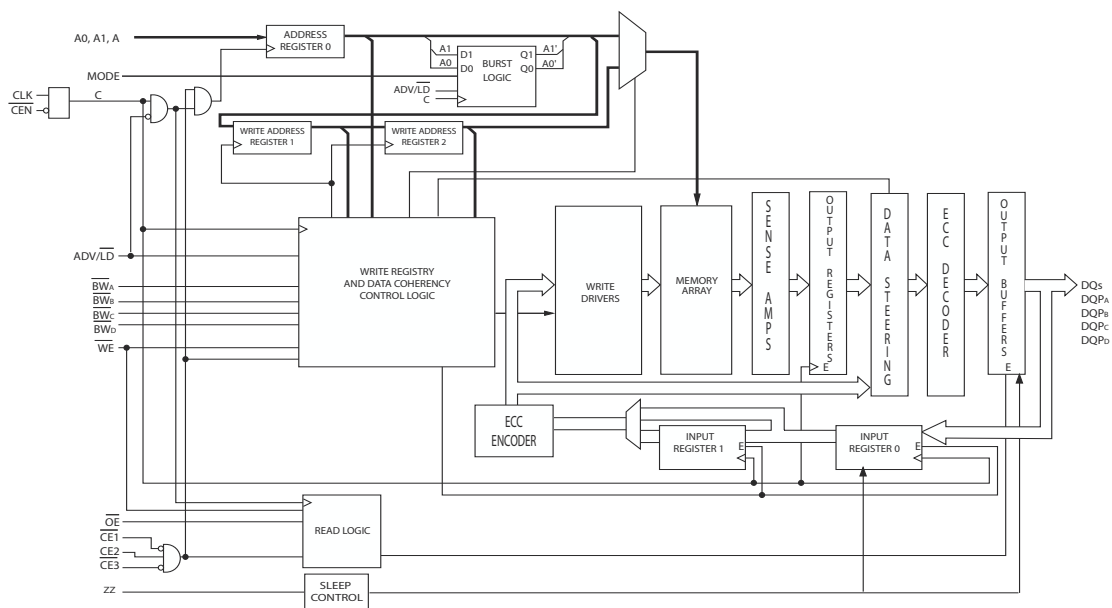
書き込み動作は、バイト書き込みセレクト信号 $\overline{BW_a}$ (CY7C1460KV33/CY7C1460KVE33 では $\overline{BW_a}$ – $\overline{BW_d}$ 、CY7C1462KVE33 では $\overline{BW_a}$ – $\overline{BW_b}$) と書き込みイネーブル (\overline{WE}) 入力により制御されます。全ての書き込みは、内蔵のセルフタイム同期書き込み回路で制御されます。

3 つの同期チップ セレクト ($\overline{CE_1}$, $\overline{CE_2}$, $\overline{CE_3}$) と非同期出力イネーブル (\overline{OE}) は、バンクを容易に選択し、出力ピンのトライステートを制御するために提供されます。バス競合を回避するために、出力ドライバーは、書き込みシーケンスの間同時にトライステートになります。

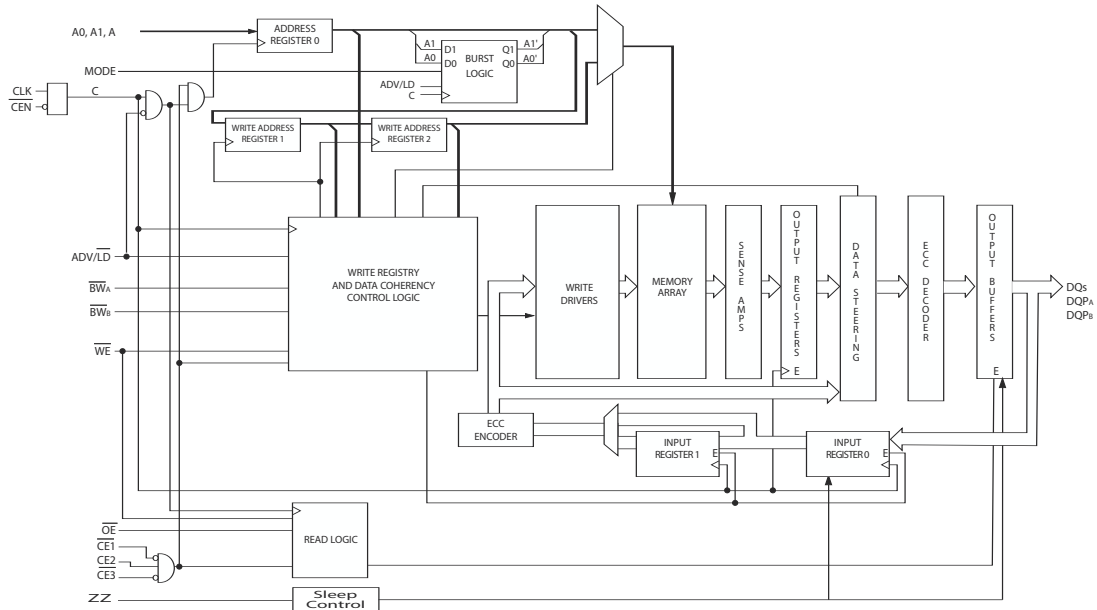
論理ブロック図－ CY7C1460KV33



論理ブロック図－ CY7C1460KVE33



論理ブロック図 – CY7C1462KVE33



目次

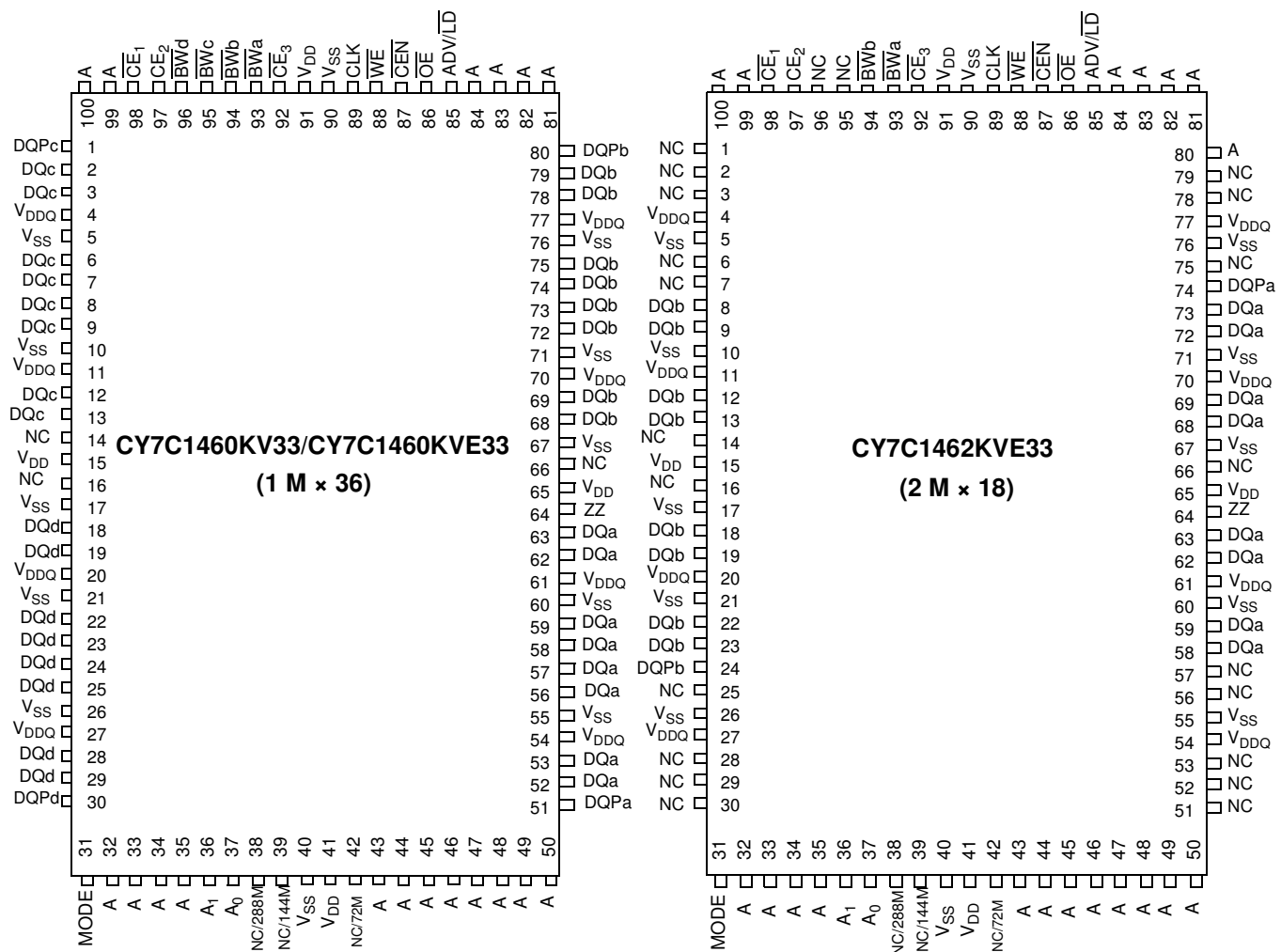
セクションガイド.....	5	2.5V TAP AC 出力負荷の等価回路	17
ピンのコンフィギュレーション	5	TAP DC 電気的特性および動作条件	17
ピン機能	7	ID レジスタの定義	18
機能概要	8	スキャン レジスタ サイズ	18
シングル読み出しアクセス	8	ID コード	18
バースト読み出しアクセス	8	バウンダリ スキャン順序	19
シングル書き込みアクセス	9	最大定格	20
バースト書き込みアクセス	9	動作範囲	20
スリープ モード	9	中性子ソフト エラー耐性	20
内蔵 ECC	9	電気的特性	20
インターリーブ バースト アドレス表	10	静電容量	22
リニア バースト アドレス表	10	熱抵抗	22
ZZ モード電気的特性	10	AC テストの負荷と波形	22
真理値表	11	スイッチング特性	23
部分書き込みサイクルの説明	12	スイッチング波形	24
部分書き込みサイクルの説明	12	注文情報	26
IEEE 1149.1 シリアル バウンダリ スキャン (JTAG)	13	注文コードの定義	26
JTAG 機能の無効化	13	パッケージ図	27
テスト アクセス ポート (TAP)	13	略語	29
TAP リセットの実行	13	本書の表記法	29
TAP レジスタ	13	測定単位	29
TAP 命令セット	13	改訂履歴	30
TAP コントローラー状態遷移図	15	セールス、ソリューションおよび法律情報	31
TAP コントローラーのブロック図	15	ワールドワイドな販売と設計サポート	31
TAP タイミング図	15	製品	31
TAP AC スwitching特性	16	PSoC® ソリューション	31
3.3V TAP AC テスト条件	17	サイプレス開発者コミュニティ	31
3.3V TAP AC 出力負荷の等価回路	17	テクニカル サポート	31
2.5V TAP AC テスト条件	17		

セレクションガイド

説明		250MHz	200MHz	167MHz	単位
最大アクセス時間		2.5	3.2	3.4	ns
最大動作電流	x18	220	190	170	mA
	x36	240	210	190	

ピンのコンフィギュレーション

図 1. 100 ピン TQFP パッケージのピン配置



ピンのコンフィギュレーション (続き)

図 2. 165 ボールFBGA パッケージのピン配置

CY7C1460KVE33 (1M × 36)

	1	2	3	4	5	6	7	8	9	10	11
A	NC/576M	A	\overline{CE}_1	\overline{BW}_c	\overline{BW}_b	\overline{CE}_3	\overline{CEN}	ADV/ \overline{LD}	A	A	NC
B	NC/1G	A	CE2	\overline{BW}_d	\overline{BW}_a	CLK	\overline{WE}	\overline{OE}	A	A	NC
C	DQP _c	NC	V _{DDQ}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{DDQ}	NC	DQP _b
D	DQ _c	DQ _c	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _b	DQ _b
E	DQ _c	DQ _c	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _b	DQ _b
F	DQ _c	DQ _c	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _b	DQ _b
G	DQ _c	DQ _c	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _b	DQ _b
H	NC	NC	NC	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	NC	NC	ZZ
J	DQ _d	DQ _d	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _a	DQ _a
K	DQ _d	DQ _d	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _a	DQ _a
L	DQ _d	DQ _d	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _a	DQ _a
M	DQ _d	DQ _d	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _a	DQ _a
N	DQP _d	NC	V _{DDQ}	V _{SS}	NC	NC	NC	V _{SS}	V _{DDQ}	NC	DQP _a
P	NC/144M	NC/72M	A	A	TDI	A1	TDO	A	A	A	NC/288M
R	MODE	A	A	A	TMS	A0	TCK	A	A	A	A

ピン機能

ピン名	I/O 形式	ピンの説明
A ₀ , A ₁ , A	入力 - 同期	アドレス位置の 1 つを選択するために使用されるアドレス入力。CLK の立ち上がりエッジでサンプリング
\overline{BW}_a , \overline{BW}_b , \overline{BW}_c , \overline{BW}_d	入力 - 同期	バイト書き込み選択入力、アクティブ LOW。 \overline{WE} により有効にされて SRAM へバイト書き込みを駆動 CLK の立ち上がりエッジでサンプリング。 \overline{BW}_a は DQ _a と DQP _a 、 \overline{BW}_b は DQ _b と DQP _b 、 \overline{BW}_c は DQ _c と DQP _c 、 \overline{BW}_d は DQ _d と DQP _d を制御
\overline{WE}	入力 - 同期	書き込みイネーブル入力、アクティブ LOW。 \overline{CEN} がアクティブ LOW の場合、CLK の立ち上がりエッジでサンプリング。バイト書き込みを開始するためにこの信号を LOW にアサートすることが必要
ADV/LD	入力 - 同期	オンチップのアドレス カウンタを増加する、または新しいアドレスをロードするために使用されるアドバンス/ロード入力。この入力が高レベルになり、 \overline{CEN} が LOW にアサートされると 内部バースト カウンタが増加される。LOW の場合、アクセスの度に新しいアドレスをデバイスにロードすることが可能。選択解除した後、新しいアドレスをロードするために、ADV/LD を LOW に駆動する必要がある
CLK	入力 - クロック	クロック入力。デバイスへの全ての同期入力を取り込むために使用。CLK は \overline{CEN} により有効にされる。CLK は、 \overline{CEN} がアクティブ LOW の場合のみに有効になる
\overline{CE}_1	入力 - 同期	チップ イネーブル 1 入力、アクティブ LOW。CLK の立ち上がりエッジでサンプリング。デバイスを選択/選択解除するために \overline{CE}_2 と \overline{CE}_3 と併用
\overline{CE}_2	入力 - 同期	チップ イネーブル 2 入力、アクティブ HIGH。CLK の立ち上がりエッジでサンプリング。デバイスを選択/選択解除するために \overline{CE}_1 と \overline{CE}_3 と併用
\overline{CE}_3	入力 - 同期	チップ イネーブル 3 入力、アクティブ LOW。CLK の立ち上がりエッジでサンプリング。デバイスを選択/選択解除するために \overline{CE}_1 と \overline{CE}_2 と併用
\overline{OE}	入力 - 非同期	出力イネーブル、アクティブ LOW。I/O ピンの方向を制御するために、デバイスに内蔵された同期論理ブロックと組み合わせられる。この入力が高レベルの場合、I/O ピンは出力として動作可能。HIGH にデアサートされた時、I/O ピンはトライステートに入り、入力データ ピンとして機能。 \overline{OE} は、書き込みシーケンスのデータ転送の間や選択解除の状態から復帰してから最初のクロック サイクルの間、またはデバイスが選択解除された時にマスクされる
\overline{CEN}	入力 - 同期	クロック イネーブル入力、アクティブ LOW。LOW にアサートされると、クロック信号が SRAM により認められる。HIGH にデアサートされた場合、クロック信号がマスクされる。 \overline{CEN} をデアサートするとデバイスが選択解除されないため、 \overline{CEN} は、必要に応じて以前のサイクルを延長するために使用可能
DQ _a , DQ _b , DQ _c , DQ _d	I/O - 同期	双方向データ I/O ライン。入力として機能している場合、CLK の立ち上がりエッジによりトリガされるオンチップ データ レジスタに供給される。出力として機能している場合、読み出しサイクル中に A _x により指定されるメモリ位置に含まれるデータを転送。これらのピンの方向は、 \overline{OE} と内部制御論理により制御される。 \overline{OE} が LOW にアサートされた時、これらピンは出力として動作可能。この信号が HIGH の場合、DQ _a –DQ _d は、トライステート状態に移行。出力は、 \overline{OE} の状態に関わらず、書き込みシーケンスのデータ部分の間、または選択解除された状態からの出現、またはデバイスが選択解除された時から最初のクロック サイクルの間に自動的にトライステート状態に移行。
DQP _a , DQP _b , DQP _c , DQP _d	I/O - 同期	双方向データ パリティ I/O ライン。機能的に、これら信号は DQ _[31:0] と同一。書き込みシーケンスの間、DQP _a は \overline{BW}_a 、DQP _b は \overline{BW}_b 、DQP _c は \overline{BW}_c 、および DQP _d は \overline{BW}_d により制御される
MODE	入力ストラップピン	モード入力。デバイスのバースト順序を選択。HIGH の場合は、インターリーブ バースト順序。LOW の場合は、リニア バースト順序。MODE ピンの状態は動作中に変更不可。開放される場合、MODE ピンはデフォルトで HIGH になり、よってバースト順序がインターリーブ バースト順序
TDO	JTAG シリアルデータ同期出力	JTAG 回路へのシリアル データ出力。TCK のネガティブ エッジでデータを送信
TDI	JTAG シリアルデータ同期入力	JTAG 回路へのシリアル データ入力。TCK の立ち上がりエッジでサンプリング

ピン機能 (続き)

ピン名	I/O 形式	ピンの説明
TMS	テスト モード 同期選択	このピンは、テスト アクセス ポート ステート マシンを制御。TCK の立ち上がりエッジでサンプリング
TCK	JTAG- クロック	JTAG 回路へクロック入力
V _{DD}	電源	デバイスのコアへ電源供給
V _{DDQ}	I/O 電源	I/O 回路へ電源供給
V _{SS}	グラウンド	デバイスのグラウンド。システムのグラウンドに接続する必要がある
NC	該当なし	未接続。このピンはダイに接続されていない
NC/72M	該当なし	ダイに接続されていない。すべての電圧レベルに接続可能
NC/144M	該当なし	ダイに接続されていない。すべての電圧レベルに接続可能
NC/288M	該当なし	ダイに接続されていない。すべての電圧レベルに接続可能
NC/576M	該当なし	ダイに接続されていない。すべての電圧レベルに接続可能
NC/1G	該当なし	ダイに接続されていない。すべての電圧レベルに接続可能
ZZ	入力 - 非同期	ZZ 「スリープ」入力。アクティブ HIGH 入力により、デバイスはデータの統合性が保持されている非タイム クリティカルな「スリープ」状態に入る。通常動作では、このピンを V _{SS} に接続する、またはフローティング状態のままにすることが必要。ZZ ピンは内部プルダウン抵抗がある

機能概要

CY7C1460KV33/CY7C1460KVE33/CY7C1462KVE33 は、読み書き処理中に待ち状態を除去するために設計されている同期パイプライン バースト NoBL SRAM です。全ての同期入力は、クロックの立ち上がりエッジにより制御される入力レジスタを通過します。クロック信号は、クロック イネーブル入力信号 (CEN) により有効にされます。CEN が HIGH の場合、クロック信号は有効にされず、すべての内部状態は保持されます。すべての同期動作は、CEN により可能になります。全てのデータ出力は、クロックの立ち上がりエッジにより制御される出力レジスタを通過します。クロック立ち上がりからの最大アクセス遅延 (t_{CO}) は 2.5ns (デバイス速度が 250MHz の場合) です。

クロックの立ち上がりエッジで全ての3つのチップイネーブル (\overline{CE}_1 , \overline{CE}_2 , \overline{CE}_3) をアクティブにアサートすることでアクセスを開始することができます。クロック イネーブル (CEN) がアクティブ LOW であり、ADV/LD が LOW にアサートされた時、デバイスに送信されたアドレスはラッチされます。アクセスは、書き込みイネーブル (WE) の状態に応じて、読み出しまたは書き込み動作が行われます。BW_[x] はバイト書き込み動作を行うために使用できます。

書き込み動作は書き込みイネーブル (\overline{WE}) により確認されます。全ての書き込みは、内蔵のセルフタイム同期書き込み回路で簡素化されます。

3 つの同期チップ イネーブル (\overline{CE}_1 , \overline{CE}_2 , \overline{CE}_3) および非同期出力イネーブル (\overline{OE}) は動作深度の拡大を簡単にします。全ての動作 (読み出し、書き込み、選択解除) はパイプライン化されます。次の動作用に新しいアドレスをロードするために、デバイスが選択解除された後、ADV/LD を LOW に駆動する必要があります。

シングル読み出しアクセス

クロックの立ち上がりエッジで以下の条件が満たされると、読み出しアクセスが開始されます。

- \overline{CEN} は LOW にアサートされます。

- \overline{CE}_1 , \overline{CE}_2 および \overline{CE}_3 は全てアクティブにアサートされます。

- 書き込みイネーブル入力信号 \overline{WE} が HIGH にデアサートされません。

- ADV/LD は LOW にアサートされます。

アドレス入力に供給されたアドレスはアドレス レジスタにラッチされ、メモリ コアおよび制御論理回路に送信されます。制御論理回路は読み出しアクセスが実行中であると判定し、要求されたデータが出力レジスタの入力に伝播することを可能にします。次のクロックの立ち上がりエッジでは、 \overline{OE} がアクティブ LOW であれば、要求されたデータが 2.5ns (250MHz のデバイスの場合) 以内に出力レジスタを介してデータバスに伝播することができます。読み出しアクセスの最初のクロックの後、出力バッファは \overline{OE} および内部制御論理回路によって制御されます。デバイスが要求のデータを出力するためには、 \overline{OE} を LOW に駆動する必要があります。2 番目のクロックの間、後続の動作 (読み出し/書き込み/選択解除) は開始できます。デバイスの選択解除動作もパイプライン化されます。そのため、クロック立ち上がり時に SRAM がチップ イネーブル信号のいずれかにより選択解除されると、その出力は次のクロック立ち上がりによりトライステートになります。

バースト読み出しアクセス

CY7C1460KV33/CY7C1460KVE33/CY7C1462KVE33 はバーストカウンタを内蔵しており、アドレス入力を再アサートせずに単一のアドレスを供給して最大 4 回の読み出しを行うことを可能にします。シングル読み出しアクセス節で前述したように、新しいアドレスを SRAM にロードするために ADV/LD を LOW に駆動する必要があります。バーストカウンタのシーケンスは MODE 入力信号で決まります。MODE 入力信号は、LOW にするとリニア バースト モードを選択し、HIGH にするとインターリーブ バースト シーケンスを選択します。両方のバーストカウンタはバースト シーケンスに A0 と A1 ビットを使用し、上限までインクリメントされたらラップ アラウンドします。ADV/LD 入力信号を HIGH にすると、チップイネーブルまたは \overline{WE} の状態にかかわらず内部バーストカウンタはインクリメントします。 \overline{WE} はバーストサイクルの始まりにラッチされます。

そのため、アクセス タイプ (読み出し/書き込み) はバーストシーケンスにわたって変わりません。

シングル書き込みアクセス

クロックの立ち上がりエッジで以下の条件が満たされると、書き込みアクセスが開始されます。

- $\overline{\text{CEN}}$ は LOW にアサートされます。
- $\overline{\text{CE}}_1$ 、 CE_2 および $\overline{\text{CE}}_3$ は全てアクティブにアサートされます。
- 書き込み信号 $\overline{\text{WE}}$ は LOW にアサートされます。

アドレス入力に送信されたアドレスはアドレス レジスタにロードされます。書き込み信号は制御論理ブロックにラッチされます。

次のクロック立ち上がり時に、 $\overline{\text{OE}}$ 入力信号の状態にかかわらずデータ ラインは自動的にトライステートになります。これにより、外部論理ブロックはデータを DQ と DQP (CY7C1460KV33/CY7C1460KVE33 では $\text{DQ}_{a,b,c,d}/\text{DQP}_{a,b,c,d}$ 、CY7C1462KVE33 では $\text{DQ}_{a,b}/\text{DQP}_{a,b}$) に送信できます。さらに、適切な制御信号がアサートされれば、後続のアクセス (読み出し/書き込み/選択解除) 用のアドレスはアドレス レジスタにラッチされます。

次のクロック立ち上がり時に、 DQ と DQP (CY7C1460KV33/CY7C1460KVE33 では $\text{DQ}_{a,b,c,d}/\text{DQP}_{a,b,c,d}$ 、CY7C1462KVE33 では $\text{DQ}_{a,b}/\text{DQP}_{a,b}$ 、または書き込み動作のサブセット (詳細は、書き込みサイクルの説明表を参照)) 入力に送信されたデータはデバイスにラッチされ、書き込みが完了します。

書き込み動作中に書き込まれたデータは $\overline{\text{BW}}$ (CY7C1460KV33/CY7C1460KVE33 では $\overline{\text{BW}}_{a,b,c,d}$ 、CY7C1462KVE33 では $\overline{\text{BW}}_{a,b}$) 信号により制御されます。CY7C1460KV33/CY7C1460KVE33/CY7C1462KVE33 は、書き込みサイクルの説明表で説明されたバイト書き込み機能を備えています。選択したバイト書き込み選択 ($\overline{\text{BW}}$) 入力を使って書き込みイネーブル入力 ($\overline{\text{WE}}$) をアサートすると、所望のバイトのみが選択的に書き込まれます。バイト書き込み動作中に選択されないバイトは、不変のままです。書き込み動作を簡素化するためにセルフタイム同期書き込みメカニズムが提供されています。簡単なバイト書き込み動作に簡素化可能な読み出し/変更/書き込みシーケンスを簡素化するためにバイト書き込み機能が組み込まれています。

CY7C1460KV33/CY7C1460KVE33/CY7C1462KVE33 は共通 I/O デバイスであるため、出力がアクティブの時にデータをデバイスに駆動してはいけません。データを DQ と DQP (CY7C1460KV33/CY7C1460KVE33 では $\text{DQ}_{a,b,c,d}/\text{DQP}_{a,b,c,d}$ 、CY7C1462KVE33 では $\text{DQ}_{a,b}/\text{DQP}_{a,b}$) 入力に送信する前に、出力イネーブル ($\overline{\text{OE}}$) が HIGH にアサートされることがあり

ます。この場合、出力ドライバーがトライステートになります。安全対策としては、 DQ と DQP (CY7C1460KV33/CY7C1460KVE33 では $\text{DQ}_{a,b,c,d}/\text{DQP}_{a,b,c,d}$ 、CY7C1462KVE33 では $\text{DQ}_{a,b}/\text{DQP}_{a,b}$) は $\overline{\text{OE}}$ の状態にかかわらず、書き込みサイクルのデータ転送中に自動的にトライステートになります。

バースト書き込みアクセス

CY7C1460KV33/CY7C1460KVE33/CY7C1462KVE33 はバースト カウンタを内蔵しており、アドレス入力を再アサートせずに単一のアドレスを供給して最大 4 回の読み出しを行うことを可能にします。シングル書き込みアクセスの節で前述したように、初期アドレスをロードするために ADV/LD を LOW に駆動する必要があります。次のクロック立ち上がりで ADV/LD が HIGH に駆動される時、チップ イネーブル ($\overline{\text{CE}}_1$ 、 CE_2 、 $\overline{\text{CE}}_3$) および $\overline{\text{WE}}$ 入力は無視され、バースト カウンタはインクリメントされます。正しいデータ バイトを書き込むために、バースト書き込みの各サイクルで正しい $\overline{\text{BW}}$ (CY7C1460KV33/CY7C1460KVE33 では $\overline{\text{BW}}_{a,b,c,d}$ 、CY7C1462KVE33 では $\overline{\text{BW}}_{a,b}$) 入力を駆動する必要があります。

スリープ モード

ZZ 入力ピンは非同期入力です。 ZZ をアサートすると、SRAM は省電力「スリープ」モードに入ります。このスリープ モードへの移行および復帰には 2 クロック サイクルかかります。このモードでは、データの統合性が保証されます。スリープ モードに入った時に保留中のアクセスは有効として見なされず、動作完了も保証されません。デバイスはスリープ モードに入る前に、選択解除する必要があります。 ZZ 入力に LOW に戻った後、 $\overline{\text{CE}}_1$ 、 CE_2 および $\overline{\text{CE}}_3$ は t_{ZZREC} の時間非アクティブのままにする必要があります。

内蔵 ECC

CY7C1460KVE33/CY7C1462KVE33 SRAM は、宇宙線やアルファ粒子などに起因したソフト エラー アップセット (SEU) イベントを含むシングルビット メモリ エラーを全て検出し、訂正する ECC アルゴリズムを内蔵しています。これらのデバイスのソフト エラー率 (SER) は、一般的に SER が 200FIT/Mb 以上である ECC なしの SRAM より 4 桁改善され、0.01FIT/Mb 未満になります。内部データを保護するために、ECC パリティビット (ユーザーには不可視) を使用します。

ECC アルゴリズムはマルチビット エラーを訂正しません。しかしサイプレス社の SRAM は、シングル SER イベントで任意のデータ ワードにマルチビット エラーが起こる可能性は非常に低くなるように設計されています。マルチビット エラーは非常に少なく SER はわずか 0.01FIT/Mb 未満です。

インターリーブ バースト アドレス表

(MODE = 開放または V_{DD})

1 番目の アドレス	2 番目の アドレス	3 番目の アドレス	4 番目の アドレス
A1、A0	A1、A0	A1、A0	A1、A0
00	01	10	11
01	00	11	10
10	11	00	01
11	10	01	00

リニア バースト アドレス表

(MODE = GND)

1 番目の アドレス	2 番目の アドレス	3 番目の アドレス	4 番目の アドレス
A1、A0	A1、A0	A1、A0	A1、A0
00	01	10	11
01	10	11	00
10	11	00	01
11	00	01	10

ZZ モード電気的特性

パラメータ	説明	テスト条件	Min	Max	単位
I_{DDZZ}	スリープ モード スタンバイ 電流	$ZZ \geq V_{DD} - 0.2V$	—	89	mA
t_{ZZS}	デバイスの動作から ZZ までの時間	$ZZ \geq V_{DD} - 0.2V$	—	$2t_{CYC}$	ns
t_{ZZREC}	ZZ 復帰時間	$ZZ \leq 0.2V$	$2t_{CYC}$	—	ns
t_{ZZI}	スリープ電流までの ZZ アクティブ時間	このパラメータはサンプリングされる	—	$2t_{CYC}$	ns
t_{RZZI}	スリープ電流が終了するまでの ZZ 非アクティブ時間	このパラメータはサンプリングされる	0	—	ns

真理値表

以下は、CY7C1460KV33/CY7C1460KVE33/CY7C1462KVE33 の真理値表です。[1、2、3、4、5、6、7]

動作	使用されている アドレス	\overline{CE}	ZZ	$\overline{ADV/LD}$	\overline{WE}	$\overline{BW_x}$	\overline{OE}	\overline{CEN}	CLK	DQ
ディセレクト サイクル	無	H	L	L	X	X	X	L	L-H	トライステート
ディセレクト サイクル の継続	無	X	L	H	X	X	X	L	L-H	トライステート
読み出しサイクル (バースト開始)	外部	L	L	L	H	X	L	L	L-H	データ出力 (Q)
読み出しサイクル (バースト継続)	次	X	L	H	X	X	L	L	L-H	データ出力 (Q)
NOP/ ダミー読み出し (バースト開始)	外部	L	L	L	H	X	H	L	L-H	トライステート
ダミー読み出し (バースト継続)	次	X	L	H	X	X	H	L	L-H	トライステート
書き込みサイクル (バースト開始)	外部	L	L	L	L	L	X	L	L-H	データ入力 (D)
書き込みサイクル (バースト継続)	次	X	L	H	X	L	X	L	L-H	データ入力 (D)
NOP / 書き込み中止 (バースト開始)	無	L	L	L	L	H	X	L	L-H	トライステート
書き込み中止 (バースト継続)	次	X	L	H	X	H	X	L	L-H	トライステート
クロック エッジの無視 (ストール)	現行	X	L	X	X	X	X	H	L-H	—
スリープ モード	無	X	H	X	X	X	X	X	X	トライステート

注

1. X=「ドントケア」、H= 論理 HIGH、L= 論理 LOW、すべてのチップ イネーブルを担当する \overline{CE} はアクティブです。「 $\overline{BW_x} = L$ 」は、少なくとも 1 バイト書き込みセレクト信号がアクティブ、「 $\overline{BW_x} = \text{有効}$ 」は、対象のバイト書き込みセレクト信号がアサートされることを示します。詳細については、書き込みサイクル説明表を参照してください。
2. 書き込みは、 \overline{WE} と $\overline{BW_x}$ を使って定義されます。詳細については、書き込みサイクル説明表を参照してください。
3. 書き込みサイクルが検出された場合、バイト書き込み中でも、すべての I/O はトライステートになります。
4. DQ ピンと DQP ピンは現行のサイクルと \overline{OE} 信号によって制御されます。
5. $\overline{CEN} = H$ の場合は、待ち状態が挿入されます。
6. デバイスの電源投入時は、 \overline{OE} に関わらず、各ピンは選択解除の状態、I/O はトライステートの状態です。
7. \overline{OE} は非同期で、クロック立ち上がりと同期してサンプリングされません。書き込みサイクル中にマスキングされます。読み出しサイクルでは、 \overline{OE} が非アクティブ、またはデバイスが選択解除された場合、 DQ_s と DQP_x はトライステートになり、 \overline{OE} がアクティブの場合は、 DQ_s はデータを格納します。

部分書き込みサイクルの説明

以下は、CY7C1460KV33/CY7C1460KVE33 の部分書き込みサイクルの説明です。[8、9、10、11]

機能 (CY7C1460KV33/CY7C1460KVE33)	\overline{WE}	$\overline{BW_d}$	$\overline{BW_c}$	$\overline{BW_b}$	$\overline{BW_a}$
読み出し	H	X	X	X	X
書き込み – バイト書き込みなし	L	H	H	H	H
バイト a 書き込み – (DQ _a , DQP _a)	L	H	H	H	L
バイト b 書き込み – (DQ _b , DQP _b)	L	H	H	L	H
バイト b、a 書き込み	L	H	H	L	L
バイト c 書き込み – (DQ _c , DQP _c)	L	H	L	H	H
バイト c、a 書き込み	L	H	L	H	L
バイト c、b 書き込み	L	H	LL	L	H
バイト c、b、a 書き込み	L	H	L	L	L
バイト d 書き込み – (DQ _d , DQP _d)	L	L	H	H	H
バイト d、a 書き込み	L	L	H	H	L
バイト d、b 書き込み	L	L	H	L	H
バイト d、b、a 書き込み	L	L	H	L	L
バイト d、c 書き込み	L	L	L	H	H
バイト d、c、a 書き込み	L	L	L	H	L
バイト d、c、b 書き込み	L	L	L	L	H
すべてのバイト書き込み	L	L	L	L	L

部分書き込みサイクルの説明

以下は、CY7C1462KVE33 の部分書き込みサイクルの説明です。[9、11]

機能 (CY7C1462KVE33)	\overline{WE}	$\overline{BW_b}$	$\overline{BW_a}$
読み出し	H	x	x
書き込み – バイト書き込みなし	L	H	H
バイト a 書き込み – (DQ _a , DQP _a)	L	H	L
バイト b 書き込み – (DQ _b , DQP _b)	L	L	H
両バイト書き込み	L	L	L

- 注
- X=「ドントケア」、H=論理 HIGH、L=論理 LOW、すべてのチップ イネーブルを担当する \overline{CE} はアクティブです。「 $\overline{BW_x} = L$ 」は、少なくとも 1 バイト書き込みセレクト信号がアクティブ、「 $\overline{BW_x} = \text{有効}$ 」は、対象のバイト書き込みセレクト信号がアサートされることを示します。詳細については、書き込みサイクル説明表を参照してください。
 - 書き込みは、 \overline{WE} と $\overline{BW_x}$ を使って定義されます。詳細については、書き込みサイクル説明表を参照してください。
 - 書き込みサイクルが検出された場合、バイト書き込み中でも、すべての \overline{IO} はトライーステートになります。
 - この表では、バイト書き込み組み合わせの一部を一覧表示します。どの $\overline{BW_{[a,d]}}$ の組み合わせも有効です。書き込みは、アクティブになるバイト書き込み信号に応じて適切に行われます。

IEEE 1149.1 シリアルバウンダリ スキャン (JTAG)

CY7C1460KVE33 はシリアル バウンダリ スキャン テスト アクセス ポート (TAP) を内蔵しています。このデバイスは 1149.1 に完全に準拠しています。TAP は、JEDEC 標準の 3.3V または 2.5V I/O 論理レベルを使用して動作します。

CY7C1460KVE33 は、TAP コントローラー、命令レジスタ、バウンダリ スキャン レジスタ、バイパス レジスタおよび ID レジスタを含んでいます。

JTAG 機能の無効化

JTAG 機能を使用せずに SRAM を実行することができます。TAP コントローラーを無効にするためには、TCK を LOW (V_{SS}) に接続してデバイスへのクロック供給を防ぐ必要があります。TDI と TMS は内部でプルアップされ、未接続にされる場合があります。これらは、プルアップ抵抗を介して交互に V_{DD} に接続されます。TDO は未接続にする必要があります。電源投入時にデバイスは、デバイス動作を妨げないリセット状態に入ります。

テスト アクセス ポート (TAP)

テスト クロック (TCK)

テスト クロックは TAP コントローラーとのみ併用できます。全ての入力を TCK の立ち上がりエッジで取り込みます。全ての出力は TCK の立ち下がりエッジで駆動されます。

テスト モード選択 (TMS)

TMS 入力は、TAP コントローラーにコマンドを送信するために使用され、TCK の立ち上がりエッジでサンプリングされます。TAP を使用しない場合、このボールを開放することができます。ボールは内部でプルアップされるため、論理 HIGH レベルになります。

テスト データ入力 (TDI)

TDI ボールは、レジスタに情報をシリアル入力するために使用され、どのレジスタの入力にも接続することができます。TDI と TDO 間の接続レジスタは、TAP 命令レジスタにロードされた命令によって選択されます。アプリケーションで TAP を使用しない場合、TDI は内部でプルアップされ、開放されることがあります。TDI はあらゆるレジスタの最上位ビット (MSB) に接続されます (TAP コントローラーのブロック図を参照してください)。

テスト データ出力 (TDO)

TDO 出力ボールは、レジスタからデータをシリアル出力するために使用されます。出力は、TAP ステート マシンの状態に応じてアクティブになります。出力は TCK の立ち下がりエッジで変化します。TDO はあらゆるレジスタの最下位ビット (LSB) に接続されます (TAP コントローラー状態遷移図を参照してください)。

TAP リセットの実行

リセットは、TCK の 5 つの立ち上がりエッジの間 TMS を HIGH (V_{DD}) にすることで実行されます。このリセットは SRAM の動作に影響を与えず、SRAM の動作中に実行できます。

電源投入時に TDO を High Z 状態にするために、TAP を内部でリセットします。

TAP レジスタ

SRAM テスト回路の入力と出力データをスキャンすることを可能にするために、TDI と TDO の間にレジスタが接続されます。命令レジスタを通して、一度に選択されるレジスタは 1 つのみです。データは TCK の立ち上がりエッジで TDI ボールに順次ロードされます。データは TCK の立ち下がりエッジで TDO ボールに出力されます。

命令レジスタ

3 ビットの命令を命令レジスタに順次ロードすることができます。このレジスタは、TAP コントローラーのブロック図に示すように、TDI と TDO ボール間に配置された時にロードされます。電源投入時に、IDCODE 命令が命令レジスタにロードされます。前述したように、コントローラーがリセット状態になった場合にも、IDCODE 命令が命令レジスタにロードされます。

TAP コントローラーが Capture-IR 状態になった時、基板レベルのシリアル テスト データ パスの障害分離を可能にするために、2 進数「01」パターンが最下位 2 ビットにロードされます。

バイパス レジスタ

レジスタを通してデータをシフトする際の時間を節約するために、特定のチップをスキップすることが有利な場合もあります。バイパス レジスタは、TDI と TDO ボール間に配置できる 1 ビットのレジスタです。これにより、最小限の遅延で SRAM を介してデータをシフトすることができます。BYPASS 命令が実行される時、バイパス レジスタは LOW (V_{SS}) に設定されます。

バウンダリ スキャン レジスタ

バウンダリ スキャン レジスタは、SRAM 上の全ての入力および双方向ボールに接続されます。各種パッケージでの SRAM 用バウンダリ スキャン レジスタの長さは、レジスタ サイズ表を参照してください。

バウンダリ スキャン レジスタは、TAP コントローラーが Capture-DR 状態になった時に RAM I/O リングの内容でロードされ、そしてコントローラーが Shift-DR 状態に入ると TDI と TDO ボール間に配置されます。EXTEST、SAMPLE/PRELOAD、SAMPLE Z 命令は、I/O リングの内容を取り込むために使用されます。

19 ページのバウンダリ スキャン順序に、ビットが接続されている順序を示します。各ビットは、SRAM パッケージ上の 1 つの端子に対応します。レジスタの MSB は TDI に、LSB は TDO に接続されます。

識別 (ID) レジスタ

IDCODE コマンドが命令レジスタにロードされた時、Capture-DR 状態の間に、ID レジスタにベンダー固有の 32 ビット コードがロードされます。IDCODE は SRAM 内に格納され、TAP コントローラーが Shift-DR 状態になるとシフトアウトされます。ID レジスタのベンダー コードおよびその他の情報は 18 ページの ID レジスタの定義を参照してください。

TAP 命令セット

概要

3 ビットの命令レジスタにより、8 つの異なる命令が可能になります。すべての組み合わせは、命令コード表にリストアップします。これらの命令の内 3 つは RESERVED で、使用できません。残りの 5 つの命令を以下に詳しく説明します。

命令レジスタが TDI と TDO の間に配置されると、命令は Shift-IR 状態の間に TAP コントローラーにロードされます。この状態の

間に、命令レジスタを通して命令は TDI ボールから TDO ボールまでシフトされます。シフトインされた命令を実行するために、TAP コントローラーを Update-IR 状態にする必要があります。

IDCODE

IDCODE 命令では、ベンダー固有の 32 ビットコードを命令レジスタにロードします。また、命令レジスタを TDI ボールと TDO ボールの間に配置して、TAP コントローラーが Shift-DR 状態に入った時に IDCODE をデバイスからシフトアウトします。

IDCODE 命令は、電源投入時または TAP コントローラーが「Test-Logic-Reset」状態に入る度に、命令レジスタにロードされます。

SAMPLE Z

SAMPLE Z 命令では、TAP コントローラーが Shift-DR 状態に入った時にバウンダリ スキャン レジスタを TDI と TDO ピンの間に接続します。SAMPLE Z コマンドにより、「Update IR」状態中に次のコマンドが発行されるまで出力バスが High Z 状態になります。

SAMPLE/PRELOAD

SAMPLE/PRELOAD は 1149.1 標準の必須命令です。SAMPLE/PRELOAD 命令が命令レジスタにロードされ、TAP コントローラーが Capture-DR 状態になっている場合、入力と出力ピン上のデータのスナップショットはバウンダリ スキャン レジスタに取り込まれます。

TAP コントローラー クロックは最大 20MHz の周波数で動作するのに対して、SRAM クロックは桁違いに速い周波数で動作することに注意してください。クロック周波数に大きな差があるため、入力または出力は Capture-DR 状態中に変化する可能性があります。その後、TAP は変化中 (メタステーブル状態) の信号を取り込もうとするかもしれません。これはデバイスに悪影響を与えませんが、取り込まれた値に対する保証はありません。結果を再現できない場合があります。

バウンダリ スキャン レジスタが信号の正しい値を取り込むために、SRAM 信号は、TAP コントローラーのキャプチャセットアップ + ホールド時間 ($t_{CS} + t_{CH}$) を満たす十分な安定時間を取る必要があります。SAMPLE/PRELOAD 命令の間にクロックを停止する (または遅くする) 方法がデザインにない場合、SRAM クロック入力は正常に取り込まれない場合があります。その場合でも、他のすべての信号を取り込むことはまだ可能で、単にバウンダリ スキャン レジスタに取り込まれたクロックの値を無視してもかまいません。

データが取り込まれた後、TAP を Shift-DR 状態に移行させることでデータをシフトアウトすることができます。これにより、

バウンダリ スキャン レジスタが TDI と TDO ピンの間に配置されます。

PRELOAD では、他のバウンダリ スキャン テスト動作の選択の前に、初期データ パターンをバウンダリ スキャン レジスタセルのラッチされたパラレル出力に配置します。

SAMPLE および PRELOAD フェーズ用のデータのシフトは、必要に応じて同時に発生することができます。つまり取り込まれたデータがシフトアウトされている間にプリロードされたデータがシフトインされます。

BYPASS

BYPASS 命令が命令レジスタにロードされ、TAP が Shift-DR 状態になる時、バイパス レジスタは TDI と TDO ピンの間に配置されます。BYPASS 命令の利点は、基板上で複数のデバイスが接続されている時にバウンダリ スキャン バスを短縮することです。

EXTEST

EXTEST 命令は、システム出力ピンを通してプリロードされたデータを駆動します。この命令では、Shift-DR 状態の間にシリアルアクセス用にバウンダリ スキャン レジスタを TDI と TDO の間に接続します。

EXTEST OUTPUT BUS TRISTATE

IEEE 標準 1149.1 では、TAP コントローラーは出力バスをトライステートにできる必要があります。

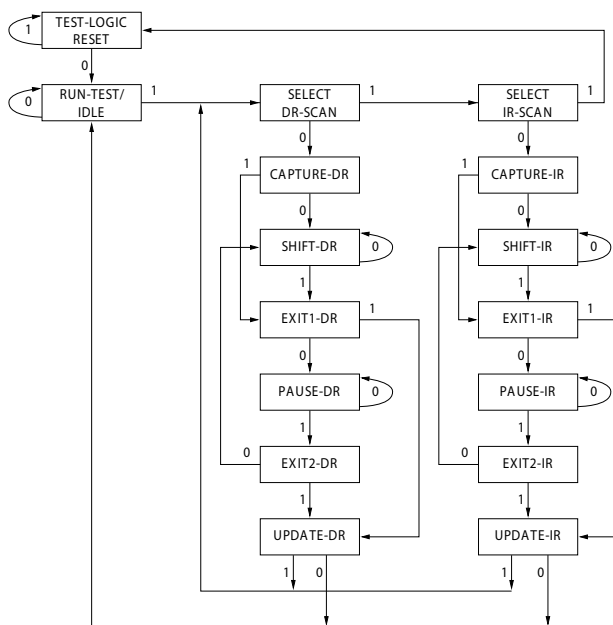
バウンダリ スキャン レジスタには、ビット 89 に位置付けられた特別なビットがあります (165 ボール FBGA パッケージの場合)。「extest output bus tristate」と呼ばれるこのスキャンセルは、TAP コントローラーで「Update-DR」状態中にプリロードレジスタにラッチされた時、EXTEST が現時点の命令として入力されると、出力 (Q バス) ピンの状態を直接制御します。このビットは HIGH の時、出力バッファに出力バスを駆動させます。LOW の時、出力バスを High Z 状態に移行させます。

Shift-DR 状態中に、SAMPLE/PRELOAD または EXTEST コマンドを入力して、所望のビットをそのセルにシフトすることでこのビットをセットできます。「Update-DR」の間に、そのシフト レジスタ セルにロードされた値はプリロード レジスタにラッチされます。EXTEST 命令を入力すると、このビットは出力 Q バス ピンを直接制御します。デバイスが電源投入された時や TAP コントローラーが「Test-Logic-Reset」状態になった時に出力を有効にするために、このビットは HIGH にあらかじめセットされることに注意してください。

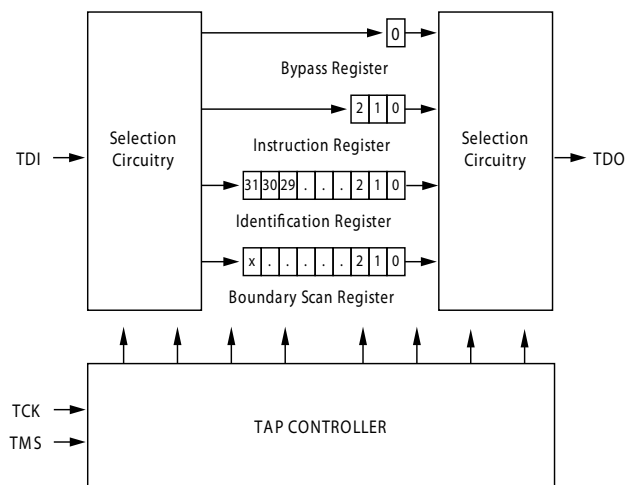
Reserved

これら命令は実装されていませんが、将来のために予約されます。これらの命令を使用しないでください。

TAP コントローラー状態遷移図

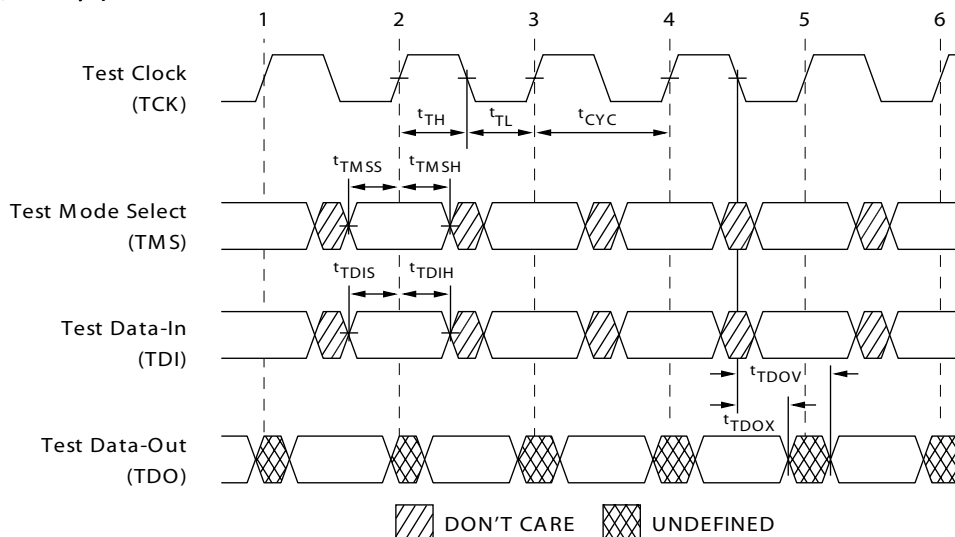


TAP コントローラーのブロック図



状態遷移の 0/1 は、TCK の立ち上がりエッジでの TMS の値を示します。

TAP タイミング図



TAP AC スイッチング特性

動作範囲において

パラメータ [12, 13]	説明	Min	Max	単位
クロック				
t_{TCYC}	TCK クロック サイクル時間	50	–	ns
t_{TF}	TCK クロック 周波数	–	20	MHz
t_{TH}	TCK クロック HIGH 時間	20	–	ns
t_{TL}	TCK クロック LOW 時間	20	–	ns
出力時間				
t_{TDOV}	TCK クロックが LOW から TDO が有効になるまでの時間	–	10	ns
t_{TDOX}	TCK クロックが LOW から TDO 無効までの時間	0	–	ns
セットアップ時間				
t_{TMSS}	TCK クロックの立ち上がりまでの TMS セットアップ時間	5	–	ns
t_{TDIS}	TCK クロックの立ち上がりまでの TDI セットアップ時間	5	–	ns
t_{CS}	TCK の立ち上がりまでのキャプチャ セットアップ時間	5	–	ns
ホールド時間				
t_{TMSH}	TCK クロック 立ち上がり後の TMS ホールド時間	5	–	ns
t_{TDIH}	クロック 立ち上がり後の TDI ホールド時間	5	–	ns
t_{CH}	クロック 立ち上がり後のキャプチャ ホールド時間	5	–	ns

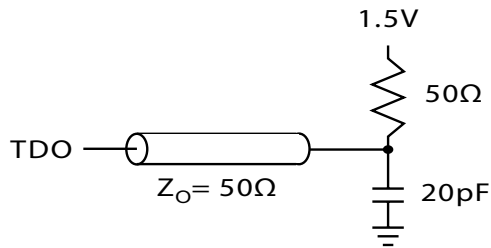
注

12. t_{CS} と t_{CH} は、バウンダリ スキャン レジスタからデータをラッチするためのセットアップとホールド時間を示します。
13. テスト条件は TAP AC テスト条件での負荷を使用して指定されます。 $t_p/t_f = 2V/ns$ (スルー レート)。

3.3V TAP AC テスト条件

入力パルス レベル $V_{SS} \sim 3.3V$
 入力の立ち上がりと立ち下がり時間 (スルーレート) . 2V/ns
 入力タイミングのリファレンス電圧レベル 1.5V
 出力のリファレンス電圧レベル 1.5V
 テスト負荷終端電源電圧 1.5V

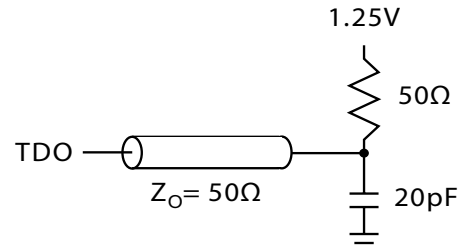
3.3V TAP AC 出力負荷の等価回路



2.5V TAP AC テスト条件

入力パルス レベル $V_{SS} \sim 2.5V$
 入力の立ち上がりと立ち下がり時間 (スルーレート) . 2V/ns
 入力タイミングのリファレンス電圧レベル 1.25V
 出力のリファレンス電圧レベル 1.25V
 テスト負荷終端電源電圧 1.25V

2.5V TAP AC 出力負荷の等価回路



TAP DC 電气的特性および動作条件

(特記されていない限り、 $0^{\circ}C < T_A < +70^{\circ}C$; $V_{DD} = 3.135V \sim 3.6V$)

パラメータ [14]	項目	テスト条件	Min	Max	単位
V_{OH1}	出力 HIGH 電圧	$I_{OH} = -4.0mA$, $V_{DDQ} = 3.3V$	2.4	—	V
		$I_{OH} = -1.0mA$, $V_{DDQ} = 2.5V$	2.0	—	V
V_{OH2}	出力 HIGH 電圧	$I_{OH} = -100\mu A$, $V_{DDQ} = 3.3V$	2.9	—	V
		$V_{DDQ} = 2.5V$	2.1	—	V
V_{OL1}	出力 LOW 電圧	$I_{OL} = 8.0mA$, $V_{DDQ} = 3.3V$	—	0.4	V
		$I_{OL} = 1.0mA$, $V_{DDQ} = 2.5V$	—	0.4	V
V_{OL2}	出力 LOW 電圧	$I_{OL} = 100\mu A$, $V_{DDQ} = 3.3V$	—	0.2	V
		$V_{DDQ} = 2.5V$	—	0.2	V
V_{IH}	入力 HIGH 電圧	$V_{DDQ} = 3.3V$	2.0	$V_{DD} + 0.3$	V
		$V_{DDQ} = 2.5V$	1.7	$V_{DD} + 0.3$	V
V_{IL}	入力 LOW 電圧	$V_{DDQ} = 3.3V$	-0.3	0.8	V
		$V_{DDQ} = 2.5V$	-0.3	0.7	V
I_x	入力負荷電流	$GND \leq V_{IN} \leq V_{DDQ}$	-5	5	μA

注

14. 全ての電圧は V_{SS} (GND) を基準にしています。
 15. 本デバイスの 2.5V と 3.3V バージョンの両方の ID レジスタ定義ではビット 24 が「1」です。

ID レジスタの定義

命令フィールド	CY7C1460KVE33 (1M × 36)	説明
リビジョン番号 (31:29)	000	リビジョン番号を示す
デバイス動作深度 (28:24) ^[15]	01011	内部使用のために予約済み
アーキテクチャ／メモリ タイプ (23:18)	001000	メモリ タイプとアーキテクチャを定義
バス幅／容量 (17:12)	100111	幅と容量を定義
サイプレスの JEDEC ID コード (11:1)	00000110100	SRAM ベンダーを識別
ID レジスタの有無インジケータ (0)	1	ID レジスタの有無を示す

スキャン レジスタ サイズ

レジスタ名	ビット サイズ (×36)
命令	3
バイパス	1
ID	32
バウンダリ スキャン順序 (165 ボール FBGA パッケージ)	89

ID コード

命令	コード	説明
EXTEST	000	入力および出力リングの内容を取り込む。バウンダリ スキャン レジスタを TDI と TDO の間に配置。全ての SRAM 出力ドライバーを High Z 状態に移行
IDCODE	001	ベンダー ID コードを ID レジスタにロードし、レジスタを TDI と TDO の間に配置。この動作は SRAM 動作に影響を与えない
SAMPLE Z	010	I/O リングの内容を取り込む。バウンダリ スキャン レジスタを TDI と TDO の間に配置。全ての SRAM 出力ドライバーを High Z 状態に移行
RESERVED	011	未使用：将来のために予約される
SAMPLE/PRELOAD	100	入力および出力リングの内容を取り込む。バウンダリ スキャン レジスタを TDI と TDO の間に配置。SRAM 動作に影響を与えない
RESERVED	101	未使用：将来のために予約される
RESERVED	110	未使用：将来のために予約される
BYPASS	111	バイパス レジスタを TDI と TDO の間に配置。この動作は SRAM 動作に影響を与えない

バウンダリ スキャン順序

165 ボール FBGA ^[16]

CY7C1460KVE33 (1M×36)

ビット番号	ボール ID	ビット番号	ボール ID	ビット番号	ボール ID	ビット番号	ボール ID
1	N6	26	E11	51	A3	76	N1
2	N7	27	D11	52	A2	77	N2
3	10N	28	G10	53	B2	78	P1
4	P11	29	F10	54	C2	79	R1
5	P8	30	E10	55	B1	80	R2
6	R8	31	D10	56	A1	81	P3
7	R9	32	C11	57	C1	82	R3
8	P9	33	A11	58	D1	83	P2
9	P10	34	B11	59	E1	84	R4
10	R10	35	A10	60	F1	85	P4
11	R11	36	B10	61	G1	86	N5
12	H11	37	A9	62	D2	87	P6
13	N11	38	B9	63	E2	88	R6
14	M11	39	C10	64	F2	89	内部
15	L11	40	A8	65	G2		
16	K11	41	B8	66	H1		
17	J11	42	A7	67	H3		
18	M10	43	B7	68	J1		
19	L10	44	B6	69	K1		
20	K10	45	A6	70	L1		
21	J10	46	B5	71	M1		
22	H9	47	A5	72	J2		
23	H10	48	A4	73	K2		
24	G11	49	B4	74	L2		
25	F11	50	B3	75	M2		

注

16. ビット 89 は HIGH にプリセットされます。

最大定格

最大定格を超えるとデバイスの寿命が短くなる可能性があります。ユーザー ガイドラインはテストされていません。

保存温度 -65 °C ~ +150 °C
 通電時の周囲温度 -55 °C ~ +125 °C
 GND を基準とした V_{DD} 上の電源電圧 -0.5V ~ +4.6V
 GND を基準とした V_{DDQ} 上の電源電圧 -0.5V ~ + V_{DD}
 トライステート状態の出力に
 与える DC 電圧 -0.5V ~ $V_{DDQ}+0.5V$
 DC 入力電圧 -0.5V ~ $V_{DD}+0.5V$
 出力 (LOW) への電流 20mA
 静電放電時の電圧
 (MIL-STD-883、メソッド 3015) >2001V
 ラッチアップ電流 >200mA

中性子ソフト エラー耐性

パラメータ	説明	テスト条件	Typ	Max*	単位
LSBU (ECC なしのデバイス)	単一論理ビット反転	25 °C	197	216	FIT/Mb
LSBU (ECC 付きデバイス)			0	0.01	FIT/Mb
LMBU (すべてのデバイス)	複数論理ビット反転	25 °C	0	0.01	FIT/Mb
SEL (すべてのデバイス)	シングルイベントラッチアップ	85 °C	0	0.1	FIT/Dev

* テスト中に LMBU または SEL イベントは発生しない; 本項は χ^2 分布の 95% 信頼上限を示します。詳細については、「中性子の SER 加速試験と地上における故障率の計算 -AN 54908」アプリケーションノートを参照してください。

動作範囲

範囲	周囲温度	V_{DD}	V_{DDQ}
商用	0 °C ~ +70 °C	3.3V – 5% / + 10%	2.5V – 5% ~ V_{DD}
産業用	-40 °C ~ +85 °C		

電気的特性

動作範囲において

パラメータ [17, 18]	説明	テスト条件	Min	Max	単位
V_{DD}	電源電圧		3.135	3.6	V
V_{DDQ}	I/O 電源電圧	3.3V I/O の場合	3.135	V_{DD}	V
		2.5V I/O の場合	2.375	2.625	V
V_{OH}	出力 HIGH 電圧	3.3V I/O、 $I_{OH} = -4.0mA$ の場合	2.4	–	V
		2.5V I/O、 $I_{OH} = -1.0mA$ の場合	2.0	–	V
V_{OL}	出力 LOW 電圧	3.3V I/O、 $I_{OL} = 8.0mA$ の場合	–	0.4	V
		2.5V I/O、 $I_{OL} = 1.0mA$ の場合	–	0.4	V
V_{IH}	入力 HIGH 電圧 [17]	3.3V I/O の場合	2.0	$V_{DD} + 0.3V$	V
		2.5V I/O の場合	1.7	$V_{DD} + 0.3V$	V
V_{IL}	入力 LOW 電圧 [17]	3.3V I/O の場合	-0.3	0.8	V
		2.5V I/O の場合	-0.3	0.7	V
I_X	入力リーク電流 (ZZ とモードを除く)	$GND \leq V_I \leq V_{DDQ}$	-5	5	μA
	MODE の入力電流	入力 = V_{SS}	-30	–	μA
		入力 = V_{DD}	–	5	μA
	ZZ の入力電流	入力 = V_{SS}	-5	–	μA
		入力 = V_{DD}	–	30	μA
I_{OZ}	出力リーク電流	$GND \leq V_I \leq V_{DDQ}$ 、出力が無効	-5	5	μA

注

17. オーバーシュート : $V_{IH}(AC) < V_{DD}+1.5V$ (パルス幅が $t_{CYC}/2$ 未満)、アンダーシュート : $V_{IL}(AC) > -2V$ (パルス幅が $t_{CYC}/2$ 未満)。
 18. $T_{power\ up}$: 200ms 以内に 0V ~ V_{DD} (Min) のリニア ランプを前提としています。この間では、 $V_{IH} < V_{DD}$ 、 $V_{DDQ} \leq V_{DD}$ 。

電気的特性 (続き)

動作範囲において

パラメータ [17, 18]	説明	テスト条件			Min	Max	単位
I_{DD}	V_{DD} 動作時電源	$V_{DD} = \text{Max}$, $I_{OUT} = 0\text{mA}$, $f = f_{MAX} = 1/t_{CYC}$	4ns のサイクル、 250MHz	×18	—	220	mA
				×36	—	240	
			5ns のサイクル、 200MHz	×18	—	190	mA
				×36	—	210	
			6ns のサイクル、 167MHz	×18	—	170	mA
				×36	—	190	
I_{SB1}	自動 CE パワーダウン電 流 –TTL 入力	$V_{DD} = \text{Max}$, デバイス選択解除、 $V_{IN} \geq V_{IH}$ または $V_{IN} \leq V_{IL}$, $f = f_{MAX} = 1/t_{CYC}$	4ns のサイクル、 250MHz	×18	—	85	mA
				×36	—	90	
			5ns のサイクル、 200MHz	×18	—	85	mA
				×36	—	90	
			6ns のサイクル、 167MHz	×18	—	85	mA
				×36	—	90	
I_{SB2}	自動 CE のパワーダウン 電流 – CMOS 入力	$V_{DD} = \text{Max}$, デバイス選択解除、 $V_{IN} \leq 0.3V$ または $V_{IN} \geq V_{DDQ} - 0.3V$, $f = 0$	すべてのスピード グレード	×18	—	75	mA
				×36	—	80	
I_{SB3}	自動 CE のパワーダウン 電流 – CMOS 入力	$V_{DD} = \text{Max}$, デバイス選択解除、 $V_{IN} \leq 0.3V$ または $V_{IN} \geq V_{DDQ} - 0.3V$, $f = f_{MAX} = 1/t_{CYC}$	4ns のサイクル、 250MHz	×18	—	85	mA
				×36	—	90	
			5ns のサイクル、 200MHz	×18	—	85	mA
				×36	—	90	
			6ns のサイクル、 167MHz	×18	—	85	mA
				×36	—	90	
I_{SB4}	自動 CE パワーダウン電 流 –TTL 入力	$V_{DD} = \text{Max}$, デバイス選択解除、 $V_{IN} \geq V_{IH}$ または $V_{IN} \leq V_{IL}$, $f = 0$	すべてのスピード グレード	×18	—	75	mA
				×36	—	80	

静電容量

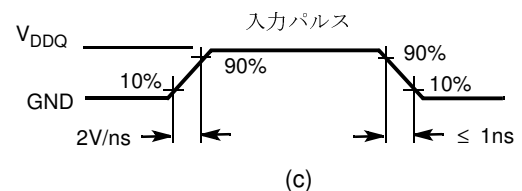
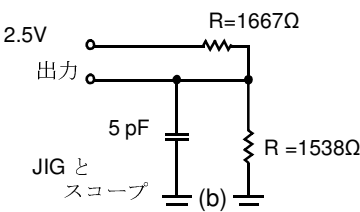
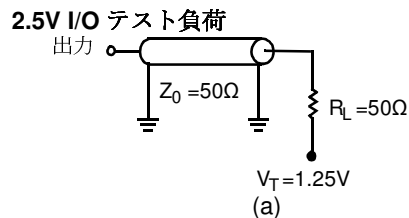
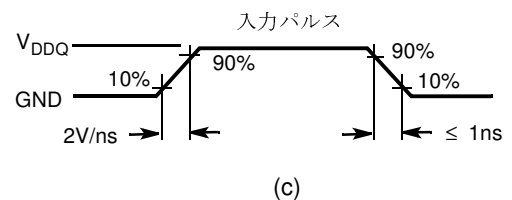
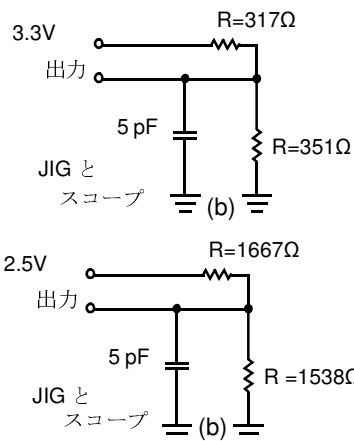
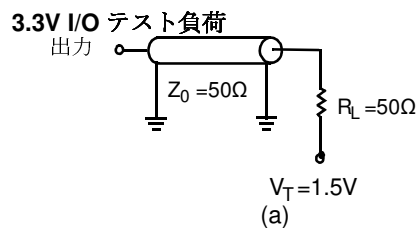
パラメータ [19]	項目	テスト条件	100 ピン TQFP 最大値	165 ボール FBGA 最大値	単位
C_{IN}	入力静電容量	$T_A = 25^\circ\text{C}$ 、 $f = 1\text{MHz}$ 、 $V_{DD} = 3.3\text{V}$ 、 $V_{DDQ} = 2.5\text{V}$	5	5	pF
C_{CLK}	クロック入力静電容量		5	5	pF
$C_{I/O}$	入力／出力の静電容量		5	5	pF

熱抵抗

パラメータ ^[19]	項目	テスト条件		100 ピン TQFP パッケージ	165 ボール FBGA パッケージ	単位
Q _{JA}	熱抵抗 (接合部から周囲)	テ ス ト 条 件 は、 EIA/JESD51 による、熱 インピーダンスを測定 するための標準的なテ スト方法と手順に従う	エア (0 メートル / 秒) 静止付	35.36	14.24	°C/W
			エアーフロー (1 メートル / 秒)	31.30	12.47	
			エアーフロー (3 メートル / 秒)	28.86	11.40	
Q _{JC}	熱抵抗 (接合部からケース)			7.52	3.92	
Q _{JB}	熱抵抗 (ジャンクションボードへ)			28.89	7.19	

AC テストの負荷と波形

図 3. AC テストの負荷と波形



注

19. 最初にテストされますが、設計またはプロセスで変更があった後に、これらのパラメータが影響を受ける場合があります。

スイッチング特性

動作範囲において

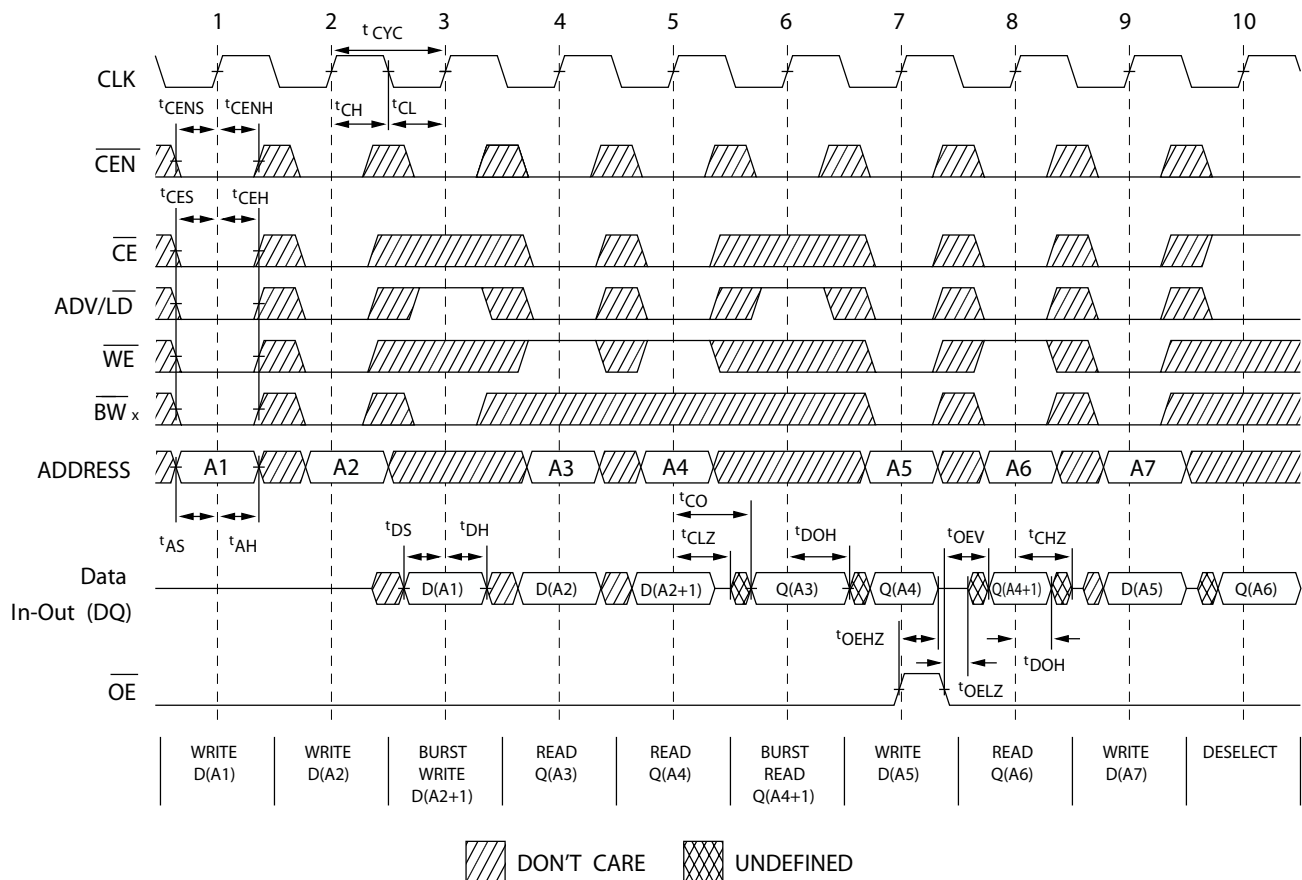
パラメータ [20, 21]	説明	-250		-200		-167		単位
		Min	Max	Min	Max	Min	Max	
$t_{Power}^{[22]}$	V_{CC} (typ) から最初の読み出し／書き込みアクセス	1	—	1	—	1	—	ms
クロック								
t_{CYC}	クロック サイクル期間	4.0	—	5.0	—	6.0	—	ns
F_{MAX}	最大動作周波数	—	250	—	200	—	167	MHz
t_{CH}	クロック HIGH	1.5	—	2.0	—	2.4	—	ns
t_{CL}	クロック LOW	1.5	—	2.0	—	2.4	—	ns
出力時間								
t_{CO}	CLK 立ち上がり後のデータ出力有効時間	—	2.5	—	3.2	—	3.4	ns
t_{EOV}	\overline{OE} LOW から出力有効までの時間	—	2.6	—	3.0	—	3.4	ns
t_{DOH}	CLK 立ち上がり後のデータ出力ホールド時間	1.0	—	1.5	—	1.5	—	ns
t_{CHZ}	クロックから HIGH Z までの時間 [23, 24, 25]	—	2.6	—	3.0	—	3.4	ns
t_{CLZ}	クロックから LOW Z までの時間 [23, 24, 25]	1.0	—	1.3	—	1.5	—	ns
t_{EOHZ}	\overline{OE} HIGH から出力 HIGH Z までの時間 [23, 24, 25]	—	2.6	—	3.0	—	3.4	ns
t_{EOLZ}	\overline{OE} LOW から出力 LOW Z までの時間 [23, 24, 25]	0	—	0	—	0	—	ns
セットアップ時間								
t_{AS}	CLK 立ち上がり前のアドレス セットアップ時間	1.2	—	1.4	—	1.5	—	ns
t_{DS}	CLK 立ち上がり前のデータ入力セットアップ時間	1.2	—	1.4	—	1.5	—	ns
t_{CENS}	CLK 立ち上がり前の \overline{CEN} セットアップ時間	1.2	—	1.4	—	1.5	—	ns
t_{WES}	CLK 立ち上がり前の \overline{WE} 、 \overline{BW}_x セットアップ時間	1.2	—	1.4	—	1.5	—	ns
t_{ALS}	CLK 立ち上がり前の $\overline{ADV/LD}$ セットアップ時間	1.2	—	1.4	—	1.5	—	ns
t_{CES}	チップセレクトのセットアップ時間	1.2	—	1.4	—	1.5	—	ns
ホールド時間								
t_{AH}	CLK 立ち上がり後のアドレス ホールド時間	0.3	—	0.4	—	0.5	—	ns
t_{DH}	CLK 立ち上がり後のデータ入力ホールド時間	0.3	—	0.4	—	0.5	—	ns
t_{CENH}	CLK 立ち上がり後の \overline{CEN} ホールド時間	0.3	—	0.4	—	0.5	—	ns
t_{WEH}	CLK 立ち上がり後の \overline{WE} 、 \overline{BW}_x ホールド時間	0.3	—	0.4	—	0.5	—	ns
t_{ALH}	CLK 立ち上がり後の $\overline{ADV/LD}$ ホールド時間	0.3	—	0.4	—	0.5	—	ns
t_{CEH}	CLK 立ち上がり後のチップセレクト ホールド時間	0.3	—	0.4	—	0.5	—	ns

注

20. タイミングの基準電圧レベルは、 $V_{DDQ} = 3.3V$ の場合は 1.5V であり、 $V_{DDQ} = 2.5V$ の場合は 1.25V です。
21. 特に明記しない限り、テスト条件は、22 ページの図 3 の (a) に示します。
22. このデバイスは電圧レギュレータを内蔵しています； t_{power} は、読み出しまたは書き込み処理が開始される前に、まず V_{DD} (最小値) を超えた電源を供給する必要がある時間です。
23. t_{CHZ} 、 t_{CLZ} 、 t_{EOHZ} は 22 ページの図 3 の (b) に示した AC テスト条件で指定されます。遷移は定常状態での電圧 $\pm 200mV$ の電圧レベルで測定されます。
24. 任意の電圧と温度において、同じデータバスを共用する時、SRAM 間にバス競合を回避するために、 t_{EOHZ} は t_{EOLZ} より少なく、 t_{CHZ} は t_{CLZ} より少ないです。これらの仕様では、バス競合条件を説明しませんが、最悪の場合のユーザー条件において保証されるパラメータを示します。デバイスは、同じシステム条件下で LOW Z の前に High Z を達成するために設計されています。
25. このパラメータはサンプリングされ、すべてのデバイスで試験されるわけではありません。

スイッチング波形

図4. 読み出し／書き込みタイミング [26、27、28]



- 注
26. この波形の場合は ZZ は LOW に保持されます。
27. \overline{CE} が LOW の場合、 \overline{CE}_1 が LOW、 \overline{CE}_2 が HIGH、 \overline{CE}_3 が LOW です。 \overline{CE} が HIGH の場合、 \overline{CE}_1 が HIGH、または \overline{CE}_2 が LOW、または \overline{CE}_3 が HIGH です。
28. パーストシーケンスの順序は、MODE ピンのステータスにより判定されます (0=リニア、1=インターリーブ)。パースト動作は任意です。

スイッチング波形 (続き)

図 5. NOP、STALL、DESELECT サイクル^[29、30、31]

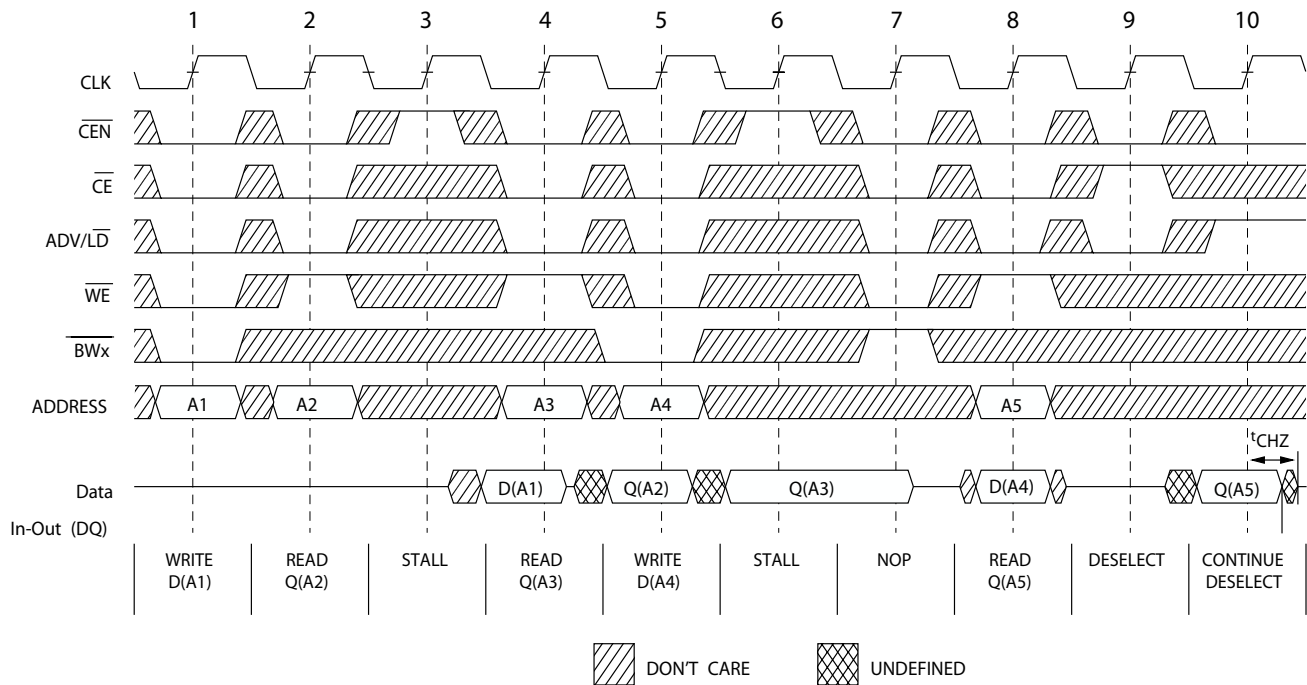
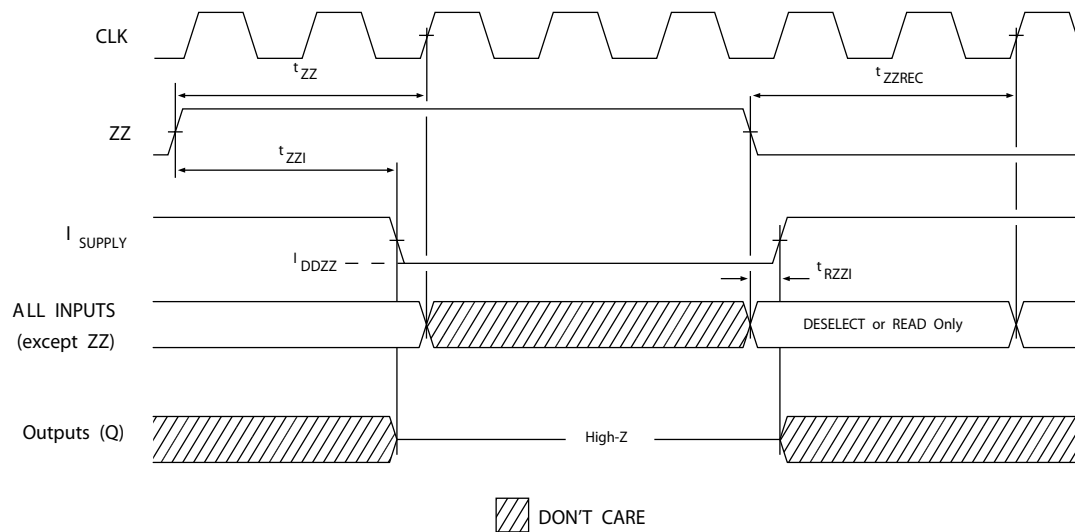


図 6. ZZ モードタイミング^[32、33]



- 注**
29. この波形の場合は ZZ は LOW に保持されます。
30. \overline{CE} が LOW の場合、 \overline{CE}_1 が LOW、 \overline{CE}_2 が HIGH、 \overline{CE}_3 が LOW です。 \overline{CE} が HIGH の場合、 \overline{CE}_1 が HIGH、または \overline{CE}_2 が LOW、または \overline{CE}_3 が HIGH です。
31. クロック エッジ無視サイクルやストール サイクル (クロック 3) は \overline{CEN} が一時停止するために使用されていることを介して示されます。このサイクルでは、書き込みは実行されません。
32. ZZ モードに入る時、デバイスを選択解除する必要があります。デバイスを選択解除するための全ての可能な信号条件については、サイクル説明表を参照してください。
33. ZZ スリープ モードを終了した時、I/O は high Z 状態になります。

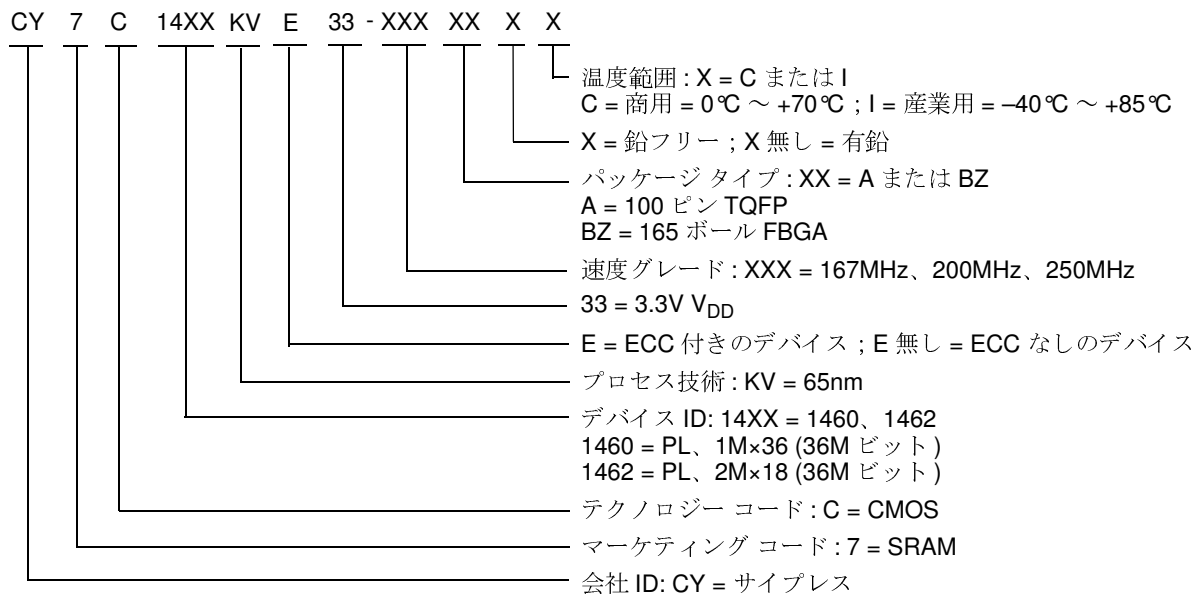
注文情報

以下の表には、現在在庫としてある部品のみを示します。お探しのものが見つからない場合は、最寄りの販売代理店にお問い合わせください。詳細は、サイプレスのウェブサイト www.cypress.com にアクセスし、製品概要のページ <http://www.cypress.com/products> を参照して下さい。

サイプレスは、世界中に事業所やソリューション センター、販売代理店を持っています。お客様の最寄りのオフィスについては、サイプレスの <http://www.cypress.com/go/datasheet/offices> をご覧ください。

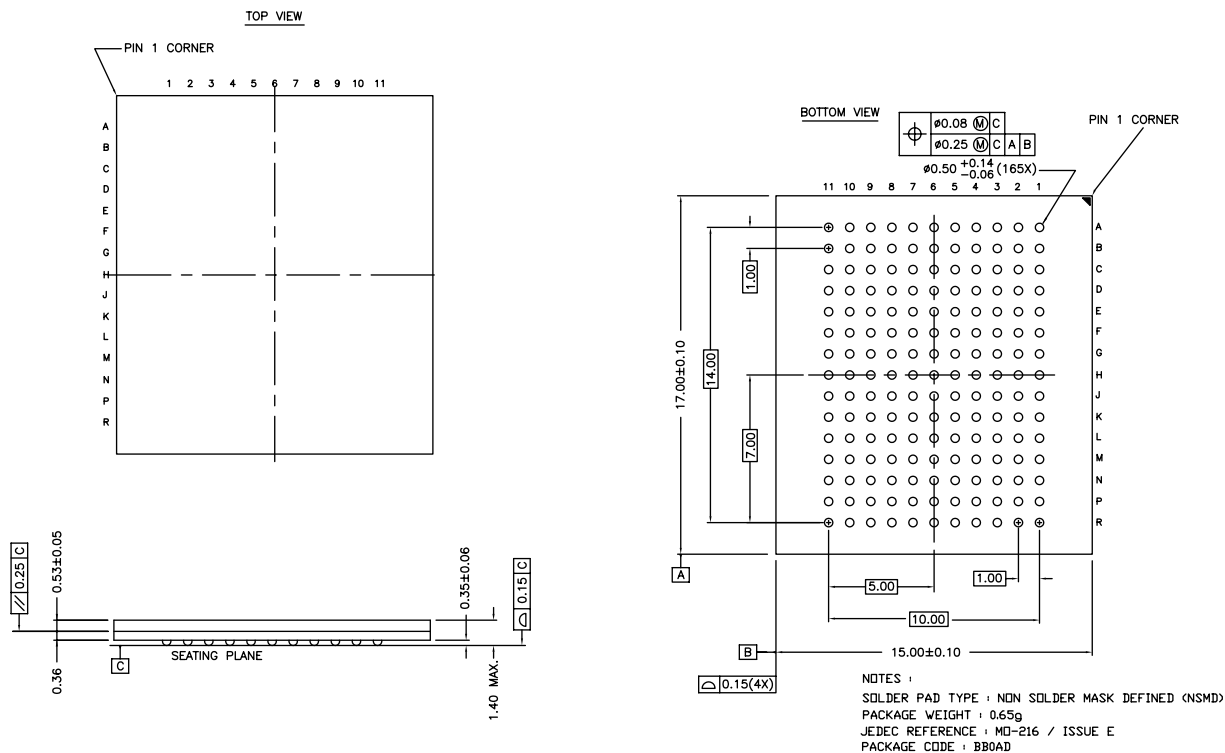
速度 (MHz)	注文コード	パッケージ図	製品とパッケージタイプ	動作範囲
250	CY7C1460KV33-250AXI	51-85050	100 ピン TQFP (14×20×1.4mm) 鉛フリー	産業用
200	CY7C1460KV33-200AXC			商用
	CY7C1460KVE33-200AXC			
167	CY7C1460KV33-167AXC	51-85195	165 ボール FBGA (15×17×1.4mm)	産業用
	CY7C1460KVE33-167AXI			
	CY7C1460KVE33-167BZC	51-85050	100 ピン TQFP (14×20×1.4mm) 鉛フリー	商用
	CY7C1462KVE33-167AXC			
	CY7C1460KV33-167AXI			
	CY7C1460KV33-167BZC	51-85195	165 ボール FBGA (15×17×1.4mm)	商用

注文コードの定義



パッケージ図 (続き)

図 8. 165 ボール FBGA (15×17×1.4mm (0.5 ボール直径)) パッケージの外形図、51-85195



51-85195 *D

略語

略語	説明
CEN	Clock Enable (クロック イネーブル)
CMOS	Complementary Metal Oxide Semiconductor (相補型金属酸化膜半導体)
FBGA	Fine-Pitch Ball Grid Array (ファインピッチ ボール グリッドアレイ)
I/O	Input/Output (入力／出力)
JTAG	Joint Test Action Group (ジョイントテストアクショングループ)
NoBL	No Bus Latency (バス レイテンシーなし)
$\overline{\text{OE}}$	Output Enable (出力イネーブル)
SRAM	Static Random Access Memory (スタティック ランダム アクセス メモリ)
TCK	Test Clock (テストクロック)
TDI	Test Data-In (テスト データ入力)
TDO	Test Data-Out (テスト データ出力)
TMS	Test Mode Select (テスト モード選択)
TQFP	Thin Quad Flat Pack (薄型クワッドフラットパック)
$\overline{\text{WE}}$	Write Enable (書き込みイネーブル)

本書の表記法

測定単位

記号	測定単位
°C	摂氏温度
MHz	メガヘルツ
μA	マイクロアンペア
mA	ミリアンペア
mm	ミリメートル
ms	ミリ秒
ns	ナノ秒
%	パーセント
pF	ピコファラッド
V	ボルト
W	ワット

改訂履歴

文書番号 : CY7C1460KV33/CY7C1460KVE33/CY7C1462KVE33、NoBL™ アーキテクチャの 36M ビット (1M×36/2M×18) パイプライン SRAM (ECC 付き) 文書番号 : 001-95976				
版	ECN 番号	変更者	発行日	変更内容
**	4622071	MIOU	01/13/2015	これは英語版 001-66680 Rev. *E を翻訳した日本語版 001-95976 Rev. ** です。
*A	4718923	PRIT	04/09/2015	決勝への変換

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、世界中に事業所やソリューション センター、販売代理店を持っています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

車載用	cypress.com/go/automotive
クロック & バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明 & 電力制御	cypress.com/go/powerpsoc cypress.com/go/plc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/USB
ワイヤレス / RF	cypress.com/go/wireless

PSoC® ソリューション

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカル サポート

cypress.com/go/support

© Cypress Semiconductor Corporation, 2011-2015. 本文書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

すべてのソース コード (ソフトウェアおよび/またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタム ソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限って、サイプレスのソース コードの派生著作物をコピー、使用、変更して作成するためのライセンス、ならびにサイプレスのソース コードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソース コードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責事項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。