

特性

- 引脚兼容以及功能均与 Zero Bus Turnaround (ZBT™) 的相同
- 支持 250 MHz 的总线运行速度，并且没有任何等待状态
 - 可用的速度范围为 250、200 和 167 MHz
- 提供对内部自定时输出缓冲区的控制，因而无需使用异步 \overline{OE}
- 流水线操作的输入和输出寄存器
- 字节写入能力
- 供电电压为 3.3 V
- I/O 供电电压为 3.3 V/2.5 V
- 时钟至输出的时间快
 - 2.5 ns (对于 250 MHz 的器件)
- 通过时钟使能 (\overline{CEN}) 引脚支持暂停操作
- 支持同步自定时写入
- CY7C1460KV33、CY7C1460KVE33、CY7C1462KVE33 提供了下面几种封装选择: JEDEC 标准的无铅 100 引脚 TQFP、无铅和含铅 165 球形焊盘 FBGA 封装。
- 支持与 IEEE 1149.1 JTAG 兼容的边界扫描
- 支持线性或交错突发顺序模式
- 提供 “ZZ” 睡眠模式选项
- 片上纠错码 (ECC) 可降低软错误率 (SER)

功能说明

CY7C1460KV33/CY7C1460KVE33/CY7C1462KVE33 分别是 3.3 V、1 M × 36 和 2 M × 18，并且带 No Bus Latency™ (NoBL™) 逻辑的同步流水线突发 SRAM。它们是专门为支持无限且零等待状态的连续读 / 写操作而设计的。

CY7C1460KV33/CY7C1460KVE33/CY7C1462KVE33 都使用了高级 (NoBL) 逻辑，这样可以使能连续读 / 写操作，即在每个时钟周期内都进行数据传输。

该特性在需要频繁进行读 / 写切换的系统上明显提高了数据的吞吐量。与 ZBT 器件相比，CY7C1460KV33/CY7C1460KVE33/CY7C1462KVE33 的引脚是兼容的，并且功能也相同。

所有同步输入均通过由时钟的上升沿控制的输入寄存器。所有数据输出均通过时钟的上升沿控制的输出寄存器。时钟输入与时钟使能 (\overline{CEN}) 信号配合使用；当该信号被取消置位时，它将暂停操作并延续前一个时钟周期。

写操作由字节写入选项 (CY7C1460KV33/CY7C1460KVE33 的 BW_a-BW_d 和 CY7C1462KVE33 的 BW_a-BW_b) 以及写使能 (\overline{WE}) 输入控制。所有写操作都是通过片上同步自定时写电路实现的。

通过这三个同步芯片使能信号 (\overline{CE}_1 、 \overline{CE}_2 和 \overline{CE}_3) 以及异步输出使能信号 (\overline{OE})，可以轻松进行组选择和输出三态控制。为了避免总线冲突，在写序列的数据传输过程中，要将输出驱动器同步进入三态。

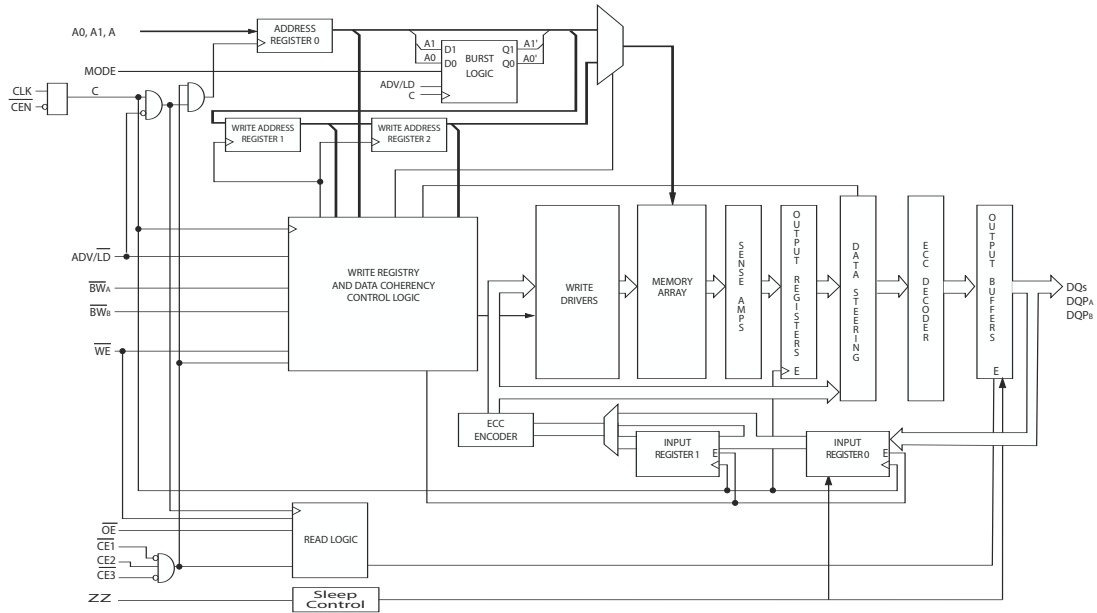
The block diagram illustrates the internal architecture of the AD9080. Key components include:

- Registers:** ADDRESS REGISTER 0, WRITE ADDRESS REGISTER 1, WRITE ADDRESS REGISTER 2, INPUT REGISTER 1, and INPUT REGISTER 0.
- Logic Blocks:** BURST LOGIC, WRITE REGISTRY AND DATA COHERENCY CONTROL LOGIC, READ LOGIC, and SLEEP CONTROL.
- Data Flow:** Data from the memory array passes through SENSE AMPS, OUTPUT REGISTER SE, DATA STEERING, and OUTPUT BUFFERS to produce the final outputs (DQs, DQPs, DQPC, DQPD).
- Control Signals:** Various control inputs like ADV/LD, BWa, BWb, BWc, BWd, WE, OE, CE1, CE2, CE3, and ZZ are shown.

The block diagram illustrates the memory controller's internal components and data flow. Key elements include:

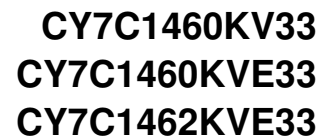
- Inputs:** Address lines (A0, A1, A), Mode, CLK CEN, ADV/LD, BW_A, BW_B, BW_C, BW_D, WE, OE, CE1, CE2, CE3, and ZZ.
- Registers:** ADDRESS REGISTER 0, WRITE ADDRESS REGISTER 1, WRITE ADDRESS REGISTER 2, INPUT REGISTER 1, and INPUT REGISTER 0.
- Logic Blocks:** BURST LOGIC, WRITE REGISTRY AND DATA COHERENCY CONTROL LOGIC, WRITE DRIVERS, MEMORY ARRAY, SENSE AMPS, OUTPUT REGISTER, DATA STEERING, ECC DECODER, and OUTPUT BUFFERS.
- Data Flow:**
 - Write Path:** Data from ADDRESS REGISTER 0 and WRITE ADDRESS REGISTER 1/2 flows through WRITE DRIVERS to the MEMORY ARRAY, then through SENSE AMPS, OUTPUT REGISTER, DATA STEERING, ECC DECODER, and finally OUTPUT BUFFERS to the DQ pins (DQ_A, DQ_B, DQ_C, DQ_D).
 - Read Path:** Data from the MEMORY ARRAY flows through SENSE AMPS, OUTPUT REGISTER, DATA STEERING, ECC DECODER, and finally OUTPUT BUFFERS to the DQ pins. This path also involves INPUT REGISTER 1 and INPUT REGISTER 0.
 - ECC:** An ECC ENCODER is connected to the data path between the MEMORY ARRAY and the OUTPUT REGISTER.

逻辑框图 — CY7C1462KVE33



目录

产品选型指南	5	2.5 V TAP 交流输出负载等效	16
引脚配置	5	TAP 直流电气特性与工作条件	16
引脚定义	7	标识寄存器定义	17
功能概况	8	扫描寄存器大小	17
单一读取访问	8	标识代码	17
突发读取访问	8	边界扫描顺序	18
单一写入访问	8	最大额定值	19
突发写入访问	9	工作范围	19
睡眠模式	9	抗中子软失效	19
片上 ECC	9	电气特性	19
交错突发地址表	9	电容值	21
线性突发地址表	9	热阻	21
ZZ 模式的电气特性	9	交流测试负载和波形	21
真值表	10	开关特性	22
部分写周期说明	11	开关波形	23
部分写周期说明	11	订购信息	25
IEEE 1149.1 串行边界扫描 (JTAG)	12	订购代码定义	25
禁用 JTAG 特性	12	封装图	26
测试端口 (TAP)	12	缩略语	28
执行 TAP 复位	12	文档规范	28
TAP 寄存器	12	测量单位	28
TAP 指令集	12	文档修订记录页	29
TAP 控制器状态图	14	销售、解决方案和法律信息	30
TAP 控制器框图	14	全球销售和设计支持	30
TAP 时序图	14	产品	30
TAP 交流开关特性	15	PSoC [®] 解决方案	30
3.3 V TAP 交流测试条件	16	赛普拉斯开发者社区	30
3.3 V TAP 交流输出负载等效	16	技术支持	30
2.5 V TAP 交流测试条件	16		



说明		250 MHz	200 MHz	167 MHz	单位
最长的访问时间		2.5	3.2	3.4	ns
最大的工作电流	× 18	220	190	170	mA
	× 36	240	210	190	

图 1. 100 引脚 TQFP 引脚分布



引脚配置（续）

图 2. 165 球形焊盘 FBGA 引脚分布

CY7C1460KVE33 (1 M × 36)

	1	2	3	4	5	6	7	8	9	10	11
A	NC/576M	A	\overline{CE}_1	\overline{BW}_c	\overline{BW}_b	\overline{CE}_3	\overline{CEN}	ADV/ \overline{LD}	A	A	NC
B	NC/1G	A	CE2	\overline{BW}_d	\overline{BW}_a	CLK	\overline{WE}	\overline{OE}	A	A	NC
C	DQP _c	NC	V _{DDQ}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{DDQ}	NC	DQP _b
D	DQ _c	DQ _c	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _b	DQ _b
E	DQ _c	DQ _c	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _b	DQ _b
F	DQ _c	DQ _c	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _b	DQ _b
G	DQ _c	DQ _c	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _b	DQ _b
H	NC	NC	NC	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	NC	NC	ZZ
J	DQ _d	DQ _d	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _a	DQ _a
K	DQ _d	DQ _d	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _a	DQ _a
L	DQ _d	DQ _d	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _a	DQ _a
M	DQ _d	DQ _d	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _a	DQ _a
N	DQP _d	NC	V _{DDQ}	V _{SS}	NC	NC	NC	V _{SS}	V _{DDQ}	NC	DQP _a
P	NC/144M	NC/72M	A	A	TDI	A1	TDO	A	A	A	NC/288M
R	MODE	A	A	A	TMS	A0	TCK	A	A	A	A

引脚定义

引脚名称	I/O 类型	引脚说明
A ₀ 、A ₁ 、A	同步输入	用于选择地址的地址输入。在 CLK 时钟的上升沿上被采样。
\overline{BW}_a 、 \overline{BW}_b 、 \overline{BW}_c 、 \overline{BW}_d	同步输入	低电平有效的字节写选择输入。配合 \overline{WE} 一起对 SRAM 进行写操作。在 CLK 时钟的上升沿上被采样。 \overline{BW}_a 控制 DQ _a 和 DQP _a ， \overline{BW}_b 控制 DQ _b 和 DQP _b ， \overline{BW}_c 控制 DQ _c 和 DQP _c ， \overline{BW}_d 控制 DQ _d 和 DQP _d 。
\overline{WE}	同步输入	低电平有效的写使能输入。如果 \overline{CEN} 为低电平有效，该输入会在 CLK 时钟的上升沿上被采样。必须将该信号置于低电平，以启动写序列。
ADV/LD	同步输入	用于增大片上地址计数器或加载新地址的 Advance/load 输入。当该输入被置于高电平（并且 \overline{CEN} 被置于低电平）时，可增大内部突发计数器。该输入为低电平时，可以将新的地址加载到器件中，以进行读/写操作。取消选择后，要将 ADV/LD 设置为低电平，以加载新地址。
CLK	时钟输入	时钟输入。用于将所有同步输入捕获到器件内。CLK 同 \overline{CEN} 配合使用。只有 \overline{CEN} 为低电平有效时，CLK 才有效。
\overline{CE}_1	同步输入	低电平有效的芯片使能 1 输入。在 CLK 时钟的上升沿上被采样。同 \overline{CE}_2 和 \overline{CE}_3 一起使用时，可以选择/取消选择器件。
\overline{CE}_2	同步输入	高电平有效的芯片使能 2 输入。在 CLK 时钟的上升沿上被采样。同 \overline{CE}_1 和 \overline{CE}_3 一起使用时，可以选择/取消选择器件。
\overline{CE}_3	同步输入	低电平有效的芯片使能 3 输入。在 CLK 时钟的上升沿上被采样。同 \overline{CE}_1 和 \overline{CE}_2 一起使用时，可以选择/取消选择器件。
\overline{OE}	异步输入	低电平有效的输出使能。通过与器件中的同步逻辑模块结合使用，可以控制 I/O 引脚的方向。该信号被置为低电平时，I/O 引脚可作为输出使用。该信号被取消激活（置为高电平）时，I/O 引脚全是三态的，并作为输入数据引脚使用。 \overline{OE} 在写序列的数据传输期间、退出取消选择状态后的第一个时钟周期以及取消选择器件时均被屏蔽。
\overline{CEN}	同步输入	低电平有效的时钟使能输入。该时钟信号为低电平时，SRAM 可检测到它。将该信号置为高电平时，它会被屏蔽。由于 \overline{CEN} 被取消置位时仍会选中器件，所以如果需要可以通过 \overline{CEN} 延长前一周期。
DQ _a 、DQ _b 、DQ _c 、DQ _d	同步 I/O	双向数据 I/O 线。作为输入使用时，这些线路会将数据传输到片上数据寄存器内，该操作会在 CLK 的上升沿上被触发。作为输出时，在读周期内，它们将发送存储器中由 A _x 指定位置的数据。这些引脚的方向由 \overline{OE} 和内部控制逻辑控制。将 \overline{OE} 置为低电平时，这些引脚可作为输出使用。该信号被设置为高电平时，DQ _a –DQ _d 均处于三态。无论 \overline{OE} 的状态如何，在写序列的数据传输期间、信号退出取消选择状态后的第一个时钟周期以及取消选择器件时，这些输出都会自动处于三态。
DQP _a 、DQP _b 、DQP _c 、DQP _d	同步 I/O	双向数据奇偶校验 I/O 线。从功能方面来讲，这些信号和 DQ _[31:0] 完全相同。在写序列中，DQP _a 由 \overline{BW}_a 控制，DQP _b 由 \overline{BW}_b 控制，DQP _c 由 \overline{BW}_c 控制，DQP _d 由 \overline{BW}_d 控制。
MODE	引脚短接输入	模式输入。用于选择器件的突发顺序。将该信号设置为高电平时，会选择交错突发顺序。将该信号置为低电平时，将选择线性突发顺序。操作过程中，无法更改 MODE 信号的状态。悬浮时，MODE 信号默认为高电平，此时便选择交错突发顺序。
TDO	同步的 JTAG 串行输出	JTAG 电路的串行数据输出。在 TCK 的下降沿上发送数据。
TDI	同步的 JTAG 串行输入	JTAG 电路的串行数据输入。在 TCK 时钟的上升沿上被采样。
TMS	同步的测试模式选择	该引脚控制着测试访问端口状态机。在 TCK 时钟的上升沿上被采样。
TCK	JTAG 时钟输入	JTAG 电路的时钟输入。
V _{DD}	电源电压	器件内核的电源输入。
V _{DDQ}	I/O 供电电压	I/O 电路的供电电压。
V _{SS}	接地	器件的地端。需要连接至系统的接地端。

引脚定义（续）

引脚名称	I/O 类型	引脚说明
NC	N/A	无连接。该引脚未与芯片（die）连接。
NC/72M	N/A	未连接到芯片（die）。可连接到任何电压电平。
NC/144M	N/A	未连接到芯片（die）。可连接到任何电压电平。
NC/288M	N/A	未连接到芯片（die）。可连接到任何电压电平。
NC/576M	N/A	未连接到芯片（die）。可连接到任何电压电平。
NC/1G	N/A	未连接到芯片（die）。可连接到任何电压电平。
ZZ	异步输入	ZZ “睡眠” 输入。 该高电平有效输入可将器件处于非时间关键“睡眠”条件，并且保存数据的完整性。在正常操作模式下，可将该引脚连接到V _{SS} 或保持为悬浮。ZZ引脚使用内部下拉电阻。

功能概况

CY7C1460KV33/CY7C1460KVE33/CY7C1462KVE33 都是同步流水线突发 NoBL SRAM，其设计目的是为了消除读/写切换操作中的等待状态。所有同步输入均通过由时钟的上升沿控制的输入寄存器。时钟信号与时钟使能输入信号（ $\overline{\text{CEN}}$ ）配合使用。如果 $\overline{\text{CEN}}$ 为高电平，时钟信号将不被检测，并且保持所有的内部状态。所有的同步操作均与 $\overline{\text{CEN}}$ 结合使用。所有数据输出均通过时钟的上升沿控制的输出寄存器。从时钟上升沿的最大访问延迟（ t_{CO} ）为 2.5 ns（对于 250 MHz 器件）。

通过在时钟上升沿上激活所有三个芯片使能信号（ $\overline{\text{CE}}_1$ 、 $\overline{\text{CE}}_2$ 和 $\overline{\text{CE}}_3$ ），可以进行对 SRAM 的访问。如果时钟使能信号（ $\overline{\text{CEN}}$ ）为低电平有效，并且 ADV/LD 被置于低电平，则传输到器件的地址将被锁存。根据写入使能信号（ $\overline{\text{WE}}$ ）的状态，这个访问可以是读，也可以是写操作。 $\text{BW}_{[x]}$ 可用于实现字节写操作。

写操作与写使能（ $\overline{\text{WE}}$ ）信号配合使用。通过片上同步自定时写电路，可轻松实现所有写操作。

三个同步芯片使能信号（ $\overline{\text{CE}}_1$ 、 $\overline{\text{CE}}_2$ 、 $\overline{\text{CE}}_3$ ）和一个异步输出使能信号（ $\overline{\text{OE}}$ ）简化了深度扩展。所有操作（读、写和取消选择）均是流水线模式的。取消选择器件后，需要将 ADV/LD 置于低电平，以便加载下个操作的新地址。

单一读取访问

如果在时钟的上升沿上满足下列条件，将启动读访问：

- $\overline{\text{CEN}}$ 被置低
- $\overline{\text{CE}}_1$ 、 $\overline{\text{CE}}_2$ 和 $\overline{\text{CE}}_3$ 均为有效状态
- 写使能输入信号 $\overline{\text{WE}}$ 被设置为高电平。
- ADV/LD 被置低

发送到地址输入端的地址被锁存到地址寄存器内，并被发送到存储器内核和控制逻辑内。通过控制逻辑可以确定正在进行读访问，并允许将所需数据传输到输出寄存器的输入端。在下一个时钟的上升沿上，如果 $\overline{\text{OE}}$ 为低电平有效，那么所要求的数据将在 2.5 ns（250 MHz 器件）的时间内通过输出寄存器发送到数据总线上。在读访问的第一个时钟周期后，输出缓冲区由 $\overline{\text{OE}}$ 和内部控制逻辑控制。要想使器件能发送请求的数据，必须将 $\overline{\text{OE}}$ 置低。在第二个时钟周期内，可以启动下一个操作（读 / 写 / 取消选择）。取消选择器件这一操作也是在流水线模式下进行的。因此，当通过一个芯片使能信号在时钟的上升沿上取消选择 SRAM 时，其输出在下一个上升沿上处于三态。

突发读取访问

通过 CY7C1460KV33/CY7C1460KVE33/CY7C1462KVE33 的片上突发计数器，用户可以提供一个地址并且能实现最多 4 个读操作，而无需重新置位地址输入。为了将新的地址加载到 SRAM 内，必须将 ADV/LD 置低，如单一读取访问一节中所述。突发计数器的序列由 MODE 输入信号决定。MODE 输入被置于低电平时，将选择线性突发模式；当置于高电平时将选择交错突发序列。这两个突发计数器都使用突发序列中的 A0 和 A1，并且在递增至最大值时执行循环处理。如果 ADV/LD 输入被置于高电平，无论芯片使能输入或 $\overline{\text{WE}}$ 的状态如何，内部突发计数器都会递增。 $\overline{\text{WE}}$ 在突发周期开始时被锁存。因此，在整个突发序列中将保持访问的类型（读取或写入）。

单一写入访问

在时钟的上升沿上满足下列条件时，将启动写访问：

- $\overline{\text{CEN}}$ 被置低
- $\overline{\text{CE}}_1$ 、 $\overline{\text{CE}}_2$ 和 $\overline{\text{CE}}_3$ 均为有效状态
- 写信号 $\overline{\text{WE}}$ 被设置为低电平

发送到地址输入端的地址会被存储在地址寄存器中。写信号被锁存到控制逻辑模块中。

在后面的时钟上升沿上，无论 $\overline{\text{OE}}$ 输入信号的状态如何，都会自动将数据线进入三态。这样，外部逻辑可以将数据传输到 DQ 和 DQP（CY7C1460KV33/CY7C1460KVE33 的 $\text{DQ}_{a,b,c,d}$ / $\text{DQP}_{a,b,c,d}$ 和 CY7C1462KVE33 的 $\text{DQ}_{a,b}$ / $\text{DQP}_{a,b}$ ）。另外，后续访问（读 / 写 / 取消选择）的地址被锁存到地址寄存器内（假定相应的控制信号被置位）。

在下一个时钟上升沿上，传输到 DQ 和 DQP（CY7C1460KV33/CY7C1460KVE33 的 $\text{Q}_{a,b,c,d}$ / $\text{DQP}_{a,b,c,d}$ 和 CY7C1462KVE33 的 $\text{DQ}_{a,b}$ / $\text{DQP}_{a,b}$ ）或字节写操作子集中（请参考写周期说明表中了解详情）的数据输入被锁存到器件内，即完成了写操作。

写操作中的数据由 BW （CY7C1460KV33/CY7C1460KVE33 的 $\text{BW}_{a,b,c,d}$ 和 CY7C1462KVE33 的 $\text{BW}_{a,b}$ ）信号控制。CY7C1460KV33/CY7C1460KVE33/CY7C1462KVE33 提供了字节写入功能，如写周期说明表中所示。如果置位了写使能输入（ $\overline{\text{WE}}$ ），同时选中字节写入选择（ BW ）输入，那么只能对所需的字节进行写操作。字节写入操作中未选中的字节将保持不变。通过所提供的同步自定时写入机制，可以轻松进行写操作。通过集成了字节写入功能，可以将读 / 修改 / 写序列简化为字节写操作。

由于 CY7C1460KV33/CY7C1460KVE33/CY7C1462KVE33 均为通用的 I/O 器件，当输出被激活时，不应该将数据发送到器件内。将数据传输到 DQ 和 DQP 输入 (CY7C1460KV33/CY7C1460KVE33 的 $Q_{a,b,c,d}/DQP_{a,b,c,d}$ 和 CY7C1462KVE33 的 $DQ_{a,b}/DQP_{a,b}$) 前，可以将输出使能信号 OE 置于高电平。这样可使输出驱动模块处于三态。为安全起见，在写周期的数据传输过程中，无论 OE 的状态如何，DQ 和 DQP (CY7C1460KV33/CY7C1460KVE33 的 $DQ_{a,b,c,d}/DQP_{a,b,c,d}$ 和 CY7C1462KVE33 的 $DQ_{a,b}/DQP_{a,b}$) 都自动进入三态。

突发写入访问

通过 CY7C1460KV33/CY7C1460KVE33/CY7C1462KVE33 的片上突发计数器，用户可以提供单个地址并且实现最多 4 个写操作，而无需重新置位地址输入。为了加载初始地址，必须将 ADV/LD 置低，如单一写入访问一节中所述。在后面的上升沿上将 ADV/LD 置高时，芯片使能信号 (CE_1 、 CE_2 和 CE_3) 和 WE 输入均被忽略，并且突发计数器将递增。在每个突发写周期中，必须驱动正确的 BW 输入 (CY7C1460KV33/CY7C1460KVE33 的 $BW_{a,b,c,d}$ 和 CY7C1462KVE33 的 $BW_{a,b}$)，这样才能写入正确的数据字节。

睡眠模式

ZZ 输入引脚是一个异步输入。置位 ZZ 后，SRAM 将进入节能的睡眠模式。进入和退出睡眠模式时，需要两个时钟周期。在该模式中，数据完整性得到保证。进入睡眠模式时被挂起的访问不被视为有效访问，也不会确保能完成操作。进入睡眠模式之前，必须取消选择该器件。 CE_1 、 CE_2 和 CE_3 在 ZZ 输入返回低电平后的 t_{ZZREC} 时间内保持无效状态。

片上 ECC

CY7C1460KVE33/CY7C1462KVE33 SRAM 包含一个片上 ECC 算法，用于检测并校正所有存储器上的单比特错误，包括由宇宙射线、 α 粒子等因素导致的软错误 (SEU) 事件。这些器件得到的软错误率 (SER) 预期小于 0.01 FITs/Mb，比无片上 ECC SRAM 小 4 个数量级，这些 SRAM 的 SER 一般为 200 FITs/Mb 或更多。要想保护内部数据，需要使用 (用户不可见的) ECC 奇偶校验位。

ECC 算法不会校正多比特错误。但是，赛普拉斯的 SRAM 确保了单个 SER 事件几乎不能导致任意数据字上的多比特错误。由于多比特错误非常罕见，器件的 SER 小于 0.01 FITs/Mb。

交错突发地址表

(MODE = 悬浮或 V_{DD})

第一个地址	第二个地址	第三个地址	第四个地址
A1、A0	A1、A0	A1、A0	A1、A0
00	01	10	11
01	00	11	10
10	11	00	01
11	10	01	00

线性突发地址表

(MODE = GND)

第一个地址	第二个地址	第三个地址	第四个地址
A1、A0	A1、A0	A1、A0	A1、A0
00	01	10	11
01	10	11	00
10	11	00	01
11	00	01	10

ZZ 模式的电气特性

参数	说明	测试条件	最小值	最大值	单位
I_{DDZZ}	睡眠模式下的待机电流	$ZZ \geq V_{DD} - 0.2 V$	—	89	mA
t_{ZZS}	器件从运行状态到进入 ZZ 模式的时间	$ZZ \geq V_{DD} - 0.2 V$	—	$2t_{CYC}$	ns
t_{ZZREC}	ZZ 恢复时间	$ZZ \leq 0.2 V$	$2t_{CYC}$	—	ns
t_{ZZI}	从 ZZ 置为高电平到器件进入睡眠状态的时间	采样数据	—	$2t_{CYC}$	ns
t_{RZZI}	从 ZZ 置为低电平到器件退出睡眠状态的时间	采样数据	0	—	ns

真值表

CY7C1460KV33/CY7C1460KVE33/CY7C1462KVE33 的真值表如下显示。[1, 2, 3, 4, 5, 6, 7]

操作	所使用的地址	\overline{CE}	ZZ	$\overline{ADV/LD}$	\overline{WE}	$\overline{BW_x}$	\overline{OE}	\overline{CEN}	CLK	DQ
取消选择周期	无	H	L	L	X	X	X	L	L-H	三态
继续取消选择周期	无	X	L	H	X	X	X	L	L-H	三态
读周期 (开始传输)	外部地址	L	L	L	H	X	L	L	L-H	输出数据 (Q)
读周期 (继续传输)	下一个地址	X	L	H	X	X	L	L	L-H	输出数据 (Q)
NOP/ 虚拟读取 (开始传输)	外部地址	L	L	L	H	X	H	L	L-H	三态
虚拟读取 (继续传输)	下一个地址	X	L	H	X	X	H	L	L-H	三态
写周期 (开始传输)	外部地址	L	L	L	L	L	X	L	L-H	输入数据 (D)
写周期 (继续传输)	下一个地址	X	L	H	X	L	X	L	L-H	输入数据 (D)
NOP/ 写入中止 (开始传输)	无	L	L	L	L	H	X	L	L-H	三态
写入中止 (继续传输)	下一个地址	X	L	H	X	H	X	L	L-H	三态
忽略时钟沿 (停止)	当前地址	X	L	X	X	X	X	H	L-H	-
睡眠模式	无	X	H	X	X	X	X	X	X	三态

注释:

1. X = “无需关注”，H = 逻辑高电平，L = 逻辑低电平， \overline{CE} 表示所有芯片均处于活动状态。 $\overline{BW_x} = L$ 表示至少有一个字节写入选择信号处于活动状态，“ $\overline{BW_x}$ = 有效”表示所需的字节写入选择信号被置位；更加详细的信息，请参考“写周期”说明表中的内容。
2. 写操作由 \overline{WE} 和 $\overline{BW_x}$ 定义。请参阅写周期说明表中的内容，以了解详情。
3. 当检测到某个写周期时（即使是在字节写期间），所有 I/O 均处于三态。
4. DQ 和 DQP 引脚都由当前周期和 \overline{OE} 信号控制。
5. $\overline{CEN} = H$ ，将插入等待状态。
6. 无论 \overline{OE} 的状态如何，器件上电时为非选择状态，并且全部 I/O 均处于三态。
7. \overline{OE} 是异步信号，并且不能在时钟上升沿上进行采样。在写周期内，该信号被内部屏蔽。在读周期内， \overline{OE} 无效或器件被取消选择时，DQ_s 和 DQP_x 均为三态，并且在 \overline{OE} 有效时，DQ_s = 数据。

部分写周期说明

CY7C1460KV33/CY7C1460KVE33 的部分写周期说明内容如下所示。 [8,9,10,11]

功能 (CY7C1460KV33/CY7C1460KVE33)	\overline{WE}	$\overline{BW_d}$	$\overline{BW_c}$	$\overline{BW_b}$	$\overline{BW_a}$
读取	H	X	X	X	X
写入 — 未写入任何字节	L	H	H	H	H
写入字节 a — (DQ _a 和 DQP _a)	L	H	H	H	L
写入字节 b — (DQ _b 和 DQP _b)	L	H	H	L	H
写入字节 b 和 a	L	H	H	L	L
写入字节 c — (DQ _c 和 DQP _c)	L	H	L	H	H
写入字节 c 和 a	L	H	L	H	L
写入字节 c 和 b	L	H	LL	L	H
写入字节 c、b 和 a	L	H	L	L	L
写入字节 d — (DQ _d 和 DQP _d)	L	L	H	H	H
写入字节 d 和 a	L	L	H	H	L
写入字节 d 和 b	L	L	H	L	H
写入字节 d、b 和 a	L	L	H	L	L
写入字节 d 和 c	L	L	L	H	H
写入字节 d、c 和 a	L	L	L	H	L
写入字节 d、c 和 b	L	L	L	L	H
写入所有字节	L	L	L	L	L

部分写周期说明

CY7C1462KVE33 的部分写周期说明内容如下所示。 [9,11]

功能 (CY7C1462KVE33)	\overline{WE}	$\overline{BW_b}$	$\overline{BW_a}$
读取	H	x	x
写入 — 未写入任何字节	L	H	H
写入字节 a — (DQ _a 和 DQP _a)	L	H	L
写入字节 b — (DQ _b 和 DQP _b)	L	L	H
写入两种字节	L	L	L

注释:

8. X = “无需关注”，H = 逻辑高电平，L = 逻辑低电平， \overline{CE} 表示所有芯片均处于活动状态。 $\overline{BW_x} = L$ 表示至少有一个字节写入选择信号处于活动状态，“ $\overline{BW_x} =$ 有效”表示所需的字节写入选择信号被置位；更详细信息，请参考“写周期”说明表中的内容。
9. 写操作由 \overline{WE} 和 $\overline{BW_x}$ 定义。请参阅写周期说明表中的内容，以了解详情。
10. 当检测到某个写周期时（即使是在字节写期间），所有 I/O 都处于三态。
11. 该表仅列出了字节写入组合的一部分。 $\overline{BW}_{[a:d]}$ 的任意组合均有效。根据有效的字节写入，将执行相应的写操作。

IEEE 1149.1 串行边界扫描 (JTAG)

CY7C1460KVE33 包含串行边界扫描测试端口 (TAP)。该器件完全符合 1149.1 标准。TAP 在工作时采用 JEDEC 标准的 3.3 V 或 2.5 V I/O 逻辑电平。

CY7C1460KVE33 包含 TAP 控制器、指令寄存器、边界扫描寄存器、旁路寄存器和 ID 寄存器。

禁用 JTAG 特性

可以在不使用 JTAG 特性的情况下运行 SRAM。要禁用 TAP 控制器，必须将 TCK 置为低电平 (V_{SS})，以防止额外的时钟输入到器件中。TDI 和 TMS 都被内部上拉，并可处于未连接状态。它们也可以通过上拉电阻连接到 V_{DD} 。TDO 必须保持未连接状态。上电时，将复位器件，这不会干扰器件的工作。

测试端口 (TAP)

测试时钟 (TCK)

测试时钟仅能与 TAP 控制器配合使用。所有输入都在 TCK 的上升沿上进行捕获。所有输出都从 TCK 的下降沿上被输出。

测试模式选择 (TMS)

TMS 输入用于向 TAP 控制器提供指令，并在 TCK 的上升沿上被采样。如果不使用 TAP，可以让该接口保持未连接状态。由于该接口是内部上拉的，因此可产生逻辑高电平。

测试数据输入 (TDI)

TDI 接口用于以串行方式将信息输入到寄存器中，并且可以连接到任何寄存器的输入。TDI 和 TDO 之间的寄存器由加载到 TAP 指令寄存器中的指令选择。TDI 被内部上拉。如果在应用中未使用 TAP，TDI 可以保持未连接状态。TDI 连接到任何寄存器的最高有效位 (MSB) (请参考 [TAP 控制器框图](#))。

测试数据输出 (TDO)

TDO 输出接口用于以串行方式发送寄存器的时钟数据。输出的有效状态取决于 TAP 状态机的当前状态。输出会在 TCK 的下降沿上发生变化。TDO 连接到任意寄存器的最低有效位 (LSB) (请参考 [TAP 控制器状态图](#))。

执行 TAP 复位

通过在 5 个 TCK 上升沿的时间内将 TMS 强制置为高电平 (V_{DD})，即可进行复位。该复位不会影响 SRAM 的工作，并且可以在 SRAM 工作期间执行。

在上电过程中，将内部复位 TAP，以确保 TDO 处于高阻状态。

TAP 寄存器

此类寄存器位于 TDI 和 TDO 接口之间，用于扫描 SRAM 测试电路的数据输入和输出。指令寄存器每次只能选择一个寄存器。在 TCK 的上升沿上，数据会以串行方式加载到 TDI 接口。在 TCK 的下降沿上，数据会从 TDO 接口输出。

指令寄存器

三位指令会以串行方式加载到指令寄存器中。该寄存器在置于 TDI 和 TDO 接口之间时被加载，如 [TAP 控制器框图](#) 所示。上电时，指令寄存器会加载 IDCODE 指令。即使控制器处于复位状态，也会加载 IDCODE 指令，如上一节中所述。

当 TAP 控制器处于 Capture-IR 状态时，两个最低有效位会被加载为二进制“01”值，以便实现模块级串行测试数据路径的故障隔离。

旁路寄存器

当以串行方式将数据移位到寄存器时，跳过某些芯片可能会节省时间。旁路寄存器为单比特寄存器，可置于 TDI 和 TDO 接口之间，从而通过 SRAM 移位数据时具有较小的延迟。执行 BYPASS 指令时，旁路寄存器会置为低电平 (V_{SS})。

边界扫描寄存器

边界扫描寄存器被连接到 SRAM 上的所有输入和双向接口。扫描寄存器大小表列出了各种封装中 SRAM 的边界扫描寄存器的长度。

当 TAP 控制器处于 Capture-DR 状态时，边界扫描寄存器会加载 RAM I/O 环的内容。当控制器转入 Shift-DR 状态后，该寄存器会被置于 TDI 和 TDO 接口之间。EXTEST、SAMPLE/PRELOAD 和 SAMPLE Z 指令用于捕获 I/O 环的内容。

第 18 页上的边界扫描顺序显示了各个位的连接顺序。每个位都与 SRAM 封装上的一个管脚相对应。寄存器的 MSB 被连接到 TDI，LSB 被连接到 TDO。

标识 (ID) 寄存器

当指令寄存器中加载了 IDCODE 指令时，ID 寄存器会在 Capture-DR 状态期间加载供货商特定的 32 位代码。IDCODE 已硬连线到 SRAM 中，当 TAP 控制器处于 Shift-DR 状态时，可以移出它。ID 寄存器具有供应商代码和第 17 页上的标识寄存器定义中所述的其他信息。

TAP 指令集

概况

三位指令寄存器可实现 8 个不同的指令。指令代码表列出了所有组合。其中三个指令被列为 RESERVED (保留)，请勿使用这些指令。下面详细说明了其他五个指令。

当指令寄存器置于 TDI 和 TDO 之间时，这些指令会在 Shift-IR 状态期间加载到 TAP 控制器中。在该状态期间，会通过 TDI 和 TDO 接口将指令移位到指令寄存器内。要在移入指令后立即执行指令，必须使 TAP 控制器转入 Update-IR 状态。

IDCODE

IDCODE 指令用于将供应商特定的 32 位代码加载到指令寄存器中。它还会将指令寄存器置于 TDI 和 TDO 接口之间，并允许在 TAP 控制器进入 Shift-DR 状态后将 IDCODE 从器件移出。

上电时，或每当 TAP 控制器处于 Test-Logic-Reset 状态时，IDCODE 指令都会加载到指令寄存器中。

SAMPLE Z

当 TAP 控制器处于 Shift-DR 状态时，SAMPLE Z 指令会将边界扫描寄存器置于 TDI 和 TDO 引脚之间。SAMPLE Z 指令会将输出总线置于高阻状态，直到在 Update-IR 状态期间提供了下一条指令为止。

SAMPLE/PRELOAD

SAMPLE/PRELOAD 是符合 1149.1 标准的强制指令。当 SAMPLE/PRELOAD 指令加载到指令寄存器中并且 TAP 控制器处于 Capture-DR 状态时，边界扫描寄存器中会捕获输入和输出引脚上数据的快照。

用户必须注意 TAP 控制器时钟的最高工作频率仅为 20 MHz，而 SRAM 时钟的工作频率要比它高一个数量级。由于在时钟频率方面存在较大差距，因此在 Capture-DR 状态期间，输入或输出可能会出现跃变。TAP 可能会在跃变 (半稳态) 期间尝试捕获信

号。虽然这并不会损坏器件，但无法保证捕获到的值是正确的，并且结果可能无法重复。

为了保证边界扫描寄存器捕获到正确的信号值，SRAM 信号必须在足够长的时间内保持稳定，以达到 TAP 控制器的捕获建立加保持时间 (t_{CS} 和 t_{CH}) 的要求。如果在设计中无法在 SAMPLE/PRELOAD 指令期间停止（或减慢）时钟，则可能无法正确捕获 SRAM 时钟输入。即使存在该问题，但仍可以捕获所有其他信号，只要忽略了边界扫描寄存器中所捕获的时钟的值即可。

捕获数据后，通过将 TAP 置于 Shift-DR 状态，可以移出数据。这会将边界扫描寄存器置于 TDI 和 TDO 引脚之间。

在选择另一个边界扫描测试操作之前，PRELOAD 允许在边界扫描寄存器单元的已锁存并行输出处放置一个初始数据样本。

必要时，SAMPLE 和 PRELOAD 阶段的数据移位可以并发执行，即可以在移出所捕获数据的同时，移入预加载的数据。

BYPASS

当 BYPASS 指令加载到指令寄存器中并且 TAP 处于 Shift-DR 状态时，旁路寄存器会被置于 TDI 和 TDO 引脚之间。BYPASS 指令的优势是当电路板上有多器件连接在一起时，可以缩短边界扫描路径。

EXTEST

EXTEST 指令用于通过系统输出引脚输出预加载的数据。在 Shift-DR 控制器状态下，该指令还会将用于串行访问的边界扫描寄存器置于 TDI 和 TDO 之间。

EXTEST 输出总线三态模式

IEEE 标准 1149.1 强制规定，TAP 控制器需要能够将输出总线置于三态模式。

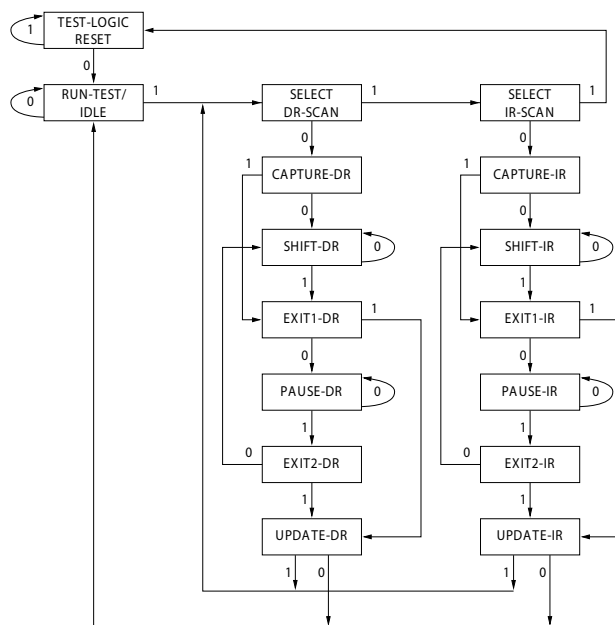
边界扫描寄存器在第 89 位上有一个特殊位（用于 165 球形焊盘 FBGA 封装）。当此扫描单元（称为“外测试输出总线三态”）在 TAP 控制器处于 Update-DR 状态期间被锁存到预加载寄存器中时，如果输入 EXTEST 作为当前指令，则该单元会直接控制输出（Q 总线）引脚的状态。在置于高电平时，它将允许输出缓冲器控制输出总线。置于低电平时，该位会将输出总线置于高阻状态。

通过输入 SAMPLE/PRELOAD 或 EXTEST 指令，然后在 Shift-DR 状态期间将所需的位移入该单元中，即可设置该位。在 Update-DR 期间，加载到该移位寄存器单元中的值会被锁存到预加载寄存器中。输入 EXTEST 指令后，此位会直接控制输出 Q 总线引脚。请注意，该位会预置为高电平，以便在器件上电时，以及当 TAP 控制器处于 Test-Logic-Reset 状态时，使能输出。

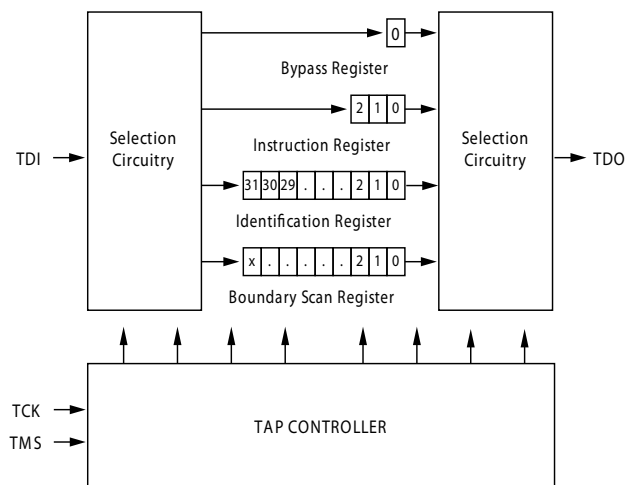
RESERVED

这些指令尚未实现，但可以留作日后使用。请勿使用这些指令。

TAP 控制器状态图

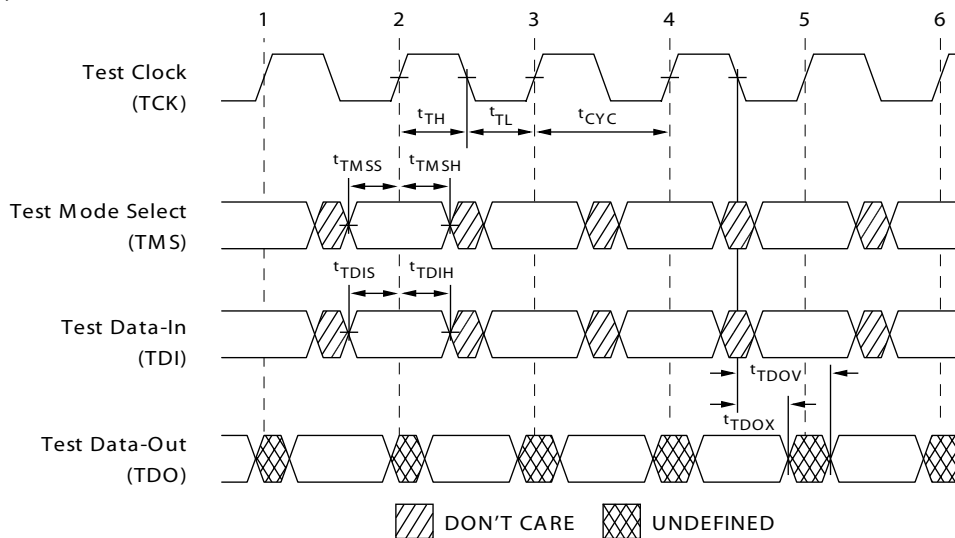


TAP 控制器框图



每个状态旁边的 0/1 代表的是 TCK 上升沿上对应的 TMS 的值。

TAP 时序图



TAP 交流开关特性

在工作范围内

参数 ^[12,13]	说明	最小值	最大值	单位
时钟				
t_{TCYC}	TCK 时钟周期时间	50	—	ns
t_{TF}	TCK 时钟频率	—	20	MHz
t_{TH}	TCK 时钟为高电平的时间	20	—	ns
t_{TL}	TCK 时钟为低电平的时间	20	—	ns
输出时间				
t_{TDOV}	从 TCK 时钟为低电平到 TDO 有效的时间	—	10	ns
t_{TDOX}	从 TCK 时钟为低电平到 TDO 无效的时间	0	—	ns
建立时间				
t_{TMSS}	从 TMS 到 TCK 时钟上升沿的建立时间	5	—	ns
t_{TDIS}	从 TDI 到 TCK 时钟上升沿的建立时间	5	—	ns
t_{CS}	从捕获到 TCK 上升沿的建立时间	5	—	ns
保持时间				
t_{TMSH}	TCK 时钟上升沿之后的 TMS 保持时间	5	—	ns
t_{TDIH}	时钟上升沿之后的 TDI 保持时间	5	—	ns
t_{CH}	时钟上升沿之后的捕获保持时间	5	—	ns

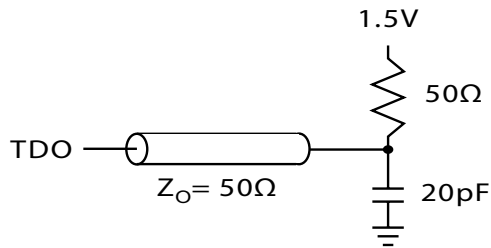
注释:

12. t_{CS} 和 t_{CH} 是指从边界扫描寄存器锁存数据所需要的建立和保持时间。
 13. 测试条件是通过使用 TAP 交流测试条件中的负载确定的。 $t_R/t_F = 2 \text{ V/ns}$ (转换速率)。

3.3 V TAP 交流测试条件

输入脉冲电压 V_{SS} 到 3.3 V
 输入上升和下降时间（转换速率）..... 2 V/ns
 输入时序参考电压..... 1.5 V
 输出参考电压..... 1.5 V
 测试负载终端供电电压..... 1.5 V

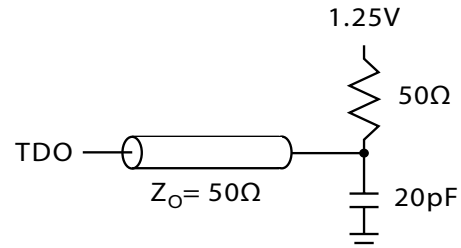
3.3 V TAP 交流输出负载等效



2.5 V TAP 交流测试条件

输入脉冲电压 V_{SS} 到 2.5 V
 输入上升和下降时间 2 V/ns
 输入时序参考电压..... 1.25 V
 输出参考电压..... 1.25 V
 测试负载终端供电电压 1.25 V

2.5 V TAP 交流输出负载等效



TAP 直流电气特性与工作条件

（除非另有说明，否则其工作条件为：0 °C < T_A < +70 °C； $V_{DD} = 3.135\text{ V} \sim 3.6\text{ V}$ ）

参数 ^[14]	说明	测试条件	最小值	最大值	单位
V_{OH1}	输出高电压	$I_{OH} = -4.0\text{ mA}$, $V_{DDQ} = 3.3\text{ V}$	2.4	—	V
		$I_{OH} = -1.0\text{ mA}$, $V_{DDQ} = 2.5\text{ V}$	2.0	—	V
V_{OH2}	输出高电压	$I_{OH} = -100\text{ }\mu\text{A}$, $V_{DDQ} = 3.3\text{ V}$	2.9	—	V
		$V_{DDQ} = 2.5\text{ V}$	2.1	—	V
V_{OL1}	输出低电压	$I_{OL} = 8.0\text{ mA}$, $V_{DDQ} = 3.3\text{ V}$	—	0.4	V
		$I_{OL} = 1.0\text{ mA}$, $V_{DDQ} = 2.5\text{ V}$	—	0.4	V
V_{OL2}	输出低电压	$I_{OL} = 100\text{ }\mu\text{A}$, $V_{DDQ} = 3.3\text{ V}$	—	0.2	V
		$V_{DDQ} = 2.5\text{ V}$	—	0.2	V
V_{IH}	输入高电压	$V_{DDQ} = 3.3\text{ V}$	2.0	$V_{DD} + 0.3$	V
		$V_{DDQ} = 2.5\text{ V}$	1.7	$V_{DD} + 0.3$	V
V_{IL}	输入低电压	$V_{DDQ} = 3.3\text{ V}$	-0.3	0.8	V
		$V_{DDQ} = 2.5\text{ V}$	-0.3	0.7	V
I_x	输入负载电流	$GND \leq V_{IN} \leq V_{DDQ}$	-5	5	μA

注释:

14. 所有电压都参考 V_{SS} （接地）电压。

15. 对于该器件的 2.5 V 和 3.3 V 版本，在 ID 寄存器定义中，位 #24 为“1”。

标识寄存器定义

指令字段	CY7C1460KVE33 (1 M × 36)	说明
版本号 (31:29)	000	描述版本编号。
器件深度 (28:24) [15]	01011	保留以供内部使用
架构 / 存储器类型 (23:18)	001000	定义存储器类型和架构
总线宽度 / 容量 (17:12)	100111	定义总线的宽度和容量
赛普拉斯 JEDEC ID 代码 (11:1)	00000110100	允许对 SRAM 供应商使用唯一标识。
ID 寄存器存在指示符 (0)	1	表示是否存在 ID 寄存器。

扫描寄存器大小

寄存器名称	位大小 (× 36)
指令	3
旁路	1
ID	32
边界扫描顺序 (165 球形焊盘 FBGA 封装)	89

标识代码

指令	代码	说明
EXTEST	000	捕获 I/O 环内容。将边界扫描寄存器置于 TDI 和 TDO 之间。强制所有 SRAM 输出均进入高阻态。
IDCODE	001	将供应商 ID 代码加载到 ID 寄存器中，并将该寄存器置于 TDI 和 TDO 之间。该操作不会影响 SRAM 的工作。
SAMPLE Z	010	捕获 I/O 环内容。将边界扫描寄存器置于 TDI 和 TDO 之间。强制所有 SRAM 输出驱动器都进入高阻态。
RESERVED	011	请勿使用：该指令留给将来使用。
SAMPLE/PRELOAD	100	捕获 I/O 环内容。将边界扫描寄存器置于 TDI 和 TDO 之间。该操作不会影响 SRAM 的工作。
RESERVED	101	请勿使用：该指令留给将来使用。
RESERVED	110	请勿使用：该指令留给将来使用。
BYPASS	111	将旁路寄存器置于 TDI 和 TDO 之间。该操作不会影响 SRAM 的工作。

边界扫描顺序

165 球形焊盘 FBGA ^[16]

CY7C1460KVE33 (1 M × 36)

位编号	球形焊盘 ID	位编号	球形焊盘 ID	位编号	球形焊盘 ID	位编号	球形焊盘 ID
1	N6	26	E11	51	A3	76	N1
2	N7	27	D11	52	A2	77	N2
3	10N	28	G10	53	B2	78	P1
4	P11	29	F10	54	C2	79	R1
5	P8	30	E10	55	B1	80	R2
6	R8	31	D10	56	A1	81	P3
7	R9	32	C11	57	C1	82	R3
8	P9	33	A11	58	D1	83	P2
9	P10	34	B11	59	E1	84	R4
10	R10	35	A10	60	F1	85	P4
11	R11	36	B10	61	G1	86	N5
12	H11	37	A9	62	D2	87	P6
13	N11	38	B9	63	E2	88	R6
14	M11	39	C10	64	F2	89	内部
15	L11	40	A8	65	G2		
16	K11	41	B8	66	H1		
17	J11	42	A7	67	H3		
18	M10	43	B7	68	J1		
19	L10	44	B6	69	K1		
20	K10	45	A6	70	L1		
21	J10	46	B5	71	M1		
22	H9	47	A5	72	J2		
23	H10	48	A4	73	K2		
24	G11	49	B4	74	L2		
25	F11	50	B3	75	M2		

注释:

16. 位 #89 被预设设为高。

最大额定值

超过最大额定值可能会缩短器件的使用寿命。用户指南未经过测试。

存放温度 -65 °C ~ +150 °C
 通电状态下的环境温度 -55 °C ~ +125 °C
 V_{DD} 上相对于 GND 的供电电压 -0.5 V ~ +4.6 V
 V_{DDQ} 上相对于 GND 的供电电压 -0.5 V ~ + V_{DD}
 在三态模式下输出的直流电压 -0.5 V ~ $V_{DDQ} + 0.5$ V
 直流输入电压 -0.5 V ~ $V_{DD} + 0.5$ V
 输出电流（低电平） 20 mA
 静电放电电压
 （根据 MIL-STD-883, 方法 3015） > 2001 V
 闩锁电流 > 200 mA

工作范围

范围	环境温度	V_{DD}	V_{DDQ}
商业级	0 °C 到 +70 °C	3.3 V – 5% / + 10%	2.5 V – 5% 至 V_{DD}
工业级	-40 °C 至 +85 °C		

抗中子软失效

参数	说明	测试条件	典型值	最大值 *	单位
LSBU (无 ECC 的器件)	逻辑单比特错误	25 °C	197	216	FIT/Mb
LSBU (带 ECC 的器件)			0	0.01	FIT/Mb
LMBU (所有器件)	逻辑多比特错误	25 °C	0	0.01	FIT/Mb
SEL (所有器件)	单粒子闩锁	85 °C	0	0.1	FIT/Dev

* 测试期间未发生 LMBU 或 SEL 事件。该列将统计得出的 χ^2 , 按 95% 置信区间进行计算。欲了解更详细的信息, 请参考应用笔记 AN 54908 — “加速中子 SER 测试和地面故障率的计算”。

电气特性

在工作范围内

参数 ^[17、18]	说明	测试条件	最小值	最大值	单位
V_{DD}	供电电压		3.135	3.6	V
V_{DDQ}	I/O 供电电压	I/O 电压 = 3.3 V	3.135	V_{DD}	V
		I/O 电压 = 2.5 V	2.375	2.625	V
V_{OH}	输出高电压	I/O 电压 = 3.3 V, $I_{OH} = -4.0$ mA	2.4	—	V
		I/O 电压 = 2.5 V, $I_{OH} = -1.0$ mA	2.0	—	V
V_{OL}	输出低电压	I/O 电压 = 3.3 V, $I_{OL} = 8.0$ mA	—	0.4	V
		I/O 电压 = 2.5 V, $I_{OL} = 1.0$ mA	—	0.4	V
V_{IH}	输入高电压 ^[17]	I/O 电压 = 3.3 V	2.0	$V_{DD} + 0.3$ V	V
		I/O 电压 = 2.5 V	1.7	$V_{DD} + 0.3$ V	V
V_{IL}	输入低电压 ^[17]	I/O 电压 = 3.3 V	-0.3	0.8	V
		I/O 电压 = 2.5 V	-0.3	0.7	V
I_X	输入漏电流 (ZZ 和 MODE 除外)	$GND \leq V_I \leq V_{DDQ}$	-5	5	μ A
	MODE 的输入电流	输入电压 = V_{SS}	-30	—	μ A
		输入电压 = V_{DD}	—	5	μ A
	ZZ 的输入电流	输入电压 = V_{SS}	-5	—	μ A
		输入电压 = V_{DD}	—	30	μ A
I_{OZ}	输出漏电流	$GND \leq V_I \leq V_{DDQ}$, 输出被禁用	-5	5	μ A

注释:

17. 过冲: $V_{IH}(AC) < V_{DD} + 1.5$ V (脉冲宽度小于 $t_{CYC}/2$), 下冲: $V_{IL}(AC) > -2$ V (脉冲宽度小于 $t_{CYC}/2$)。

18. $T_{Power-up}$: 假设在 200 ms 内, 线性斜坡从 0 V 达到 V_{DD} (最小值)。在此期间, $V_{IH} < V_{DD}$ 且 $V_{DDQ} \leq V_{DD}$ 。

电气特性（续）

在工作范围内

参数 ^[17、18]	说明	测试条件			最小值	最大值	单位
I _{DD}	V _{DD} 的工作电压	V _{DD} = 最大值, I _{OUT} = 0 mA, f = f _{MAX} = 1/t _{CYC}	4 ns 周期, 250 MHz	× 18	—	220	mA
				× 36	—	240	
			5 ns 周期, 200 MHz	× 18	—	190	mA
				× 36	—	210	
			6 ns 周期, 167 MHz	× 18	—	170	mA
				× 36	—	190	
I _{SB1}	自动 CE 断电电流 — TTL 输入	V _{DD} = 最大值, 取消选择器件, V _{IN} ≥ V _{IH} 或 V _{IN} ≤ V _{IL} , f = f _{MAX} = 1/t _{CYC}	4 ns 周期, 250 MHz	× 18	—	85	mA
				× 36	—	90	
			5 ns 周期, 200 MHz	× 18	—	85	mA
				× 36	—	90	
			6 ns 周期, 167 MHz	× 18	—	85	mA
				× 36	—	90	
I _{SB2}	自动 CE 断电电流 — CMOS 输入	V _{DD} = 最大值, 取消选择器件, V _{IN} ≤ 0.3 V 或 V _{IN} ≥ V _{DDQ} - 0.3 V, f = 0	所有速度 范围	× 18	—	75	mA
				× 36		80	
I _{SB3}	自动 CE 断电电流 — CMOS 输入	V _{DD} = 最大值, 取消选择 器件, V _{IN} ≤ 0.3 V 或 V _{IN} ≥ V _{DDQ} - 0.3 V, f = f _{MAX} = 1/t _{CYC}	4 ns 周期, 250 MHz	× 18	—	85	mA
				× 36		90	
			5 ns 周期, 200 MHz	× 18	—	85	mA
				× 36		90	
			6 ns 周期, 167 MHz	× 18	—	85	mA
				× 36		90	
I _{SB4}	自动 CE 断电电流 — TTL 输入	V _{DD} = 最大值, 取消选择 器件, V _{IN} ≥ V _{IH} 或 V _{IN} ≤ V _{IL} , f = 0	所有速度 范围	× 18	—	75	mA
				× 36	—	80	

电容值

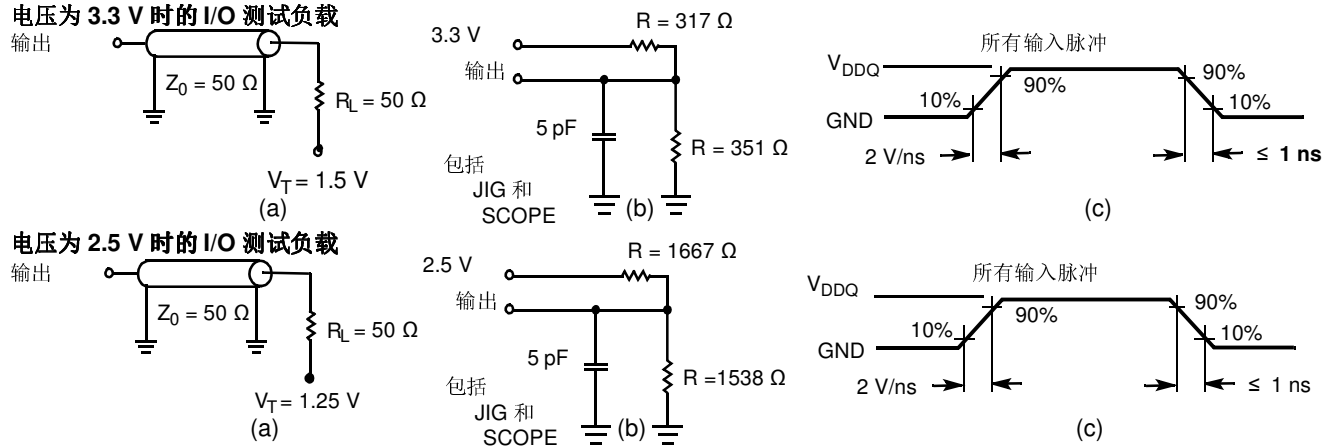
参数 ^[19]	说明	测试条件	100 引脚 TQFP 最大值	165 球形焊盘 FBGA 最大值	单位
C_{IN}	输入电容	$T_A = 25\text{ }^{\circ}\text{C}$, $f = 1\text{ MHz}$, $V_{DD} = 2.5\text{ V}$, $V_{DDQ} = 2.5\text{ V}$	5	5	pF
C_{CLK}	时钟输入电容		5	5	pF
$C_{I/O}$	输入 / 输出电容		5	5	pF

热阻

参数 ^[19]	说明	测试条件		100 引脚 TQFP 封装	165 球形焊盘 FBGA 封装	单位
Θ_{JA}	热阻 （结至环境）	根据 EIA/JESD51 的要求，测试条件遵循测试热阻的标准测试方法和过程。	与静止空气中（0 米 / 秒）	35.36	14.24	°C/W
			用空气流量 （1 米 / 秒）	31.30	12.47	
			用空气流量 （3 米 / 秒）	28.86	11.40	
Θ_{JC}	热阻 （结至外壳）			7.52	3.92	
			Θ_{JB}	热阻 （结到板）		

交流测试负载和波形

图 3. 交流测试负载和波形



注释:

19. 初始测试和任何有关设计或流程的变化后的测试会影响这些参数。

开关特性

在工作范围内

参数 ^[20,21]	说明	-250		-200		-167		单位
		最小值	最大值	最小值	最大值	最小值	最大值	
$t_{Power}^{[22]}$	从 V_{CC} (典型值) 到第一次读 / 写访问的时间	1	—	1	—	1	—	ms
时钟								
t_{CYC}	时钟周期时间	4.0	—	5.0	—	6.0	—	ns
F_{MAX}	最大工作频率	—	250	—	200	—	167	MHz
t_{CH}	时钟为高电平的时间	1.5	—	2.0	—	2.4	—	ns
t_{CL}	时钟为低电平的时间	1.5	—	2.0	—	2.4	—	ns
输出时间								
t_{CO}	CLK 上升沿到数据输出有效的时间	—	2.5	—	3.2	—	3.4	ns
t_{EOV}	\overline{OE} 为低电平到输出有效的时间	—	2.6	—	3.0	—	3.4	ns
t_{DOH}	CLK 上升沿后数据输出的保持时间	1.0	—	1.5	—	1.5	—	ns
t_{CHZ}	从时钟上升沿到数据输入 / 输出转为高阻态的时间 ^[23, 24, 25]	—	2.6	—	3.0	—	3.4	ns
t_{CLZ}	从时钟上升沿到数据输入 / 输出为低阻态的时间 ^[23, 24, 25]	1.0	—	1.3	—	1.5	—	ns
t_{EOHZ}	\overline{OE} 为高电平到输出为高阻态的时间 ^[23,24,25]	—	2.6	—	3.0	—	3.4	ns
t_{EOLZ}	\overline{OE} 为低电平到输出为低阻态的时间 ^[23,24,25]	0	—	0	—	0	—	ns
建立时间								
t_{AS}	CLK 上升沿前的地址建立时间	1.2	—	1.4	—	1.5	—	ns
t_{DS}	CLK 上升沿前的数据输入建立时间	1.2	—	1.4	—	1.5	—	ns
t_{CENS}	CLK 上升沿前的 \overline{CEN} 建立时间	1.2	—	1.4	—	1.5	—	ns
t_{WES}	CLK 上升沿前的 \overline{WE} 和 \overline{BW}_x 的建立时间	1.2	—	1.4	—	1.5	—	ns
t_{ALS}	CLK 上升沿前的 $\overline{ADV}/\overline{LD}$ 建立时间	1.2	—	1.4	—	1.5	—	ns
t_{CES}	芯片选择建立时间	1.2	—	1.4	—	1.5	—	ns
保持时间								
t_{AH}	CLK 上升沿后的地址保持时间	0.3	—	0.4	—	0.5	—	ns
t_{DH}	CLK 上升沿后数据输入的保持时间	0.3	—	0.4	—	0.5	—	ns
t_{CENH}	CLK 上升沿后的 \overline{CEN} 保持时间	0.3	—	0.4	—	0.5	—	ns
t_{WEH}	CLK 上升沿后的 \overline{WE} 和 \overline{BW}_x 保持时间	0.3	—	0.4	—	0.5	—	ns
t_{ALH}	CLK 上升沿后的 $\overline{ADV}/\overline{LD}$ 保持时间	0.3	—	0.4	—	0.5	—	ns
t_{CEH}	CLK 上升沿后的片选保持时间	0.3	—	0.4	—	0.5	—	ns

注释:

20. $V_{DDQ} = 3.3\text{ V}$ 时, 时序参考电压为 1.5 V; $V_{DDQ} = 2.5\text{ V}$ 时, 时序参考电压为 1.25 V。

21. 除非另有说明, 否则测试条件都如第 21 页上的图 3 的 (a) 情况显示。

22. 该器件内部使用了一个电压调节器; t_{Power} 是启动读 / 写操作前供电电压超过 V_{DD} 最小值所需要的时间。

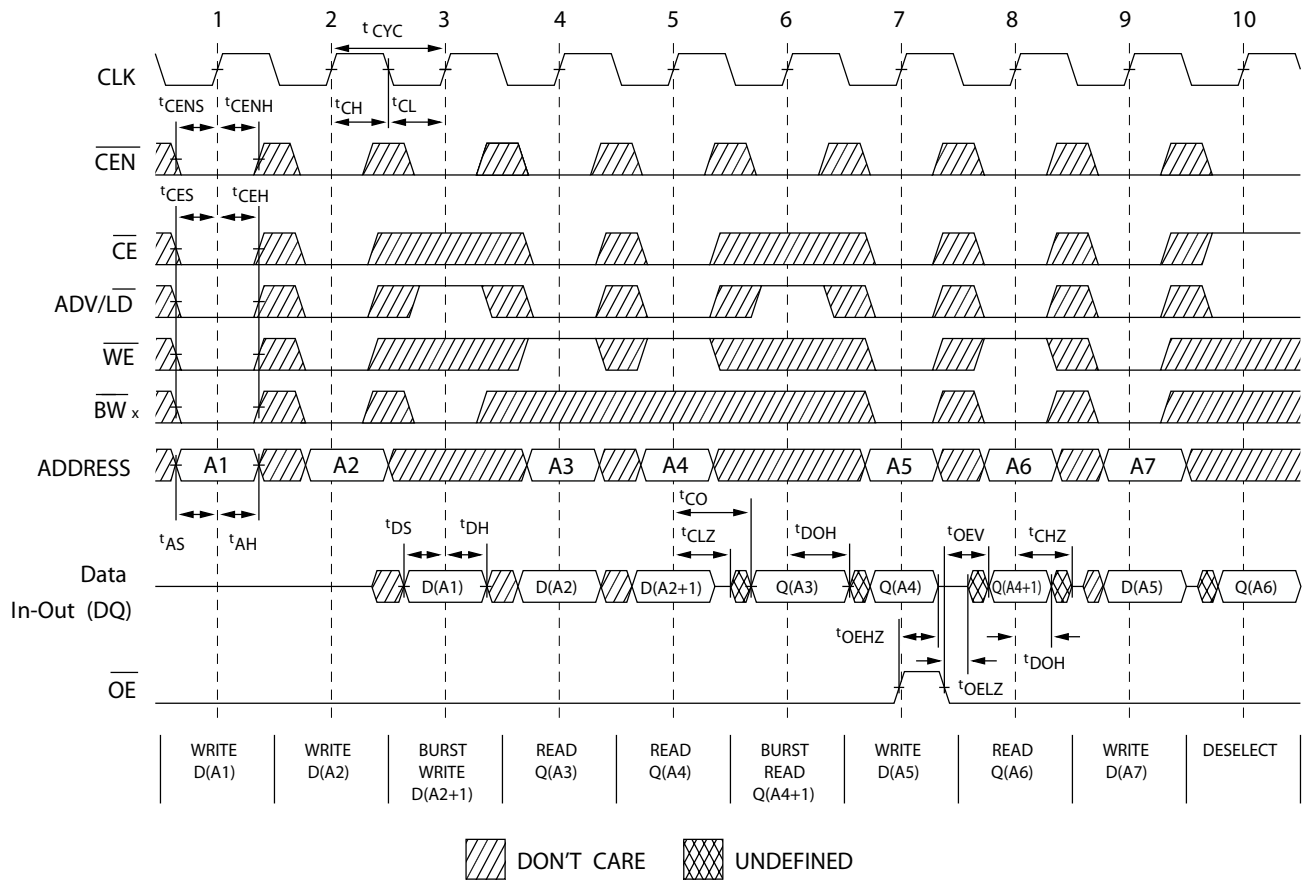
23. t_{CHZ} 、 t_{CLZ} 、 t_{EOLZ} 和 t_{EOHZ} 都是在第 21 页上的图 3 的 (b) 情况所示的交流电测试条件下指定的。跳变在稳定状态电压 $\pm 200\text{ mV}$ 下进行测量。

24. 在任何电压和温度条件下, t_{EOHZ} 小于 t_{EOLZ} , t_{CHZ} 小于 t_{CLZ} , 这样在共享同一个数据总线时能够排除总线冲突。这些规范并不是总线冲突条件, 但它反映了各个参数在最坏的情况下得到保证。设计器件的目的在于在同一个系统条件下进入低阻态前要先进入高阻态。

25. 该参数为采样值, 并非 100% 经过了测试。

开关波形

图 4. 读 / 写 / 时序 [26,27,28]



注释:

26. 对于该波形, ZZ 被置于低电平。

27. 当 \overline{CE} 为低电平时, \overline{CE}_1 和 \overline{CE}_3 均为低电平, CE_2 则为高电平。当 \overline{CE} 为高电平时, \overline{CE}_1 为高电平, 或 \overline{CE}_3 为高电平, 或 CE_2 为低电平。

28. 突发的顺序由 MODE 的状态决定 (0 = 线性突发, 1 = 交错突发)。突发操作是可选的。

开关波形（续）

图 5. NOP、STALL 和 DESELECT 周期 [29,30,31]

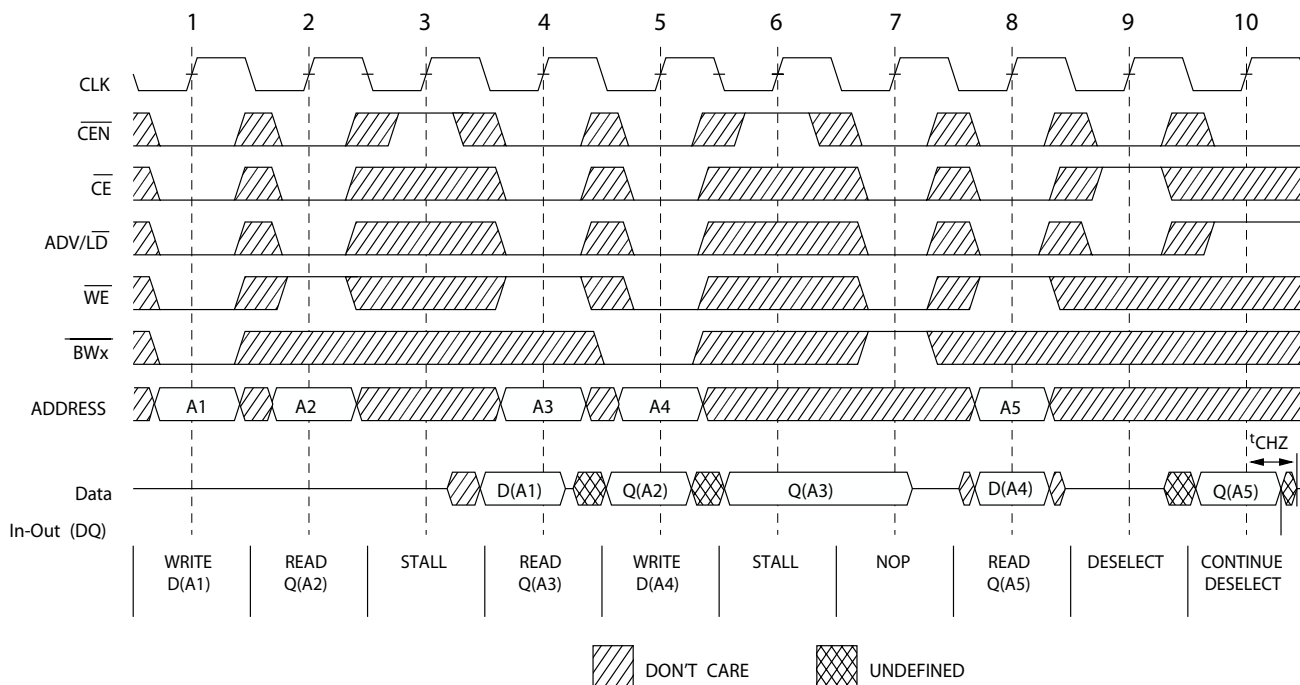
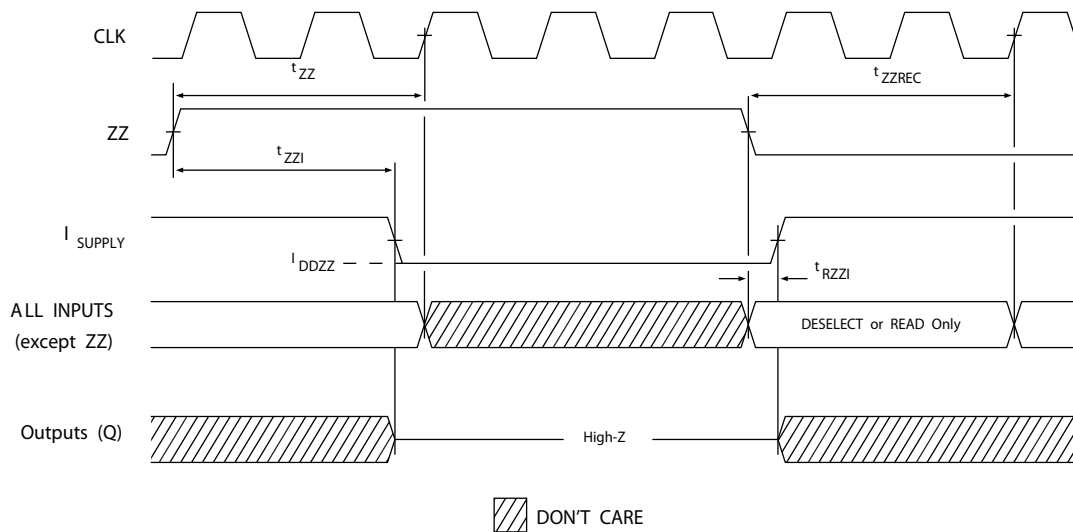


图 6. ZZ 模式时序 [32,33]



注释:

29. 对于该波形，ZZ 被置于低电平。

30. 当 \overline{CE} 为低电平时， \overline{CE}_1 和 \overline{CE}_3 均为低电平， \overline{CE}_2 则为高电平。当 \overline{CE} 为高电平时， \overline{CE}_1 为高电平，或 \overline{CE}_3 为高电平，或 \overline{CE}_2 为低电平。

31. “忽略时钟沿”或“停止”周期（时钟 3）说明了通过使用 \overline{CEN} 信号来实现暂停操作。在该周期内，不能执行写操作。

32. 进入 ZZ 模式时，必须取消选择该器件。有关取消选择器件的所有可能发生的信号条件，请参考周期说明表。

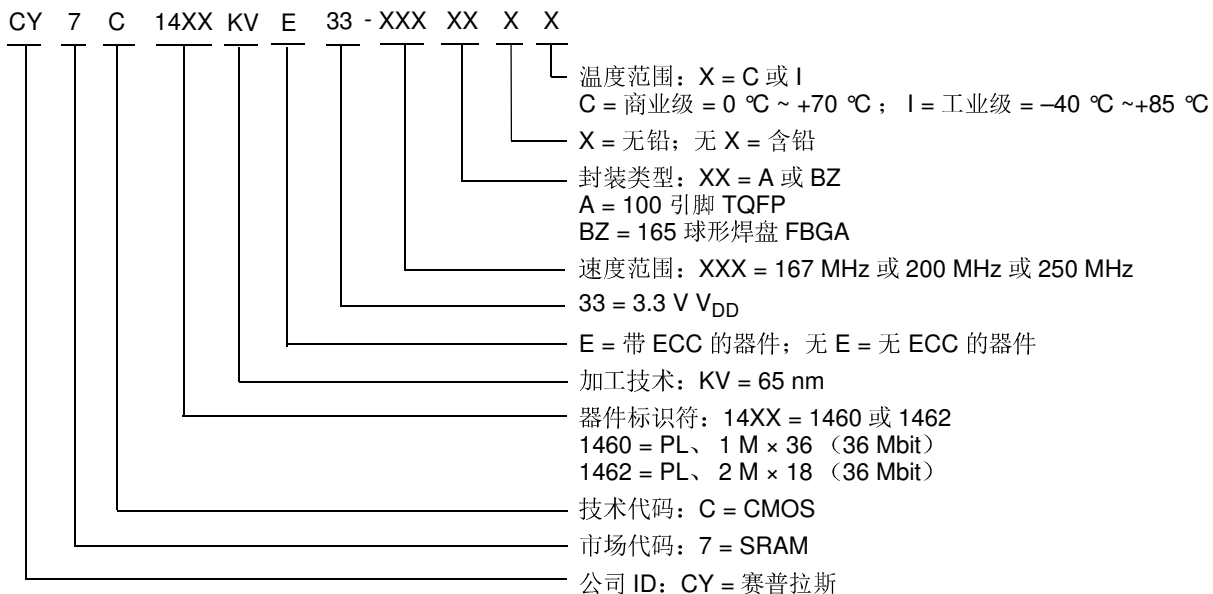
订购信息

下表仅列出目前可以供应的器件。如果您未能找到所需的器件，请与您当地销售代表联系。如需更多信息，请访问赛普拉斯公司网站 www.cypress.com，并参考 <http://www.cypress.com/products> 上的产品汇总页。

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要查找距您最近的办事处，请访问 <http://www.cypress.com/go/datasheet/offices>。

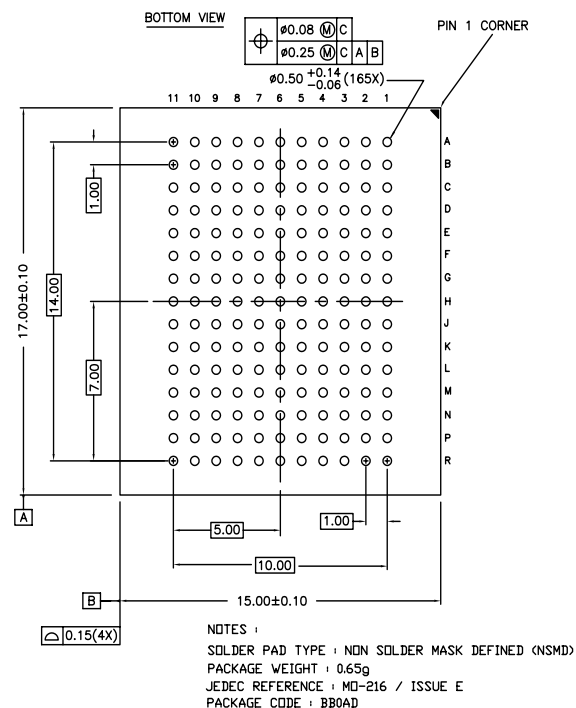
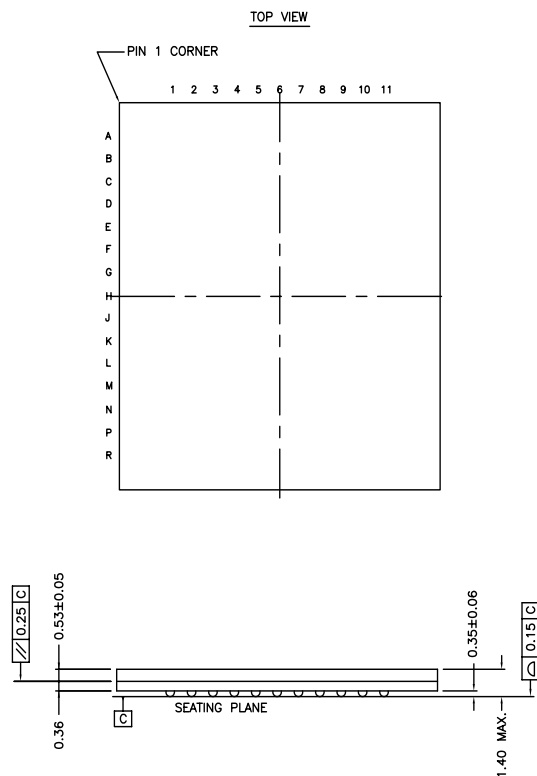
速度 (MHz)	订购代码	封装图	芯片和封装类型	工作范围
250	CY7C1460KV33-250AXI	51-85050	100 引脚 TQFP （14 × 20 × 1.4 mm）无铅	工业级
200	CY7C1460KV33-200AXC			商业级
	CY7C1460KVE33-200AXC			
167	CY7C1460KV33-167AXC			
	CY7C1460KV33-167AXI			
	CY7C1460KVE33-167AXI			
	CY7C1460KVE33-167BZC	51-85195	165 球形焊盘 FBGA （15 × 17 × 1.4 mm）	商业级
	CY7C1460KV33-167BZC			
	CY7C1462KVE33-167AXC			

订购代码定义



封装图 (续)

图 8. 165 球形焊盘 FBGA (15 × 17 × 1.4 mm (球形焊盘的直径为 0.5)) 封装外形, 51-85195



51-85195 *D

缩略语

缩略语	说明
CEN	时钟使能
CMOS	互补金属氧化物半导体
FBGA	小间距球栅阵列
I/O	输入 / 输出
JTAG	联合测试行动小组
NoBL	无总线延迟
OE	输出使能
SRAM	静态随机存取存储器
TCK	测试时钟
TDI	测试数据输入
TDO	测试数据输出
TMS	测试模式选择
TQFP	薄型四方扁平封装
WE	写使能

文档规范

测量单位

符号	测量单位
°C	摄氏度
MHz	兆赫兹
μA	微安
mA	毫安
mm	毫米
ms	毫秒
ns	纳秒
%	百分比
pF	皮法
V	伏特
W	瓦特

文档修订记录页

文档标题: CY7C1460KV33/CY7C1460KVE33/CY7C1462KVE33, NoBL™ 架构的 36 Mbit (1 M × 36/2 M × 18) 流水线 SRAM (带有 ECC) 文档编号: 001-95973				
版本	ECN	变更者	提交日期	变更说明
**	4622069	HZHU	01/14/2014	本文档版本号为 Rev**, 译自英文版 001-66680 Rev*E。
A	4717375	PRIT	04/08/2015	转为最终文档 英语 001-66680 G 翻译成中国 001-95973 规格

销售、解决方案和法律信息

全球销售和 Design 支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要找到距您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

汽车用产品	cypress.com/go/automotive
时钟与缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc cypress.com/go/plc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应产品	cypress.com/go/touch
USB 控制器	cypress.com/go/USB
无线 / 射频	cypress.com/go/wireless

PSoC® 解决方案

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [训练](#)

技术支持

cypress.com/go/support

© 赛普拉斯半导体公司，2011-2015。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不会以明示或暗示的方式授予任何专利许可或其他权利。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于合理预计可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受适用于赛普拉斯软件许可证的限制。