

36M ビット (1M × 36/2M × 18) 同期式 パイプライン DCD SRAM

機能

- 最大 250MHz でのバス動作に対応
- 速度グレード 250MHz に対応
- パイプライン動作入出力が登録済み
- 性能に最適化 (ダブル サイクル選択解除)
- ウェイト ステートなしの深度拡張
- 3.3V コア電源
- 2.5V/3.3V I/O 電源
- クロック～出力の時間が速い
□ 2.5ns (デバイス速度が 250MHz の場合)
- 高性能 3-1-1-1 アクセス速度を提供
- インターリーブまたはリニア バースト シーケンスに対応するユーザー選択可能バースト カウンター
- 独立したプロセッサとコントローラー アドレス ストロープ
- セルフタイム同期書き込み
- 非同期出力イネーブル
- CY7C1444KV33、CY7C1445KV33 は JEDEC 準拠の鉛フリー 100 ピン TQFP パッケージで提供
- 「ZZ」 スリープ モード オプション

機能の詳細

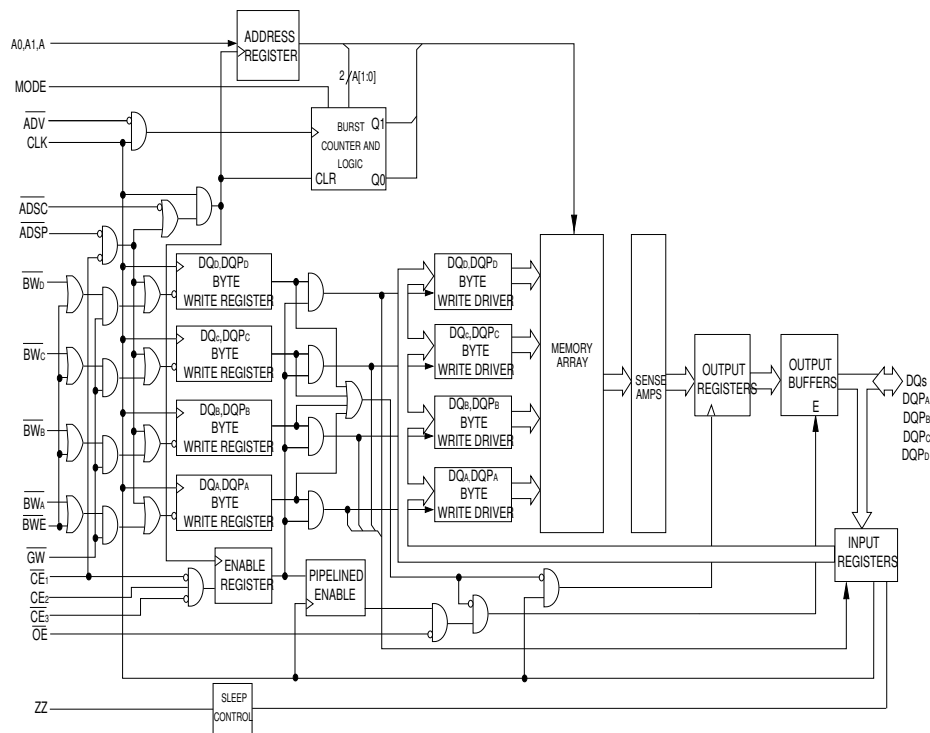
CY7C1444KV33/CY7C1445KV33 SRAM は、内部バースト動作のために高度な同期ペリフェラル回路および 2 ビット カウンターを 1M × 36/2M × 18 SRAM セルに組み込んでいます。全ての同期入力、ポジティブ エッジでトリガされるクロック入力 (CLK) で制御したレジスタによりゲートします。同期入力は、全てのアドレス、全てのデータ入力、アドレス パイプライン チップ イネーブル ($\overline{CE_1}$)、深度拡張チップ イネーブル ($\overline{CE_2}$ 、 $\overline{CE_3}$)、バースト制御入力 (ADSC、ADSP、ADV)、書き込みイネーブル ($\overline{BW_X}$ 、 \overline{BWE})、およびグローバル書き込み (GW) を含みます。非同期入力は出力イネーブル (\overline{OE}) 信号と ZZ ピンです。

アドレス ストロープ プロセッサ (\overline{ADSP}) またはアドレス ストロープ コントローラー (ADSC) がアクティブの時、アドレスとチップ イネーブルはクロックの立ち上がりエッジで登録されます。後続バースト アドレスは、アドバンス ピン (ADV) の制御によって内部的に生成できます。

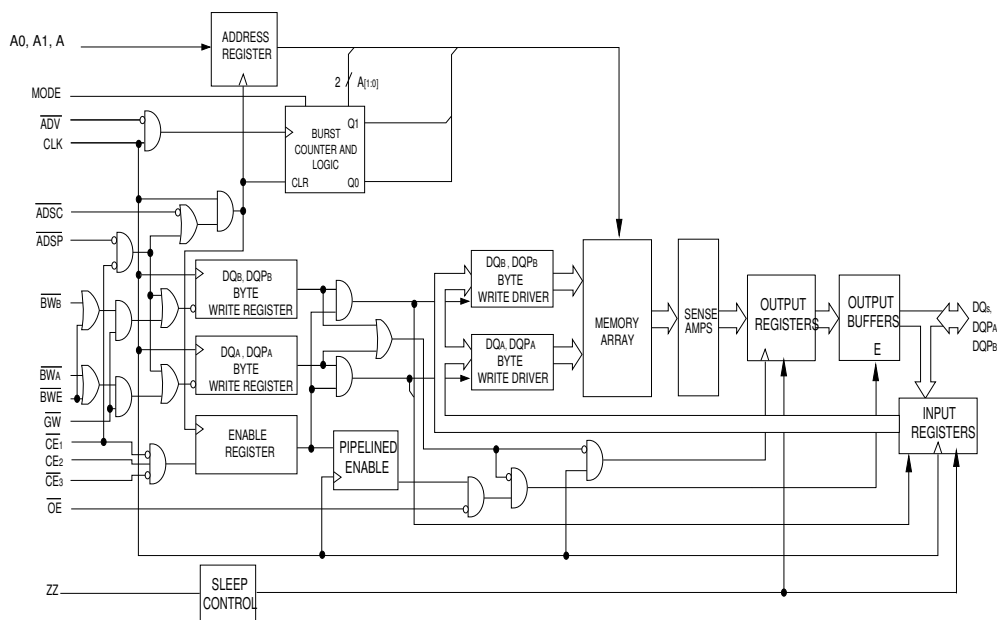
アドレス、データ入力、および書き込み制御は、セルフタイム書き込みサイクルを開始するために内部で登録されます。デバイスはバイト書き込み動作をサポートします (詳細については、ピン説明と真理値表を参照してください)。書き込みサイクルは、バイト書き込み制御入力の制御によって 1 ～ 4 バイト幅になります。GW がアクティブ LOW になると全てのバイトが書き込まれます。デバイスは、選択解除が実行された時に出力バッファをオフにすることをもう 1 サイクル遅延させる追加のパイプライン イネーブル レジスタを内蔵していますこの機能はシステム性能へ影響を与えずに深度格納を可能にします。

CY7C1444KV33/CY7C1445KV33 SRAM は +3.3V のコア電源で動作しますが、全ての出力が +3.3V または +2.5V 電源で動作します。全ての入力と出力は JEDEC 標準規格 JESD8-5 に準拠しています。

論理ブロック図ー CY7C1444KV33



論理ブロック図ー CY7C1445KV33

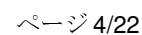


目次

選択ガイド	4	静電容量	12
ピン配置	4	熱抵抗	12
ピン機能	5	AC テストの負荷および波形	12
機能概要	6	スイッチング特性	13
シングル読み出しアクセス	6	スイッチング波形	14
ADSP で開始されるシングル書き込みアクセス	6	注文情報	18
ADSC で開始されるシングル書き込みアクセス	6	注文コードの定義	18
バースト シーケンス	7	パッケージ図	19
スリープ モード	7	略語	20
インターリーブ バースト アドレス表	7	本書の表記法	20
リニア バースト アドレス表	7	測定単位	20
ZZ モード電気的特性	7	改訂履歴	21
真理値表	8	セールス、ソリューションおよび法律情報	22
書き込み／読み出しの部分真理値表	9	ワールドワイドな販売と設計サポート	22
書き込み／読み出しの部分真理値表	9	製品	22
最大定格	10	PSoC® ソリューション	22
動作範囲	10	サイプレス開発者コミュニティ	22
中性子ソフト エラー耐性	10	テクニカル サポート	22
電気的特性	10		

説明		250MHz	単位
最大アクセス時間		2.5	ns
最大動作電流	×18	220	mA
	×36	240	

図 1. 100 ピン TQFP パッケージのピン配置



ピン機能

ピン名	I/O	説明
A ₀ , A ₁ , A	入力 - 同期	アドレス位置の1つを選択するために使用されるアドレス入力。ADSP または ADSC がアクティブ LOW であり、CE ₁ , CE ₂ , CE ₃ がアクティブの時にサンプリングされた場合、CLK の立ち上がりエッジでサンプリング。A1: A0 は2ビット カウンターに供給
BW _A , BW _B , BW _C , BW _D	入力 - 同期	バイト書き込み選択入力、アクティブ LOW。SRAM へのバイト書き込みを実行するために BWE で有効にする。CLK の立ち上がりエッジでサンプリング
GW	入力 - 同期	グローバル書き込みイネーブル 入力、アクティブ LOW。CLK の立ち上がりエッジで LOW にアサートされた時、グローバル書き込みが実行される (BW _x と BWE 上の値にかかわらず、全てのバイトは書き込まれる)
BWE	入力 - 同期	バイト書き込みイネーブル入力、アクティブ LOW。CLK の立ち上がりエッジでサンプリング。バイト書き込みシーケンスを開始するためにこの信号を LOW にアサートすることが必要
CLK	入力 - クロック	クロック入力。デバイスへの全ての同期入力を取り込むために使用。バースト処理中に、ADV が LOW にアサートされるとバースト カウンターをインクリメントするためにも使用
CE ₁	入力 - 同期	チップイネーブル1 入力、アクティブ LOW。CLK の立ち上がりエッジでサンプリング。デバイスを選択/選択解除するために CE ₂ と CE ₃ と併用。CE ₁ が HIGH の場合、ADSP は無視される。CE ₁ は、新しい外部アドレスがロードされた時にのみサンプリング
CE ₂	入力 - 同期	チップイネーブル2 入力、アクティブ HIGH。CLK の立ち上がりエッジでサンプリング。デバイスを選択/選択解除するために CE ₁ と CE ₃ と併用。CE ₂ は、新しい外部アドレスがロードされた時にのみサンプリング
CE ₃	入力 - 同期	チップイネーブル3 入力、アクティブ LOW。CLK の立ち上がりエッジでサンプリング。デバイスを選択/選択解除するために CE ₁ と CE ₂ と併用。CE ₃ は、新しい外部アドレスがロードされた時にのみサンプリング
OE	入力 - 非同期	出力イネーブル、非同期入力、アクティブ LOW。I/O ピンの方向を制御。LOW の場合、I/O ピンは出力として機能。HIGH にデアサートされた時、DQ ピンはトライステートになり、入力データピンとして機能。デバイスが選択解除状態から復帰した時、OE は読み出しサイクルの最初のクロック中にマスクされる
ADV	入力 - 同期	CLK の立ち上がりエッジでサンプリングされるアクティブ LOW アドバンス入力信号。アサートされた時、バースト サイクル中に自動的にアドレスをインクリメント
ADSP	入力 - 同期	CLK の立ち上がりエッジでサンプリングされるプロセッサからのアドレス ストロープ、アクティブ LOW。LOW にアサートされる時、デバイスに供給されたアドレスはアドレス レジスタに取り込まれる。A1: A0 もバースト カウンターにロードされる。ADSP と ADSC の両方がアサートされた時、ADSP のみは認識される。CE ₁ が HIGH にデアサートされた時、ADSP は無視される
ADSC	入力 - 同期	CLK の立ち上がりエッジでサンプリングされるコントローラーからのアドレス ストロープ、アクティブ LOW。LOW にアサートされる時、デバイスに供給されたアドレスはアドレス レジスタに取り込まれる。A1: A0 もバースト カウンターにロードされる。ADSP と ADSC の両方がアサートされた時、ADSP のみは認識される
ZZ	入力 - 非同期	ZZ「スリープ」入力、アクティブ HIGH。HIGH にアサートされた時、デバイスは非タイム クリティカルな「スリープ」状態に入り、データの完全性が維持される。通常動作のために、このピンを LOW にする、またはフローティング状態のままにすることが必要。ZZ ピンは内部プルダウン抵抗に接続
DQs, DQPs	I/O - 同期	双方向データ I/O ライン。入力として機能している場合、CLK の立ち上がりエッジでトリガーされる内蔵データ レジスタに供給される。出力として機能している場合、読み出しサイクル中に供給されたアドレスで指定されるメモリ位置に含まれるデータを転送。このピンの方向は OE によって制御される。OE が LOW にアサートされた時、このピンは出力として機能。HIGH の場合、DQs と DQP _x はトライステート状態に移行
V _{DD}	電源供給	デバイス コアの電源入力
V _{SS}	グラウンド	デバイス コアのグラウンド
V _{SSQ}	I/O グラウンド	I/O 回路のグラウンド

ピン機能 (続き)

ピン名	I/O	説明
V _{DDQ}	I/O 電源	I/O 回路の電源
モード	入力 - スタティック	バースト順序を選択。GND に接続された場合、リニア バースト シーケンスが選択される。V _{DD} に接続される、またはフローティングのままにされた場合、インターリーブ バースト シーケンスを選択。これはストラップピンであり、デバイス動作中にスタティックのままにすることが必要。MODE ピンは内部プルアップ抵抗に接続
NC	—	未接続。ダイに内部的に接続されていない
NC/72M、NC/144M、NC/288M、NC/576M、NC/1G	—	未接続。ダイに内部的に接続されていない。72M、144M、288M、576M および 1G はダイに内部で接続されていないアドレス拡張ピン

機能概要

全ての同期入力、クロックの立ち上がりエッジで制御される入力レジスタを通過します。全てのデータ出力は、クロックの立ち上がりエッジで制御される出力レジスタを通過します。

CY7C1444KV33/CY7C1445KV33 は、リニアまたはインターリーブ バースト シーケンスを使用するシステムでは二次キャッシュをサポートしています。インターリーブ バースト順序は Pentium プロセッサでサポートされています。バースト順序はユーザーにより選択可能であり、MODE 入力をサンプリングすることで判定されます。アクセスは、プロセッサアドレスストローブ (ADSP) またはコントローラー アドレス ストローブ (ADSC) で開始できます。バースト シーケンスを介したアドレスの増加は、ADV 入力で制御されます。2 ビットの内蔵ラップアラウンド バースト カウンターは、バースト シーケンスの最初のアドレスを取り込んで、以降のバースト アクセスでは自動的にアドレスをインクリメントします。

バイト書き込み処理は、バイト書き込みイネーブル ($\overline{\text{BWE}}$) とバイト書き込み選択 ($\overline{\text{BW}_X}$) 入力で制御されます。グローバル書き込みイネーブル ($\overline{\text{GW}}$) は全てのバイト書き込み入力をオーバーライドし、全 4 バイトにデータを書き込みます。全ての書き込みは、内蔵のセルフタイム同期書き込み回路で簡素化されます。

同期チップセレクト $\overline{\text{CE}}_1$ 、 $\overline{\text{CE}}_2$ 、 $\overline{\text{CE}}_3$ と非同期出力イネーブル (OE) 信号は、容易なバンク選択および出力トライステート制御を提供します。 $\overline{\text{CE}}_1$ が HIGH の場合、ADSP は無視されます。

シングル読み出しアクセス

クロックの立ち上がりで次の条件が満たされると、このアクセスが開始されます: (1) ADSP または ADSC が LOW にアサートされ、(2) チップ選択信号が全てアクティブにアサートされ、(3) 書き込み信号 ($\overline{\text{GW}}$ 、 $\overline{\text{BWE}}$) が全て HIGH にアサートされます。 $\overline{\text{CE}}_1$ が HIGH の場合、ADSP は無視されます。アドレス入力に供給されたアドレスは、メモリ コアに提供されながら、アドレス増加論理ブロックとアドレスレジスタに保存されます。対応するデータを出力レジスタの入力へ伝播することができます。次のクロックの立ち上がりエッジでは、OE がアクティブ LOW であれば、データは t_{CO} 以内に出力レジスタを介してデータバスに伝播することができます。唯一の例外は、SRAM が選択解除状態から選択状態に復帰する時にのみ発生します。SRAM の出力は最初のアクセス サイクルの間常にトライステートになります。最初のアクセス サイクルの後、出力は OE 信号で制御されます。連続的シングル読み出しサイクルがサポートされています。

CY7C1444KV33/CY7C1445KV33 はダブル サイクル選択解除のデバイスです。クロックの立ち上がりで SRAM がチップセレクト信号または ADSP か ADSC 信号で選択解除されると、出力は次のクロック立ち上がりの直後にトライステートになります。

ADSP で開始されるシングル書き込みアクセス

クロックの立ち上がりで次の条件の両方とも満たされると、このアクセスは開始されます: (1) ADSP が LOW にアサートされ、(2) チップ選択信号がアクティブにアサートされます。供給されたアドレスはメモリ コアに提供されながら、アドレスレジスタとアドレス増加論理ブロックにロードされます。書き込み信号 ($\overline{\text{GW}}$ 、 $\overline{\text{BWE}}$ 、 $\overline{\text{BW}_X}$) および ADV 入力は初サイクル中に無視されます。

ADSP でトリガーされる書き込みアクセスは完成するのに 2 クロック サイクルを要します。 $\overline{\text{GW}}$ が 2 番目のクロックの立ち上がりエッジで LOW にアサートされた場合、 $\overline{\text{DQ}_X}$ 入力に供給されたデータは、メモリ コア上の対応するアドレス位置に書き込まれます。 $\overline{\text{GW}}$ が HIGH の場合、書き込み動作は $\overline{\text{BWE}}$ と $\overline{\text{BW}_X}$ 信号で制御されます。CY7C1444KV33/CY7C1445KV33 は、書き込みサイクルの説明表で説明されたバイト書き込み機能を備えています。選択したバイト書き込み入力を使ってバイト書き込みイネーブル入力 ($\overline{\text{BWE}}$) をアサートすると、所望のバイトのみが選択的に書き込まれます。バイト書き込み動作中に選択されないバイトは、不変のままです。書き込み動作を簡素化するためにセルフタイム同期書き込みメカニズムが提供されています。

CY7C1444KV33/CY7C1445KV33 が共通 I/O デバイスであるため、データを DQ 入力に供給する前に、出力イネーブル ($\overline{\text{OE}}$) を HIGH にアサートする必要があります。この場合、出力ドライバがトライステートになります。予防策として、 $\overline{\text{OE}}$ の状態にかかわらず、書き込みサイクルが検出される度に DQ は自動的にトライステートになります。

ADSC で開始されるシングル書き込みアクセス

次の条件が満たされると、ADSC 書き込みアクセスは開始されます: (1) ADSC が LOW にアサートされ、(2) ADSP が HIGH にアサートされ、(3) チップ選択信号がアクティブにアサートされ、(4) 書き込み入力 ($\overline{\text{GW}}$ 、 $\overline{\text{BWE}}$ 、 $\overline{\text{BW}_X}$) の適切な組み合わせが、所望のバイトへの書き込みを実行するためにアクティブにアサートされます。ADSC でトリガーされる書き込みアクセスは完成するのに 1 クロック サイクルを要します。供給されたアドレスはメモリ コアに提供されながら、アドレスレジスタとアドレス増加論理ブロックにロードされます。ADV 入力はこの

サイクル中に無視されます。グローバル書き込みを行う場合、 DQ_X に供給されたデータはメモリ コア上の対応するアドレス位置に書き込まれます。バイト書き込みを行う場合、選択されたバイトのみは書き込まれます。バイト書き込み動作中に選択されないバイトは、不変のままです。書き込み動作を簡素化するためにセルフタイム同期書き込みメカニズムが提供されています。

CY7C1444KV33/CY7C1445KV33 が共通 I/O デバイスであるため、データを DQ_X 入力に供給する前に、出力イネーブル (OE) を HIGH にデアサートする必要があります。この場合、出力ドライバがトライステートになります。予防策として、OE の状態にかかわらず、書き込みサイクルが検出される度に DQ_X は自動的にトライステートになります。

バースト シーケンス

CY7C1444KV33/CY7C1445KV33 は、 $A_{[1:0]}$ によって供給される 2 ビットのラップアラウンド カウンターを内蔵しています。このカウンターはインターリーブまたはリニア バースト シーケンスを実装します。インターリーブ バースト シーケンスは、Intel Pentium アプリケーションに対応できるように専用設計されています。バースト シーケンスは MODE 入力によりユーザー選択可能です。読み出しと書き込みバースト動作の両方がサポートされています。

クロックの立ち上がりで \overline{ADV} を LOW にアサートすると、バースト カウンターはバースト シーケンスでの次のアドレスに自動的にインクリメントされます。読み出しと書き込みバースト動作の両方がサポートされています。

スリープモード

ZZ 入力ピンは非同期入力です。ZZ をアサートすると、SRAM は省電力「スリープ」モードに入ります。このスリープモードへの移行および復帰には 2 クロック サイクルかかります。このモードでは、データの統合性が保証されます。スリープモード

に入った時に保留中のアクセスは有効として見なされず、動作完了も保証されません。デバイスはスリープモードに入る前に、選択解除する必要があります。ZZ 入力 LOW に戻った後、CEs、ADSP、および ADSC は t_{ZZREC} の時間非アクティブのままにする必要があります。

インターリーブ バースト アドレス表

(MODE = 開放または V_{DD})

1 番目の アドレス $A1: A0$	2 番目の アドレス $A1: A0$	3 番目の アドレス $A1: A0$	4 番目の アドレス $A1: A0$
00	01	10	11
01	00	11	10
10	11	00	01
11	10	01	00

リニア バースト アドレス表

(MODE = GND)

1 番目の アドレス $A1: A0$	2 番目の アドレス $A1: A0$	3 番目の アドレス $A1: A0$	4 番目の アドレス $A1: A0$
00	01	10	11
01	10	11	00
10	11	00	01
11	00	01	10

ZZ モード電気的特性

パラメータ	説明	テスト条件	Min	Max	単位
I_{DDZZ}	スリープモードスタンバイ電流	$ZZ \geq V_{DD} - 0.2V$	—	89	mA
t_{ZZS}	デバイス動作から ZZ までの時間	$ZZ \geq V_{DD} - 0.2V$	—	$2t_{CYC}$	ns
t_{ZZREC}	ZZ 復帰時間	$ZZ \leq 0.2V$	$2t_{CYC}$	—	ns
t_{ZZI}	ZZ アクティブからスリープ電流までの時間	このパラメータはサンプリング	—	$2t_{CYC}$	ns
t_{RZZI}	ZZ 非アクティブからスリープ電流終了までの時間	このパラメータはサンプリング	0	—	ns

真理値表

以下は CY7C1444KV33/CY7C1445KV33 の真理値表です。[1、2、3、4、5、6]

動作	使用する アドレス	\overline{CE}_1	CE_2	\overline{CE}_3	ZZ	\overline{ADSP}	\overline{ADSC}	\overline{ADV}	WRITE	\overline{OE}	CLK	DQ
選択解除サイクル、パワーダウン	無	H	X	X	L	X	L	X	X	X	L-H	トライステート
選択解除サイクル、パワーダウン	無	L	L	X	L	L	X	X	X	X	L-H	トライステート
選択解除サイクル、パワーダウン	無	L	X	H	L	L	X	X	X	X	L-H	トライステート
選択解除サイクル、パワーダウン	無	L	L	X	L	H	L	X	X	X	L-H	トライステート
選択解除サイクル、パワーダウン	無	L	X	H	L	H	L	X	X	X	L-H	トライステート
スリープモード、パワーダウン	無	X	X	X	H	X	X	X	X	X	X	トライステート
読み出しサイクル、バースト開始	外部	L	H	L	L	L	X	X	X	L	L-H	Q
読み出しサイクル、バースト開始	外部	L	H	L	L	L	X	X	X	H	L-H	トライステート
書き込みサイクル、バースト開始	外部	L	H	L	L	H	L	X	L	X	L-H	D
読み出しサイクル、バースト開始	外部	L	H	L	L	H	L	X	H	L	L-H	Q
読み出しサイクル、バースト開始	外部	L	H	L	L	H	L	X	H	H	L-H	トライステート
読み出しサイクル、バースト継続	次	X	X	X	L	H	H	L	H	L	L-H	Q
読み出しサイクル、バースト継続	次	X	X	X	L	H	H	L	H	H	L-H	トライステート
読み出しサイクル、バースト継続	次	H	X	X	L	X	H	L	H	L	L-H	Q
読み出しサイクル、バースト継続	次	H	X	X	L	X	H	L	H	H	L-H	トライステート
書き込みサイクル、バースト継続	次	X	X	X	L	H	H	L	L	X	L-H	D
書き込みサイクル、バースト継続	次	H	X	X	L	X	H	L	L	X	L-H	D
読み出しサイクル、バースト停止	現行	X	X	X	L	H	H	H	H	L	L-H	Q
読み出しサイクル、バースト停止	現行	X	X	X	L	H	H	H	H	H	L-H	トライステート
読み出しサイクル、バースト停止	現行	H	X	X	L	X	H	H	H	L	L-H	Q
読み出しサイクル、バースト停止	現行	H	X	X	L	X	H	H	H	H	L-H	トライステート
書き込みサイクル、バースト停止	現行	X	X	X	L	H	H	H	L	X	L-H	D
書き込みサイクル、バースト停止	現行	H	X	X	L	X	H	H	L	X	L-H	D

注

1. X = 「ドントケア」。H = 論理 HIGH、L = 論理 LOW。
2. 1 つ以上のバイト書き込みイネーブル信号と $\overline{BWE} = L$ または $\overline{GW} = L$ の時、 $\overline{WRITE} = L$ 。全てのバイト書き込みイネーブル信号、 \overline{BWE} 、 $\overline{GW} = H$ の時、 $\overline{WRITE} = H$ 。
3. \overline{DQ} ピンは現行のサイクルと \overline{OE} 信号で制御されます。 \overline{OE} は非同期で、クロックと同期してサンプリングされません。
4. \overline{CE}_1 、 CE_2 、および \overline{CE}_3 は TQFP パッケージにのみ存在しています。
5. \overline{GW} 、 \overline{BWE} 、または \overline{BW}_X の状態にかかわらず、 \overline{ADSP} がアサートされると、SRAM は読み出しサイクルを開始します。書き込みは、 \overline{ADSP} の後に、または \overline{ADSC} のアサートにより後続のクロックサイクルでのみ行われます。従って、出力がトライステートになるために、書き込みサイクル前に \overline{OE} を HIGH に駆動する必要があります。 \overline{OE} は書き込みサイクルの後半からは「ドントケア」です。
6. \overline{OE} は非同期で、クロック立ち上がりと同様にサンプリングされません。これは、書き込みサイクル中に内部でマスキングされます。読み出しサイクルでは、 \overline{OE} が非アクティブ、またはデバイスが選択解除された場合、全てのデータビットはトライステートになります。 \overline{OE} がアクティブ (LOW) の場合、全てのデータビットは出力として機能します。

書き込み／読み出しの部分真理値表

以下は CY7C1444KV33 の書き込み／読み出しの部分真理値表です。[7、8]

機能 (CY7C1444KV33)	\overline{GW}	\overline{BWE}	$\overline{BW_D}$	$\overline{BW_C}$	$\overline{BW_B}$	$\overline{BW_A}$
読み出し	H	H	X	X	X	X
読み出し	H	L	H	H	H	H
バイト A 書き込み – (DQ _A 、DQP _A)	H	L	H	H	H	L
バイト B 書き込み – (DQ _B 、DQP _B)	H	L	H	H	L	H
バイト B、A 書き込み	H	L	H	H	L	L
バイト C 書き込み – (DQ _C 、DQP _C)	H	L	H	L	H	H
バイト C、A 書き込み	H	L	H	L	H	L
バイト C、B 書き込み	H	L	H	L	L	H
バイト C、B、A 書き込み	H	L	H	L	L	L
バイト D 書き込み – (DQ _D 、DQP _D)	H	L	L	H	H	H
バイト D、A 書き込み	H	L	L	H	H	L
バイト D、B 書き込み	H	L	L	H	L	H
バイト D、B、A 書き込み	H	L	L	H	L	L
バイト D、C 書き込み	H	L	L	L	H	H
バイト D、C、A 書き込み	H	L	L	L	H	L
バイト D、C、B 書き込み	H	L	L	L	L	H
全バイト書き込み	H	L	L	L	L	L
全バイト書き込み	L	X	X	X	X	X

書き込み／読み出しの部分真理値表

以下は CY7C1445KV33 の書き込み／読み出しの部分真理値表です。[7、8]

機能 (CY7C1445KV33)	\overline{GW}	\overline{BWE}	$\overline{BW_B}$	$\overline{BW_A}$
読み出し	H	H	X	X
読み出し	H	L	H	H
バイト A 書き込み – (DQ _A 、DQP _A)	H	L	H	L
バイト B 書き込み – (DQ _B 、DQP _B)	H	L	L	H
全バイト書き込み	H	L	L	L
全バイト書き込み	L	X	X	X

注

7. DQ ピンは現行のサイクルと \overline{OE} 信号で制御されます。 \overline{OE} は非同期で、クロックと同期してサンプリングされません。
8. この表では、バイト書き込み組み合わせの一部を一覧表示します。どの $\overline{BW_X}$ の組み合わせも可能です。書き込みは、アクティブになるバイト書き込み信号に応じて適切に行われます。

最大定格

最大定格を超えるとデバイスの寿命が短くなる可能性があります。ユーザー ガイドラインはテストされていません。

保存温度 -65 °C ~ +150 °C

通電時の周囲温度 -55 °C ~ +125 °C

GND を基準とした V_{DD} 上の電源電圧 -0.5V ~ +4.6V

GND を基準とした V_{DDQ} 上の電源電圧 -0.5V ~ + V_{DD}

トリステート状態の出力に

与える DC 電圧 -0.5V ~ $V_{DDQ} + 0.5V$

DC 入力電圧 -0.5V ~ $V_{DD} + 0.5V$

出力 (LOW) への電流 20mA

静電放電時の電圧

(MIL-STD-883、メソッド 3015) >2001V

ラッチアップ電流 >200mA

動作範囲

レンジ	周囲温度	V_{DD}	V_{DDQ}
商業用	0 °C ~ +70 °C	3.3V - 5% / + 10%	2.5V - 5% ~ V_{DD}

中性子ソフト エラー耐性

パラメータ	説明	テスト条件	Typ	Max*	単位
LSBU	論理シングルビット アップセット	25 °C	197	216	FIT/ Mb
LMBU	論理マルチ ビット アップセット	25 °C	0	0.01	FIT/ Mb
SEL	シングル イベント ラッチアップ	85 °C	0	0.1	FIT/ Dev

* テスト中に LMBU または SEL イベントは発生しない；本項は χ^2 分布の 95% 信頼上限を示す。詳細については、アプリケーション ノート [AN54908](#)「Accelerated Neutron SER Testing and Calculation of Terrestrial Failure Rates」を参照

電気的特性

動作範囲において

パラメータ [9、10]	説明	テスト条件	Min	Max	単位
V_{DD}	電源電圧		3.135	3.6	V
V_{DDQ}	I/O 電源電圧	3.3V I/O の場合	3.135	V_{DD}	V
		2.5V I/O の場合	2.375	2.625	V
V_{OH}	出力 HIGH 電圧	3.3V I/O、 $I_{OH} = -4.0mA$ の場合	2.4	—	V
		2.5V I/O、 $I_{OH} = -1.0mA$ の場合	2.0	—	V
V_{OL}	出力 LOW 電圧	3.3V I/O、 $I_{OL} = 8.0mA$ の場合	—	0.4	V
		2.5V I/O、 $I_{OL} = 1.0mA$ の場合	—	0.4	V
V_{IH}	入力 HIGH 電圧 [9]	3.3V I/O の場合	2.0	$V_{DD} + 0.3V$	V
		2.5V I/O の場合	1.7	$V_{DD} + 0.3V$	V
V_{IL}	入力 LOW 電圧 [9]	3.3V I/O の場合	-0.3	0.8	V
		2.5V I/O の場合	-0.3	0.7	V
I_x	入力リーク電流 (ZZ と MODE を除く)	$GND \leq V_I \leq V_{DDQ}$	-5	5	μA
	MODE の入力電流	入力 = V_{SS}	-30	—	μA
		入力 = V_{DD}	—	5	μA
	ZZ の入力電流	入力 = V_{SS}	-5	—	μA
		入力 = V_{DD}	—	30	μA
I_{OZ}	出力リーク電流	$GND \leq V_I \leq V_{DDQ}$ 、出力が無効	-5	5	μA

注

9. オーバーシュート: $V_{IH}(AC) < V_{DD} + 1.5V$ (パルス幅は $t_{cyc}/2$ 未満)、アンダーシュート: $V_{IL}(AC) > -2V$ (パルス幅は $t_{cyc}/2$ 未満)

10. $T_{Power-up}$: 200ms 以内に 0V ~ $V_{DD}(\min)$ のリニア ランプを前提としています。この間では、 $V_{IH} < V_{DD}$ 、 $V_{DDQ} \leq V_{DD}$ 。

電気的特性 (続き)

動作範囲において

パラメータ [9, 10]	説明	テスト条件			Min	Max	単位
I_{DD}	V_{DD} 動作時供給電流	$V_{DD} = \text{Max}$, $I_{OUT} = 0\text{mA}$, $f = f_{MAX} = 1/t_{CYC}$	4ns のサイクル、 250MHz	×18	—	220	mA
				×36	—	240	
I_{SB1}	自動 CE パワーダウン電流 – TTL 入力	$V_{DD} = \text{Max}$, デバイス選択解除、 $V_{IN} \geq V_{IH}$ または $V_{IN} \leq V_{IL}$, $f = f_{MAX} = 1/t_{CYC}$	4ns のサイクル、 250MHz	×18	—	85	mA
				×36	—	90	
I_{SB2}	自動 CE パワーダウン電流 – CMOS 入力	$V_{DD} = \text{Max}$, デバイス選択解除、 $V_{IN} \leq 0.3V$ または $V_{IN} \geq V_{DDQ} - 0.3V$, $f = 0$	4ns のサイクル、 250MHz	×18	—	75	mA
				×36	—	80	
I_{SB3}	自動 CE パワーダウン電流 – CMOS 入力	$V_{DD} = \text{Max}$, デバイス選択解除、 $V_{IN} \leq 0.3V$ または $V_{IN} \geq V_{DDQ} - 0.3V$, $f = f_{MAX} = 1/t_{CYC}$	4ns のサイクル、 250MHz	×18	—	85	mA
				×36	—	90	
I_{SB4}	自動 CE パワーダウン電流 – TTL 入力	$V_{DD} = \text{Max}$, デバイス選択解除、 $V_{IN} \geq V_{IH}$ または $V_{IN} \leq V_{IL}$, $f = 0$	4ns のサイクル、 250MHz	×18	—	75	mA
				×36	—	80	

静電容量

パラメータ [11]	説明	テスト条件	100 ピン TQFP Max	単位
C_{IN}	入力静電容量	$T_A = 25^\circ\text{C}$ 、 $f = 1\text{MHz}$ 、 $V_{DD} = 3.3\text{V}$ 、 $V_{DDQ} = 2.5\text{V}$	5	pF
C_{CLK}	クロック入力静電容量		5	pF
$C_{I/O}$	入力／出力静電容量		5	pF

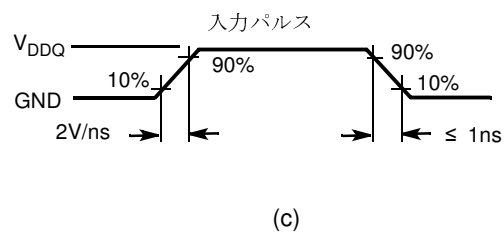
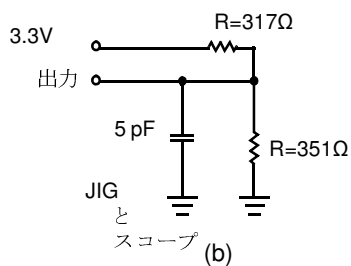
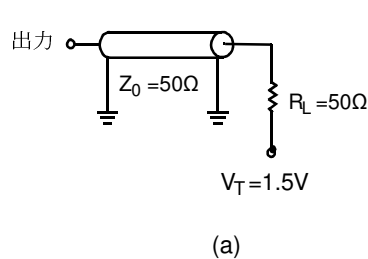
熱抵抗

パラメータ [11]	説明	テスト条件	100 ピン TQFP パッケージ	単位
Q_{JA}	熱抵抗 (接合部から周囲)	テスト条件は、EIA/JESD51 による、熱インピーダンスを測定するための標準的なテスト方法と手順に従う	エア (0 メートル/秒) 静止付	$^\circ\text{C}/\text{W}$
			エアフロー (1 メートル/秒)	
			エアフロー (3 メートル/秒)	
Q_{JC}	熱抵抗 (接合部からケース)		7.52	
Q_{JB}	熱抵抗 (ジャンクションボードへ)		28.89	

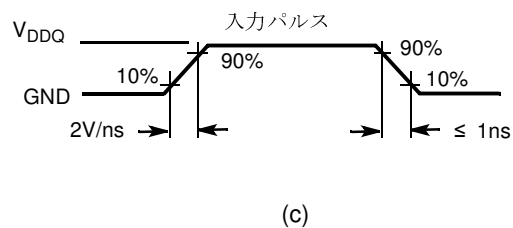
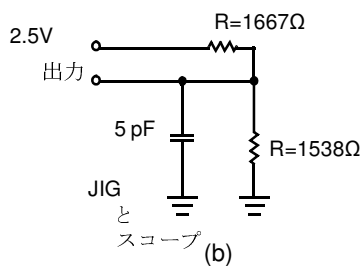
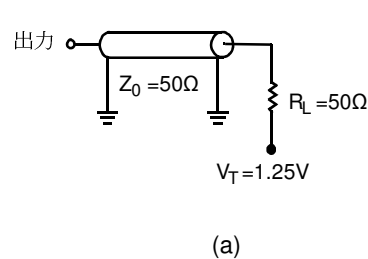
AC テストの負荷および波形

図 2. AC テストの負荷および波形

3.3V I/O テスト負荷



2.5V I/O テスト負荷



スイッチング特性

動作範囲において

パラメータ [12、13]	説明	-250		単位
		Min	Max	
t_{POWER}	V_{DD} (Typ) から最初のアクセスまでの時間 [14]	1	—	ms
クロック				
t_{CYC}	クロック サイクル期間	4.0	—	ns
t_{CH}	クロック HIGH 時間	1.5	—	ns
t_{CL}	クロック LOW 時間	1.5	—	ns
出力時間				
t_{CO}	CLK 立ち上がり後のデータ出力有効時間	—	2.5	ns
t_{DOH}	CLK 立ち上がり後のデータ出力ホールド時間	1.0	—	ns
t_{CLZ}	クロックから Low Z までの時間 [15、16、17]	1.0	—	ns
t_{CHZ}	クロックから High Z までの時間 [15、16、17]	—	2.6	ns
$t_{OE\overline{V}}$	\overline{OE} LOW から出力有効までの時間	—	2.6	ns
$t_{OE\overline{LZ}}$	\overline{OE} LOW から出力 Low Z までの時間 [15、16、17]	0	—	ns
$t_{OE\overline{HZ}}$	\overline{OE} HIGH から出力 High Z までの時間 [15、16、17]	—	2.6	ns
セットアップ時間				
t_{AS}	CLK 立ち上がり前のアドレス セットアップ時間	1.2	—	ns
t_{ADS}	CLK 立ち上がり前の \overline{ADSC} 、 \overline{ADSP} セットアップ時間	1.2	—	ns
t_{ADVS}	CLK 立ち上がり前の \overline{ADV} セットアップ時間	1.2	—	ns
t_{WES}	CLK 立ち上がり前の \overline{GW} 、 \overline{BWE} 、 $\overline{BW_X}$ セットアップ時間	1.2	—	ns
t_{DS}	CLK 立ち上がり前のデータ入力セットアップ時間	1.2	—	ns
t_{CES}	CLK 立ち上がり前のチップ イネーブル セットアップ時間	1.2	—	ns
ホールド時間				
t_{AH}	CLK 立ち上がり後のアドレス ホールド時間	0.3	—	ns
t_{ADH}	CLK 立ち上がり後の \overline{ADSP} 、 \overline{ADSC} ホールド時間	0.3	—	ns
t_{ADVH}	CLK 立ち上がり後の \overline{ADV} ホールド時間	0.3	—	ns
t_{WEH}	CLK 立ち上がり後の \overline{GW} 、 \overline{BWE} 、 $\overline{BW_X}$ ホールド時間	0.3	—	ns
t_{DH}	CLK 立ち上がり後のデータ入力ホールド時間	0.3	—	ns
t_{CEH}	CLK 立ち上がり後のチップ イネーブル ホールド時間	0.3	—	ns

注

11. 開発時とこれらのパラメータに影響を与えることがある設計／プロセス変更があった後テストされます。

注

12. タイミングのリファレンス電圧レベルは、 $V_{DDQ} = 3.3V$ の場合は 1.5V であり、 $V_{DDQ} = 2.5V$ の場合は 1.25V です。

13. 特に明記しない限り、テスト条件は、AC テスト負荷の (a) に示します。

14. このデバイスは電圧レギュレータを内蔵しています； t_{POWER} は、読み出しまたは書き込み処理が開始される前に、 $V_{DD}(\text{minimum})$ を超えた電源を供給する必要がある時間です。

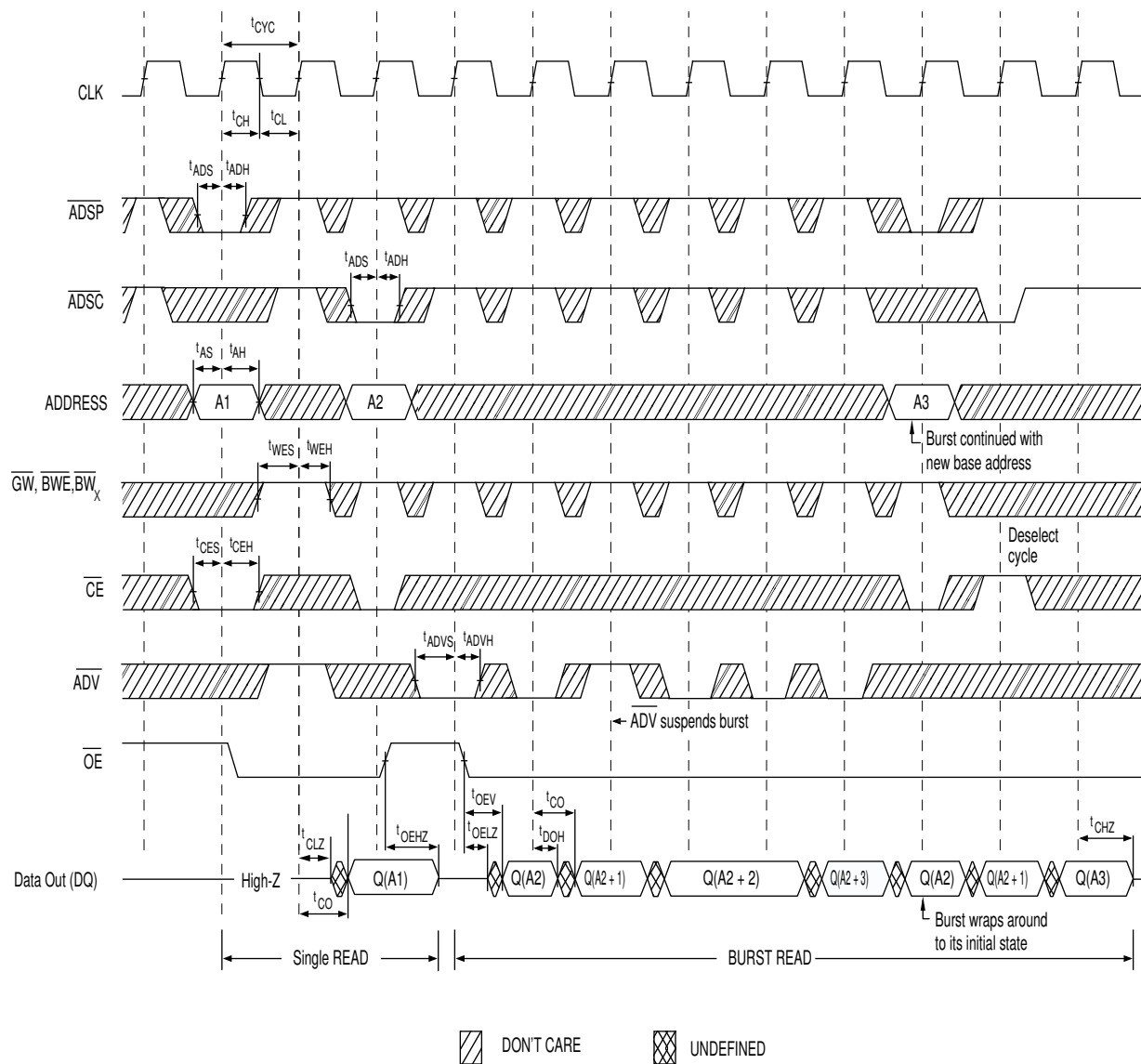
15. t_{CHZ} 、 t_{CLZ} 、 $t_{OE\overline{LZ}}$ 、 $t_{OE\overline{HZ}}$ は、12 ページの図 2 の (b) に示した AC テスト条件で指定されます。変化は定常状態での電圧 $\pm 200mV$ の電圧レベルで測定されます。

16. 特定の電圧と温度において、同じデータバスを共用する時、SRAM 間のバス競合を回避するために、 $t_{OE\overline{HZ}}$ は $t_{OE\overline{LZ}}$ より少なく、 t_{CHZ} は t_{CLZ} より少ないです。これらの仕様はバス競合条件を示しますが、最悪の場合のユーザー条件において保証されるパラメータを示します。デバイスは、同じシステム条件の下で Low Z の前に High Z になるために設計されています。

17. このパラメータはサンプリングされ、すべてのデバイスで試験されるわけではありません。

スイッチング波形

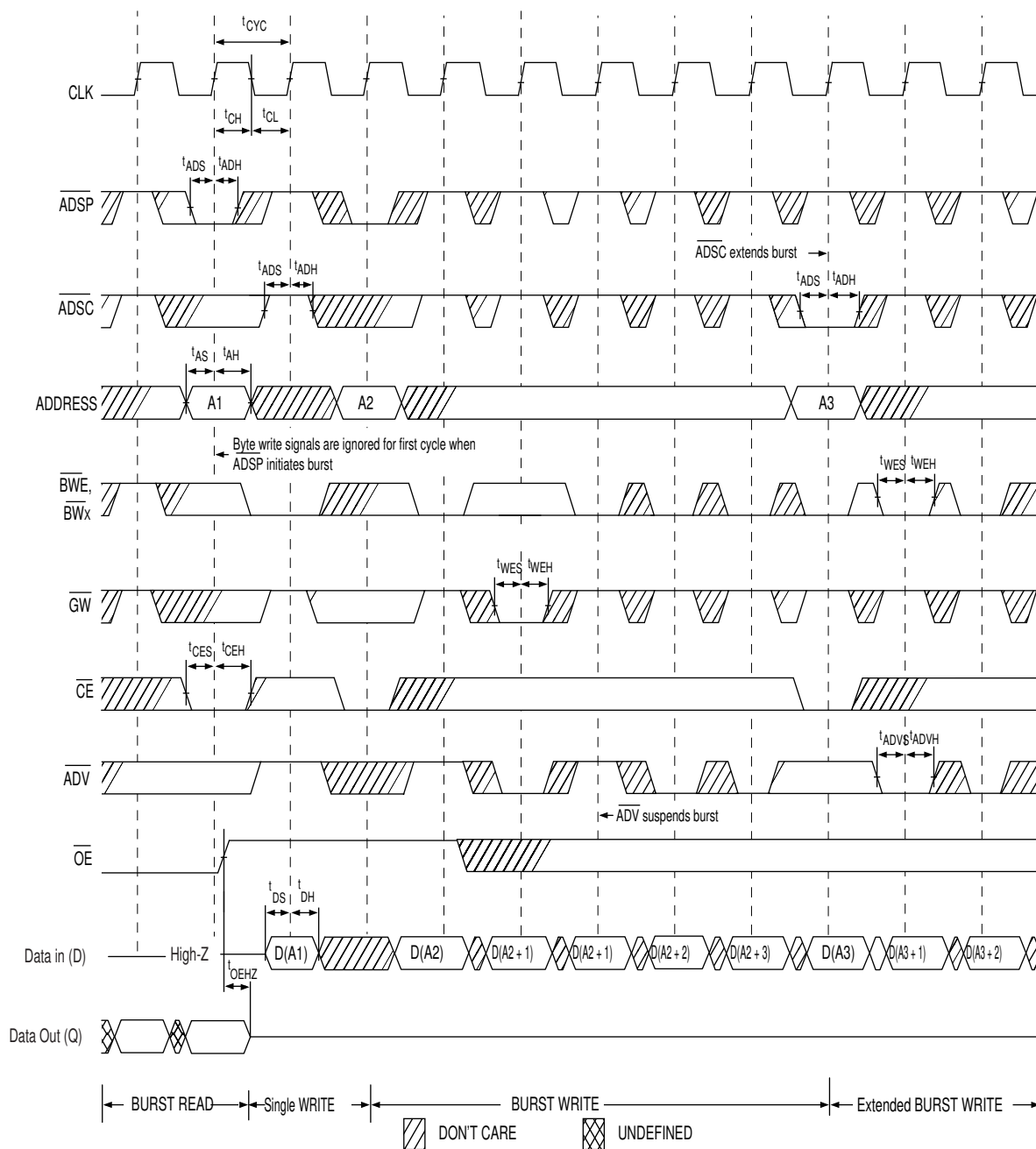
図 3. 読み出しサイクルタイミング^[18]



注
 18. このブロック図では、 \overline{CE} が LOW の場合、 \overline{CE}_1 は LOW、 CE_2 は HIGH、 \overline{CE}_3 は LOW です。 \overline{CE} が HIGH の場合、 \overline{CE}_1 は HIGH、または CE_2 は LOW、または \overline{CE}_3 は HIGH です。

スイッチング波形 (続き)

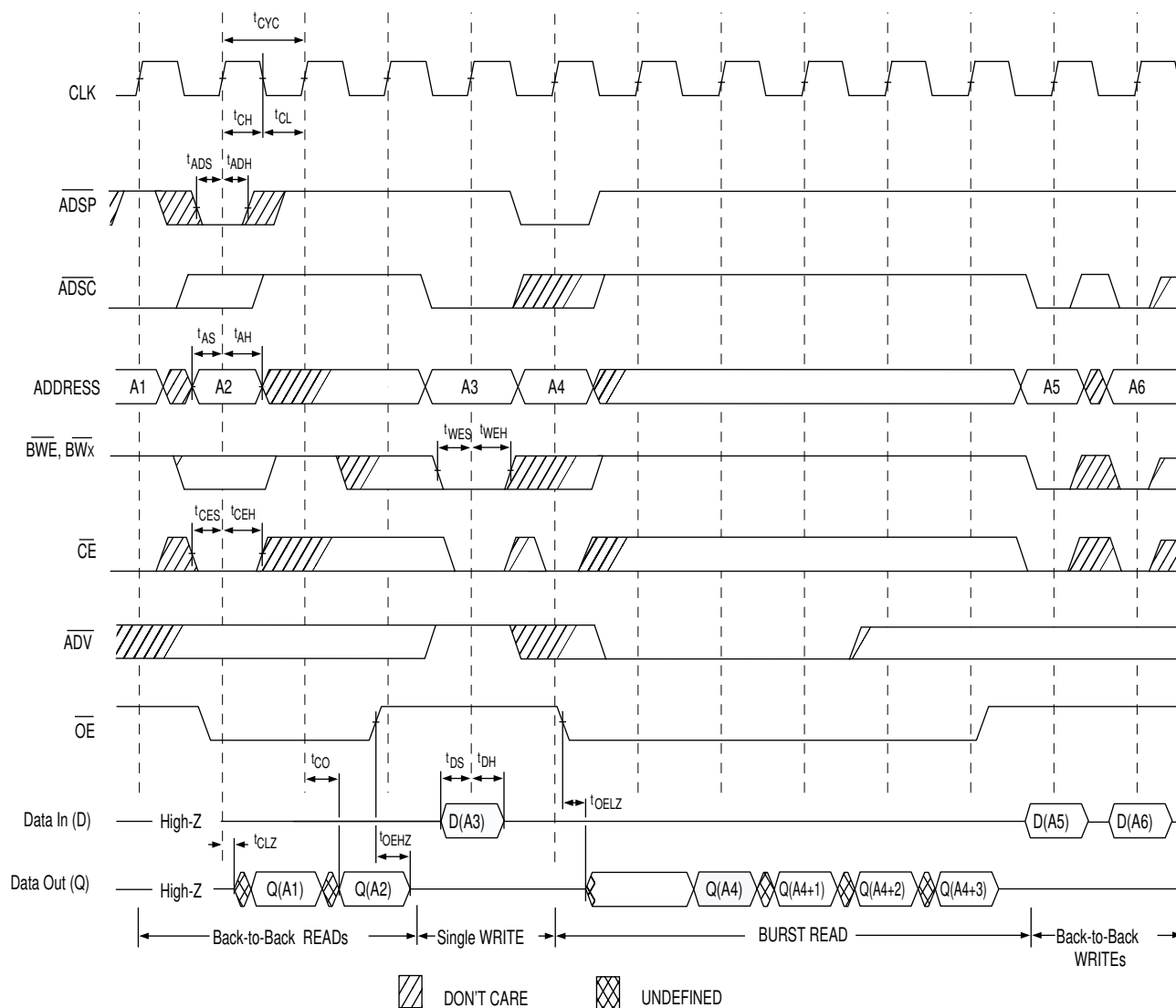
図 4. 書き込みサイクルタイミング [19、20]



- 注**
19. このブロック図では、 \overline{CE} が LOW の場合、 \overline{CE}_1 は LOW、 CE_2 は HIGH、 \overline{CE}_3 は LOW です。 \overline{CE} が HIGH の場合、 \overline{CE}_1 は HIGH、または CE_2 は LOW、または \overline{CE}_3 は HIGH です。
20. フル幅の書き込みは、 \overline{GW} が LOW になる、または \overline{GW} が HIGH、 \overline{BWE} が LOW、 \overline{BW}_x が LOW になると開始できます。

スイッチング波形 (続き)

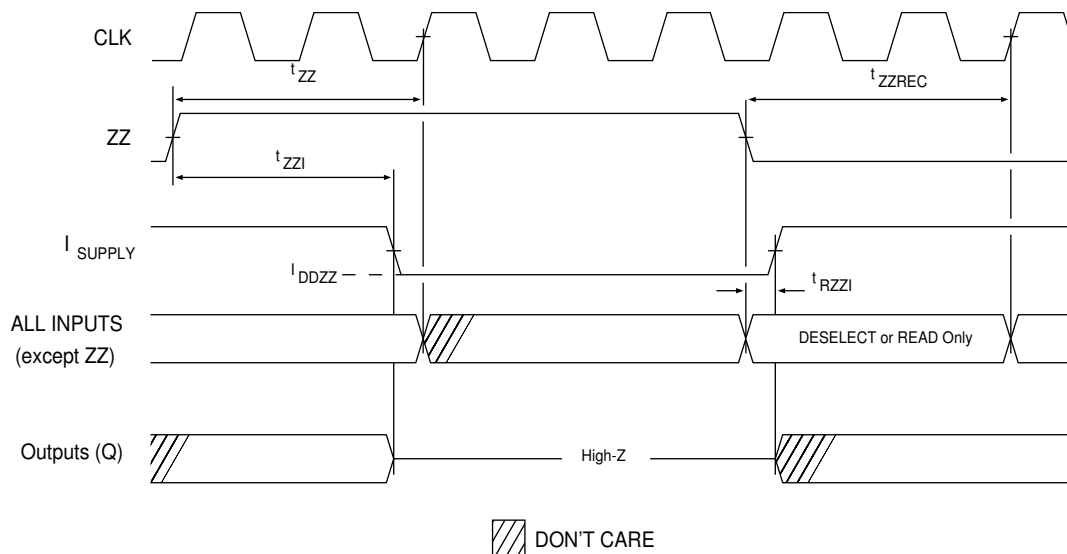
図 5. 読み出し/書き込みサイクルタイミング [21、22、23]



- 注**
21. このブロック図では、 \overline{CE} が LOW の場合、 \overline{CE}_1 は LOW、 \overline{CE}_2 は HIGH、 \overline{CE}_3 は LOW です。 \overline{CE} が HIGH の場合、 \overline{CE}_1 は HIGH、または \overline{CE}_2 は LOW、または \overline{CE}_3 は HIGH です。
22. 新しい読み出しアクセスが \overline{ADSP} または \overline{ADSC} により開始されない限り、データバス (Q) は書き込みサイクルの後 HIGH Z になったままです。
23. \overline{GW} は HIGH です。

スイッチング波形 (続き)

図 6. ZZ モード タイミング [24, 25]



注

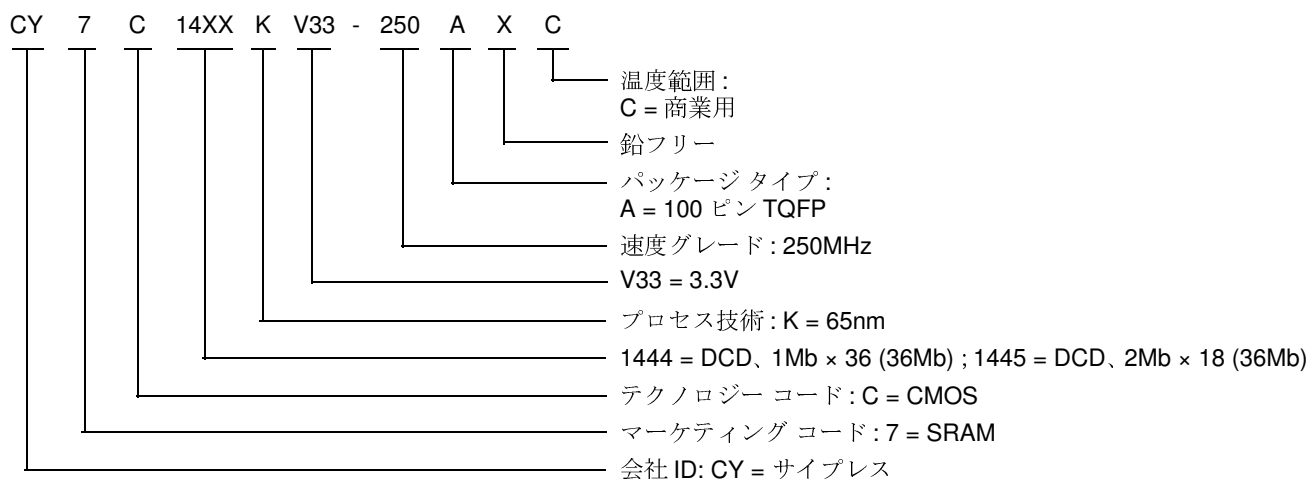
24. ZZ モードに入る時、デバイスを選択解除する必要があります。デバイスを選択解除するための全ての可能な信号条件については、サイクル説明表を参照してください。
25. ZZ スリープ モードを終了する時、DQ 信号は High Z 状態になります。

注文情報

サイプレスは、様々なコンフィギュレーションおよび機能を持っている本製品の他のバージョンを提供しています。下表には、現在在庫としてある部品のみを示します。全てのオプションの完全な一覧については、サイプレス ウェブサイト www.cypress.com にアクセスし、製品概要のページ <http://www.cypress.com/products> を参照する、または最寄りの販売代理店までお問い合わせください。サイプレスは、世界中に事業所やソリューション センター、販売代理店を持っています。お客様の最寄りのオフィスについては、<http://www.cypress.com/go/datasheet/offices> をご覧ください。

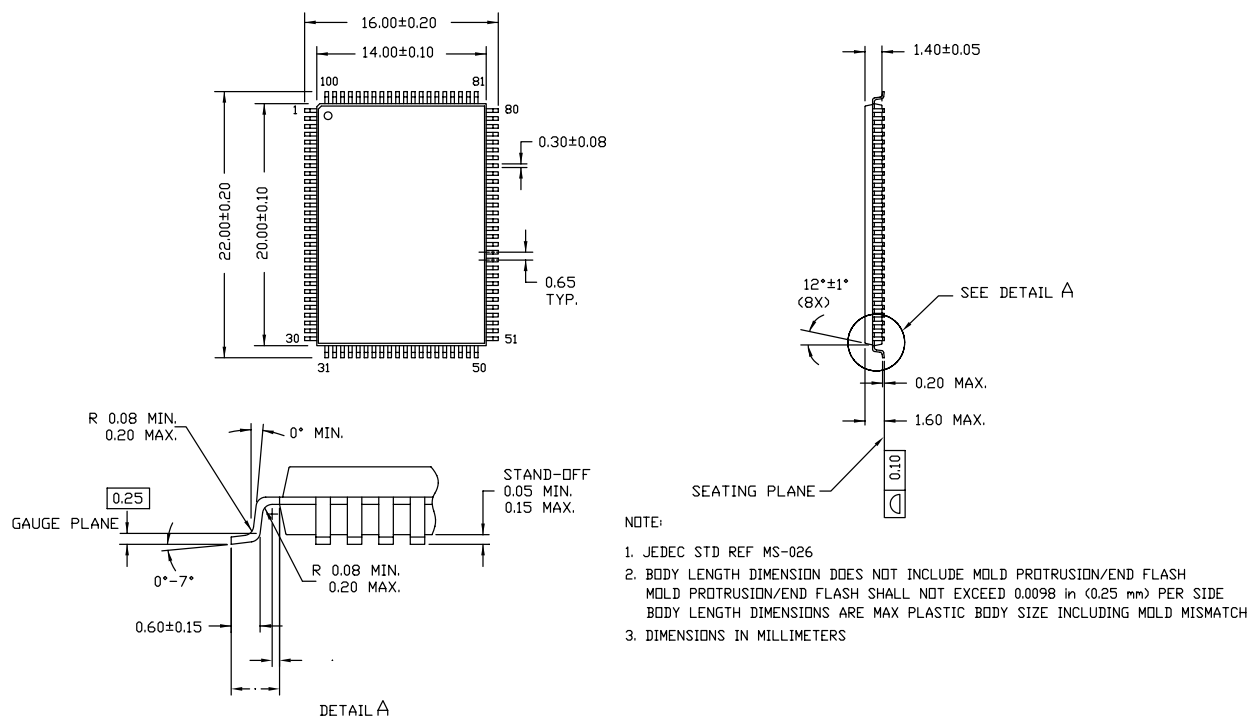
速度 (MHz)	注文コード	パッケージ図	製品とパッケージタイプ	動作範囲
250	CY7C1444KV33-250AXC	51-85050	100 ピン TQFP (14 × 20 × 1.4mm) 鉛フリー	商業用
	CY7C1445KV33-250AXC			

注文コードの定義



パッケージ図

図 7. 100 ピン TQFP (14 × 20 × 1.4mm) A100RA パッケージの外形図、51-85050



51-85050 *E

略語

略語	説明
\overline{CE}	Chip Enable (チップイネーブル)
I/O	Input/Output (入力/出力)
NoBL	No Bus Latency (バスレイテンシーなし)
\overline{OE}	Output Enable (出力イネーブル)
SRAM	Static Random Access Memory (スタティックランダムアクセスメモリ)
TQFP	Thin Quad Flat Pack (薄型クアッドフラットパッケージ)
\overline{WE}	Write Enable (書き込みイネーブル)

本書の表記法

測定単位

記号	測定単位
°C	摂氏温度
MHz	メガヘルツ
μA	マイクロアンペア
mA	ミリアンペア
ms	ミリ秒
ns	ナノ秒
pF	ピコファラッド
V	ボルト
W	ワット

改訂履歴

文書名 : CY7C1444KV33/CY7C1445KV33、36M ビット (1M × 36/2M × 18) 同期式パイプライン DCD SRAM 文書番号 : 001-96064				
版	ECN 番号	発行日	変更者	変更内容
**	4649264	02/03/2015	HZEN	これは英語版 001-66678 Rev. *D を翻訳した日本語版 001-96064 Rev. ** です。
*A	4718923	04/09/2015	PRIT	決勝への変換

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、世界中に事業所やソリューション センター、販売代理店を持っています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

車載用	cypress.com/go/automotive
クロック & バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明 & 電力制御	cypress.com/go/powerpsoc cypress.com/go/plc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/USB
ワイヤレス / RF	cypress.com/go/wireless

PSoC® ソリューション

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカル サポート

cypress.com/go/support

© Cypress Semiconductor Corporation, 2011-2015. 本文書に記載される情報は予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

すべてのソース コード (ソフトウェアおよび/またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタム ソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限って、サイプレスのソース コードの派生著作物をコピー、使用、変更して作成するためのライセンス、ならびにサイプレスのソース コードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソース コードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責事項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。