

36 Mbit (1 M × 36/2 M × 18) 管道式 DCD 同步静态存储器

特性

- 支持总线操作频率高达 250 MHz
- 可用的速率级别为 250 MHz
- 管道式操作的输入和输出寄存器
- 优化于性能（双周期取消选择）
- 无需经过等待状态的深入宽展
- 3.3 V 内核电源
- I/O 电源能提供 2.5 V 或 3.3 V 的电压
- 时钟至输出的时间快
 - 2.5 ns（对于频率为 250 MHz 的设备）
- 提供了高性能的 3-1-1-1 访问速率
- 用户可选的突发计数器支持交错或线性突发序列
- 独立的处理器和控制器地址探针
- 同步自定时写入
- 异步输出使能
- 可以在 JEDEC — 标准无铅 100 引脚 TQFP 封装中获取有关 CY7C1444KV33 和 CY7C1445KV33 的有关信息
- “ZZ” 睡眠模式选项

功能描述

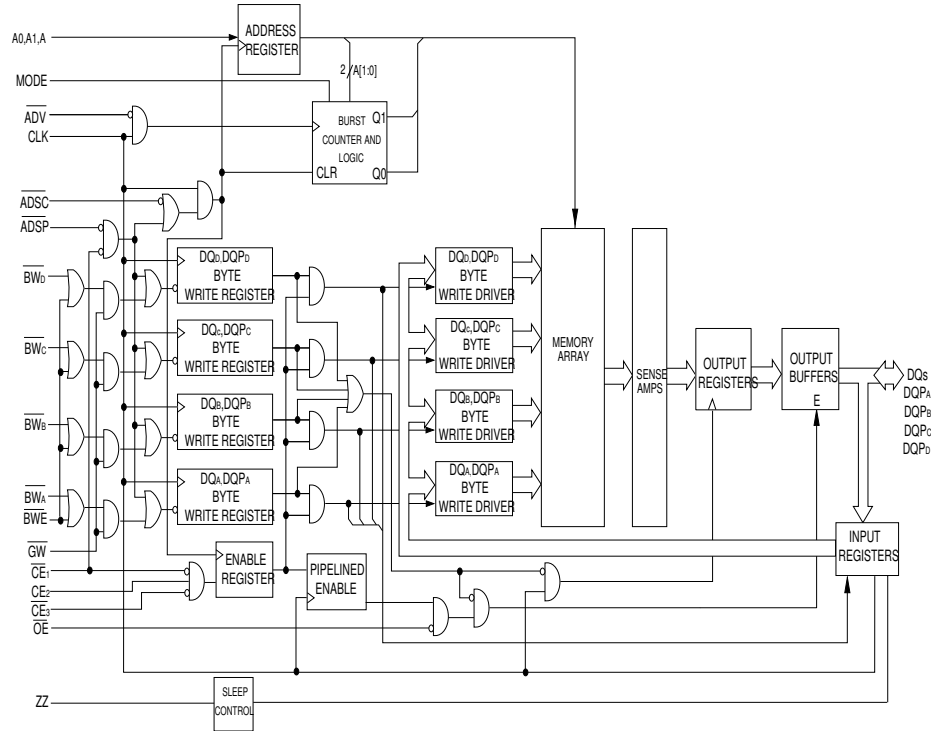
CY7C1444KV33/CY7C1445KV33SRAM 集成了 1 M × 36/2 M × 18 SRAM 单元、先进的同步外围电路和用于内部突发操作的 2 位计数器。所有同步输入均通过上升沿触发的时钟输入（CLK）控制的寄存器进行门控。同步输入包括所有地址、数据输入、地址管道式芯片使能（ \overline{CE}_1 ）、深度扩展芯片使能（ \overline{CE}_2 和 \overline{CE}_3 ）、突发控制输入（ \overline{ADSC} 、 \overline{ADSP} 以及 \overline{ADV} ）、写使能（ \overline{BW}_X 和 \overline{BWE} ）以及全局写入（ \overline{GW} ）。异步输入均包括输出使能（ \overline{OE} ）和 \overline{ZZ} 引脚。

当地址探针处理器（ \overline{ADSP} ）或地址探针控制器（ \overline{ADSC} ）处于活动状态时，地址和芯片使能信号都被寄存在时钟的上升沿上。当 \overline{ADV} 引脚（ \overline{ADV} ）控制后续突发地址时，会内部生成它们。

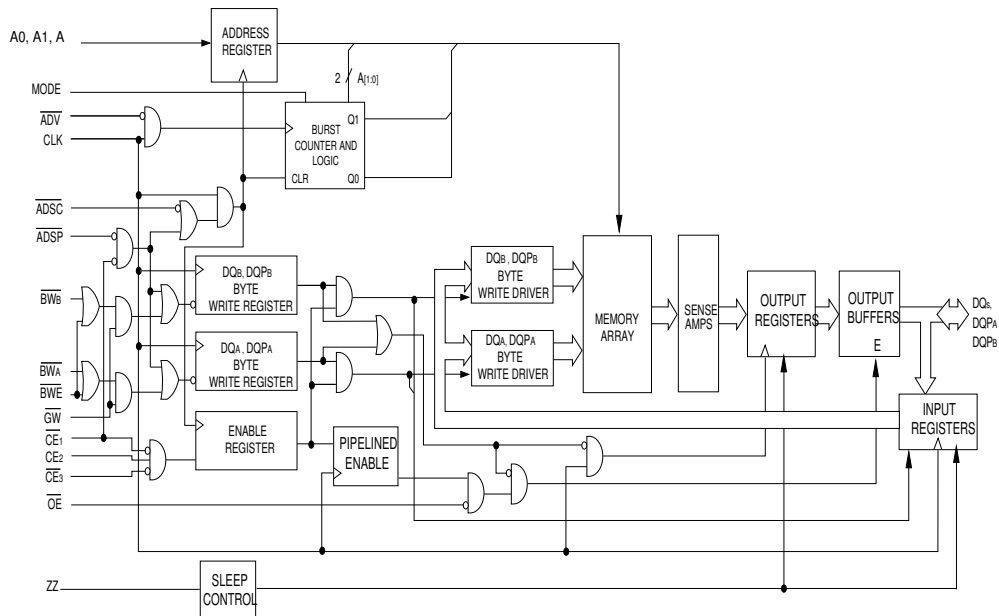
地址、数据输入和写控制被寄存在芯片上，以便初始自定时写周期。该器件支持字节写操作（欲了解更详细的信息，请参考引脚说明部分和真值表）。当字节写控制输入控制写周期时，该周期可以是一至四个字节宽。当 \overline{GW} 为低电平有效时，将对所有字节进行写操作。该器件包含了一个附加的管道式使能寄存器，当执行一个取消选择指令时，它会延长关闭输出的时间，并提供额外的一个缓冲周期。通过该特性可以进行深入扩展而不会影响到系统的性能。

CY7C1444KV33/CY7C1445KV33SRAM 运行时的内核供电电压等于或高于 +3.3 V，而所有输出运行时的供电电压为 +2.5 或 +3.3 V。所有输入和输出都与 JEDEC 标准 JESD8-5 相兼容。

逻辑框图 — CY7C1444KV33



逻辑框图 — CY7C1445KV33



目录

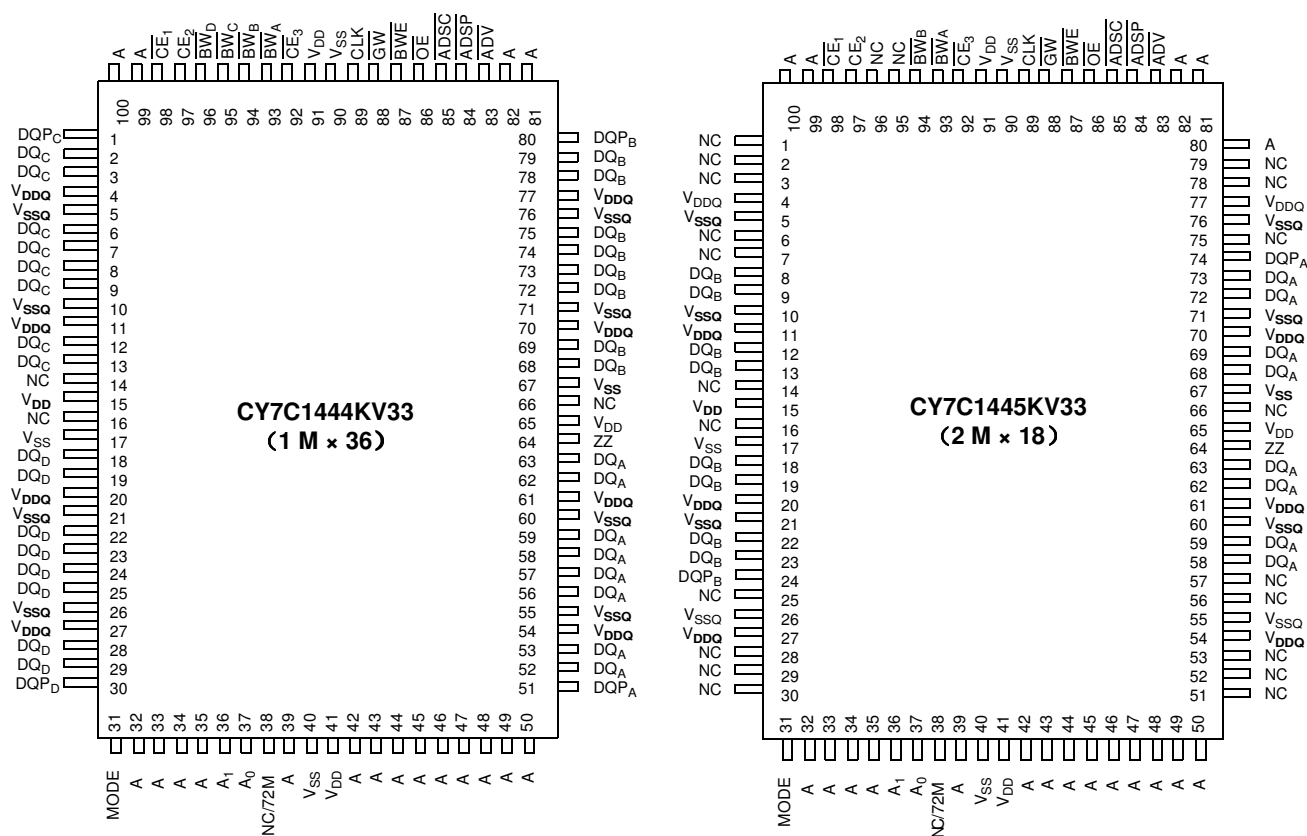
产品选择指南	4	电容值	12
引脚配置	4	热阻	12
引脚定义	5	交流测试负载和波形	12
功能概述	6	开关特性	13
单一读访问	6	开关波形	14
ADSP 启动的单一写访问	6	订购信息	18
由 ADSC 启动的单一写访问	6	订购代码定义	18
突发序列	6	封装图	19
睡眠模式	7	缩略语	20
交错 Burst 地址表	7	文档规范	20
线性突发地址表	7	测量单位	20
ZZ 模式的电气特性	7	文档修订记录页	21
真值表	8	销售、解决方案和法律信息	22
读 / 写操作的局部真值表	9	全球销售和设计支持	22
读 / 写操作的局部真值表	9	产品	22
最大额定值	10	PSoC® 解决方案	22
操作范围	10	赛普拉斯开发者社区	22
抗中子软失效	10	技术支持	22
电气特性	10		

产品选择指南

说明		250 MHz	单位
最长访问时间		2.5	ns
最大工作电流	× 18	220	mA
	× 36	240	

引脚配置

图 1. 100 引脚 TQFP 的引脚分布



引脚定义

名称	I/O	说明
A ₀ 、A ₁ 、A	输入 — 同步	用于选择地址的地址输入。 如果 $\overline{\text{ADSP}}$ 或 $\overline{\text{ADSC}}$ 为低电平有效，那么将在 CLK 时钟的上升沿上对这些输入进行采样；另外， $\overline{\text{CE}}_1$ 、 $\overline{\text{CE}}_2$ 和 $\overline{\text{CE}}_3$ 被有效采样。A1: A0 被馈送到两位计数器。
$\overline{\text{BW}}_A$ 、 $\overline{\text{BW}}_B$ 、 $\overline{\text{BW}}_C$ 、 $\overline{\text{BW}}_D$	输入 — 同步	低电平有效的字节写选择输入。 同 $\overline{\text{BWE}}$ 结合使用，才能将字节写入到 SRAM 内。在 CLK 时钟上升沿上进行采样。
$\overline{\text{GW}}$	输入 — 同步	低电平有效的全局写使能输入。 在 CLK 上升沿上将该输入设置为低电平时，将会执行全局写入操作（可以写入所有字节，无论 $\overline{\text{BW}}_X$ 和 $\overline{\text{BWE}}$ 上的值如何）。
$\overline{\text{BWE}}$	输入 — 同步	低电平有效的字节写入使能输入。 在 CLK 时钟上升沿上进行采样。必须将该信号置为低电平，以执行字节写入。
CLK	时钟输入	时钟输入 用于将所有同步的输入捕获到器件中。另外，在进行突发操作期间，当 $\overline{\text{ADV}}$ 为低电平时，可以使用该输入来递增突发计数器。
$\overline{\text{CE}}_1$	输入 — 同步	低电平有效的芯片使能 1 输入。 在 CLK 的上升沿上进行采样。与 $\overline{\text{CE}}_2$ 和 $\overline{\text{CE}}_3$ 一起使用时，可以选择或取消选择该器件。如果 $\overline{\text{CE}}_1$ 为高电平，则 $\overline{\text{ADSP}}$ 将被忽略。只有加载了新的外部地址时，才会对 $\overline{\text{CE}}_1$ 进行采样。
$\overline{\text{CE}}_2$	输入 — 同步	高电平有效的芯片使能 2 输入。 在 CLK 时钟上升沿上进行采样。用于与 $\overline{\text{CE}}_1$ 和 $\overline{\text{CE}}_3$ 的连接上，以选择 / 取消选择器件。仅当一个新的外部地址被加载时， $\overline{\text{CE}}_2$ 才被采样。
$\overline{\text{CE}}_3$	输入 — 同步	芯片使能 3 输入，高电平有效。 在 CLK 的上升沿上进行采样。用于与 $\overline{\text{CE}}_1$ 和 $\overline{\text{CE}}_2$ 的连接上，以选择 / 取消选择器件。仅当一个新的外部地址被加载时， $\overline{\text{CE}}_3$ 才被采样。
$\overline{\text{OE}}$	输入 — 异步	输出使能，异步输入，低电平有效。 控制各个 I/O 引脚的方向。当低电平有效时，I/O 引脚作为输出使用。取消置位为高电平有效时，各个 DQ 引脚均为三态，并且作为输入数据引脚使用。 $\overline{\text{OE}}$ 退出取消选择状态后，在读周期的第一个时钟周期内，该信号被屏蔽。
$\overline{\text{ADV}}$	输入 — 同步	高级输入信号，被采样于 CLK 时钟的上升沿上，低电平有效。 被激活时，它将自动递增突发周期中的地址。
$\overline{\text{ADSP}}$	输入 — 同步	处理器中的地址探针，被采样于 CLK 时钟的上升沿上，低电平有效。 置为低电平时，发送到器件的地址将在地址寄存器中被捕获。A1: A0 也被加载至突发计数器中。激活 $\overline{\text{ADSP}}$ 和 $\overline{\text{ADSC}}$ 时，只有 $\overline{\text{ADSP}}$ 被识别。 $\overline{\text{CE}}_1$ 被解除高电平有效的状态时， $\overline{\text{ADSP}}$ 将被忽略。
$\overline{\text{ADSC}}$	输入 — 同步	控制器中的地址探针，被采样于 CLK 时钟的上升沿上，低电平有效。 将其置为低电平时，将在地址寄存器中捕获到发送给器件的地址。A1: A0 也被加载至突发计数器中。激活 $\overline{\text{ADSP}}$ 和 $\overline{\text{ADSC}}$ 时，只有 $\overline{\text{ADSP}}$ 被识别。
ZZ	输入 — 异步	ZZ “睡眠” 输入，高电平有效。 置为高电平时，将该器件处于非时间关键“睡眠”状态，并保存数据的完整性。为了实现正常操作，必须将该引脚设为低电平，或使其处于悬浮状态。ZZ 引脚具有内部下拉电阻。
DQs, DQPs	I/O — 同步	双向数据 I/O 线。 作为输入使用时，这些数据线会将数据发送到片上数据寄存器内，该操作在 CLK 的上升沿上被触发。作为输出使用时，在读取周期内，它们将发送包含在存储器位置中地址所指定的数据。引脚的方向由 $\overline{\text{OE}}$ 控制。当 $\overline{\text{OE}}$ 被置为低电平时，这些引脚作为输出使用。该信号被置为高电平时，DQ 和 DQP _X 均处于三态。
V _{DD}	电源供应	器件内核的电源输入。
V _{SS}	接地	器件内核的接地。
V _{SSQ}	I/O 接地	I/O 电路的接地。
V _{DDQ}	I/O 供电电压	I/O 电路的供电电源。
MODE	输入 — 静态	选择突发顺序。 连接到 GND 时，将选择线性突发序列。连接到 V _{DD} 或处于悬空状态时，则选择交错突发序列。这是一个短接（strap）引脚，并且在器件运行时应保持该引脚为静态状态。Mode 引脚具有内部上拉电阻。
NC	—	无连接。 没有内部连接至电路芯片（die）。

引脚定义（续）

名称	I/O	说明
NC/72M、 NC/144M、 NC/288M、 NC/576M、 NC/1G	—	无连接。 没有内部连接到芯片（die）。72M、144M、288M、576M 以及 1G 均为地址扩展引脚，并且没有被内部连接到该芯片。

功能概述

所有同步输入均通过由时钟的上升沿控制的输入寄存器。所有数据输出均通过时钟的上升沿控制的输出寄存器。

CY7C1444KV33/CY7C1445KV33 支持各个采用了线性或交错突发序列的系统中的辅助缓存。交错突发顺序支持 Pentium 处理器。用户可以选择突发顺序，并通过 MODE 输入进行采样来确定该顺序。通过处理器地址探针（ADSP）或控制器地址探针（ADSC），可以开始访问。ADV 输入控制突发序列的地址增加。2 位的片上环绕式突发计数器捕获突发序列中的第一个地址，并自动递增其余突发访问的地址。

字节写操作取决于字节写使能（BWE）和字节写选择（BW_X）输入。全局写使能（GW）覆盖了所有字节写输入，并将数据写入到所有四个字节内。所有写操作都通过片上同步自定时写电路得到简化。

该器件提供了各个同步芯片选择： \overline{CE}_1 、 \overline{CE}_2 、 \overline{CE}_3 以及一个异步输出使能（OE），以便进行组选择和输出三态控制。如果 \overline{CE}_1 为高电平，那么 ADSP 被忽略。

单一读访问

如果在时钟上升沿过程中满足以下条件，将启动该访问：(1) ADSP 或 ADSC 被置为低电平，(2) 各个芯片选择均为有效，(3) 写信号（GW、BWE）都解除了高电平状态。如果 \overline{CE}_1 为高电平，则 ADSP 将被忽略。发送到地址输入的地址被存储在地址增加逻辑和地址寄存器中，同时被发送到存储器内核。相应的数据被传输到输出寄存器的输入端。在下一个时钟的上升沿上，如果 OE 为低电平有效，那么数据将在 t_{CO} 时长内通过输出寄存器发送到数据总线上。只存在一种例外，便是：当 SRAM 从取消选择状态转到选择状态时，其输出在第一次访问周期内一直处于三态。第一次访问周期过后，OE 信号会控制该输出。连续的单一读取周期得到支持。

CY7C1444KV33/CY7C1445KV33 为双周期取消选择的器件。一旦 SRAM 在时钟上升沿上被取消选择（由芯片选择和 ADSP 或 ADSC 信号引起），那么在下一个时钟的上升沿后，其输出将立即变为三态。

ADSP 启动的单一写访问

如果在时钟上升沿上能够满足下面两个条件，那么将启动写访问：(1) ADSP 为低电平；(2) 芯片选择为有效。所发送的地址将被加载到地址寄存器和地址递增逻辑中，同时被传输到存储器内核。在第一个周期内，各个写信号（GW、BWE 以及 BW_X）和 ADV 输入均被忽略。

ADSP 触发的写访问需要占用两个时钟周期来完成。如果 \overline{GW} 在第二个时钟上升沿上被置为低电平，那么发送到 DQ_X 输入端的数据将被写入到存储器内核中相应的地址。如果 \overline{GW} 为高电平，那么写操作由 BWE 和 BW_X 的信号控制。

CY7C1444KV33/CY7C1445KV33 提供了字节写功能，写周期说明表中详细介绍该功能。如果置位字节写入使能输入（BWE）以及选定的字节写入输入，将会选择性对所需的字节进行写操作。在字节写操作中未选中的字节将保持不变。通过所提供的同步自定时写入机制，可以轻松进行写操作。

由于 CY7C1444KV33/CY7C1445KV33 是通用 I/O 器件，所以将数据发送到 DQ 输入前，必须将输出使能（OE）取消置位为高电平。这样可使输出驱动模块处于三态。为安全起见，无论 OE 的状态如何，每次检测到写周期时，DQ 将自动进入三态。

由 ADSC 启动的单一写访问

如果满足以下各条件，会启动 ADSC 写访问：(1) ADSC 被置为低电平，(2) ADSP 被取消置为高电平，(3) 芯片选择被激活，(4) 写输入的相应组合（GW、BWE 和 BW_X）被激活以便对所需字节进行写操作。ADSC 触发的写访问只需要占用一个时钟周期来完成。所发送的地址将被加载到地址寄存器和地址递增逻辑中，同时被传输到存储器内核。在该周期内，ADV 输入将被忽略。如果执行全局写操作，发送至 DQ_X 的数据将被写入到存储器内核中相应地址内。如果执行一个字节写操作，那么只对选定字节进行写入。在字节写操作中未选中的字节将保持不变。通过所提供的同步自定时写入机制，可以轻松进行写操作。

由于 CY7C1444KV33/CY7C1445KV33 是通用 I/O 器件，所以将数据发送至 DQ_X 输入前，必须将输出使能（OE）取消置为高电平。这样可使输出驱动模块处于三态。为安全起见，无论 OE 的状态如何，每次检测到写周期时，DQ_X 将自动进入三态。

突发序列

CY7C1444KV33/CY7C1445KV33 提供了一个 2 位包裹计数器，将 A_[1:0] 输入到该计数器中，并它会实现交错或线性突发序列。交错突发序列是专为支持 Intel Pentium 应用。用户可以通过 MODE 输入选择突发序列。读取和写入突发操作均受支持。

如果在时钟上升沿上将 ADV 置为低电平，突发计数器将会自动递增到突发序列中的下一个地址。读取和写入突发操作均受支持。

睡眠模式

ZZ 输入引脚是一个异步输入。置位 ZZ 会使 SRAM 进入节能的“睡眠”模式。进入或退出该“睡眠”模式需要占用两个时钟周期。在该模式中，数据完整性得到保证。不将进入该“睡眠”模式时被挂起的访问视为有效访问，也不可确保能完成操作。进入该“睡眠”模式之前，必须取消选择该器件。ZZ 输入为低电平后，在 t_{ZZREC} 时间内， \overline{CE} 、ADSP 和 ADSC 必须保持无效状态。

交错 Burst 地址表

(MODE = 悬空或 V_{DD})

第一个地址 A1: A0	第二个地址 A1: A0	第三个地址 A1: A0	第四个地址 A1: A0
00	01	10	11
01	00	11	10
10	11	00	01
11	10	01	00

线性突发地址表

(MODE = GND)

第一个地址 A1: A0	第二个地址 A1: A0	第三个地址 A1: A0	第四个地址 A1: A0
00	01	10	11
01	10	11	00
10	11	00	01
11	00	01	10

ZZ 模式的电气特性

参数	说明	测试条件	最小值	最大值	单位
I_{DDZZ}	睡眠模式下的待机电流	$ZZ \geq V_{DD} - 0.2 V$	—	89	mA
t_{ZZS}	器件从运行状态到 ZZ 模式的时间	$ZZ \geq V_{DD} - 0.2 V$	—	$2t_{CYC}$	ns
t_{ZZREC}	ZZ 恢复时间	$ZZ \leq 0.2 V$	$2t_{CYC}$	—	ns
t_{ZZI}	ZZ 从活动状态到转为睡眠状态的时间	采样数据	—	$2t_{CYC}$	ns
t_{RZZI}	从 ZZ 置为低电平到器件退出睡眠状态的时间	该参数被采样	0	—	ns

真值表

CY7C1444KV33/CY7C1445KV33 的真值表如下所示。[1、2、3、4、5、6]

操作	所使用的地址	\overline{CE}_1	CE_2	\overline{CE}_3	ZZ	\overline{ADSP}	\overline{ADSC}	\overline{ADV}	\overline{WRITE}	\overline{OE}	CLK	DQ
取消选择周期、断电	无	H	X	X	L	X	L	X	X	X	L-H	三态
取消选择周期、断电	无	L	L	X	L	L	X	X	X	X	L-H	三态
取消选择周期、断电	无	L	X	H	L	L	X	X	X	X	L-H	三态
取消选择周期、断电	无	L	L	X	L	H	L	X	X	X	L-H	三态
取消选择周期、断电	无	L	X	H	L	H	L	X	X	X	L-H	三态
睡眠模式、断电	无	X	X	X	H	X	X	X	X	X	X	三态
读周期、开始传输	外部地址	L	H	L	L	L	X	X	X	L	L-H	Q
读周期、开始传输	外部地址	L	H	L	L	L	X	X	X	H	L-H	三态
写周期、开始传输	外部地址	L	H	L	L	H	L	X	L	X	L-H	D
读周期、开始传输	外部地址	L	H	L	L	H	L	X	H	L	L-H	Q
读周期、开始传输	外部地址	L	H	L	L	H	L	X	H	H	L-H	三态
读周期、继续传输	下一个地址	X	X	X	L	H	H	L	H	L	L-H	Q
读周期、继续传输	下一个地址	X	X	X	L	H	H	L	H	H	L-H	三态
读周期、继续传输	下一个地址	H	X	X	L	X	H	L	H	L	L-H	Q
读周期、继续传输	下一个地址	H	X	X	L	X	H	L	H	H	L-H	三态
写周期、继续传输	下一个地址	X	X	X	L	H	H	L	L	X	L-H	D
写周期、继续传输	下一个地址	H	X	X	L	X	H	L	L	X	L-H	D
读周期、停止传输	当前地址	X	X	X	L	H	H	H	H	L	L-H	Q
读周期、停止传输	当前地址	X	X	X	L	H	H	H	H	H	L-H	三态
读周期、停止传输	当前地址	H	X	X	L	X	H	H	H	L	L-H	Q
读周期、停止传输	当前地址	H	X	X	L	X	H	H	H	H	L-H	三态
写周期、停止传输	当前地址	X	X	X	L	H	H	H	L	X	L-H	D
写周期、停止传输	当前地址	H	X	X	L	X	H	H	L	X	L-H	D

注释:

1. X = “无需关注。” H = 逻辑高电平, L = 逻辑低电平。
2. 任意一个或多个字节写入使能信号和 $\overline{BWE} = L$ 或 $\overline{GW} = L$ 时, $\overline{WRITE} = L$ 。所有字节写入使能信号、 \overline{BWE} 、 $\overline{GW} = H$ 时, $\overline{WRITE} = H$ 。
3. DQ 引脚由当前周期和 OE 信号控制。OE 是异步信号,并不在时钟边沿上进行采样。
4. \overline{CE}_1 、 CE_2 、 \overline{CE}_3 仅在 TQFP 封装中可用。
5. 无论 \overline{GW} 、 \overline{BWE} 或 \overline{BW}_X 的状态如何,激活 \overline{ADSP} 时, SRAM 始终会启动读周期。 \overline{ADSP} 或 \overline{ADSC} 被激活后,在后续时钟周期中才能发生写操作。因此启动写周期前,必须将 OE 驱动为高电平,这样才能使输出处于三态。启动写周期后,OE 的状态不再重要。
6. OE 是异步信号,并不在时钟上升沿上进行采样。该信号在写周期中被内部屏蔽。在读周期中,OE 为无效或取消选择该器件时,所有数据位均处于三态,而且当 OE 为(低电平)有效时,所有数据位都作为输出使用。

读 / 写操作的局部真值表

CY7C1444KV33 读 / 写操作的局部真值表如下所示。[7、8]

函数 (CY7C1444KV33)	\overline{GW}	\overline{BWE}	$\overline{BW_D}$	$\overline{BW_C}$	$\overline{BW_B}$	$\overline{BW_A}$
读取	H	H	X	X	X	X
读取	H	L	H	H	H	H
写入字节 A – (DQ _A 和 DQP _A)	H	L	H	H	H	L
写入字节 B – (DQ _B 和 DQP _B)	H	L	H	H	L	H
写入字节 B、A	H	L	H	H	L	L
写入字节 C – (DQ _C 和 DQP _C)	H	L	H	L	H	H
写入字节 C、A	H	L	H	L	H	L
写入字节 C、B	H	L	H	L	L	H
写入字节 C、B 和 A	H	L	H	L	L	L
写入字节 D – (DQ _D 和 DQP _D)	H	L	L	H	H	H
写入字节 D 和 A	H	L	L	H	H	L
写入字节 D 和 B	H	L	L	H	L	H
写入字节 D、B 和 A	H	L	L	H	L	L
写入字节 D 和 C	H	L	L	L	H	H
写入字节 D、C 和 A	H	L	L	L	H	L
写入字节 D、C 和 B	H	L	L	L	L	H
写入所有字节	H	L	L	L	L	L
写入所有字节	L	X	X	X	X	X

读 / 写操作的局部真值表

CY7C1445KV33 读 / 写操作的局部真值表如下所示。[7、8]

函数 (CY7C1445KV33)	\overline{GW}	\overline{BWE}	$\overline{BW_B}$	$\overline{BW_A}$
读取	H	H	X	X
读取	H	L	H	H
写入字节 A – (DQ _A 和 DQP _A)	H	L	H	L
写入字节 B – (DQ _B 和 DQP _B)	H	L	L	H
写入所有字节	H	L	L	L
写入所有字节	L	X	X	X

注释:

7. DQ 引脚由当前周期和 \overline{OE} 信号控制。 \overline{OE} 是异步信号，并不在时钟边沿上进行采样。
8. 该表仅列出了字节写入组合的一部分。 $\overline{BW_x}$ 的任意组合均有效。将根据有效的字节写入执行相应的写操作。

最大额定值

超过最大额定值可能会缩短器件的使用寿命。用户指南未经过测试。

存储温度 -65 °C 至 +150 °C
 通电状态下的环境温度 -55 °C 至 +125 °C
 V_{DD} 上相对于 GND 的供电电压范围 -0.5 V 至 +4.6 V
 V_{DDQ} 上相对于 GND 的供电电压 -0.5 V 至 + V_{DD}
 应用于三态下的输出直流电压 -0.5 V 至 $V_{DDQ}+0.5$ V
 直流输入电压 -0.5 V 至 $V_{DD}+0.5$ V
 输出电流（低电平） 20 mA
 静电放电电压
 （根据 MIL-STD-883，方法 3015） > 2001 V
 栓锁电流 > 200 mA

操作范围

范围	环境温度	V_{DD}	V_{DDQ}
商业级	0 °C 至 +70 °C	3.3 V - 5% / + 10%	2.5 V - 5% 至 V_{DD}

抗中子软失效

参数	说明	测试条件	典型值	最大值*	单位
LSBU	逻辑单比特错误	25 °C	197	216	FIT/Mb
LMBU	逻辑多比特错误	25 °C	0	0.01	FIT/Mb
SEL	单事件锁定	85 °C	0	0.1	FIT/Dev

* 测试期间未发生 LMBU 或 SEL 事件；此列为统计的 χ^2 ，按 95% 置信区间计算出来的数值。更多详细信息，请参考应用笔记 AN 54908 “加速抗中子 SER 测试和陆生故障率的计算”

电气特性

在工作范围内

参数 ^[9、10]	说明	测试条件	最小值	最大值	单位
V_{DD}	供电电压		3.135	3.6	V
V_{DDQ}	I/O 供电电压	3.3 V I/O	3.135	V_{DD}	V
		2.5 V I/O	2.375	2.625	V
V_{OH}	输出高电平电压	3.3 V I/O, $I_{OH} = -4.0$ mA	2.4	—	V
		2.5 V I/O, $I_{OH} = -1.0$ mA	2.0	—	V
V_{OL}	输出低电平电压	3.3 V I/O, $I_{OL} = 8.0$ mA	—	0.4	V
		2.5 V I/O, $I_{OL} = 1.0$ mA	—	0.4	V
V_{IH}	输入高电平电压 ^[9]	3.3 V I/O	2.0	$V_{DD}+0.3$ V	V
		2.5 V I/O	1.7	$V_{DD}+0.3$ V	V
V_{IL}	输入低电平电压 ^[9]	3.3 V I/O	-0.3	0.8	V
		2.5 V I/O	-0.3	0.7	V
I_x	输入漏电流 (ZZ 和 MODE 除外)	$GND \leq V_i \leq V_{DDQ}$	-5	5	μ A
	MODE 的输入电流	输入 = V_{SS}	-30	—	μ A
		输入 = V_{DD}	—	5	μ A
	ZZ 的输入电流	输入 = V_{SS}	-5	—	μ A
		输入 = V_{DD}	—	30	μ A
I_{OZ}	输出漏电流	$GND \leq V_i \leq V_{DDQ}$, 输出被禁用	-5	5	μ A

注释:

9. 上冲: $V_{IH}(AC) < V_{DD} + 1.5$ V (脉冲宽度小于 $t_{CYC}/2$)，下冲: $V_{IL}(AC) > -2$ V (脉冲宽度小于 $t_{CYC}/2$)。

10. $T_{Power-up}$: 假设在 200 ms 内，线性斜坡从 0 V 到 V_{DD} (最小值)。在此期间内， $V_{IH} < V_{DD}$ 和 $V_{DDQ} \leq V_{DD}$ 。

电气特性（续）

在工作范围内

参数 ^[9、10]	说明	测试条件			最小值	最大值	单位
I_{DD}	V_{DD} 工作供电电流	V_{DD} = 最大值, $I_{OUT} = 0 \text{ mA}$, $f = f_{MAX} = 1/t_{CYC}$	4 ns 周期, 250 MHz	× 18	—	220	mA
				× 36	—	240	
I_{SB1}	自动 CE 断电电流 — TTL 输入	V_{DD} = 最大值, 取消选择器件, $V_{IN} \geq V_{IH}$ 或 $V_{IN} \leq V_{IL}$, $f = f_{MAX} = 1/t_{CYC}$	4 ns 周期, 250 MHz	× 18	—	85	mA
				× 36	—	90	
I_{SB2}	自动 CE 断电电流 — CMOS 输入	V_{DD} = 最大值, 器件未选中, $V_{IN} \leq 0.3 \text{ V}$ 或 $V_{IN} \geq V_{DDQ} - 0.3 \text{ V}$, $f = 0$	4 ns 周期, 250 MHz	× 18	—	75	mA
				× 36		80	
I_{SB3}	自动 CE 断电电流 — CMOS 输入	V_{DD} = 最大值, 器件未选中, $V_{IN} \leq 0.3 \text{ V}$ 或 $V_{IN} \geq V_{DDQ} - 0.3 \text{ V}$, $f = f_{MAX} = 1/t_{CYC}$	4 ns 周期, 250 MHz	× 18	—	85	mA
				× 36		90	
I_{SB4}	自动 CE 断电电流 — TTL 输入	V_{DD} = 最大值, 器件未选中, $V_{IN} \geq V_{IH}$ 或 $V_{IN} \leq V_{IL}$, $f = 0$	4 ns 周期, 250 MHz	× 18	—	75	mA
				× 36	—	80	

电容值

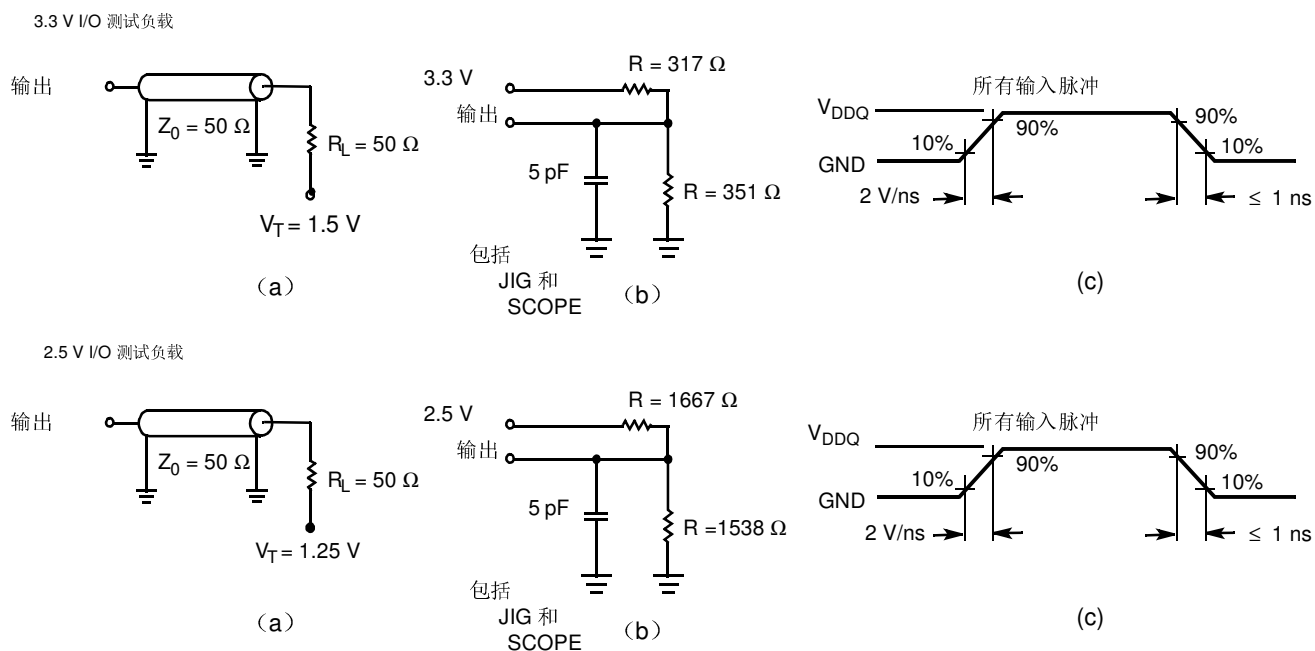
参数 ^[11]	说明	测试条件	100 引脚 TQFP 最大值	单位
C_{IN}	输入电容	$T_A = 25\text{ }^{\circ}\text{C}$, $f = 1\text{ MHz}$, $V_{DD} = 3.3\text{ V}$, $V_{DDQ} = 2.5\text{ V}$	5	pF
C_{CLK}	时钟输入电容		5	pF
$C_{I/O}$	输入 / 输出电容		5	pF

热阻

参数 ^[11]	说明	测试条件		100 引脚 TQFP 封装	单位
Θ_{JA}	热阻 （结至环境）	根据 EIA/JESD51 的要求，测试条件遵循测试热阻的标准测试方法和过程。	与静止空气中 （0 米 / 秒）	35.36	$^{\circ}\text{C/W}$
			用空气流量 （1 米 / 秒）	31.30	
			用空气流量 （3 米 / 秒）	28.86	
Θ_{JC}	热阻 （结至外壳）			7.52	
Θ_{JB}	热阻 （结到板）			28.89	

交流测试负载和波形

图 2. 交流测试负载和波形



注释:

11. 在任何设计或流程更改之前和之后进行测试都对这些参数产生影响。

开关特性

在工作范围内

参数 ^[12、13]	说明	-250		单位
		最小值	最大值	
t_{POWER}	从 V_{DD} （典型值）到第一次访问的时长 ^[14]	1	—	ms
时钟				
t_{CYC}	时钟周期时间	4.0	—	ns
t_{CH}	时钟为高电平的时间	1.5	—	ns
t_{CL}	时钟为低电平的时间	1.5	—	ns
输出时间				
t_{CO}	CLK 上时钟升沿到数据输出有效的时间	—	2.5	ns
t_{DOH}	CLK 时钟上升沿后数据输出的保持时间	1.0	—	ns
t_{CLZ}	从时钟上升沿到数据输入 / 输出为低阻态的时间 ^[15、16、17]	1.0	—	ns
t_{CHZ}	从时钟上升沿到数据输入 / 输出转为高阻态的时间 ^[15、16、17]	—	2.6	ns
$t_{OE\overline{V}}$	\overline{OE} 为低电平到输出有效的时间	—	2.6	ns
$t_{OE\overline{LZ}}$	\overline{OE} 为低电平到输出为低阻态的时间 ^[15、16、17]	0	—	ns
$t_{OE\overline{HZ}}$	\overline{OE} 为高电平到输出为高阻态的时间 ^[15、16、17]	—	2.6	ns
建立时间				
t_{AS}	CLK 时钟上升前的地址建立时间	1.2	—	ns
t_{ADS}	CLK 上升沿前的 \overline{ADSC} 、 \overline{ADSP} 建立时间	1.2	—	ns
t_{ADVS}	CLK 时钟上升沿前的 \overline{ADV} 建立时间	1.2	—	ns
t_{WES}	CLK 时钟上升沿前的 \overline{GW} 、 \overline{BWE} 、 $\overline{BW_X}$ 建立时间	1.2	—	ns
t_{DS}	CLK 时钟上升沿前的数据输入建立时间	1.2	—	ns
t_{CES}	CLK 时钟上升沿前的芯片使能建立时间	1.2	—	ns
保持时间				
t_{AH}	CLK 时钟上升沿后的地址保持时间	0.3	—	ns
t_{ADH}	CLK 时钟上升沿后的 \overline{ADSP} 、 \overline{ADSC} 保持时间	0.3	—	ns
t_{ADVH}	CLK 时钟上升沿后的 \overline{ADV} 保持时间	0.3	—	ns
t_{WEH}	CLK 时钟上升沿过后 \overline{GW} 、 \overline{BWE} 、 $\overline{BW_X}$ 保持的时间	0.3	—	ns
t_{DH}	CLK 时钟上升沿过后数据输入的保持时间	0.3	—	ns
t_{CEH}	CLK 时钟上升沿过后芯片使能的保持时间	0.3	—	ns

注释:

12. $V_{DDQ} = 3.3\text{ V}$ 时, 时序参考电压为 1.5 V; $V_{DDQ} = 2.5\text{ V}$ 时, 时序参考电压为 1.25 V。

13. 除非另有说明, 否则测试条件都显示在 AC 测试负载的 (a) 内。

14. 该器件内部使用了一个电压调节器; t_{POWER} 是指启动读 / 写操作前供电电压超过 $V_{DD(minimum)}$ 所需的时间。

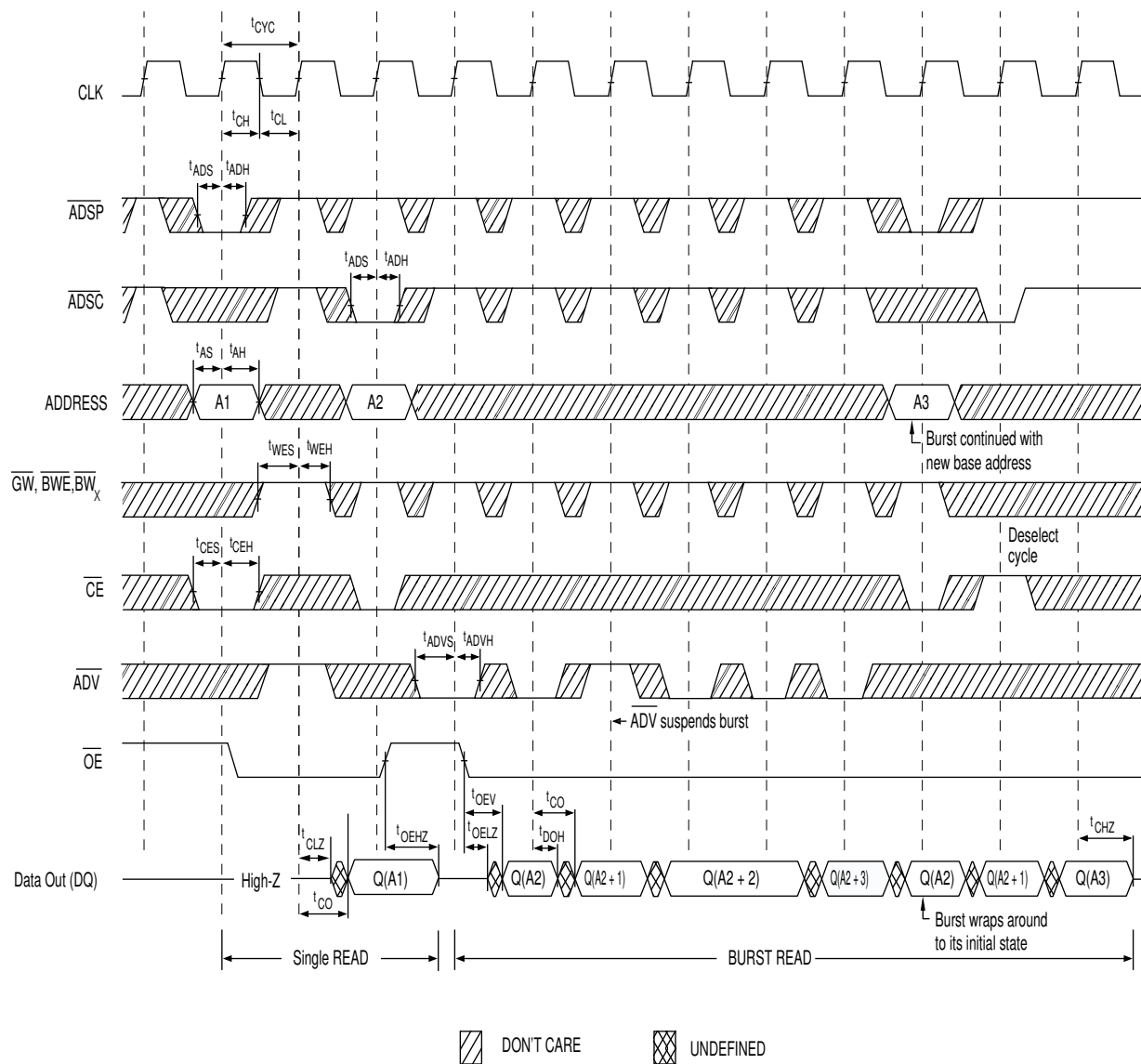
15. t_{CHZ} 、 t_{CLZ} 、 $t_{OE\overline{LZ}}$ 以及 $t_{OE\overline{HZ}}$ 都在第 12 页上的图 2 的 (b) 部分所示的交流测试条件下指定的。跃变在稳定状态电压 $\pm 200\text{ mV}$ 的条件下测量。

16. 在任何给定的电压和温度情况下, $t_{OE\overline{HZ}}$ 小于 $t_{OE\overline{LZ}}$; t_{CHZ} 小于 t_{CLZ} , 这样在共享同一个数据总线时能够排除各 SRAM 间的总线冲突。这些规范并不表示一个总线冲突条件, 但反映了在最坏的情况下得到保证的参数。设计器件是为了在同一个系统条件下进入低阻态前先要进入高阻态。

17. 该参数被采样, 并非 100% 经过了测试。

开关波形

图 3. 读周期时序^[18]

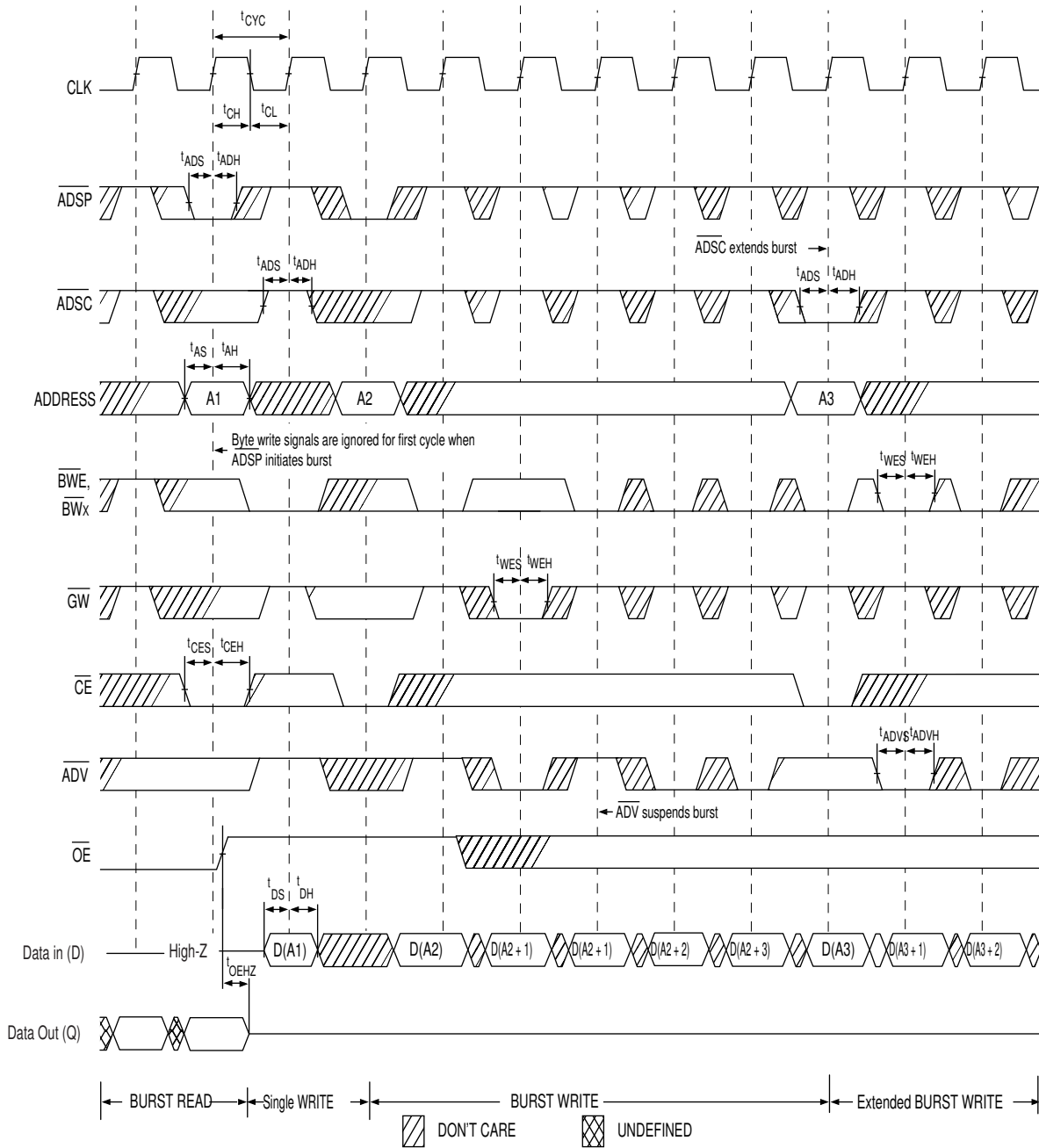


注释:

18. 在该框图中, 如果 \overline{CE} 为低电平: \overline{CE}_1 为低电平, CE_2 为高电平以及 \overline{CE}_3 为低电平。如果 \overline{CE} 为高电平: \overline{CE}_1 为高电平, 或 CE_2 为低电平, 或 \overline{CE}_3 为高电平。

开关波形（续）

图 4. 写周期时序 [19、20]

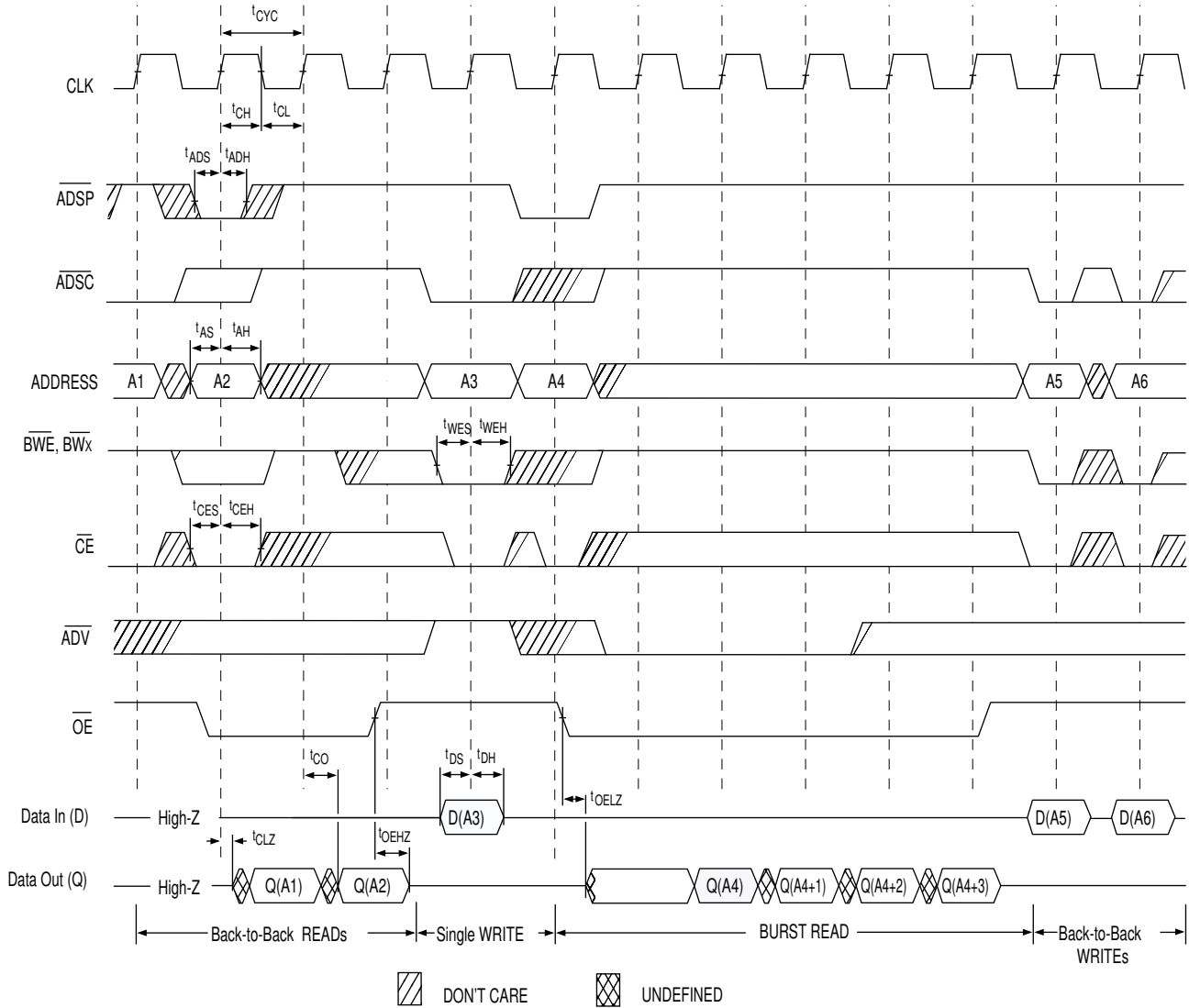


注释:

19. 在该框图中, 如果 \overline{CE} 为低电平: \overline{CE}_1 为低电平, \overline{CE}_2 为高电平以及 \overline{CE}_3 为低电平。如果 \overline{CE} 为高电平: \overline{CE}_1 为高电平, 或 \overline{CE}_2 为低电平, 或 \overline{CE}_3 为高电平。
20. 通过将 \overline{GW} 设为低电平, 或将 \overline{GW} 设为高电平、 \overline{BWE} 以及 \overline{BW}_x 设为低电平, 可以启动全宽写操作。

开关波形（续）

图 5. 读 / 写周期时序 [21、22、23]

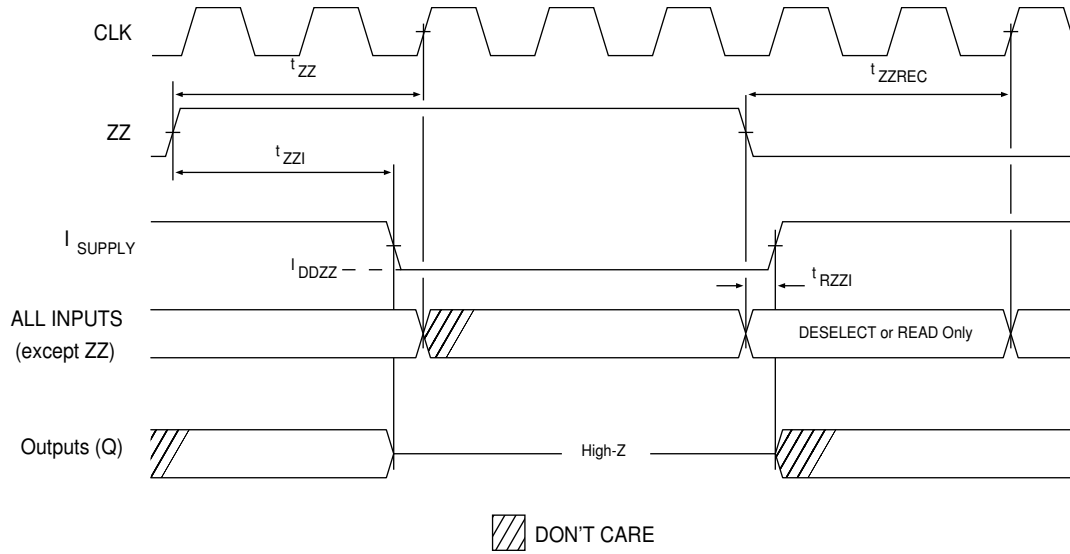


注释:

21. 在该框图中, 如果 \overline{CE} 为低电平: \overline{CE}_1 为低电平, CE_2 为高电平以及 \overline{CE}_3 为低电平。如果 \overline{CE} 为高电平: \overline{CE}_1 为高电平, 或 CE_2 为低电平, 或 \overline{CE}_3 为高电平。
22. 如果一个新读取访问并非由 \overline{ADSP} 或 \overline{ADSC} 启动, 那么写周期发生后, 数据总线 (Q) 一直处于高阻态。
23. \overline{GW} 为高电平。

开关波形（续）

图 6. ZZ 模式时序 [24、25]



注释:

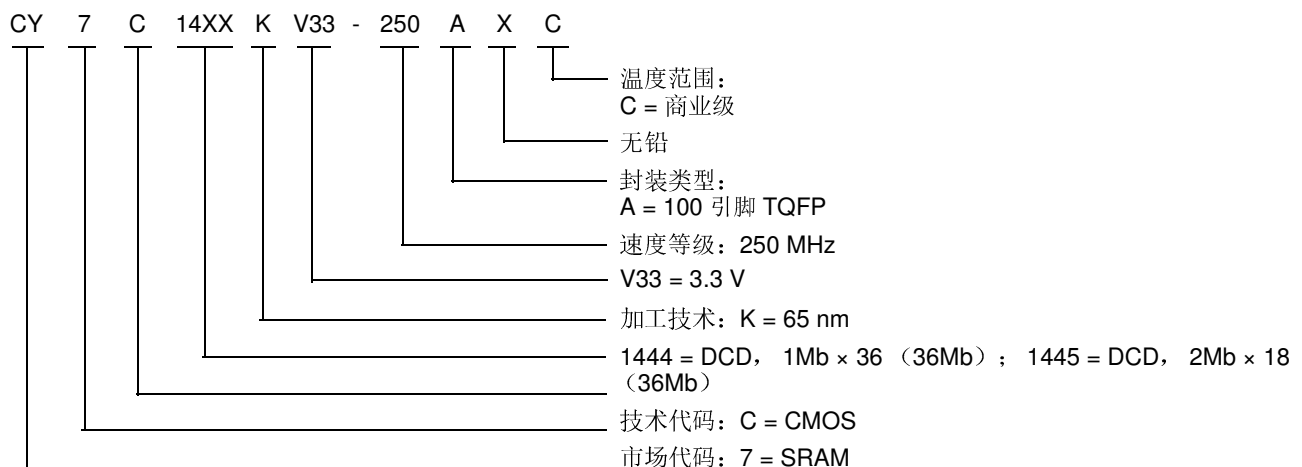
24. 进入 ZZ 模式时，必须取消选择该器件。有关取消选择器件的所有可能信号条件，请参考周期说明表。
25. 退出 ZZ 睡眠模式时，DQ 处于高阻态。

订购信息

赛普拉斯提供此类型产品的其他版本，可使用许多不同的配置和功能。下表仅包含目前可以供应的部件列表。有关所有选项的完整列表，请访问赛普拉斯网站 www.cypress.com 并参考 <http://www.cypress.com/products> 上的产品汇总页，或联系您的当地销售代表。赛普拉斯公司拥有一个由办事处、解决方案中心、工厂代表和经销商组成的全球性网络。要查找距您最近的办事处，请访问 <http://www.cypress.com/go/datasheet/offices>。

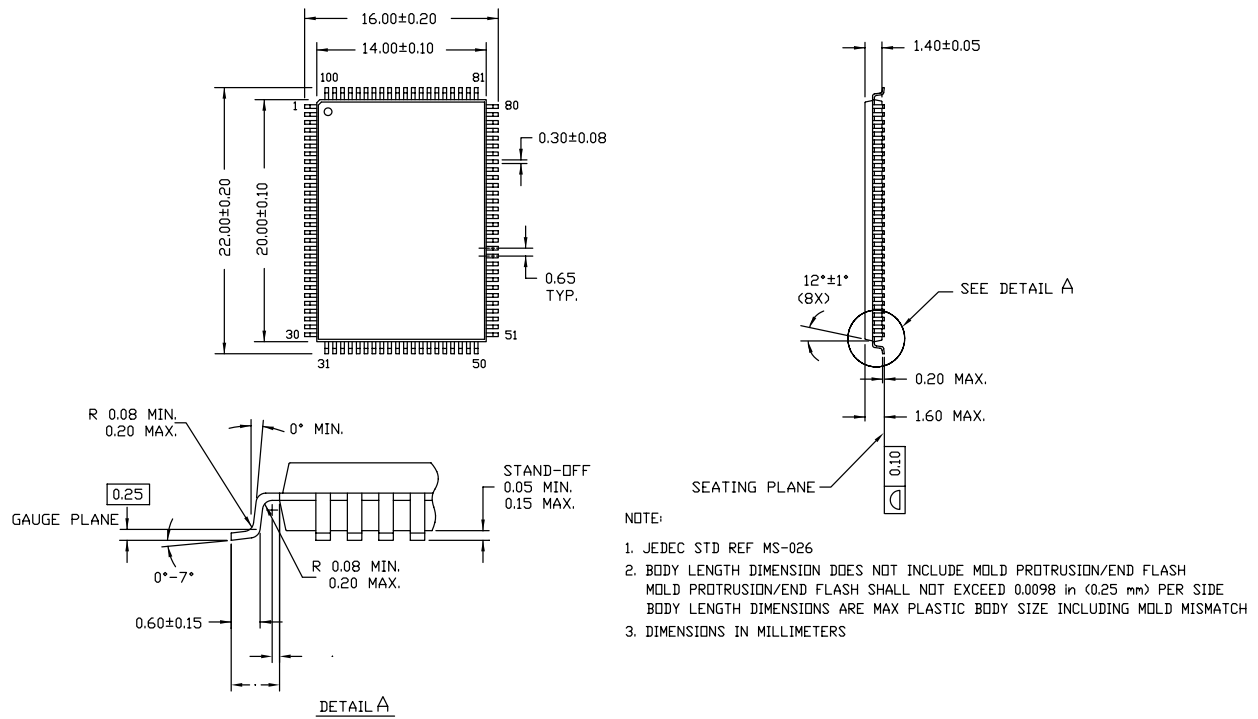
速度 (MHz)	订购代码	封装图	芯片和封装类型	工作范围
250	CY7C1444KV33-250AXC	51-85050	100 引脚 TQFP (14 × 20 × 1.4 mm) 无铅	商业级
	CY7C1445KV33-250AXC			

订购代码定义



封装图

图 7. 100 引脚 TQFP (14 × 20 × 1.4 mm) A100RA 封装外形, 51-85050



51-85050 *E

缩略语

缩略语	说明
CE	芯片使能
I/O	输入 / 输出
NoBL	无总线延迟
$\overline{\text{OE}}$	输出使能
SRAM	静态随机存取存储器
TQFP	薄型四方扁平封装
$\overline{\text{WE}}$	写入使能

文档规范

测量单位

符号	测量单位
°C	摄氏度
MHz	兆赫兹
μA	微安
mA	毫安
ms	毫秒
ns	纳秒
pF	皮法
V	伏特
W	瓦特

文档修订记录页

文档标题: CY7C1444KV33/CY7C1445KV33, 36 Mbit (1 M × 36/2 M × 18) 管道式 DCD 同步静态存储器 文档编号: 001-96061				
版本	ECN 编号	提交日期	变更者	变更说明
**	4662979	02/24/2015	WEIZ	本文档版本号为 Rev**, 译自英文版 001-66678 Rev*D。
A	4717375	04/08/2015	PRIT	转为最终文档 英语 001-66678 E 翻译成中国 001-96061 规格

销售、解决方案和法律信息

全球销售和 Design 支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要寻找离您最近的办事处，请访问 [赛普拉斯所在地](#)。

产品

汽车用产品	cypress.com/go/automotive
时钟与缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc cypress.com/go/plc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应产品	cypress.com/go/touch
USB 控制器	cypress.com/go/USB
无线 / 射频	cypress.com/go/wireless

PSoC® 解决方案

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [训练](#)

技术支持

cypress.com/go/support

© 赛普拉斯半导体公司，2011-2015。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于合理预计可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受适用于赛普拉斯软件许可协议的限制。