



CY7C1381KV33/CY7C1381KVE33 CY7C1383KV33/CY7C1383KVE33

18 Mbit (512 K × 36/1 M × 18)
直通 SRAM (带 ECC)

特性

- 支持 133 MHz 总线操作
- 512 K × 36 和 1 M × 18 通用 I/O
- 3.3 V 内核电源 (V_{DD})
- 2.5 V 或 3.3 V 的 I/O 供电电压 (V_{DDQ})
- 时钟至输出的时间较快
 - 6.5 ns (对于 133 MHz 器件)
- 提供了高性能的 2-1-1-1 访问速率
- 用户可选的突发计数器支持交错或线性突发序列
- 独立的处理器和控制器地址探针
- 同步自定时写操作
- 异步输出使能
- CY7C1381KV33/CY7C1381KVE33 适用于 JEDEC 标准无铅 100 引脚 TQFP 封装和无铅 165 球形焊盘 FBGA 封装。Y7C1383KV33/CY7C1383KVE33 适用于 JEDEC 标准无铅 100 引脚 TQFP
- 与 IEEE 1149.1 JTAG 相兼容的边界扫描
- 提供 ZZ 睡眠模式选项
- 片上纠错码 (ECC) 可降低软错误率 (SER)

功能描述

CY7C1381KV33/CY7C1381KVE33/CY7C1383KV33/

CY7C1383KVE33 是 3.3 V, 512 K × 36 和 1 M × 18 同步直通 SRAM, 其设置使用了最少的胶合逻辑, 非常适用于高速微处理器。时钟上升沿之后最长的访问延迟为 6.5 ns (对于 133 MHz 器件)。2 位的片上计数器捕获突发序列中的第一个地址, 并自动递增其余突发访问的地址。所有同步输入均通过上升沿触发的时钟输入 (CLK) 控制的寄存器进行门控。同步输入包括所有地址、所有数据输入、地址流水线芯片使能 (\overline{CE}_1)、深度扩展芯片使能 (\overline{CE}_2 和 \overline{CE}_3)、突发控制输入 (ADSC、ADSP 和 ADV)、写使能 (\overline{BW}_x 和 \overline{BWE}) 以及全局写入 (GW)。异步输入包括输出使能 (\overline{OE}) 和 ZZ 引脚。

CY7C1381KV33/CY7C1381KVE33/CY7C1383KV33/CY7C1383KVE33 允许 MODE 输入引脚选择交错或线性突发序列。高电平输入会选择交错突发模式, 而低电平输入则选择线性突发序列。通过处理器地址探针 (ADSP) 或缓存控制器地址探针 (ADSC) 输入可以开始突发访问。地址增加由地址递增 (ADV) 输入控制。

当地址探针处理器 (\overline{ADSP}) 或地址探针控制器 (\overline{ADSC}) 处于活动状态时, 地址和芯片使能信号都在时钟的上升沿上被寄存。递增引脚 (ADV) 生成并控制后续突发地址。

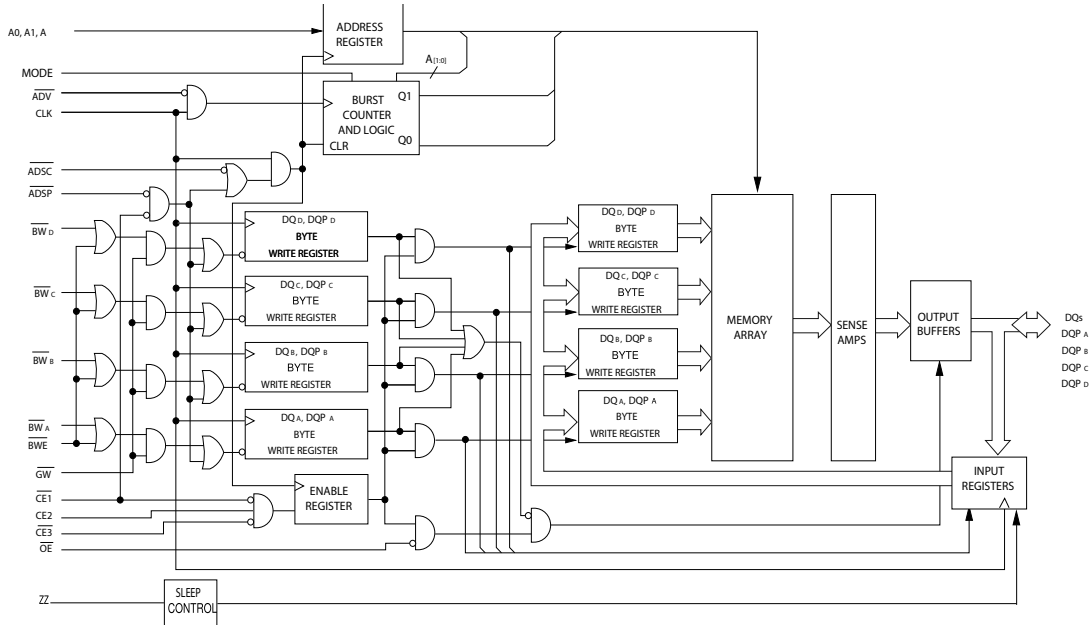
CY7C1381KV33/CY7C1381KVE33/CY7C1383KV33/CY7C1383KVE33 运行时, 内核的供电电压为 +3.3 V, 而所有输出的供电电压为 +2.5 或 +3.3 V。所有输入和输出都与 JEDEC 标准和 JESD8-5 相兼容。

产品选择指南

说明		133 MHz	100 MHz	单位
最长访问时间		6.5	8.5	ns
最大工作电流	× 18	129	114	mA
	× 36	149	134	mA

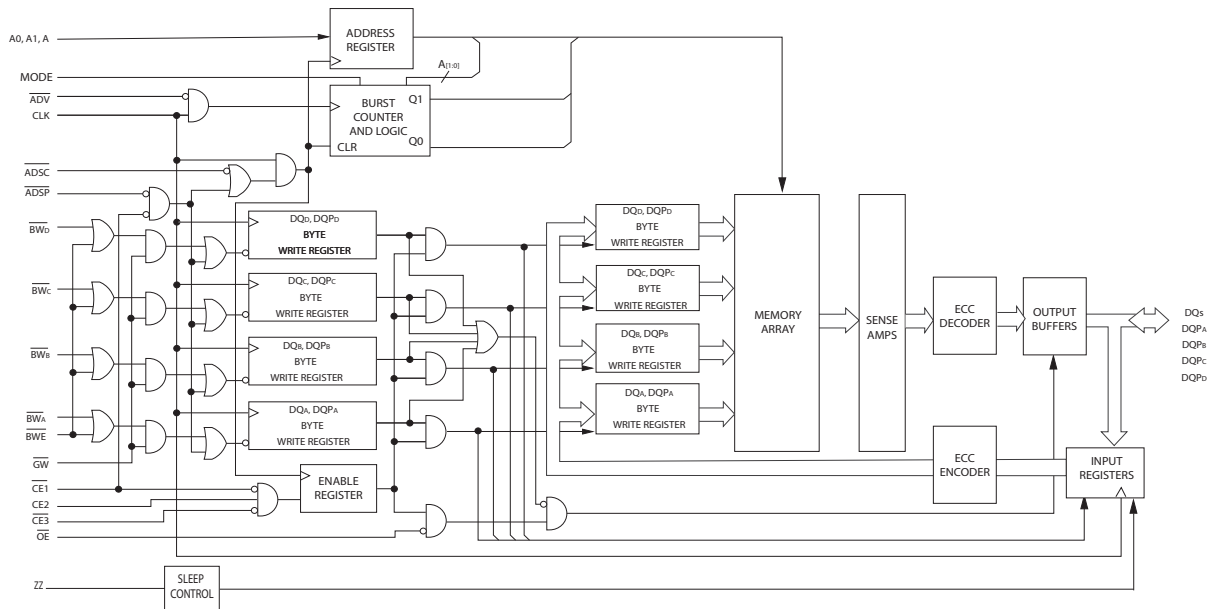
逻辑框图 — CY7C1381KV33

(512 K × 36)



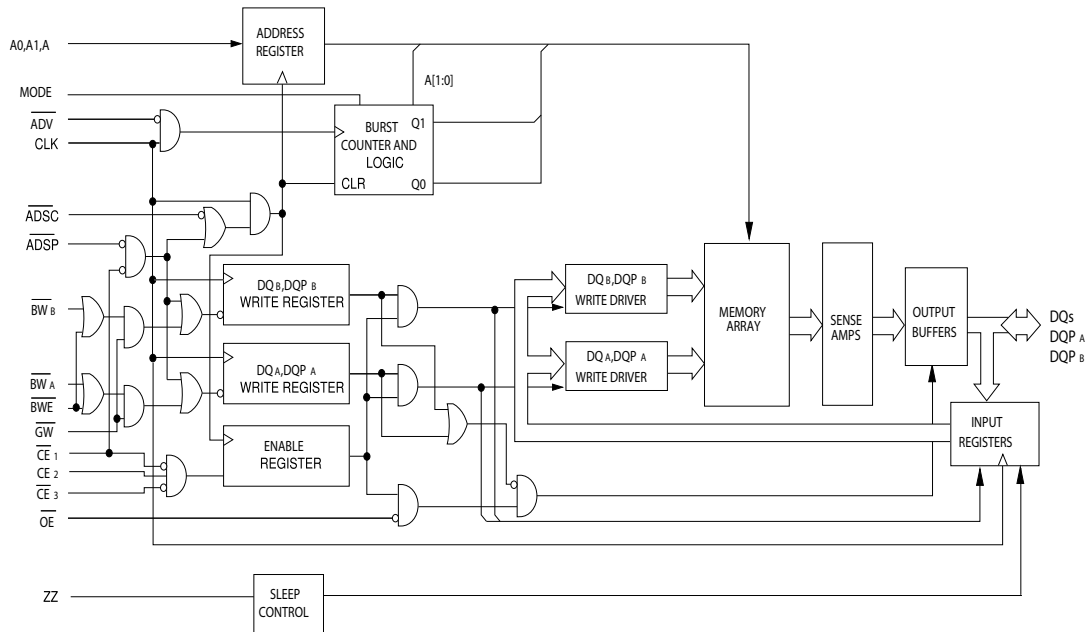
逻辑框图 — CY7C1381KVE33

(512 K × 36)



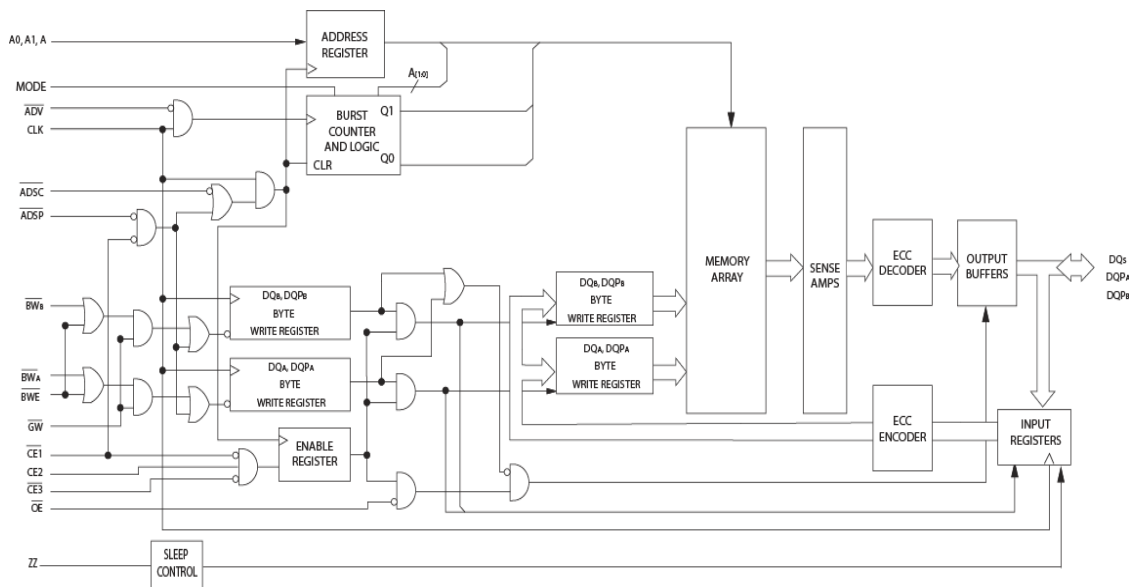
逻辑框图 — CY7C1383KV33

(1 M × 18)



逻辑框图 — CY7C1383KVE33

(1 M × 18)



目录

引脚配置	5	TAP 直流电气特性和工作条件	18
引脚定义	7	标识寄存器定义	19
功能概述	9	扫描寄存器大小	19
单一读取访问	9	指令代码	19
ADSP 启动的单一写入访问	9	边界扫描顺序	20
ADSC 启动的单一写入访问	9	最大额定值	21
突发序列	9	工作范围	21
睡眠模式	9	抗中子软失效	21
交错突发地址表	10	电气特性	21
线性突发地址表	10	电容	23
ZZ 模式的电气特性	10	热阻	23
真值表	11	交流测试负载和波形	23
读 / 写操作的真值表	12	开关特性	24
读 / 写操作的真值表	12	时序图	25
IEEE 1149.1 串行边界扫描 (JTAG)	13	订购信息	29
禁用 JTAG 功能	13	订购代码定义	29
测试访问端口 (TAP)	13	封装图	30
执行 TAP 复位	13	缩略语	32
TAP 寄存器	13	文档规范	32
TAP 指令集	14	测量单位	32
TAP 控制器状态图	15	文档修订记录	33
TAP 控制器框图	16	销售、解决方案和法律信息	34
TAP 时序	17	全球销售和 design 支持	34
TAP 交流开关特性	17	产品	34
3.3 V TAP 交流测试条件	18	PSoC® 解决方案	34
3.3 V TAP 交流输出负载等效	18	赛普拉斯开发者社区	34
2.5 V TAP 交流测试条件	18	技术支持	34
2.5 V TAP 交流输出负载等效	18		

引脚配置 (续)

图 2. 165 球形焊盘 FBGA (13 x 15 x 1.4 mm) 引脚分布 (3 个芯片使能引脚)

CY7C1381KV33 (512 K × 36)

	1	2	3	4	5	6	7	8	9	10	11
A	NC/288M	A	\overline{CE}_1	\overline{BW}_C	\overline{BW}_B	\overline{CE}_3	\overline{BWE}	\overline{ADSC}	\overline{ADV}	A	NC
B	NC/144M	A	CE2	\overline{BW}_D	\overline{BW}_A	CLK	\overline{GW}	\overline{OE}	\overline{ADSP}	A	NC/576M
C	DQP _C	NC	V _{DDQ}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{DDQ}	NC/1G	DQP _B
D	DQ _C	DQ _C	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _B	DQ _B
E	DQ _C	DQ _C	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _B	DQ _B
F	DQ _C	DQ _C	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _B	DQ _B
G	DQ _C	DQ _C	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _B	DQ _B
H	NC	NC	NC	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	NC	NC	ZZ
J	DQ _D	DQ _D	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _A	DQ _A
K	DQ _D	DQ _D	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _A	DQ _A
L	DQ _D	DQ _D	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _A	DQ _A
M	DQ _D	DQ _D	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _A	DQ _A
N	DQP _D	NC	V _{DDQ}	V _{SS}	NC	A	NC	V _{SS}	V _{DDQ}	NC	DQP _A
P	NC	NC/72M	A	A	TDI	A1	TDO	A	A	A	A
R	MODE	NC/36M	A	A	TMS	A0	TCK	A	A	A	A

引脚定义

名称	I/O	说明
A ₀ 、A ₁ 、A	同步输入	用于选择一个地址位置的地址输入。如果 $\overline{\text{ADSP}}$ 或 $\overline{\text{ADSC}}$ 为低电平有效， $\overline{\text{CE}}_1$ 、CE ₂ 和 $\overline{\text{CE}}_3$ 在有效时被采样，这些输入将在 CLK 的上升沿上采样。将 A _[1:0] 输入到 2 位计数器。
$\overline{\text{BW}}_A$ 、 $\overline{\text{BW}}_B$ 、 $\overline{\text{BW}}_C$ 、 $\overline{\text{BW}}_D$	同步输入	字节写入选择输入，低电平有效。同 $\overline{\text{BWE}}$ 结合使用，用于将字节写入到 SRAM 内。在 CLK 时钟的上升沿上被采样。
$\overline{\text{GW}}$	同步输入	全局写使能输入，低电平有效。当在 CLK 上升沿上将该输入置为低电平时，将会执行全局写入（无论 $\overline{\text{BW}}_{[A:D]}$ 和 $\overline{\text{BWE}}$ 上的值如何，仍写入所有字节）。
CLK	输入时钟	时钟输入。用于将所有同步输入捕获到器件内。另外，在进行突发操作期间，当 $\overline{\text{ADV}}$ 为低电平时，可以使用该输入来递增突发计数器。
$\overline{\text{CE}}_1$	同步输入	芯片使能 1 输入，低电平有效。在 CLK 时钟的上升沿上被采样。同 CE ₂ 和 $\overline{\text{CE}}_3$ 一起使用时，可以选择或取消选择器件。如果 $\overline{\text{CE}}_1$ 为高电平， $\overline{\text{ADSP}}$ 将被忽略。只有加载了新的外部地址时， $\overline{\text{CE}}_1$ 才被采样。
CE ₂	同步输入	芯片使能 2 输入，高电平有效。在 CLK 时钟的上升沿上被采样。同 $\overline{\text{CE}}_1$ 和 $\overline{\text{CE}}_3$ 一起使用时，可以选择或取消选择器件。只有加载了新的外部地址时，CE ₂ 才被采样。
$\overline{\text{CE}}_3$	同步输入	芯片使能 3 输入，低电平有效。在 CLK 时钟的上升沿上被采样。同 $\overline{\text{CE}}_1$ 和 CE ₂ 一起使用时，可以选择或取消选择器件。只有加载了新的外部地址时， $\overline{\text{CE}}_3$ 才被采样。
$\overline{\text{OE}}$	异步输入	输出使能，异步输入，低电平有效。控制 I/O 引脚的方向。置为低电平时，I/O 引脚作为输出使用。该信号置为高电平时，I/O 引脚全是三态的，并作为输入数据引脚使用。 $\overline{\text{OE}}$ 退出取消选择状态后，在读周期的第一个时钟周期内将被屏蔽。
$\overline{\text{ADV}}$	同步输入	递增输入信号。在 CLK 时钟的上升沿上被采样。激活时，它将自动递增突发周期中的地址。
$\overline{\text{ADSP}}$	同步输入	处理器中的地址探针，在 CLK 时钟的上升沿上被采样，低电平有效。置为低电平时，发送到器件的地址将在地址寄存器中捕获。另外，也将 A _[1:0] 加载到突发计数器中。 $\overline{\text{ADSP}}$ 和 $\overline{\text{ADSC}}$ 均被激活时，只有 $\overline{\text{ADSP}}$ 被检测到。 $\overline{\text{CE}}_1$ 被置为高电平时， $\overline{\text{ADSP}}$ 被忽略。
$\overline{\text{ADSC}}$	同步输入	控制器中的地址探针，在 CLK 时钟的上升沿上被采样，低电平有效。置为低电平时，发送到器件的地址将在地址寄存器中捕获。另外，也将 A _[1:0] 加载到突发计数器中。 $\overline{\text{ADSP}}$ 和 $\overline{\text{ADSC}}$ 均被激活时，只有 $\overline{\text{ADSC}}$ 被检测到。
$\overline{\text{BWE}}$	同步输入	字节写入使能输入，低电平有效。在 CLK 时钟的上升沿上被采样。必须将该信号置低，以执行字节写入。
ZZ	异步输入	ZZ 睡眠输入。该高电平有效输入使器件处于非时间关键睡眠状态，并保持数据的完整性。正常工作时，必须将该引脚设为低电平或处于悬空状态。ZZ 引脚具有内部下拉电阻。
DQ _s	同步 I/O	双向数据 I/O 线。作为输入使用时，这些线将数据发送到片上数据寄存器内，该操作在 CLK 的上升沿上触发。作为输出时，在读周期的前一个时钟上升沿期间，它们将发送存储器中由所存地址指定位置的数据。这些引脚的方向由 $\overline{\text{OE}}$ 控制。将 $\overline{\text{OE}}$ 置为低电平时，这些引脚作为输出使用。将 $\overline{\text{OE}}$ 置为高电平时，DQ _s 和 DQP _x 处于三态。无论 $\overline{\text{OE}}$ 的状态如何，在写序列的数据传输期间、信号退出取消选择状态后的第一个时钟周期以及取消选择器件时，这些输出都自动处于三态。
DQP _x	同步 I/O	双向数据奇偶校验 I/O 线。从功能的角度来看，这些信号相同于 DQ _s 。在写序列中，DQP _x 由相应的 $\overline{\text{BW}}_x$ 控制。

引脚定义 (续)

名称	I/O	说明
MODE	静态输入	选择突发顺序。 连接到 GND 时, 选择线性突发序列。连接到 V_{DD} 或处于悬空时, 选择交错突发序列。这是一个 strap 引脚, 并在器件运行时应保持静态状态。Mode 引脚具有一个内部上拉电阻。
V_{DD}	电源	器件内核的供电输入。
V_{DDQ}	I/O 供电电源	I/O 电路的供电电压。
V_{SS}	接地	器件内核的接地。
V_{SSQ}	I/O 接地	I/O 电路的接地。
TDO	JTAG 串行同步输出	JTAG 电路的串行数据输出。 在 TCK 的下降沿上发送数据。如果未使用 JTAG 功能, 请勿连接该引脚。该引脚在 TQFP 封装上不可用。
TDI	JTAG 串行同步输入	JTAG 电路的串行数据输入。 在 TCK 时钟的上升沿上被采样。如果未使用 JTAG 功能, 那么该引脚将被悬空或通过上拉电阻连接到 V_{DD} 。该引脚在 TQFP 封装上不可用。
TMS	JTAG 串行同步输入	JTAG 电路的串行数据输入。 在 TCK 时钟的上升沿上被采样。如果未使用 JTAG 功能, 该引脚可以被断接或连接到 V_{DD} 。该引脚在 TQFP 封装上不可用。
TCK	JTAG 时钟	JTAG 电路的时钟输入。 如果未使用 JTAG 功能, 请将该引脚连接到 V_{SS} 。该引脚在 TQFP 封装上不可用。
NC	—	无连接。 没有内部连接到芯片。36M、72M、144M、288M、576M 和 1G 是地址扩展引脚, 并没有内部连接到芯片。
V_{SS}/DNU	接地 /DNU	该引脚可置为接地或悬空状态。

功能概述

所有同步输入均通过由时钟上升沿控制的输入寄存器。从时钟上升沿之后的最长访问延迟 (t_{CDV}) 为 6.5 ns (对于 133 MHz 器件)。

CY7C1381KV33/CY7C1381KVE33/CY7C1383KV33/CY7C1383KVE33 对采用线性或交错突发序列的系统提供了辅助缓存。线性突发序列适用于使用线性突发序列的处理器。突发顺序可由用户选择, 并且是通过采样 \overline{MODE} 输入确定的。通过处理器地址探针 (\overline{ADSP}) 或控制器地址探针 (\overline{ADSC}), 可以开始访问。 \overline{ADV} 输入控制突发序列的地址增加。2 位的片上环绕式突发计数器捕获突发序列中的第一个地址, 并自动递增其余突发访问的地址。

字节写操作由字节写使能 ($\overline{BW_E}$) 和字节写选择 ($\overline{BW_X}$) 输入控制。全局写使能 (\overline{GW}) 覆盖了所有字节写输入, 并将数据写入到所有四个字节内。所有写操作都通过片上同步自定时写电路得到简化。

这些器件提供了三个同步芯片选择 ($\overline{CE_1}$ 、 $\overline{CE_2}$ 、 $\overline{CE_3}$) 和一个异步输出使能 (\overline{OE}), 从而可以轻松地地进行组选择和输出三态控制。如果 $\overline{CE_1}$ 为高电平, \overline{ADSP} 将被忽略。

单一读取访问

如果在时钟上升沿上满足以下条件, 将启动单一读取访问: (1) $\overline{CE_1}$ 、 $\overline{CE_2}$ 和 $\overline{CE_3}$ 都被激活, (2) \overline{ADSP} 或 \overline{ADSC} 被激活 (如果 \overline{ADSC} 启动该访问, 必须在该周期内取消激活写输入)。传输到地址输入端的地址被锁存到地址寄存器和突发计数器以及 / 或控制逻辑内, 然后被传输到存储器内核。如果 \overline{OE} 输入被置为低电平, 那么在从时钟上升沿开始计时的 t_{CDV} 时间内, 请求数据会被传输到数据输出。如果 $\overline{CE_1}$ 为高电平, \overline{ADSP} 将被忽略。

\overline{ADSP} 启动的单一写入访问

如果在时钟上升沿上满足以下条件, 将启动该访问: (1) $\overline{CE_1}$ 、 $\overline{CE_2}$ 、 $\overline{CE_3}$ 均有效, 并且 (2) \overline{ADSP} 为低电平。传输的地址被加载到地址寄存器内, 并且突发输入 (\overline{GW} 、 $\overline{BW_E}$ 和 $\overline{BW_X}$) 在该时钟周期内被忽略。如果写输入在下一个时钟上升沿上有效 (请参考第 12 页上的读 / 写操作的真值表, 了解指示一个写操作的相

应状态), 那么相应的数据将被锁存并被写入到器件内。允许字节写入。在一个字节写操作中, 所有 I/O 均为三态。由于它是一个通用 I/O 器件, 因此在向 \overline{DQ} 传输数据之前, 必须取消激活异步 \overline{OE} 输入信号, 并且 IO 需要处于三态。为安全起见, 无论 \overline{OE} 的状态如何, 每次检测到写周期时, 数据线都进入三态。

\overline{ADSC} 启动的单一写入访问

如果在时钟上升沿上满足以下条件, 将启动写访问: (1) $\overline{CE_1}$ 、 $\overline{CE_2}$ 和 $\overline{CE_3}$ 都有效, (2) \overline{ADSC} 为低电平, (3) \overline{ADSP} 为高电平, 以及 (4) 写输入信号 (\overline{GW} 、 \overline{BWE} 和 $\overline{BW_X}$) 指示写访问。如果 \overline{ADSP} 为低电平有效, 将忽略 \overline{ADSC} 。

所传输的地址被加载到地址寄存器和突发计数器, 控制逻辑, 或两者, 并且被传输到存储器内核。传输到 $\overline{DQ}_{[A:D]}$ 的信息被写入指定的地址位置。允许字节写入。当检测到写操作时 (即使是字节写入操作), 所有 I/O 都处于三态。由于它是一个通用 I/O 器件, 因此在向 \overline{DQ}_s 传输数据之前, 必须取消激活异步 \overline{OE} 输入信号, 并且 IO 需要处于三态。为安全起见, 无论 \overline{OE} 的状态如何, 每次检测到写周期时, 数据线都进入三态。

突发序列

CY7C1381KV33/CY7C1381KVE33/CY7C1383KV33/CY7C1383KVE33 在 SRAM 内提供了一个片上 2 位环绕式突发计数器。该突发计数器输入 $A_{[1:0]}$ 数值, 它可以遵循线性或交错突发顺序。突发顺序由 \overline{MODE} 输入的状态决定。低电平输入选择线性突发序列。高电平输入选择交错突发顺序。如果将该 \overline{MODE} 输入置于断接状态, 那么器件将默认选择交错突发序列。

睡眠模式

\overline{ZZ} 输入引脚是一个异步输入。激活 \overline{ZZ} 后, SRAM 将进入节能的睡眠模式。进入和退出睡眠模式时, 需要占用两个时钟周期。在该模式中, 数据完整性得到保证。进入睡眠模式时等待的访问视为无效访问, 并且不能确保能完成操作。进入睡眠模式之前, 必须取消选择器件。 $\overline{CE_1}$ 、 $\overline{CE_2}$ 、 $\overline{CE_3}$ 、 \overline{ADSP} 和 \overline{ADSC} 在 \overline{ZZ} 输入为低电平后的 t_{ZZREC} 时间内必须保持无效状态。

交错突发地址表

 (MODE = 悬空或 V_{DD})

第一个地址 A1:A0	第二个地址 A1:A0	第三个地址 A1:A0	第四个地址 A1:A0
00	01	10	11
01	00	11	10
10	11	00	01
11	10	01	00

线性突发地址表

(MODE = GND)

第一个地址 A1:A0	第二个地址 A1:A0	第三个地址 A1:A0	第四个地址 A1:A0
00	01	10	11
01	10	11	00
10	11	00	01
11	00	01	10

ZZ 模式的电气特性

参数	说明	测试条件	最小值	最大值	单位
I_{DDZZ}	睡眠模式下的待机电流	$ZZ \geq V_{DD} - 0.2\text{ V}$	—	65	mA
t_{ZZS}	器件从运行状态到进入 ZZ 模式的时间	$ZZ \geq V_{DD} - 0.2\text{ V}$	—	$2t_{CYC}$	ns
t_{ZZREC}	ZZ 恢复时间	$ZZ \leq 0.2\text{ V}$	$2t_{CYC}$	—	ns
t_{ZZI}	从 ZZ 置为高电平到器件进入睡眠状态的时间	采样数据	—	$2t_{CYC}$	ns
t_{RZZI}	从 ZZ 置为低电平到器件退出睡眠状态的时间	采样数据	0	—	ns

真值表

CY7C1381KV33/CY7C1381KVE33/CY7C1383KV33/CY7C1383KVE33 的真值表如下所示。[1、2、3、4、5]

周期说明	所使用的地址	\overline{CE}_1	CE_2	\overline{CE}_3	ZZ	\overline{ADSP}	\overline{ADSC}	\overline{ADV}	\overline{WRITE}	\overline{OE}	CLK	DQ
取消选择周期、断电	无	H	X	X	L	X	L	X	X	X	L-H	三态
取消选择周期、断电	无	L	L	X	L	L	X	X	X	X	L-H	三态
取消选择周期、断电	无	L	X	H	L	L	X	X	X	X	L-H	三态
取消选择周期、断电	无	L	L	X	L	H	L	X	X	X	L-H	三态
取消选择周期、断电	无	X	X	X	L	H	L	X	X	X	L-H	三态
睡眠模式、断电	无	X	X	X	H	X	X	X	X	X	X	三态
读周期、开始传输	外部地址	L	H	L	L	L	X	X	X	L	L-H	Q
读周期、开始传输	外部地址	L	H	L	L	L	X	X	X	H	L-H	三态
写周期、开始传输	外部地址	L	H	L	L	H	L	X	L	X	L-H	D
读周期、开始传输	外部地址	L	H	L	L	H	L	X	H	L	L-H	Q
读周期、开始传输	外部地址	L	H	L	L	H	L	X	H	H	L-H	三态
读周期、继续传输	下一个地址	X	X	X	L	H	H	L	H	L	L-H	Q
读周期、继续传输	下一个地址	X	X	X	L	H	H	L	H	H	L-H	三态
读周期、继续传输	下一个地址	H	X	X	L	X	H	L	H	L	L-H	Q
读周期、继续传输	下一个地址	H	X	X	L	X	H	L	H	H	L-H	三态
写周期、继续传输	下一个地址	X	X	X	L	H	H	L	L	X	L-H	D
写周期、继续传输	下一个地址	H	X	X	L	X	H	L	L	X	L-H	D
读周期、停止传输	当前地址	X	X	X	L	H	H	H	H	L	L-H	Q
读周期、停止传输	当前地址	X	X	X	L	H	H	H	H	H	L-H	三态
读周期、停止传输	当前地址	H	X	X	L	X	H	H	H	L	L-H	Q
读周期、停止传输	当前地址	H	X	X	L	X	H	H	H	H	L-H	三态
写周期、停止传输	当前地址	X	X	X	L	H	H	H	L	X	L-H	D
写周期、停止传输	当前地址	H	X	X	L	X	H	H	L	X	L-H	D

注意:

1. X = 无需关注, H = 逻辑高电平, L = 逻辑低电平。
2. 任意一个或多个字节写入使能信号和 $\overline{BWE} = L$ 或 $\overline{GW} = L$ 时, $\overline{WRITE} = L$ 。所有字节写入使能信号、 \overline{BWE} 、 $\overline{GW} = H$ 时, $\overline{WRITE} = H$ 。
3. DQ 引脚由当前周期和 \overline{OE} 信号控制。 \overline{OE} 是异步信号, 并不在时钟边沿上被采样。
4. 无论 \overline{GW} 、 \overline{BWE} 或 \overline{BW}_X 的状态如何, 激活 \overline{ADSP} 时, SRAM 始终会启动读周期。 \overline{ADSP} 或 \overline{ADSC} 被置为高电平后, 在下一个时钟周期中才能发生写操作。因此, 启动写周期前, 必须将 \overline{OE} 驱动为高电平, 这样才能使输出处于三态。启动写周期后, \overline{OE} 的状态为“无需关注”。
5. \overline{OE} 是异步信号, 并且不在时钟上升沿上被采样。该信号在写周期中被内部屏蔽。在读周期中, \overline{OE} 为无效或取消选择器件时, 所有数据位均是三态的, 而在 \overline{OE} 为低电平有效时, 所有数据位都作为输出使用。

读 / 写操作的真值表

CY7C1381KV33/CY7C1381KVE33 的读 / 写操作的真值表如下所示。[6、7]

功能 (CY7C1381KV33/CY7C1381KVE33)	\overline{GW}	\overline{BWE}	\overline{BW}_D	\overline{BW}_C	\overline{BW}_B	\overline{BW}_A
读取	H	H	X	X	X	X
读取	H	L	H	H	H	H
写入字节 A (DQ _A 、DQP _A)	H	L	H	H	H	L
写入字节 B (DQ _B 、DQP _B)	H	L	H	H	L	H
写入字节 A、B (DQ _A 、DQ _B 、DQP _A 、DQP _B)	H	L	H	H	L	L
写入字节 C (DQ _C 、DQP _C)	H	L	H	L	H	H
写入字节 C、A (DQ _C 、DQ _A 、DQP _C 、DQP _A)	H	L	H	L	H	L
写入字节 C、B (DQ _C 、DQ _B 、DQP _C 、DQP _B)	H	L	H	L	L	H
写入字节 C、B、A (DQ _C 、DQ _B 、DQ _A 、DQP _C 、DQP _B 、DQP _A)	H	L	H	L	L	L
写入字节 D (DQ _D 、DQP _D)	H	L	L	H	H	H
写入字节 D、A (DQ _D 、DQ _A 、DQP _D 、DQP _A)	H	L	L	H	H	L
写入字节 D、B (DQ _D 、DQ _B 、DQP _D 、DQP _B)	H	L	L	H	L	H
写入字节 D、B、A (DQ _D 、DQ _B 、DQ _A 、DQP _D 、DQP _B 、DQP _A)	H	L	L	H	L	L
写入字节 D、B (DQ _D 、DQ _B 、DQP _D 、DQP _B)	H	L	L	L	H	H
写入字节 D、B、A (DQ _D 、DQ _C 、DQ _A 、DQP _D 、DQP _C 、DQP _A)	H	L	L	L	H	L

读 / 写操作的真值表

CY7C1383KV33/CY7C1383KVE33 的读 / 写操作的真值表如下所示。[6、7]

功能 (CY7C1383KV33/CY7C1383KVE33)	\overline{GW}	\overline{BWE}	\overline{BW}_B	\overline{BW}_A
写入字节 D、C、A (DQ _D 、DQ _B 、DQ _A 、DQP _D 、DQP _B 、DQP _A)	H	L	L	L
写入所有字节	H	L	L	L
写入所有字节	L	X	X	X
读取	H	H	X	X
读取	H	L	H	H
写入字节 A — (DQ _A 和 DQP _A)	H	L	H	L
写入字节 B — (DQ _B 和 DQP _B)	H	L	L	H
写入所有字节	H	L	L	L
写入所有字节	L	X	X	X

注意:

6. X = 无需关注, H = 逻辑高电平, L = 逻辑低电平。

7. 该表仅列出了字节写入组合的一部分。 \overline{BW}_X 的任意组合均有效。根据有效的字节写入, 将执行相应的写操作。

IEEE 1149.1 串行边界扫描 (JTAG)

CY7C1381KV33 包含一个串行边界扫描测试访问端口 (TAP)。该器件完全符合 1149.1 标准。TAP 在工作时采用了符合 JEDEC 标准的 3.3 V 或 2.5 V IO 逻辑电平。

CY7C1381KV33 包含 TAP 控制器、指令寄存器、边界扫描寄存器、旁路寄存器和 ID 寄存器。

禁用 JTAG 功能

无需使用 JTAG 功能也可以运行 SRAM。要禁用 TAP 控制器，要将 TCK 置为低电平 (V_{SS})，以防止器件的时钟运行。TDI 和 TMS 是内部上拉，并可处于未连接状态。它们也可以通过上拉电阻连接到 V_{DD} 。TDO 可以处于未连接状态。在上电时，器件会复位，这不会干扰器件的工作。

测试访问端口 (TAP)

测试时钟 (TCK)

测试时钟仅能与 TAP 控制器配合使用。所有输入都在 TCK 的上升沿上被捕获。所有输出都从 TCK 的下降沿上被输出。

测试模式选择 (TMS)

TMS 输入用于向 TAP 控制器提供指令，并在 TCK 的上升沿上被采样。如果未使用 TAP，此引脚可以保持未连接状态。由于该接口是内部上拉的，因此可产生逻辑高电平。

测试数据输入 (TDI)

TDI 接口用于以串行方式将信息输入到寄存器中，并且可以连接到任何寄存器的输入。TDI 和 TDO 之间的寄存器由加载到 TAP 指令寄存器中的指令选择。有关加载指令寄存器的信息，请参见第 15 页上的 TAP 控制器状态图。TDI 是内部上拉。如果在应用中未使用 TAP，TDI 可以保持未连接状态。TDI 连接到任何寄存器中的最高有效位 (MSB)。

测试数据输出 (TDO)

TDO 输出接口用于以串行方式发送寄存器的时钟数据。输出是否有效，这取决于 TAP 状态机的当前状态（请参见第 19 页上的指令代码）。输出会在 TCK 的下降沿上发生变化。TDO 连接到任何寄存器的最低有效位 (LSB)。

执行 TAP 复位

通过在 5 个 TCK 上升沿的时间内将 TMS 强制置为高电平 (V_{DD})，可执重置。该复位不会影响 SRAM 的工作，并可在 SRAM 工作期间执行。上电时，TAP 会内部复位，以确保 TDO 处于高阻态。

TAP 寄存器

此类寄存器位于 TDI 和 TDO 接口之间，用于扫描 SRAM 测试电路的数据输入和输出。指令寄存器每次只能选择一个寄存器。在 TCK 的上升沿上，数据会以串行方式加载到 TDI 接口。在 TCK 的下降沿上，数据会从 TDO 接口输出。

指令寄存器

三位指令会以串行方式加载到指令寄存器中。该寄存器在置于 TDI 和 TDO 接口之间时被加载，如第 16 页上的 TAP 控制器框图所示。在上电时，指令寄存器会加载 IDCODE 指令。即使控制器处于复位状态，也会加载 IDCODE 指令，如上一节所述。

当 TAP 控制器处于 Capture-IR 状态时，两个最低有效位会以二进制“01”的形式加载，以便实现模块级别串行测试路径的故障隔离。

旁路寄存器

当以串行方式将数据移位到寄存器时，跳过某些芯片可能会节省时间。旁路寄存器为单比特寄存器，可置于 TDI 和 TDO 接口之间，这样可以使通过 SRAM 的数据移动的延迟较小。执行 BYPASS 指令时，旁路寄存器会置为低电平 (V_{SS})。

边界扫描寄存器

边界扫描寄存器连接到 SRAM 上的所有输入和双向接口。

当 TAP 控制器处于 Capture-DR 状态时，边界扫描寄存器会加载 RAM 输入和输出环的内容。当控制器转入 Shift-DR 状态后，该寄存器会被置于 TDI 和 TDO 接口之间。EXTEST、SAMPLE/PRELOAD 和 SAMPLE Z 指令用于捕获输入和输出环的内容。

第 20 页上的边界扫描顺序显示了各个位的连接顺序。每个位都与 SRAM 封装上的一个管脚相对应。寄存器的 MSB 被连接到 TDI，LSB 被连接到 TDO。

标识 (ID) 寄存器

当指令寄存器中加载了 IDCODE 指令时，ID 寄存器会在 Capture-DR 状态期间加载供应商特定的 32 位代码。IDCODE 已硬连线到 SRAM 中，当 TAP 控制器处于 Shift-DR 状态时，可以移出它。ID 寄存器具有供应商代码和第 19 页上的标识寄存器定义中所述的其他信息。

TAP 指令集

概况

三位指令寄存器可实现八个不同的指令。第 19 页上的指令代码中列出了所有组合。其中三个指令被列为 **RESERVED**，请勿使用这些指令。下面将详细说明其他五个指令。

当指令寄存器置于 TDI 和 TDO 之间时，这些指令会在 Shift-IR 状态期间加载到 TAP 控制器中。在此状态期间，会通过 TDI 和 TDO 接口将指令移入到指令寄存器内。要在移入指令后立即执行指令，TAP 控制器必须转入 Update-IR 状态。

EXTEST

EXTEST 指令用于通过系统输出引脚输出预加载的数据。在 Shift-DR 控制器状态下，该指令还会将用于串行访问的边界扫描寄存器置于 TDI 和 TDO 之间。

IDCODE

IDCODE 指令用于将供应商特定的 32 位代码加载到指令寄存器中。它还会将指令寄存器置于 TDI 和 TDO 接口之间，并允许在 TAP 控制器进入 Shift-DR 状态后将 IDCODE 从器件移出。

在上电时，或当 TAP 控制器处于 Test-Logic-Reset 状态时，IDCODE 指令都会被加载到指令寄存器中。

SAMPLE Z

当 TAP 控制器处于 Shift-DR 状态时，SAMPLE Z 指令会将边界扫描寄存器置于 TDI 和 TDO 引脚之间。此外，SAMPLE Z 指令还使所有 SRAM 输出进入高阻态。

SAMPLE/PRELOAD

SAMPLE/PRELOAD 是符合 1149.1 标准的强制指令。当 SAMPLE/PRELOAD 指令加载到指令寄存器中并且 TAP 控制器处于 Capture-DR 状态时，边界扫描寄存器会捕获输入和输出引脚上数据的快照。

用户必须注意 TAP 控制器时钟的最高工作频率仅为 20 MHz，而 SRAM 时钟的工作频率要比它高一个数量级。由于在时钟频率方面存在较大差距，因此在 Capture-DR 状态期间，输入或输出可能会出现跃变。TAP 可能会在跃变（半稳态）期间尝试捕获信号。虽然这并不会损坏器件，但无法保证捕获到的值是正确的，并且结果可能无法重复。

为了保证边界扫描寄存器捕获到正确的信号值，SRAM 信号必须在足够长的时间内保持稳定，以达到 TAP 控制器的捕获建立加保持时间 (t_{CS} 和 t_{CH}) 的要求。如果在设计上无法在 SAMPLE/PRELOAD 指令期间停止（或减慢）时钟，则可能无法正确捕获 SRAM 时钟输入。即使存在该问题，但仍可以捕获所有其他信号，只要忽略了边界扫描寄存器中所捕获的 CK 和 CK 的值即可。

捕获数据后，通过将 TAP 置于 Shift-DR 状态，可以移出数据。这会将边界扫描寄存器置于 TDI 和 TDO 引脚之间。

在选择另一个边界扫描测试操作之前，PRELOAD 允许在边界扫描寄存器单元的已锁存并行输出处放置一个初始数据模式。

必要时，SAMPLE 和 PRELOAD 阶段的数据移出可能并发执行，即可以在移出所捕获数据的同时，可移入预加载的数据。

BYPASS

当 BYPASS 指令加载到指令寄存器中并且 TAP 处于 Shift-DR 状态时，旁路寄存器会被置于 TDI 和 TDO 接口之间。BYPASS 指令的优势是当电路板上有多器件连接在一起时，可以缩短边界扫描路径。

EXTEST Output Bus Tri-State

IEEE 标准 1149.1 强制要求 TAP 控制器应能够将输出总线置于三态模式。

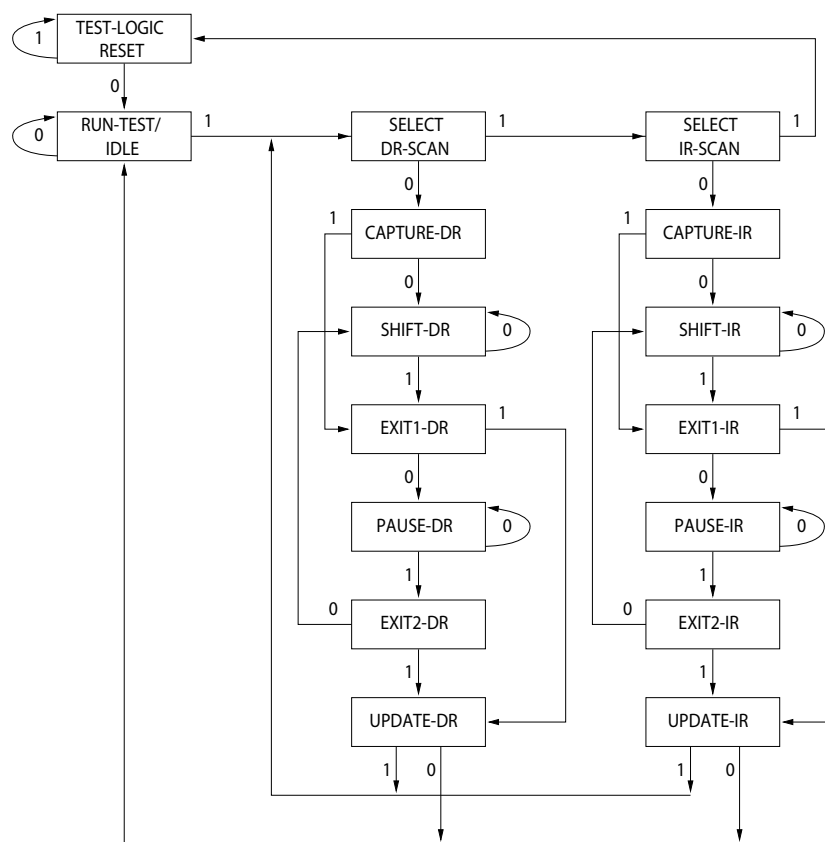
边界扫描寄存器在 #89 位上有一个特殊位（对于 165 球形焊盘 FBGA 封装）。当此扫描单元（称为“外测试输出总线三态”）在 TAP 控制器处于 Update-DR 状态期间被锁存到预加载寄存器中时，如果输入 EXTEST 作为当前指令，则该单元会直接控制输出（Q 总线）引脚的状态。在置于高电平时，它将允许输出缓冲器驱动输出总线。在置于低电平时，此位会将输出总线置于高阻态。

通过输入 SAMPLE/PRELOAD 或 EXTEST 指令，然后在 Shift-DR 状态期间将所需的位移入到该单元中，即可设置该位。在 Update-DR 期间，被加载到该移位寄存器单元中的值会被锁存到预加载寄存器中。输入 EXTEST 指令后，此位会直接控制输出 Q 总线引脚。请注意，此位会预置为高电平，以便在器件上电以及当 TAP 控制器处于 Test-Logic-Reset 状态时启动输出。

Reserved

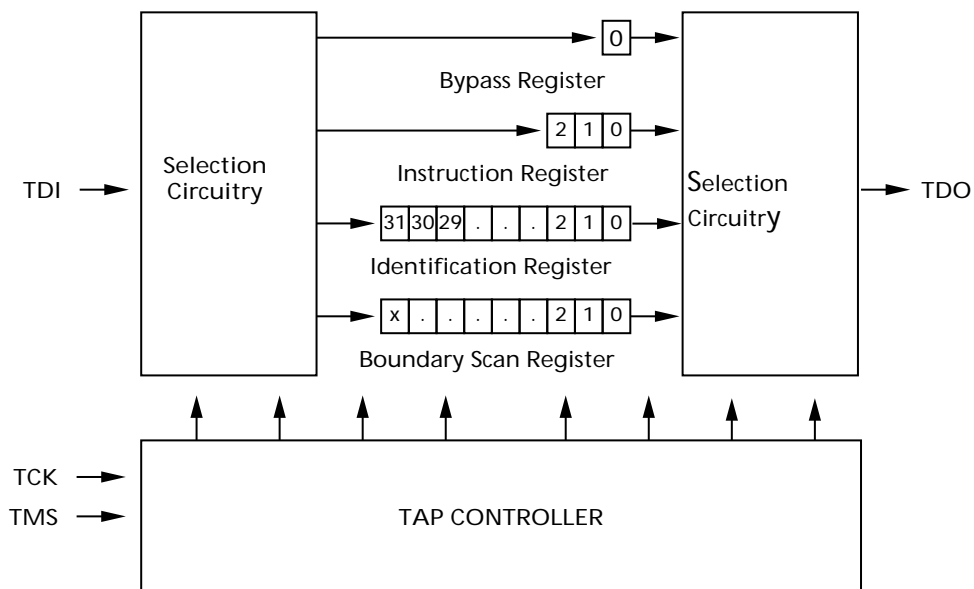
这些指令尚未实现，但被留作日后使用。请勿使用这些指令。

TAP 控制器状态图



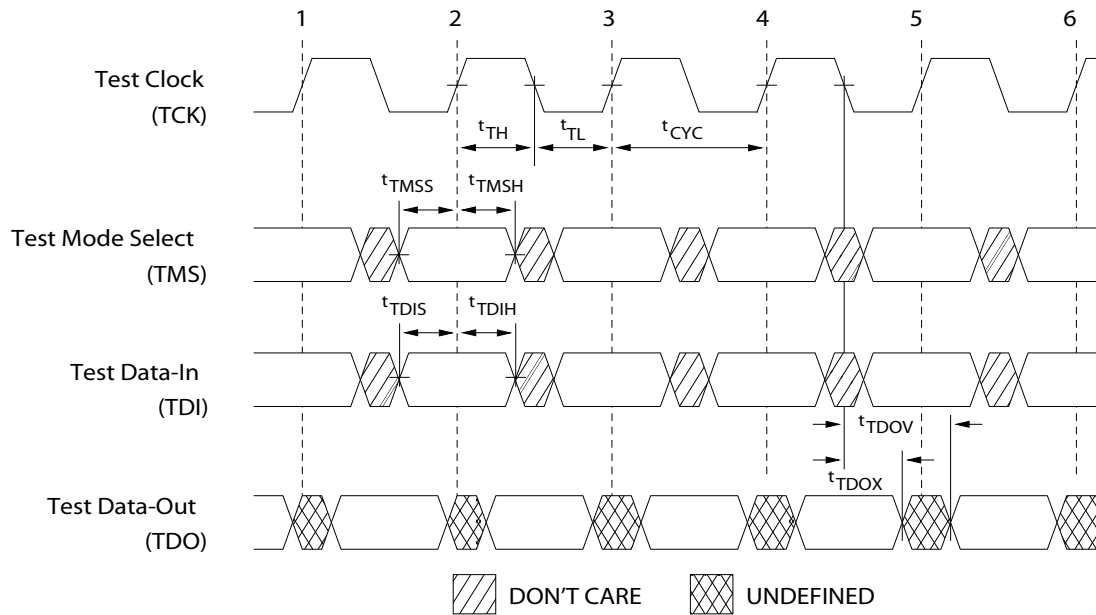
每个状态旁边的 ‘0’ 或 ‘1’ 代表 TCK 上升沿上对应的 TMS 的值。

TAP 控制器框图



TAP 时序

图 3. TAP 时序



TAP 交流开关特性

在工作范围内

参数 [8、9]	说明	最小值	最大值	单位
时钟				
t_{TCYC}	TCK 时钟周期时间	50	—	ns
t_{TF}	TCK 时钟频率	—	20	MHz
t_{TH}	TCK 时钟为高电平的时间	20	—	ns
t_{TL}	TCK 时钟为低电平的时间	20	—	ns
输出时间				
t_{TDOV}	从 TCK 时钟为低电平到 TDO 有效的时间	—	10	ns
t_{TDOX}	从 TCK 时钟为低电平到 TDO 无效的时间	0	—	ns
建立时间				
t_{TMSS}	从 TMS 建立到 TCK 时钟上升沿的时间	5	—	ns
t_{TDIS}	从 TDI 建立到 TCK 时钟上升沿的时间	5	—	ns
t_{CS}	从采样建立到 TCK 上升沿的时间	5	—	ns
保持时间				
t_{TMSH}	TCK 时钟上升沿之后 TMS 保持的时间	5	—	ns
t_{TDIH}	时钟上升沿之后 TDI 保持的时间	5	—	ns
t_{CH}	时钟上升沿之后捕获保持的时间	5	—	ns

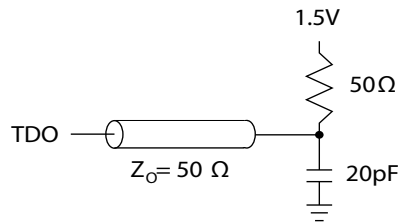
注意:

8. t_{CS} 和 t_{CH} 是指从边界扫描寄存器锁存数据所需要的建立和保持时间。
9. 测试条件是通过使用 TAP 交流测试条件中的负载确定的。 $t_R/t_F = 1$ ns。

3.3 V TAP 交流测试条件

输入脉冲电压 V_{SS} 到 3.3 V
 输入上升和下降时间（转换速率） 2 V/ns
 输入时序参考电压 1.5 V
 输出参考电压 1.5 V
 测试负载终端供电电压 1.5 V

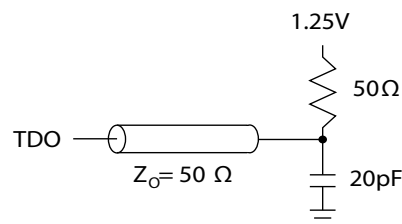
3.3 V TAP 交流输出负载等效



2.5 V TAP 交流测试条件

输入脉冲电压 V_{SS} 到 2.5 V
 输入上升和下降时间（转换速率） 2 V/ns
 输入时序参考电压 1.25 V
 输出参考电压 1.25 V
 测试负载终端供电电压 1.25 V

2.5 V TAP 交流输出负载等效



TAP 直流电气特性和工作条件

（除非另有说明，否则其工作条件为：0 °C < T_A < +70 °C； $V_{DD} = 3.3 \text{ V} \pm 0.165 \text{ V}$ ）

参数 ^[10]	说明	测试条件		最小值	最大值	单位
V_{OH1}	输出高电压	$I_{OH} = -4.0 \text{ mA}$	$V_{DDQ} = 3.3 \text{ V}$	2.4	—	V
		$I_{OH} = -1.0 \text{ mA}$	$V_{DDQ} = 2.5 \text{ V}$	2.0	—	V
V_{OH2}	输出高电压	$I_{OH} = -100 \mu\text{A}$	$V_{DDQ} = 3.3 \text{ V}$	2.9	—	V
			$V_{DDQ} = 2.5 \text{ V}$	2.1	—	V
V_{OL1}	输出低电压	$I_{OL} = 8.0 \text{ mA}$	$V_{DDQ} = 3.3 \text{ V}$	—	0.4	V
		$I_{OL} = 8.0 \text{ mA}$	$V_{DDQ} = 2.5 \text{ V}$	—	0.4	V
V_{OL2}	输出低电压	$I_{OL} = 100 \mu\text{A}$	$V_{DDQ} = 3.3 \text{ V}$	—	0.2	V
			$V_{DDQ} = 2.5 \text{ V}$	—	0.2	V
V_{IH}	输入高电压		$V_{DDQ} = 3.3 \text{ V}$	2.0	$V_{DD} + 0.3$	V
			$V_{DDQ} = 2.5 \text{ V}$	1.7	$V_{DD} + 0.3$	V
V_{IL}	输入低电压		$V_{DDQ} = 3.3 \text{ V}$	-0.3	0.8	V
			$V_{DDQ} = 2.5 \text{ V}$	-0.3	0.7	V
I_X	输入负载电流	$GND \leq V_{IN} \leq V_{DDQ}$		-5	5	μA

注释：

10. 所有电压都参考 V_{SS} （接地）电压。

标识寄存器定义

指令字段	CY7C1381KV33 (512 K × 36)	说明
版本编号 (31:29)	000	描述版本编号。
器件深度 (28:24) ^[11]	01011	保留，以供内部使用。
器件宽度 (23:18) 165 球形焊盘 FBGA	000001	定义存储器类型和架构。
赛普拉斯公司器件 ID (17:12)	100101	定义器件的宽度和容量。
赛普拉斯公司 JEDEC ID 代码 (11:1)	00000110100	指出 SRAM 供货商的独特标识。
ID 寄存器存在指示符 (0)	1	表示是否存在 ID 寄存器。

扫描寄存器大小

寄存器名称	位大小 (× 36)
指令旁路	3
旁路	1
ID	32
边界扫描顺序 (165 球形焊盘 FBGA 封装)	89

指令代码

指令	代码	说明
EXTEST	000	捕获输入和输出环的内容。将边界扫描寄存器置于 TDI 和 TDO 之间。强制所有 SRAM 输出均进入高阻态。
IDCODE	001	将供应商 ID 代码加载到 ID 寄存器中，并将该寄存器置于 TDI 和 TDO 之间。该操作不会影响 SRAM 的工作。
SAMPLE Z	010	捕获输入和输出环的内容。将边界扫描寄存器置于 TDI 和 TDO 之间。强制所有 SRAM 输出驱动器均进入高阻态。
RESERVED	011	请勿使用。此指令留作日后使用。
SAMPLE/PRELOAD	100	捕获输入和输出环的内容。将边界扫描寄存器置于 TDI 和 TDO 之间。该操作不会影响 SRAM 的工作。
RESERVED	101	请勿使用。此指令留作日后使用。
RESERVED	110	请勿使用。此指令留作日后使用。
BYPASS	111	将旁路寄存器置于 TDI 和 TDO 之间。该操作不会影响 SRAM 的工作。

注释：

11. 对于该器件的 2.5 V 和 3.3 V 版本，在寄存器定义中，位 #24 为 “1”。

边界扫描顺序

165 球形焊盘 FBGA ^[12、13]

位 #	接口 ID
1	N6
2	N7
3	N10
4	P11
5	P8
6	R8
7	R9
8	P9
9	P10
10	R10
11	R11
12	H11
13	N11
14	M11
15	L11
16	K11
17	J11
18	M10
19	L10
20	K10
21	J10
22	H9
23	H10
24	G11
25	F11
26	E11
27	D11
28	G10
29	F10
30	E10

位 #	接口 ID
31	D10
32	C11
33	A11
34	B11
35	A10
36	B10
37	A9
38	B9
39	C10
40	A8
41	B8
42	A7
43	B7
44	B6
45	A6
46	B5
47	A5
48	A4
49	B4
50	B3
51	A3
52	A2
53	B2
54	C2
55	B1
56	A1
57	C1
58	D1
59	E1
60	F1

位 #	接口 ID
61	G1
62	D2
63	E2
64	F2
65	G2
66	H1
67	H3
68	J1
69	K1
70	L1
71	M1
72	J2
73	K2
74	L2
75	M2
76	N1
77	N2
78	P1
79	R1
80	R2
81	P3
82	R3
83	P2
84	R4
85	P4
86	N5
87	P6
88	R6
89	内部

注意:

12. NC (未连接) 的接口被预设为低电平。

13. 位 #89 被预设为高电平。

最大额定值

超过最大额定值可能会影响器件的使用寿命。用户指南未经过测试。

存放温度 -65 °C 到 +150 °C

通电时的环境温度 -55 °C 到 +125 °C

V_{DD} 上相对于 GND 的供电电压 -0.3 V 到 +4.6 V

V_{DDQ} 上相对于 GND 的供电电压 -0.3 V 到 + V_{DD}

三态模式下的输出直流电压 -0.5 V 到 $V_{DDQ} + 0.5$ V

直流输入电压 -0.5 V 到 $V_{DD} + 0.5$ V

输出电流（低电平） 20 mA

静电放电电压

（根据 MIL-STD-883，方法 3015） > 2001 V

闩锁电流 > 200 mA

工作范围

范围	环境温度	V_{DD}	V_{DDQ}
商业级	0 °C 到 +70 °C	3.3 V – 5% / + 10%	2.5 V – 5% 到 V_{DD}
工业级	-40 °C 到 +85 °C		

抗中子软失效

参数	说明	测试条件	典型值	最大值 *	单位
LSBU (无 ECC 的 器件)	逻辑单比特 错误	25 °C	197	216	FIT/ Mb
LSBU (带 ECC 的 器件)			0	0.01	FIT/ Mb
LMBU	逻辑多比特 错误	25 °C	0	0.01	FIT/ Mb
SEL	单粒子闩锁	85 °C	0	0.1	FIT/ Dev

* 测试期间未出现 LMBU 或 SEL 事件；该列为统计得出的 χ^2 ，按 95% 置信区间计算。如需详细信息，请参考应用笔记 AN 54908 “加速抗中子 SER 测试和陆生故障率的计算”。

电气特性

在工作范围内

参数 ^[14、15]	说明	测试条件	最小值	最大值	单位
V_{DD}	供电电压		3.135	3.6	V
V_{DDQ}	I/O 供电电压	3.3 V I/O	3.135	V_{DD}	V
		2.5 V I/O	2.375	2.625	V
V_{OH}	输出高电压	3.3 V I/O, $I_{OH} = -4.0$ mA	2.4	–	V
		2.5 V I/O, $I_{OH} = -1.0$ mA	2.0	–	V
V_{OL}	输出低电压	3.3 V I/O, $I_{OL} = 8.0$ mA	–	0.4	V
		2.5 V I/O, $I_{OL} = 1.0$ mA	–	0.4	V
V_{IH}	输入高电压 ^[14]	3.3 V I/O	2.0	$V_{DD} + 0.3$ V	V
		2.5 V I/O	1.7	$V_{DD} + 0.3$ V	V
V_{IL}	输入低电压 ^[14]	3.3 V I/O	-0.3	0.8	V
		2.5 V I/O	-0.3	0.7	V

注意：

14. 过冲: $V_{IH(AC)} < V_{DD} + 1.5$ V（脉冲宽度小于 $t_{CYC}/2$ ），下冲: $V_{IL(AC)} > -2$ V（脉冲宽度小于 $t_{CYC}/2$ ）。

15. $T_{Power-up}$: 假设在至少 200 ms 内从 0 V 的电压线性上升到 $V_{DD(min)}$ 。在此期间， $V_{IH} < V_{DD}$ 和 $V_{DDQ} \leq V_{DD}$ 。

电气特性 (续)

在工作范围内

参数 ^[14、15]	说明	测试条件			最小值	最大值	单位
I_X	输入漏电流 (ZZ 和 MODE 除外)	$GND \leq V_I \leq V_{DDQ}$			-5	5	μA
	MODE 的输入电流	输入 = V_{SS}			-30	-	
		输入 = V_{DD}			-	5	
	ZZ 的输入电流	输入 = V_{SS}			-5	-	
		输入 = V_{DD}			-	30	
I_{OZ}	输出漏电流	$GND \leq V_I \leq V_{DDQ}$, 输出被禁用			-5	5	μA
I_{DD}	V_{DD} 的工作电流	$V_{DD} = \text{最大值}, I_{OUT} = 0 \text{ mA}, f = f_{MAX} = 1/t_{CYC}$	100 MHz	x 18	-	114	mA
				x 36	-	134	
			133 MHz	x 18	-	129	
				x 36	-	149	
I_{SB1}	自动 CE 断电电流 — TTL 输入	最大值 V_{DD} , 取消选择器件, $V_{IN} \geq V_{IH}$ 或 $V_{IN} \leq V_{IL}$, $f = f_{MAX} = 1/t_{CYC}$	100 MHz	x 18	-	75	mA
				x 36	-	80	
			133 MHz	x 18	-	75	
				x 36	-	80	
I_{SB2}	自动 CE 断电电流 — CMOS 输入	最大值 V_{DD} , 取消选择器件, $V_{IN} \leq 0.3 \text{ V}$ 或 $V_{IN} \geq V_{DDQ} - 0.3 \text{ V}$, $f = 0$	所有速度范围	x 18	-	65	mA
				x 36	-	70	
I_{SB3}	自动 CE 断电电流 — CMOS 输入	最大值 V_{DD} , 取消选择器件, $V_{IN} \leq 0.3 \text{ V}$ 或 $V_{IN} \geq V_{DDQ} - 0.3 \text{ V}$, $f = f_{MAX} = 1/t_{CYC}$	100 MHz	x 18	-	75	mA
				x 36	-	80	
			133 MHz	x 18	-	75	
				x 36	-	80	
I_{SB4}	自动 CE 断电电流 — TTL 输入	最大值 V_{DD} , 取消选择器件, $V_{IN} \geq V_{IH}$ 或 $V_{IN} \leq V_{IL}$, $f = 0$	所有速度范围	x 18	-	65	mA
				x 36	-	70	

电容

参数	说明	测试条件	100 引脚 TQFP 封装	165 球形焊盘 FBGA 封装	单位
C_{IN}	输入电容	$T_A = 25\text{ }^{\circ}\text{C}$, $f = 1\text{ MHz}$, $V_{DD} = 3.3\text{ V}$, $V_{DDQ} = 2.5\text{ V}$	5	5	pF
C_{CLK}	时钟输入电容		5	5	pF
C_{IO}	输入 / 输出电容		5	5	pF

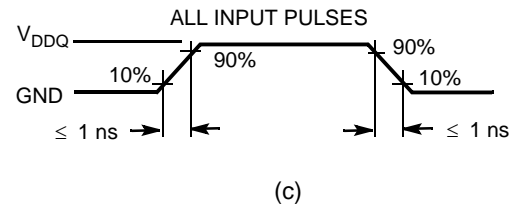
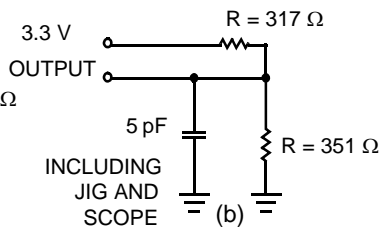
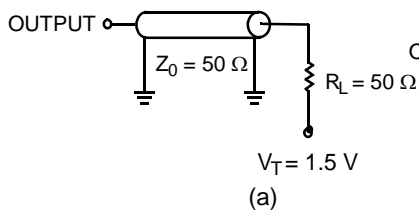
热阻

参数	说明	测试条件		100 引脚 TQFP 封装	165 球形焊盘 FBGA 封装	单位
Θ_{JA}	热阻 （结温到室温）	根据 EIA/JESD51 的要求, 测试条件遵循测试热阻的 标准测试方法和流程。	静气 （0 m/s）	37.95	17.34	°C/W
			气流 （1 m/s）	33.19	14.33	°C/W
			气流 （3 m/s）	30.44	12.63	°C/W
Θ_{JB}	热阻 （结至板上）		--	24.07	8.95	°C/W
Θ_{JC}	热阻 （结至外壳）			8.36	3.50	°C/W

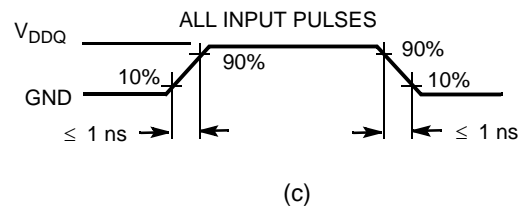
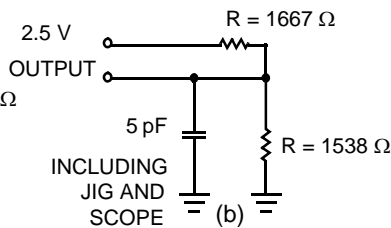
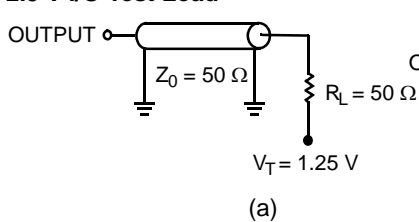
交流测试负载和波形

图 4. 交流测试负载和波形

3.3 V I/O Test Load



2.5 V I/O Test Load



开关特性

在工作范围内

参数 ^[16、17]	说明	133 MHz		100 MHz		单位
		最小值	最大值	最小值	最大值	
t_{POWER}	从电压为 V_{DD} （典型值）到第一次访问的时间 ^[18]	1	—	1	—	ms
时钟						
t_{CYC}	时钟周期时间	7.5	—	10	—	ns
t_{CH}	时钟为高电平的时间	2.1	—	2.5	—	ns
t_{CL}	时钟为低电平的时间	2.1	—	2.5	—	ns
输出时间						
t_{CDV}	CLK 上升沿之后数据输出有效的时间	—	6.5	—	8.5	ns
t_{DOH}	CLK 上升沿之后数据输出保持的时间	2.0	—	2.0	—	ns
t_{CLZ}	时钟上升沿到数据输入 / 输出为低阻态的时间 ^[19、20、21]	2.0	—	2.0	—	ns
t_{CHZ}	时钟上升沿到数据输入 / 输出转为高阻态的时间 ^[19、20、21]	0	4.0	0	5.0	ns
$t_{OE\overline{V}}$	\overline{OE} 为低电平到输出有效的时间	—	3.2	—	3.8	ns
$t_{OE\overline{LZ}}$	\overline{OE} 为低电平到输出为低阻态的时间 ^[19、20、21]	0	—	0	—	ns
$t_{OE\overline{HZ}}$	\overline{OE} 为高电平到输出为高阻态的时间 ^[19、20、21]	—	4.0	—	5.0	ns
建立时间						
t_{AS}	CLK 上升沿之前地址建立的时间	1.5	—	1.5	—	ns
t_{ADS}	CLK 上升沿之前 \overline{ADSP} 和 \overline{ADSC} 建立的时间	1.5	—	1.5	—	ns
t_{ADVS}	CLK 上升沿之前 \overline{ADV} 建立的时间	1.5	—	1.5	—	ns
t_{WES}	CLK 上升沿之前 \overline{GW} 、 \overline{BWE} 、 $\overline{BW}_{[A:D]}$ 建立的时间	1.5	—	1.5	—	ns
t_{DS}	CLK 上升沿之前数据输入建立的时间	1.5	—	1.5	—	ns
t_{CES}	芯片使能建立的时间	1.5	—	1.5	—	ns
保持时间						
t_{AH}	CLK 上升沿之后地址保持的时间	0.5	—	0.5	—	ns
t_{ADH}	CLK 上升沿之后 \overline{ADSP} 和 \overline{ADSC} 保持的时间	0.5	—	0.5	—	ns
t_{WEH}	CLK 上升沿之后 \overline{GW} 、 \overline{BWE} 、 $\overline{BW}_{[A:D]}$ 保持的时间	0.5	—	0.5	—	ns
t_{ADVH}	CLK 上升沿之后 \overline{ADV} 保持的时间	0.5	—	0.5	—	ns
t_{DH}	CLK 上升沿之后数据输入保持的时间	0.5	—	0.5	—	ns
t_{CEH}	CLK 上升沿之后芯片使能保持的时间	0.5	—	0.5	—	ns

注意:

16. $V_{DDQ} = 3.3\text{ V}$ 时, 时序参考电压为 1.5 V; $V_{DDQ} = 2.5\text{ V}$ 时, 时序参考电压为 1.25 V。

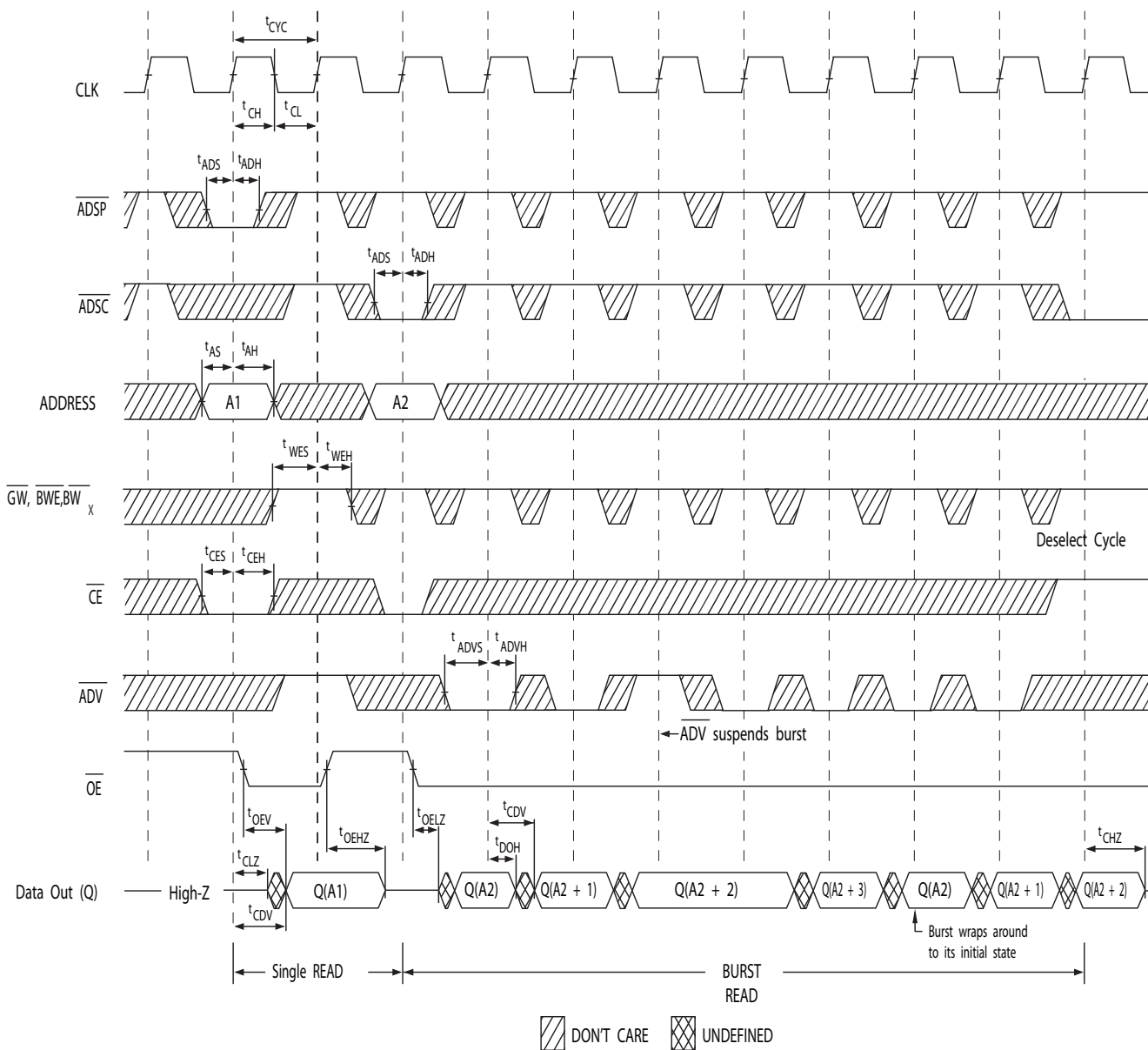
17. 除非另有说明, 否则测试条件都显示在第 23 页上的图 4 的 (a) 内。

18. 该器件内部拥有一个电压调节器: t_{POWER} 是指启动读操作或写操作前提供的电源必须高于 $V_{DD}(\text{minimum})$ 的持续时间。

19. t_{CHZ} 、 t_{CLZ} 、 $t_{OE\overline{LZ}}$ 和 $t_{OE\overline{HZ}}$ 都在第 23 页上的图 4 的 (b) 部分所示的交流测试条件下指定的。跃变在稳定状态电压 $\pm 200\text{ mV}$ 的条件下测量。

20. 在任何给定的电压和温度下, $t_{OE\overline{HZ}}$ 小于 $t_{OE\overline{LZ}}$, t_{CHZ} 小于 t_{CLZ} , 这样在共享同一个数据总线时能够排除总线冲突。这些规范并不表示一个总线冲突条件, 但反映了在最坏的情况下得到保证的参数。器件设计是为了在同一个系统条件下进入低阻态前要先进入高阻态。

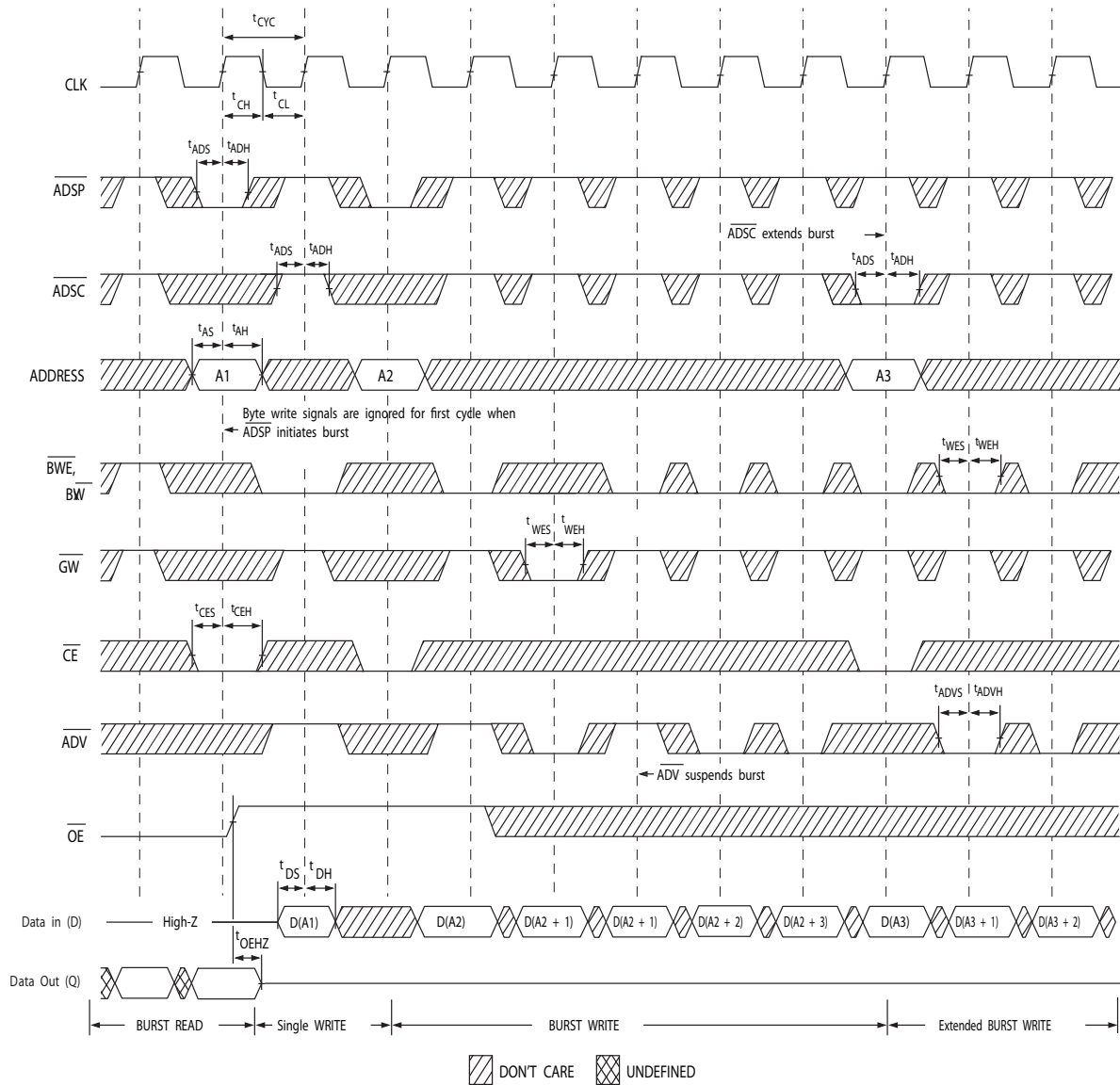
21. 该参数为采样值, 并非 100% 经过了测试。



22. 在该框图中, 当 \overline{CE} 为低电平时: \overline{CE}_1 为低电平, CE_2 为高电平, 并且 \overline{CE}_3 为低电平。当 \overline{CE} 为高电平时: \overline{CE}_1 为高电平或 CE_2 为低电平, 或 \overline{CE}_3 为高电平。

时序图 (续)

图 6. 写周期时序 [23、24]



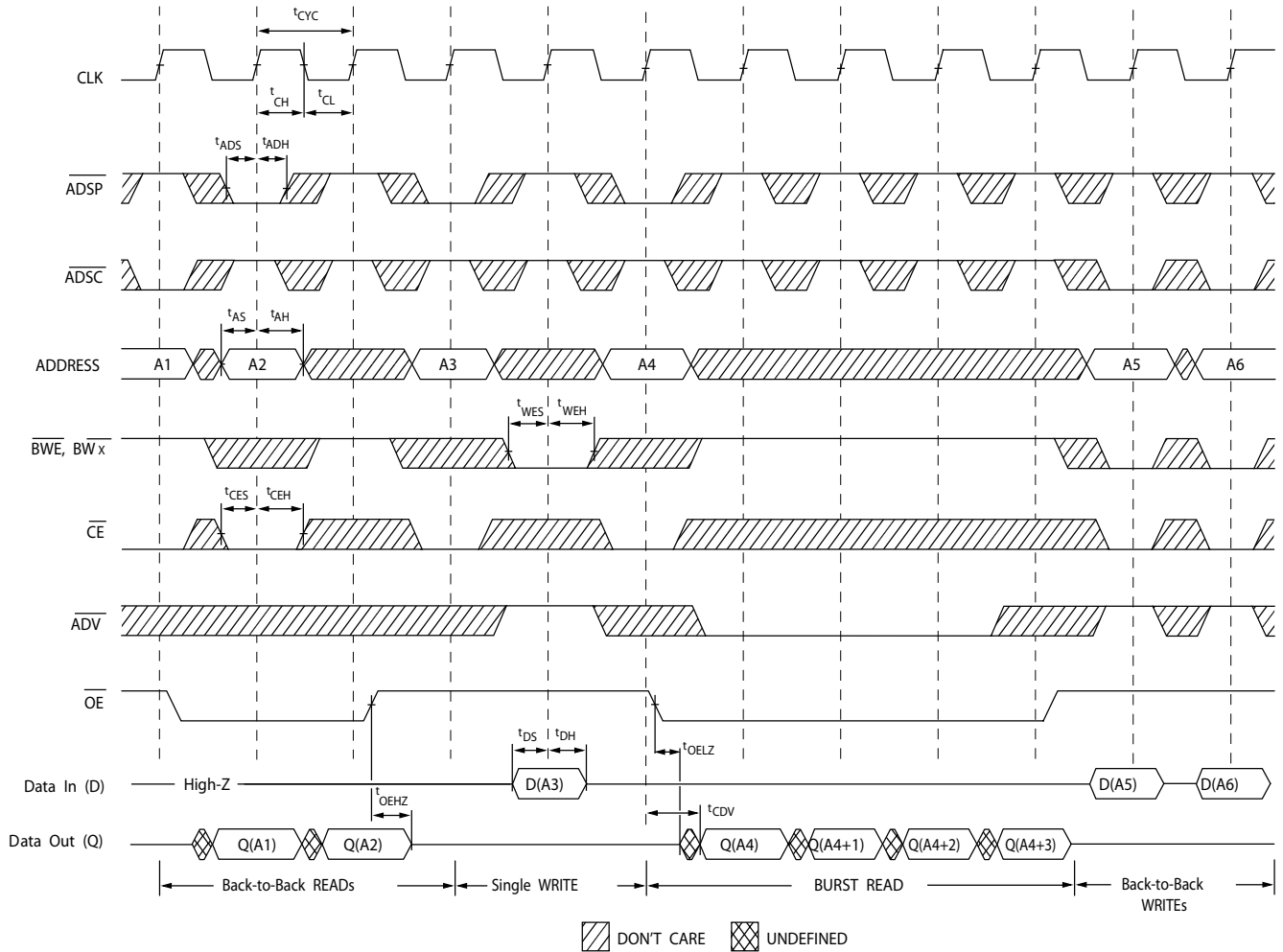
注意:

23. 在该框图中, 当 \overline{CE} 为低电平时: \overline{CE}_1 为低电平, \overline{CE}_2 为高电平, 并且 \overline{CE}_3 为低电平。当 \overline{CE} 为高电平时: \overline{CE}_1 为高电平或 \overline{CE}_2 为低电平或 \overline{CE}_3 为高电平。

24. 通过将 \overline{GW} 设为低电平, 或将 \overline{GW} 设为高电平、将 \overline{BWE} 以及 \overline{BW}_X 设为低电平, 可以启动全宽写周期。

时序图 (续)

图 7. 读 / 写周期时序 [25、26、27]

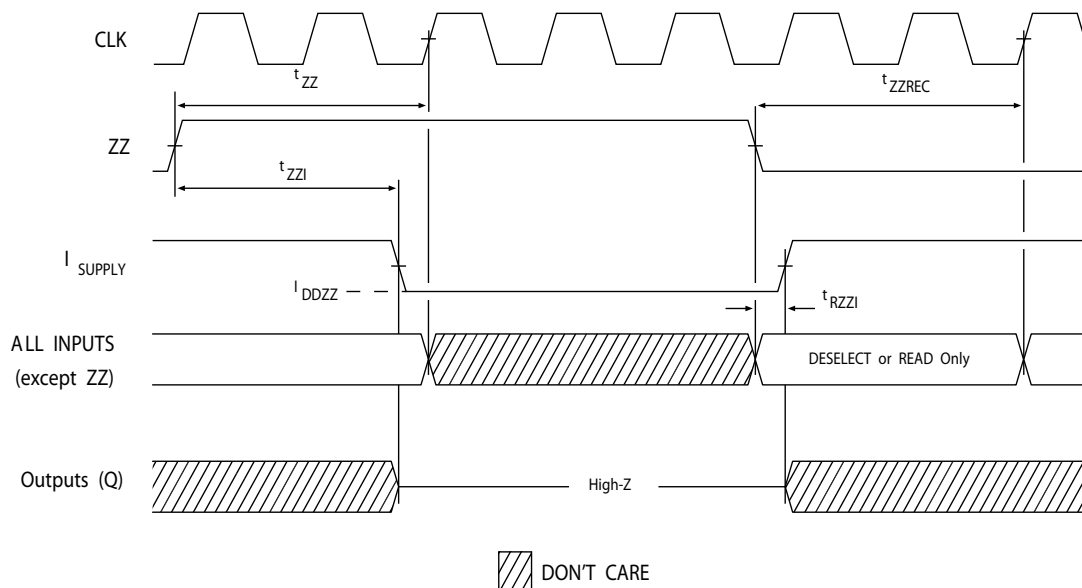


注意:

25. 在该框图中, 当 \overline{CE} 为低电平时: \overline{CE}_1 为低电平, CE_2 为高电平, 并且 \overline{CE}_3 为低电平。当 \overline{CE} 为高电平时: \overline{CE}_1 为高电平, 或 CE_2 为低电平, 或 \overline{CE}_3 为高电平。
26. 如果一个新读取访问不是由 \overline{ADSP} 或 \overline{ADSC} 启动的, 则发生写周期后, 数据总线 (Q) 一直处于高阻态。
27. \overline{GW} 为高电平。

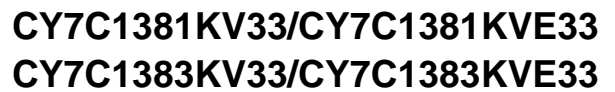
时序图 (续)

图 8. ZZ 模式时序 [28、29]



注意:

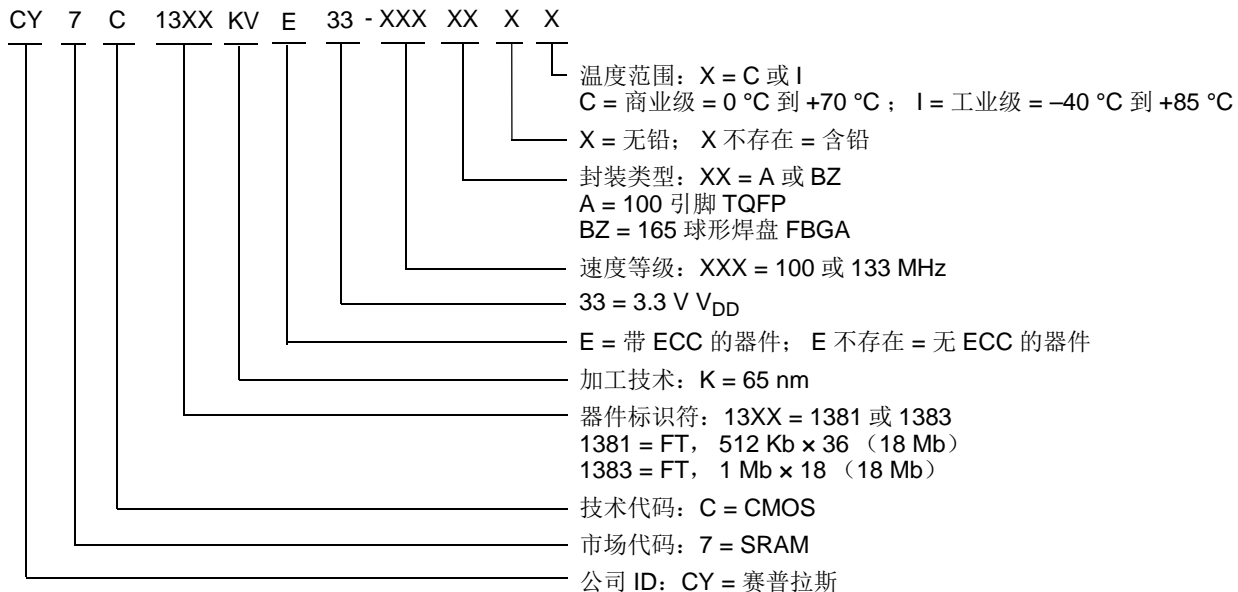
28. 进入 ZZ 模式时, 必须取消选择器件。有关取消选择器件的所有可能信号条件, 请参考第 11 页上的真值表。
29. 退出 ZZ 睡眠模式时, DQ 处于高阻态。



赛普拉斯还对该类产品提供了其他版本，它们适用于多种配置并具有丰富的特性。下表仅包含目前可以供应的器件。有关所有产品的完整列表，请访问赛普拉斯网站 www.cypress.com 并参考 <http://www.cypress.com/products> 上的产品汇总页，或联系您的当地销售代表。赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要找到离您最近的办事处，请访问 <http://www.cypress.com/go/datasheet/offices>。

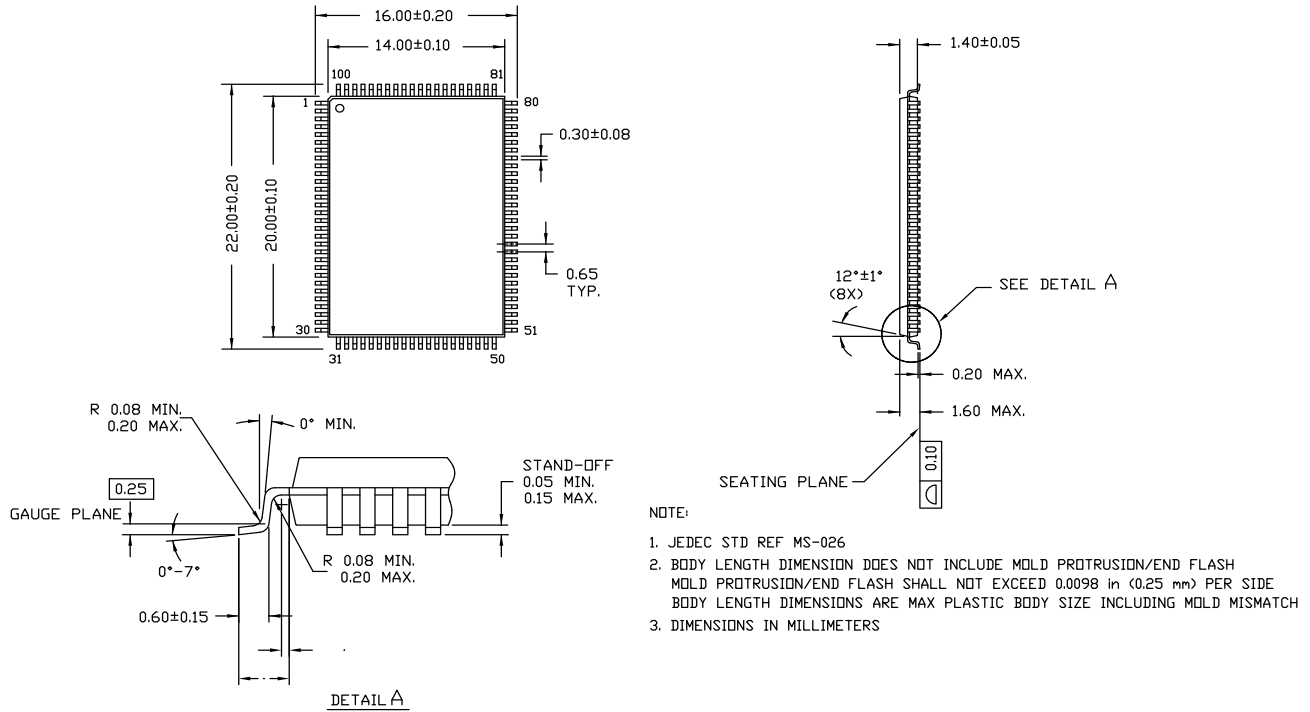
速度 (MHz)	订购代码	封装图	器件和封装类型	工作范围
133	CY7C1381KV33-133AXC	51-85050	100 引脚 TQFP (14 × 20 × 1.4 mm) 无铅	商业级
	CY7C1383KV33-133AXC			
	CY7C1381KVE33-133AXI			工业级
	CY7C1381KV33-133AXI			
	CY7C1383KVE33-133AXI			
	CY7C1383KV33-133AXI			
100	CY7C1381KV33-100AXC	51-85050	100 引脚 TQFP (14 × 20 × 1.4 mm) 无铅	商业级
	CY7C1381KV33-100BZXI	51-85180	165 球形焊盘 FBGA (13 × 15 × 1.4 mm) 无铅	工业级

订购代码定义



封装图

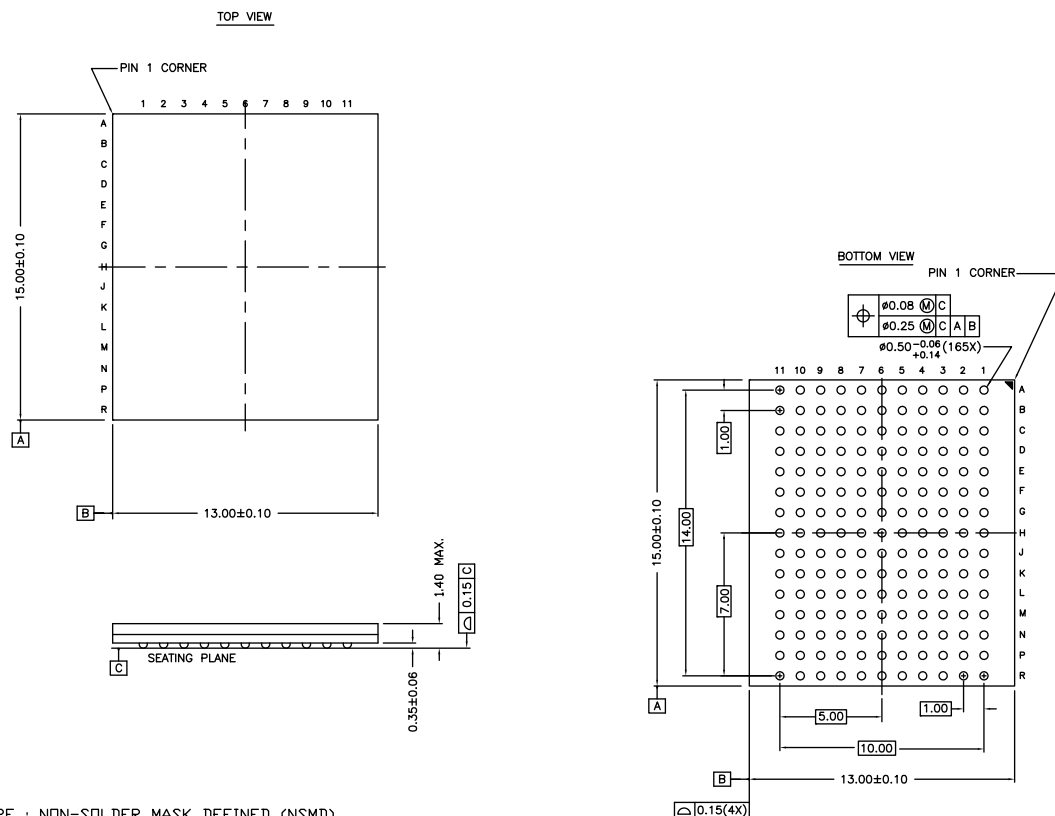
图 9. 100 引脚 TQFP (14 × 20 × 1.4 mm) A100RA 封装外形, 51-85050



51-85050 *E

封装图 (续)

图 10. 165 球形焊盘 FBGA (13 × 15 × 1.4 mm) BB165D/BW165D (0.5 接口直径) 封装外形, 51-85180



NOTES :

SOLDER PAD TYPE : NON-SOLDER MASK DEFINED (NSMD)

JEDEC REFERENCE : MO-216 / ISSUE E

PACKAGE CODE : BB0AC/BW0AC

PACKAGE WEIGHT : SEE CYPRESS PACKAGE MATERIAL DECLARATION DATASHEET (PMDD) POSTED ON THE CYPRESS WEB.

51-85180 *G

缩略语

缩略语	说明
CE	芯片使能
CMOS	互补金属氧化物半导体
EIA	电子工业联盟
FBGA	小间距球栅阵列
I/O	输入 / 输出
JEDEC	联合电子器件工程委员会
JTAG	联合测试行动小组
LMBU	逻辑多比特错误
LSB	最低有效位
LSBU	逻辑单比特错误
MSB	最高有效位
\overline{OE}	输出使能
SEL	单粒子门锁
SRAM	静态随机存取存储器
TAP	测试访问端口
TCK	测试时钟
TDI	测试数据输入
TDO	测试数据输出
TMS	测试模式选择
TQFP	薄型四方扁平封装
TTL	晶体管 - 晶体管逻辑

文档规范

测量单位

符号	测量单位
°C	摄氏度
MHz	兆赫兹
μA	微安
mA	毫安
mm	毫米
ms	毫秒
mV	毫伏
ns	纳秒
Ω	欧姆
%	百分比
pF	皮法
V	伏特
W	瓦特

文档修订记录

文档标题: CY7C1381KV33/CY7C1381KVE33/CY7C1383KV33/CY7C1383KVE33, 18 Mbit (512 K × 36/1 M × 18) 直通 SRAM (带 ECC) 文档编号: 001-98227				
版本	ECN 编号	变更者	提交日期	变更说明
**	4854112	LYAO	07/27/2015	本文档版本号为 Rev**, 译自英文版 001-97888 Rev*A。
*A	5011419	YLIU	11/12/2015	本文档版本号为 Rev*A, 译自英文版 001-97888 Rev*C。

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要找到离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

汽车级产品	cypress.com/go/automotive
时钟与缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应产品	cypress.com/go/touch
USB 控制器	cypress.com/go/USB
无线 / 射频	cypress.com/go/wireless

PSoC® 解决方案

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

技术支持

cypress.com/go/support

© 赛普拉斯半导体公司，2015。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受适用于赛普拉斯软件许可协议的限制。