

NoBL™ アーキテクチャの 18M ビット (512K × 36/1M × 18) フロースルー SRAM (ECC 付き)

特長

- No Bus Latency™ (NoBL™) アーキテクチャは、書き込みサイクルと読み出しサイクル間のデッド サイクルを除去します。
- 待ち状態なしの最大 133MHz バス動作に対応
 - データはすべてのクロックで転送
- ZBT™ とピン互換で、機能も ZBT™ と同等
- 内部セルフタイム出力バッファ制御 ($\overline{\text{OE}}$ 信号の使用が不要になる)
- フロースルー動作用レジスタ付き入力
- バイト書き込み機能
- 3.3V/2.5V I/O 電源 (V_{DDQ})
- クロック～出力の時間が速い
 - 6.5 ns (デバイス速度が 133MHz の場合)
- クロックの有効化と動作停止用クロック イネーブル ($\overline{\text{CEN}}$) ピン
- 同期セルフタイム書き込み
- 非同期出力イネーブル
- JEDEC 標準の鉛フリー 100 ピン TQFP パッケージで入手可
- 単純な深さの拡張のための 3 チップイネーブル
- ZZ モードまたは CE 選択解除による自動電源切断機能
- バースト機能 — リニアまたはインターリーブ バースト シーケンス
- スタンドバイ時低消費電力
- ソフト エラー レート (SER) を低減するための内蔵のエラー訂正符号 (ECC)

機能概要

CY7C1371KV33/CY7C1371KVE33/CY7C1373KV33 は、3.3V で動作する 512K × 36/1M × 18 構成の同期フロースルー バースト SRAM であり、待ち状態なしの真の無制限の連続読み書き動作に対応するために設計されています。

CY7C1371KV33/CY7C1371KVE33/CY7C1373KV33 は、データがクロック サイクル毎に転送される連続的読み書き処理を行うのに必要な先端的なノーバスレイテンシー (NoBL) 論理を備えています。この機能は、特に頻繁な読み書きの遷移が必要なシステムにおいて、SRAM を通るデータのスループットを大幅に増加させます。

全ての同期入力は、クロックの立ち上がりエッジで制御される入力レジスタを通過します。クロック入力クロック イネーブル ($\overline{\text{CEN}}$) 信号により有効にされます。この信号は、デアサートされると、動作を停止し、ひとつ前のクロック サイクルを延長します。クロック立ち上がりからの最大アクセス遅延は 6.5ns (デバイス速度が 133MHz の場合) です。

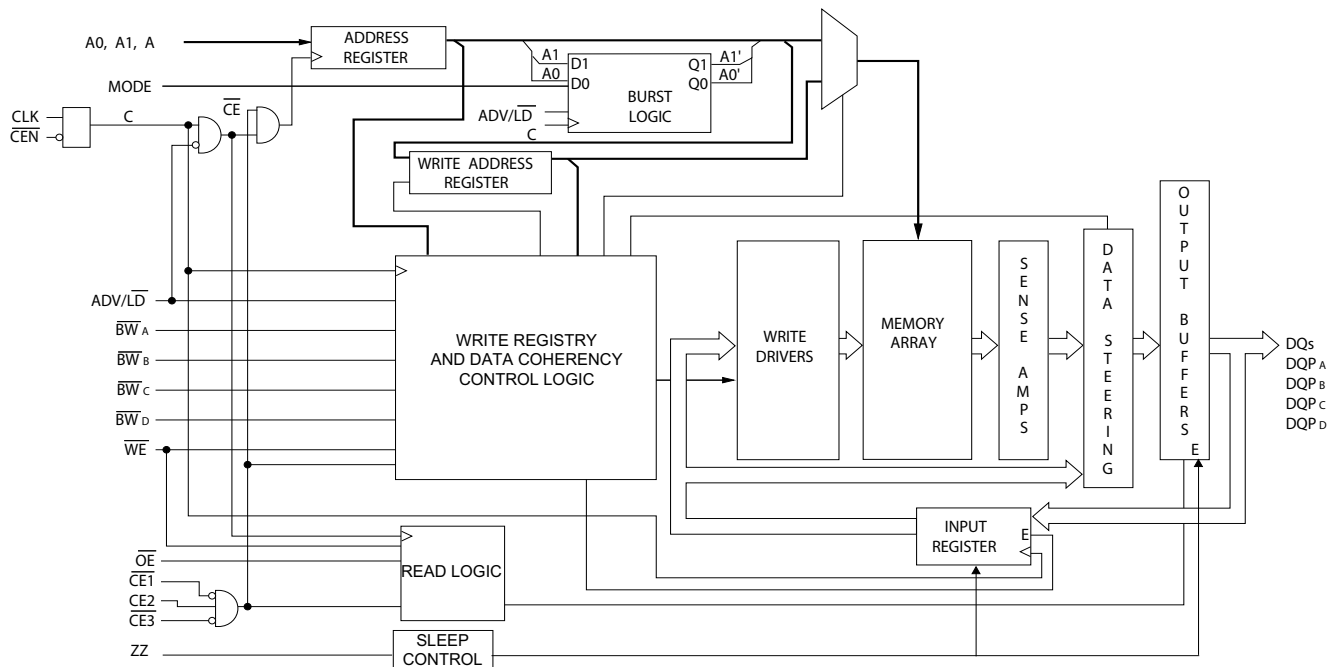
書き込み動作は、2 つまたは 4 つのバイト書き込み選択信号 (BW_X) および 1 つの書き込みイネーブル (WE) 入力で制御されます。全ての書き込みは、内蔵のセルフタイム同期書き込み回路で制御されます。

3 つの同期チップ イネーブル ($\overline{\text{CE}}_1$ 、 $\overline{\text{CE}}_2$ 、 $\overline{\text{CE}}_3$) と非同期出力イネーブル ($\overline{\text{OE}}$) は、容易なバンク選択と出力のトライステート制御をもたらします。バス競合を回避するために、出力ドライバは、書き込みシーケンスのデータ転送の間に、同期してトライステートになります。

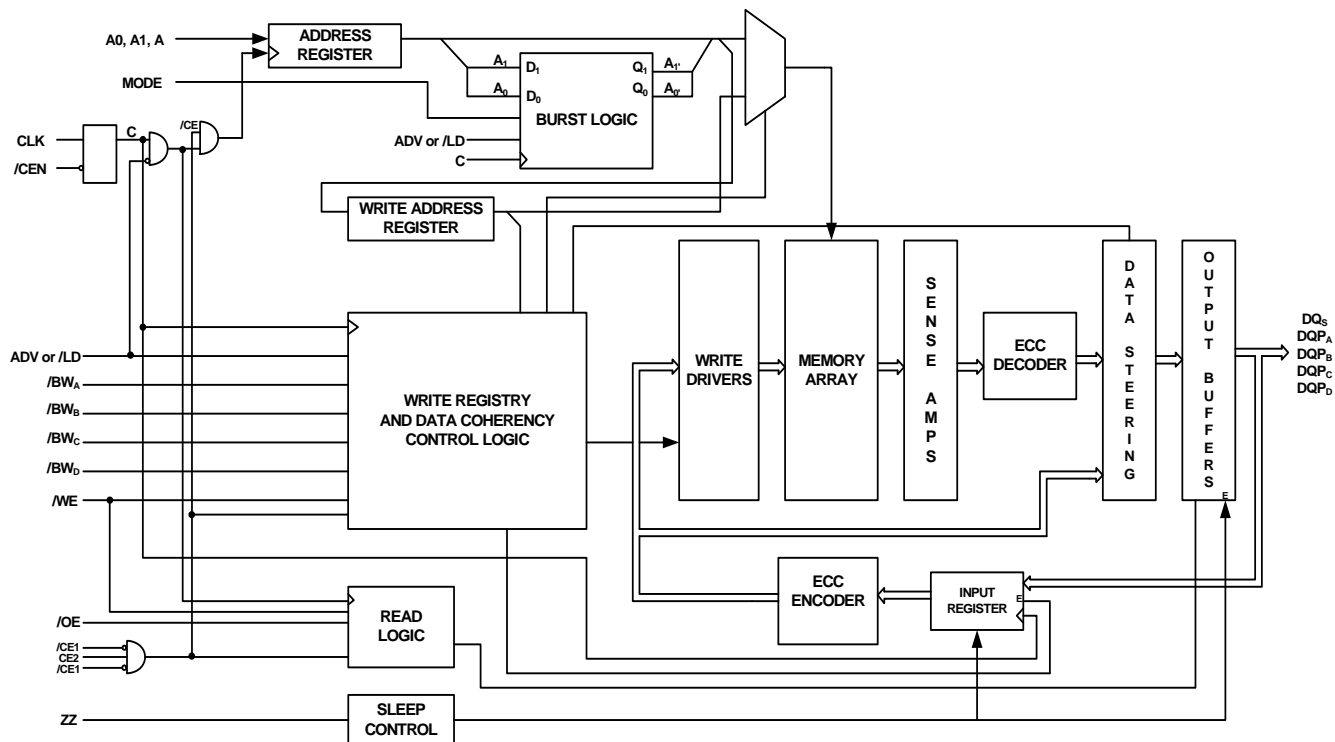
選択ガイド

説明		133MHz	100MHz	単位
最大アクセス時間		6.5	8.5	ns
最大動作電流	×18	129	114	mA
	×36	149	134	mA

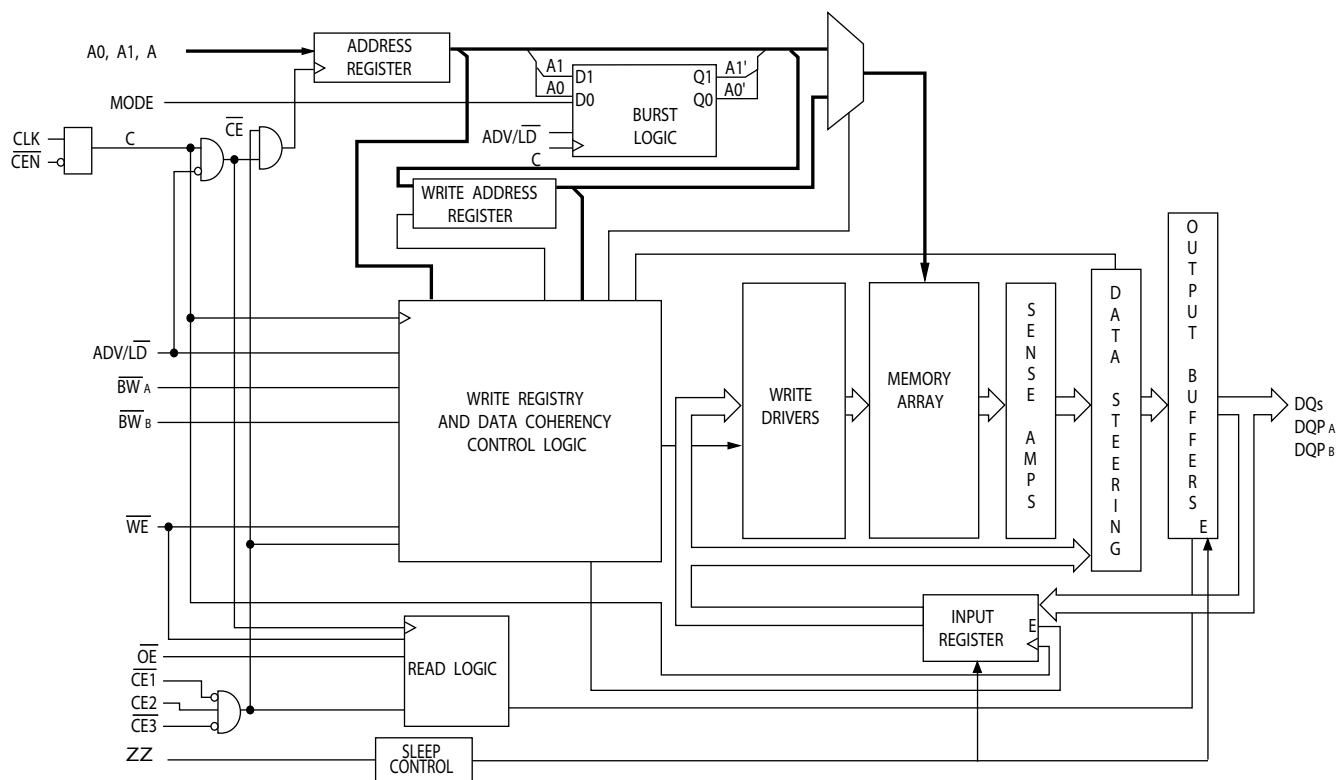
論理ブロック図 – CY7C1371KV33



論理ブロック図 – CY7C1371KVE33



論理ブロック図 – CY7C1373KV33



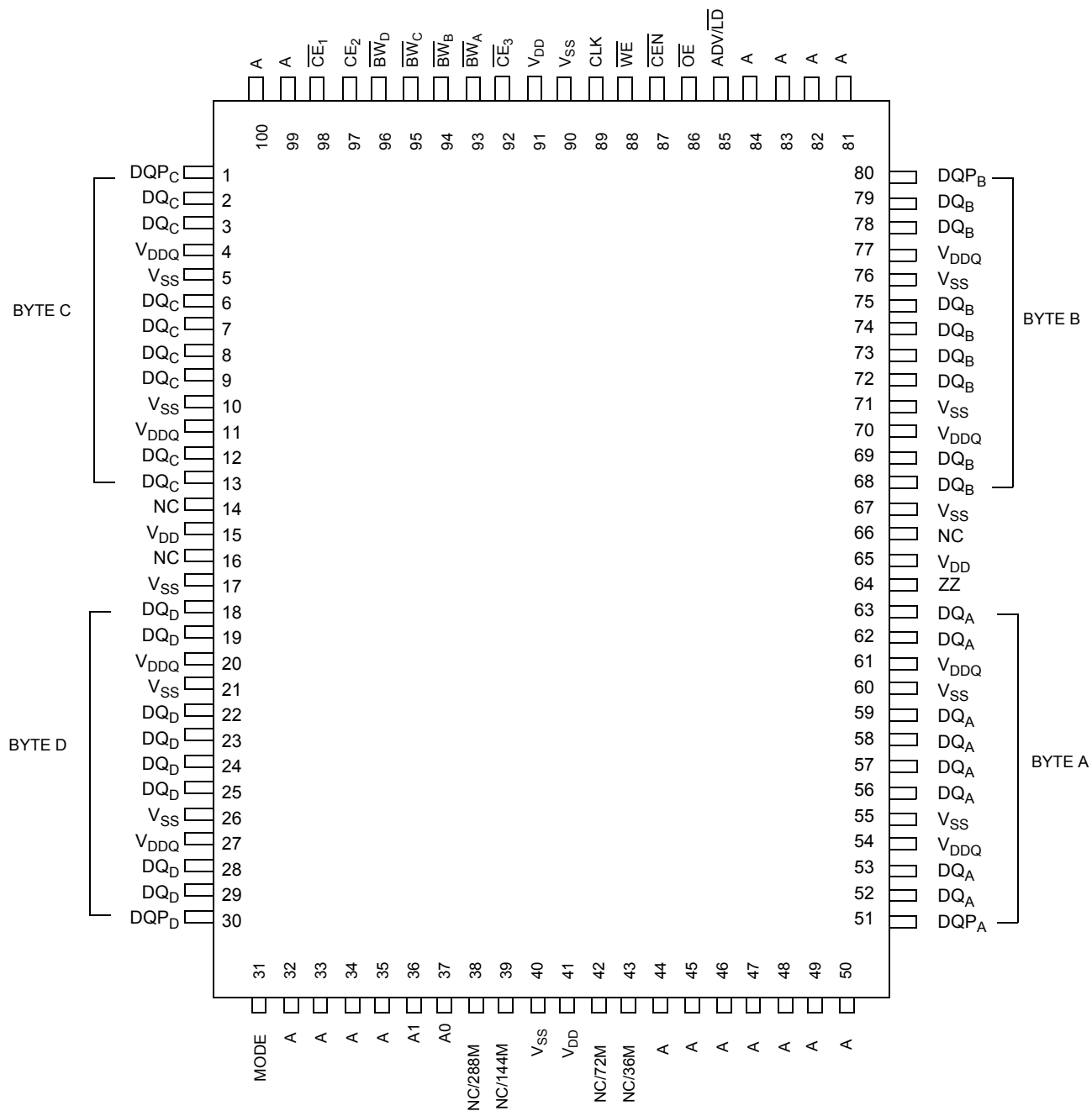
目次

ピン配置	5	静電容量	15
ピン機能	7	熱抵抗	15
機能概要	9	AC テストの負荷および波形	15
シングル読み出しアクセス	9	スイッチング特性.....	16
バースト読み出しアクセス	9	スイッチング波形.....	17
シングル書き込みアクセス	9	注文情報	20
バースト書き込みアクセス	9	注文コードの定義	20
スリープ モード	10	略語	22
インターリーブ バースト アドレス表.....	10	本書の表記法.....	22
リニア バースト アドレス表	10	測定単位	22
ZZ モード電気的特性	10	改訂履歴	23
真理値表	11	セールス、ソリューションおよびリーガル情報.....	24
書き込み／読み出しの部分真理値表	12	ワールドワイド販売と設計サポート	24
書き込み／読み出しの部分真理値表	12	製品	24
最大定格	13	PSoC® ソリューション	24
動作範囲	13	サイプレス開発者コミュニティ	24
中性子ソフト エラー耐性	13	テクニカル サポート	24
電気的特性	13		

ピン配置

図 1. 100 ピン TQFP (14 × 20 × 1.4mm) ピン配置

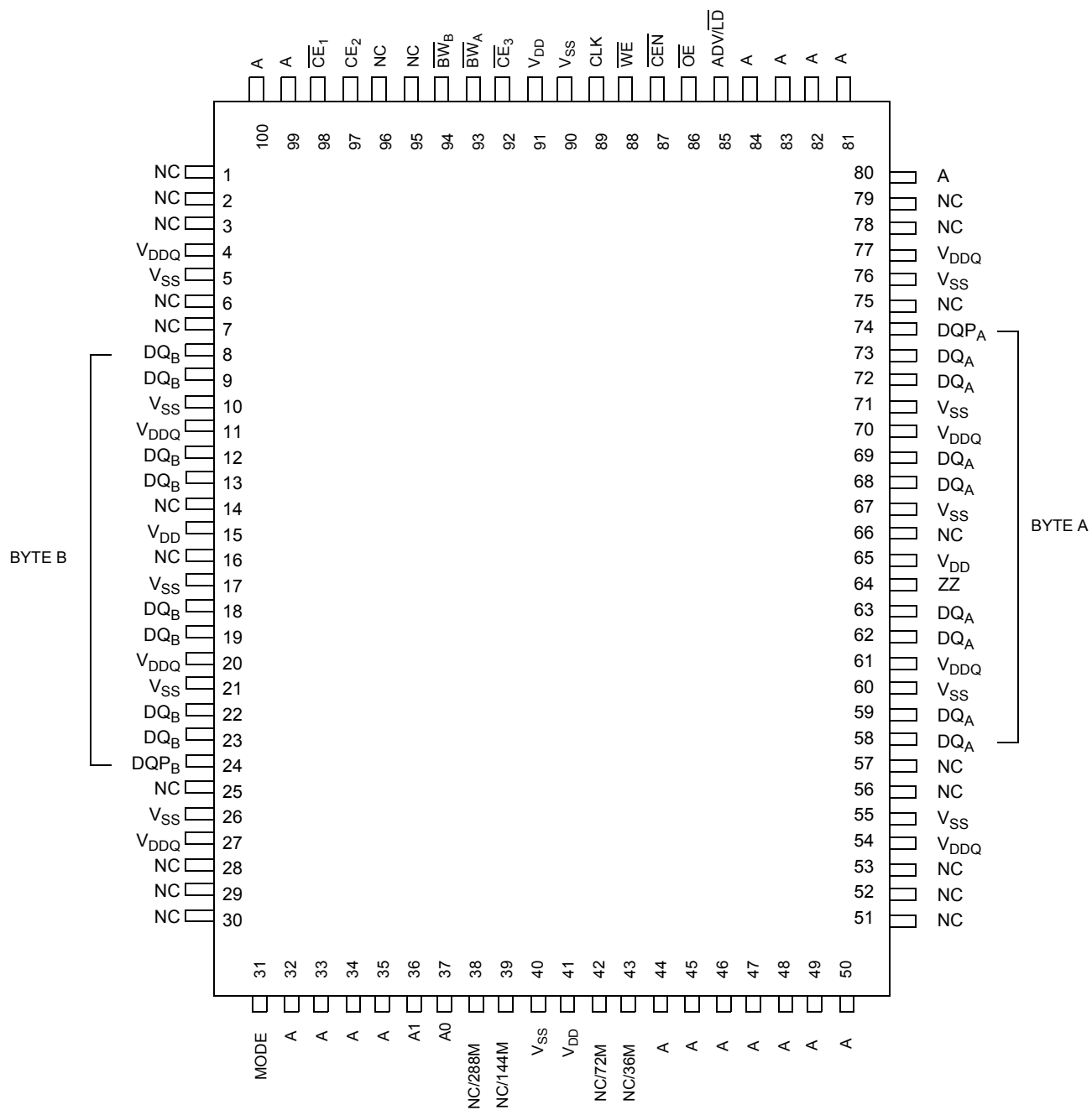
CY7C1371KV33/CY7C1371KVE33



ピン配置 (続き)

図 2. 100 ピン TQFP (14 × 20 × 1.4mm) ピン配置

CY7C1373KV33



ピン機能

ピン名	I/O	説明
A ₀ 、A ₁ 、A	入力 - 同期	アドレス位置の 1 つを選択するために使用されるアドレス入力。CLK の立ち上がりエッジでサンプリング A _[1:0] は 2 ビット バースト カウンターに供給される
\overline{BW}_A 、 \overline{BW}_B 、 \overline{BW}_C 、 \overline{BW}_D	入力 - 同期	バイト書き込み選択入力、アクティブ LOW。SRAM への書き込みを行うために \overline{WE} とともに有効となる。CLK の立ち上がりエッジでサンプリング。
\overline{WE}	入力 - 同期	書き込みイネーブル入力、アクティブ LOW。 \overline{CEN} がアクティブ LOW の場合、CLK の立ち上がりエッジでサンプリング。書き込みシーケンスを実行するためにこの信号が LOW にアサートされることが必要
ADV/ \overline{LD}	入力 - 同期	アドバンス/ロード入力。オンチップのアドレス カウンタを進める、または新しいアドレスをロードするために使用されるこの入力が HIGH になり、 \overline{CEN} が LOW にアサートされると 内部バースト カウンタが進む。LOW の場合、アクセスの度に新しいアドレスをデバイスにロードすることが可能。選択解除した後、新しいアドレスをロードするために、ADV/ \overline{LD} を LOW に駆動する必要がある
CLK	入力 - クロック	クロック入力。デバイスへの全ての同期入力を取り込むために使用。CLK は \overline{CEN} により有効にされる。CLK は、 \overline{CEN} がアクティブ LOW の場合のみに有効になる
\overline{CE}_1	入力 - 同期	チップ イネーブル 1 入力、アクティブ LOW。CLK の立ち上がりエッジでサンプリング。デバイスを選択/選択解除するために \overline{CE}_2 と \overline{CE}_3 と併用
\overline{CE}_2	入力 - 同期	チップ イネーブル 2 入力、アクティブ HIGH。CLK の立ち上がりエッジでサンプリング。デバイスを選択/選択解除するために \overline{CE}_1 と \overline{CE}_3 と併用
\overline{CE}_3	入力 - 同期	チップ イネーブル 3 入力、アクティブ LOW。CLK の立ち上がりエッジでサンプリング。デバイスを選択/選択解除するために \overline{CE}_1 と \overline{CE}_2 と併用
\overline{OE}	入力 - 非同期	出力イネーブル、非同同期入力、アクティブ LOW。I/O ピンの方向を制御するために、デバイスに内蔵された同期論理ブロックと組み合わせる。この入力が LOW の場合、I/O ピンは出力として動作可能。HIGH にデアサートされた時、I/O ピンはトライステートに入り、入力データ ピンとして機能。 \overline{OE} は、書き込みシーケンスのデータ転送の間や選択解除状態から復帰した後の最初のクロック サイクルの間、またはデバイスが選択解除された時にマスクされる
\overline{CEN}	入力 - 同期	クロック イネーブル入力、アクティブ LOW。LOW にアサートされた場合、クロック信号は SRAM により認識される。HIGH にデアサートされた場合、クロック信号はマスクされる。 \overline{CEN} をデアサートしてもデバイスが選択解除されない場合、必要に応じて \overline{CEN} を使用して以前のサイクルを延長する
ZZ	入力 - 非同期	ZZ「スリープ」入力。アクティブ HIGH 入力により、デバイスはデータの統合性が保持されている非タイム クリティカルな「スリープ」状態に入る。通常動作では、このピンを LOW にする、またはフローティング状態のままにすることが必要。ZZ ピンは内部プルダウン抵抗に接続

ピン機能 (続き)

ピン名	I/O	説明
DQ _s	I/O-同期	双方向データ I/O ライン。入力として機能している場合、これらの I/O ラインは、CLK の立ち上がりエッジでトリガされるオンチップ データ レジスタに供給される。出力として機能している場合、これらの I/O ラインは、読み出しサイクルのひとつ前のクロックの立ち上がり中に示されたアドレスにより指定されるメモリ位置のデータを供給する。このピンの方向は \overline{OE} で制御。 \overline{OE} が LOW にアサートされた時、このピンは出力として機能。HIGH の場合、DQ _s と DQP _[A,D] は、トライステート状態になる。出力は、書き込みシーケンスのデータ転送の間、選択解除の状態から復帰した最初のクロックの間、およびデバイスが選択解除された時は、 \overline{OE} の状態に関わらず、自動的にトライステート状態になる
DQP _x	I/O-同期	双方向データ パリティ I/O ライン。機能的には、これら信号は DQ _s と同じ
MODE	入カストラップピン	モード入力。デバイスのバースト順序を選択。 GND に接続された場合、リニア バースト シーケンスを選択する。 V_{DD} に接続するまたはフローティングにする時、インターリーブ バースト シーケンスを選択する
V_{DD}	電源	デバイスのコアへ電源供給
V_{DDQ}	I/O 電源	I/O 回路へ電源供給
V_{SS}	グランド	デバイスのグランド
NC	—	未接続。ダイに内部的に接続されていない。NC/(36 M, 72 M, 144 M, 288M, 576M, 1G) はアドレス拡張ピンで、ダイに内部で接続されていない

機能概要

CY7C1371KV33 / CY7C1371KVE33 / CY7C1373KV33 は、読み書き遷移中の待ち状態を除くために専用に設計されている同期フロップスルー バースト SRAM です。全ての同期入力は、クロックの立ち上がりエッジで制御される入力レジスタを通過します。クロック信号は、クロック イネーブル入力信号 (CEN) により有効にされます。CEN が HIGH の場合、クロック信号は認識されず、すべての内部状態は保持されます。すべての同期動作は、CEN により有効になります。クロック立ち上がりからの最大アクセス遅延 (t_{CDV}) は 6.5ns (デバイス速度が 133MHz の場合) です。

クロックの立ち上がりエッジで全ての 3 チップ イネーブル (\overline{CE}_1 , \overline{CE}_2 , \overline{CE}_3) をアクティブにアサートすることでアクセスを開始することができます。クロック イネーブル (CEN) がアクティブ LOW であり、ADV/LD が LOW にアサートされた時、デバイスに送信されたアドレスはラッチされます。アクセスは、書き込みイネーブル (\overline{WE}) の状態に応じて、読み出しまたは書き込み動作が行われます。 \overline{BW}_X はバイト書き込み動作を行うために使用できます。

書き込み動作は書き込みイネーブル (\overline{WE}) により確認されます。すべての書き込みは、内蔵の同期セルフタイム書き込み回路で簡素化されます。

3 つの同期チップ イネーブル (\overline{CE}_1 , \overline{CE}_2 , \overline{CE}_3) および非同期出力イネーブル (OE) は動作深度の拡大を簡単にします。全ての動作 (読み出し、書き込み、選択解除) はパイプライン化されます。次の動作に新しいアドレスをロードするために、デバイスが選択解除された後、ADV/LD を LOW に駆動する必要があります。

シングル読み出しアクセス

クロックの立ち上がりエッジで以下の条件が満たされると、読み出しアクセスが開始されます。

- \overline{CEN} は LOW にアサートされます。
- \overline{CE}_1 , \overline{CE}_2 および \overline{CE}_3 は全てアクティブにアサートされます。
- 書き込みイネーブル入力信号 \overline{WE} が HIGH にアサートされます。
- ADV/LD は LOW にアサートされます。

アドレス入力に供給されたアドレスはアドレス レジスタにラッチされ、メモリ アレイおよび制御論理回路に送信されます。制御論理回路は読み出しアクセスが実行中であると判定し、要求されたデータが出力バッファに伝播することを可能にします。OE がアクティブ LOW になった限り、データは 6.5ns (133MHz デバイス) 以内に使用可能になります。読み出しアクセスの最初のクロックの後、出力バッファは OE および内部制御論理回路で制御されます。デバイスが要求されたデータを出すためには、OE を LOW に駆動する必要があります。次のクロックでは、他の処理 (読み込み/書き込み/選択解除) を開始できます。SRAM がクロック立ち上がり時にチップ イネーブル信号のいずれかにより選択解除されると、その出力はただちにトライステートになります。

バースト読み出しアクセス

CY7C1371KV33 / CY7C1371KVE33 / CY7C1373KV33 は、内蔵バースト カウンターを有しており、ユーザーが単一のアドレスを提供し、アドレス入力を再アサートせずに、4 回までの読み出しを行うことを可能にします。上記の [シングル読み出しアクセス](#) 節で説明したように、新しいアドレスを SRAM にロード

するために ADV/LD を LOW に駆動する必要があります。バースト カウンターのシーケンスは MODE 入力信号で決まります。MODE 入力信号は、LOW にするとリニア バースト モードを選択し、HIGH にするとインターリーブ バースト シーケンスを選択します。両方のバースト カウンターはバースト シーケンスに A_0 と A_1 ビットを使用し、十分にインクリメントされたらラップアラウンドします。ADV/LD 入力信号を HIGH にすると、チップ イネーブルの状態または \overline{WE} にかかわらず、内部バースト カウンターをインクリメントします。 \overline{WE} はバースト サイクルの始まりにラッチされます。そのため、アクセスのタイプ (読み出し/書き込み) がバースト シーケンスにわたって保持されます。

シングル書き込みアクセス

クロックの立ち上がりで次の要件が満たされると、書き込みアクセスは開始されます: (1) CEN が LOW にアサート、(2) \overline{CE}_1 , \overline{CE}_2 , \overline{CE}_3 がすべてアクティブにアサート、(3) 書き込み信号 \overline{WE} が LOW にアサートされる。アドレスバスに与えられたアドレスはアドレス レジスタにロードされます。書き込み信号は制御論理ブロックにラッチされます。データラインは、OE 入力信号の状態に関係なく、自動的にトライステートになります。これにより、外部論理回路は DQs と \overline{DQP}_X にデータを供給できます。

次のクロック立ち上がりでは、DQs と \overline{DQP}_X (または書き込み動作のサブセット (詳細は真理値表を参照)) 入力に送信されたデータはデバイスにラッチされ、書き込みが完了します。このサイクルで追加のアクセス (読み出し/書き込み/選択解除) を開始できます。

書き込み処理中に書き込まれたデータは \overline{BW}_X 信号で制御されます。CY7C1371KV33 / CY7C1371KVE33 / CY7C1373KV33 は、真理値表で説明されたバイト書き込み機能を備えています。選択したバイト書き込み選択入力を使って書き込みイネーブル入力 (\overline{WE}) をアサートすると、所望のバイトのみに選択的に書き込まれます。バイト書き込み動作中に選択されないバイトは、不変のままです。書き込み動作を簡素化するために、同期セルフタイム書き込みメカニズムが提供されています。読み出し/変更/書き込みシーケンスを大幅に簡素化するために、バイト書き込み機能が組み込まれています。それらのシーケンスは簡単なバイト書き込み動作に簡素化可能です。

CY7C1371KV33 / CY7C1371KVE33 / CY7C1373KV33 は共通 I/O デバイスであるため、出力がアクティブな時にデータをデバイスに駆動してはなりません。データを DQs と \overline{DQP}_X 入力にデータ供給する前に、出力イネーブル (OE) を HIGH にアサートすることができます。このようにすると、出力ドライバをトライステートにします。安全予防措置として、OE の状態に関係なく、書き込みサイクルのデータ分与の間に、DQs と \overline{DQP}_X は自動的にトライステートになります。

バースト書き込みアクセス

CY7C1371KV33 / CY7C1371KVE33 / CY7C1373KV33 は内蔵バースト カウンターを有しており、それによりユーザーは単一のアドレスを提供して、アドレス入力を再アサートせずに 4 回までの書き込みを行うことができます。上記の [シングル書き込みアクセス](#) 節で説明したように、初期アドレスをロードするために ADV/LD を LOW に駆動する必要があります。次のクロック立ち上がりで ADV/LD が HIGH に駆動されると、チップ イネーブル (\overline{CE}_1 , \overline{CE}_2 , \overline{CE}_3) および \overline{WE} 入力は無視され、バースト カウンターはインクリメントされます。正しい \overline{BW}_X 入力がバースト書き込みの各サイクルで駆動されなければなりません。これは正しいデータ バイトを書き込むためです。

スリープ モード

ZZ 入力ピンは非同期入力です。ZZ をアサートすると、SRAM は省電力「スリープ」モードに入ります。このスリープ モードへの移行または復帰には 2 クロック サイクルかかります。このモードでは、データの統合性が保証されます。スリープ モードに入った時に保留中のアクセスは有効とは見なされず、動作完了も保証されません。デバイスは、スリープ モードに入る前に、選択解除される必要があります。CE₁、CE₂ および CE₃ は、ZZ 入力 LOW に戻った後の t_{ZZREC} の間、非アクティブのままにする必要があります。

インターリーブ バースト アドレス表

(MODE = 開放または V_{DD})

1 番目の アドレス A1:A0	2 番目の アドレス A1:A0	3 番目の アドレス A1:A0	4 番目の アドレス A1:A0
00	01	10	11
01	00	11	10
10	11	00	01
11	10	01	00

リニア バースト アドレス表

(MODE = GND)

1 番目の アドレス A1:A0	2 番目の アドレス A1:A0	3 番目の アドレス A1:A0	4 番目の アドレス A1:A0
00	01	10	11
01	10	11	00
10	11	00	01
11	00	01	10

ZZ モード電気的特性

パラメーター	説明	テスト条件	Min	Max	単位
I _{DDZZ}	スリープ モード スタンバイ電流	ZZ ≥ V _{DD} - 0.2V	—	65	mA
t _{ZZS}	デバイス動作から ZZ までの時間	ZZ ≥ V _{DD} - 0.2V	—	2t _{CYC}	ns
t _{ZZREC}	ZZ 復帰時間	ZZ ≤ 0.2V	2t _{CYC}	—	ns
t _{ZZI}	ZZ アクティブからスリープ電流までの時間	このパラメーターはサンプリングされた値	—	2t _{CYC}	ns
t _{RZZI}	スリープ電流までの ZZ 非アクティブ時間	このパラメーターはサンプリングされた値	0	—	ns

真理値表

CY7C1371KV33 / CY7C1371KVE33 / CY7C1373KV33 の真理値表は以下の通りです。[1、2、3、4、5、6、7]

動作	使用する アドレス	\overline{CE}_1	CE_2	\overline{CE}_3	ZZ	ADV/LD	\overline{WE}	\overline{BW}_X	\overline{OE}	\overline{CEN}	CLK	DQ
選択解除サイクル	無	H	X	X	L	—	X	X	X	L	L->H	トライステート
選択解除サイクル	なし	X	X	H	L	—	X	X	X	L	L->H	トライステート
選択解除サイクル	なし	X	L	X	L	—	X	X	X	L	L->H	トライステート
選択解除サイクルの継続	なし	X	X	X	L	H	X	X	X	L	L->H	トライステート
読み出しサイクル (バースト開始)	外部	L	H	L	L	L	H	X	L	L	L->H	データ出力 (Q)
読み出しサイクル (バースト継続)	次	X	X	X	L	H	X	X	L	L	L->H	データ出力 (Q)
NOP / ダミー読み出し (バースト開始)	外部	L	H	L	L	L	H	X	H	L	L->H	トライステート
ダミー読み出し (バースト継続)	次	X	X	X	L	H	X	X	H	L	L->H	トライステート
書き込みサイクル (バースト開始)	外部	L	H	L	L	L	L	—	X	L	L->H	データ入力 (D)
書き込みサイクル (バースト継続)	次	X	X	X	L	H	X	L	X	L	L->H	データ入力 (D)
NOP / 書き込み中止 (バースト開始)	なし	L	H	L	L	L	L	H	X	L	L->H	トライステート
書き込み中止 (バースト継続)	次	X	X	X	L	H	X	H	X	L	L->H	トライステート
クロック エッジの無視 (ストール)	電流	X	X	X	L	X	X	X	X	H	L->H	—
スリープ モード	なし	X	X	X	H	X	X	X	X	X	X	トライステート

- 注:
- X = 「ドント ケア」。H = 論理 HIGH、L = 論理 LOW。 $\overline{BW}_X = 0$ は、少なくとも 1 バイト書き込み選択信号がアクティブ、 \overline{BW}_X = 有効」は、対象のバイト書き込みセレクト信号がアサートされることを示します。詳細については、真理値表を参照してください。
 - 書き込みは、 \overline{BW}_X と \overline{WE} で定義されます。書き込み/読み出しの真理値表を参照してください。
 - 書き込みサイクルが検出された場合、バイト書き込み中でも、すべての I/O はトライステートになります。
 - DQ と DQP_X ピンは現行のサイクルと OE 信号によって制御されます。OE は非同期で、クロックと同期してサンプリングされません。
 - $\overline{CEN} = H$ の場合は、待ち状態が挿入されます。
 - デバイスの電源投入時は、OE に関わらず、各ピンは選択解除の状態、I/O はトライステートの状態です。
 - OE は非同期で、クロック立ち上がりとは同期してサンプリングされません。これは、書き込みサイクル中に内部的にマスキングされます。読み出しサイクルでは、OE が非アクティブ、またはデバイスが選択解除された場合、DQs と DQP_X はトライステートになり、OE がアクティブの場合は DQs と DQP_X はデータとなります。

書き込み／読み出しの部分真理値表

以下は CY7C1371KV33 / CY7C1371KVE33 の書き込み／読み出しの部分真理値表です。[8、9、10]

機能 (CY7C1371KV33/CY7C1371KVE33)	\overline{WE}	\overline{BW}_A	\overline{BW}_B	\overline{BW}_C	\overline{BW}_D
読み出し	H	X	X	X	X
書き込み－バイト書き込みなし	L	H	H	H	H
バイト A 書き込み－(DQ _A 、DQP _A)	L	L	H	H	H
バイト B 書き込み－(DQ _B 、DQP _B)	L	H	L	H	H
バイト C 書き込み－(DQ _C 、DQP _C)	L	H	H	L	H
バイト D 書き込み－(DQ _D 、DQP _D)	L	H	H	H	L
全バイト書き込み	L	L	L	L	L

書き込み／読み出しの部分真理値表

以下は CY7C1373KV33 の書き込み／読み出しの部分真理値表です。[8、9、10]

機能 (CY7C1373KV33)	\overline{WE}	\overline{BW}_A	\overline{BW}_B
読み出し	H	X	X
書き込み－バイト書き込みなし	L	H	H
バイト A 書き込み－(DQ _A 、DQP _A)	L	L	H
バイト B 書き込み－(DQ _B 、DQP _B)	L	H	L
すべてのバイト書き込み	L	L	L

- 注:
- X = 「ドント ケア」。H = 論理 HIGH、L = 論理 LOW。 $\overline{BW}_X = 0$ は、少なくとも 1 バイト書き込み選択信号がアクティブ、 $\overline{BW}_X = \text{有効}$ は、対象のバイト書き込みセレクト信号がアサートされることを示します。詳細については、[11 ページの真理値表](#)を参照してください。
 - 書き込みは、 \overline{BW}_X と \overline{WE} で定義されます。書き込み／読み出しには [11 ページの真理値表](#)を参照してください。
 - この表では、バイト書き込みの組み合わせの一部を示します。どの \overline{BW}_X の組み合わせも可能です。書き込みは、アクティブになるバイト書き込み信号に応じて適切に行われます。

最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。これらのユーザー ガイドラインは試験されていません。

保存温度 -65°C ~ +150°C

通電時の周囲温度 -55°C ~ +125°C

GND を基準とした V_{DD} 上の電源電圧 -0.5V ~ +4.6V

GND を基準とした V_{DDQ} 上の電源電圧 -0.5V ~ + V_{DD}

トリステスト状態の出力に

印加される DC 電圧 -0.5V ~ $V_{DDQ} + 0.5V$

DC 入力電圧 -0.5V ~ $V_{DD} + 0.5V$

出力への電流 (LOW) 20mA

静電放電時の電圧

(MIL-STD-883、メソッド 3015) > 2001V

ラッチアップ電流 > 200mA

動作範囲

範囲	周囲温度	V_{DD}	V_{DDQ}
商業用	0°C ~ +70°C	3.3V - 5% / + 10%	2.5V - 5% ~ V_{DD}
産業用	-40°C ~ +85°C		

中性子ソフト エラー耐性

パラメーター	説明	テスト条件	Typ	Max*	単位
LSBU (ECC なしのデバイス)	論理単一 ビット反転	25°C	197	216	FIT/ Mb
LSBU (ECC 付き デバイス)			0	0.01	FIT/ Mb
LMBU	論理マルチ ビット アッ プセット	25°C	0	0.01	FIT/ Mb
SEL	シングル イ ベント ラッ チアップ	85°C	0	0.1	FIT/ Dev

* テスト中に LMBU または SEL イベントは発生しない; この欄は χ^2 分布の 95% 信頼上限を示す。詳細は、「AN54908 - Accelerated Neutron SER Testing and Calculation of Terrestrial Failure Rates」のアプリケーション ノートを参照

電気的特性

動作範囲において

パラメーター ^[11, 12]	説明	テスト条件	Min	Max	単位
V_{DD}	電源電圧		3.135	3.6	V
V_{DDQ}	I/O 電源電圧	3.3V I/O の場合	3.135	V_{DD}	V
		2.5V I/O の場合	2.375	2.625	V
V_{OH}	出力 HIGH 電圧	3.3V I/O、 $I_{OH} = -4.0mA$ の場合	2.4	—	V
		2.5 V I/O、 $I_{OH} = -1.0mA$ の場合	2.0	—	V
V_{OL}	出力 LOW 電圧	3.3V I/O、 $I_{OL} = 8.0mA$ の場合	—	0.4	V
		2.5V I/O、 $I_{OL} = 1.0mA$ の場合	—	0.4	V
V_{IH}	入力 HIGH 電圧 ^[11]	3.3V I/O の場合	2.0	$V_{DD} + 0.3$	V
		2.5V I/O の場合	1.7	$V_{DD} + 0.3$	V
V_{IL}	入力 LOW 電圧 ^[11]	3.3V I/O の場合	-0.3	0.8	V
		2.5V I/O の場合	-0.3	0.7	V
I_x	入力リーク電流 (ZZ と MODE を除く)	$GND \leq V_i \leq V_{DDQ}$	-5	5	μA
	MODE の入力電流	入力 = V_{SS}	-30	—	μA
		入力 = V_{DD}	—	5	μA
	ZZ の入力電流	入力 = V_{SS}	-5	—	μA
		入力 = V_{DD}	—	30	μA

注:

11. オーバーシュート: $V_{IH(AC)} < V_{DD} + 1.5V$ (パルス幅は $t_{CYC}/2$ 未満)、アンダーシュート: $V_{IL(AC)} > -2V$ (パルス幅は $t_{CYC}/2$ 未満)。

12. $T_{Power-up}$: 少なくとも 200ms 以上での 0V から $V_{DD(min)}$ までの直線昇圧を前提としています。この期間中は、 $V_{IH} < V_{DD}$ 、 $V_{DDQ} \leq V_{DD}$ です。

電気的特性 (続き)

動作範囲において

パラメーター [11、12]	説明	テスト条件		Min	Max	単位
I_{OZ}	出力リーク電流	$GND \leq V_I \leq V_{DDQ}$ 、出力が無効		-5	5	μA
I_{DD}	V_{DD} 動作時電源	$V_{DD} = \text{Max.}$ 、 $I_{OUT} = 0\text{mA}$ 、 $f = f_{MAX} = 1/t_{CYC}$	100MHz	$\times 18$	114	mA
				$\times 36$	134	
			133MHz	$\times 18$	129	
				$\times 36$	149	
I_{SB1}	自動 CE パワーダウン電流 – TTL 入力	最大 V_{DD} 、デバイス選択解除、 $V_{IN} \geq V_{IH}$ または $V_{IN} \leq V_{IL}$ 、 $f = f_{MAX} = 1/t_{CYC}$	100MHz	$\times 18$	75	mA
				$\times 36$	80	
			133MHz	$\times 18$	75	
				$\times 36$	80	
I_{SB2}	自動 CE パワーダウン電流 – CMOS 入力	最大 V_{DD} 、デバイス選択解除、 $V_{IN} \leq 0.3V$ または $V_{IN} \geq V_{DDQ} - 0.3V$ 、 $f = 0$	すべての速度グレード	$\times 18$	65	mA
				$\times 36$	70	
I_{SB3}	自動 CE パワーダウン電流 – CMOS 入力	最大 V_{DD} 、デバイス選択解除、 $V_{IN} \leq 0.3V$ または $V_{IN} \geq V_{DDQ} - 0.3V$ 、 $f = f_{MAX} = 1/t_{CYC}$	100MHz	$\times 18$	75	mA
				$\times 36$	80	
			133MHz	$\times 18$	75	
				$\times 36$	80	
I_{SB4}	自動 CE パワーダウン電流 – TTL 入力	最大 V_{DD} 、デバイス選択解除、 $V_{IN} \geq V_{IH}$ または $V_{IN} \leq V_{IL}$ 、 $f = 0$	すべての速度グレード	$\times 18$	65	mA
				$\times 36$	70	

静電容量

パラメーター	説明	テスト条件	100ピン TQFP パッケージ	単位
C_{IN}	入力静電容量	$T_A = 25^{\circ}\text{C}$ 、 $f = 1\text{MHz}$ 、 $V_{DD} = 3.3\text{V}$ 、 $V_{DDQ} = 2.5\text{V}$	5	pF
C_{CLK}	クロック入力静電容量		5	pF
C_{IO}	入力／出力の静電容量		5	pF

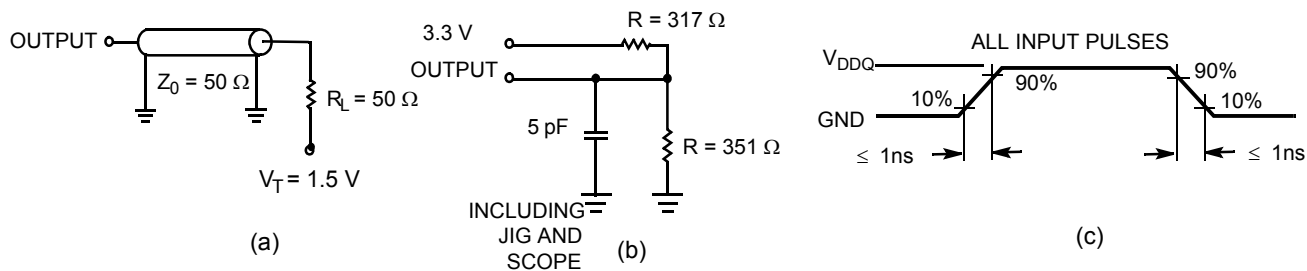
熱抵抗

パラメーター	説明	テスト条件	100ピン TQFP パッケージ	単位
Θ_{JA}	熱抵抗 (ジャンクションから周囲)	テスト条件は、EIA/JESD51 に規定される熱インピーダンスを測定するための標準的なテスト方法と手順に従う	無風時 (0 m/s)	37.95 $^{\circ}\text{C/W}$
			空冷 (1 m/s)	33.19 $^{\circ}\text{C/W}$
			空冷 (3 m/s)	30.44 $^{\circ}\text{C/W}$
Θ_{JB}	熱抵抗 (ジャンクションからボード)		--	24.07 $^{\circ}\text{C/W}$
Θ_{JC}	熱抵抗 (ジャンクションからケース)		8.36	$^{\circ}\text{C/W}$

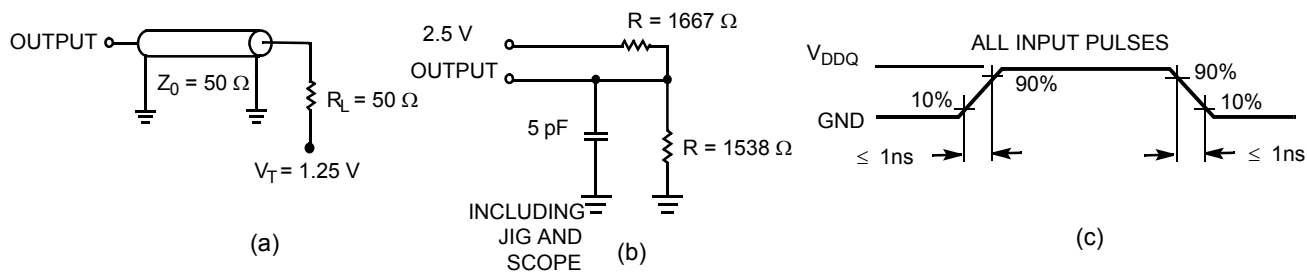
AC テストの負荷および波形

図 3. AC テストの負荷と波形

3.3 V I/O Test Load



2.5 V I/O Test Load



スイッチング特性

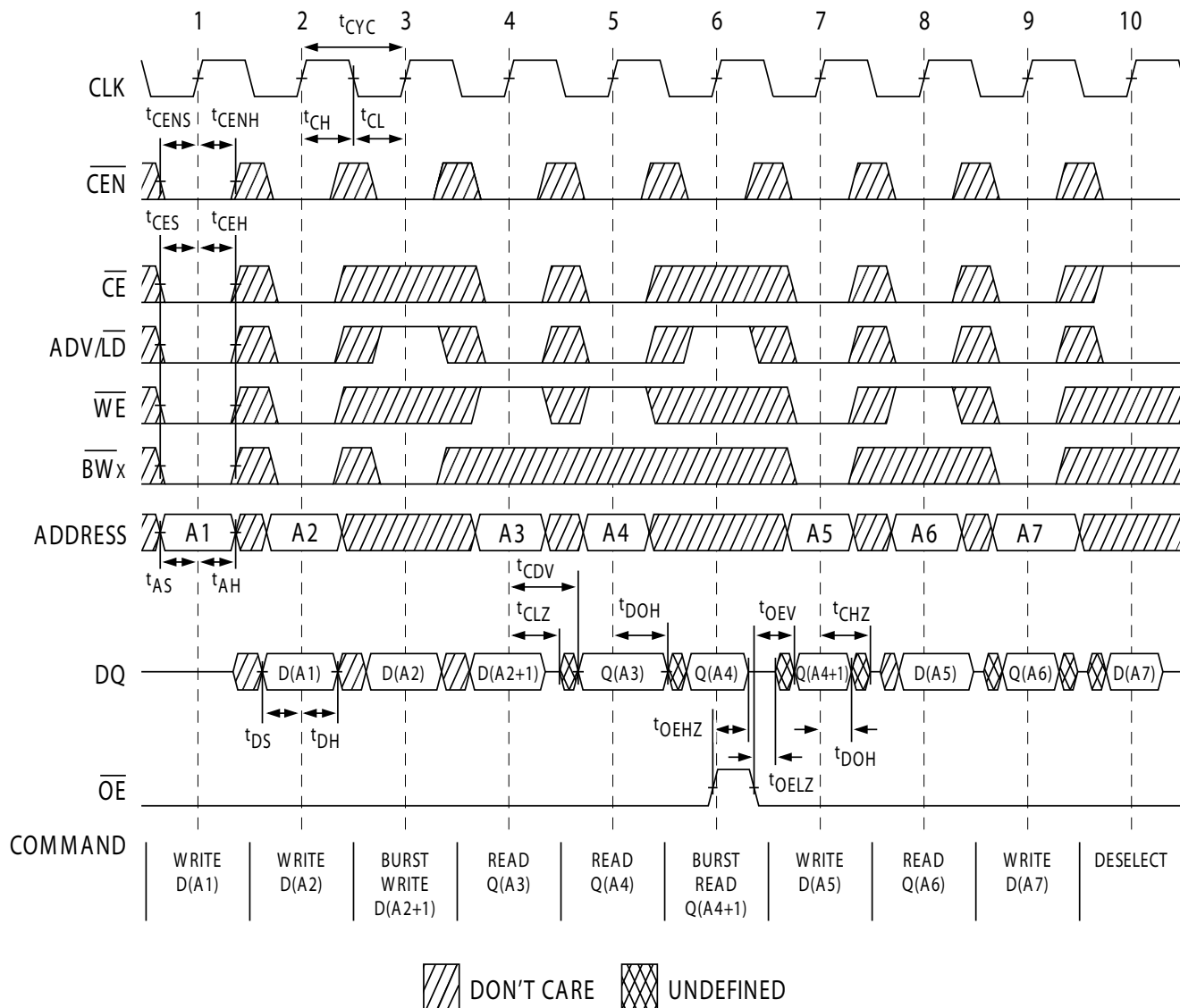
動作範囲において

パラメーター ^[13、14]	説明	133MHz		100MHz		単位
		Min	Max	Min	Max	
t_{POWER}	V_{DD} (Typ) から最初のアクセスまでの時間 ^[15]	1	—	1	—	ms
クロック						
t_{CYC}	クロック サイクル時間	7.5	—	10	—	ns
t_{CH}	クロック HIGH	2.1	—	2.5	—	ns
t_{CL}	クロック LOW 時間	2.1	—	2.5	—	ns
出力時間						
t_{CDV}	CLK 立ち上がり後のデータ出力有効時間	—	6.5	—	8.5	ns
t_{DOH}	CLK 立ち上がり後のデータ出力ホールド時間	2.0	—	2.0	—	ns
t_{CLZ}	クロックから Low Z までの時間 ^[16、17、18]	2.0	—	2.0	—	ns
t_{CHZ}	クロックから High Z までの時間 ^[16、17、18]	—	4.0	—	5.0	ns
$t_{OE\overline{V}}$	\overline{OE} LOW から出力有効までの時間	—	3.2	—	3.8	ns
$t_{OE\overline{L}Z}$	\overline{OE} LOW から出力 Low Z までの時間 ^[16、17、18]	0	—	0	—	ns
$t_{OE\overline{H}Z}$	\overline{OE} HIGH から出力 High Z までの時間 ^[16、17、18]	—	4.0	—	5.0	ns
セットアップ時間						
t_{AS}	CLK 立ち上がり前のアドレス セットアップ時間	1.5	—	1.5	—	ns
t_{ALS}	CLK 立ち上がり前の ADV/LD セットアップ時間	1.5	—	1.5	—	ns
t_{WES}	CLK 立ち上がり前の \overline{WE} 、 \overline{BW}_X セットアップ時間	1.5	—	1.5	—	ns
t_{CENS}	CLK 立ち上がり前の \overline{CEN} セットアップ時間	1.5	—	1.5	—	ns
t_{DS}	CLK 立ち上がり前のデータ入力セットアップ時間	1.5	—	1.5	—	ns
t_{CES}	CLK 立ち上がり前のチップ イネーブル セットアップ時間	1.5	—	1.5	—	ns
ホールド時間						
t_{AH}	CLK 立ち上がり後のアドレス ホールド時間	0.5	—	0.5	—	ns
t_{ALH}	CLK 立ち上がり後の ADV/LD ホールド時間	0.5	—	0.5	—	ns
t_{WEH}	CLK 立ち上がり後の \overline{WE} 、 \overline{BW}_X ホールド時間	0.5	—	0.5	—	ns
t_{CENH}	CLK 立ち上がり後の \overline{CEN} ホールド時間	0.5	—	0.5	—	ns
t_{DH}	CLK 立ち上がり後のデータ入力ホールド時間	0.5	—	0.5	—	ns
t_{CEH}	CLK 立ち上がり後のチップ イネーブル ホールド時間	0.5	—	0.5	—	ns

- 注：
13. タイミングのリファレンス電圧レベルは、 $V_{DDQ} = 3.3V$ の場合は 1.5V であり、 $V_{DDQ} = 2.5V$ の場合は 1.25V です。
14. 特記されていない限り、テスト条件は 15 ページの図 3 の (a) に示します。
15. このデバイスは電圧レギュレータを内蔵しています； t_{POWER} は、読み出しまたは書き込み処理が開始される前に、 $V_{DD}(\text{minimum})$ を超える電源を供給する必要がある時間です。
16. t_{CHZ} 、 t_{CLZ} 、 $t_{OE\overline{L}Z}$ 、 $t_{OE\overline{H}Z}$ は、15 ページの図 3 の (b) に示した AC テスト条件で指定されます。遷移は定常状態電圧から $\pm 200mV$ で測定されます。
17. どのような電圧と温度においても、同じデータバスを共用する時の SRAM 間のバス競合を回避するために、 $t_{OE\overline{H}Z}$ は $t_{OE\overline{L}Z}$ より小さく、 t_{CHZ} は t_{CLZ} より小さいです。これらの仕様はバス競合条件を意味しませんが、最悪の場合のユーザー条件において保証されるパラメーターを示します。デバイスは、同じシステム条件の下で LOW Z の前に HIGH Z を達成するように設計されています。
18. このパラメーターはサンプリングされた値であり、すべてのデバイスで試験されるわけではありません。

スイッチング波形

図 4. 読み出し／書き込み波形 [19、20、21]



注:

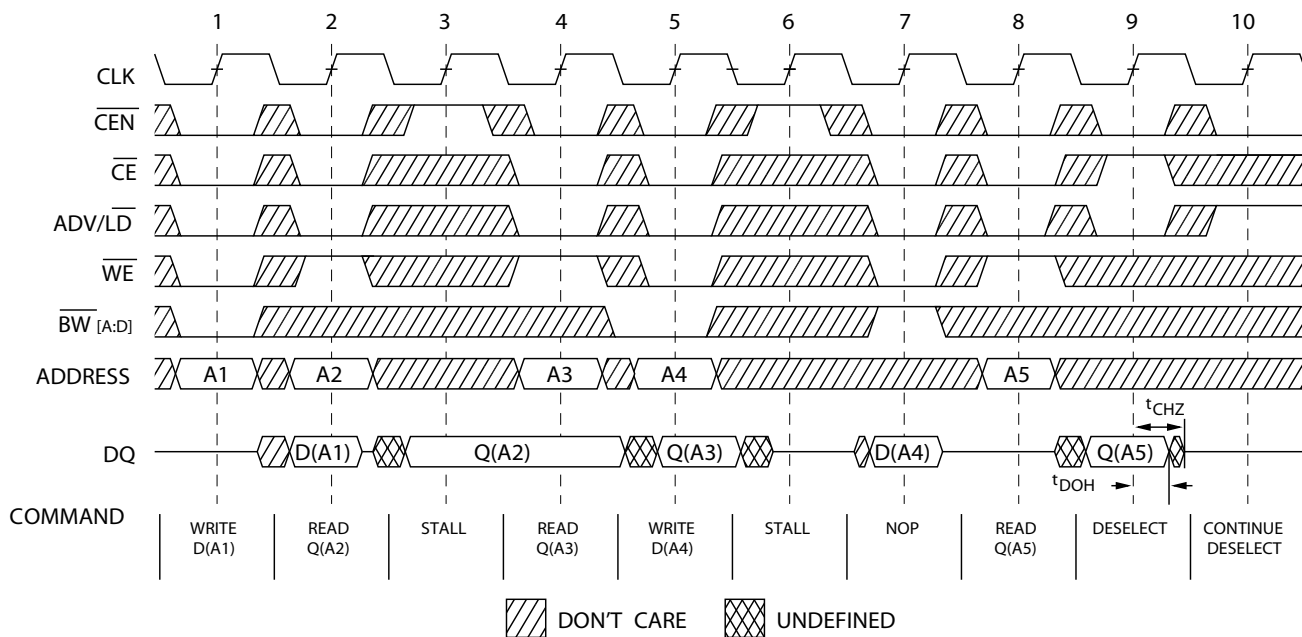
19. この波形の場合は ZZ は LOW に保持されます。

20. \overline{CE} が LOW の場合、 \overline{CE}_1 は LOW、 \overline{CE}_2 は HIGH、 \overline{CE}_3 は LOW です。 \overline{CE} が HIGH の場合、 \overline{CE}_1 は HIGH、または \overline{CE}_2 は LOW、または \overline{CE}_3 は HIGH です。

21. バースト シーケンスの順序は、MODE ピンのステータスにより判定されます (0= リニア、1= インターリーブ)。バースト動作は任意です。

スイッチング波形 (続き)

図 5. NOP、STALL、および DESELECT サイクル [22、23、24]



注:

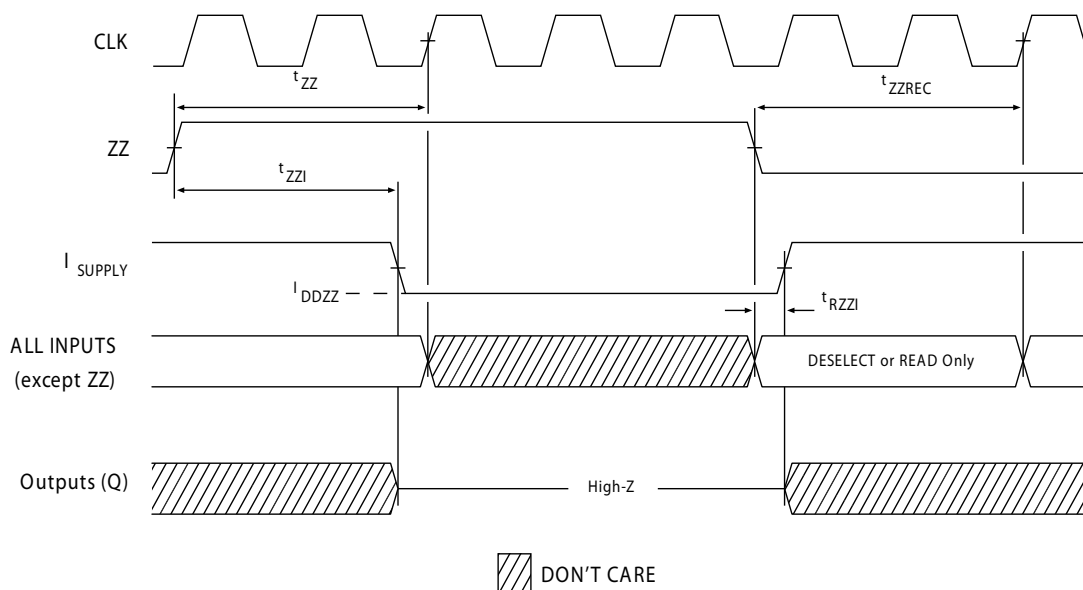
22. この波形の場合は ZZ は LOW に保持されます。

23. \overline{CE} が LOW の場合、 \overline{CE}_1 は LOW、 CE_2 は HIGH、 \overline{CE}_3 は LOW です。 \overline{CE} が HIGH の場合、 \overline{CE}_1 は HIGH、または CE_2 は LOW、または \overline{CE}_3 は HIGH です。

24. イグノアクロック エッジまたはストール サイクル (クロック 3) は、 \overline{CEN} が一時停止するために使用されていることを示します。このサイクルでは、書き込みは実行されません。

スイッチング波形 (続き)

図 6. ZZ モード タイミング [25、26]



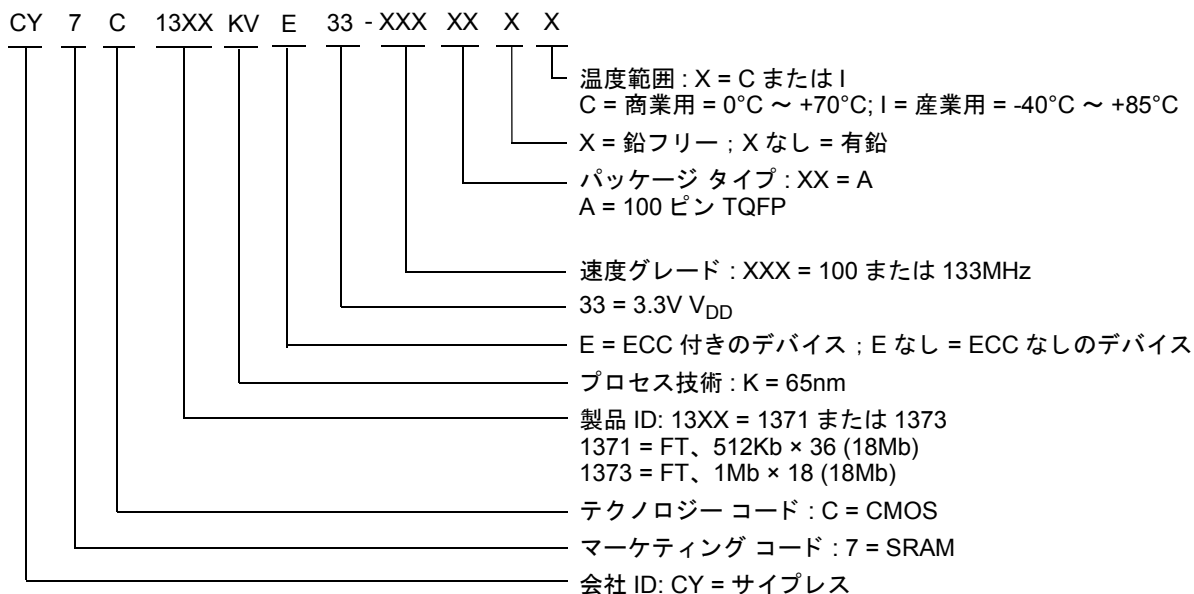
- 注:
- 25. ZZ モードに入る時、デバイスを選択解除する必要があります。デバイスを選択解除するためのすべての可能な信号条件については、真理値表を参照してください。
 - 26. ZZ スリープ モードを終了する時、DQ 信号は High Z 状態になります。

注文情報

この製品の種類について、サイプレスは、様々なコンフィギュレーションおよび特長を持っている他の多くのバージョンを提供しています。下表には、現在在庫ありの部品のみを示します。すべてのオプションの完全な一覧については、サイプレス ウェブサイト www.cypress.com にアクセスし、製品概要のページ <http://www.cypress.com/products> を参照する、または最寄りの販売代理店までお問い合わせください。サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、サイプレスの <http://www.cypress.com/go/datasheet/offices> をご覧ください。

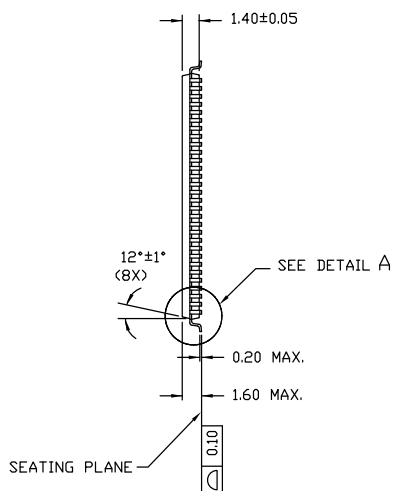
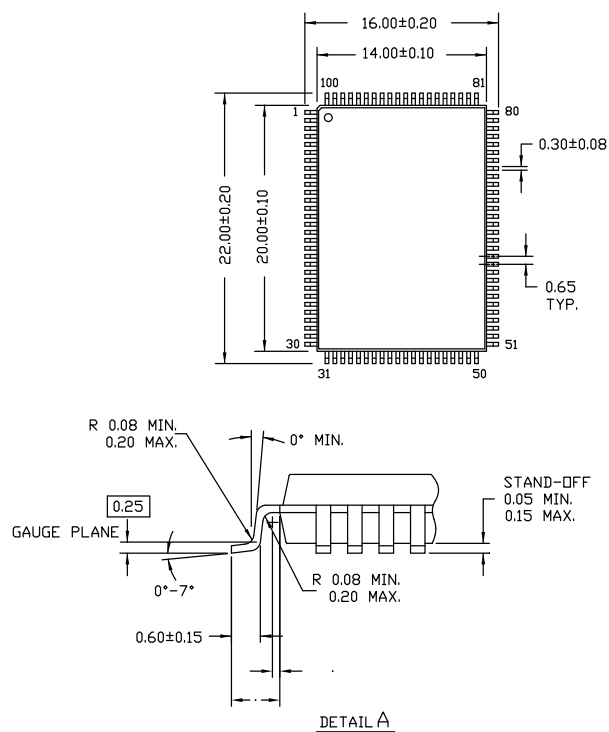
速度 (MHz)	注文コード	パッケージ図	製品とパッケージ タイプ	動作範囲
133	CY7C1371KV33-133AXC	51-85050	100 ピン TQFP (14 × 20 × 1.4 mm) 鉛フリー	商業用
	CY7C1373KV33-133AXI			産業用
	CY7C1371KVE33-133AXI			
100	CY7C1371KV33-100AXC	51-85050	100 ピン TQFP (14 × 20 × 1.4 mm) 鉛フリー	商業用
	CY7C1373KV33-100AXC			
	CY7C1371KV33-100AXI			産業用
	CY7C1371KVE33-100AXI			

注文コードの定義



パッケージ図

図 7. 100 ピン TQFP (14 × 20 × 1.4mm) A100RA パッケージ図、51-85050



NOTE:

1. JEDEC STD REF MS-026
2. BODY LENGTH DIMENSION DOES NOT INCLUDE MOLD PROTRUSION/END FLASH
MOLD PROTRUSION/END FLASH SHALL NOT EXCEED 0.0098 in (0.25 mm) PER SIDE
BODY LENGTH DIMENSIONS ARE MAX PLASTIC BODY SIZE INCLUDING MOLD MISMATCH
3. DIMENSIONS IN MILLIMETERS

51-85050 *E

略語

略語	説明
CMOS	Complementary Metal Oxide Semiconductor (相補型金属酸化膜半導体)
CE	Chip Enable (チップ イネーブル)
CEN	Clock Enable (クロック イネーブル)
EIA	Electronic Industries Alliance (米国電子工業会)
I/O	Input/Output (入力／出力)
JEDEC	Joint Electron Devices Engineering Council (半導体技術協会)
JTAG	Joint Test Action Group (ジョイント テスト アクション グループ)
LSB	Least Significant Bit (最下位ビット)
MSB	Most significant bit (最上位ビット)
NoBL	No Bus Latency (バス レイテンシーなし)
OE	Output Enable (出力イネーブル)
SRAM	Static Random Access Memory (スタティック ランダム アクセス メモリ)
TAP	Test Access Port (テスト アクセス ポート)
TCK	Test Clock (テスト クロック)
TDI	Test Data In (テスト データ入力)
TMS	Test Mode Select (テスト モード選択)
TDO	Test Data Out (テスト データ出力)
TQFP	Thin Quad Flat Pack (薄型クアッド フラット パッケージ)

本書の表記法

測定単位

記号	測定単位
°C	摂氏温度
MHz	メガヘルツ
μA	マイクロアンペア
mA	ミリアンペア
mm	ミリメートル
ms	ミリ秒
mV	ミリボルト
nm	ナノメートル
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラッド
V	ボルト
W	ワット

改訂履歴

文書名 : CY7C1371KV33/CY7C1371KVE33/CY7C1373KV33、NoBL™ アーキテクチャの 18M ビット (512K×36/1M×18) フロー
スルー SRAM (ECC 付き)
文書番号 : 001-98229

版	ECN 番号	変更者	発行日	変更内容
**	4837738	HZEN	07/22/2015	これは英語版 001-97852 Rev. ** を翻訳した日本語版 001-98229 Rev. ** です。
*A	5013023	HZEN	11/19/2015	これは英語版 001-97852 Rev. *C を翻訳した日本語版 001-98229 Rev. *A です。

セールス、ソリューションおよびリーガル情報

ワールドワイド販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーションのウェブページ](#)をご覧ください。

製品

車載用	cypress.com/go/automotive
クロック & バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明 & 電力制御	cypress.com/go/powerpsoc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/USB
ワイヤレス/ RF	cypress.com/go/wireless

PSoC® ソリューション

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカル サポート

cypress.com/go/support

© Cypress Semiconductor Corporation, 2015. 本文書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡すること、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤作動や故障によって使用者に重大な損害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

すべてのソースコード (ソフトウェアおよび/またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタム ソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物をコピー、使用、変更して作成するためのライセンス、ならびにサイプレスのソースコードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責事項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤作動や故障によって使用者に重大な損害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。