

带有 NoBL™ 架构的 18 Mbit (512 K × 36/1 M × 18) 直通 SRAM (带 ECC)

特性

- No Bus Latency™ (NoBL™) 架构去除了读和写周期期间的死周期
- 支持具有零等待状态并且频率为 133 MHz 的总线操作
 - 数据在每一个时钟周期被传输
- 引脚与功能同 ZBT™ 兼容
- 提供对内部自定时输出缓冲区的控制，因而无需使用 \overline{OE}
- 提供直通操作的输入寄存器
- 具有字节写入功能
- 3.3 V 和 2.5 V 的 I/O 供电电源 (V_{DDQ})
- 时钟至输出的时间较快
 - 6.5 ns (对于 133 MHz 器件)
- 通过时钟使能 (\overline{CEN}) 引脚进行使能时钟和暂停操作
- 同步自定时写入
- 异步输出使能
- 适用于 JEDEC 标准无铅 100 引脚 TQFP 封装
- 三个芯片使能，用于简化深度扩展
- 进入 ZZ 模式或使用 CE 取消选择时，自动断电性能可用
- 突发功能 — 支持线性或交错突发顺序模式
- 低电平待机功耗
- 片上纠错码 (ECC) 可降低软错误率 (SER)

功能描述

CY7C1371KV33/CY7C1371KVE33/CY7C1373KV33 是 3.3 V，512 K × 36/1 M × 18 同步直通突发 SRAM，专门支持无限且零等待状态的连续读 / 写操作而设计。

CY7C1371KV33/CY7C1371KVE33/CY7C1373KV33 都使用了高级 (NoBL) 逻辑，这样可以实现连续读取 / 写入操作，即在每个时钟周期内都进行数据传输。在需要进行频繁读 / 写切换的系统中，通过该逻辑可明显提高 SRAM 的数据吞吐量。

所有同步输入均通过由时钟的上升沿控制的输入寄存器。时钟输入由时钟使能 (\overline{CEN}) 信号所控制；当该信号被取消激活时，它将暂停操作并延续前一个时钟周期。从时钟上升沿之后的最长访问延迟为 6.5 ns (对于 133 MHz 器件)。

写操作由两个或四个字节写入选择 (\overline{BW}_X) 以及写使能 (\overline{WE}) 输入控制。所有写入操作都通过片上同步自定时写入电路实现。

这些器件提供了三个同步芯片使能 (\overline{CE}_1 、 \overline{CE}_2 和 \overline{CE}_3) 和一个异步输出使能 (\overline{OE})，从而可以轻松地进行组选择和输出三态控制。为了避免总线冲突，在写序列的数据传输过程中，要使输出驱动器同步进入三态。

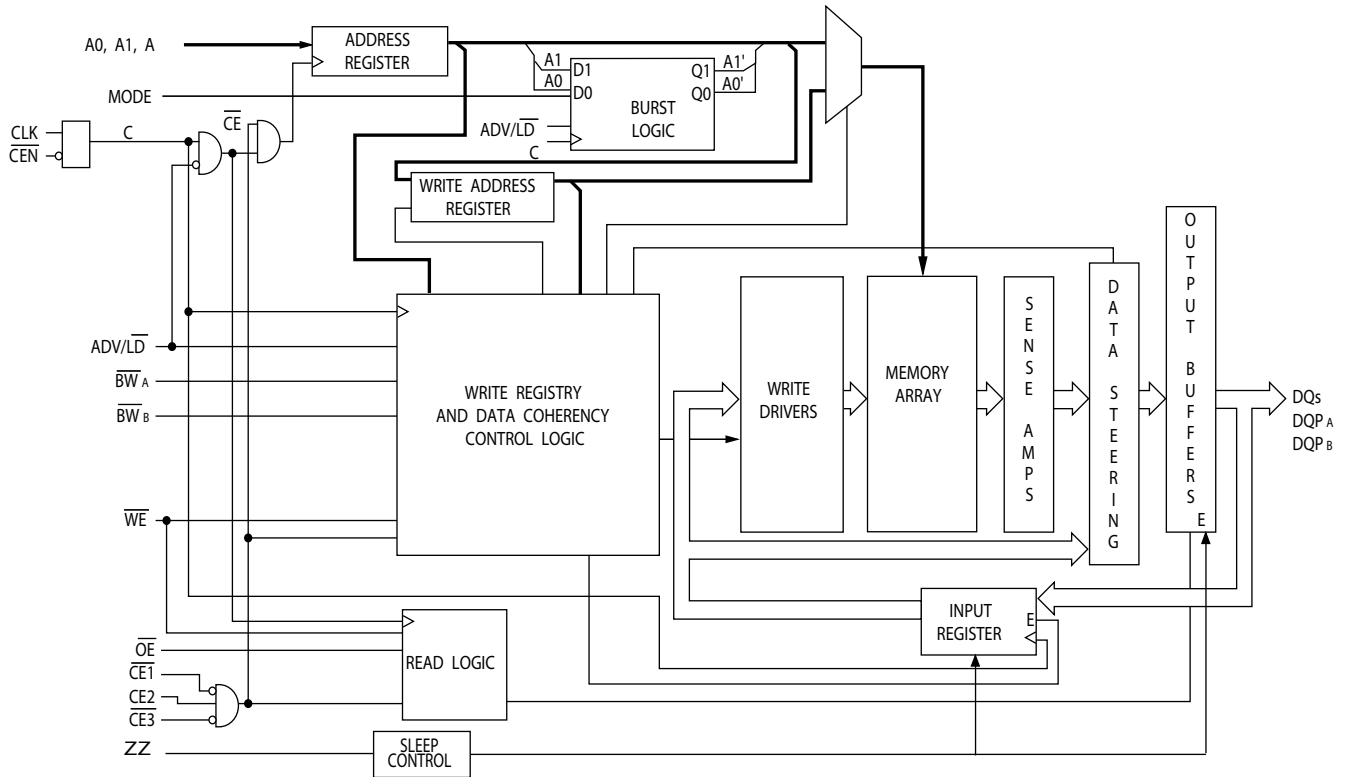
产品选择指南

说明		133 MHz	100 MHz	单位
最长访问时间		6.5	8.5	ns
最大工作电流	× 18	129	114	mA
	× 36	149	134	mA

The block diagram illustrates the internal architecture of the 24A024 memory controller. Key components include:

- Address Register:** Receives inputs A0, A1, and A, and MODE. It outputs address signals A₁, A₀, A_{1'}, and A_{0'} to the Burst Logic.
- Burst Logic:** Receives address signals and ADV or /LD. It outputs data signals D₁, D₀, Q₁, Q₀, and C to the Write Registry and Data Steering.
- Write Address Register:** Receives the output from the Address Register and outputs to the Write Registry.
- Write Registry and Data Coherency Control Logic:** Receives ADV or /LD, /BW_A, /BW_B, /BW_C, /BW_D, and /WE. It outputs to the Write Drivers and the Input Register.
- Write Drivers:** Receives signals from the Write Registry and outputs to the Memory Array.
- Memory Array:** Receives signals from the Write Drivers and outputs to the Sense Amps.
- Sense Amps:** Receives signals from the Memory Array and outputs to the ECC Decoder.
- ECC Decoder:** Receives signals from the Sense Amps and outputs to the Data Steering.
- Data Steering:** Receives signals from the ECC Decoder and outputs to the Output Buffers.
- Output Buffers:** Receives signals from the Data Steering and outputs the final data signals DQ_B, DQ_P_A, DQ_P_B, DQ_P_C, and DQ_P_D.
- Read Logic:** Receives /OE, /CE1, /CE2, and /CE1. It outputs to the Input Register.
- Input Register:** Receives signals from the Read Logic and outputs to the ECC Encoder.
- ECC Encoder:** Receives signals from the Input Register and outputs to the Write Registry.
- Sleep Control:** Receives the ZZ signal and outputs to the Write Registry.

逻辑框图 — CY7C1373KV33



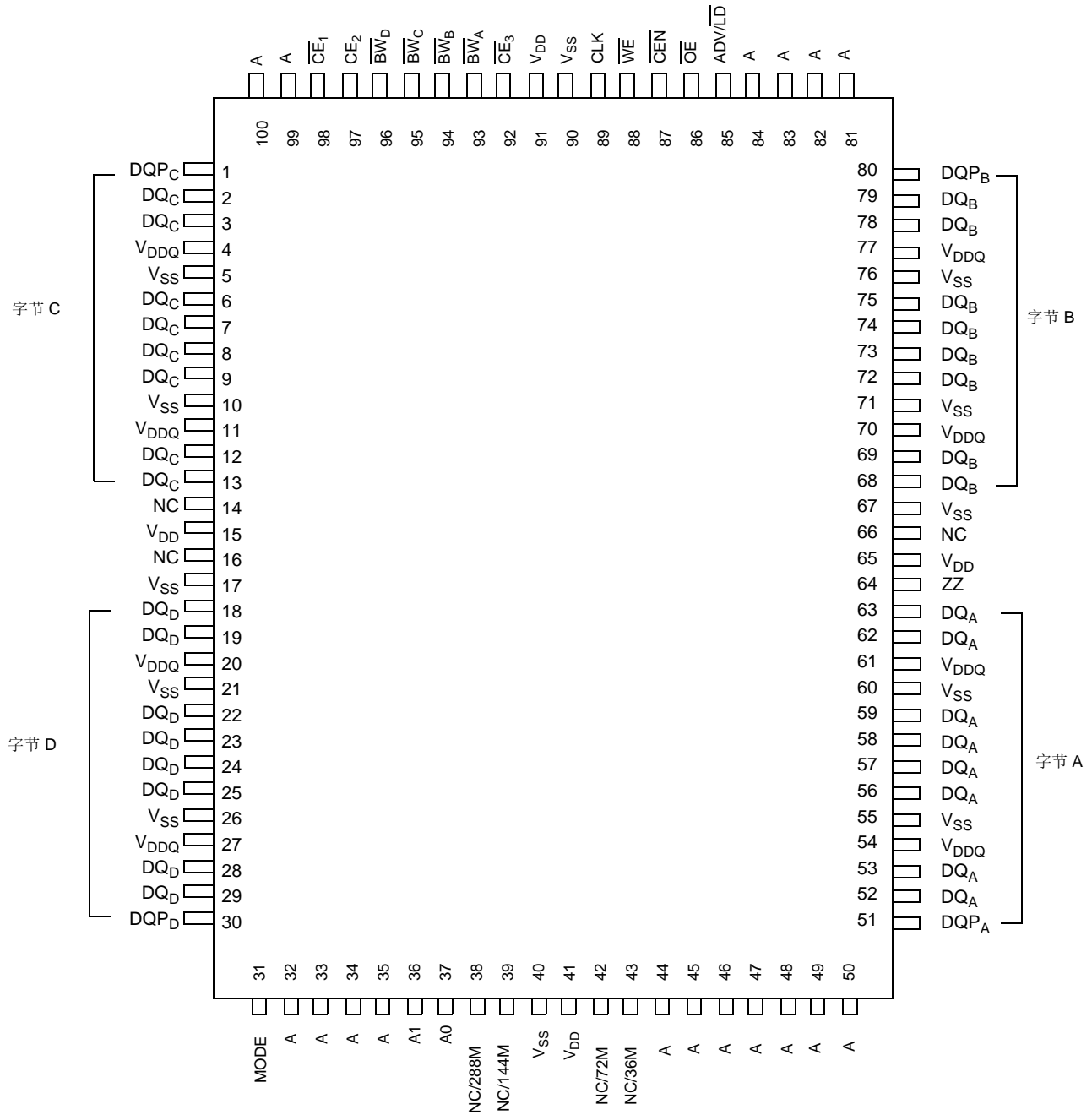
目录

引脚配置	5	电容值.....	15
引脚定义	7	热阻	15
功能概述	9	交流测试负载和波形	15
单一读取访问	9	开关特性	16
突发读取访问	9	开关波形	17
单一写访问	9	订购信息	20
突发写访问	9	订购代码定义.....	20
睡眠模式	10	缩略语	22
交错突发地址表	10	文档规范	22
线性突发地址表	10	测量单位	22
ZZ 模式的电气特性	10	文档修订记录	23
真值表	11	销售、解决方案和法律信息	24
读 / 写操作的局部真值表	12	全球销售和设计支持	24
读 / 写操作的局部真值表	12	产品	24
最大额定值	13	PSoC® 解决方案	24
工作范围	13	赛普拉斯开发者社区	24
抗中子软失效	13	技术支持	24
电气特性	13		

引脚配置

图 1. 100 引脚 TQFP (14 × 20 × 1.4 mm) 引脚分布

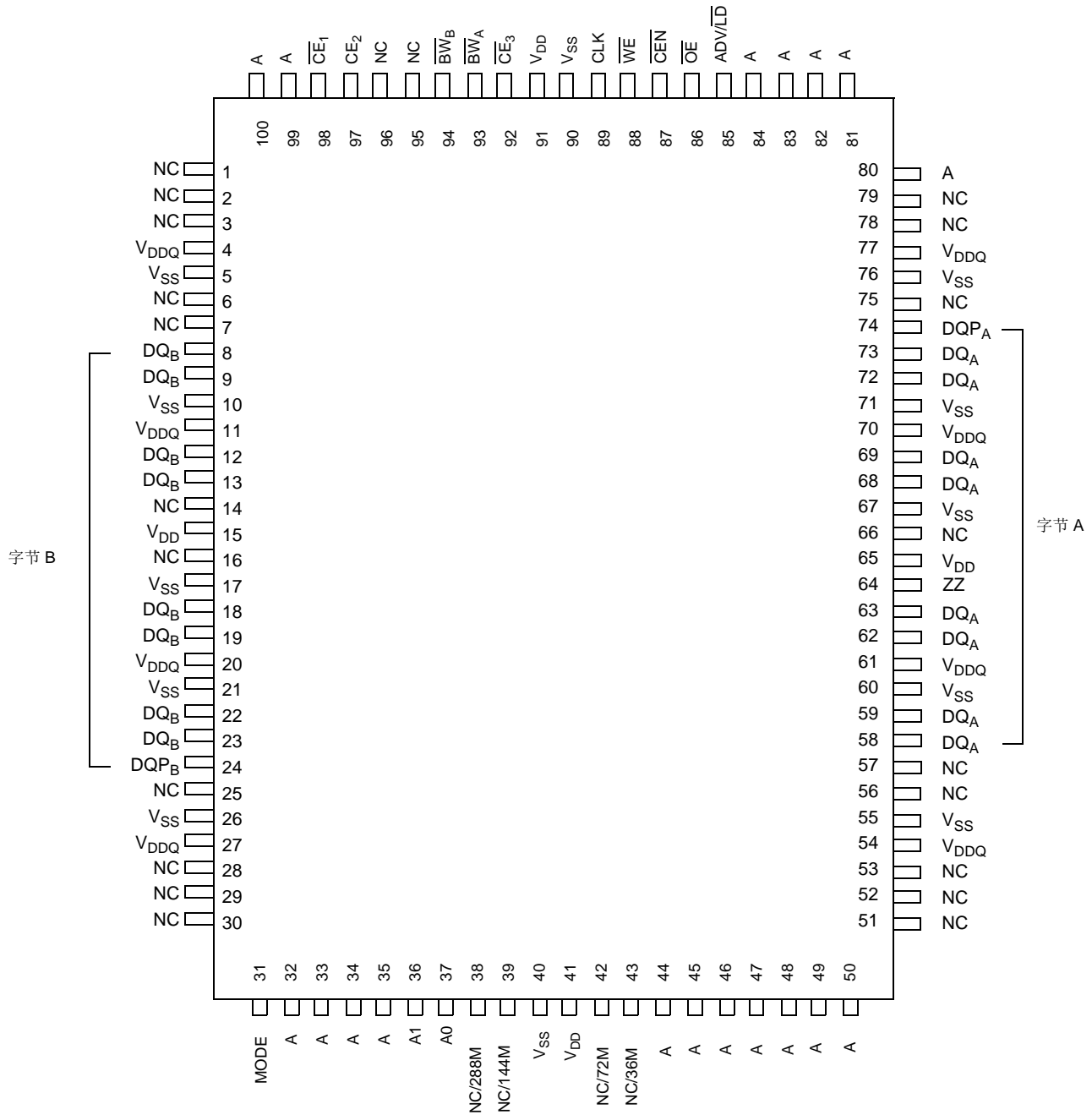
CY7C1371KV33/CY7C1371KVE33



引脚配置 (续)

图 2. 100 引脚 TQFP (14 × 20 × 1.4 mm) 引脚分布

CY7C1373KV33



引脚定义

名称	I/O	说明
A ₀ 、A ₁ 、A	同步输入	用于选择一个地址位置的地址输入。在 CLK 时钟的上升沿上被采样。A _[1:0] 被馈送到 2 位突发计数器。
\overline{BW}_A 、 \overline{BW}_B 、 \overline{BW}_C 、 \overline{BW}_D	同步输入	字节写入输入，低电平有效。与 \overline{WE} 配合使用，用于写入 SRAM。在 CLK 时钟的上升沿上被采样。
\overline{WE}	同步输入	写入使能输入，低电平有效。如果 \overline{CEN} 为低电平有效，该输入会在 CLK 时钟的上升沿上被采样。必须将该信号置为低电平，以启动写序列。
ADV/ \overline{LD}	同步输入	递增 / 负载输入。递增 / 负载输入用于增加片上地址计数器或加载新的地址。当该输入被置为高电平（并且 \overline{CEN} 被置为低电平）时，可增加内部突发计数器。当该输入为低电平时，可以将新的地址加载到器件内，以便进行访问。取消选择后，要将 ADV/ \overline{LD} 置为低电平，以加载新地址。
CLK	输入时钟	时钟输入。用于将所有同步输入捕获到器件内。CLK 由 \overline{CEN} 控制。仅当 \overline{CEN} 为低电平有效时，CLK 才有效。
\overline{CE}_1	同步输入	芯片使能 1 输入，低电平有效。在 CLK 时钟的上升沿上被采样。同 CE_2 和 \overline{CE}_3 一起使用时，可以选择 / 取消选择器件。
CE_2	同步输入	芯片使能 2 输入，高电平有效。在 CLK 时钟的上升沿上被采样。同 \overline{CE}_1 和 \overline{CE}_3 一起使用时，可以选择 / 取消选择器件。
\overline{CE}_3	同步输入	芯片使能 3 输入，低电平有效。在 CLK 时钟的上升沿上被采样。同 \overline{CE}_1 和 CE_2 一起使用时，可以选择 / 取消选择器件。
\overline{OE}	异步输入	输出使能，异步输入，低电平有效。通过与器件中的同步逻辑模块结合使用，可以控制 I/O 引脚的方向。该信号被置为低电平时，I/O 引脚可作为输出使用。该信号置为高电平时，I/O 引脚全是三态的，并作为输入数据引脚使用。 \overline{OE} 在写入序列的数据传输期间、退出取消选择状态后的第一个时钟周期以及取消选择器件时均被屏蔽。
\overline{CEN}	同步输入	时钟使能输入，低电平有效。该时钟信号为低电平时，SRAM 可检测到它。该信号为高电平时将被屏蔽。由于取消激活 \overline{CEN} 时不会取消选择器件，所以若有需要，可以通过 \overline{CEN} 延续前一周期。
ZZ	异步输入	ZZ “睡眠” 输入。该高电平有效输入可将器件处于非时间关键 “睡眠” 条件，并且保存数据的完整性。正常工作时，必须将该引脚设为低电平或处于悬空状态。ZZ 引脚具有内部下拉电阻。

引脚定义 (续)

名称	I/O	说明
DQ _S	同步 I/O	双向数据 I/O 线。 作为输入使用时，这些线将数据发送到片上数据寄存器内，该操作在 CLK 的上升沿上触发。作为输出时，在读周期的前时钟上升沿期间，它们将发送存储器中由所存地址指定位置的数据。这些引脚的方向由 \overline{OE} 控制。将 \overline{OE} 置为低电平时，这些引脚作为输出使用。将其置为高电平时，DQ _S 和 DQP _[A:D] 处于三态。无论 \overline{OE} 的状态如何，在写序列的数据传输期间、信号退出取消选择状态后的第一个时钟周期以及取消选择器件时，这些输出都自动处于三态。
DQP _X	同步 I/O	双向数据奇偶校验 I/O 线。 从功能的角度来看，这些信号相同于 DQ _S 。
MODE	引脚 strap 输入	MODE 输入。 用于选择器件的突发顺序。 接地时，将选择线性突发序列。连接到 V _{DD} 或处于悬空时，则选择交错突发序列。
V _{DD}	电源供应	器件内核的电源输入。
V _{DDQ}	I/O 供电电源	I/O 电路的供电电压。
V _{SS}	接地	器件接地。
NC	—	无连接。 没有内部连接到芯片 (die)。NC/ (36 M, 72 M, 144 M, 288 M, 576 M, 1 G) 是地址扩展引脚，并没有内部连接到芯片 (die)。

功能概述

CY7C1371KV33 / CY7C1371KVE33 / CY7C1373KV33 是同步直通突发 SRAM，其设计目的是为了消除读 / 写切换操作中的等待状态。所有同步输入均通过由时钟的上升沿控制的输入寄存器。时钟信号由时钟使能输入信号 ($\overline{\text{CEN}}$) 所控制。如果 $\overline{\text{CEN}}$ 为高电平，时钟信号将不被检测，并且保持所有的内部状态。所有的同步操作均由 $\overline{\text{CEN}}$ 控制。从时钟上升沿之后的最长访问延迟 (t_{CDV}) 为 6.5 ns (对于 133 MHz 器件)。

通过在时钟的上升沿上激活全部三个芯片使能 ($\overline{\text{CE}}_1$ 、 $\overline{\text{CE}}_2$ 和 $\overline{\text{CE}}_3$) 信号，可以进行访问。如果时钟使能信号 ($\overline{\text{CEN}}$) 为低电平有效，并且 $\text{ADV}/\overline{\text{LD}}$ 被置为低电平，则传输到器件的地址将被锁存。根据写入使能 ($\overline{\text{WE}}$) 状态，进行的访问可能是读或写操作。 $\overline{\text{BW}}_X$ 可用于实现字节写操作。

写入操作由写入使能 ($\overline{\text{WE}}$) 信号所控制。通过片上同步自定时写入电路，可轻松实现所有写入操作。

三个同步芯片使能 ($\overline{\text{CE}}_1$ 、 $\overline{\text{CE}}_2$ 、 $\overline{\text{CE}}_3$) 和一个异步输出使能 ($\overline{\text{OE}}$) 简化了深度扩展。所有操作 (读、写和取消选择) 均是流水线模式的。取消选择器件后，必须将 $\text{ADV}/\overline{\text{LD}}$ 置为低电平，以便加载下一个操作的新地址。

单一读取访问

如果在时钟的上升沿上满足下列条件，将启动读访问：

- $\overline{\text{CEN}}$ 被置低
- $\overline{\text{CE}}_1$ 、 $\overline{\text{CE}}_2$ 和 $\overline{\text{CE}}_3$ 均为有效状态
- 写使能输入信号 $\overline{\text{WE}}$ 被置为高电平
- $\text{ADV}/\overline{\text{LD}}$ 被置为低电平。

传输到地址输入的的地址被锁存到地址寄存器中，同时被传输到存储器阵列和控制逻辑模块中。控制逻辑模块确定正在进行读访问，并通过控制逻辑模块可以将请求的数据传送到输出缓冲区。如果 $\overline{\text{OE}}$ 为低电平有效，数据会在 6.5 ns (对于 133 MHz 器件) 的时间内有效。在读访问的第一个时钟周期后，输出缓冲区由 $\overline{\text{OE}}$ 和内部控制逻辑控制。为了输出所需数据，必须将 $\overline{\text{OE}}$ 置为低电平。在第二个时钟周期内，可以启动下一个操作 (读取 / 写入 / 取消选择)。当通过一个芯片使能信号在时钟的上升沿上取消选择 SRAM 时，其输出将立即处于三态。

突发读取访问

通过 CY7C1371KV33 / CY7C1371KVE33 / CY7C1373KV33 的片上突发计数器，用户可以提供一个地址并且能实现最多 4 个读取操作，而无需重新激活地址输入。为了将新的地址加载到 SRAM 内，必须将 $\text{ADV}/\overline{\text{LD}}$ 置为低电平，如单一读取访问一节所

述。突发计数器的序列由 MODE 输入信号决定。低电平 MODE 输入选择线性突发模式，而高电平输入选择交错突发序列。这两个突发计数器都使用突发序列中的 A_0 和 A_1 ，并且在递增至最大值时执行循环处理。如果 $\text{ADV}/\overline{\text{LD}}$ 输入被置于高电平，无论芯片使能输入或 $\overline{\text{WE}}$ 的状态如何，内部突发计数器都会递增。 $\overline{\text{WE}}$ 在突发周期开始时被锁存。因此，在整个突发序列中将保持访问的类型 (读取或写入)。

单一写访问

如果在时钟上升沿上满足以下条件，将启动写入访问：(1) $\overline{\text{CEN}}$ 被置为低电平，(2) $\overline{\text{CE}}_1$ 、 $\overline{\text{CE}}_2$ 和 $\overline{\text{CE}}_3$ 均被激活，以及 (3) 写入信号 $\overline{\text{WE}}$ 为低电平。发送到地址总线的地址会被加载到地址寄存器中。写信号被锁存到控制逻辑模块中。无论 $\overline{\text{OE}}$ 输入信号的状态如何，都会自动使数据线进入三态。这样，外部逻辑能够将数据传输到 DQs 和 DQP_X 。

在下一个时钟上升沿上，将传输到 DQs 和 DQP_X (或字节写操作的子集，有关更详细信息，请参见真值表) 的数据锁存到器件，并完成写操作。在该周期中可以启动另一个访问 (读取 / 写入 / 取消选择)。

在写操作中，被写入的数据由 $\overline{\text{BW}}_X$ 信号控制。CY7C1371KV33 / CY7C1371KVE33 / CY7C1373KV33 提供了字节写功能，真值表中对该功能进行了详细介绍。如果激活了写使能输入 ($\overline{\text{WE}}$) 和选中字节写入选择输入，那么只能对所需的字节进行写操作。字节写入操作中未选中的字节将保持不变。所提供的同步自定时写入机制能够简化写入操作。通过集成字节写入能力，可以明显简化读取 / 修改 / 写入序列，甚至可以将这些序列简化为简单的字节写入操作。

由于 CY7C1371KV33 / CY7C1371KVE33 / CY7C1373KV33 均为通用的 I/O 器件，当输出在运行时，不应该将数据发送到器件内。将数据传输到 DQ 和 DQP_X 输入之前，可以将输出使能 ($\overline{\text{OE}}$) 置为高电平。这样可使输出驱动器处于三态。为安全起见，无论 $\overline{\text{OE}}$ 的状态如何，在写周期的传输数据过程中， DQ 和 DQP_X 将自动进入三态。

突发写访问

通过 CY7C1371KV33 / CY7C1371KVE33 / CY7C1373KV33 的片上突发计数器，用户可以提供一个地址并且能实现最多 4 个读取操作，而无需重新激活地址输入。为了加载初始地址，必须将 $\text{ADV}/\overline{\text{LD}}$ 置为低电平，如单一写访问一节所述。在下一个上升沿上，将 $\text{ADV}/\overline{\text{LD}}$ 置高时，芯片使能 ($\overline{\text{CE}}_1$ 、 $\overline{\text{CE}}_2$ 和 $\overline{\text{CE}}_3$) 和 $\overline{\text{WE}}$ 输入均被忽略，并且突发计数器将递增。在每个突发写周期中，必须驱动正确的 $\overline{\text{BW}}_X$ 输入，这样才能写入正确的数据字节。

睡眠模式

ZZ 输入引脚是一个异步输入。激活 ZZ 后，SRAM 将进入节能的“睡眠”模式。进入或退出该“睡眠”模式需要占用两个时钟周期。在该模式中，数据完整性得到保证。进入睡眠模式时等待的访问被视为无效访问，也不会确保能完成操作。进入睡眠模式之前，必须取消选择器件。 \overline{CE}_1 、 \overline{CE}_2 和 \overline{CE}_3 在 ZZ 输入返回低电平后的 t_{ZZREC} 时间内保持无效状态。

交错突发地址表

(MODE = 悬空或 V_{DD})

第一个地址 A1:A0	第二个地址 A1:A0	第三个地址 A1:A0	第四个地址 A1:A0
00	01	10	11
01	00	11	10
10	11	00	01
11	10	01	00

线性突发地址表

(MODE = GND)

第一个地址 A1:A0	第二个地址 A1:A0	第三个地址 A1:A0	第四个地址 A1:A0
00	01	10	11
01	10	11	00
10	11	00	01
11	00	01	10

ZZ 模式的电气特性

参数	说明	测试条件	最小值	最大值	单位
I_{DDZZ}	睡眠模式下的待机电流	$ZZ \geq V_{DD} - 0.2\text{ V}$	—	65	mA
t_{ZZS}	器件从运行状态到进入 ZZ 模式的时间	$ZZ \geq V_{DD} - 0.2\text{ V}$	—	$2t_{CYC}$	ns
t_{ZZREC}	ZZ 恢复时间	$ZZ \leq 0.2\text{ V}$	$2t_{CYC}$	—	ns
t_{ZZI}	从 ZZ 置为高电平到器件进入睡眠状态的时间	采样数据	—	$2t_{CYC}$	ns
t_{RZZI}	从 ZZ 置为低电平到器件退出睡眠状态的时间	采样数据	0	—	ns

真值表

CY7C1371KV33 / CY7C1371KVE33 / CY7C1373KV33 的真值表如下所示。[1、2、3、4、5、6、7]

操作	所使用的地址	\overline{CE}_1	CE_2	\overline{CE}_3	ZZ	ADV/LD	\overline{WE}	\overline{BW}_X	\overline{OE}	\overline{CEN}	CLK	DQ
取消选择周期	无	H	X	X	L	L	X	X	X	L	L->H	三态
取消选择周期	无	X	X	H	L	L	X	X	X	L	L->H	三态
取消选择周期	无	X	L	X	L	L	X	X	X	L	L->H	三态
继续取消选择周期	无	X	X	X	L	H	X	X	X	L	L->H	三态
读周期（开始传输）	外部地址	L	H	L	L	L	H	X	L	L	L->H	数据输出（Q）
读周期（继续传输）	下一个地址	X	X	X	L	H	X	X	L	L	L->H	数据输出（Q）
NOP/ 虚拟读取（开始传输）	外部地址	L	H	L	L	L	H	X	H	L	L->H	三态
虚拟读取（继续传输）	下一个地址	X	X	X	L	H	X	X	H	L	L->H	三态
写周期（开始传输）	外部地址	L	H	L	L	L	L	L	X	L	L->H	数据输入（D）
写周期（继续传输）	下一个地址	X	X	X	L	H	X	L	X	L	L->H	数据输入（D）
NOP/ 写入中止（开始传输）	无	L	H	L	L	L	L	H	X	L	L->H	三态
写入中止（继续传输）	下一个地址	X	X	X	L	H	X	H	X	L	L->H	三态
忽略时钟沿（拖延）	当前地址	X	X	X	L	X	X	X	X	H	L->H	-
睡眠模式	无	X	X	X	H	X	X	X	X	X	X	三态

注意：

1. X = “无需关注。” H = 逻辑高电平，L = 逻辑低电平。“ $\overline{BW}_X = 0$ ”表示至少一个字节写入选择信号处于活动状态，“ $\overline{BW}_X = \text{有效}$ ”表示所需的字节写入选择信号被激活；更详细信息，请参考真值表中的内容。
2. 写操作由 \overline{BW}_X 和 \overline{WE} 定义。读 / 写操作的真值表。
3. 当检测到某个写周期时（即使是在字节写期间），所有 I/O 均处于三态。
4. \overline{DQ} 和 \overline{DQP}_X 引脚由当前周期和 \overline{OE} 信号控制。 \overline{OE} 是异步信号，并不在时钟边沿上进行采样。
5. $\overline{CEN} = H$ ，将插入等待状态。
6. 无论 \overline{OE} 的状态如何，器件上电时为非选择状态，并且全部 I/O 均处于三态。
7. \overline{OE} 是异步信号，并且不在时钟上升沿上进行采样。该信号在写周期中被内部屏蔽。在读周期内， \overline{OE} 为无效或器件被取消选择时， \overline{DQ} s 和 \overline{DQP}_X 均为三态，并且在 \overline{OE} 为有效时， \overline{DQ} s 和 \overline{DQP}_X 带有数据。

读 / 写操作的局部真值表

CY7C1371KV33 / CY7C1371KVE33 的读 / 写操作局部真值表如下所示。 [8、9、10]

功能 (CY7C1371KV33/CY7C1371KVE33)	\overline{WE}	\overline{BW}_A	\overline{BW}_B	\overline{BW}_C	\overline{BW}_D
读取	H	X	X	X	X
写入 — 未写入任何字节	L	H	H	H	H
写入字节 A — (DQ _A 和 DQP _A)	L	L	H	H	H
写入字节 B — (DQ _B 和 DQP _B)	L	H	L	H	H
写入字节 C — (DQ _C 和 DQP _C)	L	H	H	L	H
写入字节 D — (DQ _D 和 DQP _D)	L	H	H	H	L
写入所有字节	L	L	L	L	L

读 / 写操作的局部真值表

CY7C1373KV33 的读 / 写操作局部真值表如下所示。 [8、9、10]

功能 (CY7C1373KV33)	\overline{WE}	\overline{BW}_A	\overline{BW}_B
读取	H	X	X
写入 — 未写入任何字节	L	H	H
写入字节 A — (DQ _A 和 DQP _A)	L	L	H
写入字节 B — (DQ _B 和 DQP _B)	L	H	L
写入所有字节	L	L	L

注意:

8. X = “无需关注”。H = 逻辑高电平, L = 逻辑低电平。“ $\overline{BW}_X = 0$ ”表示至少一个字节写入选择信号处于活动状态, “ $\overline{BW}_X = \text{有效}$ ”表示所需的字节写入选择信号被激活; 更详细信息, 请参考第 11 页上的真值表的内容。
9. 写操作由 \overline{BW}_X 和 \overline{WE} 定义。请参考第 11 页上的真值表, 了解读 / 写操作的真值表。
10. 该表仅列出了字节写入组合的一部分。 \overline{BW}_X 的任何组合都有效。根据有效的字节写入, 将执行相应的写操作。

最大额定值

超过最大额定值可能会影响器件的使用寿命。这些用户指南未经过测试。

存放温度 -65 °C 到 +150 °C

通电状态下的环境温度 -55 °C 到 +125 °C

V_{DD} 上相对于 GND 的供电电压 -0.5 V 到 +4.6 V

V_{DDQ} 上相对于 GND 的供电电压 -0.5 V 到 + V_{DD}

三态模式下的输出直流电压 -0.5 V 到 $V_{DDQ} + 0.5$ V

直流输入电压 -0.5 V 到 $V_{DD} + 0.5$ V

输出电流（低电平） 20 mA

静电放电电压

（MIL-STD-883，方法 3015） > 2001 V

门锁电流 > 200 mA

工作范围

范围	环境温度	V_{DD}	V_{DDQ}
商业级	0 °C 到 +70 °C	3.3 V – 5% / + 10%	2.5 V – 5% 到 V_{DD}
工业级	-40 °C 到 +85 °C		

抗中子软失效

参数	说明	测试条件	典型值	最大值 *	单位
LSBU（无 ECC 的器件）	逻辑单比特错误	25 °C	197	216	FIT/Mb
LSBU（带 ECC 的器件）			0	0.01	FIT/Mb
LMBU	逻辑多比特错误	25 °C	0	0.01	FIT/Mb
SEL	单粒子门锁	85 °C	0	0.1	FIT/Dev

* 测试期间未出现 LMBU 或 SEL 事件；该列为统计得出的 γ^2 ，按 95% 置信区间计算。如需详细信息，请参考应用笔记 AN54908 “加速抗中子 SER 测试和陆生故障率的计算”。

电气特性

在工作范围内

参数 ^[11、12]	说明	测试条件	最小值	最大值	单位
V_{DD}	供电电压		3.135	3.6	V
V_{DDQ}	I/O 供电电压	3.3 V I/O	3.135	V_{DD}	V
		2.5 V I/O	2.375	2.625	V
V_{OH}	输出高电压	3.3 V I/O, $I_{OH} = -4.0$ mA	2.4	–	V
		2.5 V I/O, $I_{OH} = -1.0$ mA	2.0	–	V
V_{OL}	输出低电压	3.3 V I/O, $I_{OL} = 8.0$ mA	–	0.4	V
		2.5 V I/O, $I_{OL} = 1.0$ mA	–	0.4	V
V_{IH}	输入高电压 ^[11]	3.3 V I/O	2.0	$V_{DD} + 0.3$	V
		2.5 V I/O	1.7	$V_{DD} + 0.3$	V
V_{IL}	输入低电压 ^[11]	3.3 V I/O	-0.3	0.8	V
		2.5 V I/O	-0.3	0.7	V
I_X	输入漏电流（ZZ 和 MODE 除外）	$GND \leq V_I \leq V_{DDQ}$	-5	5	μ A
	MODE 的输入电流	输入 = V_{SS}	-30	–	μ A
		输入 = V_{DD}	–	5	μ A
	ZZ 的输入电流	输入 = V_{SS}	-5	–	μ A
		输入 = V_{DD}	–	30	μ A

注意：

11. 过冲： $V_{IH(AC)} < V_{DD} + 1.5$ V（脉冲宽度小于 $t_{CYC}/2$ ），下冲： $V_{IL(AC)} > -2$ V（脉冲宽度小于 $t_{CYC}/2$ ）。

12. $T_{Power-up}$ ：假设至少在 200 ms 内从 0 V 的电压线性上上升至 $V_{DD(min)}$ 。在此期间， $V_{IH} < V_{DD}$ 和 $V_{DDQ} \leq V_{DD}$ 。

电气特性 (续)

在工作范围内

参数 ^[11、12]	说明	测试条件			最小值	最大值	单位
I_{OZ}	输出漏电流	$GND \leq V_I \leq V_{DDQ}$, 输出被禁用			-5	5	μA
I_{DD}	V_{DD} 的工作电流	$V_{DD} = \text{最大值}, I_{OUT} = 0 \text{ mA}, f = f_{MAX} = 1/t_{CYC}$	100 MHz	x 18	—	114	mA
				x 36	—	134	
			133 MHz	x 18	—	129	
				x 36	—	149	
I_{SB1}	自动 CE 断电电流 — TTL 输入	最大值 V_{DD} , 取消选择器件, $V_{IN} \geq V_{IH}$ 或 $V_{IN} \leq V_{IL}$, $f = f_{MAX} = 1/t_{CYC}$	100 MHz	x 18	—	75	mA
				x 36	—	80	
			133 MHz	x 18	—	75	
				x 36	—	80	
I_{SB2}	自动 CE 断电电流 — CMOS 输入	最大值 V_{DD} , 取消选择器件, $V_{IN} \leq 0.3 \text{ V}$ 或 $V_{IN} \geq V_{DDQ} - 0.3 \text{ V}$, $f = 0$	所有速度范围	x 18	—	65	mA
				x 36	—	70	
I_{SB3}	自动 CE 断电电流 — CMOS 输入	最大值 V_{DD} , 取消选择器件, $V_{IN} \leq 0.3 \text{ V}$ 或 $V_{IN} \geq V_{DDQ} - 0.3 \text{ V}$, $f = f_{MAX} = 1/t_{CYC}$	100 MHz	x 18	—	75	mA
				x 36	—	80	
			133 MHz	x 18	—	75	
				x 36	—	80	
I_{SB4}	自动 CE 断电电流 — TTL 输入	最大值 V_{DD} , 取消选择器件, $V_{IN} \geq V_{IH}$ 或 $V_{IN} \leq V_{IL}$, $f = 0$	所有速度范围	x 18	—	65	mA
				x 36	—	70	

电容值

参数	说明	测试条件	100 引脚 TQFP 封装	单位
C_{IN}	输入电容	$T_A = 25\text{ }^{\circ}\text{C}$, $f = 1\text{ MHz}$, $V_{DD} = 3.3\text{ V}$, $V_{DDQ} = 2.5\text{ V}$	5	pF
C_{CLK}	时钟输入电容		5	pF
C_{IO}	输入 / 输出电容		5	pF

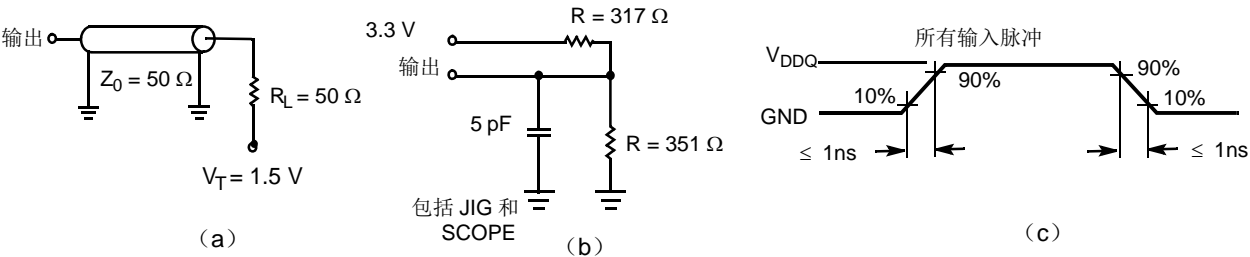
热阻

参数	说明	测试条件		100 引脚 TQFP 封装	单位
Θ_{JA}	热阻 （结至环境）	根据 EIA/JESD51 的要求，测试条件遵循测试热阻的标准测试方法和过程。	静气 （0 m/s）	37.95	°C/W
			气流 （1 m/s）	33.19	°C/W
			气流 （3 m/s）	30.44	°C/W
Θ_{JB}	热阻 （结至电路板）		—	24.07	°C/W
Θ_{JC}	热阻 （结至外壳）			8.36	°C/W

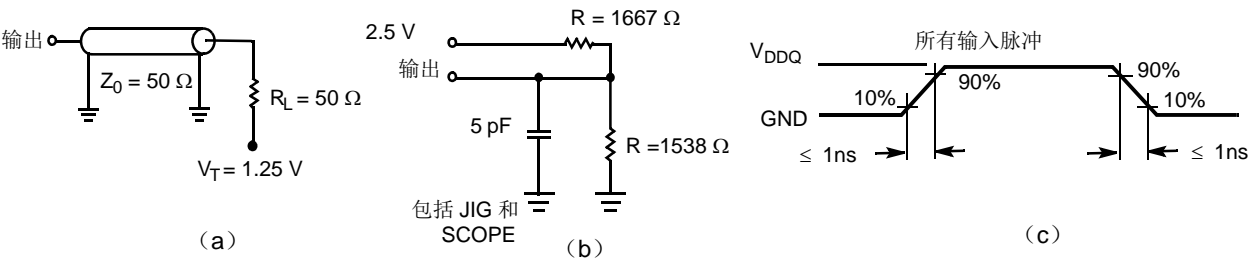
交流测试负载和波形

图 3. 交流测试负载和波形

3.3 V I/O 测试负载



2.5 V I/O 测试负载



开关特性

在工作范围内

参数 ^[13、14]	说明	133 MHz		100 MHz		单位
		最小值	最大值	最小值	最大值	
t_{POWER}	从电压为 V_{DD} （典型值）到第一次访问的时间 ^[15]	1	—	1	—	ms
时钟						
t_{CYC}	时钟周期时间	7.5	—	10	—	ns
t_{CH}	时钟为高电平的时间	2.1	—	2.5	—	ns
t_{CL}	时钟为低电平的时间	2.1	—	2.5	—	ns
输出时间						
t_{CDV}	CLK 上升沿之后数据输出有效的时间	—	6.5	—	8.5	ns
t_{DOH}	CLK 上升沿之后数据输出保持的时间	2.0	—	2.0	—	ns
t_{CLZ}	时钟上升沿到数据输入 / 输出为低阻态的时间 ^[16、17、18]	2.0	—	2.0	—	ns
t_{CHZ}	时钟上升沿到数据输入 / 输出为高阻态的时间 ^[16、17、18]	—	4.0	—	5.0	ns
$t_{OE\overline{V}}$	从 \overline{OE} 为低电平到输出有效的时间	—	3.2	—	3.8	ns
t_{OELZ}	从 \overline{OE} 为低电平到输出为低阻态的时间 ^[16、17、18]	0	—	0	—	ns
$t_{OE\overline{H}Z}$	从 \overline{OE} 为高电平到输出为高阻态的时间 ^[16、17、18]	—	4.0	—	5.0	ns
建立时间						
t_{AS}	CLK 上升沿之前地址建立的时间	1.5	—	1.5	—	ns
t_{ALS}	CLK 上升沿之前 $\overline{ADV}/\overline{LD}$ 建立的时间	1.5	—	1.5	—	ns
t_{WES}	CLK 上升沿之前 \overline{WE} 和 \overline{BW}_x 建立的时间	1.5	—	1.5	—	ns
t_{CENS}	CLK 上升沿之前 \overline{CEN} 建立的时间	1.5	—	1.5	—	ns
t_{DS}	CLK 上升沿之前数据输入建立的时间	1.5	—	1.5	—	ns
t_{CES}	CLK 上升沿之前芯片使能建立的时间	1.5	—	1.5	—	ns
保持时间						
t_{AH}	CLK 上升沿之后地址保持的时间	0.5	—	0.5	—	ns
t_{ALH}	CLK 上升沿之后 $\overline{ADV}/\overline{LD}$ 保持的时间	0.5	—	0.5	—	ns
t_{WEH}	CLK 上升沿之后 \overline{WE} 和 \overline{BW}_x 保持的时间	0.5	—	0.5	—	ns
t_{CENH}	CLK 上升沿之后 \overline{CEN} 保持的时间	0.5	—	0.5	—	ns
t_{DH}	CLK 上升沿之后数据输入保持的时间	0.5	—	0.5	—	ns
t_{CEH}	CLK 上升沿之后芯片使能保持的时间	0.5	—	0.5	—	ns

注意:

13. $V_{DDQ} = 3.3\text{ V}$ 时, 时序参考电压为 1.5 V; $V_{DDQ} = 2.5\text{ V}$ 时, 时序参考电压为 1.25 V。

14. 除非另有说明, 否则测试条件都显示在第 15 页上的图 3 的 (a) 内。

15. 该器件内部拥有一个电压调节器; t_{POWER} 是指启动读操作或写操作前提供的电源必须高于 $V_{DD(\text{minimum})}$ 所持续的时间。

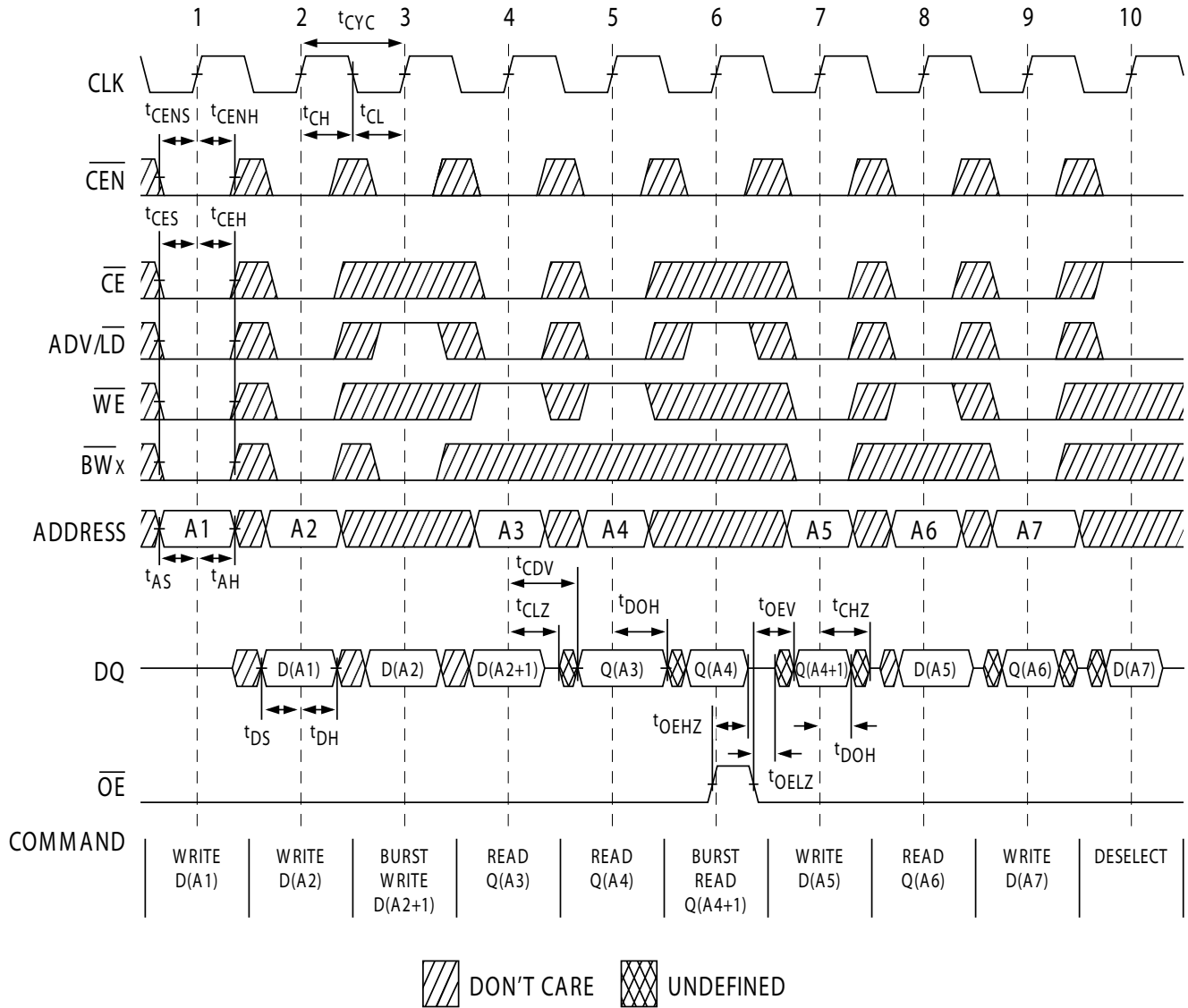
16. t_{CHZ} 、 t_{CLZ} 、 t_{OELZ} 和 $t_{OE\overline{H}Z}$ 都在第 15 页上的图 3 的 (b) 部分所示的交流测试条件下指定的。跃变在稳定状态电压 $\pm 200\text{ mV}$ 的条件下测量。

17. 在任何给定的电压和温度情况下, $t_{OE\overline{H}Z}$ 小于 t_{OELZ} , t_{CHZ} 小于 t_{CLZ} ; 这样在共享同一个数据总线时能够排除各 SRAM 间的总线冲突。这些规范并不表示一个总线冲突条件, 但反映了在最坏的情况下得到保证的参数。器件设计是为了在同一个系统条件下进入低阻态前先要进入高阻态。

18. 该参数为采样值, 并非 100% 经过了测试。

开关波形

图 4. 读 / 写波形^[19、20、21]



注意:

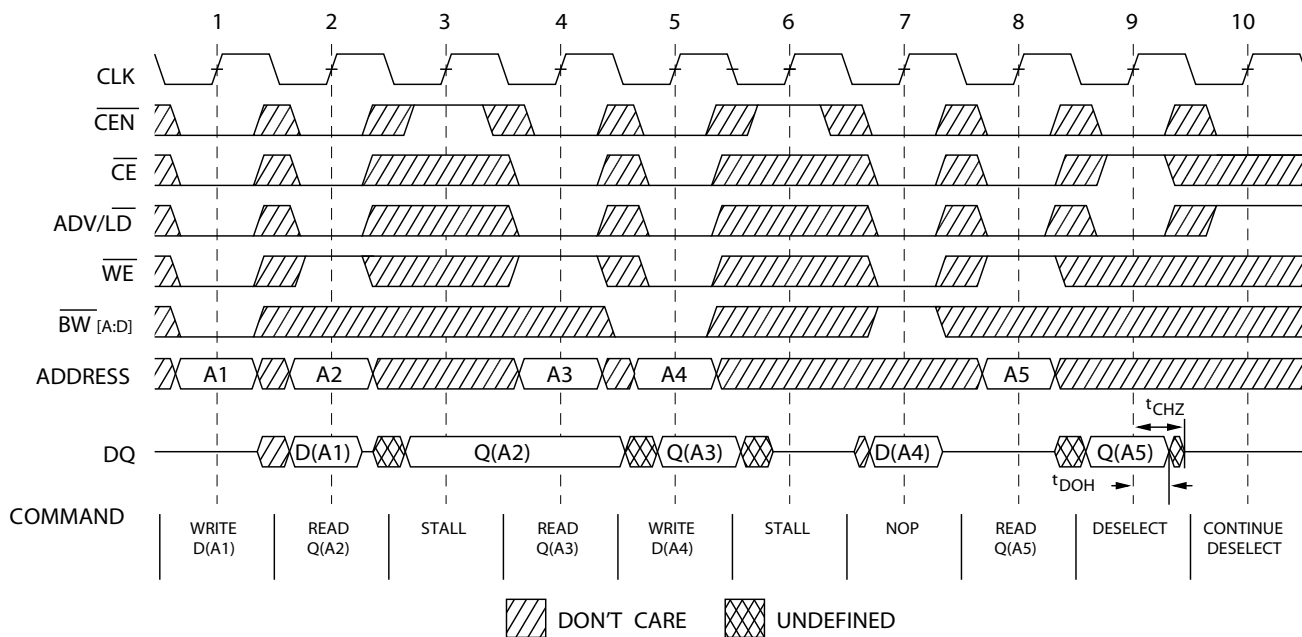
19. 对于该波形，ZZ 被置为低电平。

20. 如果 \overline{CE} 为低电平， \overline{CE}_1 和 \overline{CE}_3 为低电平， \overline{CE}_2 为高电平。如果 \overline{CE} 为高电平， \overline{CE}_1 为高电平，或 \overline{CE}_2 为低电平，或 \overline{CE}_3 为高电平。

21. MODE 的状态会决定突发的顺序（0 = 线性，1 = 交错）。突发操作是可选的。

开关波形（续）

图 5. NOP、STALL 和 DESELECT 周期 [22、23、24]



注意:

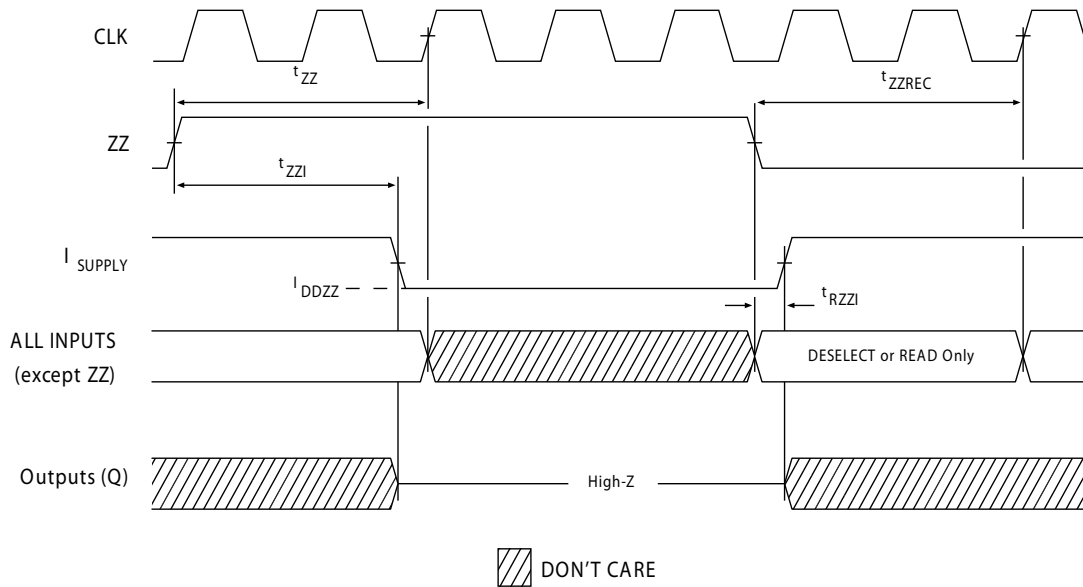
22. 对于该波形，ZZ 被置为低电平。

23. 如果 \overline{CE} 为低电平， \overline{CE}_1 和 \overline{CE}_3 为低电平， CE_2 为高电平。如果 \overline{CE} 为高电平： \overline{CE}_1 为高电平，或 CE_2 为低电平，或 \overline{CE}_3 为高电平。

24. IGNORE CLOCK EDGE 或 STALL 周期（时钟 3）说明 \overline{CEN} 用于创建一个暂停。在该周期中，不执行写操作。

开关波形 (续)

图 6. ZZ 模式时序 [25、26]



注意:

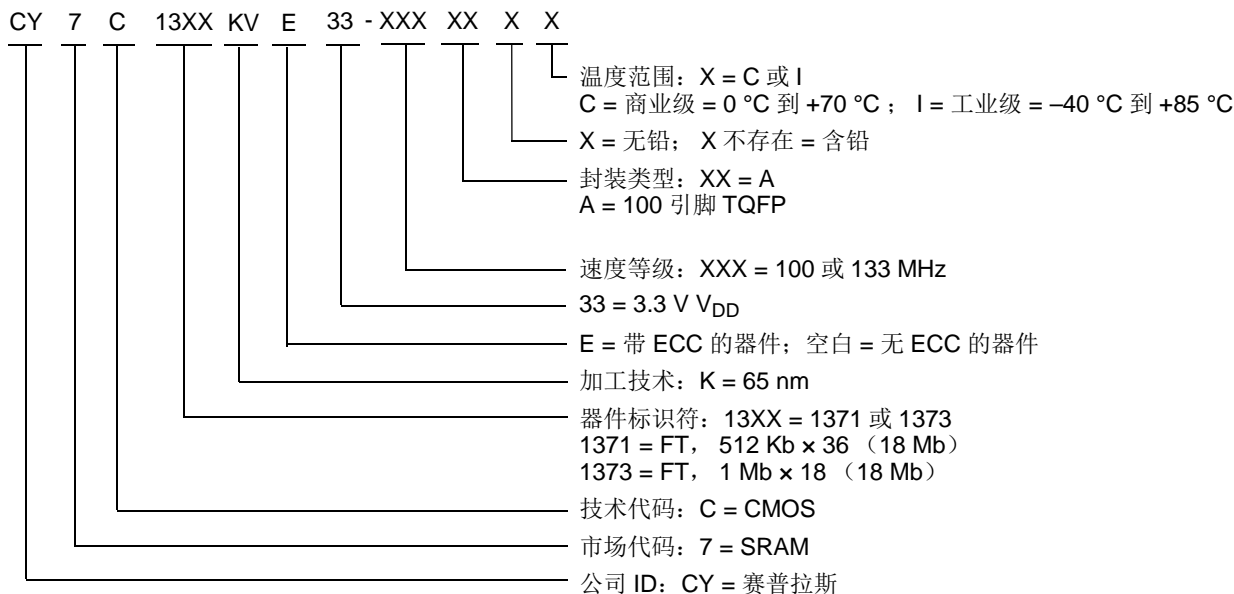
- 25. 进入 ZZ 模式时, 必须取消选择器件。有关取消选择器件的所有可能信号条件, 请参考真值表。
- 26. 退出 ZZ 睡眠模式时, DQs 处于高阻态。

订购信息

赛普拉斯还对该类型产品提供了其他版本，它们适用于多种配置并具有丰富的特性。下表仅包含目前可以供应的器件。有关所有产品的完整列表，请访问赛普拉斯网站 www.cypress.com 并参考 <http://www.cypress.com/products> 上的产品汇总页，或联系您的当地销售代表。赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要找到离您最近的办事处，请访问 <http://www.cypress.com/go/datasheet/offices>。

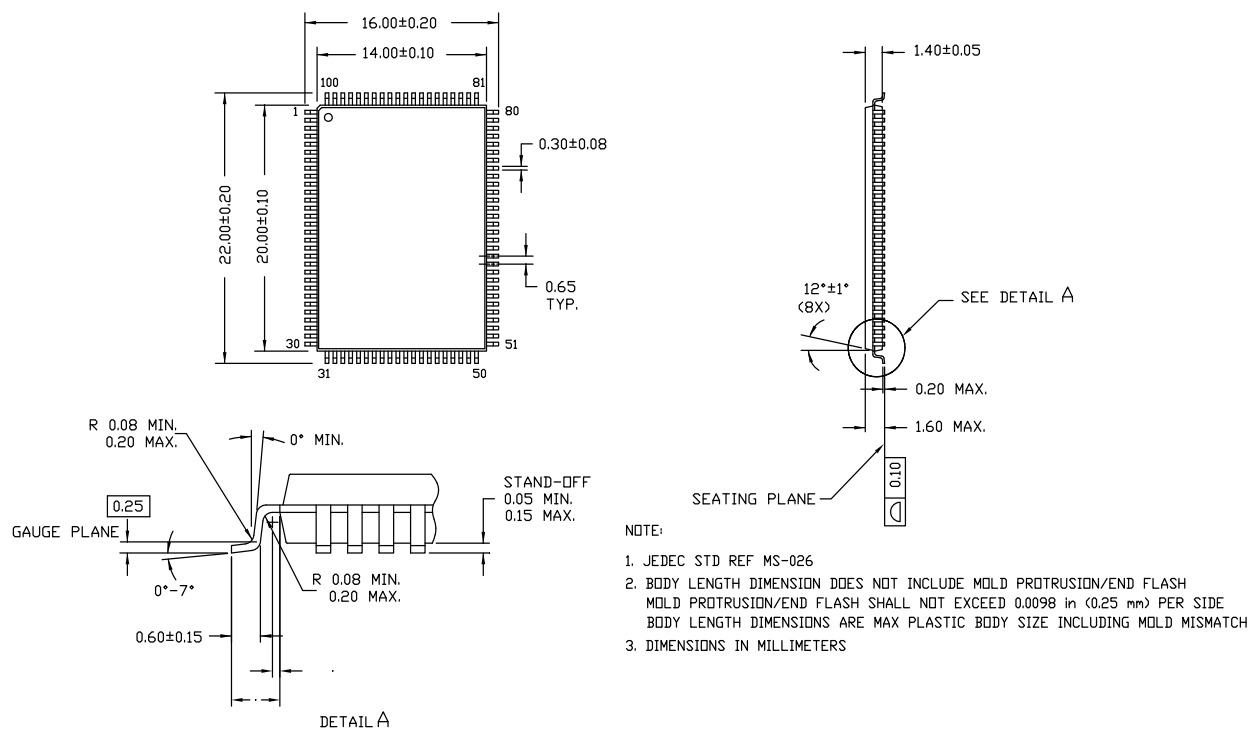
速度 (MHz)	订购代码	封装图	器件和封装类型	工作范围
133	CY7C1371KV33-133AXC	51-85050	100 引脚 TQFP (14 × 20 × 1.4 mm) 无铅	商业级
	CY7C1373KV33-133AXI			工业级
	CY7C1371KVE33-133AXI			
100	CY7C1371KV33-100AXC	51-85050	100 引脚 TQFP (14 × 20 × 1.4 mm) 无铅	商业级
	CY7C1373KV33-100AXC			
	CY7C1371KV33-100AXI			工业级
	CY7C1371KVE33-100AXI			

订购代码定义



封装图

图 7. 100 引脚 TQFP (14 × 20 × 1.4 mm) A100RA 封装外形, 51-85050



51-85050 *E

缩略语

缩略语	说明
CMOS	互补金属氧化物半导体
\overline{CE}	芯片使能
\overline{CEN}	时钟使能
EIA	电子工业联盟
I/O	输入 / 输出
JEDEC	联合电子器件工程委员会 (Joint Electron Devices Engineering Council)
JTAG	联合测试行动小组
LSB	最低有效位
MSB	最高有效位
NoBL	无总线延迟
\overline{OE}	输出使能
SRAM	静态随机存取存储器
TAP	测试存取端口
TCK	测试时钟
TDI	测试数据输入
TMS	测试模式选择
TDO	测试数据输出
TQFP	薄型四方扁平封装
TTL	晶体管 - 晶体管逻辑
\overline{WE}	写使能

文档规范

测量单位

符号	测量单位
°C	摄氏度
MHz	兆赫兹
μA	微安
mA	毫安
mm	毫米
ms	毫秒
mV	毫伏
nm	纳米
ns	纳秒
Ω	欧姆
%	百分比
pF	皮法
V	伏特
W	瓦特

文档修订记录

文档标题: CY7C1371KV33/CY7C1371KVE33/CY7C1373KV33, 带有 NoBL™ 架构的 18 Mbit (512 K × 36/1 M × 18) 直通 SRAM (带 ECC)
文档编号: 001-98226

版本	ECN 编号	变更者	提交日期	变更说明
**	4854111	LYAO	07/23/2015	本文档版本号为 Rev**, 译自英文版 001-97852 Rev*A。
*A	5011417	YLIU	11/12/2015	本文档版本号为 Rev*A, 译自英文版 001-97852 Rev*C。

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要找到离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

汽车级产品	cypress.com/go/automotive
时钟与缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应产品	cypress.com/go/touch
USB 控制器	cypress.com/go/USB
无线 / 射频	cypress.com/go/wireless

PSoC® 解决方案

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

技术支持

cypress.com/go/support

© 赛普拉斯半导体公司，2015。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能适用于赛普拉斯软件许可协议的限制。