

エラー訂正コード (ECC) 付 16M ビット (2M ワード × 8 ビット) スタティック

特長

- 高速
 - $t_{AA} = 10\text{ns}$
- シングル ビット エラー訂正用の組込みエラー訂正コード (ECC)
- 少ないアクティブおよびスタンバイ消費電流
 - $I_{CC} = 90\text{mA}$ (100MHz での Typ)
 - $I_{SB2} = 20\text{mA}$ (Typ)
- 動作電圧範囲 : 1.65V ~ 2.2V、2.2V ~ 3.6V、4.5V ~ 5.5V
- 1.0V データ保持
- トランジスタ - トランジスタ ロジック (TTL) と互換性のある入出力
- 1 ビットエラー検出と訂正を示す ERR ピン
- 鉛フリー54ピンTSOP IIと48ボールVFBGAパッケージで出荷

機能の説明

CY7C1069G 及び CY7C1069GE は組込み ECC を備えたデュアルチップ イネーブル高性能 CMOS 高速スタティック RAM デバイスです。CY7C1069G デバイスは標準ピン設定で使用可能です。CY7C1069GE デバイスは、ECC エラー検出および訂正イベントが発生した時にホスト プロセッサに通知するシングル ビットエラー通知ピンを備えています。

デバイスに書き込むために、チップ イネーブル ($\overline{CE_1}$ LOW、 CE_2 HIGH) および書き込みイネーブル (WE) 入力を LOW にします。8 個の I/O ピン ($I/O_0 \sim I/O_7$) からのデータは、アドレス ピン ($A_0 \sim A_{20}$) で示された位置に書き込まれます。

デバイスから読み出すために、チップ イネーブル ($\overline{CE_1}$ LOW、 CE_2 HIGH) および出力イネーブル (OE) を LOW にしながら、書き込みイネーブル (WE) を HIGH にします。これらの条件では、アドレス ピンによって指定されたメモリ位置の内容が I/O ピンに現れます。読み出しと書き込みモードの詳細については、[14 ページの 真理値表 - CY7C1069G/CY7C1069GE](#) を参照してください。入力ピンと出力ピン ($I/O_0 \sim I/O_7$) は、デバイスが選択解除される時 ($\overline{CE_1}$ HIGH または CE_2 LOW)、出力が無効になる時 (OE HIGH)、または書き込み動作の間 ($\overline{CE_1}$ LOW、 CE_2 HIGH、WE LOW)、高インピーダンス状態になります。

CY7C1069GE デバイスでは、アクセスされた位置のシングルビット エラーの検出および訂正は ERR 出力 (ERR = HIGH) のアサートによって示されます^[1]。

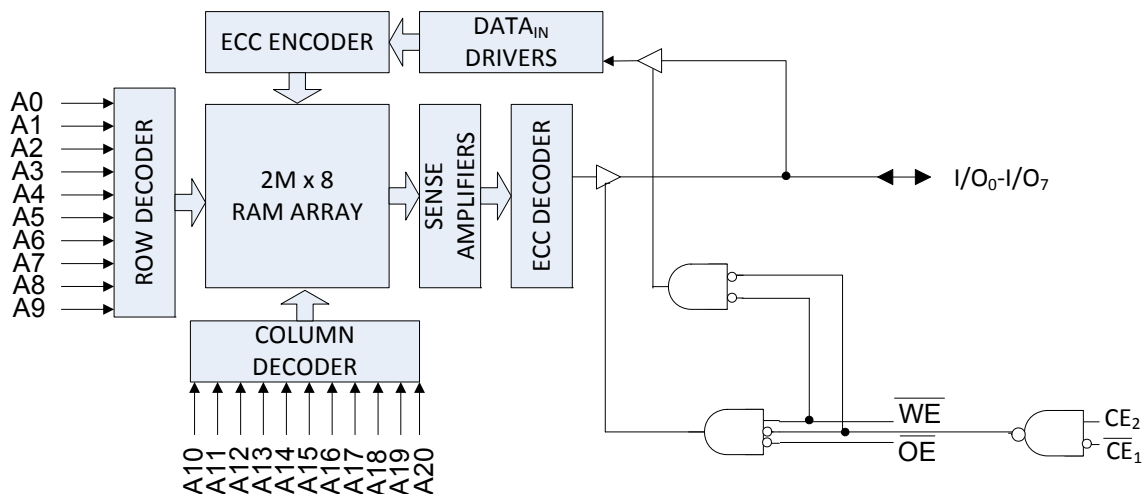
全ての I/O ($I/O_0 \sim I/O_7$) は、デバイスが選択解除され ($\overline{CE_1}$ HIGH または CE_2 LOW)、制御信号 ($\overline{CE_1}$ / CE_2 、OE、WE) がアサート解除される時、高インピーダンス状態になります。CY7C1069G および CY7C1069GE デバイスは、電源とグラウンドがパッケージ中心にある (革新的な) ピン配置の 54 ピン TSOP II パッケージ、および 48 ボール VFBGA パッケージで提供されています。

すべての関連資料の一覧については、[ここ](#)をクリックしてください。

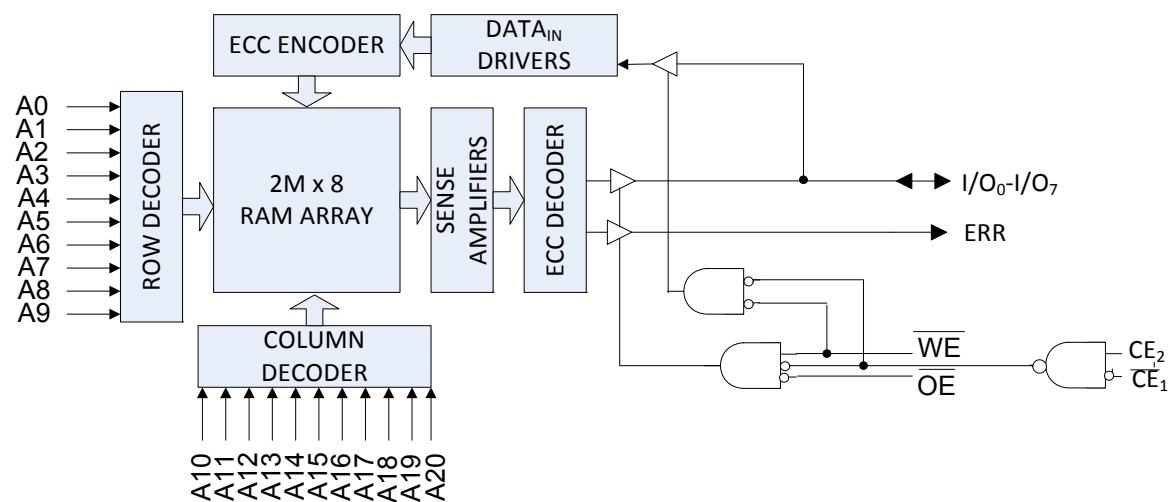
注:

1. このデバイスでは、エラー検出時の自動再書き込みをサポートしません。

論理ブロック図 — CY7C1069G



論理ブロック図 — CY7C1069GE



目次

| | |
|-----------------------------------|----|
| ピン配置 | 4 |
| 製品ポートフォリオ | 6 |
| 最大定格 | 7 |
| 動作範囲 | 7 |
| DC 電気的特性 | 7 |
| 静電容量 | 8 |
| 熱抵抗 | 8 |
| AC テストの負荷と波形 | 8 |
| データ保持特性 | 9 |
| データ保持波形 | 9 |
| AC スイッチング特性 | 10 |
| スイッチング波形 | 11 |
| 真理値表 – CY7C1069G/CY7C1069GE | 14 |
| ERR 出力 – CY7C1069GE | 14 |
| 注文情報 | 15 |

| | |
|---------------------------|----|
| 注文コードの定義 | 15 |
| 外形図 | 16 |
| 略語 | 18 |
| 本書の表記法 | 18 |
| 測定単位 | 18 |
| 改訂履歴 | 19 |
| セールス、ソリューションおよび法律情報 | 20 |
| ワールドワイド販売と設計サポート | 20 |
| 製品 | 20 |
| PSoC® ソリューション | 20 |
| サイプレス開発者コミュニティ | 20 |
| テクニカル サポート | 20 |

ピン配置

図 1. 54 ピン TSOP II ピン配置 (上面図) – CY7C1069G [2]

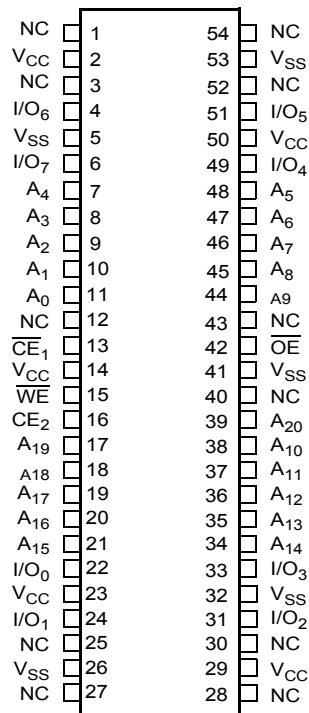
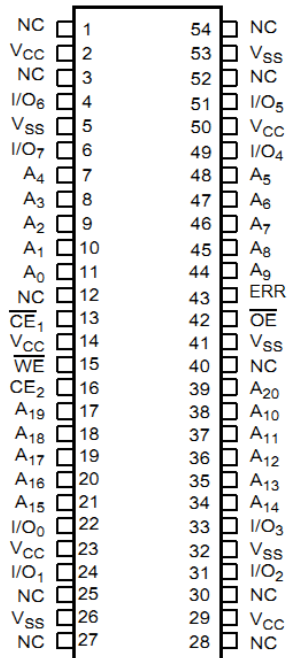


図 2. 54 ピン TSOP II ピン配置 (上面図) – CY7C1069GE [2, 3]



注:

2. NC ピンはダイに接続されていません。
3. ERR は出力ピンです。このピンを使用しない場合、開放にしてください。

ピン配置 (続き)

図 3. 48 ボール VFBGA ピン配置 (上面図) – CY7C1069G [4]

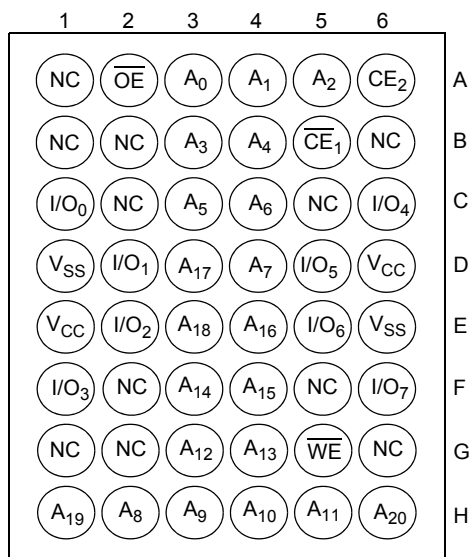
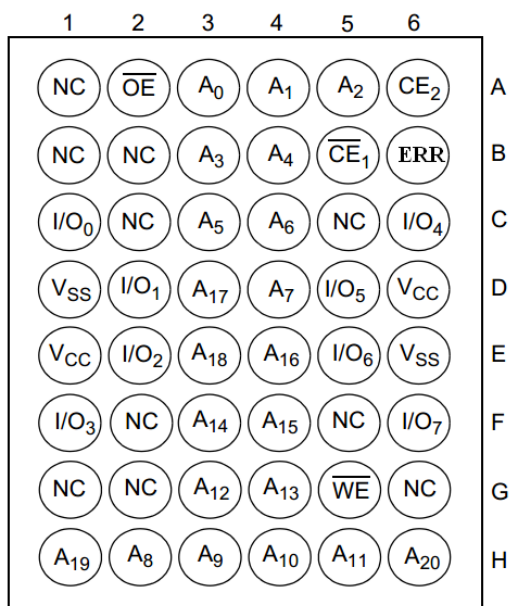


図 4. 48 ボール VFBGA ピン配置 (上面図) – CY7C1069GE [4、5]



注:

4. NC ピンはダイに接続されていません。
5. ERR は出力ピンです。このピンを使用しない場合、開放にしてください。

製品ポートフォリオ

| 製品 | 特長およびオプション (ピン配置の節を参照し てください) | 範囲 | V _{CC} の範囲 (V) | 速度 (ns) | 消費電力 | | | |
|--------------|-------------------------------------|-----|-------------------------|------------|--------------------------|-----|------------------------------|-----|
| | | | | | 動作時 I _{CC} (mA) | | スタンバイ時 I _{SB2} (mA) | |
| | | | | | f = f _{max} | | | |
| | | | | | Typ ^[6] | Max | Typ ^[6] | Max |
| CY7C1069G18 | デュアル チップ イネーブル | 産業用 | 1.65V ~ 2.2V | 15 | 70 | 80 | 20 | 30 |
| CY7C1069G30 | | | 2.2V ~ 3.6V | 10 | 90 | 110 | | |
| CY7C1069G | | | 4.5V ~ 5.5V | 10 | 90 | 110 | | |
| CY7C1069GE18 | ERR 出力付きデュアル チップ イネーブル | | 1.65V ~ 2.2V | 15 | 70 | 80 | | |
| CY7C1069GE30 | | | 2.2V ~ 3.6V | 10 | 90 | 110 | | |
| CY7C1069GE | | | 4.5V ~ 5.5V | 10 | 90 | 110 | | |

注:

6. Typ 値は単に参考値であり、保証またはテストされていません。Typ 値は、V_{CC} = 1.8V (V_{CC} が 1.65V ~ 2.2V の場合)、V_{CC} = 3V (V_{CC} が 2.2V ~ 3.6V の場合)、V_{CC} = 5V (V_{CC} が 4.5V ~ 5.5V の場合)、T_A = 25°C で測定しています。

最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。これらのユーザー ガイドラインはテストされていません。

保存温度 -65°C ~ +150°C
 通電時の周囲温度 -55°C ~ +125°C

GND を基準とした V_{CC} の電源電圧 -0.5V ~ +6.0V

High Z 状態の出力
 に印加される電圧^[7] -0.5V ~ $V_{CC} + 0.5V$

DC 電氣的特性

-40°C ~ 85°C の動作範囲

DC 入力電圧^[7] -0.5V ~ $V_{CC} + 0.5V$
 出力への電流 (LOW) 20mA
 静電気放電電圧 (MIL-STD-883、Method 3015) > 2001V
 ラッチアップ電流 > 140mA

動作範囲

| グレード | 周囲温度 | V_{CC} |
|------|---------------|--|
| 産業用 | -40°C ~ +85°C | 1.65V ~ 2.2V、 2.2V ~ 3.6V、 4.5V ~ 5.5V |

| パラメーター | 説明 | テスト条件 | 10ns/15ns | | | 単位 |
|-----------|--------------------------|---|----------------------|---------------------|----------------|----|
| | | | Min | Typ ^[8] | Max | |
| V_{OH} | 出力 HIGH 電圧 | 1.65V ~ 2.2V $V_{CC} = \text{Min}, I_{OH} = -0.1\text{mA}$ | 1.4 | — | — | V |
| | | 2.2V ~ 2.7V $V_{CC} = \text{Min}, I_{OH} = -1.0\text{mA}$ | 2.0 | — | — | |
| | | 2.7V ~ 3.0V $V_{CC} = \text{Min}, I_{OH} = -4.0\text{mA}$ | 2.2 | — | — | |
| | | 3.0V ~ 3.6V $V_{CC} = \text{Min}, I_{OH} = -4.0\text{mA}$ | 2.4 | — | — | |
| | | 4.5V ~ 5.5V $V_{CC} = \text{Min}, I_{OH} = -4.0\text{mA}$ | 2.4 | — | — | |
| | | 4.5V ~ 5.5V $V_{CC} = \text{Min}, I_{OH} = -0.1\text{mA}$ | $V_{CC} - 0.4^{[9]}$ | — | — | |
| V_{OL} | 出力 LOW 電圧 | 1.65V ~ 2.2V $V_{CC} = \text{Min}, I_{OL} = 0.1\text{mA}$ | — | — | 0.2 | V |
| | | 2.2V ~ 2.7V $V_{CC} = \text{Min}, I_{OL} = 2\text{mA}$ | — | — | 0.4 | |
| | | 2.7V ~ 3.6V $V_{CC} = \text{Min}, I_{OL} = 8\text{mA}$ | — | — | 0.4 | |
| | | 4.5V ~ 5.5V $V_{CC} = \text{Min}, I_{OL} = 8\text{mA}$ | — | — | 0.4 | |
| V_{IH} | 入力 HIGH 電圧 | 1.65V ~ 2.2V — | 1.4 | — | $V_{CC} + 0.2$ | V |
| | | 2.2V ~ 2.7V — | 2.0 | — | $V_{CC} + 0.3$ | |
| | | 2.7V ~ 3.6V — | 2.0 | — | $V_{CC} + 0.3$ | |
| | | 4.5V ~ 5.5V — | 2.0 | — | $V_{CC} + 0.5$ | |
| V_{IL} | 入力 LOW 電圧 ^[7] | 1.65V ~ 2.2V — | -0.2 | — | 0.4 | V |
| | | 2.2V ~ 2.7V — | -0.3 | — | 0.6 | |
| | | 2.7V ~ 3.6V — | -0.3 | — | 0.8 | |
| | | 4.5V ~ 5.5V — | -0.5 | — | 0.8 | |
| I_{IX} | 入力リーク電流 | $GND \leq V_{IN} \leq V_{CC}$ | -1.0 | — | +1.0 | μA |
| I_{OZ} | 出力リーク電流 | $GND \leq V_{OUT} \leq V_{CC}$ 、出力が無効 | -1.0 | — | +1.0 | μA |
| I_{CC} | 動作供給電流 | $V_{CC} = \text{Max}, I_{OUT} = 0\text{mA}$, $f = 100\text{MHz}$ | — | 90.0 | 110.0 | mA |
| | | CMOS レベル $f = 66.7\text{MHz}$ | — | 70.0 | 80.0 | |
| I_{SB1} | 自動 CE パワーダウン電流 – TTL 入力 | $\text{Max } V_{CC}, \overline{CE} \geq V_{IH}^{[10]}$, $V_{IN} \geq V_{IH}$ または $V_{IN} \leq V_{IL}$, $f = f_{MAX}$ | — | — | 40.0 | mA |
| I_{SB2} | 自動 CE パワーダウン電流 – CMOS 入力 | $\text{Max } V_{CC}, \overline{CE} \geq V_{CC} - 0.2V^{[10]}$, $V_{IN} \geq V_{CC} - 0.2V$ または $V_{IN} \leq 0.2V$, $f = 0$ | — | 20.0 ^[8] | 30.0 | mA |

注:

- 20ns 未満のパルス幅の場合、 $V_{IL(\text{min})} = -2.0V$ 、 $V_{IH(\text{max})} = V_{CC} + 2V$ 。
- Typ 値は単に参考値であり、保証またはテストされていません。Typ 値は、 $V_{CC} = 1.8V$ (V_{CC} が 1.65V ~ 2.2V の場合)、 $V_{CC} = 3V$ (V_{CC} が 2.2V ~ 3.6V の場合)、 $V_{CC} = 5V$ (V_{CC} が 4.5V ~ 5.5V の場合)、 $T_A = 25^\circ\text{C}$ で測定しています。
- このパラメーターは設計保証であり、テストは行われていません。
- 全てのデュアル イネーブル デバイスでは、CE は CE_1 と CE_2 の論理的結合です。 \overline{CE}_1 が LOW であり、 CE_2 が HIGH である時、 \overline{CE} は LOW ; \overline{CE}_1 が HIGH である、または CE_2 が LOW である時、CE は HIGH です。

静電容量

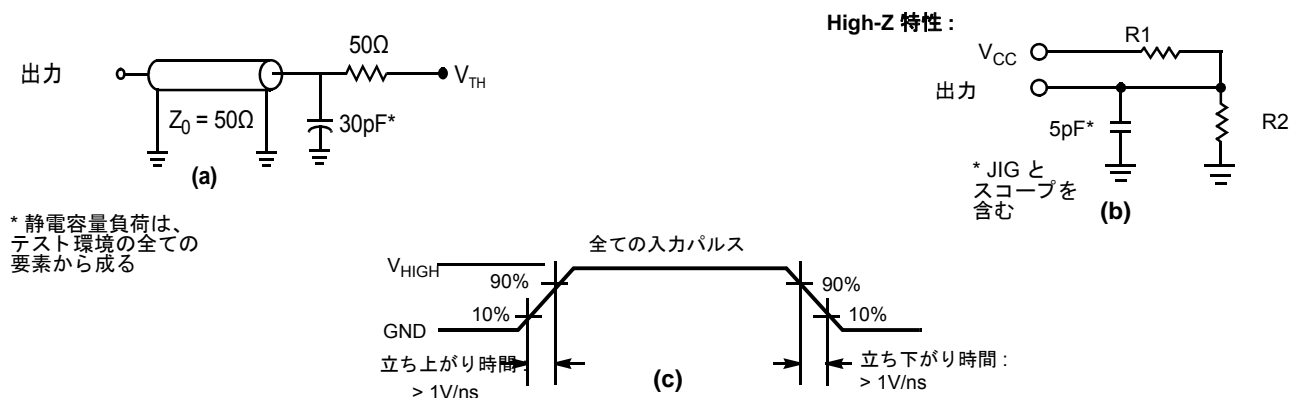
| パラメーター ^[11] | 説明 | テスト条件 | 54 ピン TSOP II | 48 ボール VFBGA | 単位 |
|------------------------|--------|--|---------------|--------------|----|
| C_{IN} | 入力容量 | $T_A = 25^\circ\text{C}$, $f = 1\text{MHz}$, $V_{CC} = V_{CC(\text{typ})}$ | 10 | 10 | pF |
| C_{OUT} | I/O 容量 | | 10 | 10 | pF |

熱抵抗

| パラメーター ^[11] | 説明 | テスト条件 | 54 ピン TSOP II | 48 ボール VFBGA | 単位 |
|------------------------|-------------------|-------------------------------------|---------------|--------------|--------------------|
| θ_{JA} | 熱抵抗 (接合部と周囲間) | 無風状態、3 × 4.5 インチの 4 層プリント回路基板にはんだ付け | 93.63 | 31.50 | $^\circ\text{C/W}$ |
| θ_{JC} | 熱抵抗 (接合部とケース間) | | 21.58 | 15.75 | $^\circ\text{C/W}$ |

AC テストの負荷と波形

図 5. AC テストの負荷と波形^[12]



* 静電容量負荷は、
テスト環境の全ての
要素から成る

| パラメーター | 1.8V | 3.0V | 5.0V | 単位 |
|------------|------|------|------|----------|
| R1 | 1667 | 317 | 317 | Ω |
| R2 | 1538 | 351 | 351 | Ω |
| V_{TH} | 0.9 | 1.5 | 1.5 | V |
| V_{HIGH} | 1.8 | 3 | 3 | V |

注:

11. 開発時、およびこれらのパラメーターに影響を与える可能性がある設計/プロセス変更があった後にテストされます。
12. デバイスの完全 AC 動作では、0V から $V_{CC(\text{min})}$ までのランプ時間が 100 μs 、 V_{CC} が安定した後の待ち時間が 100 μs であることを前提としています。

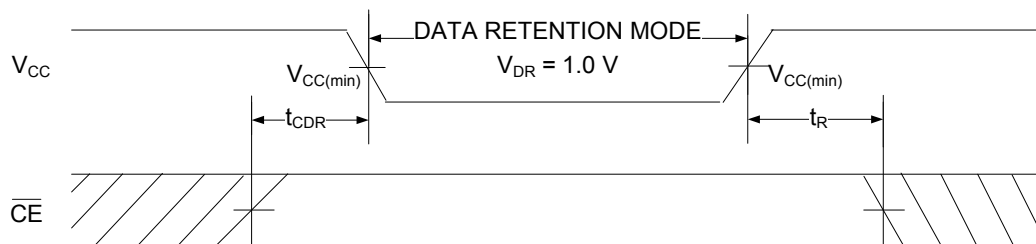
データ保持特性

動作範囲 -40°C ~ 85°C

| パラメーター | 説明 | 条件 | Min | Max | 単位 |
|------------------|---------------------|--|------|------|----|
| V_{DR} | データ保持用の V_{CC} | — | 1.0 | — | V |
| I_{CCDR} | データ保持電流 | $V_{CC} = V_{DR}$ 、 $\overline{CE} \geq V_{CC} - 0.2V^{[13]}$ 、 $V_{IN} \geq V_{CC} - 0.2V$ または $V_{IN} \leq 0.2V$ | — | 30.0 | mA |
| $t_{CDR}^{[14]}$ | チップ選択解除からデータ保持までの時間 | — | 0 | — | ns |
| $t_R^{[14, 15]}$ | 動作回復時間 | $V_{CC} \geq 2.2V$ | 10.0 | — | ns |
| | | $V_{CC} < 2.2V$ | 15.0 | — | ns |

データ保持波形

図 6. データ保持波形^[13]



注:

13. 全てのデュアル イネーブル デバイスでは、 \overline{CE} は \overline{CE}_1 と CE_2 の論理的結合です。 \overline{CE}_1 が LOW であり、 CE_2 が HIGH である時、 \overline{CE} は LOW ; \overline{CE}_1 が HIGH である、または CE_2 が LOW である時、 \overline{CE} は HIGH です。
14. このパラメーターは設計保証であり、テストは行われていません。
15. 完全なデバイス動作には、 V_{DR} から $V_{CC(min.)}$ までの V_{CC} 直線ランプ時間が 100 μ s、または $V_{CC(min.)}$ で安定する時間が 100 μ s が必要です。

AC スイッチング特性

動作範囲 -40°C ~ 85°C

| パラメーター [16] | 説明 | 10ns | | 15ns | | 単位 |
|--------------------|--|-------|------|-------|------|----|
| | | Min | Max | Min | Max | |
| 読み出しサイクル | | | | | | |
| t _{POWER} | V _{CC} 安定から最初のアクセスまでの時間 [17、18] | 100.0 | － | 100.0 | － | μs |
| t _{RC} | 読み出しサイクル時間 | 10.0 | － | 15.0 | － | ns |
| t _{AA} | アドレスからデータ／ERR 有効までの時間 | － | 10.0 | － | 15.0 | ns |
| t _{OHA} | アドレス変更からのデータ／ERR ホールド時間 | 3.0 | － | 3.0 | － | ns |
| t _{ACE} | CE LOW からデータ／ERR 有効までの時間 [19] | － | 10.0 | － | 15.0 | ns |
| t _{DOE} | OE LOW からデータ／ERR 有効までの時間 | － | 5.0 | － | 8.0 | ns |
| t _{LZOE} | OE LOW から Low Z までの時間 [20、21、22] | 0 | － | 1.0 | － | ns |
| t _{HZOE} | OE HIGH から High Z までの時間 [20、21、22] | － | 5.0 | － | 8.0 | ns |
| t _{LZCE} | CE LOW から Low Z までの時間 [19、20、21、22] | 3.0 | － | 3.0 | － | ns |
| t _{HZCE} | CE HIGH から High Z までの時間 [19、20、21、22] | － | 5.0 | － | 8.0 | ns |
| t _{PU} | CE LOW から電源投入までの時間 [18、19] | 0 | － | 0 | － | ns |
| t _{PD} | CE HIGH から電源切断までの時間 [18、19] | － | 10.0 | － | 15.0 | ns |
| 書き込みサイクル [23、24] | | | | | | |
| t _{WC} | 書き込みサイクル時間 | 10.0 | － | 15.0 | － | ns |
| t _{SCE} | CE LOW から書き込み終了までの時間 [19] | 7.0 | － | 12.0 | － | ns |
| t _{AW} | アドレス セットアップから書き込み終了までの時間 | 7.0 | － | 12.0 | － | ns |
| t _{HA} | 書き込み終了からのアドレス ホールド時間 | 0 | － | 0 | － | ns |
| t _{SA} | アドレス セットアップから書き込み開始までの時間 | 0 | － | 0 | － | ns |
| t _{PWE} | WE パルス幅 | 7.0 | － | 12.0 | － | ns |
| t _{SD} | データ セットアップから書き込み終了までの時間 | 5.0 | － | 8.0 | － | ns |
| t _{HD} | 書き込み終了からのデータ ホールド時間 | 0 | － | 0 | － | ns |
| t _{LZWE} | WE HIGH から Low Z までの時間 [20、21、22] | 3.0 | － | 3.0 | － | ns |
| t _{HZWE} | WE LOW から High Z までの時間 [20、21、22] | － | 5.0 | － | 8.0 | ns |

注:

16. テスト条件は、信号遷移時間 (立ち上がり/立ち下がり) が 3ns 以下、タイミング参照レベルが 1.5V ($V_{CC} \geq 3V$ の場合) および $V_{CC}/2$ ($V_{CC} < 3V$ の場合)、入力パルスレベルが 0V から 3V まで ($V_{CC} \geq 3V$ の場合) および 0V から V_{CC} まで ($V_{CC} < 3V$ の場合) であることを前提としています。読み出しサイクル用のテスト条件は、特に記載がない限り、8 ページの図 5 の (a) に示した出力負荷を使用します。
17. t_{POWER} は、電源が V_{CC} で安定してから最初のメモリ アクセスが実行されるまでの最短時間を示します。
18. これらのパラメーターは設計保証であり、テストは行われていません。
19. 全てのデュアル イネーブル デバイスでは、 \overline{CE} は \overline{CE}_1 と CE_2 の論理的結合です。 \overline{CE}_1 が LOW であり、 CE_2 が HIGH である時、 \overline{CE} は LOW ; \overline{CE}_1 が HIGH である、または CE_2 が LOW である時、 \overline{CE} は HIGH です。
20. t_{HZOE} 、 t_{HZCE} 、 t_{HZWE} 、 t_{LZOE} 、 t_{LZCE} および t_{LZWE} は、8 ページの図 5 の (b) に示した 5pF の負荷容量で指定されています。遷移は定常状態の電圧から $\pm 200mV$ で測定されます。
21. いかなる温度と電圧条件でも、いかなるデバイスでも、 t_{HZCE} は t_{LZCE} より短く、 t_{HZBE} は t_{LZBE} より短く、 t_{HZOE} は t_{LZOE} より短く、 t_{HZWE} は t_{LZWE} より短いです。
22. 開発時、およびこれらのパラメーターに影響を与える可能性がある設計/プロセス変更があった後にテストされます。
23. メモリの内部書き込み時間は $\overline{WE} = V_{IL}$ および $\overline{CE} = V_{IL}$ の条件が同時に発生する時に定義されます。これらの信号は、書き込みを開始するために LOW である必要があります。これらのいずれかが HIGH へ遷移すると書き込みが終了します。入力データのセットアップとホールドのタイミングは、書き込みを終了させる信号のエッジを基準にする必要があります。
24. 書き込みサイクル 2 (\overline{WE} 制御、 \overline{OE} LOW) の最短書き込みパルス幅は t_{HZWE} と t_{SD} の和です。

スイッチング波形

図 7. CY7C1069G の読み出しサイクル 1 (アドレス遷移制御) [25、26]

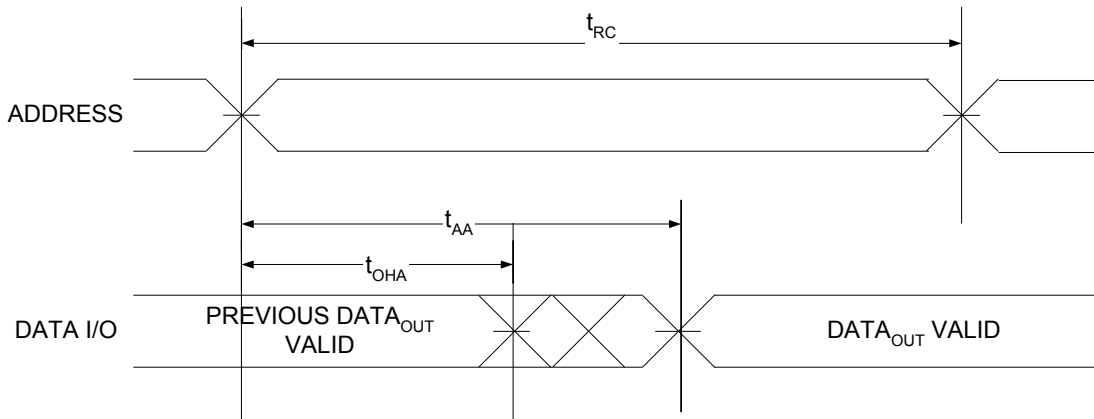
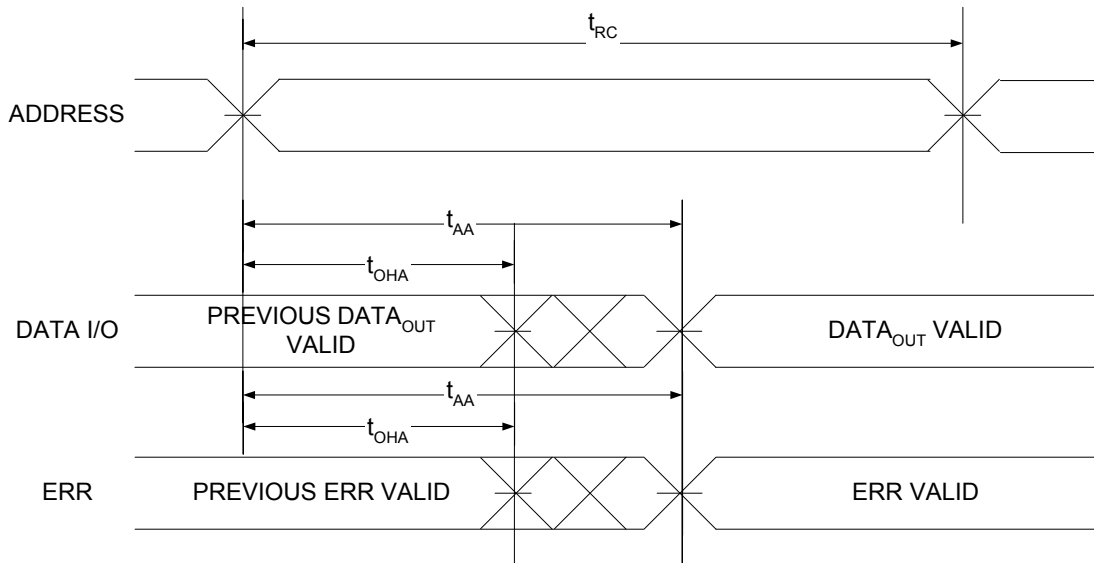


図 8. CY7C1069GE の読み出しサイクル 2 (アドレス遷移制御) [25、26]

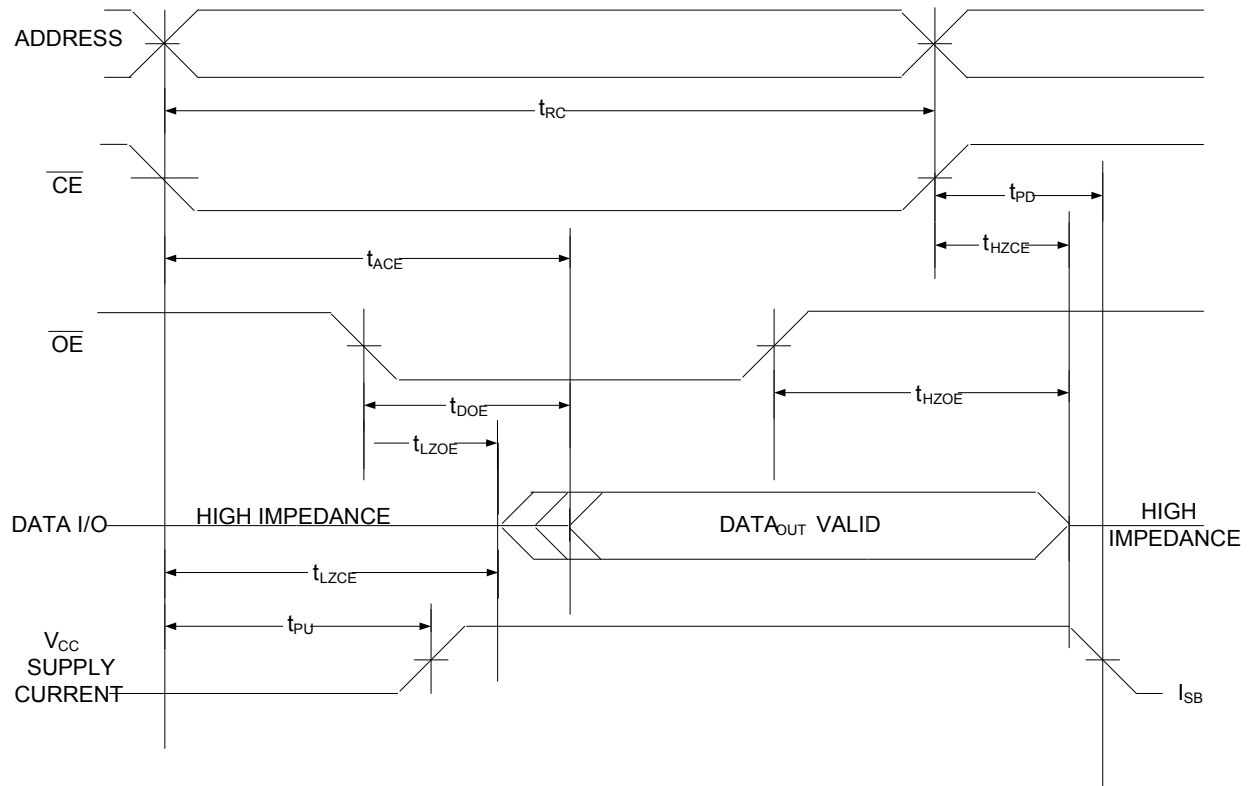


注:

25. デバイスは連続的に選択されており、 $\overline{OE} = V_{IL}$ 、 $\overline{CE} = V_{IL}$ 。
 26. WE は読み出しサイクル中に HIGH です。

スイッチング波形 (続き)

図 9. 読み出しサイクル 3 ($\overline{\text{OE}}$ 制御、 $\overline{\text{WE}}$ HIGH) [27、28、29]



注:

27. 全てのデュアル イネーブル デバイスでは、 $\overline{\text{CE}}$ は $\overline{\text{CE}}_1$ と $\overline{\text{CE}}_2$ の論理的結合です。 $\overline{\text{CE}}_1$ が LOW であり、 $\overline{\text{CE}}_2$ が HIGH である時、 $\overline{\text{CE}}$ は LOW ; $\overline{\text{CE}}_1$ が HIGH である、または $\overline{\text{CE}}_2$ が LOW である時、 $\overline{\text{CE}}$ は HIGH です。

28. $\overline{\text{WE}}$ は読み出しサイクル中に HIGH です。

29. アドレスは、 $\overline{\text{CE}}$ の LOW 遷移前、または遷移と同時に有効です。

スイッチング波形 (続き)

図 10. 書き込みサイクル 1 (CE 制御) [30、31、32]

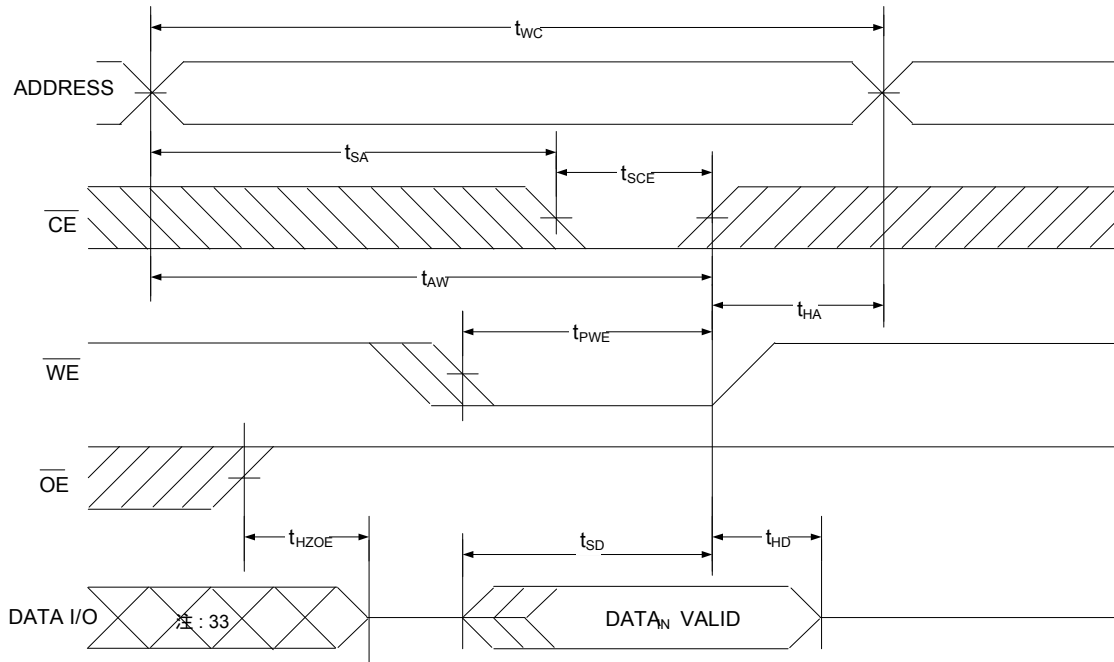
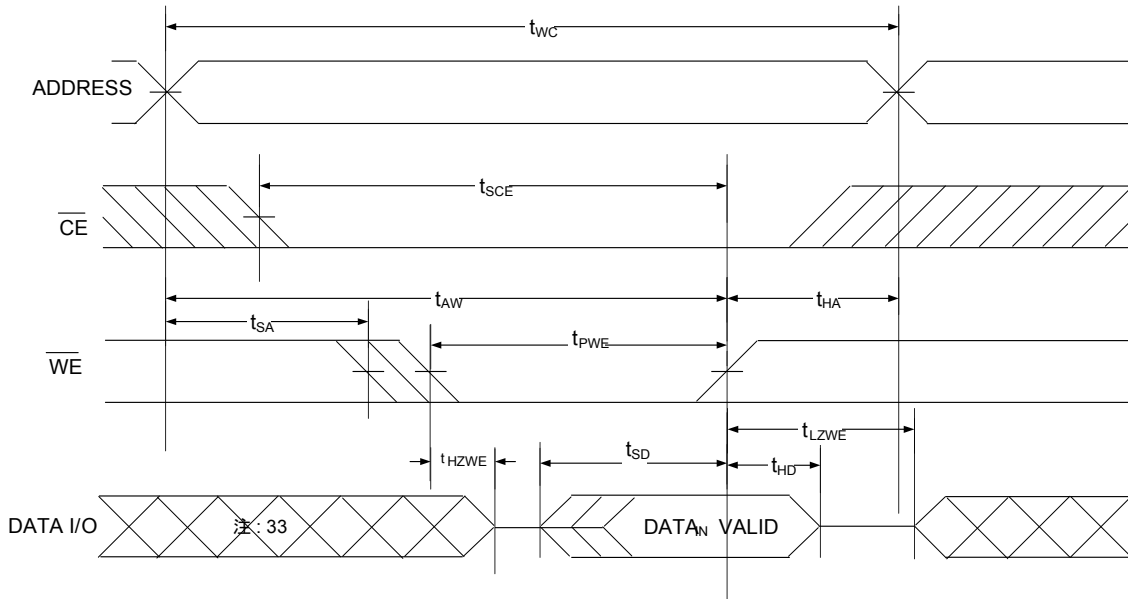


図 11. 書き込みサイクル 2 (WE 制御、OE LOW) [30、31、32、34]



注:

30. 全てのデュアル イネーブル デバイスでは、 \overline{CE} は \overline{CE}_1 と \overline{CE}_2 の論理的結合です。 \overline{CE}_1 が LOW であり、 \overline{CE}_2 が HIGH である時、 \overline{CE} は LOW ; \overline{CE}_1 が HIGH である、または \overline{CE}_2 が LOW である時、 \overline{CE} は HIGH です。
31. メモリの内部書き込み時間は $WE = V_{IL}$ および $CE = V_{IL}$ の条件が同時に発生する時に定義されます。これらの信号は、書き込みを開始するために LOW である必要があります。これらのいずれかが HIGH へ遷移すると書き込みを終了します。入力データのセットアップとホールドのタイミングは、書き込みを終了する信号のエッジを基準にする必要があります。
32. データ I/O は、 $\overline{CE} = V_{IH}$ または $\overline{OE} = V_{IH}$ の場合、高インピーダンス状態に入ります。
33. この期間中、I/O は出力状態にあります。入力信号を適用しないでください。
34. 最小の書き込みサイクルの幅は、 t_{HZWE} と t_{SD} の和です。

真理値表 – CY7C1069G/CY7C1069GE

| \overline{CE}_1 | CE_2 | \overline{OE} | \overline{WE} | $I/O_0 \sim I/O_7$ | モード | 電源 |
|-------------------|-------------------|-------------------|-------------------|--------------------|-------------|---------------------|
| H | X ^[35] | X ^[35] | X ^[35] | High Z | パワーダウン | スタンバイ (I_{SB2}) |
| X ^[35] | L | X ^[35] | X ^[35] | High Z | パワーダウン | スタンバイ (I_{SB2}) |
| L | H | L | H | データ出力 | 全ビット読み出し | アクティブ (I_{CC}) |
| L | H | X ^[35] | L | データ入力 | 全ビット書き込み | アクティブ (I_{CC}) |
| L | H | H | H | High Z | デバイス選択、出力無効 | アクティブ (I_{CC}) |

ERR 出力 – CY7C1069GE

| 出力 ^[36] | モード |
|--------------------|------------------------------|
| 0 | 読み出し動作、保存データにはシングルビット エラーなし |
| 1 | 読み出し動作、シングルビット エラーが検出され、訂正済み |
| High Z | デバイス選択解除／出力無効／書き込み動作 |

注：

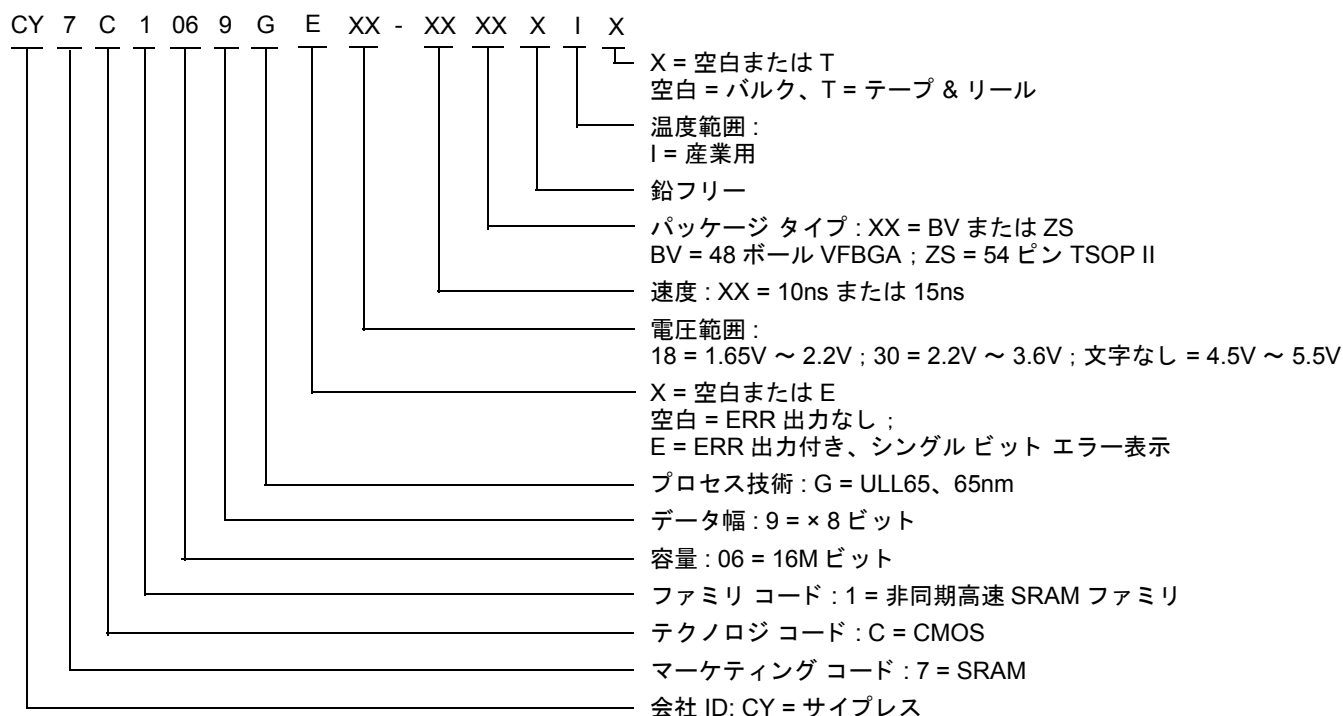
35. これらのピンの入力電圧レベルは V_{IH} または V_{IL} でなければなりません。

36. ERR は出力ピンです。このピンを使用しない場合、開放にしてください。

注文情報

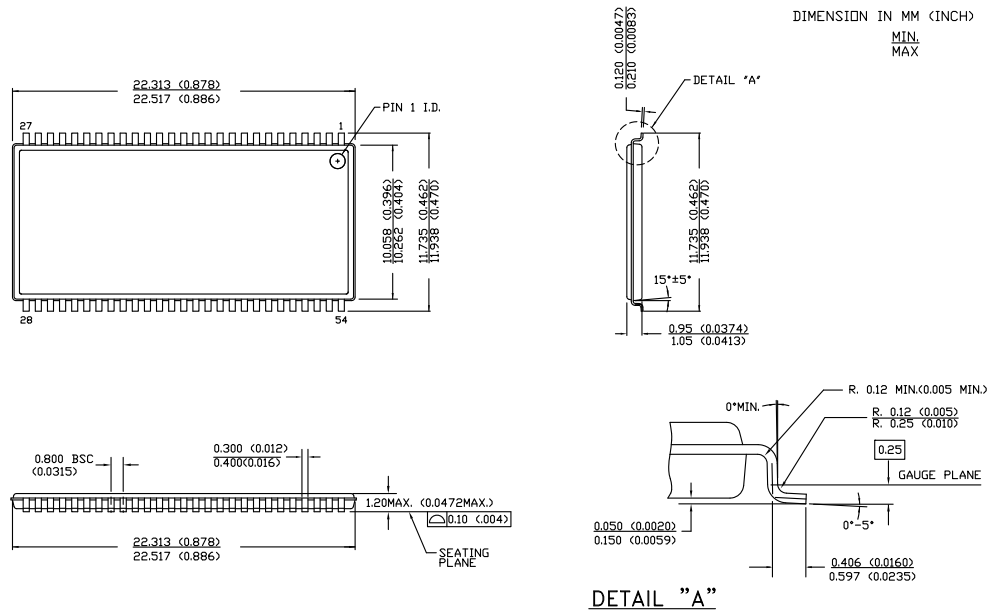
| 速度 (ns) | 電圧範囲 | 注文コード | パッケージ図 | パッケージタイプ (全て鉛フリー) | ERR ピン／ ボール | 動作範囲 |
|------------|-------------|----------------------|----------|-------------------------|----------------|------|
| 10 | 2.2V ~ 3.6V | CY7C1069G30-10BVXI | 51-85150 | 48 ボール VFBGA | 無 | 産業用 |
| | | CY7C1069G30-10BVXIT | 51-85150 | 48 ボール VFBGA、テープ & リール | 無 | |
| | | CY7C1069G30-10ZSXI | 51-85160 | 54 ピン TSOP II | 無 | |
| | | CY7C1069G30-10ZSXIT | 51-85160 | 54 ピン TSOP II、テープ & リール | 無 | |
| | | CY7C1069GE30-10ZSXI | 51-85160 | 54 ピン TSOP II | 有 | |
| | | CY7C1069GE30-10ZSXIT | 51-85160 | 54 ピン TSOP II、テープ & リール | 有 | |
| | 4.5V ~ 5.5V | CY7C1069G-10BVXI | 51-85150 | 48 ボール VFBGA | 無 | |
| | | CY7C1069G-10BVXIT | 51-85150 | 48 ボール VFBGA、テープ & リール | 無 | |
| | | CY7C1069G-10ZSXI | 51-85160 | 54 ピン TSOP II | 無 | |
| | | CY7C1069G-10ZSXIT | 51-85160 | 54 ピン TSOP II、テープ & リール | 無 | |

注文コードの定義



外形図

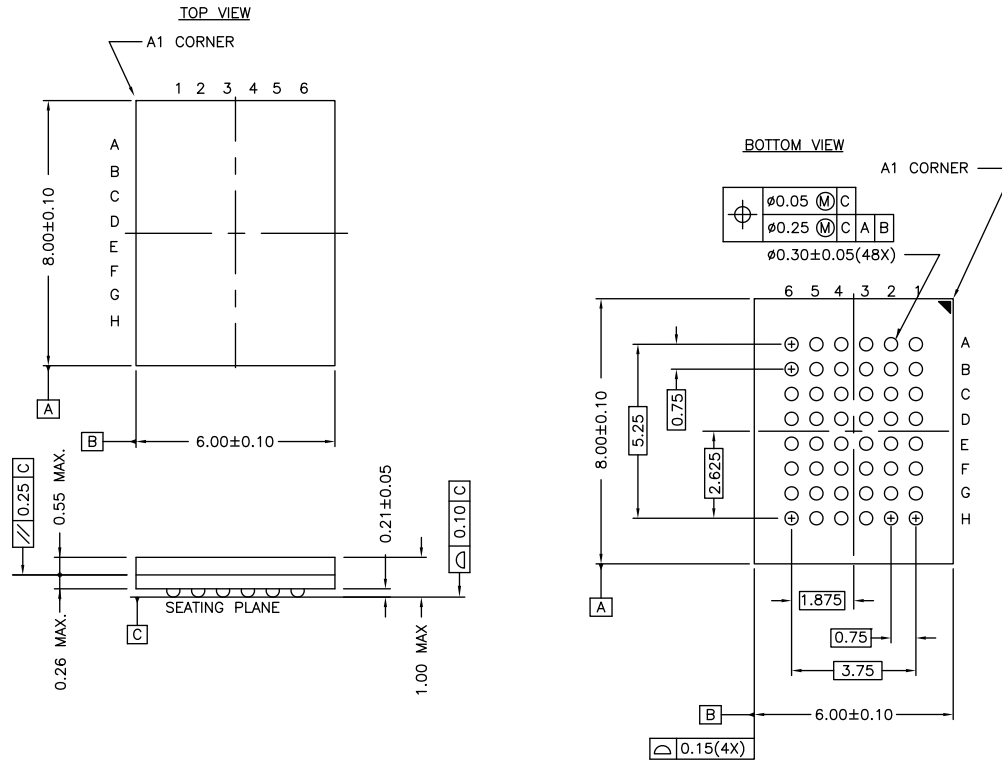
図 12. 54 ピン TSOP II (22.4 × 11.84 × 1.0mm) パッケージ外形図、51-85160



51-85160 *E

外形図 (続き)

図 13. 48 ボール VFBGA (6 × 8 × 1.0mm) BV48 / BZ48 パッケージ外形図、51-85150



NOTE:

 PACKAGE WEIGHT: See Cypress Package Material Declaration Datasheet (PMDD)
 posted on the Cypress web.

51-85150 *H

略語

| 略語 | 説明 |
|------------------------|--|
| $\overline{\text{CE}}$ | Chip Enable (チップ イネーブル) |
| CMOS | Complementary Metal Oxide Semiconductor (相補型金属酸化膜半導体) |
| I/O | Input/Output (入力／出力) |
| $\overline{\text{OE}}$ | Output Enable (出力イネーブル) |
| SRAM | Static Random Access Memory (スタティック ランダム アクセス メモリ) |
| TSOP | Thin Small Outline Package (小型薄型パッケージ) |
| TTL | トランジスタ - トランジスタ ロジック |
| VFBGA | Very Fine-Pitch Ball Grid Array (超ファインピッチ ボール グリッド アレイ) |
| $\overline{\text{WE}}$ | Write Enable (書き込みイネーブル) |

本書の表記法

測定単位

| 記号 | 測定単位 |
|-----|----------|
| °C | 摂氏温度 |
| MHz | メガヘルツ |
| μA | マイクロアンペア |
| μs | マイクロ秒 |
| mA | ミリアンペア |
| mm | ミリメートル |
| ns | ナノ秒 |
| Ω | オーム |
| % | パーセント |
| pF | ピコファラッド |
| V | ボルト |
| W | ワット |

改訂履歴

| 文書名 : CY7C1069G / CY7C1069GE、エラー訂正コード (ECC) 付 16M ビット (2M ワード × 8 ビット) スタティック RAM 文書番号 : 001-92126 | | | | |
|---|---------|------|------------|--|
| 版 | ECN 番号 | 変更者 | 発行日 | 変更内容 |
| ** | 4345116 | HZEN | 04/14/2014 | これは英語版 001-81539 Rev. *C を翻訳した日本語版 Rev. ** です。 |
| *A | 4473583 | HZEN | 08/12/2014 | これは英語版 001-81539 Rev. *E を翻訳した日本語版 Rev. *A です。 |
| *B | 5693893 | HZEN | 04/19/2017 | これは英語版 001-81539 Rev. *I を翻訳した日本語版 001-92126 Rev. *B です。 |

セールス、ソリューションおよび法律情報

ワールドワイド販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

| | |
|--------------------------|--|
| ARM® Cortex® マイクロコントローラー | cypress.com/arm |
| 車載用 | cypress.com/automotive |
| クロック & バッファ | cypress.com/clocks |
| インターフェース | cypress.com/interface |
| IoT (モノのインターネット) | cypress.com/iot |
| メモリ | cypress.com/memory |
| マイクロコントローラ | cypress.com/mcu |
| PSoC | cypress.com/psoc |
| 電源用 IC | cypress.com/pmic |
| タッチ センシング | cypress.com/touch |
| USB コントローラー | cypress.com/usb |
| ワイヤレス/ RF | cypress.com/wireless |

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#)

サイプレス開発者コミュニティ

[フォーラム](#) | [WICED IOT Forums](#) | [プロジェクト](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカル サポート

cypress.com/support

© Cypress Semiconductor Corporation, 2012-2017. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。)) を含む) は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, Capsense, EZ-USB, F-RAM, 及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。