

サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

エラー訂正コード (ECC) 付 16M ビット (2M ワード x 8 ビット) スタティック

特長

- スタンバイ時の超低消費電力
 - 標準スタンバイ電流 : 5.5μA
 - 最大スタンバイ電流 : 16μA
- 高速度 : 45ns/55ns
- シングル ビット エラー訂正用の組込みエラー訂正 コード (ECC)
- 広い電圧範囲 : 1.65V ~ 2.2V、4.5V ~ 5.5V
- 1.0V データ保持
- トランジスタ-トランジスタ ロジック (TTL) と互換性のある入出力
- 1 ビット エラー検出と訂正を示す ERR ピン
- 48 ボールの鉛フリー VFBGA パッケージで提供

機能の詳細

CY62168G および CY62168GE は、組込み ECC を備えた高性能 CMOS 低電力 (MoBL®) SRAM デバイスです。両方のデバイスは、シングルとデュアルチップイネーブルオプション、および複数ピン構成で提供されます。CY62168GE デバイスは、読み出しサイクル中にシングル ビット エラー検出と訂正イベントを通知するエラー通知ピンを備えます。

シングル チップ イネーブル入力を持つデバイスは、チップ イネーブル入力 (CE) を LOW にアサートすることでアクセスされます。デュアル チップ イネーブル デバイスは、両方のチップ

イネーブル入力 (\overline{CE}_1 を LOW、および CE_2 を HIGH) をアサートすることでアクセスされます。

チップ イネーブル 1 (\overline{CE}_1) を LOW とチップ イネーブル 2 (CE_2) を HIGH および書き込みイネーブル (WE) 入力を LOW にすることでデバイスに書き込みます。8 本の I/O ピン ($I/O_0 \sim I/O_7$) からのデータはアドレス ピン ($A_0 \sim A_{20}$) に示された位置に書き込まれます。

書き込みイネーブル (\overline{WE}) HIGH を強制している時、チップ イネーブル 1 (\overline{CE}_1) と出力 イネーブル (OE) LOW およびチップ イネーブル 2 (CE_2) HIGH にしてデバイスから読み出します。これらの条件では、アドレス ピンに指定されたメモリ位置の内容が I/O ピンに表示されます。

8 本の入出力ピン ($I/O_0 \sim I/O_7$) はデバイスの選択が解除されたとき (CE_1 HIGH または CE_2 LOW)、出力が無効になっている時 (OE HIGH)、または書き込み操作が進行中である時 (CE_1 LOW と CE_2 HIGH、および WE LOW) にハイ インピーダンス状態になります。読み出しモードと書き込みモードの詳細な説明については、[14 ページの真理値表 - CY62168G / CY62168GE](#) を参照してください。

CY62168GE デバイスで、アクセスされた位置のシングル ビット エラー検出および訂正は ERR 出力 (ERR=HIGH) ^[1] のアサートによって示されます。

CY62168G と CY62168GE デバイスは鉛フリー48ピン VFBGA パッケージで提供されます。論理ブロックダイアグラムは 2 ページに示されます。

関連リソースの完全なリストについては、[ここ](#)をクリックしてください。

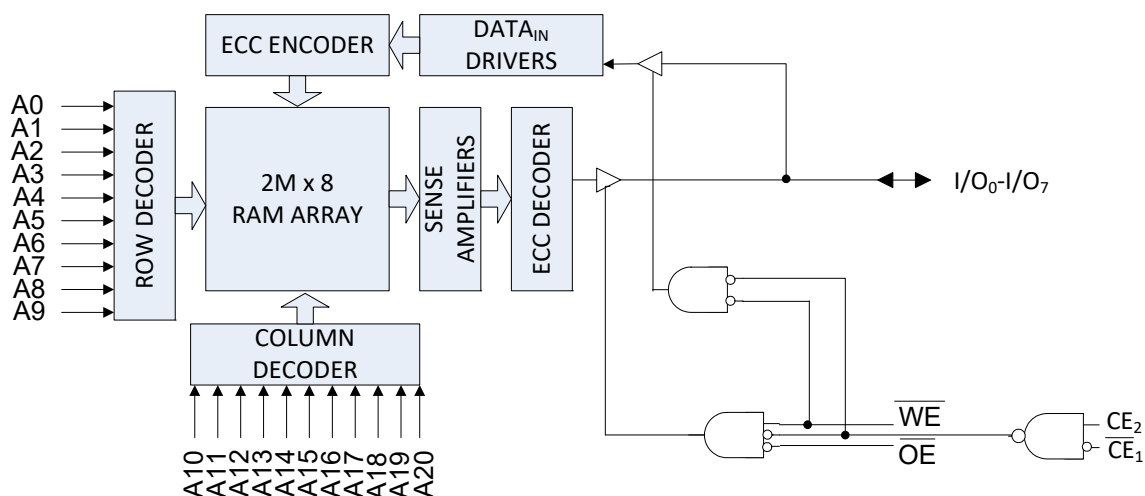
製品ポートフォリオ

製品	特長およびオプション (ピン配置を参照)	範囲	V _{CC} の範囲 (V)	速度 (ns)	消費電力			
					I _{CC} 動作、(mA)		スタンバイ、I _{SB2} (μA)	
					f = f _{max}			
					Typ ^[2]	Max	Typ ^[2]	Max
CY62168G(E)18	シングルまたはデュアル チップ イネーブル オプションの ERR ピン	産業用	1.65V ~ 2.2V	55	29	32	7	26
CY62168(E)			4.5V ~ 5.5V	45	29	36	5.5	16

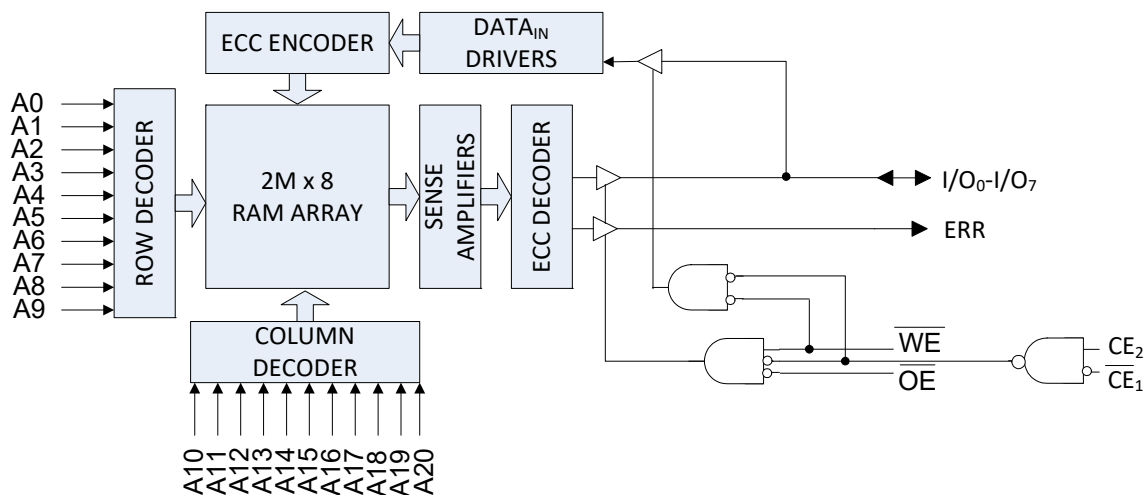
注

1. このデバイスは、エラー検出時に自動書き込みをサポートしません。
2. 標準値は単なる参照値であり、保証または検査されていません。標準値は、V_{CC} = 1.8V (1.65V~2.2V の V_{CC} の範囲)、V_{CC} = 3 V (2.2V~3.6V の V_{CC} の範囲) および V_{CC} = 5V (4.5V~5.5V の V_{CC} の範囲)、T_A = 25°C で測定しています。

論理ブロックダイアグラム – CY62168G



論理ブロックダイアグラム – CY62168GE



目次

ピン配置	4	注文情報	15
最大定格	5	注文コードの定義	15
動作範囲	5	外形図	16
DC電気的特性	5	略語	17
容量	7	本書の表記法	17
熱抵抗	7	測定単位	17
ACテストの負荷と波形	7	改訂履歴	18
データ保持特性	8	セールス、ソリューションおよび法律情報	19
データ保持波形	8	ワールドワイドな販売と設計サポート	19
スイッチング特性	9	製品	19
スイッチング波形	10	PSoC® ソリューション	19
真理値表 – CY62168G/CY62168GE	14	サイプレス開発者コミュニティ	19
ERR出力 – CY62168GE	14	テクニカル サポート	19

ピン配置

図 1. 48 ボール VFBGA (6×8×1mm) ピン配置^[3]
CY62168G

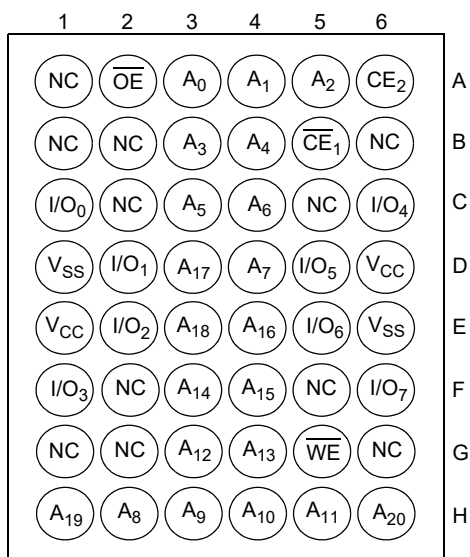
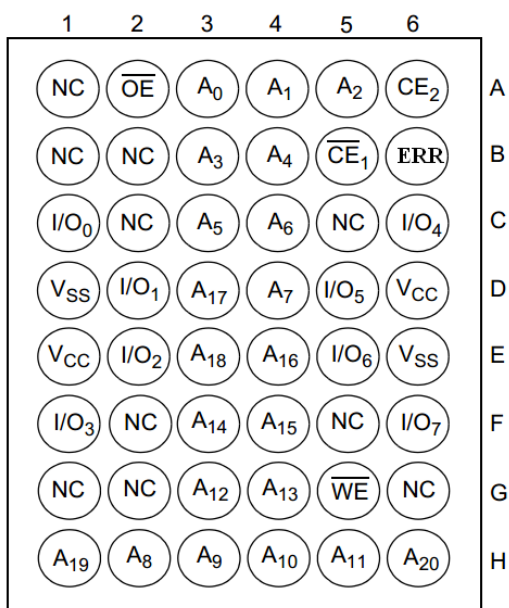


図 2. 48 ボール VFBGA (6×8×1mm) ピン配置^[3, 4]
CY62168GE



注

- NC ピンは、内部でダイに接続されていません。このピンは一般的には、集積度のさらに高いデバイスでのアドレス拡張用に使用されます。ピン配置については関連のデータシートを参照してください。
- ERR は出力ピンです。使用しない場合、このピンはフローティングのままにしてください。

最大定格

最大定格を超えるとデバイスの寿命が短くなる可能性があります。ユーザー ガイドラインはテストされていません。

保存温度 -65°C ~ +150°C

通電時の周囲温度 -55°C ~ +125°C

電源電圧からグランド

電位 -0.5V ~ 6V

High Z 状態の出力

に印加される DC 電圧 ^[5] -0.5 V ~ $V_{CC}+0.5V$

DC 入力電圧 ^[5] -0.5V ~ $V_{CC}+0.5V$

出力に流れ込む出力電流 (LOW) 20mA

静電気放電電圧

(MIL-STD-883、Method 3015) > 2001V

ラッチ アップ電流 >140mA

動作範囲

グレード	周囲温度	V_{CC} ^[6]
産業用	-40°C ~ +85°C	1.65V ~ 2.2V、 4.5V ~ 5.5V

DC電気的特性

動作範囲は-40 °C~85 °C。

パラメーター	説明	テスト条件	45/55ns			単位
			Min	Typ ^[7]	Max	
V_{OH}	出力 HIGH 電圧	1.65V ~ 2.2V $V_{CC} = \text{Min}$, $I_{OH} = -0.1\text{mA}$	1.4	—	—	V
		4.5V ~ 5.5V $V_{CC} = \text{Min}$, $I_{OH} = -1.0\text{mA}$	2.4	—	—	V
		4.5V ~ 5.5V $V_{CC} = \text{Min}$, $I_{OH} = -0.1\text{mA}$	$V_{CC}-0.4$ ^[8]	—	—	V
V_{OL}	出力 LOW 電圧	1.65V ~ 2.2V $V_{CC} = \text{Min}$, $I_{OL} = 0.1\text{mA}$	—	—	0.2	V
		4.5V ~ 5.5V $V_{CC} = \text{Min}$, $I_{OL} = 2.1\text{mA}$	—	—	0.4	V
V_{IH}	入力 HIGH 電圧	1.65V ~ 2.2V —	1.4	—	$V_{CC}+0.2$	V
		4.5V ~ 5.5V —	2.2	—	$V_{CC}+0.5$	V
V_{IL}	入力 LOW 電圧 ^[9]	1.65V ~ 2.2V —	-0.2	—	0.4	V
		4.5V ~ 5.5V —	-0.5	—	0.8	V
I_{IX}	入力リーク電流	$GND \leq V_{IN} \leq V_{CC}$	-1.0	—	+1.0	μA
I_{OZ}	出力リーク電流	$GND \leq V_{OUT} \leq V_{CC}$ 、出力がディスエーブル	-1.0	—	+1.0	μA

注

5. 20ns 未満のパルス幅には、 $V_{IL(\text{min})} = -2.0V$ および $V_{IH(\text{max})} = V_{CC} + 2V$ 。

6. デバイスのフル AC 動作では、0 から $V_{CC(\text{min})}$ までの 100μs のランプ時間と、 V_{CC} 安定化後の 200μs の待機時間を想定しています。

7. 標準値は単なる参照値であり、保証または検査されていません。標準値は、 $V_{CC} = 1.8V$ (1.65V~2.2V の V_{CC} の範囲) および $V_{CC} = 5V$ (4.5V~5.5V の V_{CC} の範囲)、 $T_A = 25^\circ\text{C}$ で測定しています。

8. このパラメーターは設計により保証されており、テストされていません。

9. 20ns 未満のパルス幅には、 $V_{IL(\text{min})} = -2.0V$ および $V_{IH(\text{max})} = V_{CC} + 2V$ 。

DC電気的特性

動作範囲は-40 °C ~ 85 °C。

パラメーター	説明	テスト条件		45/55ns			単位
				Min	Typ ^[7]	Max	
I _{CC}	V _{CC} の動作時電源電流	V _{CC} = Max、I _{OUT} = 0mA、CMOS レベル	f = 22.22MHz (45ns)	—	29.0	36.0	mA
			f = 18.18MHz (55ns)	—	29.0	32.0	mA
			f = 1MHz	—	7.0	9.0	mA
I _{SB1} ^[10]	自動パワー ダウン電流 – CMOS 入力； V _{CC} = 4.5V ~ 5.5 V	CE ₁ ≥ V _{CC} - 0.2V または CE ₂ ≤ 0.2V、 V _{IN} ≥ V _{CC} - 0.2V、V _{IN} ≤ 0.2V、 f = f _{max} (アドレスおよびデータのみ)、		—	5.5	16.0	μA
	自動パワー ダウン電流 – CMOS 入力；V _{CC} = 1.65V ~ 2.2V	f = 0 (OE、および WE)、V _{CC} = V _{CC (max)}		—	7	26.0	
I _{SB2} ^[10]	自動パワー ダウン電流 – CMOS 入力； V _{CC} = 4.5V ~ 5.5 V	CE ₁ ≥ V _{CC} - 0.2V または CE ₂ ≤ 0.2V、 V _{IN} ≥ V _{CC} - 0.2V または V _{IN} ≤ 0.2V、 f = 0、V _{CC} = V _{CC (max)}	25 °C ^[11]	—	5.5	6.5	μA
			40 °C ^[11]	—	6.3	8.0	
			70 °C ^[11]	—	8.4	12.0	
			85 °C	—	12.0 ^[11]	16.0	
	自動パワー ダウン電流 – CMOS 入力； V _{CC} = 1.65V ~ 2.2V	CE ₁ ≥ V _{CC} - 0.2V または CE ₂ ≤ 0.2V、 V _{IN} ≥ V _{CC} - 0.2V または V _{IN} ≤ 0.2V、 f = 0、V _{CC} = V _{CC (max)}		—	7.0	26.0	

注

10. $I_{SB1}/I_{SB2}/I_{CCDR}$ の仕様を満たすために、チップ イネーブル (\overline{CE}_1 および CE_2) は CMOS レベルに接続してください。他の入力はフローティング状態のままにできます。

11. 25°C、40°C、70°C、および一般的に 85°C で制限される I_{SB2} は、設計保証されており、実際には 100% 試験されていません。

容量

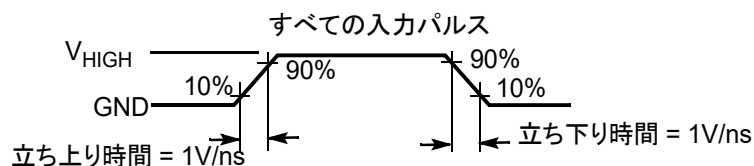
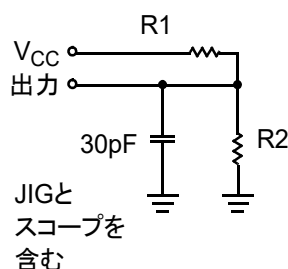
パラメーター ^[12]	説明	テスト条件	Max	単位
C_{IN}	入力容量	$T_A = 25^\circ\text{C}$, $f = 1\text{MHz}$, $V_{CC} = V_{CC}(\text{typ})$	10	pF
C_{OUT}	出力容量		10	pF

熱抵抗

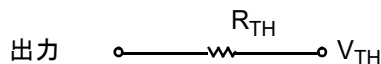
パラメーター ^[12]	説明	テスト条件	48 ボール VFB-GA	単位
Θ_{JA}	熱抵抗 (接合部から周囲)	静止空気、3×4.5 インチで、4 層構造のプリント回路基板に半田付け	31.50	°C/W
Θ_{JC}	熱抵抗 (接合部とケース間)		15.75	°C/W

AC テストの負荷と波形

図 3. AC テストの負荷と波形



THEVENIN EQUIVALENTに相当する



パラメーター	1.8V	2.5V	3.0V	5.0V	単位
R1	13500	16667	1103	1800	Ω
R2	10800	15385	1554	990	Ω
R_{TH}	6000	8000	645	639	Ω
V_{TH}	0.8	1.2	1.75	1.77	V
V_{HIGH}	1.8	2.5	3.0	5.0	V

注

12. 最初にテストされますが、設計またはプロセスで変更があった後に、これらのパラメーターが影響を受ける場合があります。

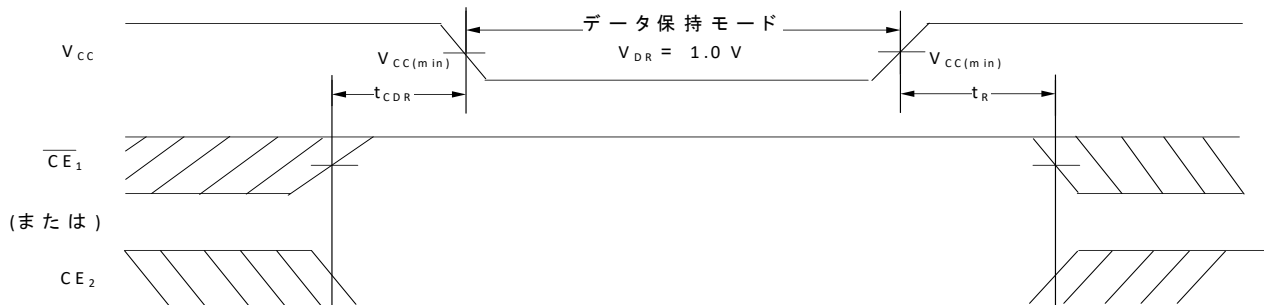
データ保持特性

動作範囲

パラメーター	説明	条件	Min	Typ ^[13]	Max	単位
V_{DR}	データ保持用の V_{CC}		1.0	—	—	V
$I_{CCDR}^{[14, 15]}$	データ保持電流	$1.2V \leq V_{CC} \leq 2.2V$ 、 $\overline{CE}_1 \geq V_{CC} - 0.2V$ または $CE_2 \leq 0.2V$ 、 $V_{IN} \geq V_{CC} - 0.2V$ または $V_{IN} \leq 0.2V$	—	7.0	26.0	μA
		$4.5V \leq V_{CC} \leq 5.5V$ 、 $\overline{CE}_1 \geq V_{CC} - 0.2V$ または $CE_2 \leq 0.2V$ 、 $V_{IN} \geq V_{CC} - 0.2V$ または $V_{IN} \leq 0.2V$	—	5.5	16.0	μA
$t_{CDR}^{[16]}$	チップの選択解除からデータ保持までの時間		0	—	—	—
$t_R^{[16, 17]}$	動作回復時間		45/55	—	—	ns

データ保持波形

図 4. データ保持波形



注

13. 標準値は単に参考として示しており、保証または検査はされていません。標準値は、 $V_{CC} = 1.8V$ ($1.65V$ – $2.2V$ の V_{CC} の範囲)、および $V_{CC} = 5V$ ($4.5V$ – $5.5V$ の V_{CC} の範囲)、 $T_A = 25^\circ C$ で測定しています。
14. $I_{SB1}/I_{SB2}/I_{CCDR}$ の仕様を満たすために、チップ イネーブル (\overline{CE}_1 および CE_2) は CMOS レベルに接続してください。他の入力フローティング状態のままにできます。
15. I_{CCDR} は、デバイスが最初に $V_{CC}(\min)$ に電源投入され、 V_{DR} に下げられた後でのみ保証されます。
16. これらのパラメーターは設計保証です。
17. 完全なデバイス動作には、 V_{DR} から $V_{CC}(\min)$ までのリニア V_{CC} ランプ $\geq 100\mu s$ か、または $V_{CC}(\min)$ の安定時間 $> 100\mu s$ であることが必要です。

スイッチング特性

パラメーター [18, 19]	説明	45ns		55ns		単位
		Min	Max	Min	Max	
読み出しサイクル						
t _{RC}	読み出しサイクル時間	45.0	－	55.0	－	ns
t _{AA}	アドレスからデータ有効まで／アドレスから ERR 有効まで	－	45.0	－	55.0	ns
t _{OHA}	アドレス変更からデータホールド／アドレス変更から ERR ホールド	10.0	－	10.0	－	ns
t _{ACE}	\overline{CE}_1 LOW および CE ₂ HIGH からデータ有効まで／ \overline{CE} LOW から ERR 有効まで	－	45.0	－	55.0	ns
t _{DOE}	\overline{OE} LOW からデータ有効まで／ \overline{OE} LOW から ERR 有効まで	－	22.0	－	25.0	ns
t _{LZOE}	\overline{OE} LOW から Low Z まで [19, 20]	5.0	－	5.0	－	ns
t _{HZOE}	\overline{OE} HIGH から High Z まで [19, 20, 21]	－	18.0	－	18.0	ns
t _{LZCE}	\overline{CE}_1 LOW および CE ₂ HIGH から Low Z まで [19, 20]	10.0	－	10.0	－	ns
t _{HZCE}	\overline{CE}_1 HIGH および CE ₂ LOW から High Z まで [19, 20, 21]	－	18.0	－	18.0	ns
t _{PU} [22]	\overline{CE}_1 LOW および CE ₂ HIGH からパワーアップまで	0	－	0	－	ns
t _{PD} [22]	\overline{CE}_1 HIGH および CE ₂ LOW からパワーダウンまで	－	45.0	－	55.0	ns
書き込みサイクル [23, 24]						
t _{WC}	書き込みサイクル時間	45.0	－	55.0	－	ns
t _{SCE}	\overline{CE}_1 LOW および CE ₂ HIGH から書き込み終了まで	35.0	－	40.0	－	ns
t _{AW}	アドレスのセットアップから書き込みの終了までの時間	35.0	－	40.0	－	ns
t _{HA}	書き込みの最後からアドレス ホールドまで	0	－	0	－	ns
t _{SA}	アドレス セットアップから書き込みの開始まで	0	－	0	－	ns
t _{PWE}	\overline{WE} パルス幅	35.0	－	40.0	－	ns
t _{SD}	データ セットアップから書き込みの最後まで	25.0	－	25.0	－	ns
t _{HD}	書き込みの最後からデータ ホールドまで	0	－	0	－	ns
t _{HZWE}	\overline{WE} LOW から High Z まで [19, 20, 21]	－	18.0	－	20.0	ns
t _{LZWE}	\overline{WE} HIGH から Low Z まで [19, 20]	10.0	－	10.0	－	ns

注

18. テスト条件では、信号遷移時間 (立ち上り／立ち下り) が 3ns 以下、1.5V ($V_{CC} \geq 3V$) と $V_{CC}/2$ ($V_{CC} < 3V$) のタイミング参照レベル、入力パルスレベルが 0V から 3V まで ($V_{CC} \geq 3V$) および 0 から V_{CC} まで ($V_{CC} < 3V$) を想定しています。特に指定しない限り、読み出しサイクルのためのテスト条件は AC テストの負荷と波形の節に示されている出力負荷を使います。
19. 任意の温度、電圧条件で、どのデバイスでも、 t_{HZCE} が t_{LZCE} より短く、 t_{HZOE} は t_{LZOE} より短く、 t_{HZWE} は t_{LZWE} より短いです。
20. これらのパラメーターに影響を与える可能性のある設計またはプロセスの変更後に、最初にテストされました。
21. 出力が高インピーダンス状態に入ると、 t_{HZOE} 、 t_{HZCE} および t_{HZWE} の遷移が測定されます。
22. これらのパラメーターは設計によって保証されており、テストされていません。
23. メモリの内部書き込み時間は、 $\overline{WE} = V_{IL}$ 、 $\overline{CE}_1 = V_{IL}$ 、および $CE_2 = V_{IH}$ のオーバーラップによって定義されます。書き込みを開始するにはすべての信号は ACTIVE (アクティブ) でなければならず、これらの信号のいずれかが INACTIVE (非アクティブ) になると、書き込みが終了します。データ入力セットアップとホールドのタイミングは、書き込みを終了させる信号のエッジを参照してください。
24. 書き込みサイクル 2 (\overline{WE} 制御、 \overline{OE} LOW) 用の最少の書き込みサイクルパルス幅は、 t_{HZWE} と t_{SD} の合計に等しいです。

スイッチング波形

図 5. CY62168G の読み出しサイクル 1 (アドレス遷移制御) [25, 26]

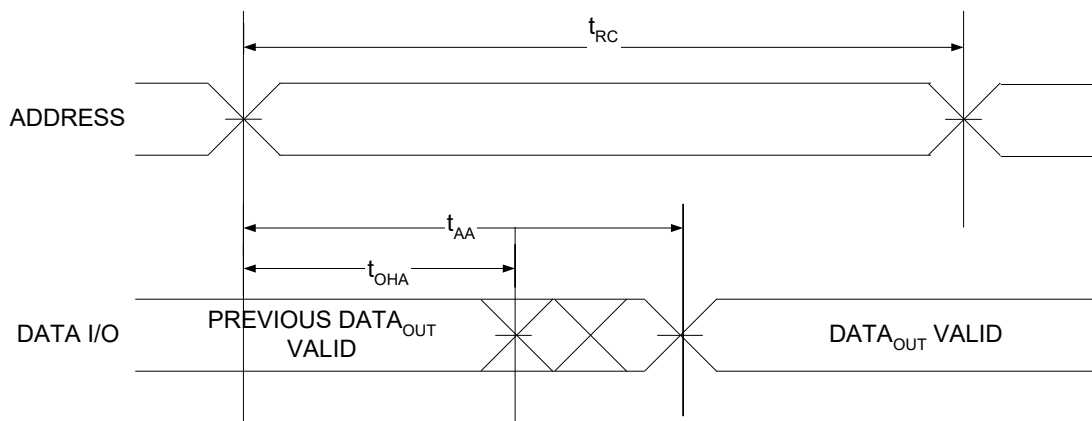
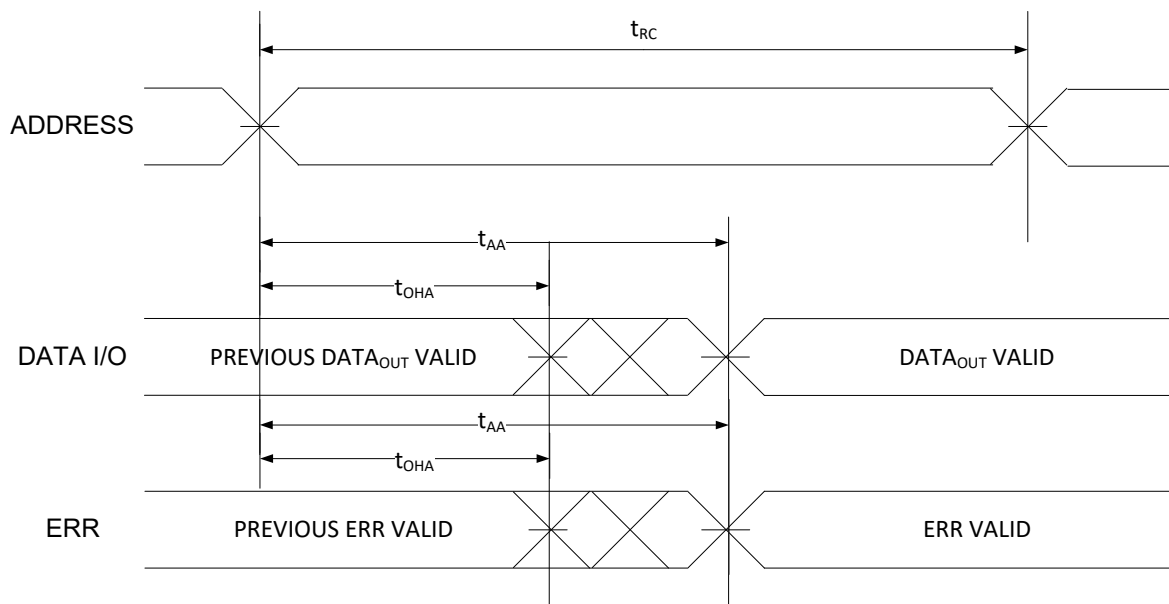


図 6. CY62168GE の読み出しサイクル 1 (アドレス遷移制御) [25, 26]



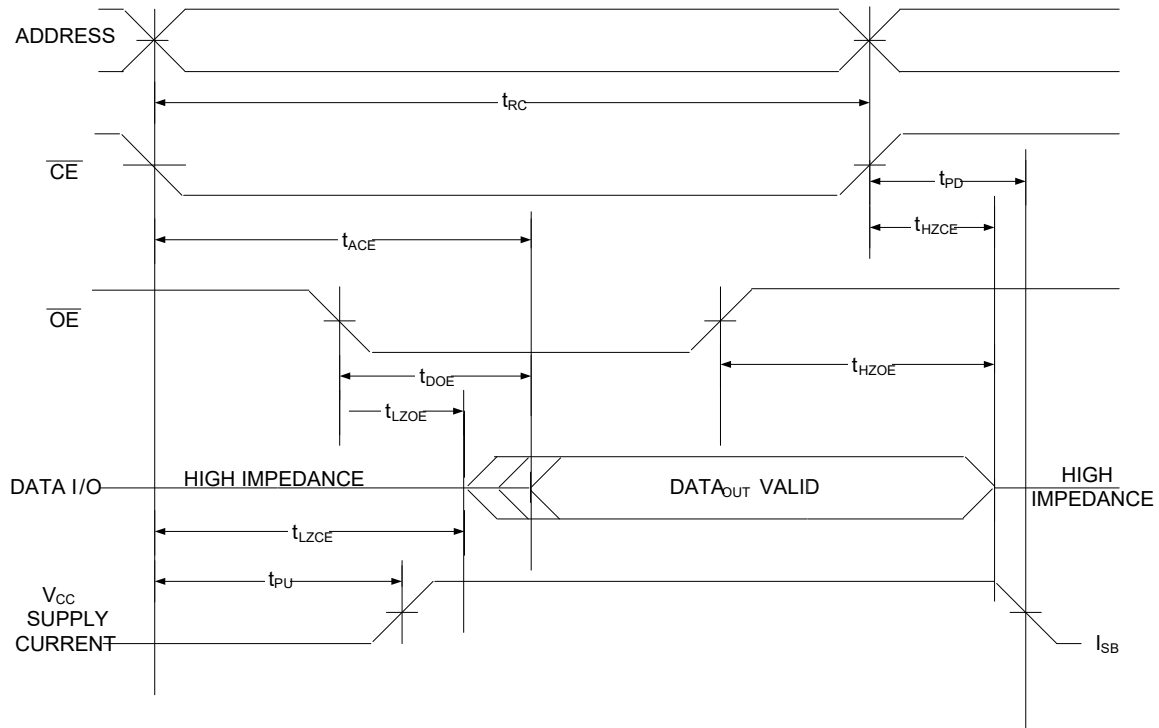
注

25. デバイスは継続して選択されます。 $\overline{OE} = V_{IL}$ 、 $\overline{CE} = V_{IL}$ 。

26. \overline{WE} は読み出しサイクルの間は HIGH です。

スイッチング波形 (続き)

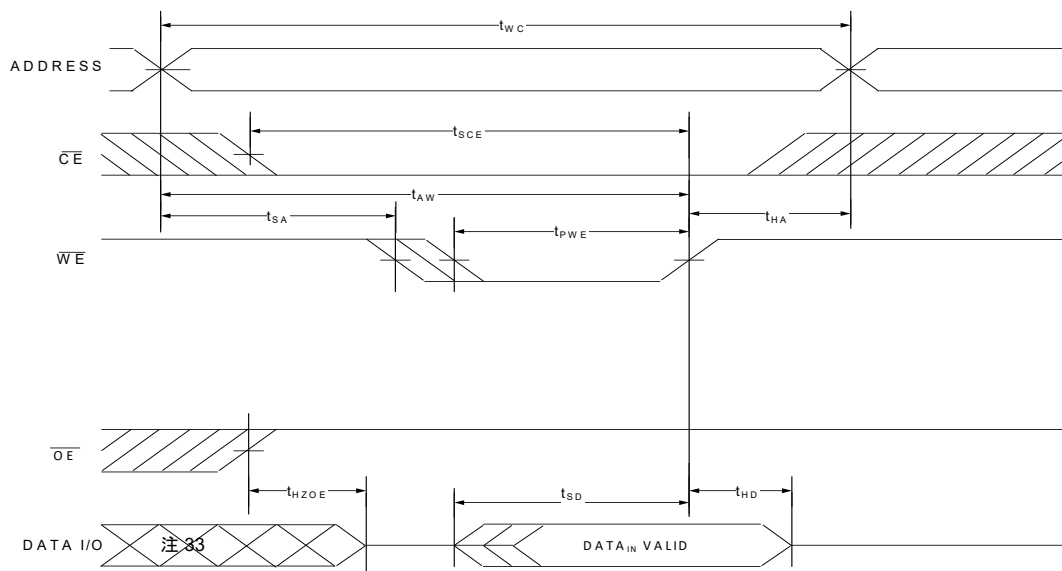
図 7. 読み出しサイクル 2 (\overline{OE} 制御) [27, 28, 29]



- 注
27. \overline{WE} は読み出しサイクルの間は HIGH です。
28. すべてのデュアル チップ イネーブル方式のデバイスに対して、 \overline{CE} は \overline{CE}_1 と CE_2 の論理結合です。 \overline{CE}_1 が LOW で、 CE_2 が HIGH の場合、 \overline{CE} は LOW ; \overline{CE}_1 が HIGH または CE_2 が LOW の場合は \overline{CE} は HIGH です。
29. アドレスは、 \overline{CE} の LOW 遷移前、または同時に有効です。

スイッチング波形 (続き)

図 8. 書き込みサイクル 1 (\overline{WE} 制御) [30, 31, 32]



注

30. すべてのデュアルチップ イネーブル方式のデバイスに対して、 \overline{CE} は \overline{CE}_1 と CE_2 の論理結合です。 \overline{CE}_1 が LOW で、 CE_2 が HIGH の場合、 \overline{CE} は LOW ; \overline{CE}_1 が HIGH または CE_2 が LOW の場合は \overline{CE} は HIGH です。
31. メモリの内部書き込み時間が $\overline{WE} = V_{IL}$ 、 $\overline{CE}_1 = V_{IL}$ 、および $CE_2 = V_{IH}$ のオーバーラップによって定義されます。書き込みを開始するにはすべての信号は ACTIVE (アクティブ) でなければならず、これらの信号のいずれかが INACTIVE (非アクティブ) になると、書き込みが終了します。データ入力セットアップとホールドのタイミングは、書き込みを終了させる信号のエッジを参照してください。
32. もし $CE = V_{IH}$ 、または $OE = V_{IH}$ の場合、データ I/O が高インピーダンス状態にあります。
33. この期間中、I/O は出力状態にあります。入力信号を適用しないでください。

スイッチング波形 (続き)

図 9. 書き込みサイクル 2 (\overline{WE} 制御、 \overline{OE} LOW) [34, 35, 36, 37]

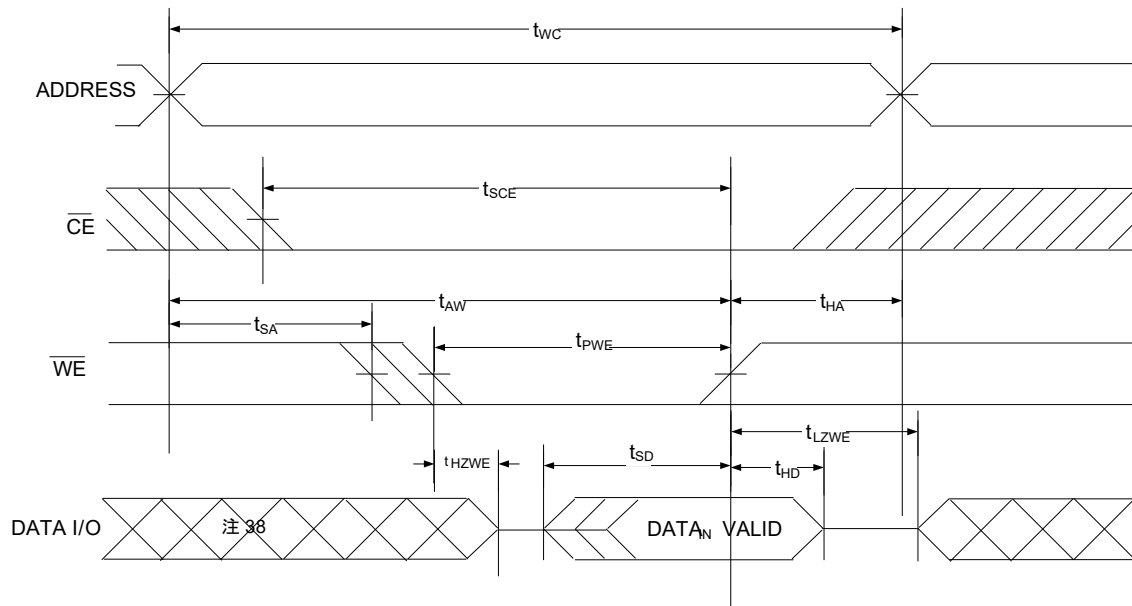
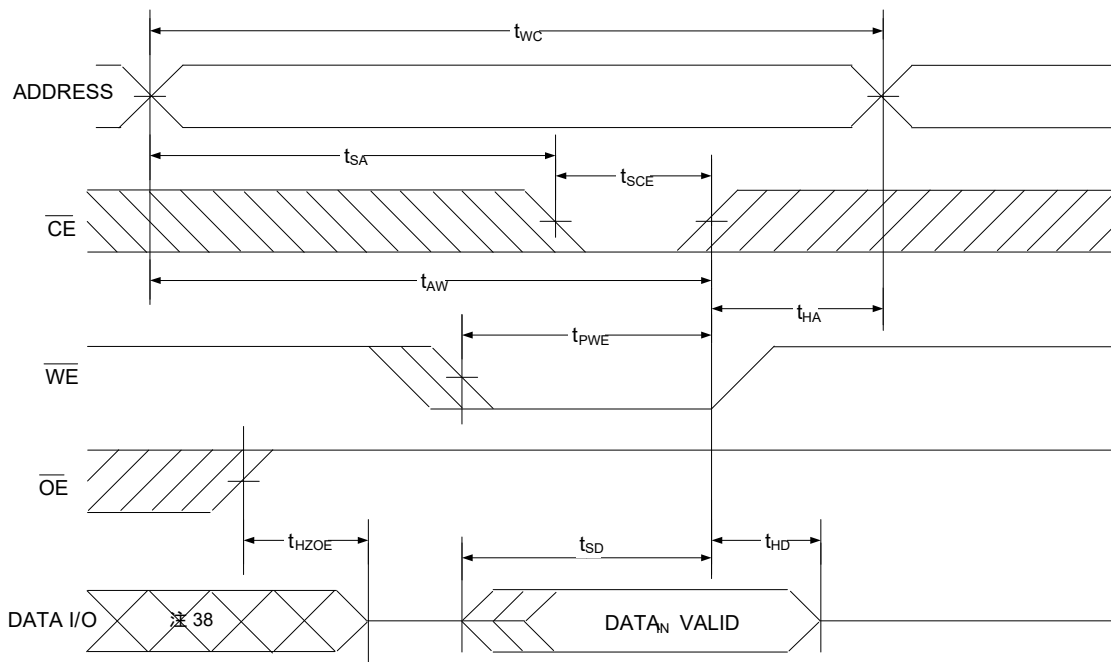


図 10. 書き込みサイクル 3 (\overline{CE} 制御) [34, 35, 36]



注

34. すべてのデュアルチップ イネーブル方式のデバイスに対して、 \overline{CE} は \overline{CE}_1 と CE_2 の論理結合です。 \overline{CE}_1 が LOW で、 CE_2 が HIGH の場合、 \overline{CE} は LOW ; \overline{CE}_1 が HIGH または CE_2 が LOW の場合は \overline{CE} は HIGH です。
35. メモリの内部書き込み時間は $WE = V_{IL}$ 、 $\overline{CE}_1 = V_{IL}$ 、および $CE_2 = V_{IH}$ のオーバーラップによって定義されます。書き込みを開始するにはすべての信号は ACTIVE (アクティブ) でなければならず、これらの信号のいずれかが INACTIVE (非アクティブ) になると、書き込みが終了します。データ入力セットアップとホールドのタイミングは、書き込みを終了させる信号のエッジを参照してください。
36. もし $CE = V_{IH}$ 、または $OE = V_{IH}$ の場合、データ I/O が高インピーダンス状態にあります。
37. 最小の書き込みサイクルパルス幅は、 t_{HZWE} と t_{SD} の合計に等しいです。
38. この期間中、I/O は出力状態にあります。入力信号を適用しないでください。

真理値表 – CY62168G / CY62168GE

CE ₁	CE ₂	WE	OE	I/O	モード	電源
H	X ^[39]	X ^[39]	X ^[39]	High Z	選択解除／パワーダウン	スタンバイ (I _{SB2})
X ^[39]	L	X ^[39]	X ^[39]	High Z	選択解除／パワーダウン	スタンバイ (I _{SB2})
L	H	H	L	データ出力 (I/O ₀ ~ I/O ₇)	読み出し	アクティブ (I _{CC})
L	H	H	H	High Z	出力がディスエーブル	アクティブ (I _{CC})
L	H	L	X	データ入力 (I/O ₀ ~ I/O ₇)	書き込み	アクティブ (I _{CC})

ERR 出力 – CY62168GE

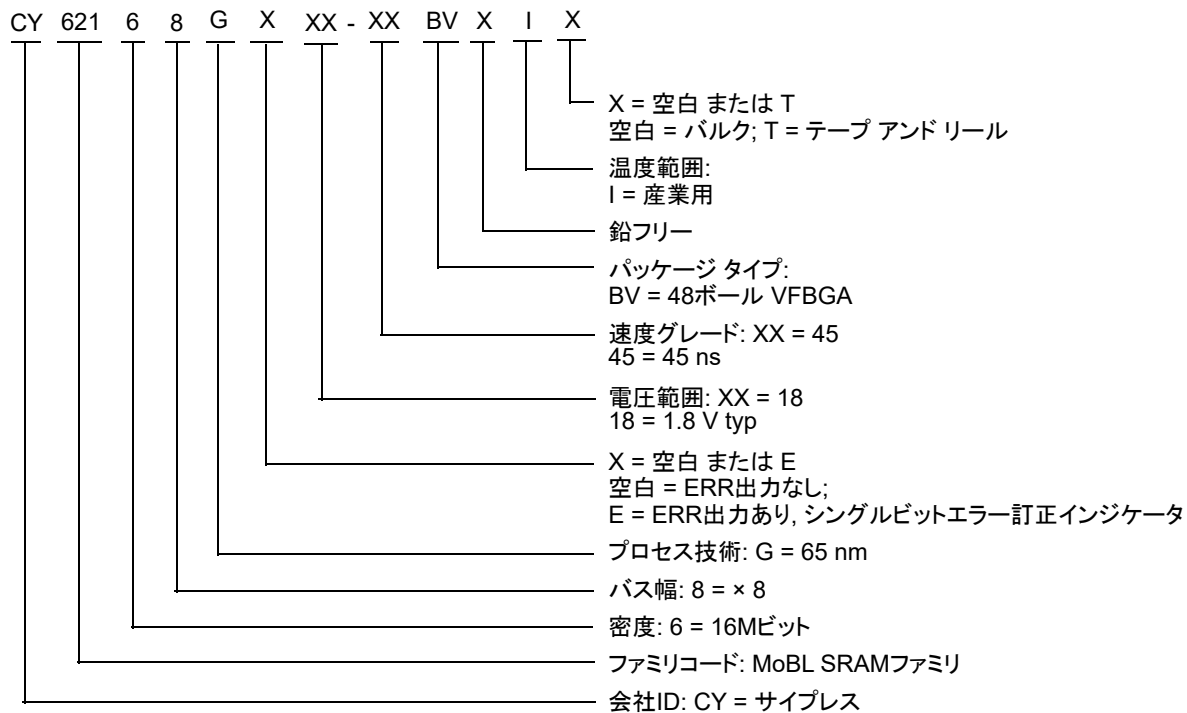
出力 ^[40]	モード
0	読み出し動作、保存データにはシングルビット エラーなし
1	読み出し動作、シングルビットエラーが検出され、訂正された
High Z	デバイスが選択解除／出力がディスエーブル／書き込み動作

注

39. チップ イネーブルに応じた「X」(ドント ケア)状態は、論理状態 (HIGH または LOW) を意味します。これらのピンでの中間電圧レベルは許可されていません。
 40. ERR は出力ピンです。使用しない場合、このピンはフローティングのままにしてください。

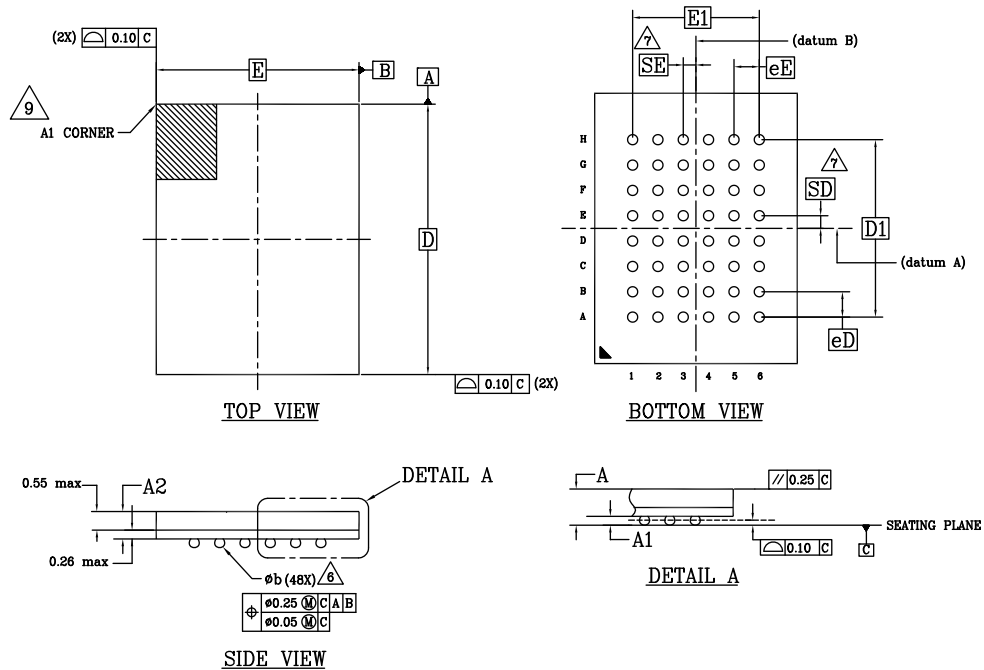
注文情報

速度 (ns)	注文コード	パッケージ 図	パッケージ タイプ (すべて鉛フリー)	動作範囲
55	CY62168G18-55BVXI	51-85150	48 ボール VFBGA	産業用
	CY62168G18-55BVXIT		48 ボール VFBGA, テープ アンド リール	

注文コードの定義


外形図

図 11. 48 ボール VFBGA (6×8×1.0mm) パッケージ外形、51-85150



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	-	-	1.00
A1	0.16	-	-
A2	-	-	0.81
D	8.00 BSC		
E	6.00 BSC		
D1	5.25 BSC		
E1	3.75 BSC		
MD	8		
ME	6		
n	48		
Ø b	0.25	0.30	0.35
eE	0.75 BSC		
eD	0.75 BSC		
SD	0.375 BSC		
SE	0.375 BSC		

NOTES:

1. DIMENSIONING AND TOLERANCING METHODS PER ASME Y14.5M-2009.
2. ALL DIMENSIONS ARE IN MILLIMETERS.
3. BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
4. \square REPRESENTS THE SOLDER BALL GRID PITCH.
5. SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION, SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION, n IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
6. DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
7. "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW "SD" OR "SE" = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = $eD/2$ AND "SE" = $eE/2$.
8. "*" INDICATES THE THEORETICAL CENTER OF DEPOPULATED BALLS.
9. A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK METALIZED MARK, INDENTATION OR OTHER MEANS.

51-85150 *1

略語

略語	説明
CE	Chip Enable (チップ イネーブル)
CMOS	Complementary Metal Oxide Semiconductor (相補型金属酸化膜半導体)
I/O	Input/Output (入力／出力)
OE	Output Enable (出力イネーブル)
SRAM	Static Random Access Memory (スタティック ランダム アクセス メモリ)
VFBGA	Very Fine-Pitch Ball Grid Array (超ファインピッチ ボール グリッド アレイ)
WE	Write Enable (書き込みイネーブル)

本書の表記法

測定単位

記号	測定単位
°C	摂氏温度
MHz	メガヘルツ
μA	マイクロアンペア
μs	マイクロ秒
mA	ミリアンペア
mm	ミリメートル
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラド
V	ボルト
W	ワット

改訂履歴

文書名 : CY62168G/CY62168GE MoBL、エラー訂正コード (ECC) 付 16M ビット (2M ワード x 8 ビット) スタティック RAM 文書番号 : 001-92164			
版	ECN 番号	発行日	変更内容
**	4347371	4/15/2014	これは英語版 001-84771 Rev. *B を翻訳した日本語版 Rev. ** です。
*A	4473483	08/11/2014	これは英語版 001-84771 Rev. *D を翻訳した日本語版 Rev. *A です。
*B	6719871	10//31/2019	これは英語版 001-84771 Rev. *J を翻訳した日本語版 Rev. *B です。
*C	6937002	08/07/2020	これは英語版 001-84771 Rev. *K を翻訳した日本語版 Rev. *C です。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック & バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [サンプルコード](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカル サポート

cypress.com/support

© Cypress Semiconductor Corporation, 2012-2020. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。)) を含むは、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っており、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、(直接又は再販売者及び販売代理店を介して) 間接のいずれかで) 本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラッタと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypressのロゴ, Spansion, Spansionのロゴ及びこれらの組み合わせ, WICED, PSoC, CapSense, EZ-USB, F-RAM, 及びTraveoは、米国及びその他の国におけるCypressの商標又は登録商標である。Cypressのより完全な商標のリストは、cypress.comを参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。