

誤り訂正符号 (ECC) 内蔵の 4M ビット (512K ワード × 8 ビット) スタティック RAM

特長

- 高速 : 45ns/55ns
- スタンバイ時の超低消費電力
 - 標準スタンバイ電流 : 3.5μA
 - 最大スタンバイ電流 : 8.7μA
- シングル ビット エラー訂正用の内蔵 ECC^[1]
- 広い電圧範囲 : 1.65V ~ 2.2V、2.2V ~ 3.6V、4.5V ~ 5.5V
- 1.0V データ保持
- TTL 互換の入出力
- 鉛フリー 32 ピン SOIC および 32 ピン TSOP II パッケージ

機能詳細

CY62148G は、組み込み ECC を備えた高性能 CMOS、低電力 (MoBL) SRAM デバイス^[1]です。このデバイスは、複数のピンコンフィギュレーションが提供されます。

チップ イネーブル (\overline{CE}) 入力を LOW にアサートしてデバイスへアクセスすることができます。書き込みイネーブル (\overline{WE}) 入力を LOW にアサートし、データを I/O₀ ~ I/O₇ に、アドレスを A₀ ~ A₁₈ ピンに提供してデータ書き込みが行われます。

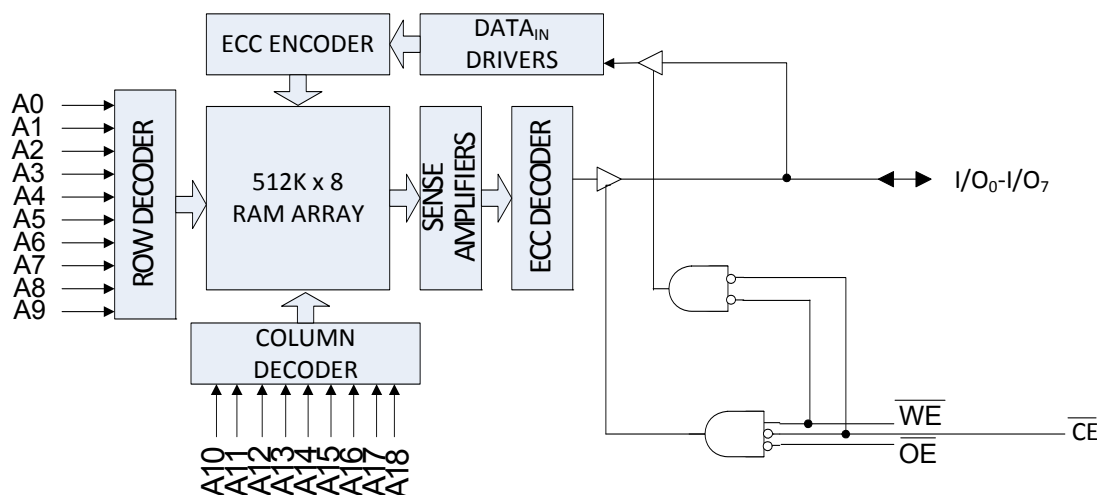
データ読み出しは、出力イネーブル (\overline{OE}) 入力をアサートして、アドレスラインに必要なアドレスを提供することによって実行されます。読み出しデータは、I/O ライン (I/O₀ ~ I/O₇) 上でアクセス可能です。

デバイスが選択解除される (\overline{CE} HIGH または制御信号 \overline{OE} がデアサートされる) と、すべての I/O (I/O₀ ~ I/O₇) は、HI-Z 状態になります。

読み出しモードと書き込みモードの詳細な説明については、[12 ページの真理値表 – CY62148G](#) を参照してください。

論理ブロック図は 2 ページに示されています。

論理ブロック図 – CY62148G



注:

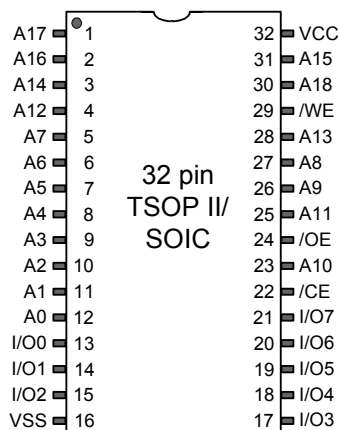
1. このデバイスは、エラー検出時に自動ライトバックに対応しません。

目次

ピンのコンフィギュレーション	3	注文情報	13
製品ポートフォリオ	3	注文コードの定義	13
最大定格	4	パッケージ図	14
動作範囲	4	略語	15
DC 電気的特性	4	本書の表記法	15
静電容量	6	測定単位	15
熱抵抗	6	改訂履歴	16
AC テストの負荷および波形	6	セールス、ソリューションおよび法律情報	17
データ保持特性	7	ワールドワイドな販売と設計サポート	17
データ保持波形	7	製品	17
AC スイッチング特性	8	PSoC® ソリューション	17
スイッチング波形	9	サイプレス開発者コミュニティ	17
真理値表 – CY62148G	12	テクニカル サポート	17

ピンのコンフィギュレーション

図 1. 32 ピン SOIC/TSOP II のピン配置



製品ポートフォリオ

製品	範囲	V _{CC} の範囲 (V)	速度 (ns)	消費電力			
				I _{CC} 動作、(mA)		スタンバイ、I _{SB2} (μA)	
				f = f _{max}			
				Typ ^[2]	Max	Typ ^[2]	Max
CY62148G18	産業用	1.65V ~ 2.2V	55	—	20	—	10
CY62148G30		2.2V ~ 3.6V	45	—	20	3.5	8.7
CY62148G		4.5V ~ 5.5V					

注:

2. 標準値は単なる参照値であり、保証または検査されていません。標準値は、V_{CC} = 1.8V (V_{CC} が 1.65V ~ 2.2V の場合)、V_{CC} = 3V (V_{CC} が 2.2V ~ 3.6V)、および V_{CC} = 5V (V_{CC} が 4.5V ~ 5.5V)、T_A = 25°C で測定しています。

最大定格

最大定格を超えるとデバイスの寿命が短くなる可能性があります。ユーザー ガイドラインはテストされていません。

保存温度 -65°C ~ +150°C

通電時の周囲温度 -55°C ~ +125°C

電源電圧からグランド電位^[3] -0.5V ~ $V_{CC}+0.5V$

HI-Z 状態の出力に

印加される DC 電圧^[3] -0.5V ~ $V_{CC}+0.5V$

DC 入力電圧^[3] -0.5V ~ $V_{CC}+0.5V$

出力への出力電流 (LOW 状態にある場合) 20mA

静電気放電電圧

(MIL-STD-883、メソッド 3015) > 2001V

ラッチアップ電流 >140mA

動作範囲

動作範囲	周囲温度	V_{CC} ^[4]
産業用	-40°C ~ +85°C	1.65V ~ 2.2V、 2.2V ~ 3.6V、 4.5V ~ 5.5V

DC 電気的特性

-40°C ~ 85°C の温度範囲において

パラメーター	説明		テスト条件		45/55ns			単位
					Min	Typ	Max	
V _{OH}	出力 HIGH 電圧	1.65V ~ 2.2V	V _{CC} = Min、I _{OH} = -0.1mA	1.4	-	-	V	
		2.2V ~ 2.7V	V _{CC} = Min、I _{OH} = -0.1mA	2	-	-		
		2.7V ~ 3.6V	V _{CC} = Min、I _{OH} = -1.0mA	2.2	-	-		
		4.5V ~ 5.5V	V _{CC} = Min、I _{OH} = -1.0mA	2.4	-	-		
		4.5V ~ 5.5V	V _{CC} = Min、I _{OH} = -0.1mA	V _{CC} - 0.5 ^[5]	-	-		
V _{OL}	出力 LOW 電圧	1.65V ~ 2.2V	V _{CC} = Min、I _{OL} = 0.1mA	-	-	0.2	V	
		2.2V ~ 2.7V	V _{CC} = Min、I _{OL} = 0.1mA	-	-	0.4		
		2.7V ~ 3.6V	V _{CC} = Min、I _{OL} = 2.1mA	-	-	0.4		
		4.5V ~ 5.5V	V _{CC} = Min、I _{OL} = 2.1mA	-	-	0.4		
V _{IH}	入力 HIGH 電圧	1.65V ~ 2.2V	-	1.4	-	V _{CC} + 0.2 ^[3]	V	
		2.2V ~ 2.7V	-	2	-	V _{CC} + 0.3 ^[3]		
		2.7V ~ 3.6V	-	2	-	V _{CC} + 0.3 ^[3]		
		4.5V ~ 5.5V	-	2.2	-	V _{CC} + 0.5 ^[3]		
V _{IL}	入力 LOW 電圧	1.65V ~ 2.2V	-	-0.2 ^[3]	-	0.4	V	
		2.2V ~ 2.7V	-	-0.3 ^[3]	-	0.6		
		2.7V ~ 3.6V	-	-0.3 ^[3]	-	0.8		
		4.5V ~ 5.5V	-	-0.5 ^[3]	-	0.8		
I _{IX}	入力リーク電流		GND ≤ V _{IN} ≤ V _{CC}		-1	-	+1	μA
I _{OZ}	出力リーク電流		GND ≤ V _{OUT} ≤ V _{CC} 、出力が無効		-1	-	+1	μA
I _{CC}	V _{CC} の動作時電源電流		最大 V _{CC} 、I _{OUT} = 0mA、 CMOS レベル	f = 22.22MHz (45ns)	-	-	20	mA
				f = 18.18MHz (55ns)	-	-	20	mA
				f = 1MHz	-	-	6	mA

注：

3. パルス幅が 2ns 以下の場合、 $V_{IL(\text{min})} = -2.0V$ 、 $V_{IH(\text{max})} = V_{CC} + 2V$ 。

4. デバイスの完全 AC 動作は、0 から $V_{CC(\text{min})}$ への 100μs のランプ時間、および V_{CC} が安定した後、200μs の待機時間を想定しています。

5. このパラメーターは設計保証であり、テストは行われていません。

DC 電気的特性 (続き)

−40°C ~ 85°C の温度範囲において

パラメーター	説明	テスト条件	45/55ns			単位	
			Min	Typ	Max		
I _{SB1} ^[6]	電源自動切断時の電流 – CMOS 入力 ; V _{CC} = 2.2V ~ 3.6V および 4.5V ~ 5.5V	$\overline{CE}_1 \geq V_{CC} - 0.2V$ または $CE_2 \leq 0.2V$ 、 $V_{IN} \geq V_{CC} - 0.2V$ または $V_{IN} \leq 0.2V$ 、 $f = f_{max}$ (アドレスおよびデータのみ)、 $f = 0$ (\overline{OE} 、 \overline{WE})、 $V_{CC(max)}$	–	–	8.7	μA	
	電源自動切断時の電流 – CMOS 入力 V _{CC} =1.65V ~ 2.2V		–	–	–		
I _{SB2} ^[6]	電源自動切断時の電流 – CMOS 入力 V _{CC} = 2.2V ~ 3.6V および 4.5V ~ 5.5V	$\overline{CE}_1 \geq V_{CC} - 0.2V$ または $CE_2 \leq 0.2V$ 、 $V_{IN} \geq V_{CC} - 0.2V$ または $V_{IN} \leq 0.2V$ 、 $f = 0$ 、 $V_{CC(max)}$	25°C ^[7]	–	3.5	3.7	μA
			40°C ^[7]	–	–	4.8	
			70°C ^[7]	–	–	7	
			85°C	–	–	8.7	
	電源自動切断時の電流 – CMOS 入力 V _{CC} = 1.65V ~ 2.2V	$\overline{CE}_1 \geq V_{CC} - 0.2V$ または $CE_2 \leq 0.2V$ 、 $V_{IN} \geq V_{CC} - 0.2V$ または $V_{IN} \leq 0.2V$ 、 $f = 0$ 、 $V_{CC(max)}$	25°C ^[7]	–	3.5	4.3	
			40°C ^[7]	–	–	5	
			70°C ^[7]	–	–	7.5	
			85°C	–	–	10	

注:

6. I_{SB1} / I_{SB2} / I_{CCDR} の仕様を満たすために、チップ イネーブル (\overline{CE}) を CMOS に接続する必要があります。他の入力はフローティング状態のままにすることができます。

7. I_{SB2} の 25°C、40°C、70°C での規格値、および 85°C での typ 値は、設計保証であり、実際には 100% 試験されていません。

静電容量

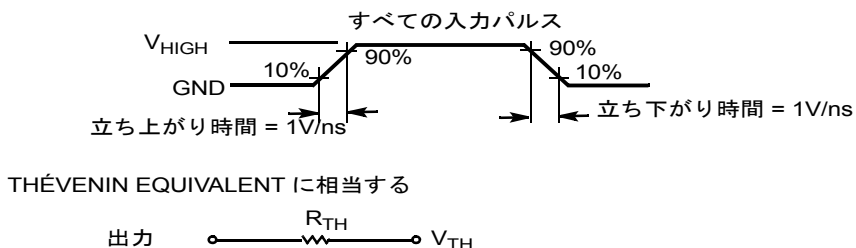
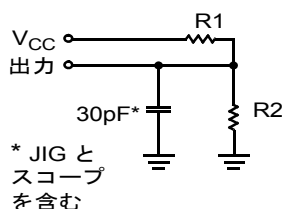
パラメーター [8]	説明	テスト条件	最大値	単位
C_{IN}	入力容量	$T_A = 25^\circ\text{C}$, $f = 1\text{MHz}$, $V_{CC} = V_{CC}(\text{typ})$	10	pF
C_{OUT}	出力容量		10	pF

熱抵抗

パラメーター [8]	説明	テスト条件	32 ピン SOIC	32 ピン TSOP II	単位
Θ_{JA}	熱抵抗 (接合部から周囲環境)	無風状態で、3×4.5 インチの 4 層プリント回路基板にはんだ付け	51.79	79.03	$^\circ\text{C/W}$
Θ_{JC}	熱抵抗 (接合部から周囲環境)		25.12	17.44	$^\circ\text{C/W}$

AC テストの負荷および波形

図 2. AC テストの負荷および波形 [9]



パラメーター	1.8V	2.5V	3.0V	5.0V	単位
R1	13500	16667	1103	1800	Ω
R2	10800	15385	1554	990	Ω
R_{TH}	6000	8000	645	639	Ω
V_{TH}	0.80	1.20	1.75	1.77	V

- 注:
- 開発時、およびこれらのパラメーターに影響を与えることがある設計/プロセス変更がある場合にテストされます。
 - 完全なデバイス動作には、 V_{DR} から $V_{CC(\min)}$ までのリニア V_{CC} ランプ時間が 100ms を超える、または $V_{CC(\min)}$ で安定した時間が 100ms を超える必要があります。

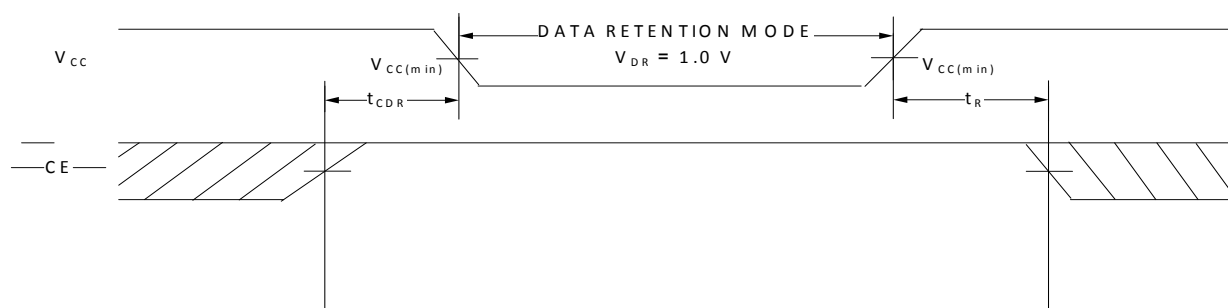
データ保持特性

動作範囲において

パラメーター	説明	条件	Min	Typ ^[10]	Max	単位
V_{DR}	データ保持用の V_{CC}		1	—	—	V
$I_{CCDR}^{[11, 12]}$	データ保持電流	$V_{CC} = 1.2V$ 、 $\overline{CE}_1 \geq V_{CC} - 0.2V$ または $\overline{CE}_2 \leq 0.2V$ 、 $V_{IN} \geq V_{CC} - 0.2V$ 、または $V_{IN} \leq 0.2V$	—	—	13	μA
$t_{CDR}^{[13, 14]}$	チップの選択解除からデータ保持開始まで		0	—	—	ns
$t_R^{[14]}$	動作復帰時間		45/55	—	—	ns

データ保持波形

図 3. データ保持波形



注:

10. 標準値は単なる参照値であり、保証または検査されていません。標準値は、 $V_{CC} = 1.8V$ (V_{CC} が $1.65V \sim 2.2V$ の場合)、 $V_{CC} = 3V$ (V_{CC} が $2.2V \sim 3.6V$ の場合)、 $V_{CC} = 5V$ (V_{CC} が $4.5V \sim 5.5V$ の場合)、 $T_A = 25^\circ C$ で測定しています。
11. I_{SB1} / I_{SB2} / I_{CCDR} の仕様を満たすために、チップ イネーブル (\overline{CE}) を CMOS レベルに接続する必要があります。他の入力フローティング状態のままにすることができます。
12. I_{CCDR} は、デバイスが最初に $V_{CC(min)}$ に電源投入され、 V_{DR} に下げられた後でのみ保証されています。
13. これらのパラメーターは設計保証されます。
14. 完全なデバイス動作には、 V_{DR} から $V_{CC(min)}$ までのリニア V_{CC} ランプ時間が $\geq 100ms$ を超えるか、または $V_{CC(min)}$ で安定した時間が $\geq 100ms$ を超える必要があります。

AC スイッチング特性

パラメーター [15、16.]	説明	45ns		55ns		単位
		Min	Max	Min	Max	
読み出しサイクル						
t _{RC}	読み出しサイクル時間	45	－	55	－	ns
t _{AA}	アドレス指定からデータ有効まで	－	45	－	55	ns
t _{OHA}	アドレス変更からのデータ ホールド時間	10	－	10	－	ns
t _{ACE}	\overline{CE} LOW からデータ有効まで	－	45	－	55	ns
t _{DOE}	\overline{OE} LOW からデータ有効まで	－	22	－	25	ns
t _{LZOE}	\overline{OE} LOW から Low インピーダンス [17]	5	－	5	－	ns
t _{HZOE}	\overline{OE} HIGH ～ HI-Z [17、18]	－	18	－	18	ns
t _{LZCE}	\overline{CE} LOW から低インピーダンス [17]	10	－	10	－	ns
t _{HZCE}	\overline{CE} HIGH から HI-Z [17、18]	－	18	－	18	ns
t _{PU}	\overline{CE} LOW から電源投入まで	0	－	0	－	ns
t _{PD}	\overline{CE} HIGH から電源切断まで	－	45	－	55	ns
書き込みサイクル [19、20]						
t _{WC}	書き込みサイクル時間	45	－	55	－	ns
t _{SCE}	\overline{CE} LOW から書き込み終了まで	35	－	45	－	ns
t _{AW}	アドレス セットアップから書き込みの最後まで	35	－	45	－	ns
t _{HA}	書き込み終了からのアドレス ホールド時間	0	－	0	－	ns
t _{SA}	アドレスのセットアップから書き込み開始まで	0	－	0	－	ns
t _{PWE}	\overline{WE} パルス幅	35	－	40	－	ns
t _{SD}	データ セットアップから書き込み終了まで	25	－	25	－	ns
t _{HD}	書き込み終了からのデータ ホールド時間	0	－	0	－	ns
t _{HZWE}	\overline{WE} LOW ～ HI-Z [17、18]	－	18	－	20	ns
t _{LZWE}	\overline{WE} HIGH から低インピーダンスまで [17]	10	－	10	－	ns

注:

- テスト条件では、信号遷移時間 (立ち上がり/立ち下がり) が 3ns 以下、タイミング基準レベルが 1.5V ($V_{CC} \geq 3V$ の場合) か $V_{CC}/2$ ($V_{CC} < 3V$ の場合)、入力パルスレベルが 0V ~ 3V ($V_{CC} \geq 3V$ の場合) か 0 ~ V_{CC} ($V_{CC} < 3V$ の場合) であることを前提にします。特に指定しない限り、読み出しサイクルのためのテスト条件は AC テストの負荷と波形の節に示されている出力負荷を使います。
- これらのパラメーターは設計保証されます。
- 任意の温度と電圧条件において、どのデバイスでも、 t_{HZCE} が t_{LZCE} より短く、 t_{HZOE} は t_{LZOE} より短く、 t_{HZWE} は t_{LZWE} より短いです。
- 出力が高インピーダンス状態に入ると、 t_{HZOE} 、 t_{HZCE} および t_{HZWE} の遷移が測定されます。
- メモリの内部書き込み時間は、 $\overline{WE} = V_{IL}$ 、 $\overline{CE} = V_{IL}$ のオーバーラップで定義されます。書き込みを開始するにはすべての信号をアクティブにし、書き込みを終了するにはこれらの信号のいずれかを非アクティブにします。データ入力セットアップとホールドのタイミングは、書き込みを終了させる信号のエッジを参照しなければなりません。
- 書き込みサイクル 3 (\overline{WE} 制御、 \overline{OE} LOW) 用の最小のパルス幅は、 t_{SD} と t_{HZWE} の合計と等しい必要があります。

図 4. 読み出しサイクル 1 (アドレス遷移制御) [21, 22]

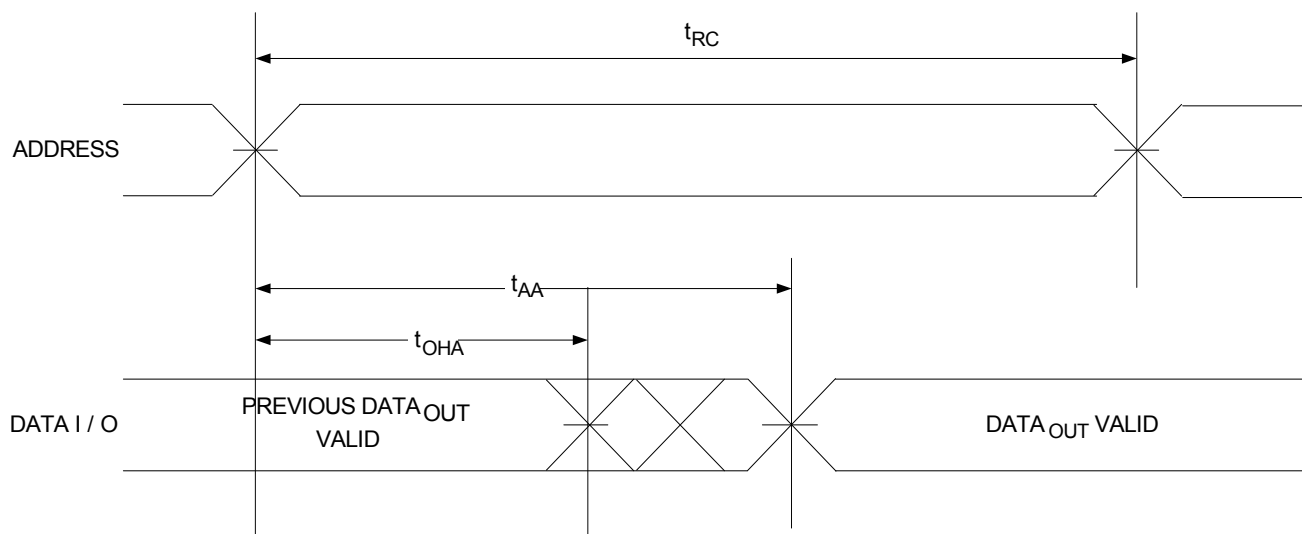
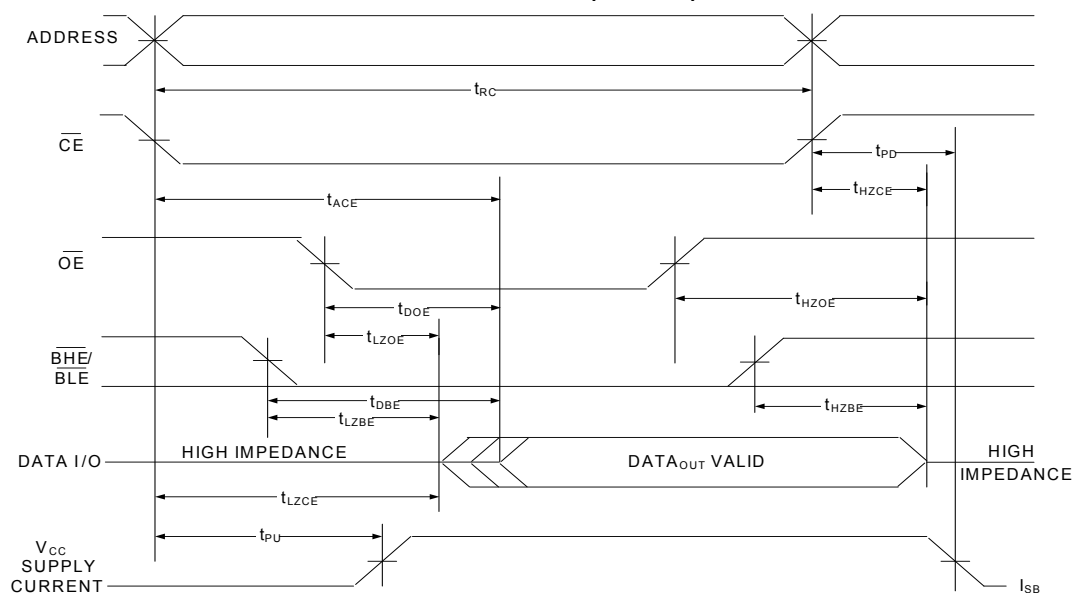


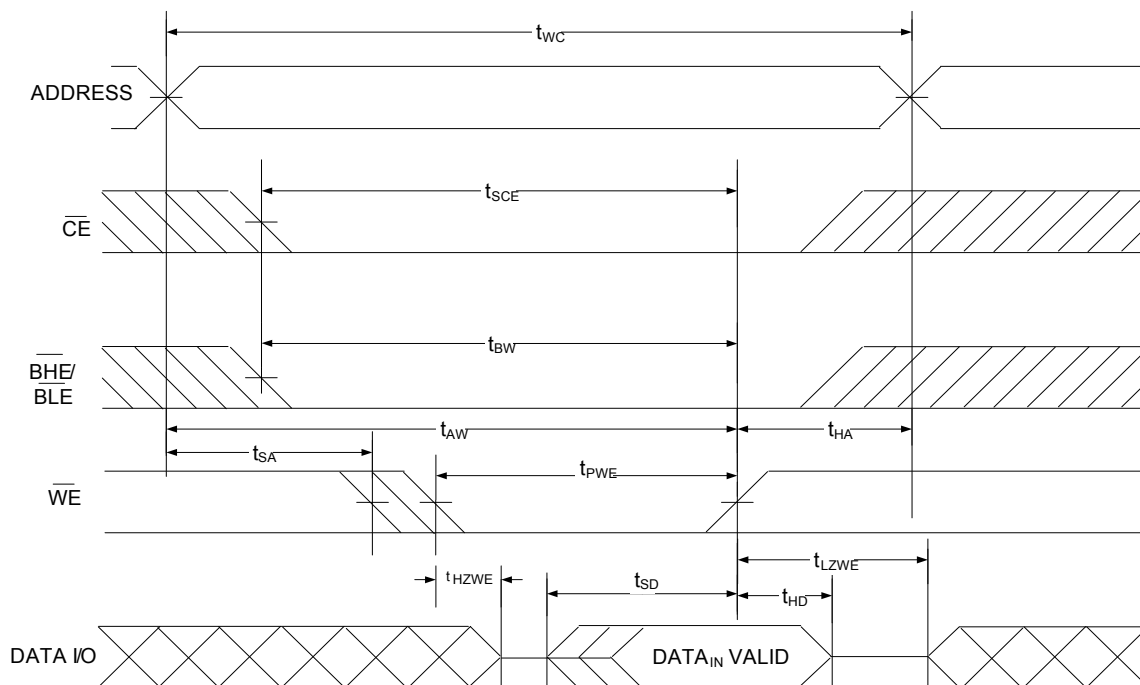
図 5. 読み出しサイクル 2 ($\overline{\text{OE}}$ 制御) [22、23]



21. デバイスは継続して選択されています。 $\overline{OE} = V_{IL}$ 、 $\overline{CE} = V_{IL}$ 。
22. 読み出しサイクルの間は \overline{WE} がHIGHです。
23. アドレスは、 \overline{CE} のLOW 遷移前、または遷移と同時に有効です。

スイッチング波形 (続き)

図 6. 書き込みサイクル 1 ($\overline{\text{WE}}$ 制御) [24、25、26]



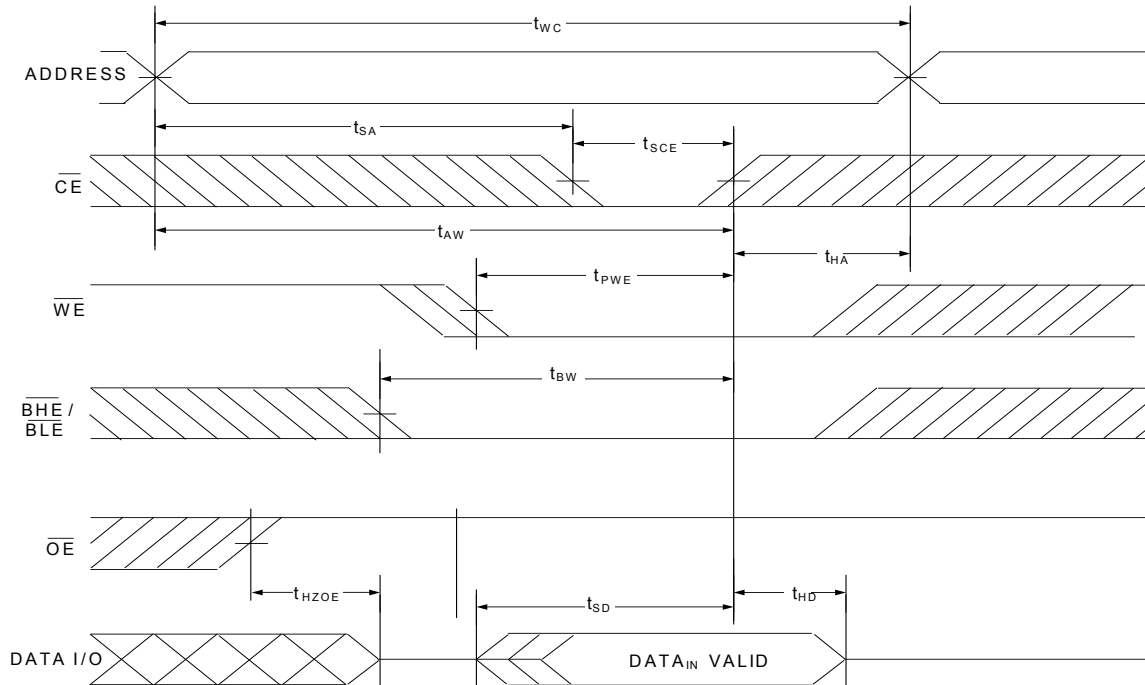
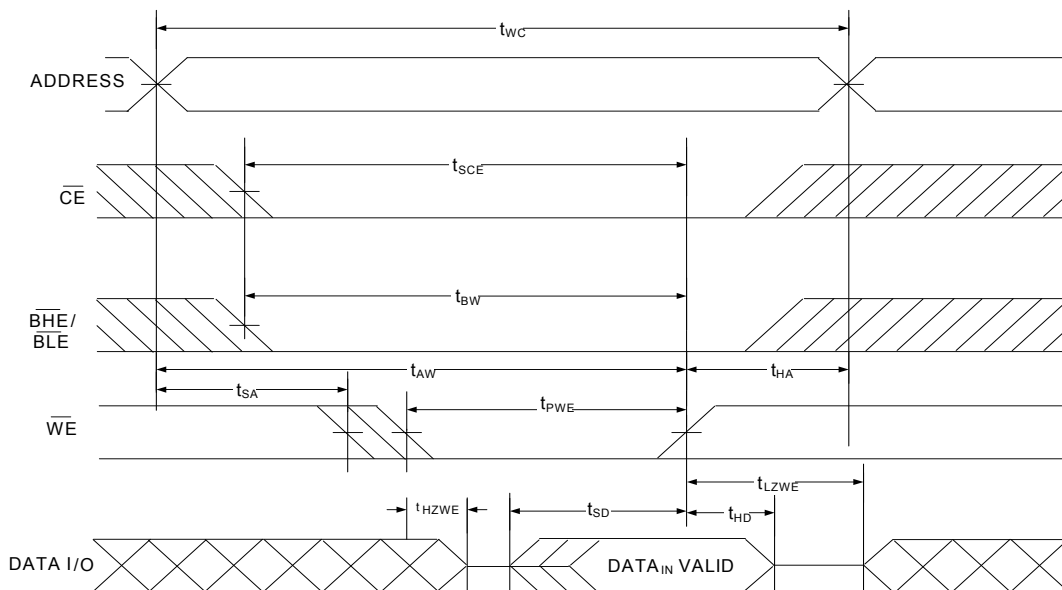
注:

24. 読み出しサイクルの間は $\overline{\text{WE}}$ が HIGH です。

25. メモリの内部書き込み時間は、 $\overline{\text{WE}} = V_{\text{IL}}$ 、 $\overline{\text{CE}} = V_{\text{IL}}$ のオーバーラップで定義されます。書き込みを開始するにはすべての信号をアクティブにし、書き込みを終了するにはこれらの信号のいずれかを非アクティブにします。データ入力セットアップとホールドのタイミングは、書き込みを終了させる信号のエッジを参照しなければなりません。

26. $\overline{\text{CE}} = V_{\text{IH}}$ 、または $\overline{\text{OE}} = V_{\text{IH}}$ の場合、データ I/O は HI-Z 状態に入ります。

スイッチング波形 (続き)

図 7. 書き込みサイクル 2 ($\overline{\text{CE}}$ 制御) [27、28]

図 8. 書き込みサイクル 3 ($\overline{\text{WE}}$ 制御、 $\overline{\text{OE}}$ LOW) [27、28、29]


注:

27. メモリの内部書き込み時間は、 $\overline{\text{WE}} = V_{\text{IL}}$ 、 $\overline{\text{CE}} = V_{\text{IL}}$ のオーバーラップで定義されます。書き込みを開始するにはすべての信号をアクティブにし、書き込みを終了するにはこれらの信号のいずれかを非アクティブにします。データ入力セットアップとホールドのタイミングは、書き込みを終了させる信号のエッジを参照しなければなりません。

28. $\overline{\text{CE}} = V_{\text{IH}}$ 、または $\overline{\text{OE}} = V_{\text{IH}}$ の場合、データ I/O は HI-Z 状態に入ります。

29. 書き込みサイクル 3 ($\overline{\text{WE}}$ 制御、 $\overline{\text{OE}}$ LOW) 用の最小書き込みパルス幅は、 t_{HZWE} と t_{SD} の和である必要があります。

真理値表 – CY62148G

$\overline{\text{CE}}$	$\overline{\text{WE}}$	$\overline{\text{OE}}$	入力／出力	モード	電源	コンフィギュレーション
H	X ^[30]	X ^[30]	HI-Z	選択解除／電源遮断	スタンバイ (I_{SB})	512K × 8
L	H	L	データ出力 ($I/O_0 \sim I/O_7$)	読み出し	アクティブ (I_{CC})	512K × 8
L	H	H	HI-Z	出力ディスエーブル	アクティブ (I_{CC})	512K × 8
L	L	X ^[30]	データ入力 ($I/O_0 \sim I/O_7$)	書き込み	アクティブ (I_{CC})	512K × 8

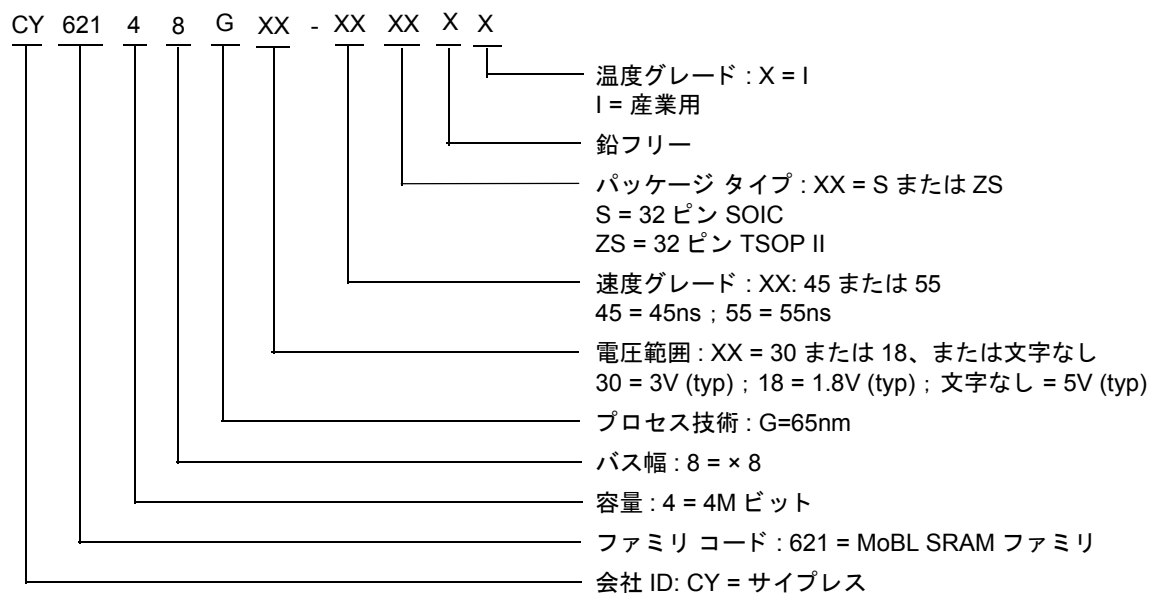
注:

30. チップ イネーブルの「X」(ドント ケア) 状態は、論理状態 (HIGH または LOW) を意味します。これらのピンでの中間電圧レベルは許可されていません。

注文情報

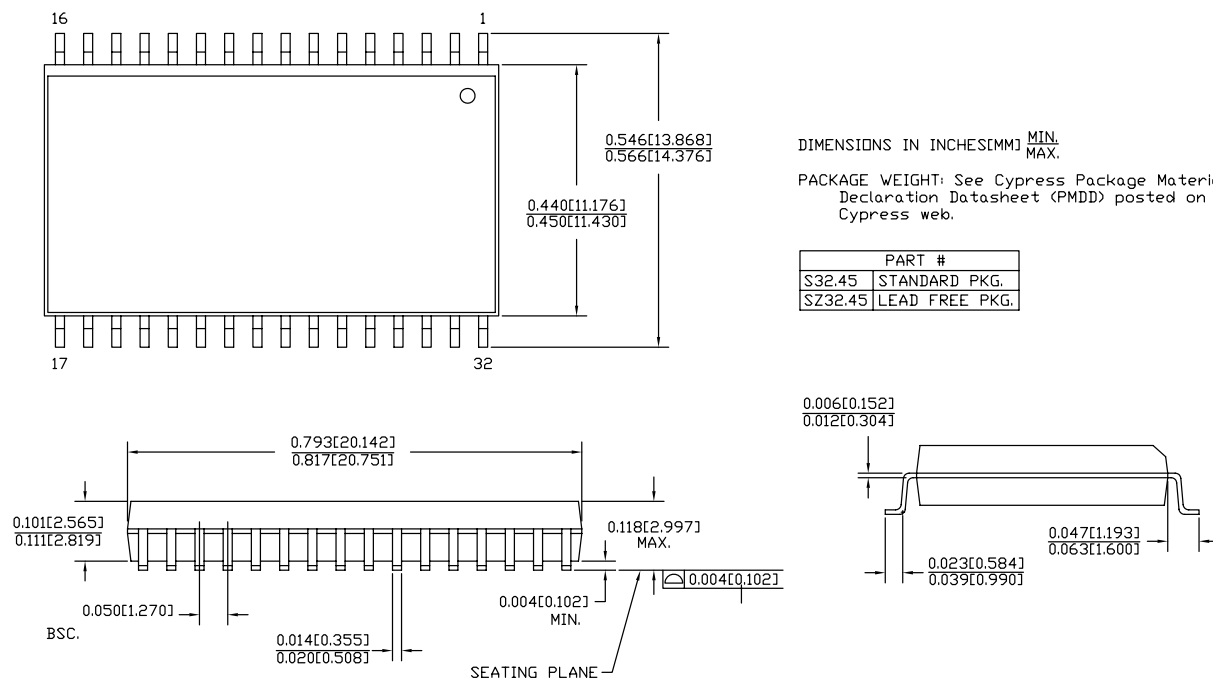
速度 (ns)	電圧範囲	注文コード	パッケージ図面	パッケージ タイプ	動作範囲
45	2.2V ~ 3.6V	CY62148G30-45SXI	51-85081	32 ピン SOIC (450Mil)	産業用
		CY62148G30-45ZSXI	51-85095	32 ピン TSOP II	
	4.5V ~ 5.5V	CY62148G-45SXI	51-85081	32 ピン SOIC (450Mil)	
		CY62148G-45ZSXI	51-85095	32 ピン TSOP II	
55	2.2V ~ 3.6V	CY62148G18-55ZSXI	51-85095	32 ピン TSOP II	

注文コードの定義



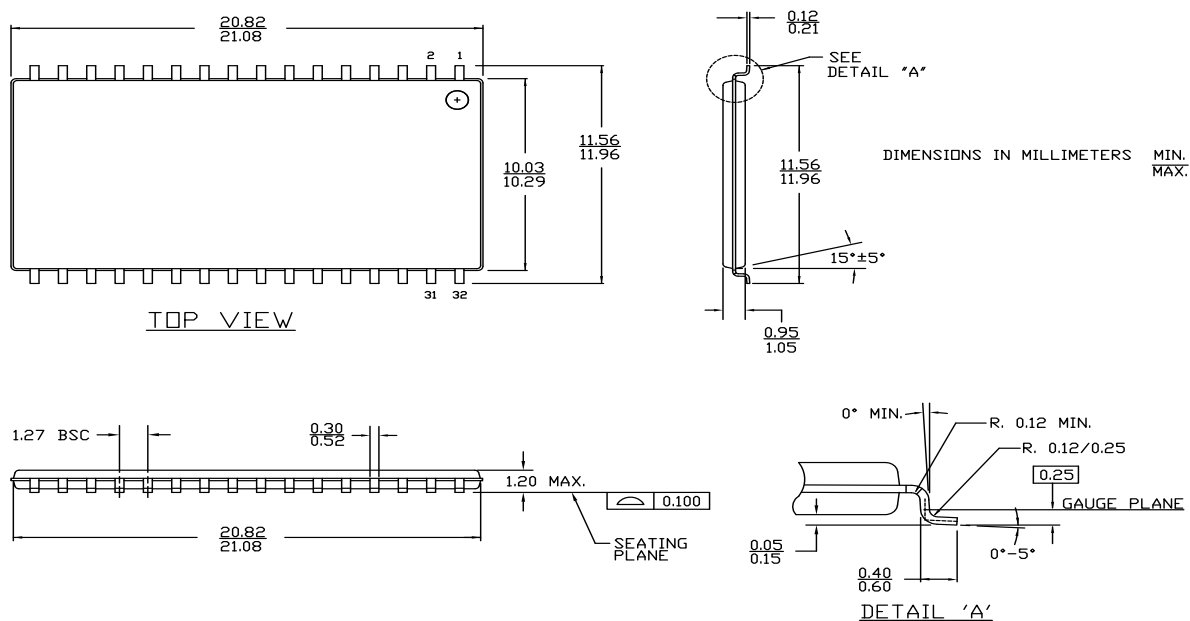
パッケージ図

図 9. 32 ピン SOIC (450Mil) S32.45/SZ32.45 パッケージ図、51-85081



51-85081 *E

図 10. 32 ピン TSOP II (20.95 × 11.76 × 1.0mm) ZS32 パッケージ図、51-85095



略語

略語	説明
CE	Chip Enable (チップ イネーブル)
CMOS	Complementary Metal Oxide Semiconductor (相補型金属酸化膜半導体)
I/O	Input/Output (入力/出力)
OE	Output Enable (出力イネーブル)
SRAM	Static Random Access Memory (スタティック ランダム アクセス メモリ)
TSOP	Thin Small Outline Package (小型薄型パッケージ)
VFBGA	Very Fine-Pitch Ball Grid Array (超ファインピッチ ボール グリッド アレイ)
WE	書き込みイネーブル

本書の表記法

測定単位

記号	測定単位
°C	摂氏温度
MHz	メガヘルツ
μA	マイクロアンペア
μs	マイクロ秒
mA	ミリアンペア
mm	ミリメートル
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラッド
V	ボルト
W	ワット

改訂履歴

文書名 : CY62148G MoBL®、誤り訂正符号 (ECC) 内蔵の 4M ビット (512K ワード ×8 ビット) スタティック RAM 文書番号 : 001-97586				
版	ECN 番号	変更者	発行日	変更内容
**	4769220	HZEN	06/11/2015	これは英語版 001-95415 Rev. ** を翻訳した日本語版 001-97586 Rev. ** です。
*A	5115876	HZEN	02/02/2016	これは英語版 001-95415 Rev. *C を翻訳した日本語版 001-97586 Rev. *A です。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション](#) ページをご覧ください。

製品

車載用	cypress.com/go/automotive
クロック & バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明 & 電力制御	cypress.com/go/powerpsoc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/USB
ワイヤレス / RF	cypress.com/go/wireless

PSoC® ソリューション

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカル サポート

cypress.com/go/support

© Cypress Semiconductor Corporation, 2015-2016. 本文書に記載される情報は予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものではありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

すべてのソース コード (ソフトウェアおよび/またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタム ソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限って、サイプレスのソース コードの派生著作物をコピー、使用、変更して作成するためのライセンス、ならびにサイプレスのソース コードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責事項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。