

4M ビット (512 K × 8) スタティック RAM

特長

- 高速動作 : 45ns
- 広い電圧範囲 : 1.65V ~ 2.2V、2.2V ~ 3.6V、4.5V ~ 5.5V
- 超低スタンバイ電力
 - 標準スタンバイ電流 : 3.5μA
 - 最大スタンバイ電流 : 8.7μA
- \overline{CE} および \overline{OE} の機能により、メモリ拡張が容易
- 選択解除の時、自動パワーダウン
- 最適な速度と電力のための相補型金属酸化膜半導体 (CMOS)
- 鉛フリー32ピン薄型小型パッケージ (TSOP) II および 32ピン小型集積回路 (SOIC) パッケージで提供

機能の説明

CY62148GN は 512K ワード × 8 ビット構成の高性能 CMOS スタティック RAM です。このデバイスは超低スタンバイ電流で動作するように先端的回路設計がなされています。これは、ポータブル アプリケーションで More Battery Life™ (MoBL®) を提供するのに最適です。このデバイスは、アドレスがトグルされていない場合、消費電力を大幅に低減する自動電源切断機能も

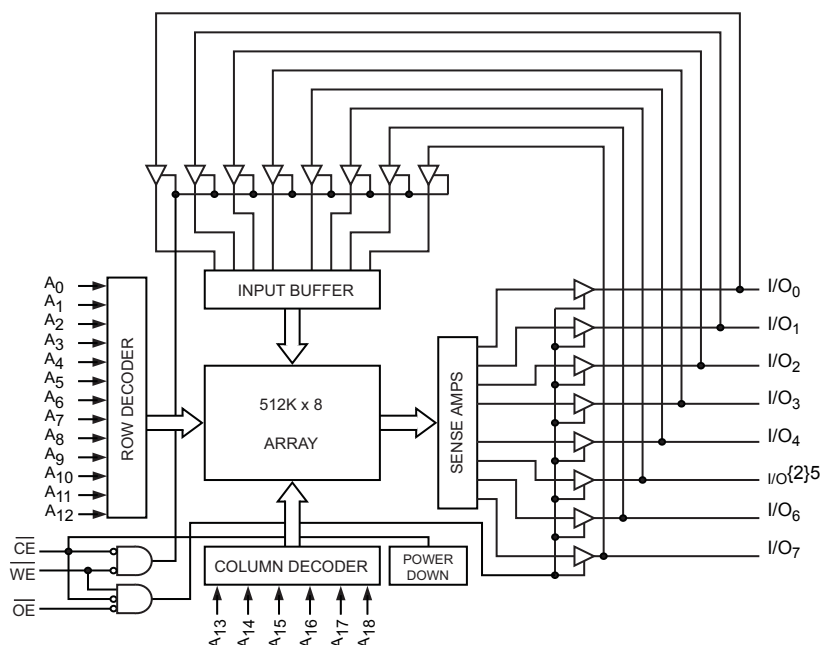
備えています。デバイスをスタンバイ モードにすると、動作時に比べ消費電力を 99%以上低減します (\overline{CE} HIGH)。デバイスの選択が解除 (\overline{CE} HIGH) されるか、出力が無効 (\overline{OE} HIGH) になるか、または書き込み動作 (\overline{CE} LOW 及び \overline{WE} LOW) の間、8つの入出力ピン ($I/O_0 \sim I/O_7$) は高インピーダンス状態になります。

デバイスに書き込むためにはチップ イネーブル (\overline{CE}) および書き込みイネーブル (\overline{WE}) 入力を LOW にします。8 個の I/O ピン ($I/O_0 \sim I/O_7$) からのデータは、アドレスピン ($A_0 \sim A_{18}$) で示された位置に書き込まれます。

デバイスから読み出すためには、書き込みイネーブル (\overline{WE}) を HIGH にしながら、チップ イネーブル (\overline{CE}) 及び出力イネーブル (\overline{OE}) を LOW にします。これらの条件では、アドレスピンに指定されたメモリ位置の内容が I/O ピンに現れます。

すべての関連資料の一覧を表示するには、[ここをクリックしてください](#)。

論理ブロック図



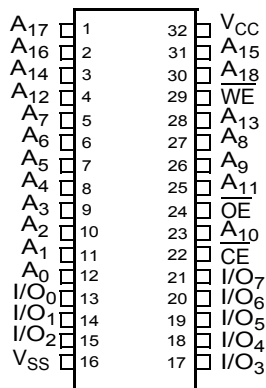
目次

ピン配置	3	注文情報	11
製品ポートフォリオ	3	注文コードの定義	11
最大定格	4	パッケージ図	12
動作範囲	4	略語	14
電気的特性	4	本書の表記法	14
静電容量	5	測定単位	14
熱抵抗	5	改訂履歴	15
AC テストの負荷と波形	5	セールス、ソリューション、および法律情報	16
データ保持特性	6	ワールドワイド販売と設計サポート	16
データ保持波形	6	製品	16
スイッチング特性	7	PSoC® ソリューション	16
スイッチング波形	8	サイプレス開発者コミュニティ	16
真理値表	10	テクニカル サポート	16

ピン配置

図 1. 32 ピン SOIC/TSOP II のピン配置

上面図



製品ポートフォリオ

製品	範囲	V _{CC} の範囲 (V)	速度 (ns)	消費電力					
				動作時の I _{CC} (mA)				スタンバイ I _{SB2} (μA)	
				f = 1MHz		f = f _{max}			
				Typ ^[1]	Max	Typ ^[1]	Max	Typ ^[1]	Max
CY62148GN30	産業用	2.2V ~ 3.6V	45	—	6	—	20	3.5	8.7
CY62148GN		4.5V ~ 5.5V							

注:

1. 標準値は単なる参照値であり、保証または検査されていません。測定値は、V_{CC} = V_{CC(typ)}、T_A = 25 °C で測定しています。

最大定格

最大定格を超えるとデバイスの寿命が短くなる可能性があります。ユーザー ガイドラインはテストされていません。

保存温度 -65°C ~ +150°C

通電時の周囲温度 -55°C ~ +125°C

グラウンド電位に対する供給電圧 -0.5V ~ V_{CC} + 0.5 V

High Z 状態の出力

に印加される DC 電圧 [2, 3] -0.5V ~ V_{CC} + 0.5 V

DC 入力電圧 [2, 3] -0.5V ~ V_{CC} + 0.5 V

出力 (LOW) に流れ込む出力電流 20mA

静電放電電圧

(MIL-STD-883、メソッド 3015 による) > 2001V

ラッチアップ電流 >140mA

動作範囲

デバイス	範囲	周囲温度	V _{CC} ^[4]
CY62148GN	産業用	-40°C ~ +85°C	2.2 V ~ 3.6 V, 4.5V ~ 5.5V

電気的特性

動作範囲において

パラメーター	説明	テスト条件	45ns			単位
			Min	Typ ^[5]	Max	
V _{OH}	出力 HIGH 電圧	2.2V ~ 2.7V V _{CC} = Min, I _{OH} = -0.1mA	2	—	—	V
		2.7V ~ 3.6V V _{CC} = Min, I _{OH} = -1.0mA	2.2	—	—	
		4.5V ~ 5.5V V _{CC} = Min, I _{OH} = -1.0mA	2.4	—	—	
		4.5V ~ 5.5V V _{CC} = Min, I _{OH} = -0.1mA	V _{CC} - 0.5 ^[6]	—	—	
V _{OL}	出力 LOW 電圧	2.2V ~ 2.7V V _{CC} = Min, I _{OL} = 0.1mA	—	—	0.4	V
		2.7V ~ 3.6V V _{CC} = Min, I _{OL} = 2.1mA	—	—	0.4	
		4.5V ~ 5.5V V _{CC} = Min, I _{OL} = 2.1mA	—	—	0.4	
V _{IH}	入力 HIGH 電圧	2.2V ~ 2.7V —	2	—	V _{CC} + 0.3 ^[3]	V
		2.7V ~ 3.6V —	2	—	V _{CC} + 0.3 ^[3]	
		4.5V ~ 5.5V —	2.2	—	V _{CC} + 0.5	
V _{IL}	入力 LOW 電圧	2.2V ~ 2.7V —	-0.3 ^[2]	—	0.6	V
		2.7V ~ 3.6V —	-0.3 ^[2]	—	0.8	
		4.5V ~ 5.5V —	-0.5	—	0.8	
I _{IX}	入力リーク電流	GND ≤ V _I ≤ V _{CC}	-1	—	+1	μA
I _{OZ}	出力リーク電流	GND ≤ V _O ≤ V _{CC} 、出力無効	-1	—	+1	μA
I _{CC}	V _{CC} の動作電源電流	f = f _{max} = 1/t _{RC} V _{CC} = V _{CC(max)} 、 I _{OUT} = 0 mA CMOS レベル	—	—	20	mA
		f = 1MHz	—	—	6	
I _{SB1} ^[7]	自動 $\overline{\text{CE}}$ 電源遮断電流 – CMOS 入力	$\overline{\text{CE}} \geq V_{CC} - 0.2 \text{ V}$, V _{IN} ≥ V _{CC} - 0.2 V または V _{IN} ≤ 0.2 V, f = f _{max} (アドレスおよびデータのみ)、 f = 0 ($\overline{\text{OE}}$ および $\overline{\text{WE}}$) V _{CC} = V _{CC(max)}	—	3.5	8.7	μA
I _{SB2} ^[7]	自動 $\overline{\text{CE}}$ の電源断電流 – CMOS 入力	$\overline{\text{CE}} \geq V_{CC} - 0.2 \text{ V}$, V _{IN} ≥ V _{CC} - 0.2 V または V _{IN} ≤ 0.2 V, f = 0, V _{CC} = V _{CC(max)}	—	3.5	8.7	μA

注:

2. I ≤ 30mA、パルス幅が 2ns 未満の場合、V_{IL(min)} = -2.0V。

3. 20ns 以下のパルス幅の場合、V_{IH(max)} = V_{CC} + 0.75V。

4. デバイスの完全 AC 動作は、0 から V_{CC(min)} への最小 100μs のランプ時間、および V_{CC} が安定した後、200μs の待機時間を想定しています。

5. 標準値は単なる参照値であり、保証または検査されていません。標準値は、V_{CC} = V_{CC(typ)}、T_A = 25 °C で測定しています。

6. このパラメーターは設計保証であり、試験されていません。

7. I_{SB2} / I_{CCDR spec} の仕様を満たすために、チップ イネーブル ($\overline{\text{CE}}$) は CMOS の HIGH レベルに接続する必要があります。他の入力はフローティング状態のままにすることができます。

静電容量

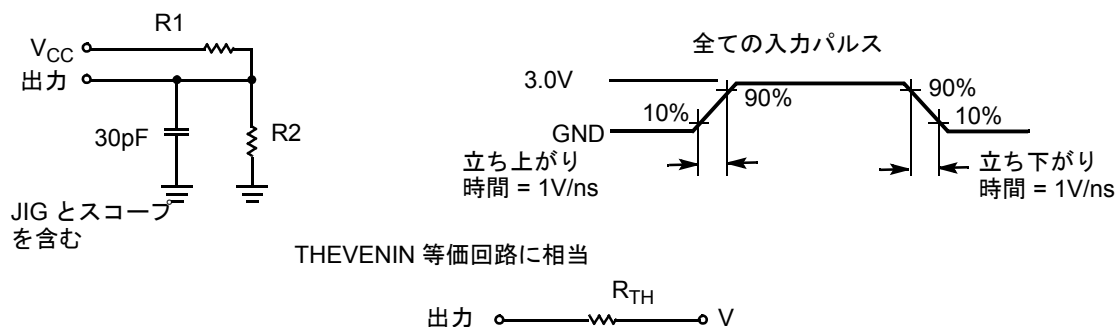
パラメーター ^[8]	項目	テスト条件	Max	単位
C_{IN}	入力容量	$T_A = 25\text{ }^{\circ}\text{C}$, $f = 1\text{ MHz}$, $V_{CC} = V_{CC(Typ)}$	10	pF
C_{OUT}	出力容量		10	pF

熱抵抗

パラメーター ^[8]	項目	テスト条件	16ピン SOIC パッケージ	32ピン TSOP II パッケージ	単位
Θ_{JA}	熱抵抗 (ジャンクションから周囲)	無風時、3×4.5 インチの 4 層プリント 回路基板に半田付け	51.79	79.03	$^{\circ}\text{C/W}$
Θ_{JC}	熱抵抗 (ジャンクションからケース)		25.12	17.44	$^{\circ}\text{C/W}$

AC テストの負荷と波形

図 2. AC テストの負荷と波形^[9]



パラメーター ^[8]	2.5V	3.0V	5.0V	単位
R1	16667	1103	1800	Ω
R2	15385	1554	990	Ω
R_{TH}	8000	645	639	Ω
V_{TH}	1.20	1.75	1.77	V

注:

- 開発時とこれらのパラメーターに影響を与える設計／プロセス変更後にテストされます。
- 完全なデバイス動作には、VDR から $V_{CC(min)}$ までのリニア V_{CC} ランプ時間が 100 μs 以上であるか、または $V_{CC(min)}$ が 100 μs 以上で安定している必要があります。

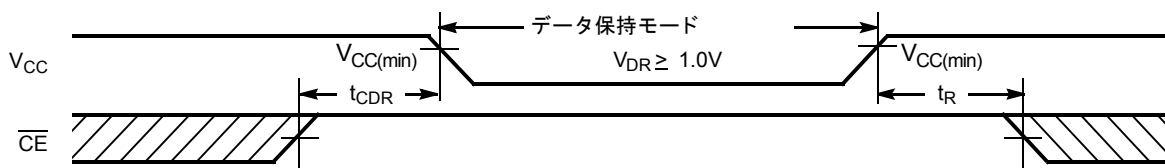
データ保持特性

動作範囲において

パラメーター	説明	条件	Min	Typ ^[10]	Max	単位
V_{DR}	データ保持用の V_{CC}		1	—	—	V
$I_{CCDR}^{[11, 12]}$	データ保持電流	$V_{CC} = 1.2V, \overline{CE} \geq V_{CC} - 0.2V,$ $V_{IN} \geq V_{CC} - 0.2V$ または $V_{IN} \leq 0.2V$	—	—	13	μA
$t_{CDR}^{[13]}$	チップの選択解除からデータ保持までの時間		0	—	—	ns
$t_R^{[13, 14]}$	動作回復時間		45	—	—	ns

データ保持波形

図 3. データ保持波形



注:

10. 標準値は単なる参照値であり、保証または検査されていません。測定値は、 $V_{CC} = V_{CC(typ)}$ 、 $T_A = 25^\circ C$ で測定しています。
11. I_{SB2} / I_{CCDR} spec の仕様を満たすために、チップ イネーブル (\overline{CE}) は CMOS の HIGH レベルに接続する必要があります。他の入力フローティング状態のままにすることができます。
12. I_{CCDR} は、デバイスが最初に $V_{CC(min)}$ に電源投入され、 V_{DR} に下げられた後でのみ保証されています。
13. これらのパラメーターは設計保証されます。
14. 完全なデバイス動作には、 V_{DR} から $V_{CC(min)}$ までのリニア V_{CC} ランプ時間が $100\mu s$ 以上であるか、または $V_{CC(min)}$ が $100\mu s$ 以上で安定している必要があります。

スイッチング特性

動作範囲において

パラメーター ^[15]	説明	45ns		単位
		Min	Max	
読み出しサイクル				
t _{RC}	読み出しサイクル時間	45	－	ns
t _{AA}	アドレス指定からデータ有効まで	－	45	ns
t _{OHA}	アドレス変更からのデータ ホールドまで	10	－	ns
t _{ACE}	\overline{CE} LOW からデータ有効まで	－	45	ns
t _{DOE}	\overline{OE} LOW からデータ有効まで	－	22	ns
t _{LZOE}	\overline{OE} LOW から low Z まで ^[16]	5	－	ns
t _{HZOE}	\overline{OE} HIGH から high-Z まで ^[16、17]	－	18	ns
t _{LZCE}	\overline{CE} LOW から low Z まで ^[16]	10	－	ns
t _{HZCE}	\overline{CE} HIGH から high Z まで ^[16、17]	－	18	ns
t _{PU}	\overline{CE} LOW から電源投入まで	0	－	ns
t _{PD}	\overline{CE} HIGH から電源切断まで	－	45	ns
書き込みサイクル ^[18、19]				
t _{WC}	書き込みサイクル時間	45	－	ns
t _{SCE}	\overline{CE} LOW から書き込み完了まで	35	－	ns
t _{AW}	アドレス セットアップから書き込み終了まで	35	－	ns
t _{HA}	書き込み終了からアドレス ホールドまで	0	－	ns
t _{SA}	アドレス セットアップから書き込み開始まで	0	－	ns
t _{PWE}	\overline{WE} パルス幅	35	－	ns
t _{SD}	データ セットアップから書き込み終了まで	25	－	ns
t _{HD}	書き込み終了からデータ ホールドまで	0	－	ns
t _{HZWE}	\overline{WE} LOW から high Z まで ^[16、17]	－	18	ns
t _{LZWE}	\overline{WE} HIGH から low Z まで ^[16]	10	－	ns

注:

15. トライステート パラメータ以外の全てのパラメータのテスト条件は、信号遷移時間が 3ns 以下、タイミング基準レベルが 1.5V、入力パルス レベルが 0 ~ 3V および 5 ページの図 2 に示す通り、指定された I_{OL} / I_{OH} を与える出力負荷を前提にします。
16. 任意の温度、電圧条件で、どのデバイスでも、 t_{HZCE} が t_{LZCE} より短く、 t_{HZOE} は t_{LZOE} より短くまた t_{HZWE} は t_{LZWE} より短いです。
17. 出力が高インピーダンス状態に入ると、 t_{HZOE} 、 t_{HZCE} および t_{HZWE} の遷移が測定されます。
18. メモリの内部書き込み期間は \overline{WE} 、 $\overline{CE} = V_{IL}$ のオーバーラップで定義されます。書き込みを開始するにはすべての信号は ACTIVE (アクティブ) でなければなりません。これらの信号のいずれかが INACTIVE (非アクティブ) になると、書き込みが終了します。入力データのセットアップとホールドのタイミングは、書き込みを終了する信号のエッジを基準にする必要があります。
19. 書き込みサイクル 3 (\overline{WE} 制御、 \overline{OE} LOW) 用の最小の書き込みサイクル パルス幅は t_{SD} と t_{HZWE} の合計に等しいことが必要です。

スイッチング波形

図 4. 読み出しサイクル 1 (アドレス遷移制御) [20、21]

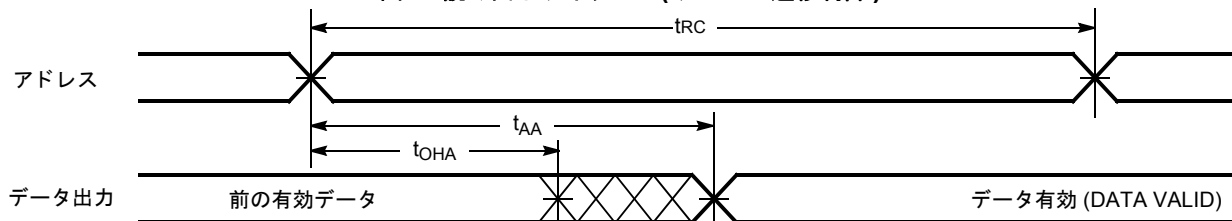


図 5. 読み出しサイクル 2 ($\overline{\text{OE}}$ 制御) [21、22]

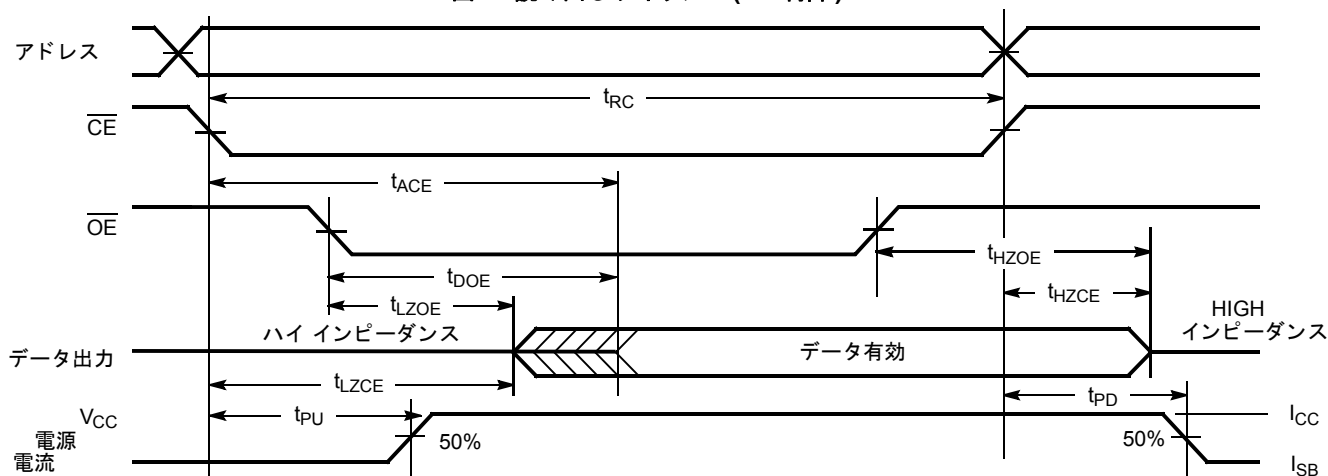
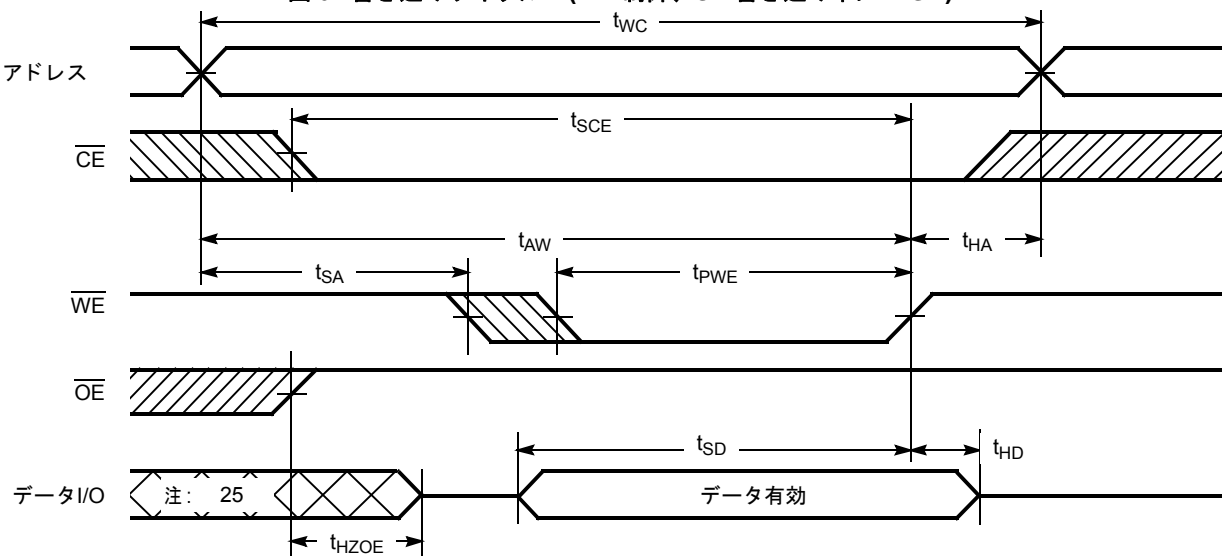


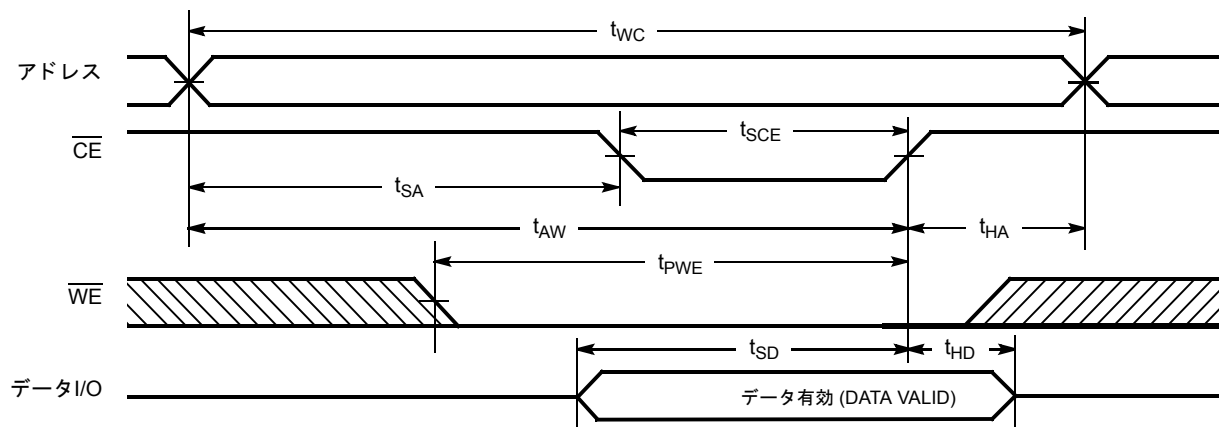
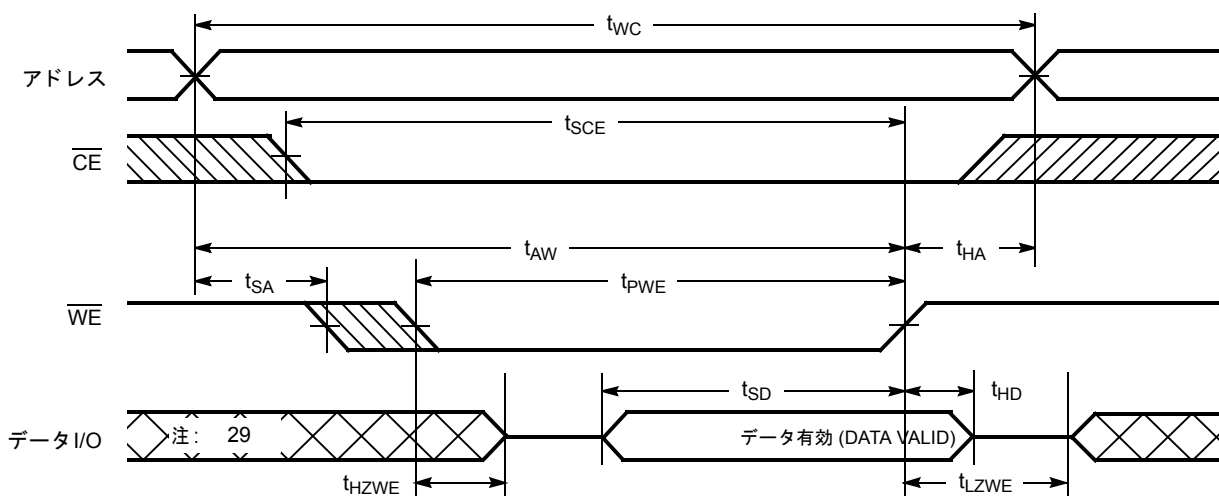
図 6. 書き込みサイクル 1 ($\overline{\text{WE}}$ 制御、 $\overline{\text{OE}}$ 書き込み中に HIGH) [23、24]



注:

20. デバイスは引き続き選択されています。 $\overline{\text{OE}}$ 、 $\overline{\text{CE}} = V_{IL}$ 。
21. 読み込みサイクルの間は $\overline{\text{WE}}$ が HIGH です。
22. アドレスは $\overline{\text{CE}}$ 遷移 LOW と同時に、または前に有効になります。
23. $\overline{\text{OE}} = V_{IH}$ の場合、データ I/O は高インピーダンス状態にあります。
24. $\overline{\text{CE}}$ は $\overline{\text{WE}}$ と同時に HIGH になる場合、出力は高インピーダンス状態のままです。
25. この周期の間に、I/O は出力状態であり、入力信号を印加することはできません。

スイッチング波形 (続き)

図 7. 書き込みサイクル 2 ($\overline{\text{CE}}$ 制御) [26、27]

図 8. 書き込みサイクル 3 ($\overline{\text{WE}}$ 制御、 $\overline{\text{OE}}$ LOW) [27、28]


注:

26. $\overline{\text{OE}} = V_{\text{IH}}$ の場合、データ I/O は高インピーダンス状態にあります。
27. $\overline{\text{CE}}$ が $\overline{\text{WE}}$ と同時に HIGH になる場合、出力は高インピーダンス状態のままです。
28. 最小の書き込みサイクルパルス幅は、 t_{SD} と t_{HZWE} の合計に等しくする必要があります。
29. この周期の間に、I/O は出力状態であり、入力信号を印加することはできません。

真理値表

\overline{CE}	\overline{WE}	\overline{OE}	I/O	モード	電源
H ^[30]	X	X	HI-Z	選択解除／電源切断	スタンバイ (I_{SB})
L	H	L	データ出力	読み出し	アクティブ (I_{CC})
L	L	X	データ入力	書き込み	アクティブ (I_{CC})
L	H	H	HI-Z	選択された場合、出力はデイスエーブル	アクティブ (I_{CC})

注:

30. I_{SB2} / I_{CCDR} spec の仕様を満たすために、チップ イネーブル (\overline{CE}) は CMOS の HIGH レベルに接続する必要があります。他の入力フローティング状態のままにすることができます。

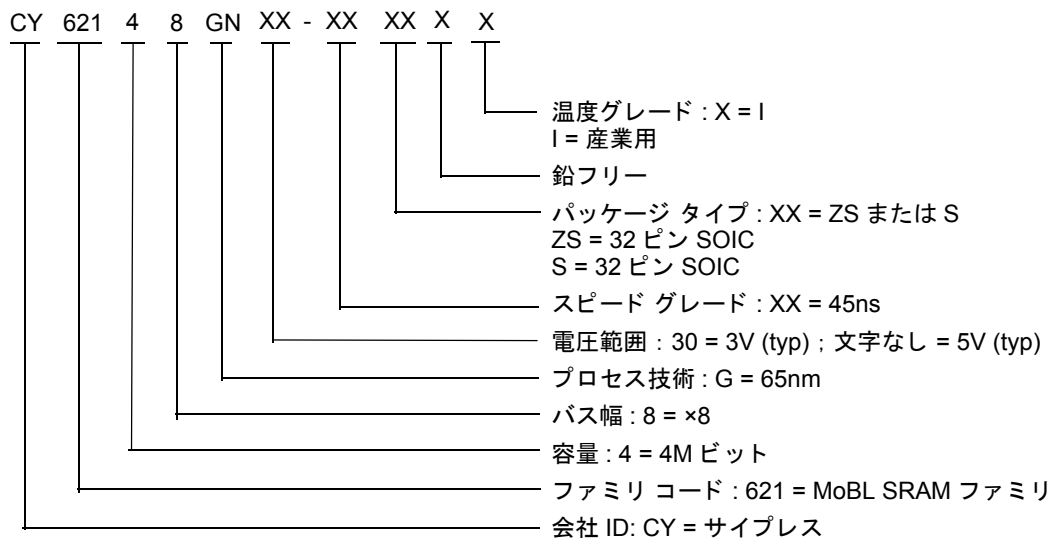
注文情報

表 1 に CY62148GN MoBL® 主なパッケージの機能と注文コードを示します。この表には、現在供給中の製品のみを示します。お探しのものが見つからない場合は、最寄りの販売代理店にお問い合わせください。詳細は、サイプレスのウェブサイト www.cypress.com を訪問し、製品概要のページ <http://www.cypress.com/products> を参照して下さい。

表 1. 主な機能と注文情報

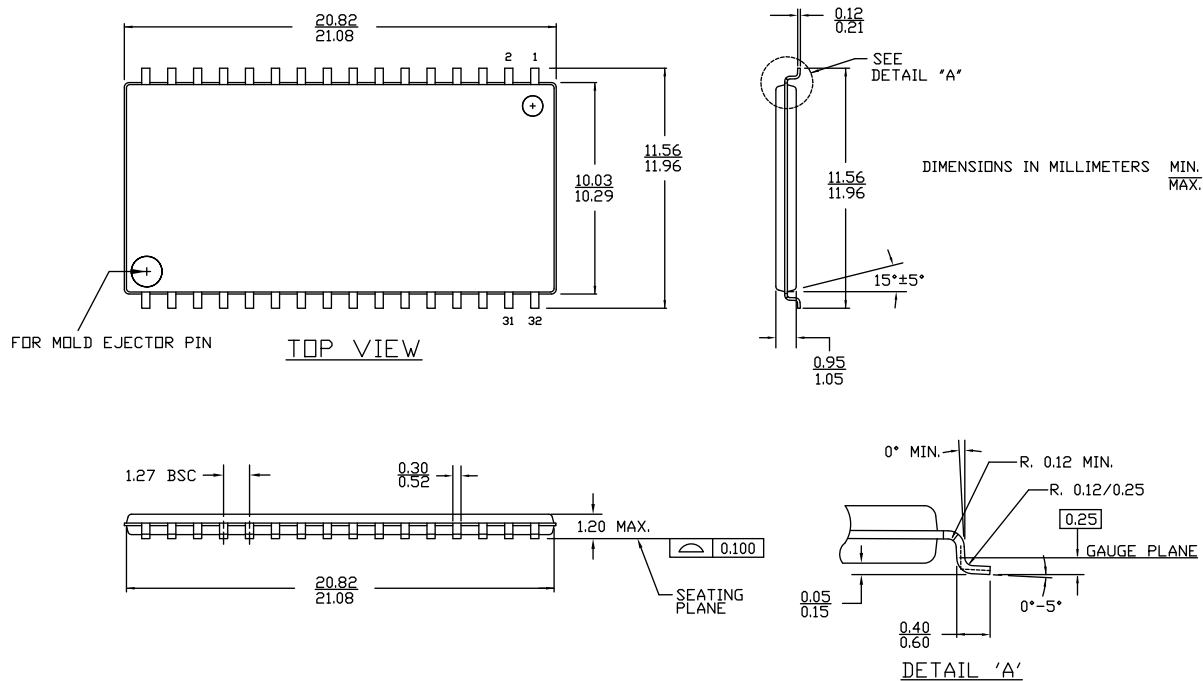
速度 (ns)	電圧範囲 (V)	注文コード	パッケージ図	パッケージ タイプ	動作範囲
45	2.2V ~ 3.6V	CY62148GN30-45ZSXI	51-85095	32 ピン TSOP II (鉛フリー)	産業用
		CY62148GN30-45SXI	51-85081	32 ピン SOIC II (鉛フリー)	
	4.5V ~ 5.5V	CY62148GN-45ZSXI	51-85095	32 ピン TSOP II (鉛フリー)	
		CY62148GN-45SXI	51-85081	32 ピン SOIC II (鉛フリー)	

注文コードの定義



パッケージ図

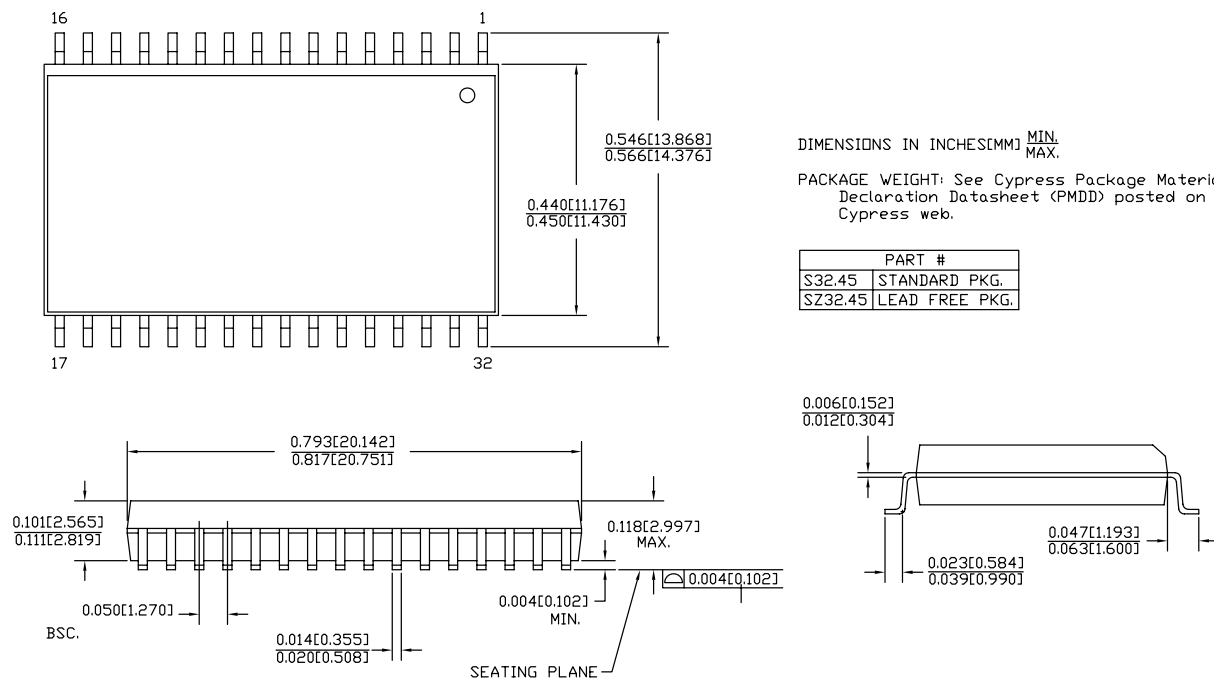
図 9. 32 ピン TSOP II (20.95 × 11.76 × 1.0mm) ZS32 パッケージ外形図、51-85095



51-85095 *D

パッケージ図 (続き)

図 10. 32 ピン SOIC (450Mil) S32.45/SZ32.45 パッケージ外形図、51-85081



DIMENSIONS IN INCHES[MM] MIN. MAX.

PACKAGE WEIGHT: See Cypress Package Material Declaration Datasheet (PMDD) posted on the Cypress web.

PART #	
S32.45	STANDARD PKG.
SZ32.45	LEAD FREE PKG.

51-85081 *E

略語

略語	説明
CE	チップ イネーブル
CMOS	相補型金属酸化膜半導体
I/O	入力／出力
OE	出力イネーブル
MoBL	More Battery Life
SOIC	small outline integrated circuit (小型外形集積回路)
SRAM	スタティック ランダム アクセス メモリ
TSOP	薄型小型パッケージ
WE	書き込みイネーブル

本書の表記法

測定単位

記号	測定単位
°C	摂氏温度
MHz	メガヘルツ
μA	マイクロアンペア
μs	マイクロ秒
mA	ミリアンペア
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラッド
V	ボルト
W	ワット

改訂履歴

文書名 : CY62148GN MoBL [®] 、4M ビット (512 K × 8) スタティック RAM 文書番号 : 002-10962				
版	ECN	変更者	発行日	変更内容
**	5140082	HZEN	03/01/2016	これは英語版 001-95418 Rev. *A を翻訳した日本語版 002-10962 Rev. ** です。

セールス、ソリューション、および法律情報

ワールドワイド販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーションのウェブページ](#)をご覧ください。

製品

車載用	cypress.com/go/automotive
クロック & バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明 & 電力制御	cypress.com/go/powerpsoc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/USB
ワイヤレス / RF	cypress.com/go/wireless

PSoC® ソリューション

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカル サポート

cypress.com/go/support

© Cypress Semiconductor Corporation, 2015-2016. 本文書に記載される情報は予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

すべてのソース コード (ソフトウェアおよび/またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタム ソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限って、サイプレスのソース コードの派生著作物をコピー、使用、変更して作成するためのライセンス、ならびにサイプレスのソース コードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソース コードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責事項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。