

4M ビット (256 K×16) スタティック RAM

特長

- 超高速動作 : 45ns
- 温度範囲
 - 産業用 : -40°C ~ 85°C
- 広い電圧範囲 : 2.2V ~ 3.6V、4.5V ~ 5.5V
- 待機時超低消費電力
 - 標準待機時電流 : 3.5μA
 - 最大待機時電流 : 8.7μA
- 超低アクティブ電力
 - 標準アクティブ電流 : 3.5mA、f = 1MHz 時
- 選択解除の時、自動パワーダウン
- 最適な速度と電力のための相補型金属酸化膜半導体 (CMOS)
- 44 ピン TSOP II パッケージで入手可能

機能説明

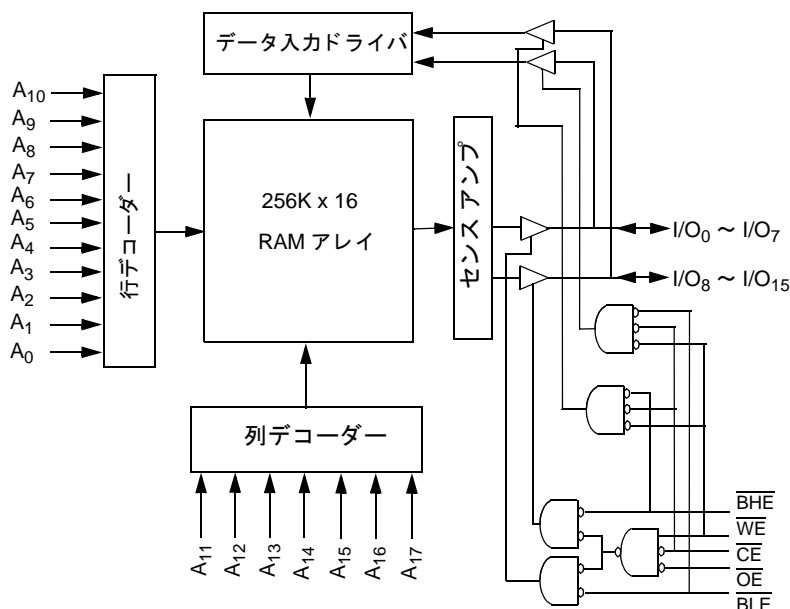
CY62146GN は 16 ビットによる 256K ワードで構成される高性能 CMOS スタティック RAM です。このデバイスは超低アクティブ電流で動作するように設計された高度回路デザインを備えています。超低アクティブ電流は携帯電話などのポータブルアプリケーションにおける More Battery Life™ (MoBL®) の提供に最適です。デバイスはまた、アドレスがトグルされていない時、大幅に 80% の消費電力を削減する自動パワーダウン機能を

備えています。デバイスは選択解除 (\overline{CE} HIGH) されると 99% 以上の消費電力を削除する待機時モードにもすることができます。入力と出力のピン ($I/O_0 \sim I/O_{15}$) は、デバイスが選択解除 (\overline{CE} が HIGH)、出力が無効 (\overline{OE} が HIGH)、バイト High イネーブルとバイト Low イネーブルの両方が無効 (\overline{BHE} と \overline{BLE} が HIGH)、または書き込み動作が動作中 (\overline{CE} と \overline{WE} が LOW) の時に高インピーダンス状態になります。

デバイスに書き込むためにチップ イネーブル (\overline{CE}) および書き込みイネーブル (\overline{WE}) 入力を LOW にします。バイト Low イネーブル (\overline{BLE}) が LOW の時、I/O ピン ($I/O_0 \sim I/O_7$) からのデータはアドレスピン ($A_0 \sim A_{17}$) で示された位置に書き込まれます。バイト High イネーブル (\overline{BHE}) が LOW の時、I/O ピン ($I/O_8 \sim I/O_{15}$) からのデータはアドレスピン ($A_0 \sim A_{17}$) で示された位置に書き込まれます。

デバイスから読み出すためには、書き込みイネーブル (\overline{WE}) を HIGH にしながら、チップ イネーブル (\overline{CE}) および出力イネーブル (\overline{OE}) を LOW にします。バイト Low イネーブル (\overline{BLE}) が LOW の時は、アドレスピンで示されるメモリ位置からのデータは、 $I/O_0 \sim I/O_7$ に現れます。バイト High イネーブル (\overline{BHE}) が LOW の時、メモリからのデータは $I/O_8 \sim I/O_{15}$ に現れます。読み出しモードと書き込みモードの詳細な説明については、[11 ページの真理値表](#)をご参照ください。

ロジックブロック図



目次

ピン配置	3	注文情報	12
製品ポートフォリオ	3	注文コードの定義	12
最大定格	4	パッケージ図	13
動作範囲	4	略語	14
電気的特性	4	本書の表記法	14
静電容量	5	測定単位	14
熱抵抗	5	改訂履歴	15
AC テストの負荷および波形	5	セールス、ソリューション、および法律情報	16
データ保持特性	6	ワールドワイド販売と設計サポート	16
データ保持波形	6	製品	16
スイッチング特性	7	PSoC [®] ソリューション	16
スイッチング波形	8	サイプレス開発者コミュニティ	16
真理値表	11	テクニカル サポート	16

ピン配置

図 1. 44 ピン TSOP II ピン配置^[1]

A ₄	1	44	A ₅
A ₃	2	43	A ₆
A ₂	3	42	A ₇
A ₁	4	41	OE
A ₀	5	40	BHE
CE	6	39	BLE
I/O ₀	7	38	I/O ₁₅
I/O ₁	8	37	I/O ₁₄
I/O ₂	9	36	I/O ₁₃
I/O ₃	10	35	I/O ₁₂
V _{CC}	11	34	V _{SS}
V _{SS}	12	33	V _{CC}
I/O ₄	13	32	I/O ₁₁
I/O ₅	14	31	I/O ₁₀
I/O ₆	15	30	I/O ₉
I/O ₇	16	29	I/O ₈
WE	17	28	NC
A ₁₇	18	27	A ₈
A ₁₆	19	26	A ₉
A ₁₅	20	25	A ₁₀
A ₁₄	21	24	A ₁₁
A ₁₃	22	23	A ₁₂

製品ポートフォリオ

製品	範囲	V _{CC} の範囲 (V)			速度 (ns)	消費電力					
						動作時の I _{CC} (mA)				スタンバイ時 I _{SB2} (μA)	
						f = 1MHz		f = f _{max}			
		Min	Typ ^[2]	Max		Typ ^[2]	Max	Typ ^[2]	Max	Typ ^[2]	Max
CY62146GN30	産業用	2.2	3.0	3.6	45	3.5	6	15	20	3.5	8.7
CY62146GN		4.5	5.0	5.5	45						

注:

- NC ピンはダイに接続されていません。
- 標準値は単なる参照値であり、保証または試験されていません。測定値は、V_{CC} = V_{CC(typ)}、T_A = 25 °C で測定しています。

最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。これらのユーザーガイドラインはテストが行われていません。

保存温度 -65°C ~ +150°C
 通電時の周囲温度 -55°C ~ +125°C
 グランド電位に対する供給電圧 -0.3V ~ $V_{CC} + 0.3V$
 High-Z 状態の出力に
 印加される DC 電圧 ^[3, 4] -0.3V ~ $+V_{CC} + 0.5V$

DC 入力電圧 ^[3, 4] -0.3V ~ $+V_{CC} + 0.5V$
 出力に流れ込む出力電流 (LOW) 20mA
 静電気放電電圧
 (MIL-STD-883、メソッド 3015 による) > 2001V
 ラッチアップ電流 > 200mA

動作範囲

デバイス	範囲	周囲温度	V_{CC} ^[5]
CY62146GN30	産業用	-40°C ~ +85°C	2.2 V ~ 3.6 V、 4.5V ~ 5.5V

電気的特性

動作範囲全般

パラメーター	説明	テスト条件	45ns			単位
			Min	Typ ^[6]	Max	
V_{OH}	出力 HIGH 電圧	2.2V ~ 2.7V $V_{CC} = \text{Min}, I_{OH} = -0.1\text{mA}$	2	—	—	V
		2.7V ~ 3.6V $V_{CC} = \text{Min}, I_{OH} = -1.0\text{mA}$	2.2	—	—	
		4.5V ~ 5.5V $V_{CC} = \text{Min}, I_{OH} = -1.0\text{mA}$	2.4	—	—	
		4.5V ~ 5.5V $V_{CC} = \text{Min}, I_{OH} = -0.1\text{mA}$	$V_{CC} - 0.5$ ^[7]	—	—	
V_{OL}	出力 LOW 電圧	2.2V ~ 2.7V $V_{CC} = \text{Min}, I_{OL} = 0.1\text{mA}$	—	—	0.4	V
		2.7V ~ 3.6V $V_{CC} = \text{Min}, I_{OL} = 2.1\text{mA}$	—	—	0.4	
		4.5V ~ 5.5V $V_{CC} = \text{Min}, I_{OL} = 2.1\text{mA}$	—	—	0.4	
V_{IH} ^[4]	入力 HIGH 電圧	2.2V ~ 2.7V —	2.0	—	$V_{CC} + 0.3$	V
		2.7V ~ 3.6V —	2.0	—	$V_{CC} + 0.3$	
		4.5V ~ 5.5V —	2.2	—	$V_{CC} + 0.5$	
V_{IL} ^[3]	入力 LOW 電圧	2.2V ~ 2.7V $V_{CC} = 2.2V \sim 2.7V$	-0.3	—	0.6	V
		2.7V ~ 3.6V $V_{CC} = 2.7V \sim 3.6V$	-0.3	—	0.8	
		4.5V ~ 5.5V —	-0.5	—	0.8	
I_{IX}	入力リーク電流	$GND \leq V_I \leq V_{CC}$	-1	—	+1	mA
I_{OZ}	出力リーク電流	$GND \leq V_O \leq V_{CC}$ 、出力無効	-1	—	+1	mA
I_{CC}	V_{CC} の動作電源電流	$f = f_{\text{max}} = 1/t_{RC}$ $V_{CC} = V_{CC(\text{max})}$ 、 $I_{OUT} = 0\text{mA}$ CMOS レベル	—	15	20	mA
		$f = 1\text{MHz}$	—	3.5	6	
I_{SB1}	自動 CE のパワーダウン電流 - CMOS 入力	$\overline{CE} > V_{CC} - 0.2V$ 、 $V_{IN} > V_{CC} - 0.2V$ または $V_{IN} < 0.2V$ 、 $f = f_{\text{max}}$ (アドレスおよびデータのみ)、 $f = 0$ (\overline{OE} 、 \overline{BHE} 、 \overline{BLE} および \overline{WE})、 $V_{CC} = 3.60V$	—	3.5	8.7	mA
I_{SB2} ^[8]	自動 CE のパワーダウン電流 - CMOS 入力	$\overline{CE} \geq V_{CC} - 0.2V$ 、 $V_{IN} \geq V_{CC} - 0.2V$ または $V_{IN} \leq 0.2V$ 、 $f = 0$ 、 $V_{CC} = 3.60V$	—	3.5	8.7	mA

- 注：
3. 2ns 未満のパルス幅の場合、 $V_{IL(\text{min})} = -2.0V$ 。
 4. 2ns 未満のパルス幅の場合、 $V_{IH(\text{max})} = V_{CC} + 2V$ 。
 5. 完全なデバイス動作には V_{DR} から 100 μs を超える $V_{CC(\text{min})}$ までのリニアな V_{CC} ランプ、または $V_{CC(\text{min})}$ が 100 μs を超えて安定している必要があります。
 6. 標準値は単なる参照値であり、保証または試験されていません。測定値は、 $V_{CC} = V_{CC(\text{typ})}$ 、 $T_A = 25^\circ\text{C}$ で測定しています。
 7. このパラメーターは設計保証であり、試験されていません。
 8. I_{SB1} / I_{SB2} / I_{CCDR} の仕様を満たすために、チップ イネーブル (\overline{CE}) は CMOS レベルに接続する必要があります。他の入力はフローティング状態のままにすることができま。

静電容量

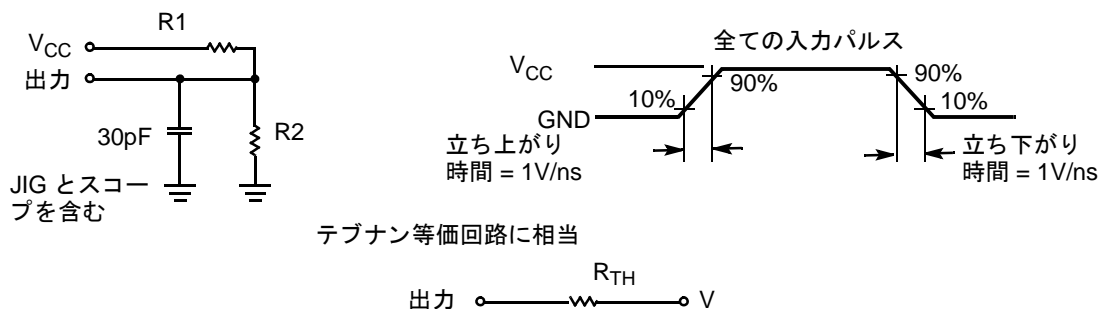
パラメーター ^[9]	項目	テスト条件	Max	単位
C_{IN}	入力容量	$T_A = 25^\circ\text{C}$, $f = 1\text{MHz}$, $V_{CC} = V_{CC(\text{typ})}$	10	pF
C_{OUT}	出力容量		10	pF

熱抵抗

パラメーター ^[9]	項目	テスト条件	TSOP II	単位
Θ_{JA}	熱抵抗 (接合部から周囲)	無風時、3×4.5 インチの 4 層プリント回路基板に半田付け	68.85	$^\circ\text{C/W}$
Θ_{JC}	熱抵抗 (接合部からケース)		15.97	$^\circ\text{C/W}$

AC テストの負荷および波形

図 2. AC テストの負荷と波形^[10]



パラメーター	2.50V	3.0V	単位
R1	16667	1103	Ω
R2	15385	1554	Ω
R_{TH}	8000	645	Ω
V_{TH}	1.20	1.75	V

注:

9. 開発時、およびこれらのパラメーターに影響を与えることがある設計/プロセス変更がある場合にテストされます。

10. 完全なデバイス動作には V_{DR} から $V_{CC(\text{min})}$ までのリニア V_{CC} ランプが $100\mu\text{s}$ 以上であるか、または $V_{CC(\text{min})}$ が $100\mu\text{s}$ 以上で安定している必要があります。

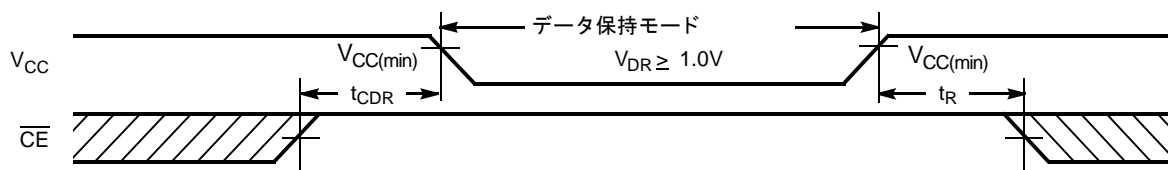
データ保持特性

動作範囲全般

パラメーター	説明	条件	Min	Typ	Max	単位
V_{DR}	データ保持用の V_{CC}		1.0	—	—	V
$I_{CCDR}^{[11, 12]}$	データ保持電流	$V_{CC} = 1.2V$ 、 $\overline{CE} \geq V_{CC} - 0.2V$ 、 $V_{IN} \geq V_{CC} - 0.2V$ または $V_{IN} \leq 0.2V$	—	—	13	μA
$t_{CDR}^{[13]}$	チップの選択解除からデータ保持期間までの時間	—	0	—	—	ns
$t_R^{[14]}$	動作回復時間	—	45	—	—	ns

データ保持波形

図 3. データ保持波形



注:

11. I_{SB1} / I_{SB2} / I_{CCDR} の仕様を満たすために、チップ イネーブル (CE) は CMOS レベルに接続する必要があります。他の入力はフローティング状態のままにすることができます。
12. I_{CCDR} はデバイスが最初に $V_{CC(min)}$ に電源投入され、 V_{DR} に下げられた後でのみ保証されています。
13. 開発時、およびこれらのパラメーターに影響を与えることがある設計/プロセス変更がある場合にテストされます。
14. 完全なデバイス動作には V_{DR} から $V_{CC(min)}$ までのリニア V_{CC} ランプが $100\mu s$ を超えるか、または $V_{CC(min)}$ が $100\mu s$ 以上で安定している必要があります。

スイッチング特性

動作範囲全般

パラメーター [15、16]	説明	45ns		単位
		Min	Max	
読み出しサイクル				
t _{RC}	読み出しサイクル時間	45	－	ns
t _{AA}	アドレス指定からデータ有効までの時間	－	45	ns
t _{OHA}	アドレス変更からのデータ ホールドまで	10	－	ns
t _{ACE}	\overline{CE} LOW からデータ有効まで	－	45	ns
t _{DOE}	\overline{OE} LOW からデータ有効まで	－	22	ns
t _{LZOE}	\overline{OE} LOW から Low-Z までの時間 [17]	5	－	ns
t _{HZOE}	\overline{OE} HIGH から High-Z までの時間 [17、18]	－	18	ns
t _{LZCE}	\overline{CE} LOW から Low-Z までの時間 [17]	10	－	ns
t _{HZCE}	\overline{CE} HIGH から High-Z までの時間 [17、18]	－	18	ns
t _{PU}	\overline{CE} LOW からパワーアップまでの時間 [16]	0	－	ns
t _{PD}	\overline{CE} HIGH からパワーダウンまでの時間 [16]	－	45	ns
t _{DBE}	\overline{BLE} / \overline{BHE} LOW からデータ有効までの時間	－	22	ns
t _{LZBE}	\overline{BLE} / \overline{BHE} LOW から Low-Z までの時間 [17]	5	－	ns
t _{HZBE}	\overline{BLE} / \overline{BHE} HIGH から High-Z までの時間 [17、18]	－	18	ns
書き込みサイクル [19、20]				
t _{WC}	書き込みサイクル時間	45	－	ns
t _{SCE}	\overline{CE} LOW から書き込み完了まで	35	－	ns
t _{AW}	アドレス セットアップから書き込み終了までの時間	35	－	ns
t _{HA}	書き込み終了からのアドレス ホールドまでの時間	0	－	ns
t _{SA}	アドレス セットアップから書き込み開始までの時間	0	－	ns
t _{PWE}	\overline{WE} パルス幅	35	－	ns
t _{BW}	\overline{BLE} / \overline{BHE} LOW から書き込み終了までの時間	35	－	ns
t _{SD}	データ セットアップから書き込み終了までの時間	25	－	ns
t _{HD}	書き込み終了からのデータホールドまでの時間	0	－	ns
t _{HZWE}	\overline{WE} LOW から High-Z までの時間 [17、18]	－	18	ns
t _{LZWE}	\overline{WE} HIGH から Low-Z までの時間 [17]	10	－	ns

注：

15. トライステート パラメータ以外の全てのパラメータのテスト条件は、信号遷移時間が3ns以下、タイミング基準レベルが $V_{CC(typ)}/2$ 、入力パルスレベルが $0 \sim V_{CC(typ)}$ および5ページの図2に示す通り、指定された I_{OL} / I_{OH} を与える出力負荷を前提にします。
16. これらのパラメータは設計保証されます。
17. 任意の温度と電圧条件で、どのデバイスでも t_{HZCE} は t_{LZCE} より短く、 t_{HZBE} は t_{LZBE} より短く、 t_{HZOE} は t_{LZOE} より短く、そして t_{HZWE} は t_{LZWE} より短いです。
18. t_{HZOE} 、 t_{HZCE} 、 t_{HZBE} 、および t_{HZWE} の遷移は出力が高インピーダンス状態に入る時に測定されます。
19. メモリの内部書き込み期間は \overline{WE} 、 $\overline{CE} = V_{IL}$ 、 \overline{BHE} および/または $\overline{BLE} = V_{IL}$ のオーバーラップで定義されます。書き込みを開始するには全ての信号はACTIVE (アクティブ)にする必要があり、これらの信号のいずれかがINACTIVE (非アクティブ)によって書き込みが終了します。データ入力のセットアップとホールドのタイミングは書き込みを終了する信号のエッジを基準にする必要があります。
20. 書き込みサイクル3 (\overline{WE} 制御、 \overline{OE} LOW) による最小書き込みパルス幅は、 t_{HZWE} と t_{SD} の和である必要があります。

スイッチング波形

図 4. 読み込みサイクル 1 (アドレス遷移制御) [21、22]

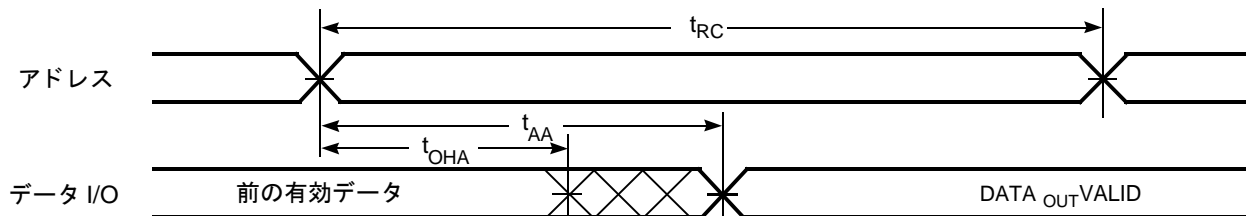
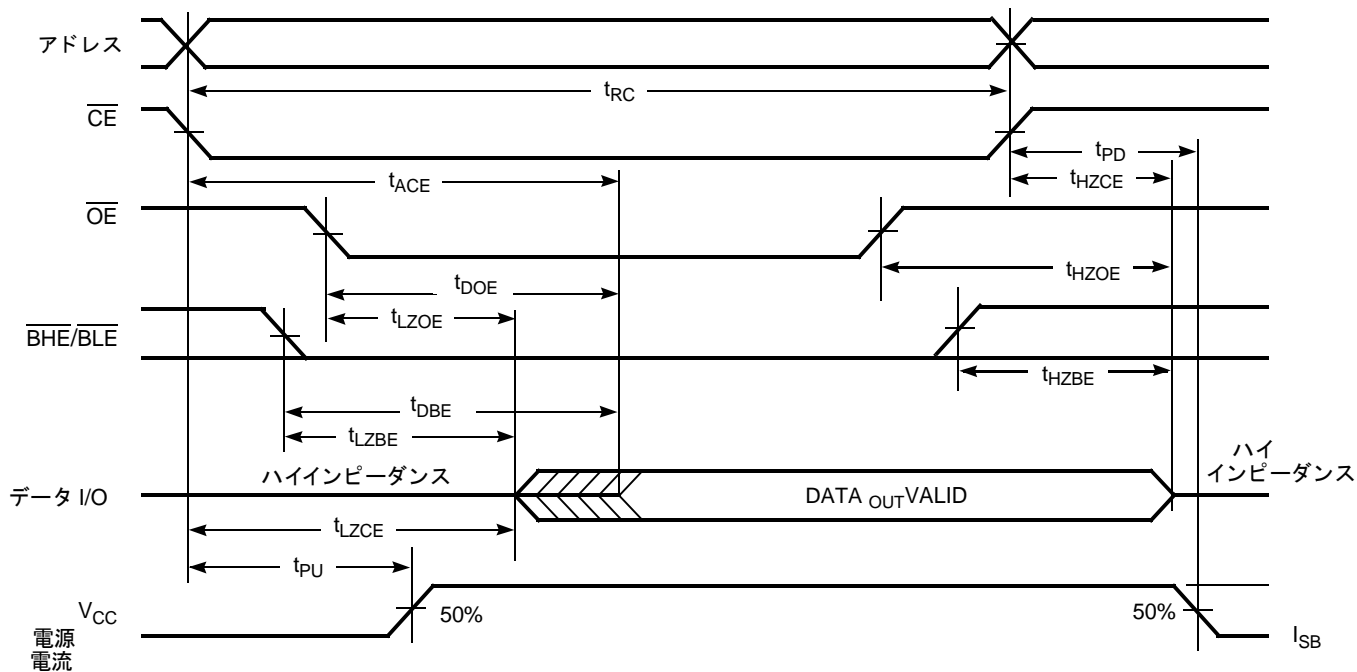


図 5. 読み込みサイクル 2 ($\overline{\text{OE}}$ 制御) [22、23]



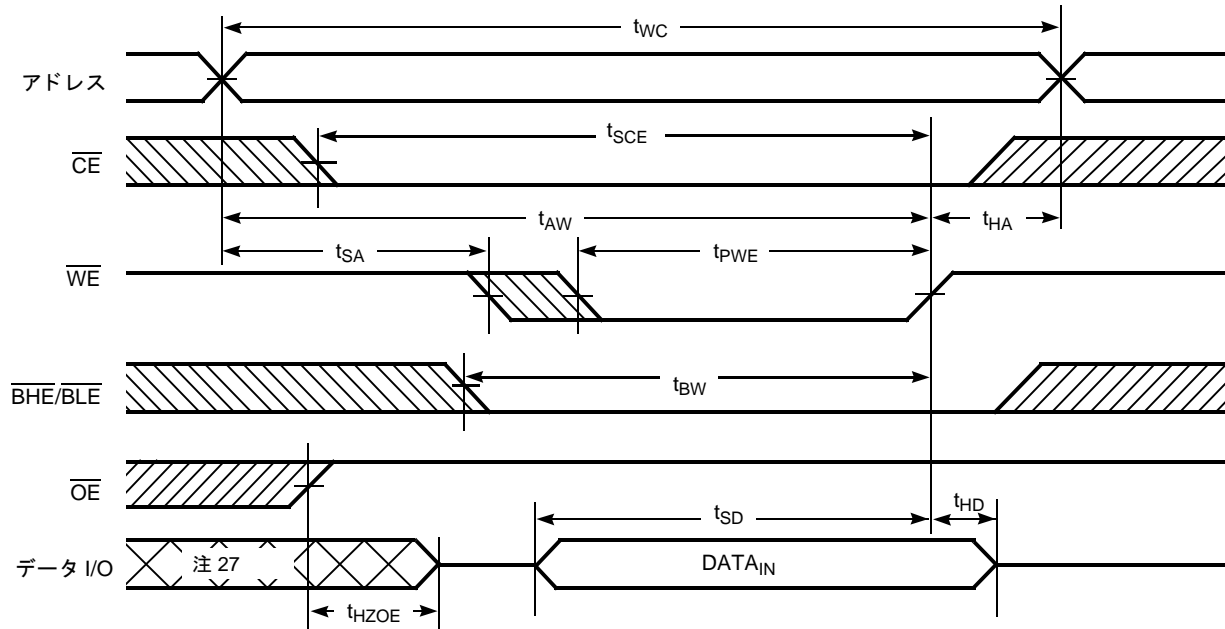
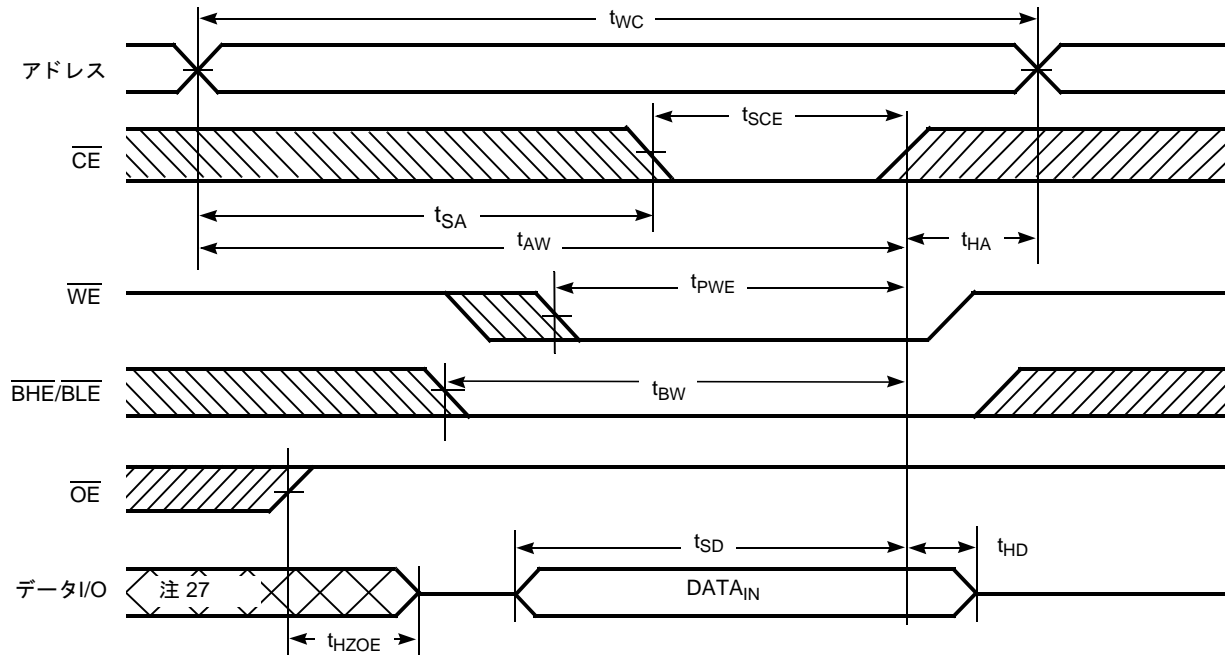
注:

21. デバイスは継続して選択されています。 $\overline{\text{OE}}$ 、 $\overline{\text{CE}} = V_{\text{IL}}$ 、 $\overline{\text{BHE}}$ および/または $\overline{\text{BLE}} = V_{\text{IL}}$ 。

22. 読み込みサイクルの間は $\overline{\text{WE}}$ が HIGH です。

23. アドレスは $\overline{\text{CE}}$ の前、または同時に有効になります。

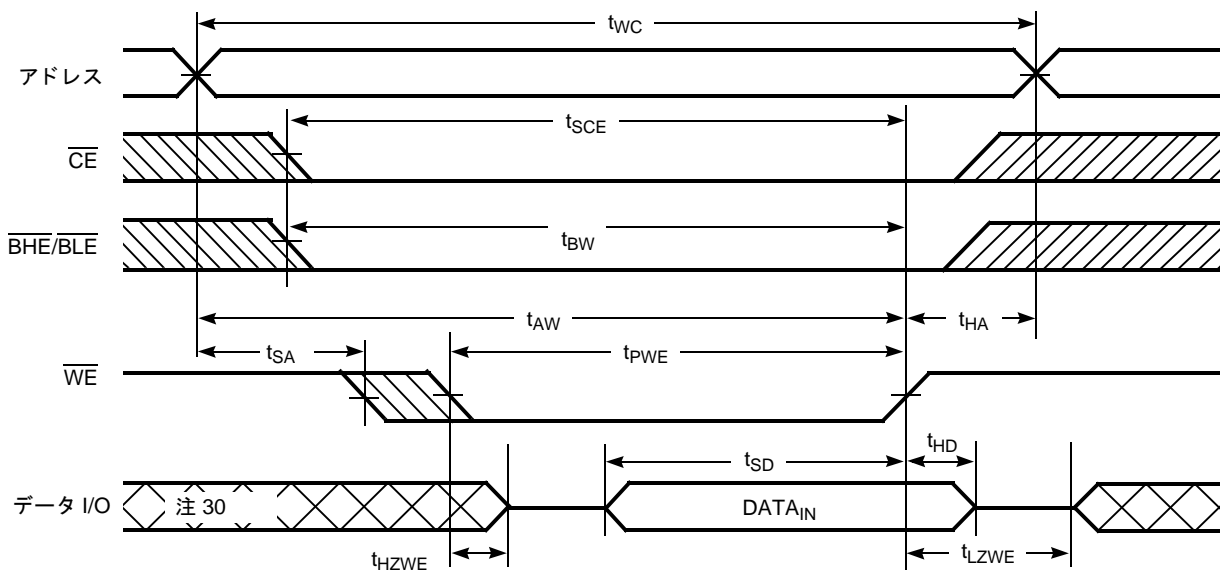
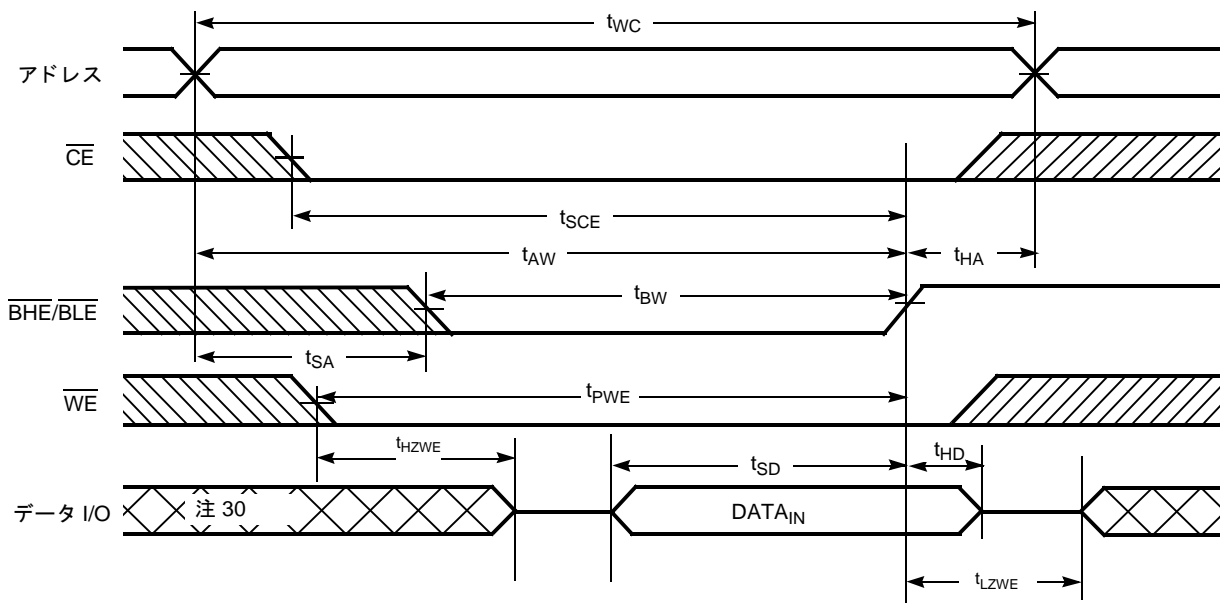
スイッチング波形 (続き)

図 6. 書き込みサイクル 1 (\overline{WE} 制御) [24、25、26]

図 7. 書き込みサイクル 2 (\overline{CE} 制御) [24、25、26]


注:

24. メモリの内部書き込み期間は \overline{WE} 、 $\overline{CE} = V_{IL}$ 、 \overline{BHE} および/または $\overline{BLE} = V_{IL}$ のオーバーラップで定義されます。書き込みを開始するには全ての信号は ACTIVE (アクティブ) でなければなりません。これらの信号のいずれかが INACTIVE (非アクティブ) になると、書き込みが終了します。データ入力のセットアップとホールドのタイミングは書き込みを終了する信号のエッジを基準にする必要があります。
25. $\overline{OE} = V_{IH}$ の場合、データ I/O は高インピーダンス状態にあります。
26. \overline{CE} は $\overline{WE} = V_{IH}$ と同時に HIGH になる場合、出力は高インピーダンス状態のままです。
27. この周期の間に、I/O は出力状態であり、入力信号を印加することはできません。

スイッチング波形 (続き)

図 8. 書き込みサイクル 3 ($\overline{\text{WE}}$ 制御、 $\overline{\text{OE}}$ LOW) [28、29]

図 9. 書き込みサイクル 4 ($\overline{\text{BHE}} / \overline{\text{BLE}}$ 制御、 $\overline{\text{OE}}$ LOW) [28]


注:

28. $\overline{\text{CE}}$ は $\overline{\text{WE}} = V_{IH}$ と同時に HIGH になる場合、出力は高インピーダンス状態のままです。

29. 書き込みサイクル 3 ($\overline{\text{WE}}$ 制御、 $\overline{\text{OE}}$ LOW) 用の最小書き込みパルス幅は、 t_{HZWE} と t_{SD} の和である必要があります。

30. この周期の間に、I/O は出力状態であり、入力信号を印加することはできません。

真理値表

CE ^[31]	WE	OE	BHE	BLE	入力／出力	モード	電源
H	X	X	X	X	High-Z	選択解除／パワーダウン	待機時 (I _{SB})
L	X	X	H	H	High-Z	出力は無効	アクティブ (I _{CC})
L	H	L	L	L	データ出力 (I/O ₀ ~ I/O ₁₅)	読み出し	アクティブ (I _{CC})
L	H	L	H	L	データ出力 (I/O ₀ ~ I/O ₇); I/O ₈ ~ I/O ₁₅ は High-Z	読み出し	アクティブ (I _{CC})
L	H	L	L	H	データ出力 (I/O ₈ ~ I/O ₁₅); I/O ₀ ~ I/O ₇ は High-Z	読み出し	アクティブ (I _{CC})
L	H	H	X	X	High-Z	出力は無効	アクティブ (I _{CC})
L	L	X	L	L	データ入力 (I/O ₀ ~ I/O ₁₅)	書き込み	アクティブ (I _{CC})
L	L	X	H	L	データ入力 (I/O ₀ ~ I/O ₇); I/O ₈ ~ I/O ₁₅ は High-Z	書き込み	アクティブ (I _{CC})
L	L	X	L	H	データ入力 (I/O ₈ ~ I/O ₁₅); I/O ₀ ~ I/O ₇ は High-Z	書き込み	アクティブ (I _{CC})

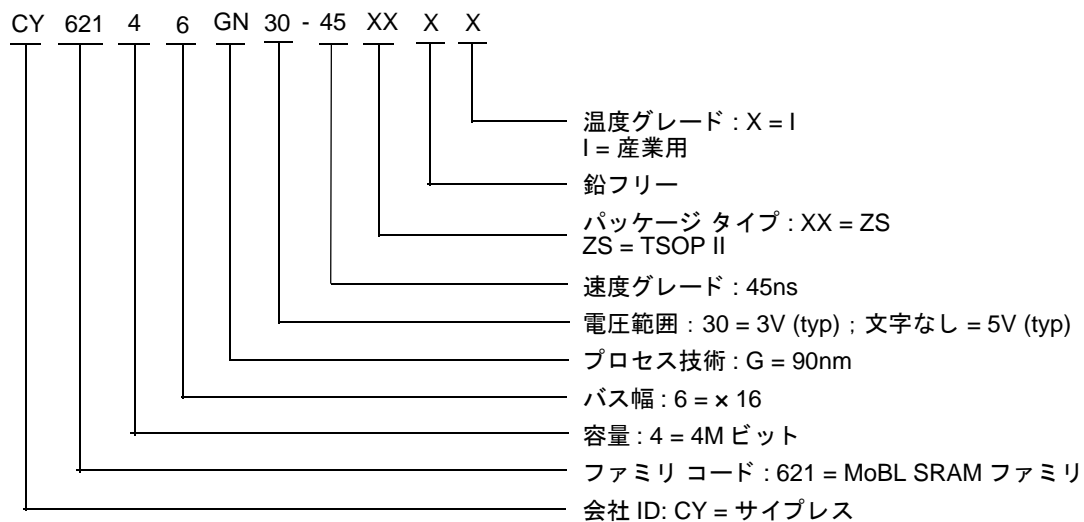
注:

31. チップ イネーブルは CMOS レベルである必要があります (フローティングでない)。このピンでの中間電圧レベルは許可されていません。

注文情報

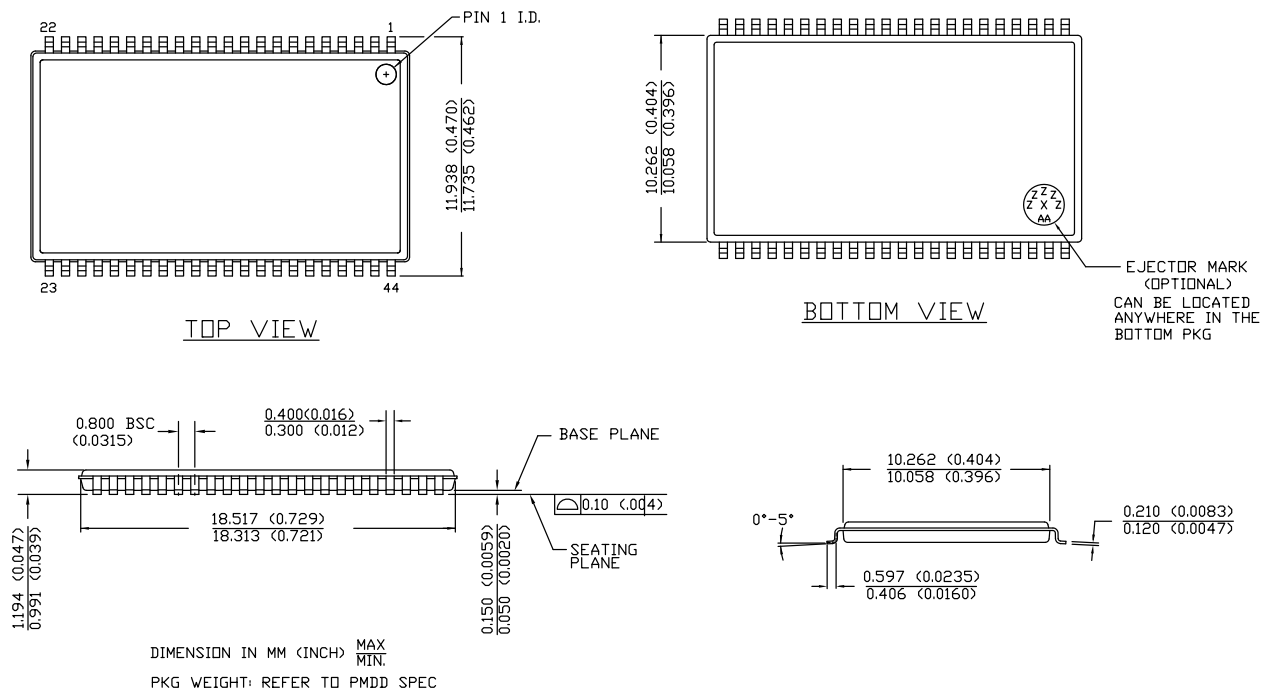
速度 (ns)	電圧範囲 (V)	注文コード	パッケージ図	パッケージ タイプ	動作範囲
45	2.2V ~ 3.6V	CY62146GN30-45ZSXI	51-85087	44 ピン TSOP II (鉛フリー)	産業用
	4.5V ~ 5.5V	CY62146GN-45ZSXI	51-85087	44 ピン TSOP II (鉛フリー)	

注文コードの定義



パッケージ図

図 10. 44 ピン TSOP II パッケージ外形、51-85087



51-85087 *E

略語

略語	説明
BHE	バイト HIGH イネーブル
BLE	バイト LOW イネーブル
CMOS	Complementary Metal Oxide Semiconductor (相補型金属酸化膜半導体)
CE	チップ イネーブル
I/O	入力／出力
OE	出カイネーブル
SRAM	スタティック ランダム アクセス メモリ
TSOP	小型薄型パッケージ
VFBGA	Very Fine-Pitch Ball Grid Array (超微細ピッチ ボール グリッド アレイ)
WE	書き込みイネーブル

本書の表記法

測定単位

記号	測定単位
°C	摂氏温度
MHz	メガヘルツ
μA	マイクロアンペア
mA	ミリアンペア
ns	ナノ秒
Ω	オーム
pF	ピコファラッド
V	ボルト
W	ワット

改訂履歴

文書名 : CY62146GN MoBL®、4M ビット (256 K × 16) スタティック RAM 文書番号 : 002-10964				
版	ECN 番号	変更者	発行日	変更内容
**	5140075	HZEN	03/01/2016	これは英語版 001-95417 Rev. *A を翻訳した日本語版 002-10964 Rev. ** です。

セールス、ソリューション、および法律情報

ワールドワイド販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーションのウェブページ](#)をご覧ください。

製品

車載用	cypress.com/go/automotive
クロック & バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明 & 電力制御	cypress.com/go/powerpsoc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/USB
ワイヤレス / RF	cypress.com/go/wireless

PSoC® ソリューション

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカル サポート

cypress.com/go/support

© Cypress Semiconductor Corporation, 2015-2016. 本文書に記載される情報は予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

すべてのソース コード (ソフトウェアおよび/またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタム ソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限って、サイプレスのソース コードの派生著作物をコピー、使用、変更して作成するためのライセンス、ならびにサイプレスのソース コードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソース コードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責事項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。