

特性

- 超高速频率：45 ns
- 温度范围
 - 工业级范围：-40 °C ~ +85 °C
- 宽广的电压范围：2.20 V ~ 3.60 V, 4.5 V ~ 5.5 V
- 超低待机功耗
 - 典型待机电流：3.5 μA
 - 最大待机电流：8.7 μA
- 超低有效功耗
 - 典型有效电流：3.5 mA (f = 1 MHz 时)
- 取消选择时会自动断电
- 使用互补金属氧化物半导体 (CMOS) 可获得最佳的速度和功耗
- 支持 44-TSOP II 封装

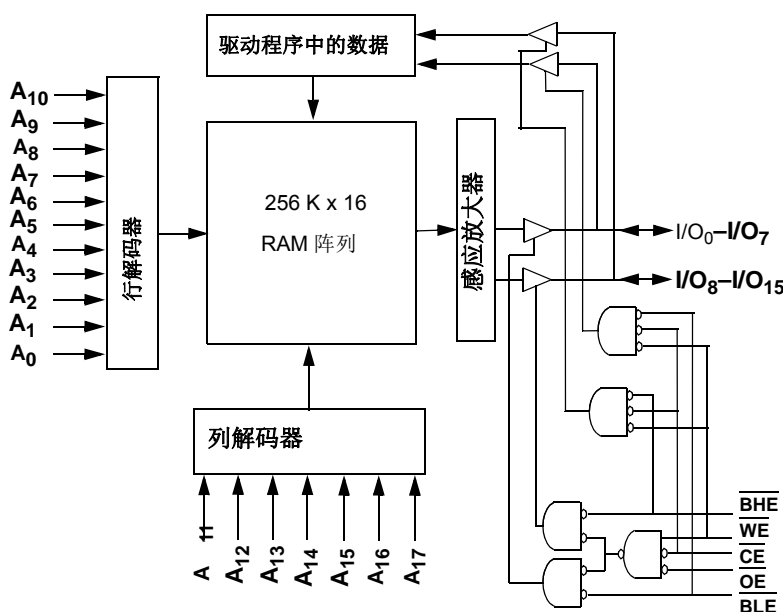
功能说明

CY62146GN 是一款结构为 256K 字 × 16 位的高性能 CMOS 静态 RAM。该器件具有一个高级的电路设计，专用于提供超低有效电流。超低有效电流是为便携式应用（如蜂窝电话）提供 **More Battery Life™ (MoBL®)** 的理想选择。该器件还具有自动断电特性，如果不切换地址，使用该特性可以显著降低 80% 的功耗。当取消选择器件 (\overline{CE} 为高电平) 时，它还可以处于待机模式，从而降低 99% 以上的功耗。如果该器件被取消选择 (\overline{CE} 为高电平)、输出被禁用 (\overline{OE} 为高电平)、字节高电平使能和字节低电平使能被禁用 (\overline{BHE} 、 \overline{BLE} 为高电平)，或者在写操作期间 (\overline{CE} 和 \overline{WE} 均为低电平)，那么输入和输出引脚 (I/O_0 至 I/O_{15}) 将处于高阻态。

如要写入到该器件内，分别使芯片使能 (\overline{CE}) 和写入使能 (\overline{WE}) 输入转为低电平。如果字节低电平使能 (\overline{BLE}) 为低电平，那么来自 I/O 引脚 (I/O_0 到 I/O_7) 的数据会被写入到地址引脚 (A_0 到 A_{17}) 所指定的位置内。如果字节高电平使能 (\overline{BHE}) 为低电平，来自 I/O 引脚 (I/O_8 到 I/O_{15}) 的数据将被写入到地址引脚 (A_0 至 A_{17}) 所指定的位置内。

如要读取该器件，分别将芯片使能 (\overline{CE}) 和输出使能 (\overline{OE}) 转为低电平，同时将写入使能 (\overline{WE}) 强制为高电平。如果字节低电平使能 (\overline{BLE}) 为低电平，由地址引脚指定的存储器位置上的数据会出现在 I/O_0 至 I/O_7 上。如果字节高电平使能 (\overline{BHE}) 为低电平，存储器中的数据会出现在 I/O_8 至 I/O_{15} 上。请参考第 11 页上的真值表，了解读写模式的完整说明。

逻辑框图



目录

引脚配置	3	订购信息	12
产品系列	3	订购代码定义	12
最大额定值	4	封装图	13
工作范围	4	缩略语	14
电气特性	4	文档常规	14
电容	5	测量单位	14
热阻	5	文档修订记录	15
交流测试负载和波形	5	销售、解决方案和法律信息	16
数据保留特性	6	全球销售和设计支持	16
数据保持波形	6	产品	16
开关特性	7	PSoC [®] 解决方案	16
开关波形	8	赛普拉斯开发者社区	16
真值表	11	技术支持	16

引脚配置

图 1. 44-TSOP II 引脚分布^[1]

A ₄	1	44	A ₅
A ₃	2	43	A ₆
A ₂	3	42	A ₇
A ₁	4	41	OE
A ₀	5	40	BHE
CE	6	39	BLE
I/O ₀	7	38	I/O ₁₅
I/O ₁	8	37	I/O ₁₄
I/O ₂	9	36	I/O ₁₃
I/O ₃	10	35	I/O ₁₂
V _{CC}	11	34	V _{SS}
V _{SS}	12	33	V _{CC}
I/O ₄	13	32	I/O ₁₁
I/O ₅	14	31	I/O ₁₀
I/O ₆	15	30	I/O ₉
I/O ₇	16	29	I/O ₈
WE	17	28	NC
A ₁₇	18	27	A ₈
A ₁₆	19	26	A ₉
A ₁₅	20	25	A ₁₀
A ₁₄	21	24	A ₁₁
A ₁₃	22	23	A ₁₂

产品系列

产品	范围	V _{CC} 范围 (V)			速度 (ns)	功耗					
						工作电流 I _{CC} (mA)				待机电流 I _{SB2} (mA)	
		f = 1 MHz		f = f _{max}							
		最小值	典型值 ^[2]	最大值		典型值 ^[2]	最大值	典型值 ^[2]	最大值	典型值 ^[2]	最大值
CY62146GN30	工业级	2.2	3.0	3.6	45	3.5	6	15	20	3.5	8.7
CY62146GN		4.5	5.0	5.5	45						

注释:

1. NC 引脚并不与芯片相连。
2. 典型值仅供参考，并未得以保证，也未经过测试。典型值的测量条件为：V_{CC} = V_{CC(typ)}，T_A = 25 °C。

最大额定值

超过最大额定值可能会影响器件的使用寿命。这些用户指南未经过测试。

存放温度	-65 °C ~ +150 °C
通电状态下的环境温度	-55 °C ~ +125 °C
对地电压范围	-0.3 V 至 +V _{CC} + 0.5 V
应用于高阻状态下的 输出直流电压 ^[3、4]	-0.3 V 至 +V _{CC} + 0.5 V
直流输入电压 ^[3、4]	-0.3 V 至 +V _{CC} + 0.5 V

输出电流到输出（低电平）	20 mA
静电放电电压 （根据 MIL-STD-883，方法 3015）	>2001 V
闩锁电流	>200 mA

工作范围

器件	范围	环境温度	V _{CC} ^[5]
CY62146GN30	工业级	-40 °C ~ +85 °C	2.2 V ~ 3.6 V, 4.5 V ~ 5.5 V

电气特性

在工作范围内

参数	说明	测试条件	45 ns			单位
			最小值	典型值 ^[6]	最大值	
V _{OH}	输出高电压	2.2 V ~ 2.7 V	V _{CC} = 最小值; I _{OH} = -0.1 mA	2	-	V
		2.7 V ~ 3.6 V	V _{CC} = 最小值, I _{OH} = -1.0 mA	2.2	-	
		4.5 V ~ 5.5 V	V _{CC} = 最小值, I _{OH} = -1.0 mA	2.4	-	
		4.5 V ~ 5.5 V	V _{CC} = 最小值, I _{OH} = -0.1 mA	V _{CC} - 0.5 ^[7]	-	
V _{OL}	输出低电压	2.2 V ~ 2.7 V	V _{CC} = 最小值, I _{OL} = 0.1 mA	-	-	V
		2.7 V ~ 3.6 V	V _{CC} = 最小值, I _{OL} = 2.1 mA	-	-	
		4.5 V ~ 5.5 V	V _{CC} = 最小值, I _{OL} = 2.1 mA	-	-	
V _{IH} ^[4]	输入高电平电压	2.2 V ~ 2.7 V	-	2.0	-	V
		2.7 V ~ 3.6 V	-	2.0	-	
		4.5 V ~ 5.5 V	-	2.2	-	
V _{IL} ^[3]	输入低电压	2.2 V ~ 2.7 V	V _{CC} = 2.2 V ~ 2.7 V	-0.3	-	V
		2.7 V ~ 3.6 V	V _{CC} = 2.7 V ~ 3.6 V	-0.3	-	
		4.5 V ~ 5.5 V	-	-0.5	-	
I _{IX}	输入漏电流	GND ≤ V _I ≤ V _{CC}	-1	-	+1	mA
I _{OZ}	输出漏电流	GND ≤ V _O ≤ V _{CC} , 输出被禁用	-1	-	+1	mA
I _{CC}	V _{CC} 工作供电电流	f = f _{max} = 1/t _{RC}	V _{CC} = V _{CC(max)} , I _{OUT} = 0 mA	-	15	mA
		f = 1 MHz	CMOS 电平	-	3.5	
I _{SB1}	自动 CE 断电电流 — CMOS 输入	CE > V _{CC} - 0.2 V, V _{IN} > V _{CC} - 0.2 V 或 V _{IN} < 0.2 V, f = f _{max} （仅地址和数据） f = 0（OE、BHE、BLE 和 WE）, V _{CC} = 3.60 V	-	3.5	8.7	mA
I _{SB2} ^[8]	自动 CE 断电电流 — CMOS 输入	CE ≥ V _{CC} - 0.2 V, V _{IN} ≥ V _{CC} - 0.2 V 或 V _{IN} ≤ 0.2 V, f = 0, V _{CC} = 3.60 V	-	3.5	8.7	mA

注释:

- 脉冲宽度小于 2 ns 时, V_{IL(min)} = -2.0 V。
- 脉冲宽度小于 2 ns 时, V_{IH(max)} = V_{CC} + 2.0 V。
- 整个器件操作要求从 V_{DR} 到 V_{CC(min)} 的线性 V_{CC} 升降时间大于 100 μs 或稳定于 V_{CC(min)} 状态的时间大于 100 μs。
- 典型值仅供参考, 并未得以保证, 也未经过测试。典型值的测量条件为: V_{CC} = V_{CC(typ)}, T_A = 25 °C。
- 该参数由设计保证, 但未经过测试。
- 芯片使能 (CE) 必须连接到 CMOS 电平, 以满足 I_{SB1}/I_{SB2}/I_{CCDR} 规范。其他输入可处于悬空状态。

电容

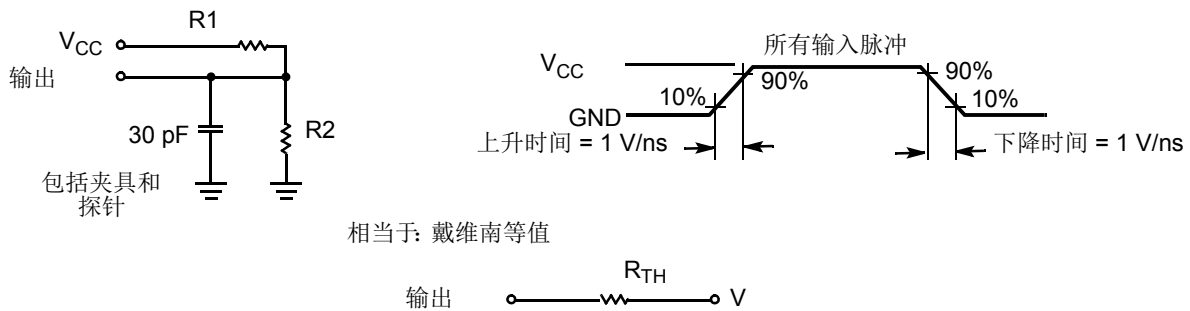
参数 ^[9]	说明	测试条件	最大值	单位
C_{IN}	输入电容	$T_A = 25^\circ\text{C}$, $f = 1\text{ MHz}$, $V_{CC} = V_{CC}$ (典型值)	10	pF
C_{OUT}	输出电容		10	pF

热阻

参数 ^[9]	说明	测试条件	TSOP II	单位
Θ_{JA}	热阻 (结至环境)	无气流, 被焊接到 3×4.5 英寸的四层印刷电路板上	68.85	$^\circ\text{C/W}$
Θ_{JC}	热阻 (结至外壳)		15.97	$^\circ\text{C/W}$

交流测试负载和波形

图 2. 交流测试负载和波形^[10]



参数	2.50 V	3.0 V	单位
$R1$	16667	1103	Ω
$R2$	15385	1554	Ω
R_{TH}	8000	645	Ω
V_{TH}	1.20	1.75	V

注释:

9. 初始测试和任何有关设计或流程的变化后的测试会影响这些参数。
10. 整个器件操作要求从 VDR 到 $V_{CC(min)}$ 的线性 VCC 升降时间 $\geq 100\ \mu\text{s}$ 或稳定于 $V_{CC(min)}$ 时间 $\geq 100\ \mu\text{s}$ 。

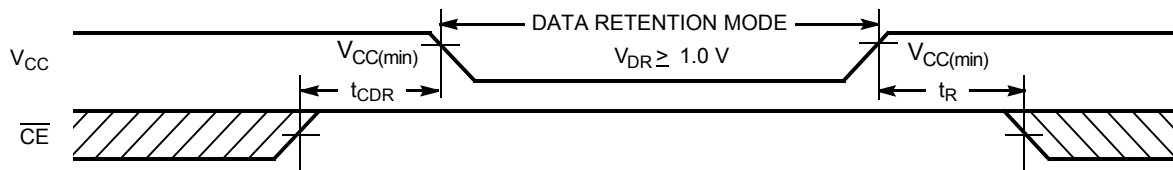
数据保留特性

在工作范围内

参数	说明	条件	最小值	典型值	最大值	单位
V_{DR}	用于保留数据的 V_{CC}		1.0	—	—	V
$I_{CCDR}^{[11、12]}$	数据保留电流	$V_{CC} = 1.2\text{ V}$, $\overline{CE} \geq V_{CC} - 0.2\text{ V}$, $V_{IN} \geq V_{CC} - 0.2\text{ V}$ 或 $V_{IN} \leq 0.2\text{ V}$	—	—	13	μA
$t_{CDR}^{[13]}$	取消选择芯片到数据保留的时间	—	0	—	—	ns
$t_R^{[14]}$	操作恢复的时间	—	45	—	—	ns

数据保持波形

图 3. 数据保持波形



注释:

11. 芯片使能 (CE) 必须连接到 CMOS 电平, 以满足 $I_{SB1}/I_{SB2}/I_{CCDR}$ 规范。其他输入可处于悬空状态。
12. 器件首先按 $V_{CC(min)}$ 电压进行加电, 然后再降到 V_{DR} , 这样 I_{CCDR} 才能得到保证。
13. 初始测试和任何有关设计或流程的变化后的测试会影响这些参数。
14. 整个器件操作要求从 V_{DR} 到 $V_{CC(min)}$ 的线性 V_{CC} 升降时间大于 $100\text{ }\mu\text{s}$ 或稳定于 $V_{CC(min)}$ 状态的时间大于 $100\text{ }\mu\text{s}$ 。

开关特性

在工作范围内

参数 ^[15、16]	说明	45 ns		单位
		最小值	最大值	
读周期				
t _{RC}	读周期时间	45	—	ns
t _{AA}	地址到数据有效的时间	—	45	ns
t _{OHA}	地址更改后的数据保持时间	10	—	ns
t _{ACE}	\overline{CE} 为低电平到数据有效的时间	—	45	ns
t _{DOE}	\overline{OE} 为低电平到数据有效的时间	—	22	ns
t _{LZOE}	\overline{OE} 为低电平到低阻态的时间 ^[17]	5	—	ns
t _{HZOE}	\overline{OE} 为高电平到高阻态的时间 ^[17、18]	—	18	ns
t _{LZCE}	\overline{CE} 为低电平到低阻态的时间 ^[17]	10	—	ns
t _{HZCE}	\overline{CE} 为高电平到高阻态的时间 ^[17、18]	—	18	ns
t _{PU}	\overline{CE} 为低电平到上电的时间 ^[16]	0	—	ns
t _{PD}	\overline{CE} 为高电平到断电的时间 ^[16]	—	45	ns
t _{DBE}	$\overline{BLE/BHE}$ 为低电平到数据有效的时间	—	22	ns
t _{LZBE}	$\overline{BLE/BHE}$ 为低电平到低阻态的时间 ^[17]	5	—	ns
t _{HZBE}	$\overline{BLE/BHE}$ 为高电平到高阻态的时间 ^[17、18]	—	18	ns
写周期 ^[19、20]				
t _{WC}	写周期的时间	45	—	ns
t _{SCE}	\overline{CE} 为低电平到写周期结束的时间	35	—	ns
t _{AW}	从地址建立到写周期结束的时间	35	—	ns
t _{HA}	写周期结束后地址保持的时间	0	—	ns
t _{SA}	地址建立到写周期开始的时间	0	—	ns
t _{PWE}	\overline{WE} 脉冲宽度	35	—	ns
t _{BW}	$\overline{BLE/BHE}$ 为低电平到写周期结束的时间	35	—	ns
t _{SD}	数据建立到写周期结束的时间	25	—	ns
t _{HD}	写周期结束后数据保持的时间	0	—	ns
t _{HZWE}	\overline{WE} 为低电平到高阻态的时间 ^[17、18]	—	18	ns
t _{LZWE}	\overline{WE} 为高电平到低阻态的时间 ^[17]	10	—	ns

注释:

15. 所有参数（除三态参数外）的测试条件为：采用不大于 3 ns（1 V/ns）的信号跳变时间， $V_{CC(typ)}/2$ 的时序参考电平，0 至 $V_{CC(typ)}$ 的输入脉冲电平以及第 5 页上的图 2 中所指定的 I_{OL}/I_{OH} 输出负载。

16. 这些参数由设计保证。

17. 在所有给定的温度和电压范围中，对于所有给定的器件， t_{HZCE} 小于 t_{LZCE} 、 t_{HZBE} 小于 t_{LZBE} 、 t_{HZOE} 小于 t_{LZOE} 以及 t_{HZWE} 小于 t_{LZWE} 。

18. t_{HZOE} 、 t_{HZCE} 、 t_{HZBE} 以及 t_{HZWE} 转换的测量条件为输出处于高阻态。

19. 通过结合 \overline{WE} 和 $CE = V_{IL}$ 、 BHE 和 I 或 $BLE = V_{IL}$ 等条件，可以定义存储器的内部写入时间。如要初始某个写操作，必须使所有的信号进入 ACTIVE（活动）状态；将任何信号进入 INACTIVE（非活动）状态，都会中止该写操作。终止写入操作的信号边沿作为输入数据建立和保持时序的参考源。

20. 第三个写周期（由 \overline{WE} 控制， \overline{OE} 为低电平）的最小写入脉冲宽度应为 t_{HZWE} 和 t_{SD} 的总和。

开关波形

图 4. 第一个读周期（由地址转换控制） [21、22]

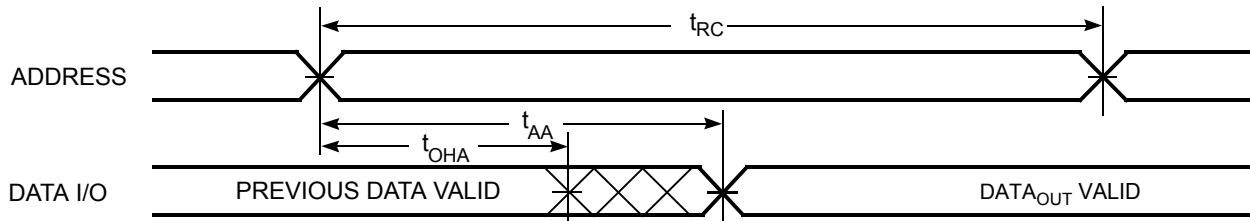
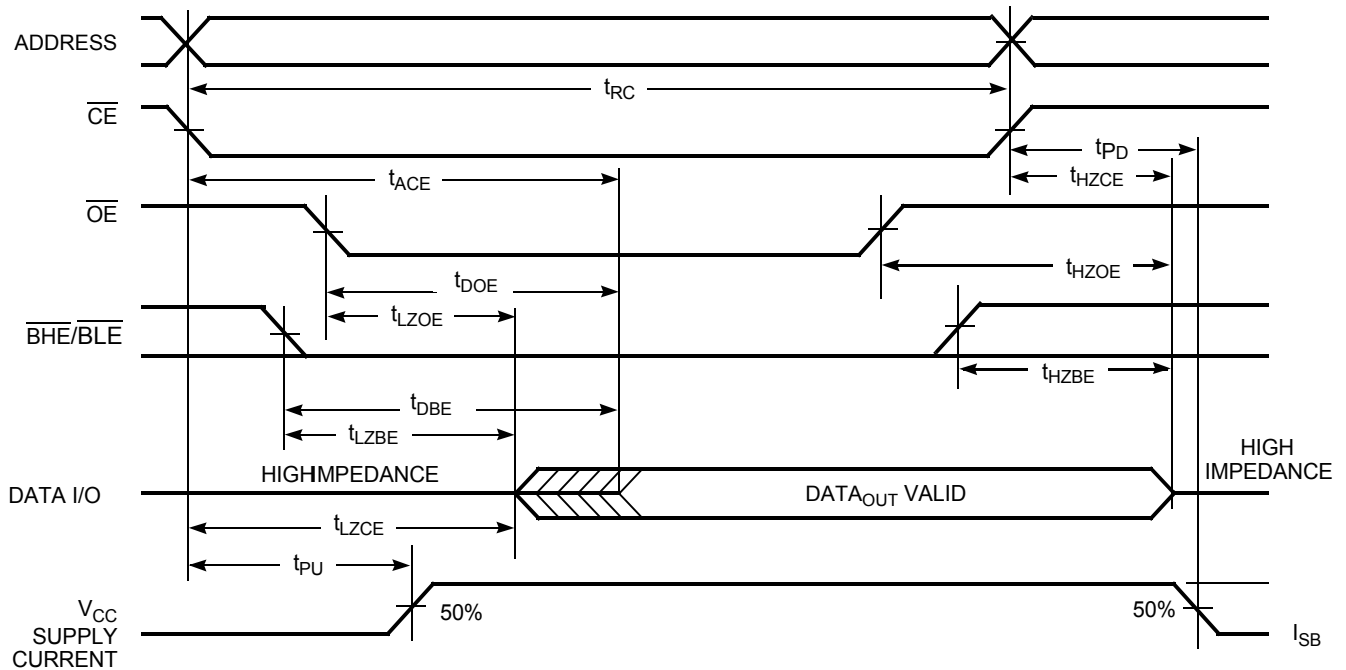


图 5. 第二个读周期（由 \overline{OE} 控制） [22、23]



注释:

21. 器件持续被选择。 \overline{OE} 、 $\overline{CE} = V_{IL}$ ， \overline{BHE} 和 / 或 $\overline{BLE} = V_{IL}$ 。

22. 在读周期中， \overline{WE} 为高电平。

23. CE 被激活前或被激活的同时地址有效。

开关波形 (续)

图 6. 第一个写周期 (由 \overline{WE} 控制) [24、25、26]

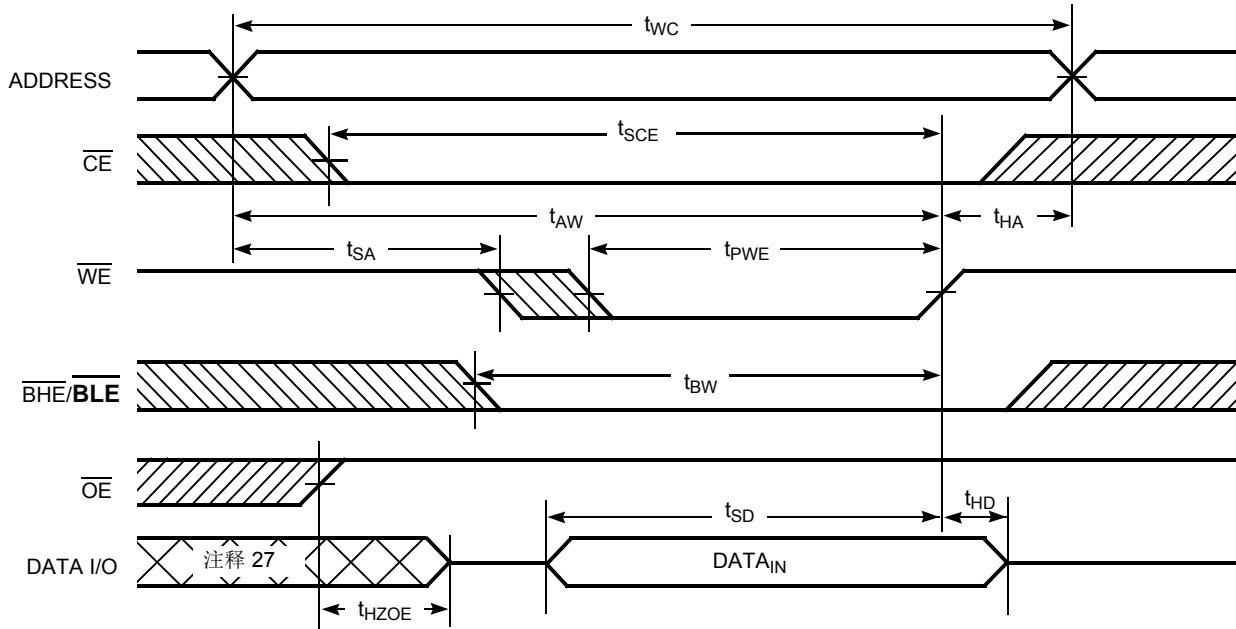
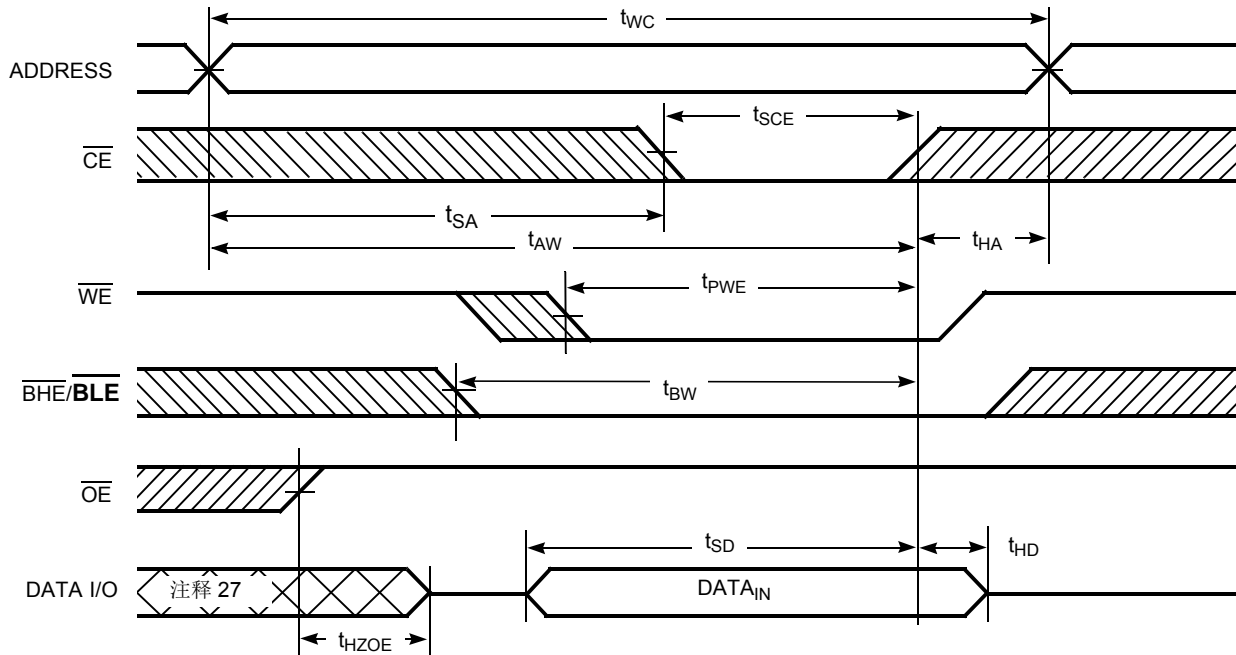


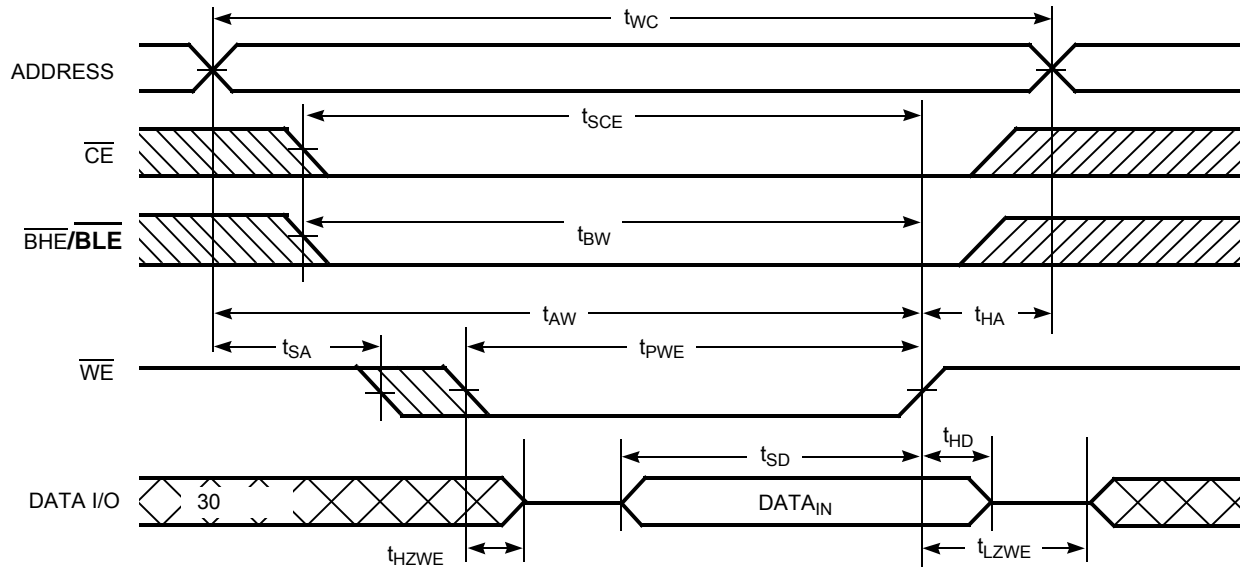
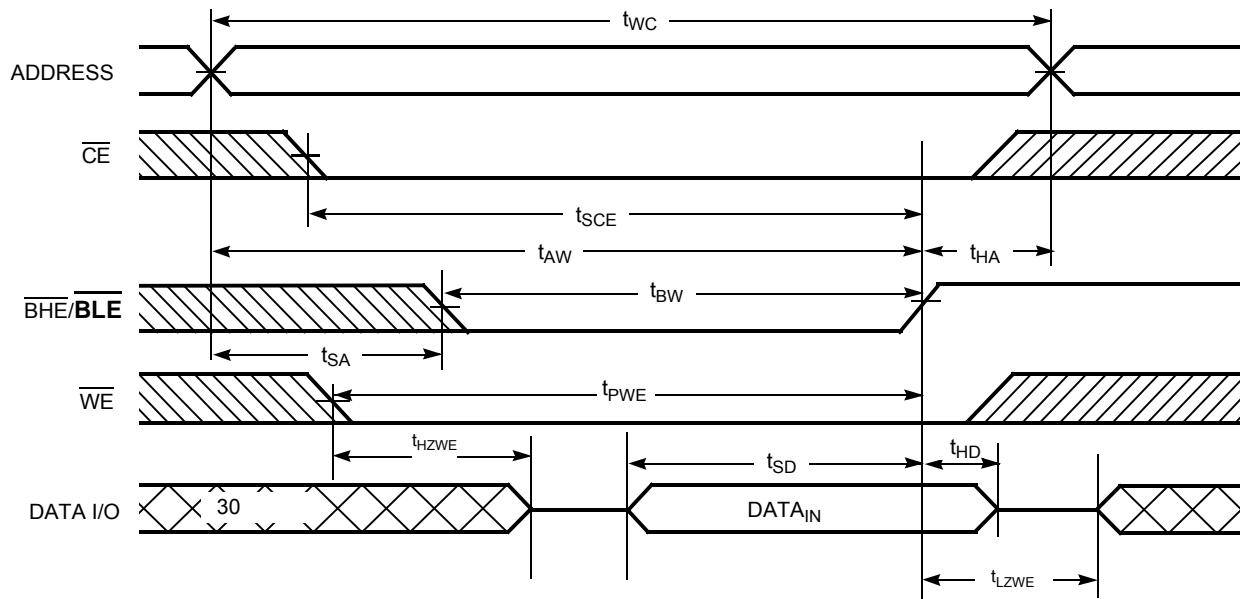
图 7. 第二个写周期 (由 \overline{CE} 控制) [24、25、26]



注释:

24. 通过结合 \overline{WE} 和 $\overline{CE} = V_{IL}$ 、 \overline{BHE} 和 / 或 $\overline{BLE} = V_{IL}$ 等条件, 可以定义存储器的内部写入时间。如要初始某个写操作, 必须使所有的信号进入 ACTIVE (活动) 状态; 将任何信号进入 INACTIVE (非活动) 状态, 都会中止该写操作。终止写入操作的信号边沿作为输入数据建立和保持时序的参考源。
25. 如果 $\overline{OE} = V_{IH}$, 数据 I/O 将处于高阻态。
26. 如果 \overline{CE} 转为高电平, 同时 $\overline{WE} = V_{IH}$, 输出将处于高阻态。
27. 这段时间内, 各 I/O 均处于输出状态, 并且不需要采用输入信号。

开关波形（续）

图 8. 第三个写周期（由 \overline{WE} 控制， \overline{OE} 为低电平）[28、29]

图 9. 第四个写周期（由 $\overline{BHE}/\overline{BLE}$ 控制， \overline{OE} 为低电平）[28]


注释：

28. 如果 \overline{CE} 转为高电平，同时 $\overline{WE} = V_{IH}$ ，输出将处于高阻态。

29. 第三个写周期（由 \overline{WE} 控制， \overline{OE} 为低电平）的最小写入脉冲宽度应为 t_{HZWE} 和 t_{SD} 的总和。

30. 在该期间内，各 I/O 均处于输出状态，并且不需要采用输入信号。

真值表

CE ^[31]	WE	OE	BHE	BLE	输入 / 输出	模式	功耗
H	X	X	X	X	高阻态	取消选择 / 断电	待机 (I_{SB})
L	X	X	H	H	高阻态	输出处于禁用状态	有效 (I_{CC})
L	H	L	L	L	数据输出 ($I/O_0-I/O_{15}$)	读取	有效 (I_{CC})
L	H	L	H	L	数据输出 ($I/O_0-I/O_7$) ; $I/O_8-I/O_{15}$ 处于高阻态	读取	有效 (I_{CC})
L	H	L	L	H	数据输出 ($I/O_8-I/O_{15}$) ; $I/O_0-I/O_7$ 处于高阻态	读取	有效 (I_{CC})
L	H	H	X	X	高阻态	输出处于禁用状态	有效 (I_{CC})
L	L	X	L	L	数据输入 ($I/O_0-I/O_{15}$)	写入	有效 (I_{CC})
L	L	X	H	L	数据输入 ($I/O_0-I/O_7$) ; $I/O_8-I/O_{15}$ 处于高阻态	写入	有效 (I_{CC})
L	L	X	L	H	数据输入 ($I/O_8-I/O_{15}$) ; $I/O_0-I/O_7$ 处于高阻态	写入	有效 (I_{CC})

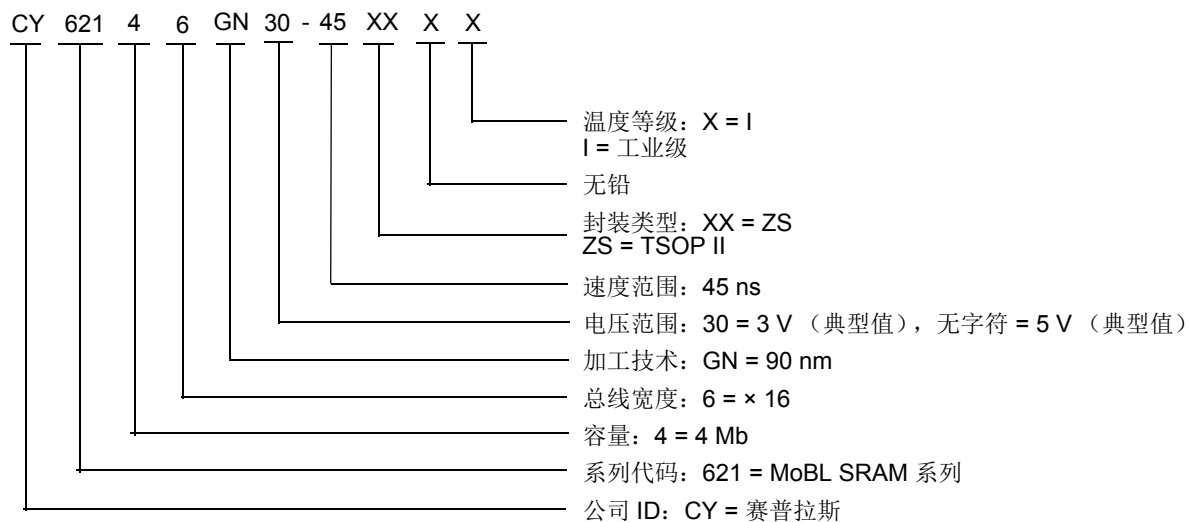
注释:

31. 芯片使能必须处于 CMOS 电平状态（并非悬空状态）。该引脚不支持中间电压电平。

订购信息

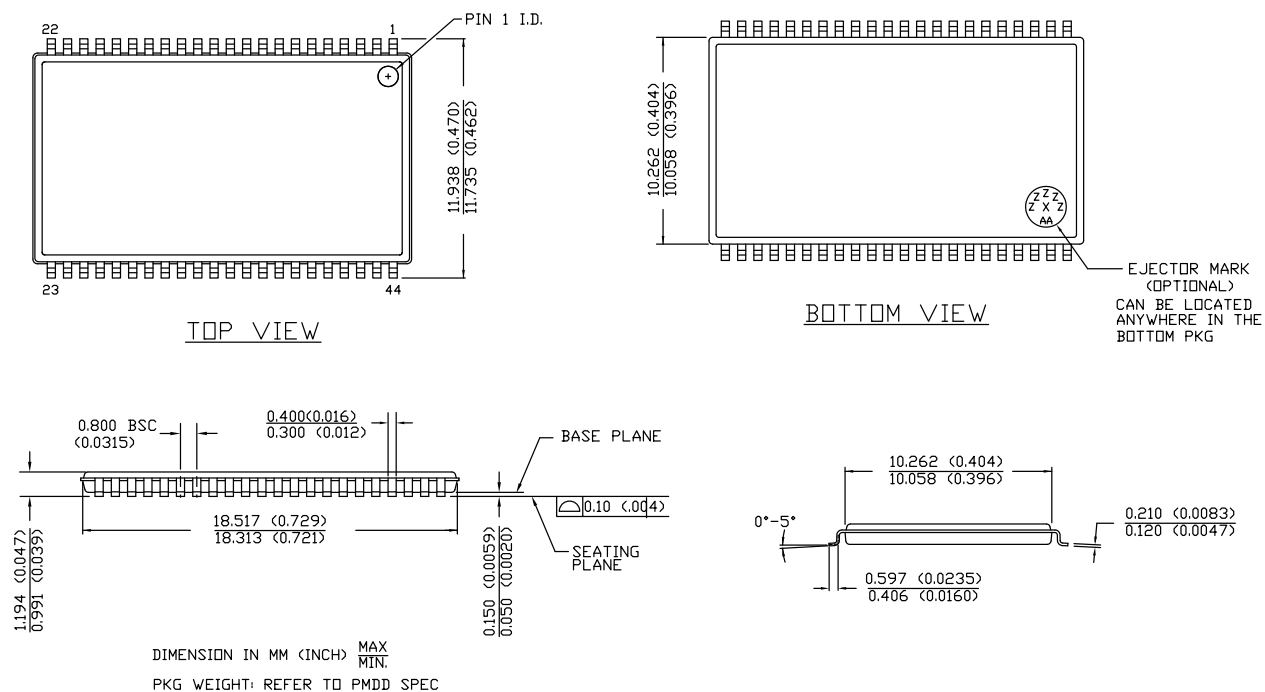
速度 (ns)	电压范围 (V)	订购代码	封装图	封装类型	工作范围
45	2.2 V ~ 3.6 V	CY62146GN30-45ZSXI	51-85087	44-TSOP II (无铅)	工业级
	4.5 V-5.5 V	CY62146GN-45ZSXI	51-85087	44-TSOP II (无铅)	

订购代码定义



封装图

图 10. 44-TSOP Z44-II 封装外形, 51-85087



51-85087 *E

缩略语

缩略语	说明
BHE	字节高电平使能
$\overline{\text{BLE}}$	字节低电平使能
CMOS	互补金属氧化物半导体
$\overline{\text{CE}}$	芯片使能
I/O	输入 / 输出
$\overline{\text{OE}}$	输出使能
SRAM	静态随机存取存储器
TSOP	薄小外型封装
VFBGA	间距极小的球栅阵列
$\overline{\text{WE}}$	写使能

文档常规

测量单位

符号	测量单位
°C	摄氏度
MHz	兆赫兹
μA	微安
mA	毫安
ns	纳秒
Ω	欧姆
pF	皮法
V	伏特
W	瓦特

文档修订记录

文档标题: CY62146GN MoBL [®] , 4 Mb (256 K x 16) 静态 RAM 文档编号: 002-10959				
版本	ECN 编号	变更者	提交日期	变更说明
**	5154139	SNYQ	02/29/2016	本文档版本号为 Rev**, 译自英文版 001-95417 Rev*A。

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要想找到离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

汽车级产品

cypress.com/go/automotive

时钟与缓冲器

cypress.com/go/clocks

接口

cypress.com/go/interface

照明与电源控制

cypress.com/go/powerpsoc

存储器

cypress.com/go/memory

PSoC

cypress.com/go/psoc

触摸感应产品

cypress.com/go/touch

USB 控制器

cypress.com/go/USB

无线 / 射频

cypress.com/go/wireless

PSoC® 解决方案

psoc.cypress.com/solutions

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

技术支持

cypress.com/go/support

© 赛普拉斯半导体公司，2015-2016。此处所包含的信息可随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不会根据专利权或其他权利以明示或暗示方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对客户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于发生故障（包括运转异常）或失效可能会对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受适用的赛普拉斯软件许可协议限制。