

请注意赛普拉斯已正式并入英飞凌科技公司。

此封面页之后的文件标注有“赛普拉斯”的文件即该产品为此公司最初开发的。请注意作为英飞凌产品组合的部分,英飞凌将继续为新的及现有客户提供该产品。

### 文件内容的连续性

事实是英飞凌提供如下产品作为英飞凌产品组合的部分不会带来对于此文件的任何变更。未来的变更将在恰当的时候发生,且任何变更将在历史页面记录。

### 订购零件编号的连续性

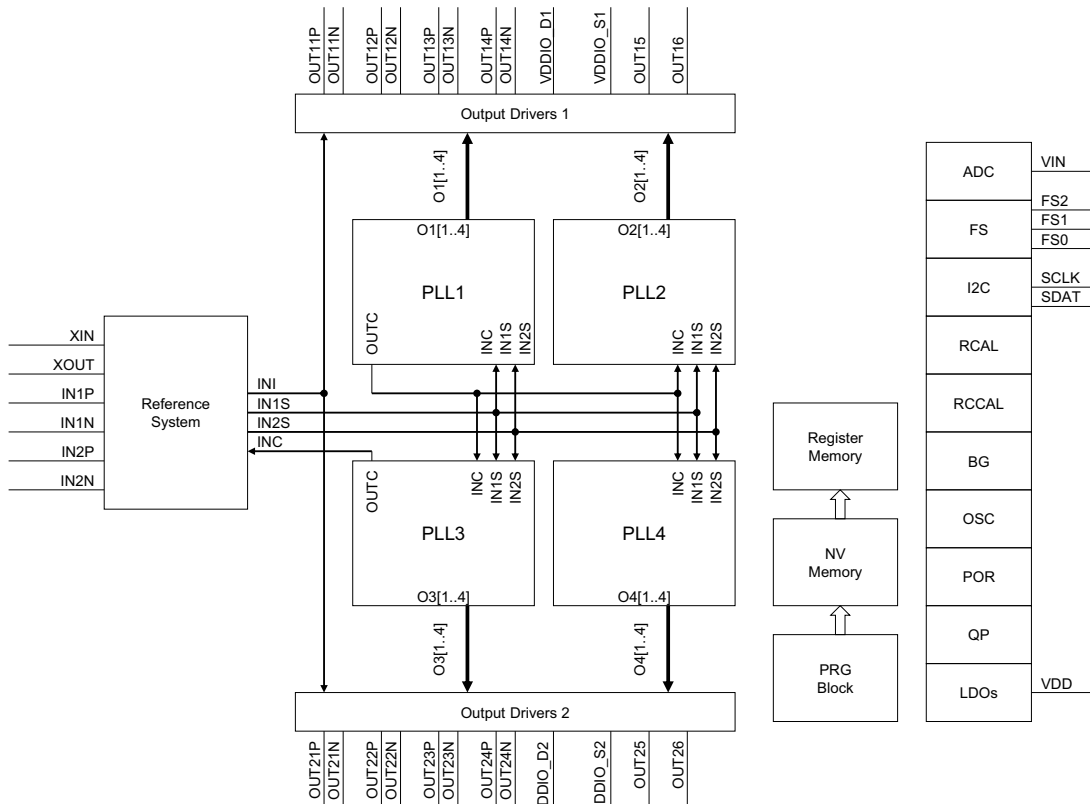
英飞凌继续支持现有零件编号的使用。下单时请继续使用数据表中的订购零件编号。

# 4-PLL 扩频时钟发生器

## 特性

- 输入频率
  - 晶振输入: 8 MHz ~ 48 MHz
  - 参考时钟: 8 MHz ~ 250 MHz (LVCMOS 输入)
  - 参考时钟: 8 MHz ~ 700 MHz (差分输入)
- 输出频率
  - 25 MHz ~ 700 MHz LVDS、LVPECL、HCSL、CML
  - 3 MHz ~ 250 MHz LVCMOS
  - 某个 LVCMOS 输出的频率: 1 kHz ~ 8 MHz
- RMS 相位抖动: 在 12 kHz 到 20 MHz 偏移内, 可达 1 ps
- 符合 PCIe 1.0/2.0/3.0 标准
- 符合 SATA 2.0、USB 2.0/3.0 和 1/10 GbE 的标准
- 最多 12 个输出被分为两组, 每组包含六个输出
  - 多达八个差分输出对 (HCSL、LVPECL、CML 或 LVDS)
  - 多达 12 个 LVCMOS 输出
- 每组中的差分输出最大 100 ps 的时滞
- 四个分频 N 型的锁相环 (PLL) 具有
  - VCXO (误差为  $\pm 120$  ppm, 步长为 0.23 ppm)
  - 扩频功能 (逻辑 SS 和 Lexmark 分析, 扩频数量为 0.1% 到 5% (步长为 0.1%), 向下扩频或中心扩频)
- 供电电压: 1.8 V、2.5 V 和 3.3 V
- 零延迟缓冲器 (ZDB) 和非零延迟缓冲器 (NZDB) 的配置
- 通过使用板上编程可以配置 I<sup>2</sup>C
- 工业级的器件, 采用 48-QFN (7 × 7 × 1.0mm) 封装

## 逻辑框图



## 目录

|                         |           |                           |           |
|-------------------------|-----------|---------------------------|-----------|
| <b>功能说明</b> .....       | <b>3</b>  | 测试和测量电路 .....             | 23        |
| 输入系统 .....              | 3         | 电压和时序定义 .....             | 24        |
| VCXO 输入模块 .....         | 3         | <b>封装信息</b> .....         | <b>26</b> |
| 频率选择输入 .....            | 3         | 回流焊规范 .....               | 26        |
| I2C 模块（SCLK、SDAT） ..... | 4         | <b>订购信息</b> .....         | <b>27</b> |
| 合成部分 .....              | 4         | 订购代码定义 .....              | 27        |
| 输出部分 .....              | 4         | <b>缩略语</b> .....          | <b>28</b> |
| 板上编程 .....              | 5         | <b>文档常规</b> .....         | <b>28</b> |
| 功能特性和应用的注意事项 .....      | 5         | 测量单位 .....                | 28        |
| <b>引脚分布</b> .....       | <b>10</b> | <b>文档修订记录</b> .....       | <b>29</b> |
| <b>电气规范</b> .....       | <b>13</b> | <b>销售、解决方案和法律信息</b> ..... | <b>30</b> |
| 最大绝对额定值 .....           | 13        | 全球销售和设计支持 .....           | 30        |
| 工作温度 .....              | 13        | 产品 .....                  | 30        |
| 工作电源 .....              | 13        | PSoC® 解决方案 .....          | 30        |
| 直流芯片级规范 .....           | 14        | 赛普拉斯开发者社区 .....           | 30        |
| 直流输出规范 .....            | 15        | 技术支持 .....                | 30        |
| 交流输入时钟规范 .....          | 16        |                           |           |
| 交流输出规范 .....            | 16        |                           |           |

## 功能说明

CY27410 是一个标准性能的可编程时钟发生器，它包含了四个独立的分频 PLL，这样可以生成带有零 ppm 合成错误的任何频率。每个 PLL 的后面都有四个一组的独立分频器，这样可以从单个 PLL 生成四个不同的频率。这四个分频器都是同步的，从而可生成带有最小时滞的相位对齐时钟输出。另外，PLL 还支持扩频功能，以降低 EMI。PLL 具有 VCXO 功能，以达到输出频率的 ppm 精度。

CY27410 可使用晶振时钟或单端/差分参考时钟。该器件支持 12 个输出，这 12 个输出被分为两组，每组六个。PLL 1 和 PLL 2 的四个输出被复用到输出组 1，而 PLL 3 和 PLL 4 的四个时钟输出则被复用到输出组 2。可以将这两组的 12 个输出配置为八个差分输出、12 个单端输出或差分 and 单端输出的结合。

CY27410 拥有一个片上易失性和非易失性寄存器，该存储器由八个存储器组成，它保存了器件配置设置。通过 I<sup>2</sup>C 接口可以在板上对这些寄存器进行访问和编程。您可以随时配置该器件，以便可以在应用电路板上对该器件进行完全重新编程。除了 I<sup>2</sup>C 接口外，多功能引脚可以采用外部信号，这样可以得到不同的功能，具体如下：

- 动态修改输出频率
- 输出使能 / 禁用
- 断电
- 扩展开 / 关

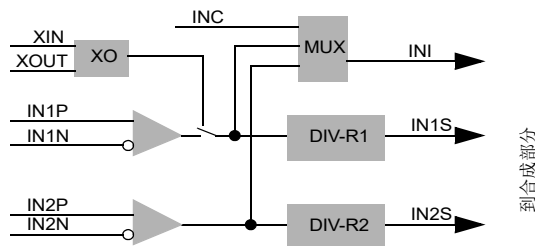
提供一个低频率时钟输出（单位为千赫兹），以满足广泛使用参考频率（32.768 kHz）的要求。CY27410 的抖动规范使它成为下列通信协议的理想选择：PCIe 1.0/2.0/3.0、USB 2.0/3.0、SATA 1.0/2.0 和 1/10 GbE。

## 输入系统

输入系统支持下列各输入（参考图 1）：

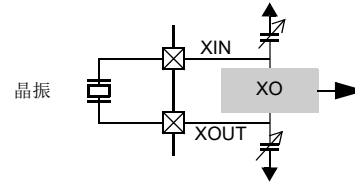
- XIN/XOUT 支持晶振输入
- IN1 支持差分 and 单端时钟输入
- IN2 支持差分 and 单端时钟输入

图 1. 振荡器 / 时钟输入框图



如果使用晶振，则 XIN 和 XOUT 被连接到一个晶振振荡器，这样可以生成所需要的内部频率，如图 2 所示。受支持的差分调电容范围为 8 pF 到 12 pF。

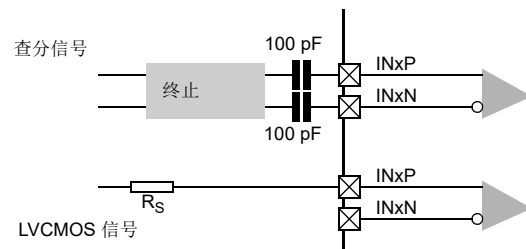
图 2. 连接至一个晶振



IN1 和 IN2 可以接受单端或差分参考输入。可以使用 IN2 来接收反馈信号，从而实现器件的 ZDB 功能。

差分输入能够与多个电平标准（如 LVPECL、LVDS、CML 和 HCSL）相连。差分信号必须为 AC 耦合，如图 3 中所示。

图 3. 使差分信号和单端信号相连



## VCXO 输入模块

VIN 输入可用于器件的 VCXO 功能。这时，可以根据音频 - 视觉应用需要的输入电压修改该输出。输出频率的最大变化范围为  $\pm 120$  ppm。该输入电压通过直接控制 PLL 1 小数分频器来提供 VCXO 功能。

## 频率选择输入

CY27410 支持频率选择特性，用户通过使用这些特性可以随时修改输出的频率。该器件拥有八个配置寄存器集，通过 I<sup>2</sup>C 可以重新对这些寄存器集进行编程或写入。修改 FS 引脚的信号电平时（高和低），同时需要选择相应的配置寄存器，并相应修改输出频率。

## I<sup>2</sup>C 模块 (SCLK、SDAT)

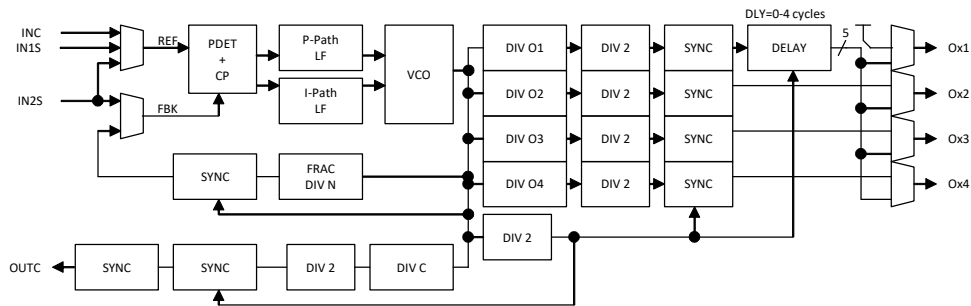
CY27410 支持通过 I<sup>2</sup>C 编程的内部寄存器，这样，用户可以配置该器件。CY27410 还支持将用户配置文件编程到闪存储存器，并且允许部分的更新。该器件还采用读、写或读 / 写保护功能。该器件符合 I<sup>2</sup>C 总线规范版本 2.1 或更高版本的标准。I<sup>2</sup>C 的关键规范如下所示：

- 400 kb/s (快速模式)
- 7 位寻址支持
- 可选的器件地址 (可编程)，默认值为 69 十六进制 (7 位)

## 合成部分

CY27410 包含四个 PLL，这些 PLL 是芯片的内核合成模块。每个 PLL 具有一个分数 N 功能。该功能会支持输出频率的生成，此频率根据准确度高达 100 ppb 的输入参考频率来决定的。PLL 的输出被馈入到四个分频器内，然后转移到同步器，这样是为了生成无干扰的时钟转换特性和变量延迟生成电路来支持可编程的延迟特性等。该子系统也包含输出分频器和复用器。所有四个 PLL 都具有相同的结构，如图 4 中所示。

图 4. PLL 结构



## 输出部分

CY27410 包含两个输出组，它们位于器件的顶部和底部。每组包含六个输出，其中 OUT11-OUT14 和 OUT21-OUT24 可支持差分输出和单端输出，OUT15-OUT16 和 OUT25-OUT26 仅支持单端输出。

PLL 的每个输出会依次反馈到分频器和 MUX，这样可以为选择输出源提供帮助，如图 5 和图 6 中所示。

图 5. 组 1 的输出

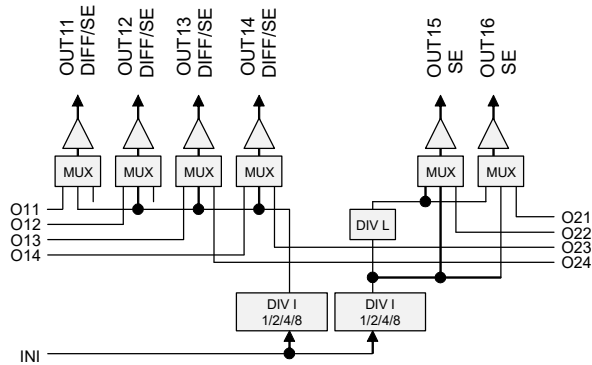
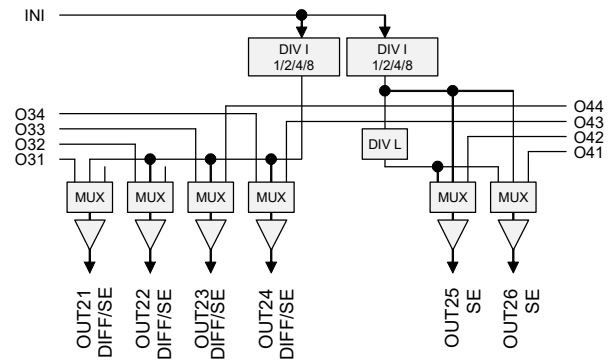


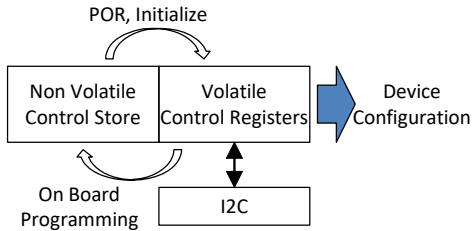
图 6. 组 2 的输出



## 板上编程

通过写用户板上的器件存储器，可以使用没有预编程的空器件。这样您就可以在多个项目中使用相同的器件，并可以根据单独项目对此器件进行编程。在线编程示意如图 7 中所示。

图 7. 板上编程



## 功能特性和应用的注意事项

CY27410 是用于消费类、工业级和低端网络应用的 4 PLL 扩频时钟发生器。该器件的关键规格是差分输入（2）和输出（12），可以支持 700 MHz 的频率。该器件拥有一个 1 ps（最大值）的低 RMS 相位抖动和许多增值特性（如 VCXO、频率选择和 PLL 旁路模式）。另外，它还支持重要标准，如 PCIe 1.0/2.0/3.0、USB 2.0/3.0 和 10 GbE。

该产品支持 LVDS、LVPECL、CML、HCSL 和 LVCMOS 逻辑电平。

### 时钟发生器

CY27410 的主要特性是从外部参考（IN1）或晶振生成频率。通过下列四个变量可以确定最后的输出频率：它们是输入 REF、DIV-R（R1）、FracN（DIV-N）分频器和后分频器（DIV-O）。通过下面的基本公式可以确定最后输出的时钟频率：

#### ■ 时钟发生器模式

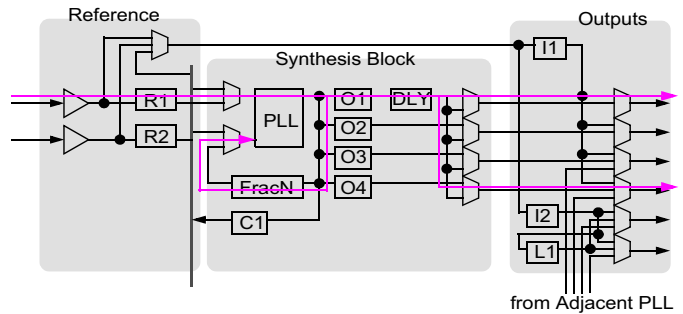
$$f_{OUT} = ((REF \times DIV-N) / DIV-R) / DIV-O$$

#### ■ PLL 旁路模式

$$f_{OUT} = REF / DIV-I \text{ 或 } REF / DIV-I / DIV-L$$

基本 PLL 框图如图 8 中所示。PLL 的每个输出通过一个延迟电路反馈到输出 MUX，若需要该电路可以为单独时钟提供延迟。

图 8. PLL 框图，时钟生成



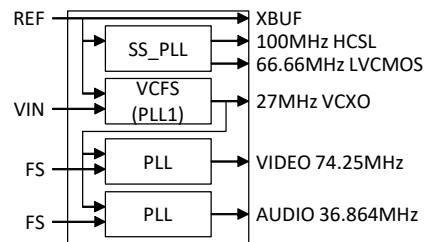
### PCIe（HCSL）时钟生成

在 PCIe 应用中，CY27410 提供了八个差分输出。这些输出在任何特定时间内都有相同的扩频。

### VCXO 和相关频率

CY27410 提供了 VCXO 功能和一个级联 PLL 选项，这样可以使用一个固定参考生成关键的频率。数字电视要求在音频和视频时钟前同时有一个 27 MHz 的 VCXO 信号，用以达到同步。该芯片的结构必须确保级联满足该要求，如图 9 中所示。

图 9. 级联 PLL



除了要求音频和视频时钟前有 27 MHz 的 VCXO 输入外，数字电视还需要复杂的分频器，以便生成输出频率。用于音频和视频信号的常用分频率如表 1 中所示。

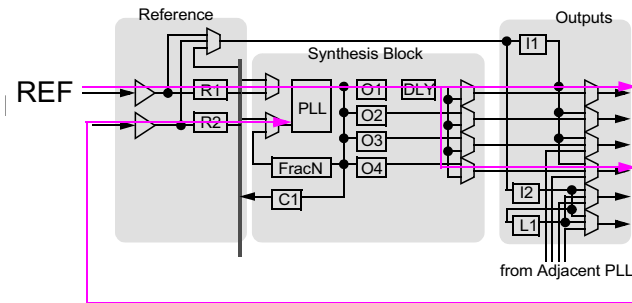
表 1. 音频和视频频率

| 输出频率        | 比率        |
|-------------|-----------|
| 74.17582418 | 91:250    |
| 33.8688     | 625:784   |
| 22.5792     | 1875:1568 |
| 16.9344     | 1250:784  |
| 11.2896     | 1875:784  |
| 5.6448      | 1875:392  |
| 36.864      | 375:512   |

### 零延迟缓冲器功能

CY27410 可作为单 PLL 模块中的输出的零延迟缓冲器 (ZDB) 使用。要实现该特性, 需要使用一个输出并将其作为反馈参考反馈给 PLL。通过在反馈环中提供分频器, 该器件也可以作为倍频 ZDB 使用 (参考图 10)。仅当 PLL 处于整数 N 的模式时, 才支持该功能。

图 10. ZDB 配置



CY27410 通过调调整数比中 R1 和 R2 的值来提供倍频 ZDB。如果这两个值是相同的, 则 CY27410 将用作简单的 ZDB。

### 早 / 晚输出相位

CY27410 支持分频器中的延迟电路, 以便使该电路提供 0 到  $4 \times VCO/2$  个周期。因此, 当使用该特性时, 输出将有一定的延迟相位或使其他输出发生相位。在 ZDB 模式下, 该功能也有效, 并为参考输入提供“提前”相位或“延迟”相位。请参考图 11 和图 12。

图 11. 早 / 延迟相位输出

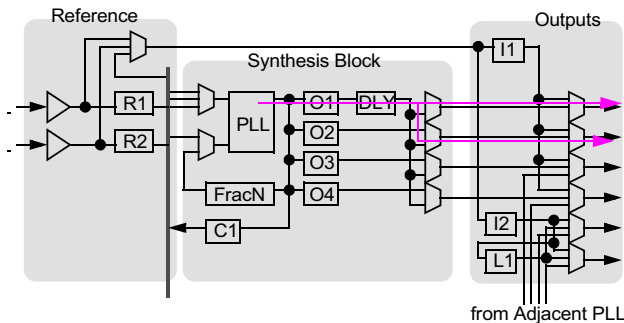
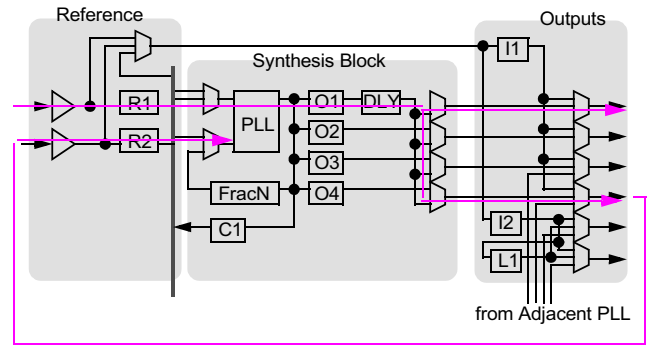


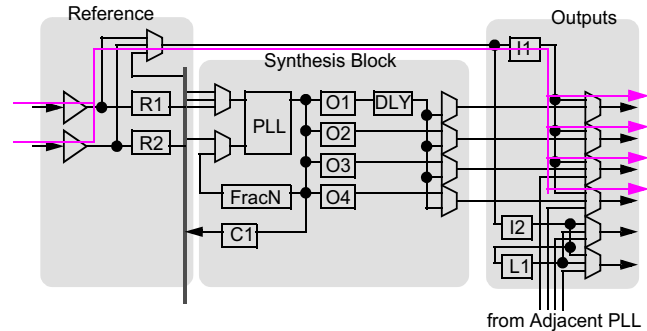
图 12. ZDB 配置中的早 / 晚相位



### 非零延迟缓冲器

CY27410 为 PLL 旁路模式支持电平转换和可选输入 (该模式通过旁路整个合成模块作为可配置的非零延迟缓冲器 (NZDB) 使用, 具体如图 13 所示。

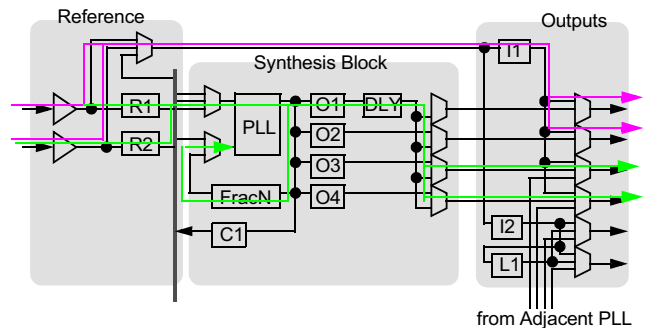
图 13. NZDB 配置



### 时钟发生器和缓冲器的结合

CY27410 提供了时钟生成器和缓冲器在器件中的结合。通过将输入和输出选择器配置为所需要的分开配置可实现此操作。这种应用的示例如图 14 中所示。

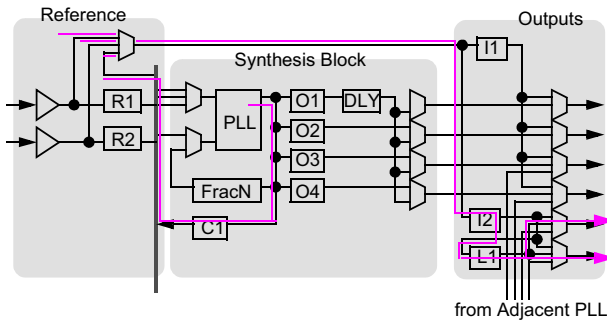
图 14. 时钟发生器和 NZDB



### 低频率输出

CY27410 为 LVCMOS 输出集成低频率的生成器计数器，这些计数器可用于看门狗时间和 / 或要求 kHz 级的时钟的应用，具体如图 15 所示。

图 15. 低频率输出选项



### 扩频

CY27410 支持扩频调制以降低电磁干扰 (EMI) 通过调制输出时钟的频率，以便在更广的频率范围内可以传播能量并降低系统 EMI。CY27410 实现调制传播的两种类型：线性和非线性。

该扩频适用于所有输出时钟、所有频率和 0.1% 到 5% 的范围内（步长为 0.1%）所有扩频数量。可以编程中心频率或向下扩频。

扩频的调制速率为 30 kHz 到 60 kHz。

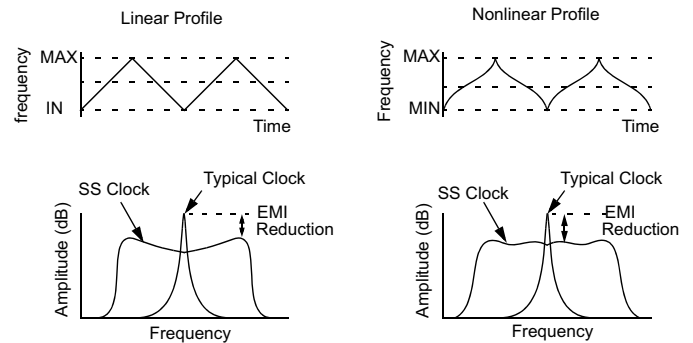
通过调制 FracN 能以数字方式生成扩频，因此所有参数都独立于过程、电压和温度的变化。生成相同 PLL 的所有频率都有相同的调制数量。

如图 16 中所示，与未调制信号相比，调制时钟谐波的振幅更低。振幅的降低取决于谐波数量和频率偏差或扩频。通过以下公式可以计算非线性分析降低的数值：

$$\text{dB} = 6.5 + 9 * \log_{10}(P) + 9 * \log_{10}(F)$$

其中 P 表示偏差百分比，F 表示频率（单位为兆赫兹），在该频率上降低数值得到测量。

图 16. 扩频分析



### VCXO (VCFS) 功能

CY27410 支持 VCXO 功能而不需要拉低晶振频率。通过根据 VIN 电平调制 FracN 计数器可以实现该功能，具体如图 17 中所示。因此，该操作被称为电压控制的频率移位 (VCFS)。

通过调制 FracN 分频器可以实现 VCFS 功能，这意味着所有参数都独立于过程、电压和温度的变化。

可以把 VCFS 操作和扩频相结合（请参考图 18）。

图 17. VCFS 分析

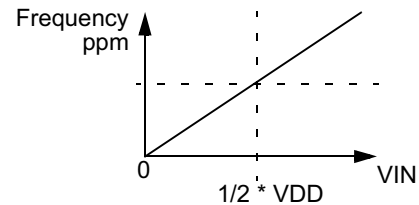
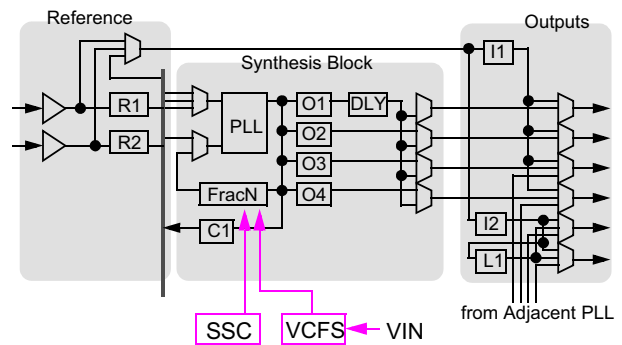


图 18. VCFS 和扩频





### 晶体振荡器

CY27410 允许将各种低成本晶振作为 IN1 (XIN/XOUT) 引脚上的参考振荡器使用，这样可以在单芯片中生成多种频率。CY27410 为一个晶振支持 8 pF 到 12 pF 的额定负载电容规范。如第 3 页上的图 2 所示，CY27410 集成了所有组件（如反馈电阻和调试电容），它们与一个特定的晶体一起按照下列规格振荡产生出时钟信号。

为了便于操作，该晶振规格被分为三个范围：

■ 低范围 ( $F_{NOM}$ ) = 8 到 12 MHz

■ 中范围 = 12 到 20 MHz

■ 高范围 = 20 到 48 MHz

表 2 中列出了相应的晶振参数。

**表 2. 晶振规格**

| 范围              | 最小频率 (MHz) | 最大频率 (MHz)       | 最大 R1 (欧姆) | 最大 DL (uW) |
|-----------------|------------|------------------|------------|------------|
| 低               | 8          | 12               | 150        | 100        |
| 中               | 12         | 20               | 70         | 100        |
| 高               | 20         | 48               | 50         | 100        |
| 全范围的 $C_L$ (pF) |            | 相关最大的 $C_0$ (pF) |            |            |
| 8               |            | 2                |            |            |
| 9               |            | 2                |            |            |
| 10              |            | 2                |            |            |
| 12              |            | 3                |            |            |

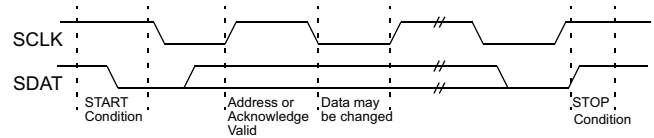
### 串行编程接口协议

CY27410 将 SDAT 和 SCLK 引脚用于 2 线串行接口，在读和写模式下，该接口的运行速度可达 400 Kb/s。这样可符合 I<sup>2</sup>C 总线的标准。基本的写协议为：

起始位；7 位器件地址；R/W 位；从设备的时钟确认 (ACK)；8 位存储器地址 (MA)；ACK；8 位数据；ACK；MA+1 中的 8 位数据（若需要）；ACK；MA+2 中的 8 位数据；一直重复操作，直到到达停止位为止。

基本的串行格式如图 19 所示。

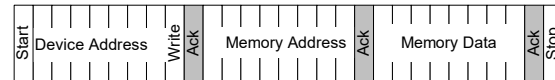
**图 19. 串行总线上的数据传输序列**



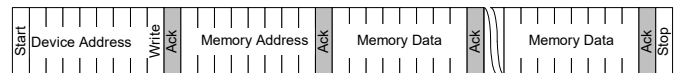
只在主设备的器件地址后面为完整的 8 位寄存器地址，并且随后是从设备的确认位 (SDAT = 0/LOW) 时，写操作才有效。接下来的八位必须包含用于存储目的的数据字。收到数据字后，从设备响应另一个确认位 (SDAT = 0/LOW) 并且主设备必须通过使用停止条件来结束写序列（参考图 20）。

**图 20. 数据帧的结构（写序列）**

#### 随机写入

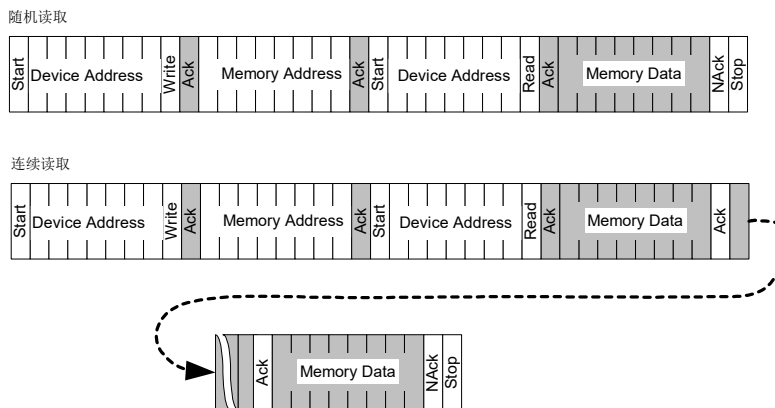


#### 连续写入



读操作与写操作的启动方式是相同的，但主设备地址的 R/W 位被设置为 ‘1’（高电平）。有两种基本的读操作：随机读取操作和连续读取操作。图 21 说明了这些操作。

**图 21. 数据帧的结构（读序列）**



通过随机读取操作，主设备可以访问存储器的所有位置。要执行这种读操作，需要先设置地址。在进行写操作过程中，将地址发送到 CY27410。发送地址后，主设备将在确认后生成一个启动条件。写操作在数据存储在地址前停止，而不是在设置内部地址指针前停止。接下来，主设备将重新发送控制字节（其中 R/W 字节被设置为 ‘1’）。

这时，将 CY27410 生成一个确认信号并发送 8 位字。主设备不会确认该传输，但会生成一个停止条件，从而使 CY27410 停止传输。

连续读取操作与随机读取操作的过程是相同的，但在传输第一个 8 位数据字后，主设备将发送一个确认信号，而不是生成一个停止条件。这样可使内部地址指针递增，然后输出下一个 8 位的数据字。通过继续发送确认信号，而不是生成停止条件，主设备将连续读取从设备存储器的整个内容。

## 引脚分布

48-QFN 封装中提供了 CY27410 器件。

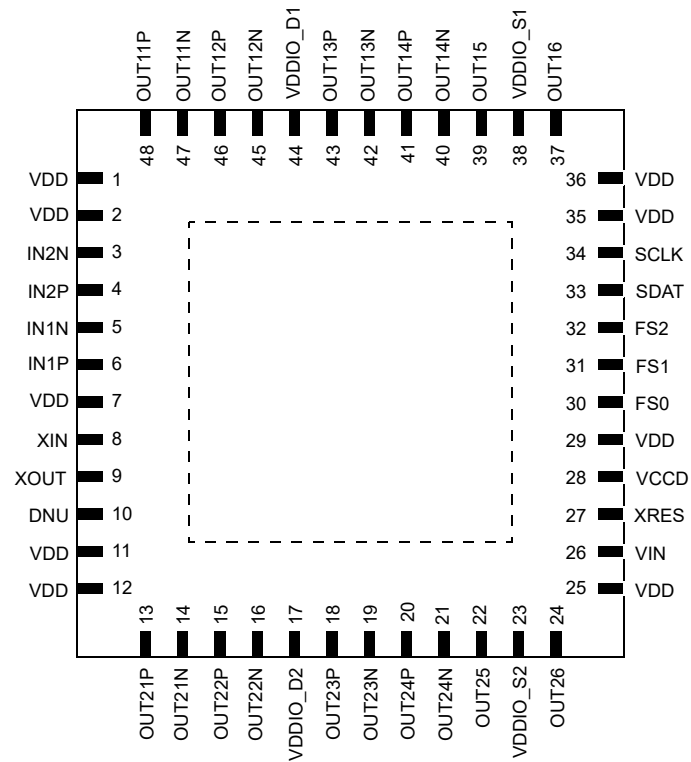
**表 3. CY27410 引脚定义**

| 名称     | I/O | 类型             | 引脚数量 | 引脚编号 | 功能   |
|--------|-----|----------------|------|------|--|
| XIN    | I   | 晶振             | 1    | 8    | 晶振的 XIN  |
| XOUT   | O   | 晶振             | 1    | 9    | 晶振的 XOUT   |
| IN1P   | I   | LVC MOS/<br>差分 | 1    | 6    | IN1 差分对的真输入。LVC MOS 输入的 IN1。需要使用在差分输入端的外部串联电容。                   |
| IN1N   | I   | 差分             | 1    | 5    | IN1 差分对的补充输入。对 LVC MOS 输入无效。需要用于差分输入的外部串联电容。                     |
| IN2P   | I   | LVC MOS/<br>差分 | 1    | 4    | 反馈 ZDB 模式的输入。<br>IN2 差分对的真输入。LVC MOS 输入的 IN2。需要用于差分输入的外部串联 CAPS。 |
| IN2N   | I   | 差分             | 1    | 3    | 反馈 ZDB 模式的输入。<br>IN2 差分对的补充输入。对 LVC MOS 输入无效。需要用于差分输入的外部串联 CAPS。 |
| OUT15  | O   | LVC MOS        | 1    | 39   | LVC MOS 时钟输出 15  |
| OUT16  | O   | LVC MOS        | 1    | 37   | LVC MOS 时钟输出 16  |
| OUT11P | O   | LVC MOS/<br>差分 | 1    | 48   | 输出 11 真输出（差分）或输出 11 LVC MOS                                      |
| OUT11N | O   | 差分             | 1    | 47   | 输出 11 补充输出（差分），在 LVC MOS 输出情况下与 OUT11P 相连                        |
| OUT12P | O   | LVC MOS/<br>差分 | 1    | 46   | 输出 12 真输出（差分）或 LVC MOS 时钟输出 12                                   |
| OUT12N | O   | 差分             | 1    | 45   | 输出 12 补充输出（差分），在 LVC MOS 输出情况下与 OUT12P 相连                        |
| OUT13P | O   | LVC MOS/<br>差分 | 1    | 43   | 输出 13 真输出（差分）或输出 13 LVC MOS                                      |
| OUT13N | O   | 差分             | 1    | 42   | 输出 13 补充输出（差分），在 LVC MOS 输出情况下与 OUT13P 相连                        |
| OUT14P | O   | LVC MOS/<br>差分 | 1    | 41   | 输出 14 真输出（差分）或输出 14 LVC MOS 输出                                   |
| OUT14N | O   | 差分             | 1    | 40   | 输出 14 补充输出（差分），在 LVC MOS 输出情况下与 OUT14P 相连                        |
| OUT21P | O   | LVC MOS/<br>差分 | 1    | 13   | 输出 21 真输出（差分）或输出 21 LVC MOS 输出                                   |
| OUT21N | O   | 差分             | 1    | 14   | 输出 21 补充输出（差分），在 LVC MOS 输出情况下与 OUT21P 相连                        |
| OUT22P | O   | LVC MOS/<br>差分 | 1    | 15   | 输出 22 真输出（差分）或输出 22 LVC MOS 输出                                   |
| OUT22N | O   | 差分             | 1    | 16   | 输出 22 补充输出（差分），在 LVC MOS 输出情况下与 OUT22P 相连                        |
| OUT23P | O   | LVC MOS/<br>差分 | 1    | 18   | 输出 23 真输出（差分）或输出 23 LVC MOS 输出                                   |
| OUT23N | O   | 差分             | 1    | 19   | 输出 23 补充输出（差分），在 LVC MOS 输出情况下与 OUT23P 相连                        |
| OUT24P | O   | LVC MOS/<br>差分 | 1    | 20   | 输出 24 真输出（差分）或输出 24 LVC MOS 输出                                   |

表 3. CY27410 引脚定义 (续)

| 名称       | I/O | 类型            | 引脚数量  | 引脚编号                            | 功能   |
|----------|-----|---------------|-------|---------------------------------|--|
| OUT24N   | O   | 差分            | 1     | 21                              | 输出 24 补充输出 (差分), 在 LVCMOS 输出情况下与 OUT24P 相连   |
| OUT25    | O   | LVCMOS        | 1     | 22                              | LVCMOS 时钟输出 25   |
| OUT26    | O   | LVCMOS        | 1     | 24                              | LVCMOS 时钟输出 26   |
| DNU      |     |               | 1     | 10                              | 用于测试目的的引脚  |
| SDAT     | I/O | LVCMOS/<br>开漏 | 1     | 33                              | I <sup>2</sup> C 串行数据引脚  |
| SCLK     | I   | LVCMOS        | 1     | 34                              | I <sup>2</sup> C 时钟引脚  |
| FS0      | I   | LVCMOS        | 1     | 30                              | 频率选择引脚   |
| FS1      | I   | LVCMOS        | 1     | 31                              | 频率选择引脚   |
| FS2      | I   | LVCMOS        | 1     | 32                              | 频率选择引脚   |
| VIN      | I   | 模拟            | 1     | 26                              | ADC 的电压输入  |
| VDDIO_D1 | PWR | PWR           | 1     | 44                              | 组 1 差分输出的电源  |
| VDDIO_S1 | PWR | PWR           | 1     | 38                              | 组 1 LVCMOS 输出的电源   |
| VDDIO_D2 | PWR | PWR           | 1     | 17                              | 组 2 差分输出的电源  |
| VDDIO_S2 | PWR | PWR           | 1     | 23                              | 组 2 LVCMOS 输出的电源   |
| VDD      | PWR | PWR           | 9     | 1、2、7、<br>11、12、25、<br>29、35、36 | 内核电源   |
| XRES     | I   | LVCMOS        | 1     | 27                              | 低电平有效 RESET (复位) 信号  |
| GND      | GND | GND           | E-PAD |                                 | 电源接地   |
| VCCD     | 模拟  | 模拟            | 1     | 28                              | 对于 1.8 V 操作, 连接至 VDD。<br>对于 2.5 V 或 3.3 V 操作, 请勿连接至 VDD; 在该引脚与 GND 之间连接 100 nF 电容。 |

图 22. 48-QFN 的引脚分布



## 电气规范

超过最大额定值可能会缩短器件的使用寿命。

### 最大绝对额定值

表 4. 最大绝对额定值

| 符号            | 说明            | 条件                                 | 最小值  | 典型值 | 最大值            | 单位   |
|---------------|---------------|------------------------------------|------|-----|----------------|------|
| $V_{DD}$      | 内核供电电压        |                                    | -0.5 | —   | 4.6            | V    |
| $V_{DDIOX}$   | 输出组的供电电压      |                                    | -0.5 | —   | 4.6            | V    |
| $V_{IN}$      | 输入电压          | 相对于 $V_{SS}$                       | -0.5 | —   | $V_{DD} + 0.4$ | V    |
| $V_{IN2C}$    | I2C 总线输入电压    | SCLK、SDAT 引脚                       | -0.5 | —   | 6              | V    |
| $T_S$         | 存储温度          | 非功能                                | -55  | —   | +150           | °C   |
| $ESD_{HBM}$   | ESD（人体模型）     | JEDEC JS-001-2012                  | 2000 | —   | —              | V    |
| $ESD_{CDM}$   | ESD（已充电的器件模型） | JEDEC JESD22-C101E                 | 500  | —   | —              | V    |
| $ESD_{MM}$    | ESD（机器模型）     | JEDEC JESD22-A115B                 | 200  | —   | —              | V    |
| LU            | 栓锁            | JEDEC JESD78D                      | —    | —   | 140            | mA   |
| UL-94         | 易燃性等级         | 垂直速率: V-0；厚度: 1/8 英寸               | —    | —   | 10             | ppm  |
| MSL           | 湿度级别          |                                    | —    | 3   | —              |      |
| $\theta_{JA}$ | 封装热阻          | PCB 尺寸: 76 x 114 x 1.6 mm、4 层、0 气流 |      | 13  |                | °C/W |

### 工作温度

表 5. 工作温度

| 符号    | 说明   | 条件 | 最小值 | 典型值 | 最大值  | 单位 |
|-------|------|----|-----|-----|------|----|
| $T_A$ | 环境温度 |    | -40 | —   | +85  | °C |
| $T_J$ | 结温   |    | -40 | —   | +100 | °C |

### 工作电源

表 6. 工作电源

| 符号           | 说明            | 条件   | 最小值  | 典型值  | 最大值   | 单位 |
|--------------|---------------|--|------|------|-------|----|
| $V_{DD}$     | 内核供电电压        | 1.8 V 范围: $\pm 5\%$  | 1.71 | 1.80 | 1.89  | V  |
|              |               | 2.5 V 范围: $\pm 10\%$   | 2.25 | 2.50 | 2.75  | V  |
|              |               | 3.3 V 范围: 5%   | 3.13 | 3.3  | 3.46  | V  |
| $V_{DDIO}$   | 输出供电电压        | 1.8 V 范围: $\pm 5\%$  | 1.71 | 1.80 | 1.89  | V  |
|              |               | 2.5 V 范围: $\pm 10\%$   | 2.25 | 2.50 | 2.75  | V  |
|              |               | 3.3 V 范围: 5%   | 3.13 | 3.30 | 3.46  | V  |
| $I_{DDO}$    | 每对的电源电流       | LVPECL, 输出对终端到 $V_{TT}$ ( $V_{DD}-2\text{ V}$ ) 的阻抗为 50 $\Omega$   | —    | —    | 38.0  | mA |
|              |               | LVPECL, 输出对终端到 $V_{TT}$ ( $V_{DD}-1.7\text{ V}$ ) 的阻抗为 50 $\Omega$ | —    | —    | 27.0  | mA |
| $I_{DDO}$    | 每对的电源电流       | LVDS, 输出对终端阻抗为 100 $\Omega$  | —    | —    | 13.25 | mA |
| $I_{DDO}$    | 每对的电源电流       | HCSL, 输出对终端对地的阻抗范围为 33 $\Omega$ 到 49.9 $\Omega$                    | —    | —    | 26.5  | mA |
| $I_{DDO}$    | 每对的电源电流       | CML, 输出对终端到 VDD 的阻抗为 50 $\Omega$                                   | —    | —    | 18.0  | mA |
| $I_{DDO}$    | 每对的电源电流       | CMOS、10 pF 负载、33 MHz   | —    | —    | 6.0   | mA |
| $I_{DDPLL1}$ | 每个 PLL 的电流消耗  | 包含 DIVC  | —    | —    | 26.5  | mA |
| $I_{DDXO}$   | XO/ 输入模块的电流消耗 | XO 或 IN1 输入缓冲器打开, IN2 输入缓冲器关闭                                      | —    | —    | 3.5   | mA |

**表 6. 工作电源 (续)**

| 符号             | 说明          | 条件   | 最小值 | 典型值 | 最大值  | 单位      |
|----------------|-------------|--|-----|-----|------|---------|
| $I_{DDPM}$     | 电源管理模块的电流消耗 |  | —   | —   | 2.5  | mA      |
| $t_{PLLLOCK}$  | PLL 锁定时间    | 从使能 PLL 到 PLL 稳定的时间 (PLL 达 $\pm 1$ ppm 准确度)  | —   | —   | 250  | $\mu$ s |
| $t_{LOCK}$     | 器件的上电时间     | 从指定的最小 $V_{DD}$ 到输出基于 XO 的时钟发生器模式稳定间的时间。在外部时钟输入情况中, $t_{LOCK}$ 将以晶振振荡器的启动时间降低 ( $t_{OSCSTART}$ )。如果参考电压有效, 并启动时为稳定, 则该规范会有效。<br>对于比 $t_{PU\_SR}$ 规范更低的电源升降, 规定用户在商店器件使用 XRES。上电时间是从释放 XRES 到输出稳定计算的。 | —   | —   | 10.0 | ms      |
| $t_{OSCSTART}$ | 晶体振荡器启动时间   | 从晶体振荡器上电到晶体振荡器稳定的时间。晶振 $FNOM = 25$ MHz、 $C1 > 1$ fF  | —   | —   | 4    | ms      |
| $t_{PU\_SR}$   | 上电期间电源的转换速率 | 电源的升降速率, 以使 $V_{DD}$ 达到指定的最小电压 (电源升降必须是单调的)。对于比 1 V/ms 更慢的电源升降, 上电时需要使用 XRES 从外部将器件置于复位状态, 并在 $V_{DD}$ 达到最小规范后释放该 XRES。  | 1   | —   | 67   | V/ms    |

## 直流芯片级规范

**表 7. 直流电气规范输入**

| 符号             | 说明              | 条件                              | 最小值  | 典型值 | 最大值  | 单位         |
|----------------|-----------------|---------------------------------|------|-----|------|------------|
| $V_{IH33}$     | 输入高电压           | LVC MOS 和逻辑输入, $V_{DD} = 3.3$ V | 2.0  | —   | —    | V          |
| $V_{IH25}$     | 输入高电压           | LVC MOS 和逻辑输入, $V_{DD} = 2.5$ V | 1.7  | —   | —    | V          |
| $V_{IH18}$     | 输入高电压           | LVC MOS 和逻辑输入, $V_{DD} = 1.8$ V | 1.1  | —   | —    | V          |
| $V_{IL33}$     | 输入低电压           | LVC MOS 和逻辑输入, $V_{DD} = 3.3$ V | —    | —   | 0.8  | V          |
| $V_{IL25}$     | 输入低电压           | LVC MOS 和逻辑输入, $V_{DD} = 2.5$ V | —    | —   | 0.7  | V          |
| $V_{IL18}$     | 输入低电压           | LVC MOS 和逻辑输入, $V_{DD} = 1.8$ V | —    | —   | 0.5  | V          |
| $V_{DIFF}$     | 差分输入            | LVDS、CML、PECL、HCSL。差分幅度, 峰值。    | 0.30 | —   | 1.45 | V          |
| $DC_{DIFF}$    | 占空比, 差分输入       | 在交叉点上测量                         | 40   | 50  | 60   | %          |
| $DC_{LVC MOS}$ | 占空比, LVC MOS 输入 | 在电压等于 $V_{DD}$ 的一半时进行测量         | 40   | 50  | 60   | %          |
| $I_{IH}$       | 输入高电流           | 输入 = $V_{DD}$                   | —    | —   | 150  | $\mu$ A    |
| $I_{IL}$       | 输入低电流           | 输入 = GND                        | –150 | —   | —    | $\mu$ A    |
| $C_{IN}$       | 输入电容, IN1 和 IN2 | 在 10 MHz 的条件下进行测量, 差分           | —    | —   | 3.0  | pF         |
| $V_{PPSINE}$   | 交流输入摆幅的峰值       | 分割正弦波, 交流电通过 1000 pF 的电容耦合。     | 0.8  | 1.0 | 1.2  | V          |
| $R_P$          | 输入下拉电阻          | LVC MOS 输入                      | 75   | 115 | 170  | k $\Omega$ |

## 直流输出规范

表 8. LVCMOS 输出的直流规范

| 符号       | 说明      | 条件      | 最小值            | 典型值 | 最大值 | 单位 |
|----------|---------|---------|----------------|-----|-----|----|
| $V_{OH}$ | 输出高电平电压 | 4 mA 负载 | $V_{DDIO}-0.3$ | —   | —   | V  |
| $V_{OL}$ | 输出低电平电压 | 4 mA 负载 | —              | —   | 0.3 | V  |

表 9. LVDS 输出的直流规范 ( $V_{DDIO} = 2.5\text{ V}$  或  $3.3\text{ V}$ )

| 符号               | 说明                      | 条件  | 最小值   | 典型值   | 最大值   | 单位            |
|------------------|-------------------------|---|-------|-------|-------|---------------|
| $V_{PP}$         | LVDS 输出交流单端峰峰值          | 8 MHz 到 325 MHz                                     | 250   | —     | 510   | mV            |
| $V_{PP}$         | LVDS 输出交流单端峰峰值          | 325 MHz 到 700 MHz                                   | 200   | —     | 510   | mV            |
| $\Delta V_{PP}$  | 补充输出状态间的 $V_{PP}$ 发生改变  |   | —     | —     | 50    | mV            |
| $V_{OCM}$        | 输出共模电压                  | 只有电压等于 2.5 V 或 3.3 V 时才能满足。<br>电压等于 1.8 V 操作时需要交流耦合 | 1.125 | 1.200 | 1.375 | V             |
| $\Delta V_{OCM}$ | 补充输出状态间的 $V_{OCM}$ 发生改变 |   | —     | —     | 50    | mV            |
| $I_{OZ}$         | 输出漏电流                   | 输出关闭, $V_{OUT} = 0.75\text{ V} \sim 1.75\text{ V}$  | -20   | —     | 20    | $\mu\text{A}$ |

表 10. LVPECL 输出的直流规范 ( $V_{DDIO} = 2.5\text{ V}$  或  $3.3\text{ V}$ )

| 符号       | 说明               | 条件  | 最小值              | 典型值 | 最大值              | 单位 |
|----------|------------------|---|------------------|-----|------------------|----|
| $V_{OH}$ | 输出高电平电压          | 终端电阻 = $50\ \Omega \sim V_{TT}$ ( $V_{DDIO}-2.0\text{ V}$ ) | $V_{DDIO}-1.165$ | —   | $V_{DDIO}-0.800$ | V  |
| $V_{OL}$ | 输出低电平电压          | 终端电阻 = $50\ \Omega \sim V_{TT}$ ( $V_{DDIO}-2.0\text{ V}$ ) | $V_{DDIO}-2.0$   | —   | $V_{DDIO}-1.620$ | V  |
| $V_{PP}$ | LVPECL 输出交流单端峰峰值 | $f_{OUT} = 8\text{ MHz} \sim 150\text{ MHz}$                | 450              | —   | —                | mV |
|          |                  | $F_{OUT} = 150\text{ MHz} \sim 700\text{ MHz}$              | 320              | —   | —                | mV |

表 11. CML 输出的直流规范 ( $V_{DDIO} = 2.5\text{ V}$  或  $3.3\text{ V}$ )

| 符号       | 说明            | 条件   | 最小值            | 典型值 | 最大值            | 单位 |
|----------|---------------|--|----------------|-----|----------------|----|
| $V_{OH}$ | 输出高电平电压       | 终端电阻 = $50\ \Omega \sim V_{DDIO}$            | $V_{DDIO}-0.1$ | —   | —              | V  |
| $V_{OL}$ | 输出低电平电压       | 终端电阻 = $50\ \Omega \sim V_{DDIO}$            | $V_{DDIO}-0.7$ | —   | $V_{DDIO}-0.3$ | V  |
| $V_{PP}$ | CML 输出交流单端峰峰值 | $f_{OUT} = 8\text{ MHz} \sim 150\text{ MHz}$ | 250            | —   | 700            | mV |
| $V_{PP}$ | CML 输出交流单端峰峰值 | $150 < f_{OUT} < 700\text{ MHz}$             | 200            | —   | 600            | mV |



**表 12. HCSL 输出的直流规范 ( $V_{DDIO} = 2.5\text{ V}$  或  $3.3\text{ V}$ )**

| 符号               | 说明                         | 条件         | 最小值 | 典型值 | 最大值  | 单位 |
|------------------|----------------------------|------------|-----|-----|------|----|
| $V_{OCM}$        | 通用模式的输出电压                  | 通用模式       | 350 | —   | 400  | mV |
| $V_{OHDIFF}$     | 差分输出高电平电压                  | 在差分波形上进行测量 | 150 | —   | —    | mV |
| $V_{OLDIFF}$     | 差分输出低电平电压                  | 在差分波形上进行测量 | —   | —   | -150 | mV |
| $V_{CROSS}$      | 交叉点处的绝对电压                  | 在单端波形上进行测量 | 250 | —   | 550  | mV |
| $V_{CROSSDELTA}$ | $V_{CROSS}$ 在所有时钟上升沿上发生的变化 | 在单端波形上进行测量 | —   | —   | 140  | mV |

**表 13. 输入频率范围**

| 符号              | 说明           | 条件                   | 最小值 | 典型值 | 最大值 | 单位  |
|-----------------|--------------|----------------------|-----|-----|-----|-----|
| $F_{CRYSTAL}$   | 晶振频率         | 基本的 AT CUT 晶振        | 8   | —   | 48  | MHz |
| $F_{REFERENCE}$ | 参考频率         | PLL 的内部参考            | 8   | —   | 40  | MHz |
| $F_{INCMOS}$    | LVC MOS 输入频率 | 缓冲器模式，所有 PLL 均被关闭    | 8   | —   | 250 | MHz |
| $F_{INCMOS}$    | LVC MOS 输入频率 | 缓冲器模式，一个或多个 PLL 有效   | 8   | —   | 125 | MHz |
| $F_{INCMOS}$    | LVC MOS 输入频率 | CLKGEN 模式            | 8   | —   | 250 | MHz |
| $F_{INCMOS}$    | LVC MOS 输入频率 | ZDB 模式，整数 N 配置中的 PLL | 8   | —   | 250 | MHz |
| $F_{INDIFF}$    | 差分时钟输入频率     | 缓冲器模式，所有 PLL 均被关闭    | 8   | —   | 700 | MHz |
| $F_{INDIFF}$    | 差分时钟输入频率     | 缓冲器模式，一个或多个 PLL 有效   | 8   | —   | 125 | MHz |
| $F_{INDIFF}$    | 差分时钟输入频率     | CLKGEN 模式            | 8   | —   | 300 | MHz |
| $F_{INDIFF}$    | 差分时钟输入频率     | ZDB 模式，整数 N 配置中的 PLL | 8   | —   | 300 | MHz |
| $F_{INCAS}$     | 级联时钟频率       | 缓冲器模式中的内部级联频率        | 8   | —   | 125 | MHz |

### 交流输入时钟规范

**表 14. 交流输入时钟电气规范**

| 符号           | 说明                   | 条件   | 最小值 | 典型值 | 最大值 | 单位 |
|--------------|----------------------|--|-----|-----|-----|----|
| $t_{CMOSDC}$ | LVC MOS 输入占空比        | 在电压等于 $V_{DD}$ 的一半时进行测量，交流为 20% ~ 80%，功能方面 | 40  | 50  | 60  | %  |
| $t_{DIFFDC}$ | 差分输入占空比              | 在电压等于 $V_{OCM}$ 时进行测量，交流为 20% ~ 80%，功能方面   | 40  | 50  | 60  | %  |
| $t_{RFCMOS}$ | LVC MOS 的输入上升 / 下降时间 | 在 $V_{DD}$ 的 20% ~ 80% 区间进行测量              | —   | —   | 4   | ns |

### 交流输出规范

**表 15. 交流电气规范的 LVC MOS 输出。负载：15 pF < 100 MHz，7.5 pF < 200 MHz，5 pF > 200 MHz**

| 符号               | 说明        | 条件   | 最小值 | 典型值 | 最大值 | 单位  |
|------------------|-----------|--|-----|-----|-----|-----|
| <b>通用的交流电气规范</b> |           |  |     |     |     |     |
| $t_{RFCMOS}$     | 上升 / 下降时间 | $f_{OUT} < 100\text{ MHz}$ ，20% ~ 80%            | —   | —   | 2.0 | ns  |
| $t_{RFCMOS}$     | 上升 / 下降时间 | $f_{OUT} < 200\text{ MHz}$ ，20% ~ 80%            | —   | —   | 1.5 | ns  |
| $t_{RFCMOS}$     | 上升 / 下降时间 | $f_{OUT} < 250\text{ MHz}$ ，20% ~ 80%            | —   | —   | 1.3 | ns  |
| $t_{SKEW}$       | 输出时滞的输出   | 相等负载，在 $1/2 V_{IOX}$ 的条件下进行测量，位于一组中，从同一个 PLL 派生的 | —   | —   | 150 | ps  |
| <b>缓冲器模式</b>     |           |  |     |     |     |     |
| $f_{OUT}$        | 输出频率      | 所有 PLL 均被关闭                                      | 8   | —   | 250 | MHz |
| $f_{OUT}$        | 输出频率      | 一个或多个 PLL 正在运行                                   | 8   | —   | 125 | MHz |

**表 15. 交流电气规范的 LVCMOS 输出。负载: 15 pF < 100 MHz, 7.5 pF < 200 MHz, 5 pF > 200 MHz (续)**

| 符号  | 说明          | 条件  | 最小值   | 典型值 | 最大值 | 单位  |
|---|-------------|---|-------|-----|-----|-----|
| $t_{DC}$                                      | 输出占空比       | 在电压等于 $V_{IOX}$ 的一半时进行测量。<br>输入直流 = 50%   | 40    | 50  | 60  | %   |
| $t_{JIT\_ADD}$                                | 附加 RMS 相位抖动 | $f_{OUT} = 156.25$ MHz, 12 k ~ 20 MHz 偏移,<br>DIV1 = 1。输入转换速率 (20% ~ 80% $V_{DD}$ )<br>为 1.8 V/ns  | —     | 0.7 | 1.0 | ps  |
| $t_{DELAY}$                                   | 传输延迟        | 输出延迟的输入   | —     | —   | 7.0 | ns  |
| <b>ZDB 模式 (IN1 = REF, 差分或 LVCMOS 反馈到 IN2)</b> |             |   |       |     |     |     |
| $f_{OUT}$                                     | 输出频率        |   | 8     | —   | 250 | MHz |
| $t_{DC}$                                      | 输出占空比       | 在电压等于 $V_{IOX}$ 的一半时进行测量。<br>$f_{OUT} > 200$ MHz、 $V_{DDIO} = 2.5$ V 或 3.3 V。<br>$f_{OUT} > 100$ MHz、 $V_{DDIO} = 1.8$ V  | 40    | 50  | 60  | %   |
| $t_{DC}$                                      | 输出占空比       | 在电压等于 $V_{IOX}$ 的一半时进行测量。<br>$f_{OUT} \leq 200$ MHz $V_{DDIO} = 2.5$ V 或 3.3 V。<br>$f_{OUT} \leq 100$ MHz、 $V_{DDIO} = 1.8$ V   | 45    | 50  | 55  | %   |
| $t_{OCCJ}$                                    | 周期间抖动       | 峰值, 在一万周期内以 $1/2 V_{IOX}$ 进行测量,<br>$f_{OUT} = 100$ MHz。输入转换速率<br>(20%–80% $V_{DD}$ ) 为 1.8V/ns。与配置相关  | —     | —   | 50  | ps  |
| $t_{PJ}$                                      | 周期抖动        | 峰峰值, 在一万周期内以 $1/2 V_{IOX}$ 进行测<br>量, $f_{OUT} = 100$ MHz。输入转换速率<br>(20%–80% $V_{DD}$ ) 为 1.8 V/ns。与配置相关   | —     | —   | 100 | ps  |
| $t_{PDELAY}$                                  | 传输延迟        | 在电压为 $1/2 V_{IOX} \pm 250$ ps 时进行测量, 不<br>包括板上添加的任何延迟 (从输出到输<br>入)。<br>板上的延迟 ( $t_{DELAY\_BOARD}$ ) 最多不能超过<br>2 ns。<br>ZDB 模式的总延迟为 $t_{DELAY\_BOARD} +$<br>$t_{PDELAY}$ | –350  | —   | 350 | ps  |
| <b>CLKGEN 模式</b>                              |             |   |       |     |     |     |
| $f_{OUT}$                                     | 输出频率        |   | 3     | —   | 250 | MHz |
| $f_{OUTL}$                                    | 低频输出        | 当 DIVL 的最大输入频率为 48 MHz 时, 则<br>支持 1 kHz   | 0.001 | —   | 50  | MHz |
| $t_{DC}$                                      | 输出占空比       | 在电压等于 $V_{IOX}$ 的一半时进行测量,<br>$f_{OUT} > 200$ MHz、 $V_{DDIO} = 2.5$ V 或 3.3 V。<br>$f_{OUT} > 100$ MHz、 $V_{DDIO} = 1.8$ V  | 40    | 50  | 60  | %   |
| $t_{DC}$                                      | 输出占空比       | 在电压等于 $V_{IOX}$ 的一半时进行测量。<br>$f_{OUT} \leq 200$ MHz $V_{DDIO} = 2.5$ V 或 3.3 V。<br>$f_{OUT} \leq 100$ MHz、 $V_{DDIO} = 1.8$ V   | 45    | —   | 55  | %   |
| $t_{CCJ}$                                     | 周期间抖动       | 峰值, 在一万周期内以 $1/2 V_{IOX}$ 进行测量,<br>$f_{OUT} = 100$ MHz。与配置相关  | —     | —   | 50  | ps  |
| $t_{PJ}$                                      | 周期抖动        | 峰峰值, 在一万周期内以 $1/2 V_{IOX}$ 进行测<br>量, $f_{OUT} = 100$ MHz。输入参考为 25 MHz<br>的晶振。与配置相关。   | —     | —   | 100 | ps  |
| <b>SSC 模式</b>                                 |             |   |       |     |     |     |
| $f_{OUT}$                                     | 输出频率        |   | 3     | —   | 250 | MHz |
| $t_{DC}$                                      | 输出占空比       | 在电压等于 $V_{IOX}$ 的一半时进行测量,<br>$f_{OUT} > 200$ MHz、 $V_{DDIO} = 2.5$ V 或 3.3 V。<br>$f_{OUT} > 100$ MHz、 $V_{DDIO} = 1.8$ V  | 40    | 50  | 60  | %   |

**表 15. 交流电气规范的 LVC MOS 输出。负载: 15 pF < 100 MHz, 7.5 pF < 200 MHz, 5 pF > 200 MHz (续)**

| 符号        | 说明    | 条件  | 最小值 | 典型值 | 最大值 | 单位 |
|-----------|-------|---|-----|-----|-----|----|
| $t_{DC}$  | 输出占空比 | 在电压等于 $V_{IOX}$ 的一半时进行测量,<br>$f_{OUT} \leq 200 \text{ MHz}$ $V_{DDIO} = 2.5 \text{ V}$ 或 $3.3 \text{ V}$ 。<br>$f_{OUT} \leq 100 \text{ MHz}$ 、 $V_{DDIO} = 1.8 \text{ V}$ | 45  | 50  | 55  | %  |
| $t_{CCJ}$ | 周期间抖动 | 峰值, 在一万周期内以 $1/2 V_{IOX}$ 进行测量,<br>$f_{OUT} = 100 \text{ MHz}$ , 扩频为 0.5%。输入参考为<br>25 MHz 的晶振。与配置相关。  | —   | —   | 100 | ps |

**表 16. 交流电气规范，差分输出（LVPECL、CML、LVDS）<sup>[1]</sup>**

| 符号                                     | 说明                | 条件  | 最小值  | 典型值 | 最大值  | 单位     |
|--|-------------------|---|------|-----|------|--------|
| <b>通用的交流电气规范</b>                       |                   |   |      |     |      |        |
| $t_{RF}$                               | PECL 输出的上升 / 下降时间 | 交流电平从 20% 到 80%，并在频率为 622.08 MHz 时进行测量  | —    | —   | 450  | ps     |
| $t_{RF}$                               | CML 输出的上升 / 下降时间  | 交流电平从 20% 到 80%，并在频率为 622.08 MHz 时进行测量  | —    | —   | 450  | ps     |
| $t_{RF}$                               | LVDS 输出的上升 / 下降时间 | 交流电平从 20% 到 80%，并在频率为 622.08 MHz 时进行测量  | —    | —   | 450  | ps     |
| $t_{SK1}$                              | 输出时滞              | 四对差分输出位于一组中，从相同 PLL 派生，具有相同的标准和负载条件   | —    | —   | 100  | ps     |
| <b>缓冲器模式</b>                           |                   |   |      |     |      |        |
| $t_{ODC}$                              | 输出占空比             | 差分输入信号的占空比为 50%，差分信号的频率为 622.08 MHz   | 45   | 50  | 55   | %      |
| $t_{ODC}$                              | 输出占空比             | LVC MOS 输入信号的占空比为 50%，差分信号的频率为 250 MHz  | 40   | 50  | 60   | %      |
| $t_{PD}$                               | 传输延迟              | 在频率为 156.25 MHz 的差分信号上进行测量  | —    | —   | 4    | ns     |
| $t_{JIT\_ADD}$                         | 附加 RMS 相位抖动       | $f_{OUT} = 156.25$ MHz，偏移为 12 k 到 20 MHz，DIV1 = 1。输入转换速率为 4 V/ns，差分幅度为 400 mV。  | —    | —   | 400  | fs     |
| <b>ZDB 模式（REF = IN1，1 对输出被反馈到 IN2）</b> |                   |   |      |     |      |        |
| $t_{ODC}$                              | 输出占空比             | 在频率为 100 MHz 的差分信号上进行测量   | 45   | 50  | 55   | %      |
| $t_{CCJ}$                              | 周期抖动              | 峰值，在一万周期中以差分信号进行测量， $f_{OUT} = 156.25$ MHz。在差分幅度为 400 mV（所有差分输出都有效）的条件下，输入转换速率为 4 V/ns  | —    | —   | 50   | ps     |
| $t_{PJ}$                               | 周期抖动              | 峰峰值，在一万周期内以差分信号进行测量， $f_{OUT} = 156.25$ MHz。在差分幅度为 400 mV（所有差分输出都有效）的条件下，输入转换速率为 4 V/ns   | —    | —   | 50   | ps     |
| $t_{PD}$                               | 传输延迟              | 在差分信号上进行测量， $f_{OUT} = 156.25$ MHz， $\pm 250$ ps 不包含添加在板上的任何延迟（从输出到输入）。板上的延迟时间（ $t_{DELAY\_BOARD}$ ）最多不能超过 2 ns。<br>ZDB 模式的总延迟为 $t_{DELAY\_BOARD} + t_{PDELAY}$ | −300 | —   | 300  | ps     |
| $t_{JRMS}$                             | RMS 相位抖动          | $f_{IN} = f_{OUT} = 156.25$ MHz，偏移为 12 k 到 20 MHz。在差分幅度为 400 mV 的条件下，输入转换速率为 4 V/ns。  | —    | 0.7 | 1.0  | ps     |
| PNg10k                                 | 相位噪声，偏移 = 10 kHz  | $f_{IN} = f_{OUT} = 156.25$ MHz。在差分幅度为 400 mV 的条件下，输入转换速率为 4 V/ns。  | —    | —   | −110 | dBc/Hz |
| PNg100k                                | 相位噪声，偏移 = 100 kHz | $f_{IN} = f_{OUT} = 156.25$ MHz。在差分幅度为 400 mV 的条件下，输入转换速率为 4 V/ns。  | —    | —   | −119 | dBc/Hz |
| PNg1M                                  | 相位噪声，偏移 = 1 MHz   | $f_{IN} = f_{OUT} = 156.25$ MHz。在差分幅度为 400 mV 的条件下，输入转换速率为 4 V/ns。  | —    | —   | −131 | dBc/Hz |
| PNg10M                                 | 相位噪声，偏移 = 10 MHz  | $f_{IN} = f_{OUT} = 156.25$ MHz。在差分幅度为 400 mV 的条件下，输入转换速率为 4 V/ns。  | —    | —   | −147 | dBc/Hz |

**注释：**

1. 差分输出的 AC 参数仅针对差分输出得到保证。LVC MOS 被关闭。

**表 16. 交流电气规范, 差分输出 (LVPECL、CML、LVDS) [1] (续)**

| 符号                | 说明                 | 条件   | 最小值 | 典型值 | 最大值  | 单位     |
|-------------------|--------------------|--|-----|-----|------|--------|
| PN-SPUR           | Spur               | 频率偏移等于和大于 PLL 的更新速率。在差分幅度为 400 mV 的条件下, 输入转换速率为 4 V/ns。                                    | —   | —   | −65  | dBc/Hz |
| <b>CLKGEN 模式</b>  |                    |  |     |     |      |        |
| t <sub>ODC</sub>  | 输出占空比              | 在频率为 622.08 MHz 的差分信号上进行测量   | 45  | 50  | 55   | %      |
| t <sub>CCJ</sub>  | 周期间抖动              | 峰值, 在差分信号上进行测量, 频率为 156.25 MHz, 测量超过一万个周期。输入频率 (24 MHz–40 MHz) 晶振。(所有差分输出都有效)              | —   | —   | 50   | ps     |
| t <sub>PJ</sub>   | 周期抖动               | 峰峰值, 在差分信号上进行测量, 频率为 156.25 MHz, 测量超过一万个周期。输入频率 (24 MHz ~ 40 MHz) 晶振。(所有差分输出都有效)           | —   | —   | 50   | ps     |
| t <sub>JRMS</sub> | RMS 相位抖动           | f <sub>OUT</sub> = 156.25 MHz, 偏移为 12 k 到 20 MHz   | —   | 0.7 | 1.0  | ps     |
| PNg10k            | 相位噪声, 偏移 = 10 kHz  | f <sub>OUT</sub> = 156.25 MHz。输入参考为 25 MHz 的晶振   | —   | —   | −110 | dBc/Hz |
| PNg100k           | 相位噪声, 偏移 = 100 kHz | f <sub>OUT</sub> = 156.25 MHz。输入参考为 25 MHz 的晶振   | —   | —   | −119 | dBc/Hz |
| PNg1M             | 相位噪声, 偏移 = 1 MHz   | f <sub>OUT</sub> = 156.25 MHz。输入参考为 25 MHz 的晶振   | —   | —   | −131 | dBc/Hz |
| PNg10M            | 相位噪声, 偏移 = 10 MHz  | f <sub>OUT</sub> = 156.25 MHz。输入参考为 25 MHz 的晶振   | —   | —   | −147 | dBc/Hz |
| PN-SPUR           | Spur               | 频率偏移等于和大于 PLL 的更新速率  | —   | —   | −65  | dBc/Hz |
| <b>SSC 模式</b>     |                    |  |     |     |      |        |
| t <sub>CCJ</sub>  | 周期间抖动              | 峰值, 在差分信号上进行测量, 频率为 156.25 MHz, 测量超过一万个周期。输入频率 (24 MHz 到 40 MHz) 晶振, 扩频为 0.5% (所有差分输出都有效)。 | —   | —   | 70   | ps     |

**表 17. 交流电气规范的 HSCL 输出 [2、3]**

| 符号                      | 说明                       | 条件                                  | 最小值   | 典型值 | 最大值    | 单位   |
|-------------------------|--------------------------|-------------------------------------|-------|-----|--------|------|
| <b>通用的交流电气规范</b>        |                          |                                     |       |     |        |      |
| f <sub>OC</sub>         | 输出频率                     | HSCL                                | 96    | —   | 400    | MHz  |
| E <sub>R</sub>          | 上升沿速率                    | 在差分波形上进行测量, 电压范围为 −150 mV 到 +150 mV | 0.6   | —   | 4      | V/ns |
| E <sub>F</sub>          | 下降沿速率                    | 在差分波形上进行测量, 电压范围为 −150 mV 到 +150 mV | 0.6   | —   | 4      | V/ns |
| T <sub>STABLE</sub>     | 采用 V <sub>RB</sub> 之前的时间 | 在差分波形上进行测量, 电压范围为 −150 mV 到 +150 mV | 500   | —   | —      | ps   |
| T <sub>PERIOD_AVG</sub> | 平均时钟周期准确度, 频率为 100 MHz   | 在差分波形上进行测量, 扩频打开, 0.5% 向下扩频         | −300  | —   | 2800   | ppm  |
| T <sub>PERIOD_ABS</sub> | 绝对周期, 100 MHz            | 在差分波形上进行测量, 扩频打开, 0.5% 向下扩频         | 9.874 | —   | 10.203 | ns   |

**注释:**

- 差分输出的 AC 参数仅针对差分输出得到保证。LVCMOS 被关闭。
- 所有输出时钟都符合 100 MHz HSCL 标准。由 PCIE 抖动滤波器组合产生的抖动 (该抖动滤波器组合生成最大抖动)。

表 17. 交流电气规范的 HSCL 输出 [2、3] (续)

| 符号                                      | 说明                    | 条件   | 最小值  | 典型值 | 最大值 | 单位          |
|---|-----------------------|--|------|-----|-----|-------------|
| R-F <sub>MATCHING</sub>                 | 上升 / 下降时间匹配           | 在单端波形上进行测量。上升沿速率与下降沿速率的相匹配为 100 MHz  | -20  | -   | +20 | %           |
| <b>缓冲器模式</b>                            |                       |  |      |     |     |             |
| T <sub>DC</sub>                         | 占空比                   | 在差分波形上进行测量   | 45   | 50  | 55  | %           |
| t <sub>RMS_ADD</sub>                    | 附加相位噪声                | 在差分幅度为 400 mV 的条件下，输入转换速率为 4 V/ns。   | -    | -   | 0.4 | ps<br>(RMS) |
| <b>ZDB 模式 (REF = IN1, 1 对输出反馈到 IN2)</b> |                       |  |      |     |     |             |
| T <sub>DC</sub>                         | 占空比                   | 在差分波形上进行测量   | 45   | 50  | 55  | %           |
| T <sub>CCJITTER</sub>                   | 周期间抖动                 | 峰值，在差分信号上进行测量，频率为 100 MHz，测量超过一万个周期。在差分幅度为 400 mV (所有差分输出都有效) 的条件下，输入转换速率为 4 V/ns。 | -    | -   | 50  | ps          |
| J <sub>RMS</sub>                        | 由通用 PCIe 3.0 生成的随机抖动  | PCIe Gen3 滤波器。在差分幅度为 400 mV 的条件下，输入转换速率为 4 V/ns。                                   | -    | 0.7 | 1.0 | ps<br>(RMS) |
| t <sub>PD</sub>                         | 传输延迟                  | 早 / 晚选项被关闭   | -300 | -   | 300 | ps          |
| <b>CLKGEN 模式</b>                        |                       |  |      |     |     |             |
| T <sub>DC</sub>                         | 占空比                   | 在差分波形上进行测量   | 45   | 50  | 55  | %           |
| T <sub>CCJITTER</sub>                   | 周期间抖动                 | 峰值，在差分信号上进行测量，频率为 100 MHz，测量超过一万个周期。输入频率 (24 MHz – 40 MHz) 晶振 (所有差分输出都有效)。         | -    | -   | 50  | ps          |
| J <sub>RMS</sub>                        | 由从通用 PCIe 3.0 生成的随机抖动 | REF = 25 MHz 晶振，<br>f <sub>OUT</sub> = 100 MHz，PCIe Gen3 滤波器                       | -    | 0.7 | 1.0 | ps          |

 表 18. I<sup>2</sup>C 交流规范

| 符号                  | 说明                      | 条件 | 最小值 | 典型值 | 最大值 | 单位  |
|---------------------|-------------------------|----|-----|-----|-----|-----|
| f <sub>SCK</sub>    | SCK 时钟频率                |    | 0   | -   | 400 | kHz |
| t <sub>HD:STA</sub> | 启动条件的保持时间               |    | 0.6 | -   | -   | μs  |
| t <sub>LOW</sub>    | SCK 时钟的低电平周期            |    | 1.3 | -   | -   | μs  |
| t <sub>HIGH</sub>   | SCK 时钟的高电平周期            |    | 0.6 | -   | -   | μs  |
| t <sub>SU:STA</sub> | 重复 START (启动) 条件的建立时间   |    | 0.6 | -   | -   | μs  |
| t <sub>HD:DAT</sub> | 数据保持时间                  |    | 0   | -   | -   | μs  |
| t <sub>SU:DAT</sub> | 数据建立时间                  |    | 100 | -   | -   | ns  |
| t <sub>R</sub>      | 上升时间                    |    | -   | -   | 300 | ns  |
| t <sub>F</sub>      | 下降时间                    |    | -   | -   | 300 | ns  |
| t <sub>SU:STO</sub> | STOP (停止) 条件的建立时间       |    | 0.6 | -   | -   | μs  |
| t <sub>BUF</sub>    | STOP 和 START 条件间的总线空闲时间 |    | 1.3 | -   | -   | μs  |

**表 19. 扩频规范**

| 符号          | 说明           | 条件   | 最小值 | 典型值 | 最大值 | 单位  |
|-------------|--------------|------|-----|-----|-----|-----|
| $F_{MOD}$   | 调制速率         |      | 30  | —   | 60  | kHz |
| $SS_{per}$  | 扩频数量         | % 总数 | 0.1 | —   | 5.0 | %   |
| $SS_{Step}$ | 扩频步长 (单位为 %) |      | —   | 0.1 | —   | %   |

**表 20. 输出选择规范**

| 符号        | 说明     | 条件  | 最小值 | 典型值 | 最大值  | 单位      |
|-----------|--------|---|-----|-----|------|---------|
| $t_{FS}$  | 频率切换时间 | OUT13、14、23、24 的频率切换时间。两个 PLL 均有效 (修改 MUX 选择位)。 | —   | —   | 500  | $\mu s$ |
| $t_{FS}$  | 频率切换时间 | 所有输出的频率切换时间 (更改 DIVO 值)。                        | —   | —   | 500  | $\mu s$ |
| $t_{FS}$  | 频率切换时间 | 所有输出的频率切换时间。修改 PLL 值。                           | —   | —   | 1000 | $\mu s$ |
| $t_{FS}$  | 输出打开时间 | 从 FS 到输出打开的时间。PLL 有效, 修改 OE 或 MUX。              | —   | —   | 500  | $\mu s$ |
| $t_{FS}$  | 输出打开时间 | 从 FS 到输出打开的时间。从断电恢复 PLL。                        | —   | —   | 1000 | $\mu s$ |
| $t_{OFF}$ | 输出关闭时间 | 从 FS 到输出关闭的时间。PLL 有效, 修改 OE 或 MUX。              | —   | —   | 500  | $\mu s$ |

**表 21. NV 存储器规范**

| 符号             | 说明            | 条件          | 最小值   | 典型值 | 最大值 | 单位 |
|----------------|---------------|-------------|-------|-----|-----|----|
| DRET           | NV 存储器的数据保持时间 |             | 10    | —   | —   | 年  |
| $PROG_{CYCLE}$ | 编程周期          | NV 存储器的编程周期 | 100 K | —   | —   | 周期 |

**表 22. 其他规范**

| 符号          | 说明           | 条件 | 最小值 | 典型值 | 最大值 | 单位      |
|-------------|--------------|----|-----|-----|-----|---------|
| $t_{XRES}$  | XRES 为低电平的时间 |    | 10  | —   | —   | $\mu s$ |
| $T_{PROG}$  | 闪存编程温度       |    | 5   | —   | 55  | °C      |
| $C_{INADC}$ | VIN 引脚的输入电容  |    | —   | —   | 10  | pF      |

## 测试和测量电路

图 23. LVPECL 输出负载和测试电路

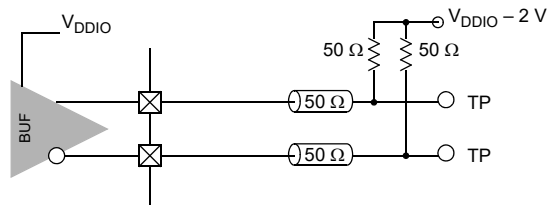


图 24. LVDS 输出负载和测试电路

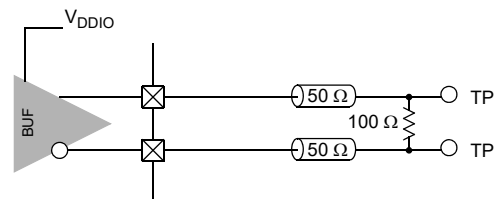


图 25. CML 输出负载和测试电路

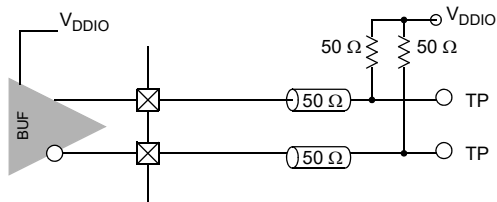


图 26. HCSL 输出负载和测试电路

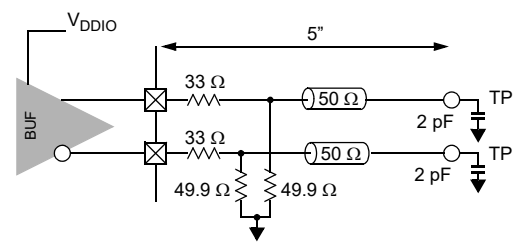
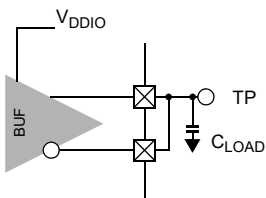


图 27. LVCMOS 输出负载和测试电路





## 电压和时序定义

图 28. LVCMOS 输入定义

$$t_{DC} = t_1 / (t_1 + t_2)$$

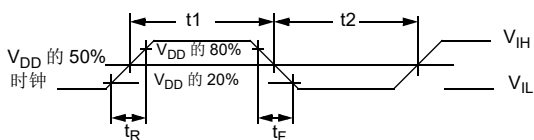


图 30. 差分输入定义

$$t_{DC} = t_{PW} / t_{PERIOD}$$

$$V_{OCM} = (V_A + V_B) / 2$$

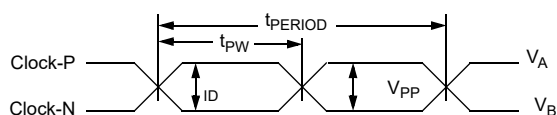


图 32. 时滞定义

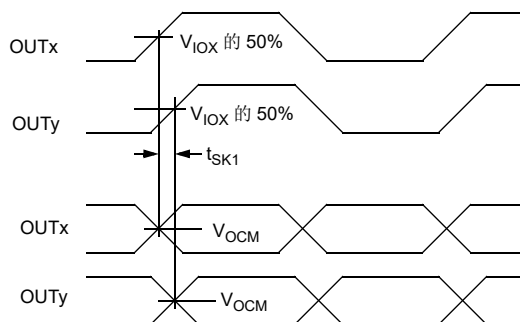


图 34. 输出使能 / 禁用 / 频率选择时序

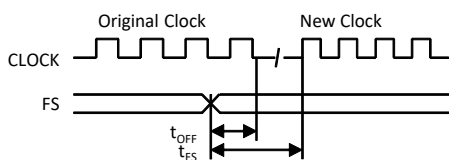


图 36. HCSL 差分测量点

占空比和周期

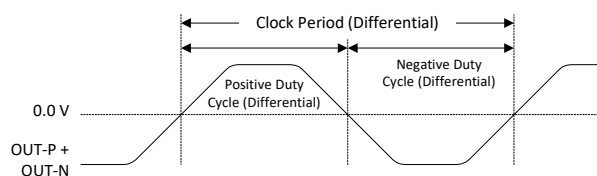


图 29. LVCMOS 输出定义

$$t_{ODC} = t_1 / (t_1 + t_2)$$

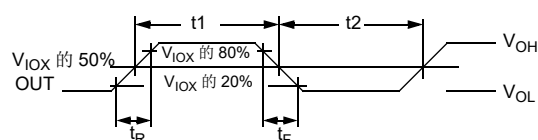


图 31. 差分输出定义

$$t_{DC} = t_{PW} / t_{PERIOD}$$

$$V_{OCM} = (V_A + V_B) / 2$$

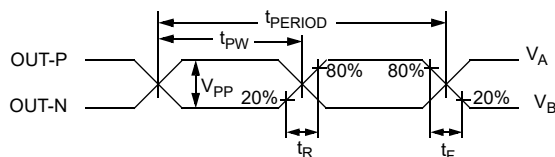


图 33. 传输延迟定义

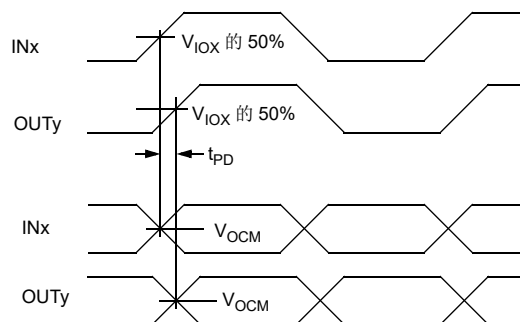


图 35. HCSL 单端测量点 2

上升和下降时间的匹配

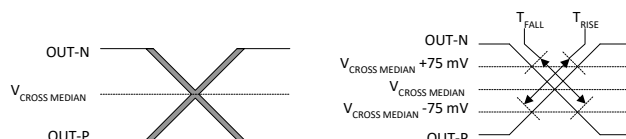
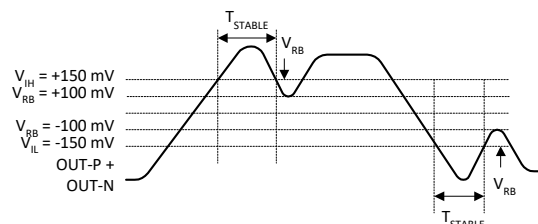
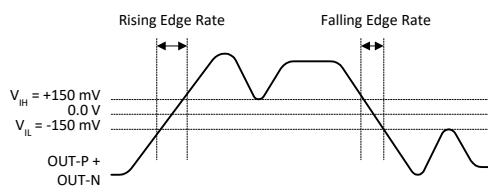
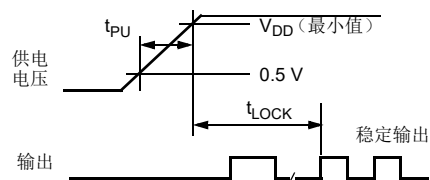
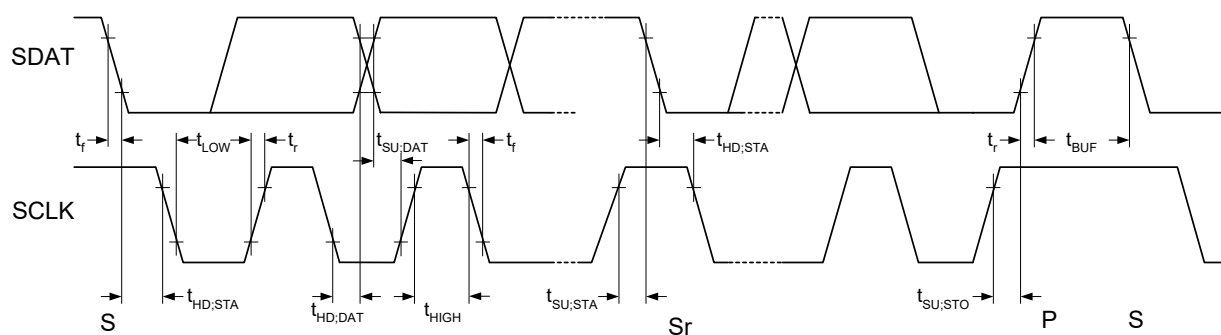


图 37. 回复的 HCSL 差分测量



**图 38. HCSL 上升和下降时间**

上升和下降时间

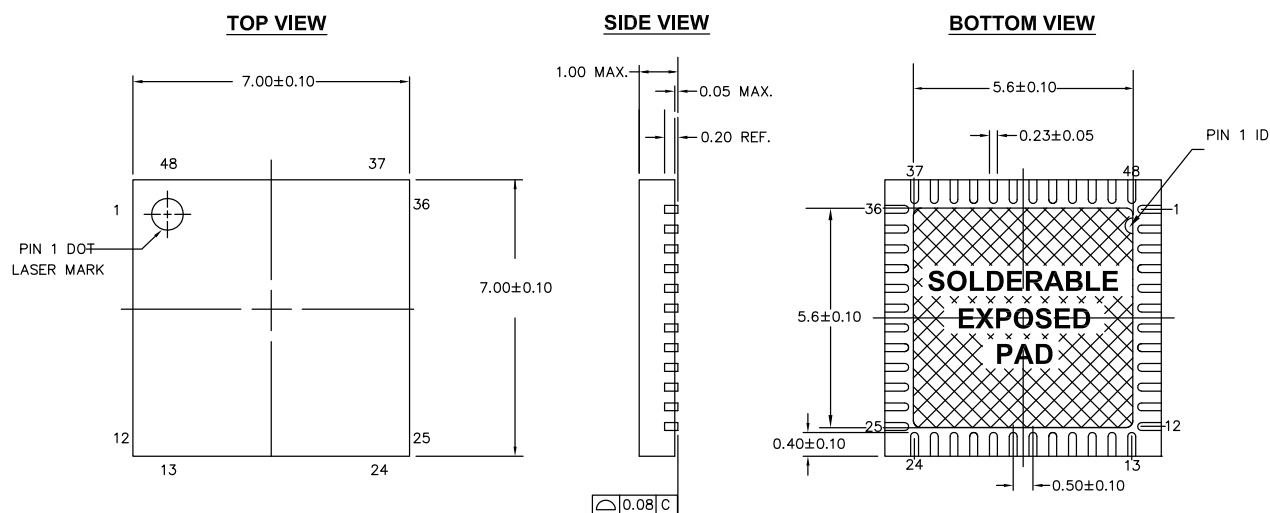

**图 39. 功率斜坡和 PLL 锁定时间**

**图 40. I<sup>2</sup>C 总线上快速 / 标准模式的时序定义**


## 封装信息


本节介绍了 CY27410 器件的封装规范以及每种封装的热阻。

**重要注意：**EPAD 必须接地，这样可以降低热阻和信号接地。

**图 41. 48-QFN (7 × 7 × 1.00 mm) LT48D 5.5 x 5.5 EPAD (锯型) 封装外形**



### NOTES:

1.  HATCH AREA IS SOLDERABLE EXPOSED METAL.
2. REFERENCE JEDEC#: MO-220
3. PACKAGE WEIGHT: REFER TO PMDD SPEC.
4. ALL DIMENSIONS ARE IN MM [MIN/MAX]
5. PACKAGE CODE

| PART # | DESCRIPTION |
|--------|-------------|
| LT48D  | LEAD FREE   |

001-45616 \*F

有关安装 QFN 封装最佳尺寸的信息，请参考赛普拉斯 [应用手册 AN72845](#) — 赛普拉斯四方扁平无扩展引线（QFN）封装器件的设计指南。

## 回流焊规范

表 23 显示不可超过的回流焊温度范围。

**表 23. 回流焊规范**

| 封装     | 最大峰值温度 ( $T_C$ ) | 超过 $T_C - 5^\circ\text{C}$ 的最长时间 |
|--------|------------------|----------------------------------|
| 48-QFN | 260 °C           | 30 秒                             |

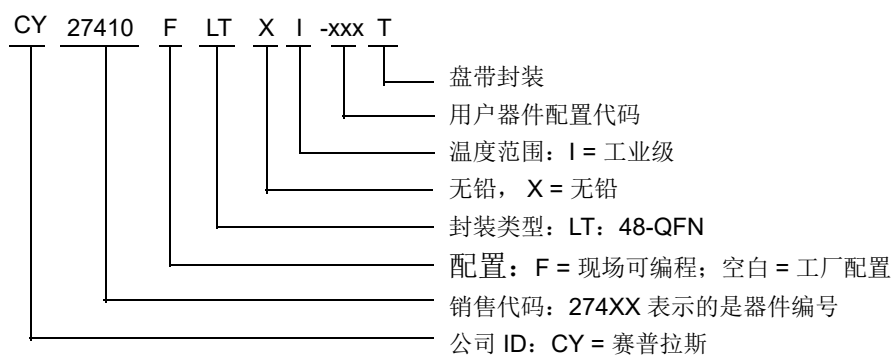
## 订购信息

下表列出了 CY27410 器件的关键封装特性和订购代码。

**表 24. 订购信息**

| 器件型号             | 配置    | 封装          | 生产流程                |
|------------------|-------|-------------|---------------------|
| CY27410FLTIXI    | 现场可编程 | 48-QFN      | 工业级 (–40°C 到 +85°C) |
| CY27410FLTIXIT   | 现场可编程 | 48-QFN 盘带封装 | 工业级 (–40°C 到 +85°C) |
| CY27410LTXI-xxx  | 工厂配置  | 48-QFN      | 工业级 (–40°C 到 +85°C) |
| CY27410LTXI-xxxT | 工厂配置  | 48-QFN 盘带封装 | 工业级 (–40°C 到 +85°C) |

## 订购代码定义



## 缩略语

表 25. 本文档中使用的缩略语

| 缩略语               | 说明                     |
|-------------------|------------------------|
| AC                | 交流                     |
| ADC               | 模数转换器                  |
| API               | 应用编程接口                 |
| CML               | 电流模式逻辑                 |
| CMOS              | 互补金属氧化物半导体             |
| DC                | 直流                     |
| ESD               | 静电放电                   |
| FS                | 频率选择                   |
| GUI               | 图形用户界面                 |
| HCSL              | 高速电流转向逻辑               |
| I <sup>2</sup> C  | 内部集成电路                 |
| I/O               | 输入 / 输出                |
| ISSP              | 系统内串行编程                |
| JEDEC             | 联合电子器件工程委员会            |
| LDO               | 低压差（电压调节器）             |
| LSB               | 最低有效位                  |
| LVC MOS           | 低压互补金属氧化物半导体           |
| LVDS              | 低压差分信号                 |
| LVPECL            | 低压正射极耦合逻辑              |
| MSB               | 最高有效字节                 |
| NV                | 非易失性                   |
| NZDB              | 非零延迟缓冲器                |
| OE                | 输出使能                   |
| PCIe              | PCI express            |
| POR               | 上电复位                   |
| PSoC <sup>®</sup> | 可编程片上系统                |
| QFN               | 四方扁平无引脚                |
| RMS               | 均方根                    |
| SCLK              | 串行 I <sup>2</sup> C 时钟 |
| SDAT              | 串行 I <sup>2</sup> C 数据 |
| TSSOP             | 紧缩小外形封装                |
| USB               | 通用串行总线                 |
| XTAL              | 晶振                     |
| ZDB               | 零延迟缓冲器                 |

## 文档常规

### 测量单位

表 26. 测量单位

| 符号   | 测量单位         |
|------|--------------|
| °C   | 摄氏度          |
| dBc  | 分贝相对载波       |
| fF   | 飞法           |
| fs   | 飞秒           |
| g    | 克            |
| GHz  | 千兆赫          |
| Hz   | 赫兹           |
| KHz  | 千赫兹          |
| Ksps | 每秒千次采样       |
| kΩ   | 千欧姆          |
| MHz  | 兆赫兹          |
| MΩ   | 兆欧           |
| μA   | 微安           |
| μF   | 微法           |
| μH   | 微亨           |
| μs   | 微秒           |
| μW   | 微瓦           |
| mA   | 毫安           |
| ms   | 毫秒           |
| mV   | 毫伏           |
| nA   | 纳安           |
| nF   | 纳法           |
| ns   | 纳秒           |
| nV   | 纳伏           |
| Ω    | 欧姆           |
| pA   | 皮安           |
| pF   | 皮法           |
| pp   | 峰至峰          |
| ppm  | 百万分率         |
| ppb  | 十亿分率         |
| ps   | 皮秒           |
| sps  | 每秒采样数        |
| σ    | sigma: 一个标准差 |
| V    | 伏特           |
| W    | 瓦特           |

## 文档修订记录

| 文档标题: CY27410, 4-PLL 扩频时钟发生器<br>文档编号: 001-96104 |         |      |            |   |
|---|---------|------|------------|---|
| 版本  | ECN     | 变更者  | 提交日期       | 变更说明                                      |
| **  | 4669681 | YLIU | 02/24/2015 | 本文档版本号为 Rev. **, 译自英文版 001-89074 Rev. *C。 |
| *A  | 4984919 | YLIU | 10/26/2015 | 本文档版本号为 Rev. *A, 译自英文版 001-89074 Rev. *G。 |
| *B  | 5162767 | YLIU | 03/08/2016 | 本文档版本号为 Rev. *B, 译自英文版 001-89074 Rev. *J。 |
| *C  | 5634961 | XHT  | 02/17/2017 | 本文档版本号为 Rev. *C, 译自英文版 001-89074 Rev. *K。 |
| *D  | 6114579 | XHT  | 03/29/2018 | 更新为新模板。<br>完成日落审查。                        |

## 销售、解决方案和法律信息

### 全球销售和 design 支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要想找到离您最近的办事处，请访问[赛普拉斯所在地](#)。

### 产品

ARM® Cortex® 微控制器

[cypress.com/arm](http://cypress.com/arm)

汽车级产品

[cypress.com/automotive](http://cypress.com/automotive)

时钟与缓冲区

[cypress.com/clocks](http://cypress.com/clocks)

接口

[cypress.com/interface](http://cypress.com/interface)

物联网

[cypress.com/iot](http://cypress.com/iot)

存储器

[cypress.com/memory](http://cypress.com/memory)

微控制器

[cypress.com/mcu](http://cypress.com/mcu)

PSoC

[cypress.com/psoc](http://cypress.com/psoc)

电源管理 IC

[cypress.com/pmic](http://cypress.com/pmic)

触摸感应

[cypress.com/touch](http://cypress.com/touch)

USB 控制器

[cypress.com/usb](http://cypress.com/usb)

无线 / 射频

[cypress.com/wireless](http://cypress.com/wireless)

### PSoC® 解决方案

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

### 赛普拉斯开发者社区

[论坛](#) | [项目](#) | [视频](#) | [博客](#) | [培训](#) | [组件](#)

### 技术支持

[cypress.com/support](http://cypress.com/support)

© 赛普拉斯半导体公司，2013-2018 年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC（“赛普拉斯”）的财产。本文件，包括其包含或引用的任何软件或固件（“软件”），根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可（无再许可权）（1）在赛普拉斯特软件著作权项下的下列许可权（一）对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和（二）仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供（无论直接提供或通过经销商和分销商间接提供），和（2）在被软件（由赛普拉斯公司提供，且未经修改）侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适用性和特定用途的默示保证。没有任何电子设备是绝对安全的。因此，尽管赛普拉斯在其硬件和软件产品中采取了必要的安全措施，但是赛普拉斯并不承担任何由于使用赛普拉斯产品而引起的安全问题及安全漏洞的责任，例如未经授权的访问或使用赛普拉斯产品。此外，本材料中所介绍的赛普拉斯产品有可能存在设计缺陷或设计错误，从而导致产品的性能与公布的规格不一致。（如果发现此类问题，赛普拉斯会提供勘误表）赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用人应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统（包括急救设备和手术植入物）、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途（“非预期用途”）。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担任何全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，WICED，及 PSoC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 [cypress.com](http://cypress.com) 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。