

4M ビット EXCELON™ Ultra 強誘電体 RAM (F-RAM)

シリアル (クアッド SPI), 512K × 8, 108MHz, 産業用

特長

- 512K × 8 論理構成として設計された 4M ビット強誘電体 RAM (F-RAM)
 - 100 兆回 (10^{14}) の読み出し / 書き込みサイクルの事実上無制限の耐久性
 - 151 年間のデータ保持 (データ保持期間およびアクセス可能回数を参照してください)
 - Infineon 不揮発性瞬時書き込み技術
 - 高信頼性強誘電体プロセス
- シングルおよびマルチ I/O シリアル ペリフェラル インターフェース (SPI)
 - シリアル バス インターフェース SPI プロトコル
 - すべての SDR モード転送で SPI モード 0 (0, 0) およびモード 3 (1, 1) に対応
 - すべての DDR モード転送で SPI モード 0 (0, 0) に対応
 - 拡張 I/O SPI プロトコル
 - デュアル SPI (DPI) プロトコル
 - クアッド SPI (QPI) プロトコル
- SPI クロック周波数
 - SPI シングル データ レート (SDR): 最大 108MHz
 - SPI ダブル データ レート (DDR): 最大 54MHz
- メモリ読み出し / 書き込み用の直接実行 (XIP)
- 書き込み保護、データセキュリティ、およびデータ整合性
- 書き込み保護 (\overline{WP}) ピンを使用したハードウェアによる保護
- ソフトウェア ブロック保護
- データ整合性の強化のための組込みエラー訂正コード (ECC) および巡回冗長検査 (CRC)
 - ECC は 1 ビットエラーを検出および訂正します。2 ビットエラーが発生した場合、ECC は訂正しません
が、ECC ステータス レジスタをとおして報告します。
 - CRC は raw データへの偶発的変化を検出します。
- 拡張電子署名
 - メーカー ID および製品 ID を含むデバイス ID
 - 固有 ID
 - ユーザー プログラマブルなシリアル番号
- 専用 256 バイト特殊セクタ F-RAM
 - 専用特殊セクタの書き込みと読み出し
 - コンテンツは最大 3 回の標準リフロー サイクルに耐え得ます
- 高速で低消費電力
 - 108MHz SPI SDR では 10 mA (Typ) のアクティブ電流
 - 108MHz QSPI SDR および 54MHz QSPI DDR では 16 mA (Typ) のアクティブ電流
 - 110 μ A (Typ) のスタンバイ電流
 - 0.80 μ A (Typ) のディープパワー ダウン モード電流
 - 0.1 μ A (Typ) のハイバネート モード電流
- 低電圧動作
 - CY15V104QSN: $V_{DD} = 1.71\text{ V} \sim 1.89\text{ V}$
 - CY15B104QSN: $V_{DD} = 1.8\text{ V} \sim 3.6\text{ V}$

機能説明

- 動作温度 : -40°C ~ +85°C
- パッケージ
 - 8 ピン小型集積回路 (SOIC) パッケージ
 - 8 ピン リードレス クアド フラット グリッド アレイ (GQFN) パッケージ
- RoHS 準拠

機能説明

EXCELON™ Ultra CY15x104QSN は先進的な強誘電体プロセスを適用した高性能 4M ビットの非揮発性メモリです。強誘電体ランダム アクセス メモリ (F-RAM) は非揮発性であり、RAM 同様に読み書きを実行します。シリアル フラッシュやその他の非揮発性メモリによる複雑さ、オーバーヘッド、システムレベルの信頼性関連問題を回避し、151 年間にわたって信頼できるデータ保持ができます。

シリアル フラッシュと異なり、CY15x104QSN はバス速度で書き込み動作を実行します。書き込み遅延は発生しません。データは各バイトがデバイスに正常に転送された直後にメモリ アレイに書き込まれます。次のバスサイクルはデータ ポーリングを必要とせず開始できます。また、本製品は他の非揮発性メモリと比較して多くの書き換え回数を提供しています。CY15x104QSN は 10^{14} 回の読み出し / 書き込みサイクル、即ち EEPROM に比べ 1 億倍の書き込みサイクルに対応できます。これらの能力により、CY15x104QSN は頻繁で高速書き込みを必要とする非揮発性メモリの用途に理想的なものになります。これらの用途例は書き込み回数を重視するデータ収集から、シリアル フラッシュを使った長い書き込みデータ保持期間に起因してデータを損失する可能性がある厳しい工業用制御まで及びます。

CY15x104QSN は 4M ビット F-RAM を、F-RAM テクノロジーの非揮発性書き込み機能を強化する高速 Quad SPI (QPI) SDR および DDR インターフェースと組み合わせています。このデバイスは読み出し専用のデバイス ID と固有 ID 機能が組み込まれており、SPI バス マスターが各製品のメーカー、メモリ容量、製品レビジョンおよび固有 ID を判断できます。またデバイスは、基板またはシステムを識別するために使用できる読み出し専用の固有のシリアル番号を組み込んでいます。

デバイスは、オンダイ ECC ロジックをサポートしており、8 バイト単位データごとに 1 ビットのエラーを検出して訂正できます。またデバイスは、8 バイト単位データでの 2 ビットエラーを報告する機能も備えています。CY15x104QSN はメモリ アレイ内の格納データのデータ完全性をチェックするために使用できる巡回冗長検査 (CRC) 機能もサポートします。

すべての関連資料の一覧については、[ここ](#)をクリックしてください。

論理ブロック図

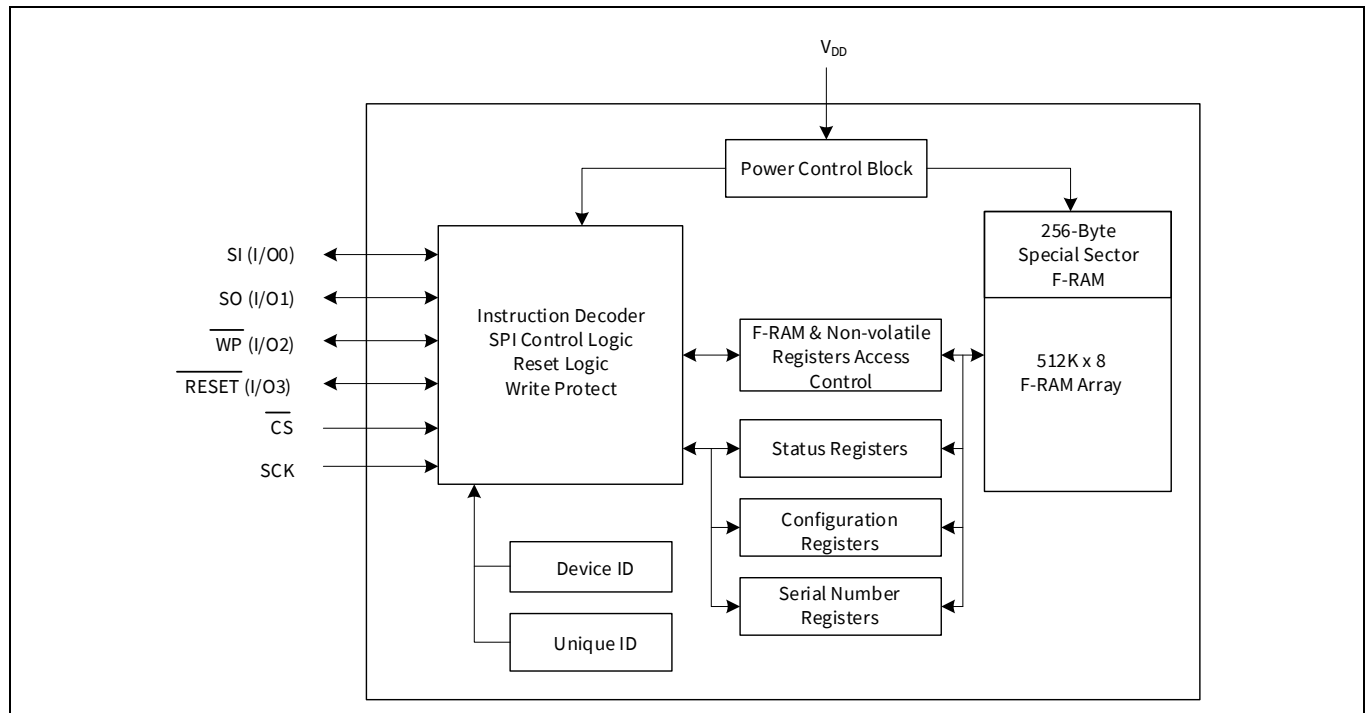


Table of contents

特長	1
機能説明	2
論理ブロック図	3
Table of contents	4
1 ピン配置	6
2 ピンの機能	7
3 機能の概要	8
3.1 メモリ アーキテクチャ	8
3.2 シリアル ペリフェラル インターフェース (SPI) バス	8
3.2.1 シングル チャネル SPI	9
3.2.2 拡張 SPI	9
3.2.3 デュアル SPI (DPI)	9
3.2.4 クアッド SPI (QPI)	10
3.3 SPI プロトコルでのみ使用される用語	10
3.3.1 SPI マスター	10
3.3.2 SPI スレーブ	10
3.3.3 チップ セレクト (CS)	10
3.3.4 シリアル クロック (SCK)	11
3.3.5 データ 転送 (SI/SO)	11
3.3.6 最上位 ビット (MSb)	11
3.3.7 シリアル オペコード	12
3.3.8 無効な オペコード	12
3.3.9 命令	12
3.3.10 モード バイト	12
3.3.11 ウェイト ステート または ダミー サイクル	12
3.4 SPI モード	13
3.4.1 SDR	13
3.4.2 DDR	13
3.5 電源投入時から最初のアクセスまで	14
4 CY15x104QSN レジスタ	16
4.1 ステータス レジスタ	16
4.1.1 ステータス レジスタ 1 (SR1)	16
4.1.2 ステータス レジスタ 2 (SR2)	20
4.2 コンフィギュレーション レジスタ	21
4.2.1 コンフィギュレーション レジスタ 1 (CR1)	21
4.2.2 コンフィギュレーション レジスタ 2 (CR2)	25
4.2.3 コンフィギュレーション レジスタ 4 (CR4)	28
4.2.4 コンフィギュレーション レジスタ 5 (CR5)	30
5 機能説明	32
5.1 コマンドの構成	32
5.1.1 書き込み イネーブル 制御 コマンド	36
5.1.2 レジスタ アクセス コマンド	38
5.1.3 メモリの動作	51
5.1.4 メモリ 書き込み 動作 コマンド	51
5.1.5 メモリ 読み出し 動作 の コマンド	62
5.1.6 特殊セクタ メモリ アクセス コマンド	73
5.1.7 エラー訂正コード (ECC) および巡回冗長検査のコマンド	76
5.1.8 ID および シリアル 番号 コマンド	86
5.1.9 低電力モード および リセット	90
6 最大定格	98
7 動作範囲	99

8 DC 電気的特性	100
9 データ保持期間およびアクセス可能回数	103
10 静電容量	104
11 熱抵抗	105
12 AC テスト条件	106
13 SDR AC スイッチング特性	107
14 DDR AC スイッチング特性	110
15 書き込み保護 (WP) タイミング パラメーター	113
16 リセット (RESET) タイミング パラメーター	114
17 パワー サイクル タイミング	115
18 注文情報	117
18.1 注文コードの定義	117
19 パッケージ図	118
20 略語	120
21 本書の表記法	121
21.1 測定単位	121
改訂履歴	122

ピン配置

1 ピン配置

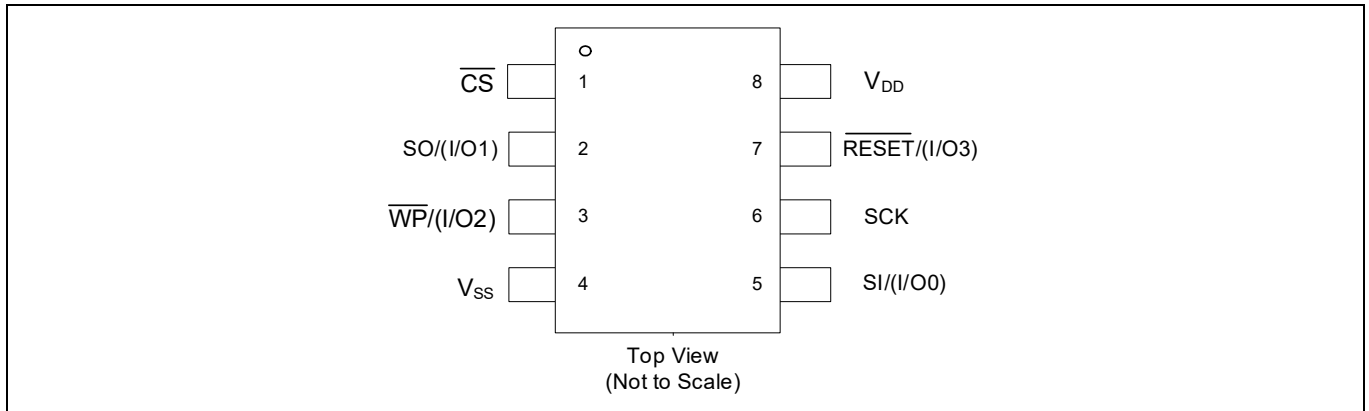


Figure 1 8 ピン SOIC ピン配置

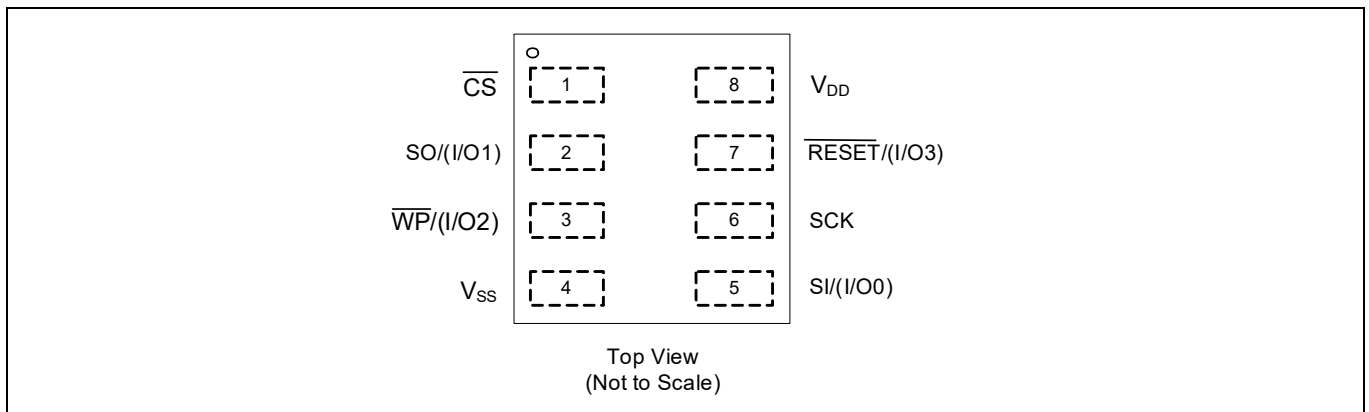


Figure 2 8 ピン GQFN ピン配置

2 ピンの機能

Table 1 ピンの機能

ピン名	I/O タイプ	説明
$\overline{\text{CS}}$	入力	チップ セレクト: このアクティブ LOW 入力はデバイスをアクティブにする。HIGH の場合、デバイスは低消費電力スタンバイ モードに移行し、他の入力を無視し、出力はトライステートになる。LOW の場合、デバイスは SCK 信号を内部でアクティブにする。新しいオペコードが発行される前に、CS の立ち下りエッジが発生していなければならない
SCK	入力	シリアル クロック: すべての I/O 動作はシリアル クロックに同期される。入力は立ち上りエッジでラッチされ、出力は立ち下りエッジで発生。同期デバイスであるため、クロック周波数は 0 ~ 108MHz 範囲内で変化し、いつでも割り込まれる可能性がある
SI / (I/O0)	入力	シリアル入力: このピンからデバイスにすべてのデータを入力。入力は SCK の立ち上りエッジでサンプリングされ、その時以外では無視される。
	入力 / 出力	I/O0: デバイスがデュアル モードまたは Quad モードの場合、SI ピンは入出力 (I/O0) ピンとなり、コマンドおよびアドレス サイクル中に入力として機能し、データ出力サイクル中に出力になる
SO / (I/O1)	出力	シリアル出力: これはデータ出力ピン。このピンは読み出し中に駆動。その時以外では RESET が LOW になる時も含めトライステートのままになる。データ遷移はシリアル クロックの立ち下りエッジで駆動される
	入力 / 出力	I/O1: デバイスがデュアル モードまたは Quad モードの場合、SO ピンは入出力 (I/O1) ピンとなり、コマンドおよびアドレス サイクル中に入力として機能し、データ出力サイクル中に出力になる
$\overline{\text{WP}}$ / (I/O2)	入力	書き込み保護: このアクティブ LOW ピンは、SRWD ビット (SR1[7]) が「1」に設定されている時、ステータスおよびコンフィギュレーションレジスタへの書き込み動作を禁止。書き込み保護の詳細については、 ステータス レジスタ 1 (SR1) をご参照ください。このピンは内部で弱プルアップ抵抗に接続され、フローティング (基板上で接続しない) のままにする場合この抵抗によって HIGH に維持される。このピンを使用しない場合、 V_{DD} に接続することも可能
	入力 / 出力	I/O2: デバイスが Quad モードの場合、 $\overline{\text{WP}}$ ピンは入出力 (I/O2) ピンとなり、コマンドおよびアドレス サイクル中に入力として機能し、データ出力サイクル中に出力になる
$\overline{\text{RESET}}$ / (I/O3)	入力	ハードウェアリセット ピン: このアクティブ LOW ピンはデバイスをリセット。RESET が LOW の場合、デバイスは自己初期化し、RESET 入力が HIGH に解除された後、CS の状態が HIGH または LOW に応じてスタンバイ状態またはアクティブ状態に戻る。このピンは内部で弱プルアップ抵抗に接続され、フローティング (基板上で接続しない) のままにする場合この抵抗によって HIGH に維持される。このピンを使用しない場合、 V_{DD} に接続することも可能 RESET/(I/O3) の機能を Table 21 に示す
	入力 / 出力	I/O3: デバイスが Quad モードの場合、 $\overline{\text{RESET}}$ ピンは入出力 (I/O3) ピンとなり、コマンドおよびアドレス サイクル中に入力として機能し、データ出力サイクル中に出力になる。I/O3 として構成すると、このピンの内部プルアップ抵抗が無効になる
V_{SS}	電源	デバイス グランド: システムグランドに接続する必要がある
V_{DD}	電源	デバイスの電源入力

3 機能の概要

CY15x104QSN はシリアル F-RAM メモリです。メモリアレイは 524,288×8 ビットに論理構成され、業界標準のシリアルペリフェラルインターフェース (SPI) バスを使用してアクセスされます。F-RAM の機能動作は、シングル SPI EEPROM またはシングル / デュアル / クアッド SPI フラッシュと類似しています。同じピン配置の CY15x104QSN とシリアルフラッシュとの主な違いは、F-RAM の優れた書き込み性能、高耐久性、および低消費電力です。

3.1 メモリアーキテクチャ

CY15x104QSN のアクセスには、8 データビットごとに 512K 箇所の位置をアドレス指定します。これら 8 つのデータビットはシングル、デュアル、またはクアッド I/O 上かで順次シフトイン / シフトアウトされます。アドレスは、チップセレクト (バス上で複数デバイスを可能にする) とオペコード、3 バイト (24 ビット) のアドレスを含む SPI プロトコルを使ってアクセスされます。しかし、CY15X104QSN はその全 512K バイト位置をアドレス指定するために 19 ビットしか必要としないため、最上位アドレスバイトの上位 5 ビットは「ドントケア」値です。19 ビットアドレスは 512K メモリアレイ内の各データバイト位置を一義的に識別します。

メモリ動作に要するアクセス時間は、シリアルプロトコルに必要な時間以外は基本的に 0 です。すなわち、メモリは SPI バスの速度で読み書きされます。シリアルフラッシュや EEPROM とは異なり、新しいコマンドを開始する前にデバイスの準備状態を知るためにポーリングする必要はありません。これは機能説明で詳しく説明されています。

3.2 シリアルペリフェラルインターフェース (SPI) バス

SPI は、メモリアクセスにクロックとデータピンを使用し、データバス上の複数デバイスをサポートする同期シリアルインターフェースです。SPI バス上のデバイスは、CS ピンを使用してアクティブにされます。チップセレクト、クロック、データの相互関係は SPI モードによります。このデバイスは、SPI モード 0 および 3 をサポートします。これらの両モードで、CS がアクティブになった後の最初の立ち上がりエッジから始まる SCK の立ち上がりエッジで、データが F-RAM にクロック入力されます。SPI プロトコルはオペコードで制御されます。処理が完了した後、新しいオペコードが発行される前に、CS を非アクティブにする必要があります。

CY15x104QSN は SPI スレーブデバイスであり、シングルデータレート (SDR) モードでは最大 108MHz の速度で、DDR モードでは最大 54MHz の速度で動作します。この高速シリアルバスにより、SPI マスターとの間で高性能なシリアル通信が可能です。CY15x104QSN は 4 つの異なる SPI インターフェース / プロトコルオプションをサポートしています: シングルチャネル SPI, 拡張 SPI, デュアル SPI, クアッド SPI。

上記の各種 SPI モードでのオペコード、アドレス、およびデータフェーズ中の I/O 信号の詳細は Table 2 を参照してください。

Table 2 SPI モードと信号の詳細

インターフェース	シングルチャネル SPI	拡張 SPI ^[1]				マルチチャネル SPI	
		デュアルデータ	クアッドデータ	デュアル I/O	クアッド I/O	DPI	QPI
信号	CS, SCK, SI, SO	CS, SCK, I/O0, I/O1	CS, SCK, I/O0, I/O1, I/O2, I/O3	CS, SCK, I/O0, I/O1	CS, SCK, I/O0, I/O1, I/O2, I/O3	CS, SCK, I/O0, I/O1	CS, SCK, I/O0, I/O1, I/O2, I/O3
オペコード	SI	I/O0	I/O0	I/O0	I/O0	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3
アドレス	SI	I/O0	I/O0	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3
データ	SI/SO	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3

注:

1. 拡張 SPI モードのユーザー設定はありません。デバイスは常に SPI モードで起動し、受信したオペコードに基づいてそれぞれの拡張 SPI モードに変化します。

3.2.1 シングル チャネル SPI

シングルチャネル SPI は、チップセレクト (\overline{CS}), シリアル入力 (SI), シリアル出力 (SO), シリアル クロック (SCK) ピンからなる 4 ピン インターフェースです。 \overline{CS} がアクティブにされた後、バス マスターから最初に転送されるバイトがオペコードです。オペコードに続いて、アドレスとデータが転送されます。処理が完了した後、新しいオペコードが発行される前に、 \overline{CS} を HIGH (非アクティブ) にする必要があります。このモードは入力と出力にそれぞれ SI と SO ピンを使用します。オペコードとアドレスは SI ライン上でマスターによって転送され、データは SO ライン上でマスターによって読み出されます。

3.2.2 拡張 SPI

CY15x104QSN は拡張 SPI モードと呼ぶデュアルまたはクアッド I/O モードで動作するように標準 SPI ピンを再設定する機能を備えます。拡張 SPI モードには、デュアル データ、デュアル 入出力 (I/O), クアッド データ、クアッド 入出力 (I/O) モードがあります。拡張 SPI コマンドまたはデバイス リセット (POR またはハードウェア / ソフトウェア リセット) 後に \overline{CS} を HIGH にすると、デバイスはシングル チャネル SPI モードに戻ります。拡張 SPI モードは、次の I/O 設定を備えます。

- デュアル出力またはデュアル I/O モードの時、SI ピンと SO ピンはそれぞれ I/O0 ピンと I/O1 ピンになります。
- クアッド出力またはクアッド I/O モードの時、SI ピン、SO ピン、 \overline{WP} ピン、 \overline{RESET} ピンはそれぞれ I/O0 ピン、I/O1 ピン、I/O2 ピン、I/O3 ピンになります。
- デュアルまたは Quad のデータ コマンドとアドレスは、SI 信号のみでメモリに送信されます。データは、I/O0 と I/O1 上で一連のビット ペア、または I/O0、I/O1、I/O2、および I/O3 上で 4 ビット (ニブル) グループとしてホストに戻されます。
- デュアルまたはクアッド 入出力 (I/O) コマンドは SI 信号上でのみメモリに送信され、アドレスはホストから I/O0 と I/O1 上でビット ペア、または I/O0、I/O1、I/O2、および I/O3 上で 4 ビット (ニブル) グループとして送信されます。データは同様に I/O0 と I/O1 上でビット ペア、または I/O0、I/O1、I/O2、I/O3 上で 4 ビット (ニブル) グループとしてホストに戻されます。

3.2.3 デュアル SPI (DPI)

CY15x104QSN DPI モードは、コンフィギュレーションレジスタ 2 (CR2) のビット 4 に「1」を書き込む (CR2[4] = 「1」) ことで有効にされます。コンフィギュレーションレジスタ 2 (CR2) は揮発性と不揮発性の両方の空間を持っているので、不揮発性レジスタにあるユーザー設定は電源とハードウェアリセットのサイクルでも存続します。したがって、デュアル SPI (DPI) モードが不揮発性 CR2 にセットされると、ホストが不揮発性 CR2[4] にビット「0」を書き込んで DPI ビットをクリアするまで、常に DPI モードに戻ります。ホストは揮発性レジスタ CR2[1] に「1」を書き込むことでデバイスインターフェースを DPI モードに変更できます。しかし、この揮発性設定は電源およびハードウェアリセットサイクルに耐えられず、揮発性 CR2[4] 設定は電源投入時またはハードウェアリセットサイクル後に関連する不揮発性の場所に保存されたデフォルト設定で上書きされます。

デュアル SPI モードの時、SI ピンと SO ピンはそれぞれ I/O0 ピンと I/O1 になります。コマンド、アドレス、およびデータ ビットは I/O0 と I/O1 のビット ペアでホストからメモリに送信されます。同様に、データ ビットは I/O0 と I/O1 のビット ペアでホストに戻されます。

3.2.4 クアッド SPI (QPI)

CY15x104QSN マルチチャネル QPI モードはコンフィギュレーションレジスタ 2 (CR2) のビット 6 に「1」を書き込むことにより (CR2[6] = 「1」) 有効になります。コンフィギュレーションレジスタ 2 (CR2) は揮発性と不揮発性の両方の空間を持っているので、不揮発性レジスタのユーザー設定は電源およびハードウェアリセットサイクルに耐えます。したがって、いったん Quad SPI (QPI) モードが不揮発性 CR2 に設定されると、ホストが不揮発性 CR2[6] に「0」書き込んで QPI ビットをクリアするまで、常に QPI モードに戻ります。ホストは揮発性レジスタ CR2 [1] に「1」を書き込むことによってデバイスインタフェースを QPI モードに変更できます。しかし、この揮発性設定は電源およびハードウェアリセットサイクルに耐えられず、揮発性 CR2[6] 設定は電源投入時またはハードウェアリセットサイクル後に関連する不揮発性の場所に保存されたデフォルト設定で上書きされます。

クアッド SPI モードの時、SI ピン, SO ピン, \overline{WP} ピン, \overline{RESET} ピンはそれぞれ I/O0 ピン, I/O1 ピン, I/O2 ピン, I/O3 ピンになります。コマンド、アドレスおよびデータビットは I/O0, I/O1, I/O2, I/O3 の 4 ビットグループ (ニブル) でホストからメモリに送信されます。データは同様に I/O0, I/O1, I/O2, I/O3 の 4 ビットグループ (ニブル) でホストへ戻されます。

QPI モードは特別なオペコードにより DDR もサポートしています。これにより、アドレス、モード、およびデータバイト転送はクロックの両エッジで行われます。オペコード フェーズ中は DDR モードではありません。すなわち、オペコードは常に SDR モードで伝送されます。特定のコマンドが SDR モードで送信された後、デバイスは DDR モードに入り、このモードでアドレス、モード、およびデータサイクルが決定されます。DDR モードを有効にする設定はありません。クアッド SPI DDR モードは、特別なオペコードを含むメモリの書き込みと読み出しの動作に対してのみ対応します。

3.3 SPI プロトコルでのみ使用される用語

SPI プロトコルで一般的に使用される用語は以下のとおりです。

3.3.1 SPI マスター

SPI マスター デバイスは SPI バス上の動作を制御します。SPI バスは複数のスレーブ デバイスを制御する 1 つのマスターを持っている場合があります。すべてのスレーブが同じ SPI バス ラインを共有し、マスターは \overline{CS} ピンを使用してスレーブ デバイスのいずれかを選択できます。すべての処理は、マスターがスレーブの \overline{CS} ピンを LOW にすることによってスレーブ デバイスをアクティブにして開始する必要があります。また、マスターは SCK を生成し、SI と SO ライン上のすべてのデータ転送はこのクロックに同期されます。

3.3.2 SPI スレーブ

SPI スレーブ デバイスは、チップセレクト ラインを介してマスターによってアクティブにされます。スレーブ デバイスは SPI マスターからの SCK を入力とし、すべての通信はこのクロックに同期されます。SPI スレーブは SPI バス上で通信を開始することではなく、単にマスターからの命令に従って動作します。

CY15x104QSN は SPI スレーブとして動作し、他の SPI スレーブ デバイスと SPI バスを共有する場合があります。

3.3.3 チップセレクト (\overline{CS})

特定のスレーブ デバイスを選択するためには、マスターは対応する \overline{CS} ピンをプルダウンする必要があります。 \overline{CS} ピンが LOW の時のみ、命令をスレーブ デバイスに発行できます。デバイスが選択されていない場合、SI ピン経由のデータは無視され、シリアル出力ピン (SO) は高インピーダンス状態のままです。

注: 新しい命令は \overline{CS} の立ち下りエッジで開始する必要があります。したがって、アクティブとなる \overline{CS} HIGH から LOW への遷移ごとに 1 つのオペコードのみを発行できます。

機能の概要

3.3.4 シリアル クロック (SCK)

シリアル クロックは SPI マスターによって生成され、 \overline{CS} が LOW になった後、通信がこのクロックと同期されます。

CY15x104QSN はデータ通信のために SPI モード 0 と 3 をサポートします。これらの両モードにおいて、入力 SCK の立ち上がりエッジでスレーブ デバイスによってラッチされ、出力は立ち下りエッジで発行されます。したがって、SCK の最初の立ち上がりエッジは、SI ピンに SPI 命令の最上位ビット (MSb) が到着したことを意味します。さらに、すべてのデータの入力と出力は SCK と同期されます。

3.3.5 データ転送 (SI/SO)

SPI データバスは、シリアルデータ通信に SI と SO の 2 ラインで構成されます。SI はマスター アウトスレーブ イン (MOSI)、SO はマスター インスレーブ アウト (MISO) とも呼ばれています。マスターは SI ピンを介してスレーブに命令を発行し、スレーブは SO ピンを介して応答します。複数のスレーブ デバイスは、前述のように SI と SO ラインを共有する場合があります。

CY15X104QN は、Figure 3 に示すようにマスターと接続できる SI と SO 用の 2 本の独立したピンを備えています。デュアルまたはクアド I/O モードの時、これらのピンは I/O ピンとして設定されます。

Figure 4 に QSPI ポートを備えたシステム コンフィギュレーションを示します。

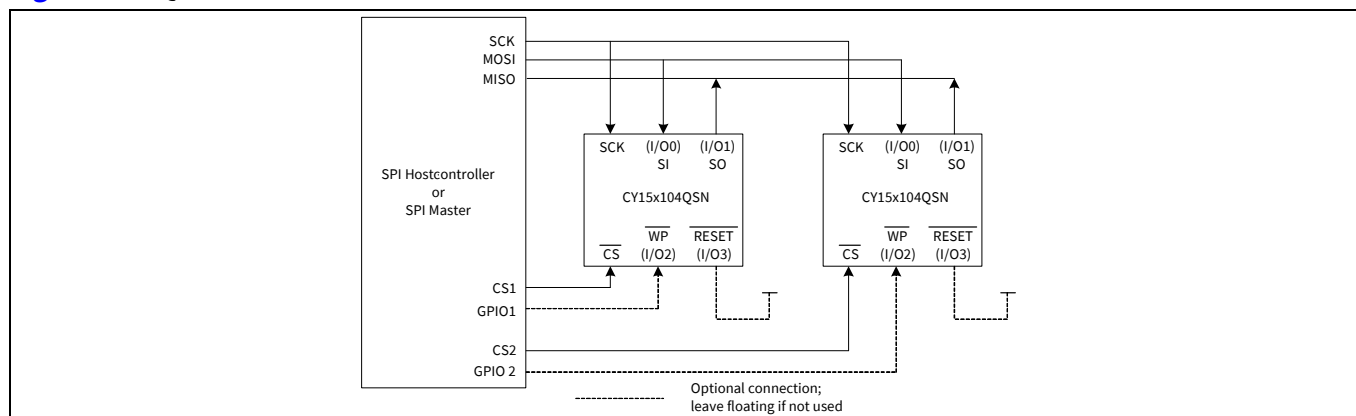


Figure 3 SPI ポートを使用するシステム コンフィギュレーション

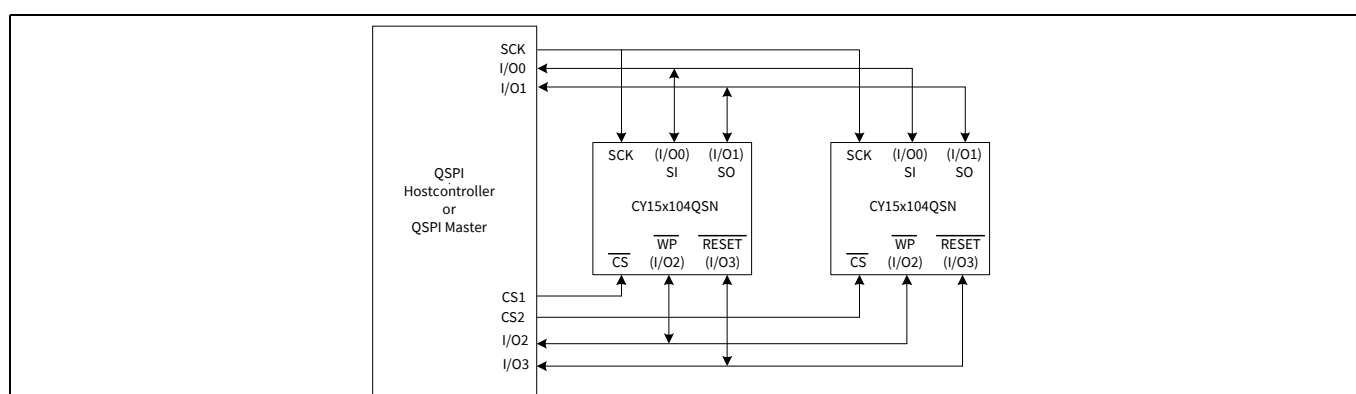


Figure 4 QSPI ポートを使用するシステム コンフィギュレーション

3.3.6 最上位ビット (MSb)

SPI プロトコルでは、最初に送信されるビットが最上位ビット (MSb) でなければいけません。この方式はアドレスとデータ転送共に適用されます。

4M ビット シリアル F-RAM は、すべての読み出しまたは書き込み動作に対応して 3 バイトのアドレスを必要とします。アドレスは 19 ビットであるため、入力された 5 ビットはデバイスによって無視されま

機能の概要

す。これらの 5 ビットは「ドントケア」ですが、より高容量メモリへの円滑な移行を可能にするために、これらを「0」に設定することをインフィニオンは推奨します。

3.3.7 シリアル オペコード

$\overline{\text{CS}}$ が LOW になる状態でスレーブ デバイスが選択された後、最初に受信されたバイトは、意図されている動作のオペコードとして扱われます。CY15x104QSN はメモリ アクセスに標準オペコード (Table 32 をご参照ください) を使用します。

3.3.8 無効なオペコード

予約されたオペコードが受信された場合、オペコードは内部的に意図しない動作をトリガし、不定なデータ出力で I/O ピンを駆動する場合があります。したがって、CY15x104QSN チップセレクト $\overline{\text{CS}}$ が LOW の時に、予約されたカテゴリのすべてのオペコードを SI ピンを介して送信することは避ける必要があります。

3.3.9 命令

命令はメモリおよびレジスタにアクセスするために使用されるオペコード、アドレス、モード、またはダミー バイト / サイクルの組合せです。

3.3.10 モード バイト

モード バイトは直接実行 (XIP) をサポートするすべての書き込みおよび読み出しコマンドに適用されます。XIP は、コードを RAM にコピーまたはシャドウイングするのではなく、外付けメモリからプログラム (コード) を直接実行する方法です。XIP が書き込みまたは読み出しコマンドにセットされる場合、続くコマンド サイクル ($\overline{\text{CS}}$ LOW) がアドレス フェーズ (オペコード フェーズはスキップされる) から直接開始されるように、コマンド サイクルが終了した後 ($\overline{\text{CS}}$ HIGH) にデバイスは XIP モードのままです。XIP では、デバイスは前のサイクルと同じ動作を実行します。XIP の間に新しい動作を開始するには (例えば、メモリ書き込みからメモリ読み出しに変わり、またはその逆)、デバイスはまず現行のコマンド サイクルを XIP モードから終了し、次のコマンド サイクルをオペコード フェーズから開始する必要があります。モード フェーズを必要とするオペコードは XIP のみをサポートします。モード フェーズを必要とするオペコードの一覧は Table 32 を参照してください。

オペコードおよび 3 バイト アドレス サイクルに続き、モード フェーズ中に送信されたモード バイト 0xAX (X はドントケアビット) または 0xA5 (オペコードに依存) は、次のコマンド サイクルのためにデバイスを XIP のままにします。次のコマンド サイクルで XIP のままにするためには、XIP が各コマンド サイクルでセットされる必要があります。0xAX または 0xA5 以外 (!0xAX または !0xA5) の値をモード フェーズ中に送信すると、現行の動作に対して XIP は終了されます。この場合、次のコマンド サイクルは同じ動作または新しい動作を行うために常にオペコード フェーズから開始する必要があります。SPI モードとインターフェース タイプに応じて、モード バイトを送信するクロック数は 1 クロック (クアッド、DDR) から 8 クロック (SPI, SDR) まで異なります。

3.3.11 ウェイト ステートまたはダミー サイクル

ダミー サイクルとも呼ばれるウェイト ステートは、アドレス ビットとモード ビットの後に付加されます (該当する場合)。ウェイト ステート サイクルの数は、メモリとレジスタ読み出しの両方に対してコンフィギュレーションレジスタ 1 (CR1) とコンフィギュレーションレジスタ 2 (CR2) を介して設定できます。有効なデータは、ウェイト ステートをサポートするメモリおよびレジスタ読み出しコマンドに続いて特定の数のダミー サイクルが経過した後にのみ、出力バス上で駆動されます。ダミー サイクルは SPI モードおよびデータ レート (SDR または DDR) に関係なく、フル クロック サイクルです。I/O ステータスは、ダミー サイクル中ドントケアです。

機能の概要

3.4 SPI モード

CY15X104Q は、SPI ペリフェラルが次の 2 つのモードのいずれかで動作しているマイクロコントローラによって駆動することができます。

- SPI モード 0 (CPOL = 0, CPHA = 0)
- SPI モード 3 (CPOL = 1, CPHA = 1)

$\overline{\text{CS}}$ ピンを LOW にすることによりデバイスが選択された時、デバイスは SCK ピンの状態から SPI モードを検出します。デバイスが選択された時、SCK ピンが LOW ならデバイスは SPI モード 0 で動作し、SCK ピンが HIGH ならデバイスは SPI モード 3 で動作します。2 つの SPI モードを **Figure 5** と **Figure 6** に示します。バス マスターがデータを転送していない時のクロック SCK の状態は以下のとおりです。

- モード 0 では、SCK が 0 のまま
- モード 3 では、SCK が 1 のまま

SPI モード 0 と SPI モード 3 はすべての SDR モードコマンドでサポートされています。一方、すべての DDR モードコマンドは SPI モード 0 のみをサポートします。

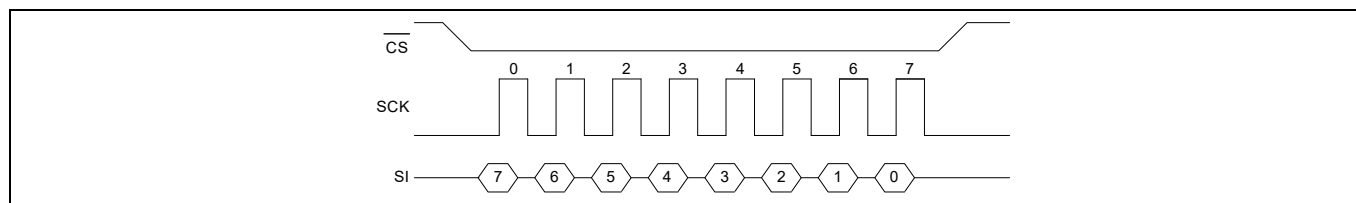


Figure 5 SPI モード 0

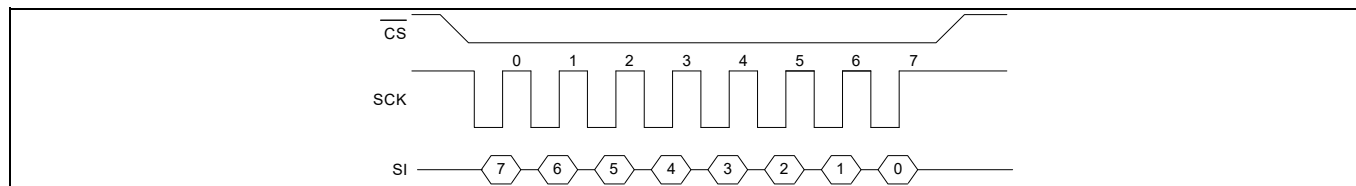


Figure 6 SPI モード 3

3.4.1 SDR

入力データビット (命令、アドレスおよびデータを含む) は、 $\overline{\text{CS}}$ がアクティブになった後の最初の立ち上がりエッジから始まる SCK の立ち上がりエッジで常にラッチされます。クロックが HIGH 状態から起動される場合 (モード 3) では、入力データビットはクロック トグル後の最初の立ち上がりエッジでラッチされます。出力データは SCK の立ち下りエッジで利用可能となります。

3.4.2 DDR

命令ビットは、CS がアクティブになった後の最初の立ち上がりエッジから始まる SCK の立ち上がりエッジで常にラッチされます。クロックが HIGH 状態から起動される場合 (モード 3) では、命令ビットはクロック トグル後の最初の立ち上がりエッジでラッチされます。ただし、命令の後に続くアドレスおよび入力データは SCK の立ち上がりエッジと立ち下りエッジの両方でラッチされます。最初のアドレスビットは、最後の命令ビットの立ち下りエッジの後に続く SCK の最初の立ち上がりエッジでラッチされます。出力データの最初のビットは、最後のアクセス レイテンシ (ダミー) サイクルの最後に、SCK の立ち下りエッジで駆動されます。

3.5 電源投入時から最初のアクセスまで

CY15X104QSN は電源 (V_{DD}) が $V_{DD}(LOW)$ を下回ると、パワーアップサイクルが開始されます。VDD 電源が最小 $V_{DD}(Min)$ を超えて上昇する時、CY15X104QSN は内部ブートアップシーケンスを実行します。CY15X104QSN のブートアップシーケンスには、内部パワーオンリセット (POR)、次に内部デバイス コンフィギュレーションおよびトリムレジスタのロード、ユーザー アクセス可能なレジスタの設定が含まれます。すべてのユーザー アクセス可能なレジスタ (ステータスとコンフィギュレーション、モード、ID、ECC および CRC) は、ブートアップサイクルが成功した後にデフォルト値に設定されます。**Table 3** にパワーアップ (または POR) シーケンスが成功した後の CY15X104QSN の各レジスタの状態を示します。

V_{DD} が $V_{DD}(Min)$ を超えた後、 t_{PU} の時間遅延が経過するまで、CY15X104QSN はすべての命令を無視します。 t_{PU} を経過するまで、命令をデバイスに送信しないようにしてください。 t_{PU} が経過した後、 \overline{CS} が HIGH になる場合、デバイスはスタンバイ モードになり、スタンバイ電流 (I_{SB}) を消費します。POR に入るとき、コンフィギュレーションレジスタ 4 (CR4) の DPDPOR が「1」に設定されると (CR4[2] = 「1」)、デバイスは t_{PU} の後にディープパワーダウン モードになります。

ステータスレジスタ 1 の WIP ビット (SR1[0]) を使用し、POR イベント後にデバイス準備ステータスをポーリングすることはできません。これは t_{PU} 時間が経過するまで、デバイスは RDSR1 を含む任意のコマンドを実行するためにアクセスができないからです。ただし、 t_{PU} 時間の後も WIP が HIGH のままであるか、デバイスにアクセスできない場合は、デバイスが正しく起動しなかったことを示します (ブートエラー)。ブートエラーが発生すると、デバイスは次のデフォルト状態になります。

- ・インターフェース モードがシングル SPI (SDR) に設定される
- ・CR2 の IO3R ビット (CR2[5]) は、IO3 のハードウェアリセット (\overline{RESET}) を有効にするために内部で「1」に設定される
- ・レジスタレイテンシは 3 クロック サイクル (最大値) に設定される
- ・出力インピーダンスは 45Ω に設定される
- ・SR1 を読み出すために RDSR1 および RDAR コマンドだけは実行可能 (SPI SDR モードのみ)。他のコマンドはすべて無効になり、実行された場合、未定義データが返される
- ・SR1 を読み出すと、0x61 (ブートエラー シグネチャ) が返される

CY15X104QSN は、起動を再開するためにパワーサイクルまたはハードウェアリセットが必要です。上記のデフォルト設定は、正常な起動後に実際のユーザー設定に置き換えられます。

Table 3 POR 後の CY15X104QSN レジスタ ステータス

機能	レジスタ タイプ	POR 後の CY15X104QSN レジスタ ステータス
デバイス ステータス	ステータス レジスタ 1 (SR1)	デフォルトは対応する不揮発性ビット
	ステータス レジスタ 2 (SR2)	0x00
デバイス コンフィギュレーション ^[2]	コンフィギュレーションレジスタ 1 (CR1)	デフォルトは対応する不揮発性ビット
	コンフィギュレーションレジスタ 2 (CR2)	デフォルトは対応する不揮発性ビット
	コンフィギュレーションレジスタ 4 (CR4)	デフォルトは対応する不揮発性ビット
	コンフィギュレーションレジスタ 5 (CR5)	デフォルトは対応する不揮発性ビット
識別	ID レジスタ	デフォルトは対応する不揮発性ビット (工場出荷時設定)
	固有 ID レジスタ	デフォルトは対応する不揮発性ビット (工場出荷時設定)
	シリアル番号レジスタ	デフォルトは対応する不揮発性ビット (工場出荷時設定が 0x0000000000000000)

注:

2. コンフィギュレーションレジスタ 3 (CR3) は将来使用のために予約されています。

機能の概要

Table 3 POR 後の CY15x104QSN レジスタ ステータス (continued)

機能	レジスタ タイプ	POR 後の CY15x104QSN レジスタ ステータス
エラー訂正	ECC ステータス レジスタ	0x00
	ECC カウント レジスタ	0x0000
	ECC アドレストラップレジスタ	0x00000000
巡回冗長検査	CRC レジスタ	0x00000000

4 CY15x104QSN レジスタ

CY15x104QSN はデバイスの状態更新やコンフィギュレーション設定のために各種のステータスおよびコンフィギュレーションのレジスタをサポートします。CY15x104QSN のレジスタとアクセス方法の詳細については、次の節で説明します。

4.1 ステータス レジスタ

CY15x104QSN は 2 つのステータスレジスタ、ステータスレジスタ 1(SR1) とステータスレジスタ 2(SR2) をサポートし、デバイスのライトプロテクト設定とレディ /CRC ステータスを提供します。SR1 レジスタは、F-RAM 内に揮発性および関連する不揮発性レジスタ空間をもちます。不揮発性レジスタは、パワーダウン中またはハードウェアリセット (JEDEC リセットまたは RESET ピン) 後にそれぞれの揮発性レジスタにコピーされ、パワーダウン中のデバイス設定を保持します。CY15x104QSN ステートマシンは、通常のアクセス中にデバイス設定を変更するために揮発性レジスタ設定のみを使用します。CY15x104QSN は揮発性と不揮発性の両方の設定レジスタに独立した空間を提供するため、ホストは現在の電源サイクルに対して設定を有効にするためにのみ揮発性レジスタをプログラムできます。不揮発性書き込みは、揮発性レジスタと不揮発性レジスタの両方の内容を変更します。そのため、新しい設定は、現在の電源サイクル、およびそれに続く電源サイクルまたはハードウェアリセットサイクルでただちに有効になります。SR2 は読み出し専用レジスタです。

ステータスレジスタからの読み出しは、専用のステータスレジスタ読み出しオペコード (RDSR1, RDSR2) を使用するか、RDAR の後に続くステータスレジスタアドレスを使用します。ステータスレジスタの読み出しは常に揮発性レジスタの内容を返します。個々のステータスレジスタの詳細は以下のセクションに記載されています。

4.1.1 ステータス レジスタ 1 (SR1)

ステータス レジスタ 1(SR1) は表 3 に示すとおり、ステータスと書き込み保護制御ビットを含みます。SR1 は、書き込みの場合は WRSR または WRAR コマンド、読み出しの場合は RDSR1 または RDAR コマンドによりアクセスします。SR1 アクセス詳細は [レジスタ アクセス コマンド](#) で説明します。Table 4 の各ビットの括弧内のデフォルト値は工場出荷時の設定値です。

WRAR の不揮発性書き込みアドレス - 0x000000

WRAR の揮発性書き込みアドレス - 0x070000

RDAR の読み出しアドレス - 0x000000 or 0x070000

Table 4 の各ビットの後に示されているデフォルト状態は出荷時設定値です。

Table 4 ステータス レジスタ 1 (SR1)

SR1[7]	SR1[6]	SR1[5]	SR1[4]	SR1[3]	SR1[2]	SR1[1]	SR1[0]
SRWD (0)	RFU (0)	TBPROT (0)	BP2 (0)	BP1 (0)	BP0 (0)	WEL (0)	WIP (0)

Table 5 ステータスレジスタ 1 (SR1) - 不揮発性

ビット	ビット名	ビット機能	タイプ	読み出し / 書き込み (R/W)	説明
SR1[7]	SRWD	ステータスレジスタ書き込みディセーブル	NV	R/W	1 = \overline{WP} が LOW のとき、ステータスおよびコンフィギュレーションレジスタの状態をロックします。 0 = \overline{WP} ピンの状態にかかわらず、レジスタは保護されます。
SR1[6]	RFU	予約済み (0)			将来使用するために予約済み
SR1[5]	TBPROT	最上部 / 最下部関連保護	NV	R/W	1 = 保護はメモリアレイの最下部から始まります。 0 = 保護はメモリアレイの最上部から始まります。
SR1[4]	BP2	ブロック保護ビット	NV	R/W	メモリアレイの選択されたアドレス範囲を保護します。
SR1[3]	BP1		NV		
SR1[2]	BP0		NV		
SR1[1]	WEL	書き込みイネーブルラッチ	V	R	WEL はデバイスの書き込みが有効かどうかを示します。電源投入時、このビットの初期値は '0' (無効) です。 WEL = '1' --> 書き込みが有効 WEL = '0' --> 書き込みが無効
SR1[0]	WIP	実行中	V	R	1 = デバイスはビジー 0 = デバイスはレディ

NV - 不揮発性 ; V - 揮発性

Table 6 ステータスレジスタ 1 (SR1) - 揮発性

ビット	ビット名	ビット機能	タイプ	読み出し / 書き込み (R/W)	説明
SR1[7]	SRWD	ステータスレジスタ書き込みディセーブル	V	R/W	1 = \overline{WP} が LOW のとき、ステータスおよびコンフィギュレーションレジスタの状態をロックします。 0 = \overline{WP} ピンの状態にかかわらず、レジスタは保護されます。
SR1[6]	RFU	予約済み (0)			将来使用するために予約済み
SR1[5]	TBPROT	最上部 / 最下部関連保護	V	R/W	1 = 保護はメモリアレイの最下部から始まります。 0 = 保護はメモリアレイの最上部から始まります。
SR1[4]	BP2	ブロック保護ビット	V	R/W	メモリアレイの選択されたアドレス範囲を保護します。
SR1[3]	BP1		V		
SR1[2]	BP0		V		
SR1[1]	WEL	書き込みイネーブルラッチ	V	R	WEL はデバイスの書き込みが有効かどうかを示します。電源投入時、このビットの初期値は '0' (無効) です。 WEL = '1' --> 書き込みが有効 WEL = '0' --> 書き込みが無効
SR1[0]	WIP	実行中	V	R	1 = デバイスはビジー 0 = デバイスはレディ

V - 揮発性

4.1.1.1 ステータスレジスタ保護 (SRWD) SR1 [7]

このビットが「1」に設定され、かつ書き込み保護 (WP) ピンが LOW に駆動されているとき、ステータスおよびコンフィギュレーションレジスタの書き込み保護が有効になります。このモードでは、ステータスレジスタまたはコンフィギュレーションレジスタの内容を変更する命令はすべて無視され、デバイスの状態が効果的にロックされます。SRWD が「0」に設定される場合、WP の状態 (LOW または HIGH) に関係なく、ステータスおよびコンフィギュレーションレジスタの書き込み保護は無効です。メモリとステータスレジスタの保護オプションは [Table 9](#) をご参照ください。

4.1.1.2 最上部 / 最下部保護 (TBPROT) SR1 [5]

このビットは BP2, BP1, および BP0 のブロック保護ビットの動作を定義します。このビットは、ブロック保護ビットによって保護されるメモリアレイの開始位置 (最上部または最下部から) を制御します。

Table 7 最上部からの保護開始 (TBPROT = '0')

ステータスレジスタの内容			メモリアレイの保護部分	保護されるアドレス範囲
BP2	BP1	BP0		
0	0	0	無し	無し
0	0	1	メモリアレイの上位 1/64	0x07E000-0x07FFFF
0	1	0	メモリアレイの上位 1/32	0x07C000-0x07FFFF
0	1	1	メモリアレイの上位 1/16	0x078000-0x07FFFF
1	0	0	メモリアレイの上位 1/8	0x070000-0x07FFFF
1	0	1	メモリアレイの上位 1/4	0x060000-0x07FFFF
1	1	0	メモリアレイの上位 1/2	0x040000-0x07FFFF
1	1	1	メモリ全体	0x000000-0x07FFFF

Table 8 最下部からの保護開始 (TBPROT = '1')

ステータスレジスタの内容			メモリアレイの保護部分	保護されるアドレス範囲
BP2	BP1	BP0		
0	0	0	無し	無し
0	0	1	メモリアレイの上位 1/64	0x000000-0x001FFF
0	1	0	メモリアレイの上位 1/32	0x000000-0x003FFF
0	1	1	メモリアレイの上位 1/16	0x000000-0x007FFF
1	0	0	メモリアレイの上位 1/8	0x000000-0x00FFFF
1	0	1	メモリアレイの上位 1/4	0x000000-0x01FFFF
1	1	0	メモリアレイの上位 1/2	0x000000-0x03FFFF
1	1	1	メモリ全体	0x000000-0x07FFFF

4.1.1.3 ブロック保護 (BP2, BP1, および BP0) SR1 [4:2]

これらのビットはメモリ書き込みコマンドに対して書き込み保護されるメモリアレイを定義します。1 つ以上の BP ビットが「1」に設定された場合、対応するメモリアドレスは書き込み保護されます。ブロック保護ビット (BP2, BP1, BP0) は TBPROT と組み合わせて、メモリアレイの 1 つのアドレス範囲を保護するために使用できます。範囲のサイズは BP ビットの値で決定され、範囲の上部と下部の開始位置は TBPROT ビットで選択されます。[Table 7](#) と [Table 8](#) に BP[2:0] ビット設定による CY15x104QSN の保護アドレス範囲を示します。

4.1.1.4 書き込みイネーブル ラッチ (WEL) SR1 [1]

Table 9 に示すように、メモリアレイまたはレジスタへの書き込み動作を有効にするために、WEL ビットを「1」に設定する必要があります。このビットは書き込みイネーブル (WREN) コマンドの実行のみによって「1」に設定されます。WEL ビット (SR1[1]) は WRDI (04h), WRSR (01h), SSWR (42h), WRAR (71h), および WRSN (C2h) のオペコードに続く CS の立ち上りエッジで自動的に「0」にクリアされます。WEL ビット (SR1[1]) は、メモリ書き込みオペコードに続く CS の立ち上りエッジで「0」にクリアされません。WEL ビットは揮発性であり、POR およびすべてのリセットイベントの後に「0」の初期設定状態に戻ります。

Table 9 書き込み保護

SRWD	\overline{WP}	WEL	保護ブロック	非保護ブロック	ステータスおよび コンフィギュレーションレジスタ ^[3]
X	X	0	保護	保護	保護
0	X	1	保護	書き込み可能	書き込み可能
1	0	1	保護	書き込み可能	保護
1	1	1	保護	書き込み可能	書き込み可能

4.1.1.5 実行中 (WIP) SR1 [0]

これは読み出し専用ビットであり、デバイスの通常動作中にレディまたはビジーの状態を示します。CY15x104QSN は CRC 計算を実行中にこのビットを「1」に設定します。CY15x104QSN で他のコマンドやイベントは WIP を「1」に設定しません。WIP が「1」に設定されたとき、CY15x104QSN は RDSR1 / RDSR2 または任意レジスタ読み出し (RDAR の後にステータスレジスタアドレスが続く)、CRC 中断 (EPCS) およびソフトウェアリセット (RSTEN の後に RST が続く) のコマンドを使用してステータスレジスタ読み出しのみを実行できます。WIP が「1」のとき、他のコマンドは無視されます。WIP ビットは電源投入またはリセットサイクル中に、デバイスのレディ状態をポーリングするために使用できません。このビットは揮発性で、POR およびすべてのリセットイベントの後に初期設定状態に戻ります。

注:

- 読み出し専用および予約済みのビットを除くすべてのビット。

4.1.2 ステータス レジスタ 2 (SR2)

Table 10 に示すように、ステータス レジスタ 2(SR2) は CRC 実行中のデバイス状態を示します。SR2 は読み出し専用揮発性レジスタであり、読み出しのために RDSR2 または RDAR コマンドでアクセスします。SR1 アクセス詳細は [レジスタ アクセス コマンド](#) で説明します。

RDAR 読み出しアドレス - 0x000001 または 0x070001

Table 11 内の各ビットの後に示される初期設定状態は工場出荷時にプログラムされた値です。

Table 10 ステータス レジスタ 2 (SR2)

SR2[7]	SR2[6]	SR2[5]	SR2[4]	SR2[3]	SR2[2]	SR2[1]	SR2[0]
RFU (0)	RFU (0)	RFU (0)	CRCS (0)	CRCA (0)	RFU (0)	RFU (0)	RFU (0)

Table 11 ステータス レジスタ 2 (SR2) - 揮発性専用

ビット	ビット名	ビット機能	タイプ	読み出し / 書き込み (R/W)	説明
SR2[7]	RFU	予約済み (0)			将来使用するために予約済み
SR2[6]	RFU	予約済み (0)			将来使用するために予約済み
SR2[5]	RFU	予約済み (0)			将来使用するために予約済み
SR2[4]	CRCS	CRC 中断	V	R	1 = デバイスが CRC 中断モードに移行 0 = デバイスが CRC 中断モードを終了
SR2[3]	CRCA	CRC 中止	V	R	1 = CRC コマンドが中止される 0 = CRC コマンドが中止されない
SR2[2]	RFU	予約済み (0)			将来使用するために予約済み
SR2[1]	RFU	予約済み (0)			将来使用するために予約済み
SR2[0]	RFU	予約済み (0)			将来使用するために予約済み

V - 揮発性

4.1.2.1 CRC 中断 (CRCS) SR2 [4]

CRC 中断 (CRCS) ビットは、デバイスが CRC 中断モードにあるかどうかを判断するために使用されます。デバイスの CRC 計算中に CRC 中断コマンド (EPCS) を実行すると、このビットが「1」に設定され、CRC 中断ステータスが示されます。CRC 再開 (EPCR) コマンドは CRCS ビットを「0」にクリアし、デバイスが CRC 中断モードを終了したことを示します。これは読み出し専用ビットです。このビットはリセット (POR, ハードウェア, およびソフトウェア) イベントの後にもクリアされます。

4.1.2.2 CRC 中止 (CRCA) SR2 [3]

このビットは CRC 計算 (CRCC) 動作が中止されたかどうかを示します。終了アドレスと開始アドレスの条件「EA < SA+3 (終了アドレスが開始アドレスより少なくとも 32 ビット整列ワード上位)」が満たされない場合、CRC 計算は中止されます。次の CRC 計算が正常に開始されると、このビットはクリアされます。また、リセット (POR, ハードウェア, およびソフトウェア) の後にもこのビットはクリアされます。

4.2 コンフィギュレーションレジスタ

CY15x104QSN はデバイスでさまざまな制御をプログラムするために CR1, CR2, CR4, および CR5 の 4 つのユーザーコンフィギュレーションレジスタをサポートします。各コンフィギュレーションレジスタは、F-RAM に揮発性および対応する不揮発性レジスタ空間があります。不揮発性レジスタは、電源切断中デバイスコンフィギュレーションを保持してから、電源投入時またはハードウェアリセット (JEDEC リセットまたは RESET ピン) 後、デバイスコンフィギュレーションは対応する揮発性レジスタにコピーされます。CY15x104QSN のステートマシンは、通常アクセス時にデバイスコンフィギュレーションを変更するために揮発性レジスタ設定のみを使用します。CY15x104QSN が揮発性と不揮発性のコンフィギュレーションレジスタに独立した空間を提供するため、ホストは現行の電源サイクルでコンフィギュレーションを有効にするために揮発性レジスタのみをプログラムできます。不揮発性の書き込みは、揮発性レジスタと不揮発性レジスタの両方の内容を変更します。そのため、新しいコンフィギュレーションは、現行の電源サイクル および後続の電源サイクル またはハードウェアリセットサイクルに対してすぐに有効になります。

専用コンフィギュレーションレジスタ読み出しオペコード (RDCR1, RDCR2, RDCR3, RDCR4) または RDAR を使用するコンフィギュレーションレジスタからの読み出しは、いつも揮発性レジスタの内容を返します。各々のコンフィギュレーションレジスタの詳細は次のセクションで説明します。

4.2.1 コンフィギュレーションレジスタ 1 (CR1)

Table 12 に示すように、コンフィギュレーションレジスタ 1 (CR1) はメモリおよび特殊セクタの読み出しのためにレイテンシ (ダミー) サイクルを設定し、拡張 SPI アクセス時にクワッド I/O を有効にします。CR1 は書き込みのために WRAR コマンド、読み出しのために RDCR1 または RDAR コマンドでアクセスします。CR1 アクセスの詳細は **レジスタアクセスコマンド** で説明します。

WRAR の不揮発性書き込みアドレス - 0x0000002

WRAR の揮発性書き込みアドレス - 0x070002

RDAR の読み出しアドレス - 0x0000002 または 0x070002

Table 12 内の各ビットの後に示される初期設定状態は工場出荷時にプログラムされた値です。

Table 12 コンフィギュレーションレジスタ 1 (CR1)

CR1[7]	CR1[6]	CR1[5]	CR1[4]	CR1[3]	CR1[2]	CR1[1]	CR1[0]
MLC3 (0)	MLC2 (0)	MLC1 (0)	MLC0 (0)	RFU (0)	RFU (0)	QUAD (0)	RFU (0)

Table 13 コンフィギュレーションレジスタ 1 (CR1) - 不揮発性

ビット	ビット名	ビット機能	タイプ	読み出し / 書き込み (R/W)	説明
CR1[7]	MLC3	メモリレイテンシコード	NV	R/W	メモリおよび特殊セクタ読み出しオペコード用のレイテンシ (ダミー) サイクルの数を設定します。 例: 0000 - 0 サイクル 0110 - 6 サイクル 1111 - 15 サイクル
CR1[6]	MLC2		NV		
CR1[5]	MLC1		NV		
CR1[4]	MLC0		NV		
CR1[3]	RFU	予約済み (0)			将来使用するために予約済み
CR1[2]	RFU	予約済み (0)			将来使用するために予約済み
CR1[1]	QUAD	クアッド	NV	R/W	1 = クアッド 0 = デュアルまたはシリアル
CR1[0]	RFU	予約済み (0)			将来使用するために予約済み

NV - 不揮発性

Table 14 コンフィギュレーションレジスタ 1 (CR1) - 揮発性

ビット	ビット名	ビット機能	タイプ	読み出し / 書き込み (R/W)	説明
CR1[7]	MLC3	メモリ レイテンシ コード	V	R/W	メモリおよび特殊セクタ読み出しオペコード用のレイテンシ (ダミー) サイクルの数を設定します。 例： 0000 - 0 サイクル 0110 - 6 サイクル 1111 - 15 サイクル
CR1[6]	MLC2		V		
CR1[5]	MLC1		V		
CR1[4]	MLC0		V		
CR1[3]	RFU	予約済み (0)			将来使用するために予約済み
CR1[2]	RFU	予約済み (0)			将来使用するために予約済み
CR1[1]	QUAD	クアッド	V	R/W	1 = クアッド 0 = デュアルまたはシリアル
CR1[0]	RFU	予約済み (0)			将来使用するために予約済み

V - 揮発性

4.2.1.1 メモリ レイテンシ コード (MLC) CR1 [7:4]

これらの 4 ビットはすべての可変レイテンシ メモリ読み出し命令のレイテンシ (ダミー) サイクルを設定します。これにより、ユーザーは異なる動作周波数で異なる命令用にレイテンシを最適化するために、通常動作でメモリ読み出しレイテンシを調整できます。ダミーサイクルは SPI モードおよびデータレート (SDR および DDR) に関係なく、SCK でのフルクロックサイクルです。

一部の読み出しオペコードはアドレスサイクルに続くダミーサイクルをサポートします。ダミーサイクルは、データがホストシステムに返される前にメモリ アレイの初期読み出しアクセスを終了するために必要な追加のレイテンシを提供します。SPI クロック (SCK) 周波数の増加に伴い、ダミーサイクルの数はレイテンシを満たすように増加する必要があります。

Table 15 ~ Table 17 に、ダミーサイクルをサポートする各オペコード用のクロックレイテンシに対する最大 SPI クロック周波数を示します。ホストコントローラは、各オペコード用に各々のレイテンシサイクルを設定してタイミングを最適化するか、または所望の動作周波数ですべてのオペコードのレイテンシ要件を満たす最悪の場合のレイテンシを設定できます。高い周波数用に設定されたメモリ読み出しはすべてのより低い周波数に適用できます。したがってホストがクロック (SCK) を高い周波数からより低い周波数に下げるとき、クロックレイテンシの調整は任意になります。

Table 15 のヘッダに (CMD, ADDR, DATA) のフォーマットは異なる SPI モードで複数の I/O でのこれらのバイトの送信を示します。例えば、(2, 2, 2) は DPI モードでコマンド (CMD), アドレス (ADDR), およびデータ (DATA) のすべてのバイトが 2 つの I/O (I/O0 と I/O1) で送信されることを示します。同様に、(1, 2, 2) はデュアル I/O モードで CMD バイトが 1 つの I/O (I/O0) で、ADDR と DATA バイトが 2 つの I/O (I/O0 と I/O1) で送信されることを示します。(1, 1, 4) はクアッド データ モードで CMD と ADDR バイトが 1 つの I/O (I/O0) で、I/O0 で DATA バイトが 4 つの I/O (I/O0, I/O1, I/O2, I/O3) で送信されることを示します。

モードは、さまざまな SPI インターフェース モードでアドレスビットに続いてモードバイトを送信するために必要なクロックサイクルの数を表します。モードビットがアドレスサイクルの後に送信されるため、モードビットを送信するために必要なクロックサイクルはレイテンシ計算に内部的に追加されます。

Table 15 メモリ読み出しコマンド用のレイテンシ (ダミー) サイクル - XIP モードあり (SDR)

レイテンシ (ダミー) サイクル - 10 進	SPI (SDR)	DPI (SDR)	QPI (SDR)	デュアル データ (SDR)	デュアル I/O (SDR)	クアッド データ (SDR)	クアッド I/O (SDR)
	FAST_READ	FAST_READ	FAST_READ, QIOR	DOR	DIOR	QOR	QIOR
	(1, 1, 1)	(2, 2, 2)	(4, 4, 4)	(1, 1, 2)	(1, 2, 2)	(1, 1, 4)	(1, 4, 4)
	モード = 8	モード = 4	モード = 2	モード = 8	モード = 4	モード = 8	モード = 2
0	108 MHz	55 MHz ^[4]	10 MHz ^[4]	108 MHz	55 MHz ^[4]	108 MHz	10 MHz ^[4]
1	108 MHz	70 MHz ^[4]	25 MHz ^[4]	108 MHz	70 MHz ^[4]	108 MHz	25 MHz ^[4]
2	108 MHz	80 MHz ^[4]	40 MHz ^[4]	108 MHz	80 MHz ^[4]	108 MHz	40 MHz ^[4]
3	108 MHz	95 MHz ^[4]	55 MHz ^[4]	108 MHz	95 MHz ^[4]	108 MHz	55 MHz ^[4]
4	108 MHz	108 MHz	70 MHz ^[4]	108 MHz	108 MHz	108 MHz	70 MHz ^[4]
5	108 MHz	108 MHz	80 MHz ^[4]	108 MHz	108 MHz	108 MHz	80 MHz ^[4]
6	108 MHz	108 MHz	95 MHz ^[4]	108 MHz	108 MHz	108 MHz	95 MHz ^[4]
7-15	108 MHz	108 MHz	108 MHz	108 MHz	108 MHz	108 MHz	108 MHz

注:

4. このパラメーターは特性によって保証され、量産中にテストされません。

Table 16 メモリ読み出しコマンド用のレイテンシ (ダミー) サイクル - XIP モードあり (DDR)

レイテンシ (ダミー) サイクル - 10 進	QPI (DDR)	クアッド I/O (DDR)
	DDRF, DDRQIOR	DDRQIOR
	(4, 4, 4)	(1, 4, 4)
	モード = 1	モード = 1
0	該当なし	該当なし
1	該当なし	該当なし
2	10 MHz ^[5]	10 MHz ^[5]
3	25 MHz ^[5]	25 MHz ^[5]
4	33 MHz ^[5]	33 MHz ^[5]
5	40 MHz ^[5]	40 MHz ^[5]
6	50 MHz ^[5]	50 MHz ^[5]
7-15	54 MHz	54 MHz

Table 17 メモリ読み出しコマンド用のレイテンシ (ダミー) サイクル - XIP モードなし

レイテンシ (ダミー) サイクル - 10 進	SPI (SDR)	DPI (SDR)	QPI (SDR)
	READ, ECCRD, SSRD		
	(1, 1, 1)	(2, 2, 2)	(4, 4, 4)
	モード = 該当なし	モード = 該当なし	モード = 該当なし
0	40 MHz ^[5]	該当なし	該当なし
1	55 MHz ^[5]	該当なし	該当なし
2	70 MHz ^[5]	25 MHz ^[5]	10 MHz ^[5]
3	80 MHz ^[5]	40 MHz ^[5]	25 MHz ^[5]
4	95 MHz ^[5]	55 MHz ^[5]	40 MHz ^[5]
5	108 MHz	70 MHz ^[5]	55 MHz ^[5]
6	108 MHz	80 MHz ^[5]	70 MHz ^[5]
7	108 MHz	95 MHz ^[5]	80 MHz ^[5]
8	108 MHz	108 MHz	95 MHz ^[5]
9-15	108 MHz	108 MHz	108 MHz

4.2.1.2 クアッド データ幅 (QUAD) CR1 [1]

このビットが「1」に設定されると、 \overline{WP} が I/O2 に、 $\overline{RESET}/(I/O3)$ が I/O3 になり、デバイスのデータ幅は 4 つの I/O (クアッドモード) に切り替わります。コンフィギュレーションレジスタ 2 の IO3R ビット (CR2[5]) を設定することによって I/O3 の代替機能を有効にした場合、 $\overline{RESET}/(I/O3)$ は \overline{CS} が LOW の時に I/O3 として、 \overline{CS} が HIGH の時に \overline{RESET} 入力として動作します。 \overline{WP} 入力は無効にされ、内部的に「1」に設定されます。クアッド I/O 読み出しの拡張 SPI コマンド (クアッド出力読み出し, クアッド I/O 読み出し, および DDR クアッド I/O 読み出し) を実行する際、QUAD ビットを「1」に設定する必要があります。QUAD ビット設定のさまざまな SPI インターフェースに対する影響を Table 21 に示します。

注:

- このパラメーターは特性によって保証され、量産中にテストされません。

4.2.2 コンフィギュレーションレジスタ 2 (CR2)

Table 18 に示すように、コンフィギュレーションレジスタ 2 はシリアルインターフェースの設定を制御します。CR2 は、書き込みのために WRAR コマンド、読み出しのために RDCR2 または RDAR コマンドでアクセスします。CR2 アクセスの詳細は [レジスタ アクセス コマンド](#) で説明します。

WRAR の不揮発性書き込みアドレス - 0x000003

WRAR の揮発性書き込みアドレス - 0x070003

RDAR の読み出しアドレス - 0x000003 または 0x070003

Table 18 内の各ビットの後に示される初期設定状態は工場出荷時にプログラムされた値です。

Table 18 コンフィギュレーションレジスタ 2 (CR2)

CR2[7]	CR2[6]	CR2[5]	CR2[4]	CR2[3]	CR2[2]	CR2[1]	CR2[0]
RFU (0)	QPI (0)	IO3R (0)	DPI (0)	RFU (0)	RFU (0)	RFU (0)	RFU (0)

Table 19 コンフィギュレーションレジスタ 2 (CR2) - 不揮発性

ビット	ビット名	ビット機能	タイプ	読み出し / 書き込み (R/W)	説明
CR2[7]	RFU	予約済み (0)			将来使用するために予約済み
CR2[6]	QPI	クアド SPI イネーブル	NV	R/W	1 = QPI プロトコルが有効 0 = DPI ビットが '0' にセットされた場合、SPI プロトコルが有効
CR2[5]	IO3R	IO3 リセット	NV	R/W	1 = \overline{CS} が HIGH の場合、I/O3 は \overline{RESET} 入力として使用 0 = I/O3 は代替機能を持たない
CR2[4]	DPI	デュアル SPI イネーブル	NV	R/W	1 = DPI プロトコルが有効 0 = QPI ビットが '0' にセットされた場合、SPI プロトコルが有効
CR2[3]	RFU	予約済み (0)			将来使用するために予約済み
CR2[2]	RFU	予約済み (0)			将来使用するために予約済み
CR2[1]	RFU	予約済み (0)			将来使用するために予約済み
CR2[0]	RFU	予約済み (0)			将来使用するために予約済み

NV - 不揮発性

Table 20 コンフィギュレーションレジスタ 2 (CR2) - 揮発性

ビット	ビット名	ビット機能	タイプ	読み出し / 書き込み (R/W)	説明
CR2[7]	RFU	予約済み (0)			将来使用するために予約済み
CR2[6]	QPI	クアド SPI イネーブル enable	V	R/W	1 = QPI プロトコルが有効 0 = DPI ビットが '0' にセットされた場合、SPI プロトコルが有効
CR2[5]	IO3R	IO3 reset	V	R/W	1 = \overline{CS} が HIGH の場合、I/O3 は \overline{RESET} 入力として使用 0 = I/O3 は代替機能を持たない
CR2[4]	DPI	Dual SPI enable	V	R/W	1 = DPI プロトコルが有効 0 = QPI ビットが '0' にセットされた場合、SPI プロトコルが有効

Table 20 コンフィギュレーションレジスタ 2 (CR2) - 揮発性 (continued)

ビット	ビット名	ビット機能	タイプ	読み出し / 書き込み (R/W)	説明
CR2[3]	RFU	予約済み (0)			将来使用するために予約済み
CR2[2]	RFU	予約済み (0)			将来使用するために予約済み
CR2[1]	RFU	予約済み (0)			将来使用するために予約済み
CR2[0]	RFU	予約済み (0)			将来使用するために予約済み

NV - 不揮発性

4.2.2.1 クアッド SPI (QPI) CR2 [6]

このビットはクアッド SPI モードで命令とデータの幅を制御します。このモードでは、ホストシステムとメモリ間のすべての転送 (すべての命令を含む) は I/O0 ~ I/O3 の 4 ビット幅で実行されます。QPI モードでは、CR1[1] の QUAD ビットを「1」に設定する必要はありません。詳細は [Table 22](#) を参照してください。

4.2.2.2 IO3 リセット (IO3R) CR2 [5]

このビットは $\overline{\text{RESET}}$ / (I/O3) ピンの動作を制御します。このビットが「1」に設定されると、通常動作中は $\overline{\text{RESET}}$ 入力は無効になります。 [Table 21](#) にインターフェースモードに対応した $\overline{\text{RESET}}$ / (I/O3) 機能を示します。

4.2.2.3 デュアル (DPI) CR2 [4]

このビットはデュアル SPI モードで命令とデータの幅を制御します。このモードでは、ホストシステムとメモリ間のすべての転送 (すべての命令を含む) は I/O0 ~ I/O1 の 2 ビット幅で実行されます。詳細は [Table 22](#) を参照してください。

Table 21 $\overline{\text{RESET}}$ / (I/O3) ピン機能

インターフェース モード	クアッドビット (CR1 ^[6])	$\overline{\text{RESET}}$ / (I/O3) ピン機能			
		IO3R (CR2[5]) = 0 (IO3 リセットが無効)		IO3R (CR2[5]) = 1 (IO3 リセットが有効)	
		$\overline{\text{CS}} = 0$	$\overline{\text{CS}} = 1$	$\overline{\text{CS}} = 0$	$\overline{\text{CS}} = 1$
SPI	QUAD = 0	機能なし	機能なし	$\overline{\text{RESET}}$	$\overline{\text{RESET}}$
SPI	QUAD = 1	I/O3 ^[7]	機能なし	I/O3 ^[7]	$\overline{\text{RESET}}$
DPI	QUAD = 0	機能なし	機能なし	$\overline{\text{RESET}}$	$\overline{\text{RESET}}$
DPI	QUAD = 1	機能なし	機能なし	機能なし	$\overline{\text{RESET}}$
QPI	QUAD = x (ドントケア)	I/O3	機能なし	I/O3	$\overline{\text{RESET}}$

Table 22 SPI 動作モードの設定

QUAD ^[8] CR1 ^[6]	DPI ^[4] CR2 ^[4]	QPI ^[6] CR2 ^[6]	動作モード
0	0	0	SPI, 拡張 SPI (デュアル)
1	0	0	SPI, 拡張 SPI (デュアル / クアッド)
X	1	0	DPI
X	0	1	QPI
0	1	1	SPI ^[9] , 拡張 SPI (デュアル) - 推奨コンフィギュレーションではない
1	1	1	SPI ^[9] , 拡張 SPI (デュアル / クアッド) - 推奨コンフィギュレーションではない

注:

6. すべての拡張 SPI は SPI モードで開始します。
7. SPI および DPI モードでは機能なし。クアッド データまたはクアッド I/O モードでは I/O3。
8. QUAD=「1」は I/O をクアッド モードに再設定し、WP と RESET の動作に影響します。詳細は [Table 21](#) を参照してください。
9. レジスタ読み出しは、推奨されるコンフィギュレーションであっても書き込まれた内容を常に戻します。

4.2.3 コンフィギュレーションレジスタ 4 (CR4)

Table 23 に示すように、コンフィギュレーションレジスタ 4 (CR4) は出力駆動インピーダンスおよびディープパワーダウン (DPD) モードの設定を制御します。CR4 は、書き込みのために WRAR コマンド、読み出しのために RDCR4 または RDAR コマンドでアクセスします。CR4 アクセスの詳細は [レジスタアクセス コマンド](#) で説明します。

WRAR の不揮発性書き込みアドレス - 0x0000005

WRAR の揮発性書き込みアドレス - 0x0700005

RDAR の読み出しアドレス - 0x0000005 または 0x0700005

Table 23 内の各ビットの後に示される初期設定状態は工場出荷時にプログラムされた値です。

Table 23 コンフィギュレーションレジスタ 4 (CR4)

CR4[7]	CR4[6]	CR4[5]	CR4[4]	CR4[3]	CR4[2]	CR4[1]	CR4[0]
OI (0)	OI (0)	OI (0)	RFU (0)	RFU (1)	DPDPOR (0)	RFU (0)	RFU (0)

Table 24 コンフィギュレーションレジスタ 4 (CR4) - 不揮発性

ビット	ビット名	ビット機能	タイプ	読み出し / 書き込み (R/W)	説明
CR4[7]	OI	出力インピーダンス	NV	R/W	出力インピーダンス選択
CR4[6]			NV	R/W	
CR4[5]			NV	R/W	
CR4[4]	RFU	予約済み (0)			将来使用するために予約済み
CR4[3]	RFU	予約済み (1)			将来使用するために予約済み ^[10]
CR4[2]	DPDPOR	POR 時ディープパワーダウンモード	NV	R/W	1 = \overline{CS} が HIGH のとき、POR またはハードウェアリセット (JEDEC リセットを含む) の完了時にディープパワーダウンが開始。 0 = \overline{CS} が HIGH のとき、電源投入または POR またはハードウェアリセット (JEDEC リセットを含む) の完了時にスタンバイモードが開始。
CR4[1]	RFU	予約済み (0)			将来使用するために予約済み
CR4[0]	RFU	予約済み (0)			将来使用するために予約済み

NV - 不揮発性

注:

- 10.SPI バス マスターは、このコンフィギュレーションレジスタに書き込む時に CR4[3] ビットが「1」であることを確認する必要があります。このビットに「0」を書き込むと、デバイス機能が影響される場合があります。

Table 25 コンフィギュレーションレジスタ 4 (CR4) - 揮発性

ビット	ビット名	ビット機能	タイプ	読み出し / 書き込み (R/W)	説明
CR4[7]	OI	出力インピーダンス	V	R/W	出力インピーダンス選択
CR4[6]			V	R/W	
CR4[5]			V	R/W	
CR4[4]	RFU	予約済み (0)			将来使用するために予約済み
CR4[3]	RFU	予約済み (1)			将来使用するために予約済み ^[11]
CR4[2]	DPDPOR	POR 時ディープパワーダウンモード	V	R/W	1 = \overline{CS} が HIGH のとき、POR またはハードウェアリセット (JEDEC リセットを含む) の完了時にディープパワーダウンが開始。 0 = \overline{CS} が HIGH のとき、電源投入または POR またはハードウェアリセット (JEDEC リセットを含む) の完了時にスタンバイモードが開始。
CR4[1]	RFU	予約済み (0)			将来使用するために予約済み
CR4[0]	RFU	予約済み (0)			将来使用するために予約済み

V - 揮発性

4.2.3.1 出力インピーダンス (OI) CR4 [7:5]

これらの 3 ビットは I/O ピンの出力インピーダンス (駆動強度) を制御します。出力インピーダンス コンフィギュレーションビットを使用すると、ユーザーはプリント回路基板上のより良い信号品質のために駆動強度を調整できます。

Table 26 インピーダンス選択

インピーダンス選択	標準インピーダンス (Ω) ^[12]	備考
000	45	45 Ω は工場出荷時のデフォルト コンフィギュレーションです。CR4[7:5] でのインピーダンス選択ビットに書き込むことでその他の駆動強度をプログラムできます。
001	120	
010	90	
011	60	
100	45	
101	30	
110	20	
111		

4.2.3.2 POR 時のディープパワーダウンモード (DPDPOR) CR4 [2]

このビットはデバイスがパワーオンリセット (POR)、ハードウェアリセット (\overline{RESET} ピンまたは JEDEC リセット), またはハイバネートモードの後にディープパワーダウン (DPD) またはスタンバイモードに入るかどうかを制御します。DPDPOR コンフィギュレーションビットを使用すると、 \overline{CS} が HIGH のとき、デバイスはスタンバイモードの代わりに DPD モードで起動できます。 t_{CSDPD} の \overline{CS} パルス幅、またはハードウェアリセットは、 t_{EXTDPD} 時間後に DPD モードを終了します。 \overline{CS} パルス幅は、SCK と I/O に関係なく、 \overline{CS} のみを切り替えることで生成できます。ソフトウェアリセット中は DPDPOR ビットステータスが無視され、ソフトウェアリセット後は常にデバイスがスタンバイ状態になります。

注:

- SPI バス マスターは、このコンフィギュレーションレジスタに書き込む時に CR4[3] ビットが「1」であることを確認する必要があります。このビットに「0」を書き込むと、デバイス機能が影響される場合があります。
- 標準インピーダンスは $V_{DD}/2$ で測定されます。

4.2.4 コンフィギュレーションレジスタ 5 (CR5)

Table 27 に示すとおり、コンフィギュレーションレジスタ 5 (CR5) はレジスタ読み出し用の読み出しレイテンシ (ダミー) サイクルを設定します。CR5 は、書き込みのために WRAR コマンド、読み出しのために RDCR5 または RDAR コマンドでアクセスします。CR5 アクセス詳細は [レジスタ アクセス コマンド](#) で説明します。

WRAR の不揮発性書き込みアドレス : 0x0000006

WRAR の揮発性書き込みアドレス : 0x0700006

RDAR の読み出しアドレス : 0x0000006 または 0x0700006

Table 27 内の各ビットの後に示される初期設定状態は工場出荷時にプログラムされた値です。

Table 27 コンフィギュレーションレジスタ 5 (CR5)

CR5[7]	CR5[6]	CR5[5]	CR5[4]	CR5[3]	CR5[2]	CR5[1]	CR5[0]
RLC1 (0)	RLC0 (0)	RFU (0)	RFU (0)	RFU (0)	RFU (0)	RFU (0)	RFU (0)

Table 28 コンフィギュレーションレジスタ 5 (CR5) - 不揮発性

ビット	ビット名	ビット機能	タイプ	読み出し / 書き込み (R/W)	説明
CR5[7]	RLC1	レジスタ レイテンシ コード	NV	R/W	レジスタ アクセスのためにレジスタ読み出しレイテンシサイクルの数を 0～3 クロックサイクルから選択
CR5[6]	RLC0			R/W	
CR5[5]	RFU	予約済み (0)			将来使用するために予約済み
CR5[4]	RFU	予約済み (0)			将来使用するために予約済み
CR5[3]	RFU	予約済み (0)			将来使用するために予約済み
CR5[2]	RFU	予約済み (0)			将来使用するために予約済み
CR5[1]	RFU	予約済み (0)			将来使用するために予約済み
CR5[0]	RFU	予約済み (0)			将来使用するために予約済み

NV - 不揮発性

Table 29 コンフィギュレーションレジスタ 5 (CR5) - 揮発性

ビット	ビット名	ビット機能	タイプ	読み出し / 書き込み (R/W)	説明
CR5[7]	RLC1	レジスタ レイテンシ コード	V	R/W	レジスタ アクセスのためにレジスタ読み出しレイテンシサイクルの数を 0～3クロックサイクルから選択
CR5[6]	RLC0			R/W	
CR5[5]	RFU	予約済み (0)			将来使用するために予約済み
CR5[4]	RFU	予約済み (0)			将来使用するために予約済み
CR5[3]	RFU	予約済み (0)			将来使用するために予約済み
CR5[2]	RFU	予約済み (0)			将来使用するために予約済み
CR5[1]	RFU	予約済み (0)			将来使用するために予約済み
CR5[0]	RFU	予約済み (0)			将来使用するために予約済み

V - 揮発性

4.2.4.1 レジスタ レイテンシ コード (RLC [1:0]) CR5 [7:6]

これらの2ビットはすべての可変レイテンシレジスタ読み出し命令での読み出しレイテンシ(ダミーサイクル)遅延を制御します。ユーザーは異なる動作周波数で異なるレジスタ読み出し命令用のレイテンシを最適化するために、通常動作中に読み出しレイテンシを調整できます。[Table 30](#) にレジスタ読み出しコマンドのレイテンシサイクルを示します。

Table 30 レジスタ読み出しコマンド用ダミーサイクル

レイテンシ (ダミーサイクル)	SPI (SDR)	DPI (SDR)	QPI (SDR)
	RDSR1, RDSR2, RDCR1, RDCR2, RDCR4, RDCR5, RDAR, RUID, RDID2, RDSN		
0	50 MHz ^[13]	50 MHz ^[13]	50 MHz ^[13]
1-3	108 MHz	108 MHz	108 MHz

注:

13.このパラメーターは特性によって保証され、量産中にテストされません。

5 機能説明

CY15x104QSN は 8 ビットの命令レジスタを備えています。すべての命令とそのオペコードの一覧は以下に示されています。すべての命令、アドレス、およびデータは \overline{CS} が HIGH から LOW に遷移する時に転送されます。さらに、 \overline{WP} と \overline{RESET} ピンは追加のハードウェア制御機能を提供します。

5.1 コマンドの構成

CY15x104QSN コマンドサイクルは最大で 5 つの異なるコマンドフェーズから成ります (オペコード, アドレス, モード, ダミー (レイテンシ) およびデータ)。コマンドサイクルごとのコマンドフェーズの数は、オペコードフェーズで送信されたオペコードに応じて 1 から 5 まで変化します。オペコード, アドレス, モードおよびデータフェーズは、SPI, DPI, または QPI インターフェースで送信するために必要なライン数が、それぞれ 1, 2, または 4 に設定できます。Table 31 に、異なる SPI インターフェースでの各コマンドサイクルのコマンドフェーズを示します。

Table 31 異なる SPI モードでの I/O 上のコマンド送信

コマンド フェーズ	I/O 上のコマンド送信						
	シングル チャンネル SPI	拡張 SPI				マルチチャンネル SPI	
		デュアル データ	クアッド データ	デュアル I/O	クアッド I/O	DPI	QPI
オペコード	SI	I/O0	I/O0	I/O0	I/O0	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3
アドレス	SI	I/O0	I/O0	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3
モード	SI	I/O0	I/O0	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3
ダミー (レイテンシ)	固定ダミー SPI クロック数、SPI インターフェースに独立。 メモリ アクセスごとに 0 ~ 15 クロック (CR1[7:4] で設定可能) レジスタ アクセスごとに 0 ~ 3 クロック (CR5[7:6] で設定可能)						
データ	SI/SO	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3

Table 32 に示すように、バス マスターが CY15x104QSN に発行できるオペコードと呼ばれる 44 個のコマンドがあります。オペコードはメモリが実行する機能を制御します。

機能説明

Table 32 オペコード コマンド

コマンド		SPI バス インターフェース							データ 転送		レイテンシ		XIP
コマンド	オペ コード (16 進)	SPI	デュアル データ	クアッド データ	デュアル I/O	クアッド I/O	DPI	QPI	SDR	DDR	レジス タレイ テンシ	メモリ レイテ ンシ	直接実 行
書き込みイネーブル制御													
WREN	06	有	該当なし				有	有	有	該当 なし	該当 なし	該当 なし	該当 なし
WRDI	04	有	該当なし				有	有	有	該当 なし	該当 なし	該当 なし	該当 なし
レジスタ アクセス													
WRSR	01	有	該当なし				有	有	有	該当 なし	該当 なし	該当 なし	該当 なし
RDSR1	05	有	該当なし				有	有	有	該当 なし	有	該当 なし	該当 なし
RDSR2	07	有	該当なし				有	有	有	該当 なし	有	該当 なし	該当 なし
RDCR1	35	有	該当なし				有	有	有	該当 なし	有	該当 なし	該当 なし
RDCR2	3F	有	該当なし				有	有	有	該当 なし	有	該当 なし	該当 なし
RDCR4	45	有	該当なし				有	有	有	該当 なし	有	該当 なし	該当 なし
RDCR5	5E	有	該当なし				有	有	有	該当 なし	有	該当 なし	該当 なし
WRAR	71	有	該当なし				有	有	有	該当 なし	該当 なし	該当 なし	該当 なし
RDAR	65	有	該当なし				有	有	有	該当 なし	有	該当 なし	該当 なし
メモリ読み出し													
READ	03	有	該当なし				有	有	有	該当 なし	該当 なし	有	該当 なし
FAST_READ	0B	有	該当なし				有	有	有	該当 なし	該当 なし	有	有
DOR	3B	該当 なし	有	該当なし				有	該当 なし	該当 なし	有	有	
DIOR	BB	該当なし			有	該当なし			有	該当 なし	該当 なし	有	有
QOR	6B	該当なし	有	該当なし				有	該当 なし	該当 なし	有	有	
QIOR	EB	該当なし				有	該当 なし	有	有	該当 なし	該当 なし	有	有

Table 32 オペコード コマンド (continued)

コマンド		SPI バス インターフェース							データ 転送		レイテンシ		XIP
コマンド	オペ コード (16 進)	SPI	デュアル データ	クアッド データ	デュアル I/O	クアッド I/O	DPI	QPI	SDR	DDR	レジス タレイ テンシ	メモリ レイテ ンシ	直接実 行
DDRFR	0D	該当なし							有	該当 なし	有	該当 なし	有
DDRQIOR	ED	該当なし				有	該当 なし	有	該当 なし	有	該当 なし	有	有

メモリ書き込み

WRITE	02	有	該当なし				有	有	有	該当なし	該当なし	該当なし	該当なし
FAST_WRITE	DA	有	該当なし				有	有	有	該当なし	該当なし	該当なし	有
DIW	A2	該当なし	有	該当なし					有	該当なし	該当なし	該当なし	有
DIOW	A1	該当なし			有	該当なし			有	該当なし	該当なし	該当なし	有
QIW	32	該当なし		有	該当なし				有	該当なし	該当なし	該当なし	有
QIOW	D2	該当なし				有	該当なし	有	該当なし	該当なし	該当なし	有	
DDR_FAST_WRITE	DD	該当なし						有	該当なし	有	該当なし	該当なし	有
DDRWRITE	DE	該当なし						有	該当なし	有	該当なし	該当なし	該当なし
DDRQIOW	D1	該当なし				有	該当なし	該当なし	有	該当なし	該当なし	有	

特殊セクタ メモリ アクセス

SSWR	42	有	該当なし				有	有	有	該当 なし	該当 なし	該当 なし	該当 なし
SSRD	4B	有	該当なし				有	有	有	該当 なし	該当 なし	有	該当 なし

ECC および CRC

CLECC	1B	有	該当なし				有	有	有	該当 なし	該当 なし	該当 なし	該当 なし
-------	----	---	------	--	--	--	---	---	---	----------	----------	----------	----------

Table 32 オペコード コマンド (continued)

コマンド		SPI バス インターフェース							データ 転送		レイテンシ		XIP
コマンド	オペ コード (16 進)	SPI	デュアル データ	クアッド データ	デュアル I/O	クアッド I/O	DPI	QPI	SDR	DDR	レジス タレイ テンシ	メモリ レイテ ンシ	直接実 行
ECCRD	19	有	該当なし				有	有	有	該当 なし	該当 なし	有	該当 なし
CRCC	5B	有	該当なし				有	有	有	該当 なし	該当 なし	該当 なし	該当 なし
EPCS	75	有	該当なし				有	有	有	該当 なし	該当 なし	該当 なし	該当 なし
EPCR	7A	有	該当なし				有	有	有	該当 なし	該当 なし	該当 なし	該当 なし
ID およびシリアル番号													
RUID	4C	有	該当なし				有	有	有	該当 なし	有	該当 なし	該当 なし
RDID	9F	有	該当なし				有	有	有	該当 なし	有	該当 なし	該当 なし
WRSN	C2	有	該当なし				有	有	有	該当 なし	有	該当 なし	該当 なし
RDSN	C3	有	該当なし				有	有	有	該当 なし	有	該当 なし	該当 なし
電力モードおよびリセット													
DPD	B9	有	該当なし				有	有	有	該当 なし	該当 なし	該当 なし	該当 なし
HBN	BA	有	該当なし				有	有	有	該当 なし	該当 なし	該当 なし	該当 なし
RSTEN	66	有	該当なし				有	有	有	該当 なし	該当 なし	該当 なし	該当 なし
RST	99	有	該当なし				有	有	有	該当 なし	該当 なし	該当 なし	該当 なし

5.1.1 書き込みイネーブル制御コマンド

これらのコマンドはステータスレジスタ 1 の書き込みイネーブル ラッチ ビット (SR1[1]) をセットまたはクリアします。

Table 33 書き込みイネーブル制御コマンド

コマンド	オペコード (16 進)	コマンドの説明
WREN	06	書き込みイネーブル。ステータスレジスタ 1 の WEL ビットを「1」にセットします。
WRDI	04	書き込みディセーブル。ステータスレジスタ 1 の WEL ビットを「0」にクリアします。

Table 34 書き込みイネーブル制御のコマンド詳細

オペコード (16 進)	アドレス 長	SPI バス インターフェース							データ 転送		XIP	レイテンシ	最大クロック 周波数
		SPI	デュアル データ	クアッド データ	デュアル I/O	クアッド I/O	DPI	QPI	SDR	DDR	直接 実行	ダミー サイクル	
06	0	有	該当なし					有	有	有	該当なし	該当なし	108 MHz
04	0	有	該当なし					有	有	有	該当なし	該当なし	108 MHz

5.1.1.1 書き込みイネーブル ラッチ セット (WREN, 06h)

WREN コマンドはステータスレジスタ 1 の WEL ビット (SR1[1]) を「1」に設定します。CY15x104QSN では、書き込みコマンドを発行する前に WEL ビットを「1」に設定する必要があります。CY15x104QSN では、実行前に WEL を「1」に設定する必要があるコマンドは、WRR, WRAR, WRITE, FAST_WRITE, DIW, DIOW, QIW, QIOW, DDR_FAST_WRITE, DDRWRITE, DDRQIOW, SSWR, WRSN です。

命令バイトの 8 番目のビットが SI を介してラッチされた後、 \overline{CS} を論理 HIGH に駆動する必要があります。CY15x104QSN は、8 ビットの WREN オペコードが正常にラッチされてから \overline{CS} が HIGH に駆動された後、WREN コマンドを実行し、WEL ビット (SR1[1]) を「1」にセットします。

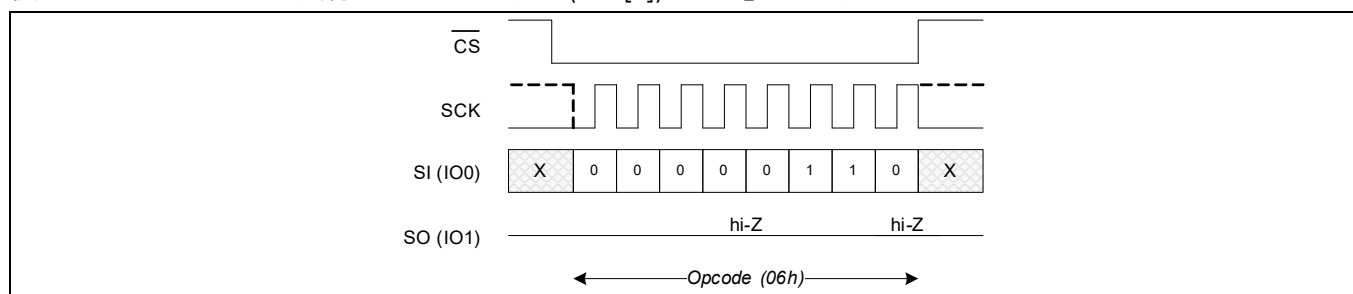


Figure 7 WREN バス コンフィギュレーション - SPI モード

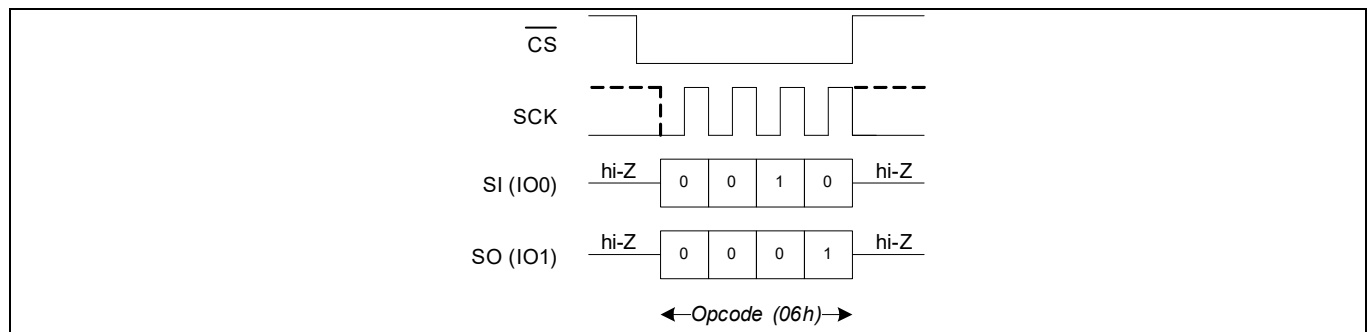


Figure 8 WREN バス コンフィギュレーション - DPI モード

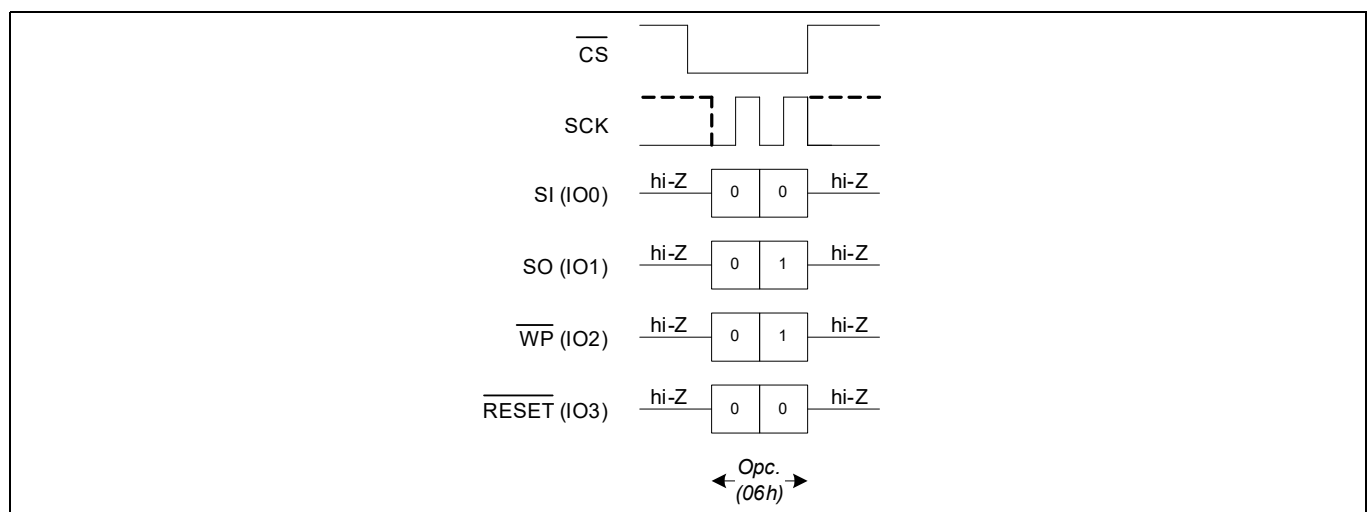


Figure 9 WREN バス コンフィギュレーション - QPI モード

5.1.1.2 書き込みイネーブル ラッチ リセット (WRDI, 04h)

WRDI 命令はステータスレジスタ 1 の書き込みイネーブル ラッチ (WEL) ビット (SR1[1]) を「0」にクリアします。これにより、ステータスレジスタ書き込み (WRSR)、任意レジスタ書き込み (WRAR)、特殊セクタ書き込み (SSWR)、および実行前に WEL を「1」に設定する必要があるその他の命令を無効にします。WRDI 命令を使用すると、不注意による書き込みからメモリと SPI レジスタを保護できます。WIP ビット = 1 の場合、組込み動作中に WRDI コマンドが無視されます。

命令バイトの 8 番目のビットが SI 上でラッチインされた後、CS を論理 HIGH に駆動する必要があります。CY15x104QSN は、8 ビットの WRDI オペコードが正常にラッチされてから CS が HIGH に駆動された後、WRDI コマンドを実行し、WEL ビット (SR1[1]) を「0」にクリアします。

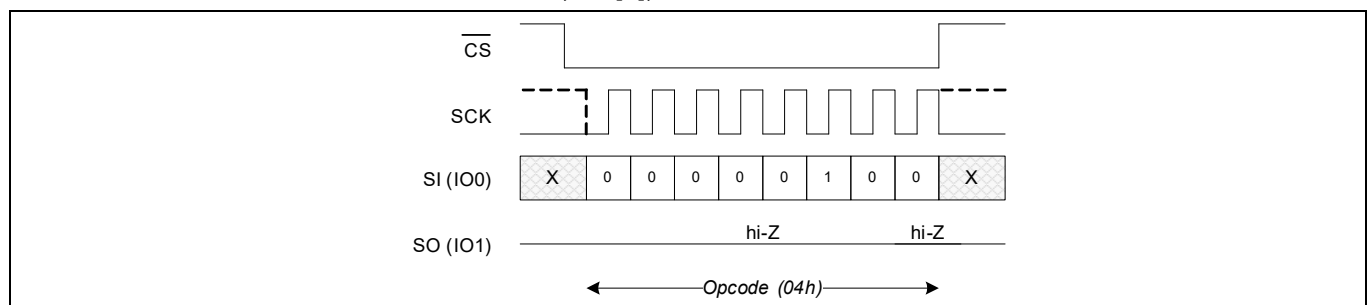


Figure 10 WRDI バス コンフィギュレーション - SPI モード

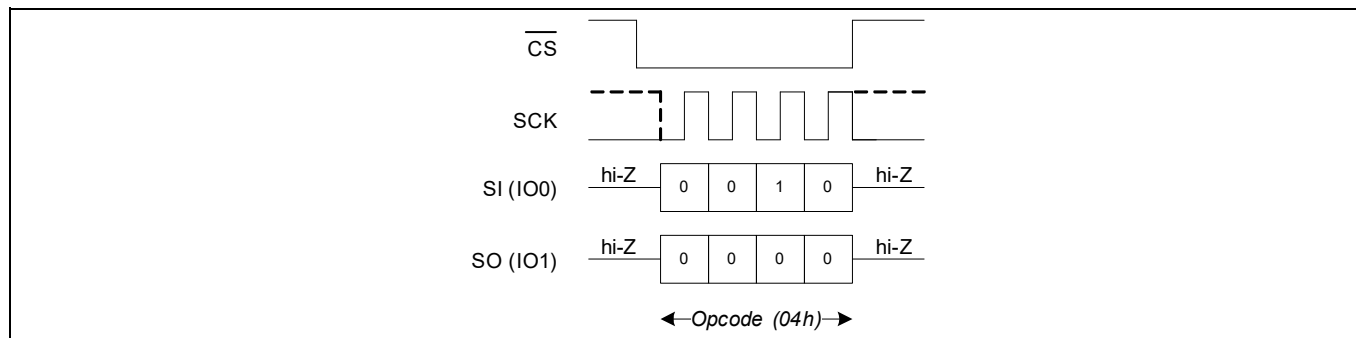


Figure 11 WRDI バス コンフィギュレーション - DPI モード

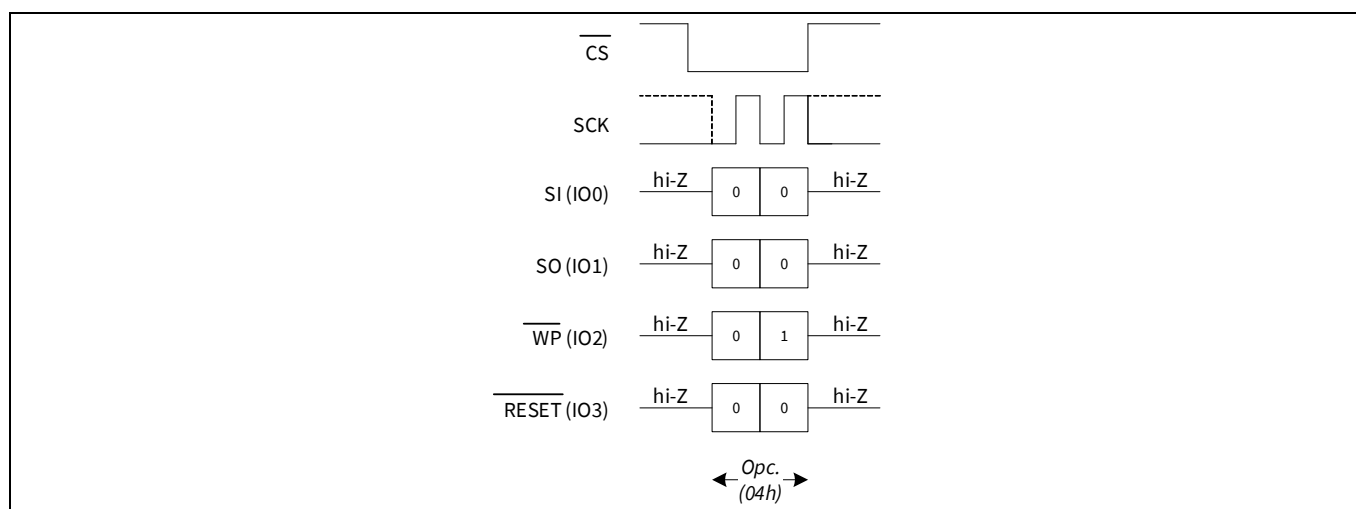


Figure 12 WRDI バス コンフィギュレーション - QPI モード

5.1.2 レジスタ アクセス コマンド

CY15x104QSN は各種のコンフィギュレーションとステータスレジスタを提供します。これらのレジスタはユーザー書き込みが可能であり、デバイスの状態を知るためにポーリングできるだけでなく、デバイスの特定のコンフィギュレーションや機能を有効または無効にするようにプログラムできます。これらのレジスタは、オペコードと呼ばれる特定のコマンドによってアクセスされます。

各々のレジスタビットは書き込み / 読み出し、読み出し専用または将来使用のために予約済み (RFU) の複数のタイプのどれかになります。各ビットの特定タイプは、それぞれのレジスタセクションで指定されます。レジスタビットは実質的には揮発性または不揮発性のどちらかです。パワーオンリセット (POR) または任意のリセットイベント (ハードウェアまたはソフトウェアリセット) の後、すべての揮発性 (V) ビットはデフォルト値に設定され、すべての不揮発性 (NV) ビットはユーザー設定値に復帰します。

Table 35 レジスタ アクセス コマンド

コマンド	オペコード (16 進)	コマンドの説明
WRSR	01	ステータス レジスタ 1 書き込み
RDSR1	05	ステータス レジスタ 1 読み出し
RDSR2	07	ステータス レジスタ 2 読み出し
RDCR1	35	コンフィギュレーション レジスタ 1 読み出し
RDCR2	3F	コンフィギュレーション レジスタ 2 読み出し
RDCR4	45	コンフィギュレーション レジスタ 4 読み出し

Table 35 レジスタ アクセス コマンド (continued)

コマンド	オペコード (16 進)	コマンドの説明
RDCR5	5E	コンフィギュレーション レジスタ 5 読み出し
WRAR	71	任意レジスタ書き込み - ステータス レジスタ, コンフィギュレーション レジスタ, シリアル番号レジスタを含む
RDAR	65	任意レジスタ読み出し - ステータス レジスタ, コンフィギュレーション レジスタ, CRC レジスタ, ECC レジスタ, シリアル番号レジスタ, ID レジスタを含む

Table 36 レジスタ アクセス コマンドの詳細

オペ コード (16 進)	アドレ ス長	SPI バス インターフェース							データ 転送		レジス タレイ テンシ	最大 クロッ ク 周波数	レジス タレイ テンシ	
		SPI	デュアル デー タ	クアッド デー タ	デュアル I/O	クアッド I/O	DPI	QPI	SDR	DDR	ダミー サイ クル			
01	0	有	該当なし					有	有	有	該当 なし	該当 なし	108 MHz	該当 なし
05	0	有	該当なし					有	有	有	該当 なし	有	108 MHz	有
07	0	有	該当なし					有	有	有	該当 なし	有	108 MHz	有
35	0	有	該当なし					有	有	有	該当 なし	有	108 MHz	有
3F	0	有	該当なし					有	有	有	該当 なし	有	108 MHz	有
45	0	有	該当なし					有	有	有	該当 なし	有	108 MHz	有
5E	0	有	該当なし					有	有	有	該当 なし	有	108 MHz	有
71	3 バイ ト	有	該当なし					有	有	有	該当 なし	該当 なし	108 MHz	該当 なし
65	3 バイ ト	有	該当なし					有	有	有	該当 なし	有	108 MHz	有

5.1.2.1 ステータス レジスタ書き込み (WRSR, 01h)

ステータス レジスタ書き込み (WRSR) 命令は、ステータス レジスタ 1 (SR1) に新しい値をプログラムできます。この命令は不揮発性 SR1 に書き込むため、パワーサイクルに耐えます。WRSR コマンドは、SR1 の SRWD ビット (SR1[7]) が「1」にセットされ、WP ピンが LOW にアサートされると、無視されます。

注:

- WRSR 命令は、SR1 の WEL ビットが「1」にセットされた場合にのみ実行され、そうでない場合は無視されます。
- ステータス レジスタ 1 の WEL ビット (SR1[1]) は WRSR コマンドが (\overline{CS} の立ち上りエッジで) 終了した後、自動的に「0」にクリアされます。

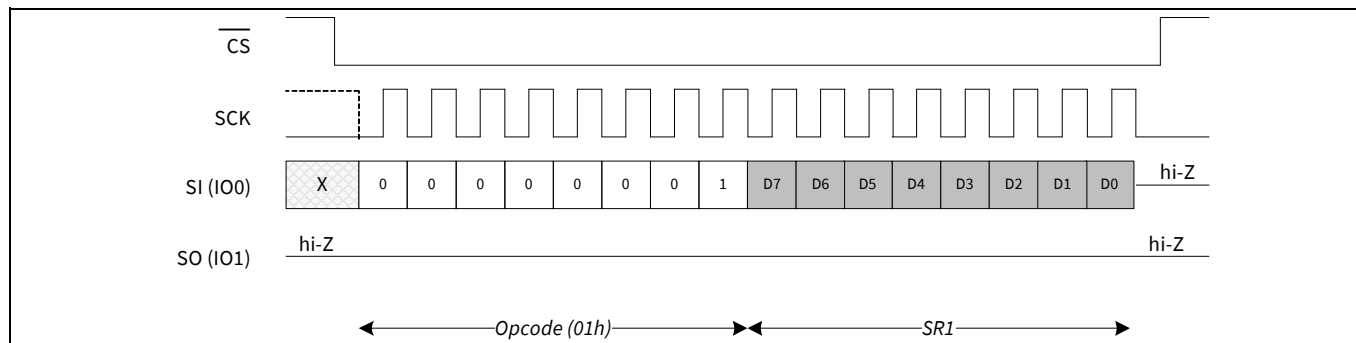


Figure 13 WRSR- SPI モード (WREN が非表示)

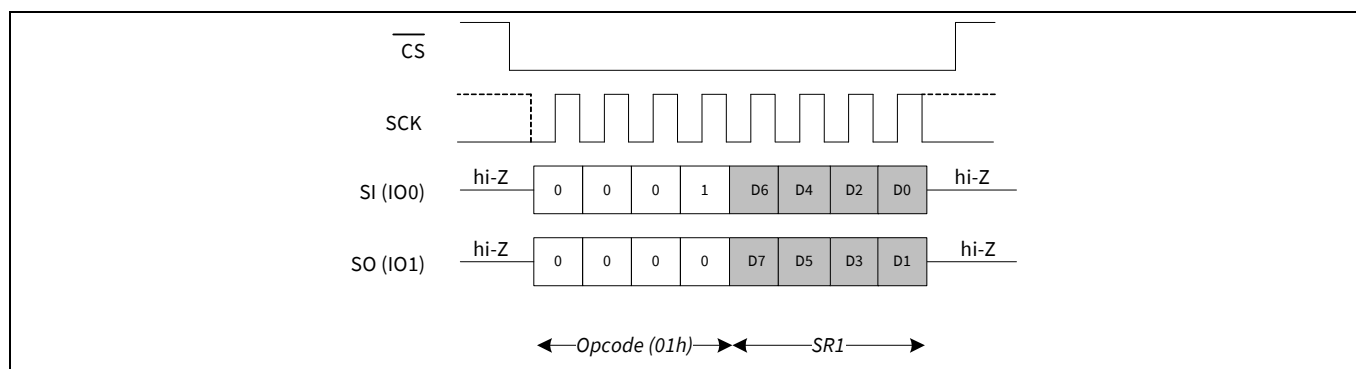


Figure 14 WRSR- DPI モード (WREN が非表示)

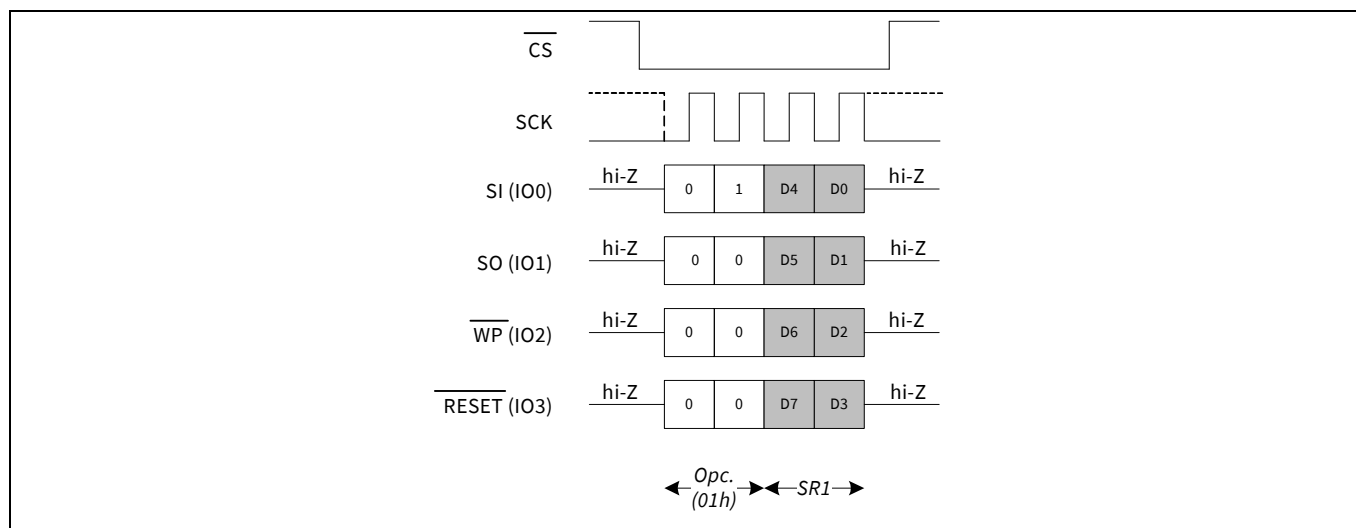


Figure 15 WRSR- QPI モード (WREN が非表示)

5.1.2.2 ステータスレジスタ 1 読み出し (RDSR1, 05h)

RDSR1 コマンドを使用すると、バス マスターはステータス レジスタ 1 (SR1) の内容を確認できます。SR1 読み出しは、書き込み保護機能や WEL、および WIP の現時点の状態を示します。RDSR1 オペコードに続いて、CY15x104QSN は 1 バイトの SR1 内容を返します。

注: RDSR1 は SR1 の揮発性の内容を返します。

注: 示されるダミー サイクルは CR5 のレジスタ レイテンシ コード ビット (RLC0, RLC1) で設定できるオプションです。

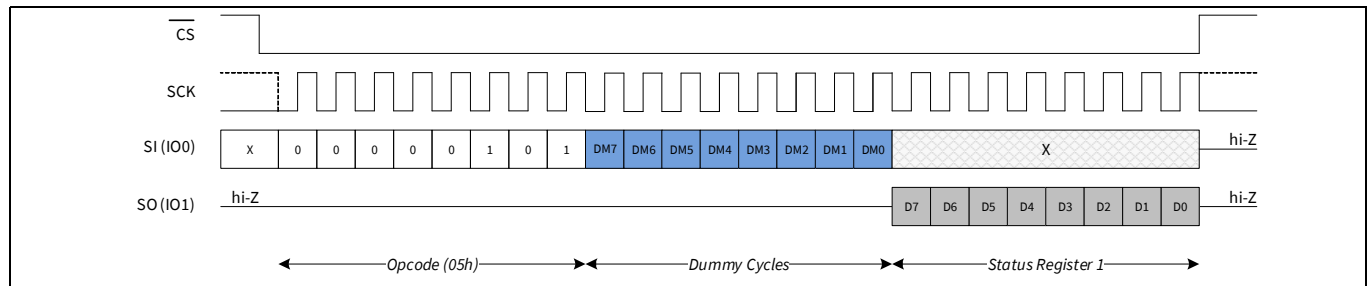


Figure 16 SR1 読み出し (RDSR1)- SPI モード

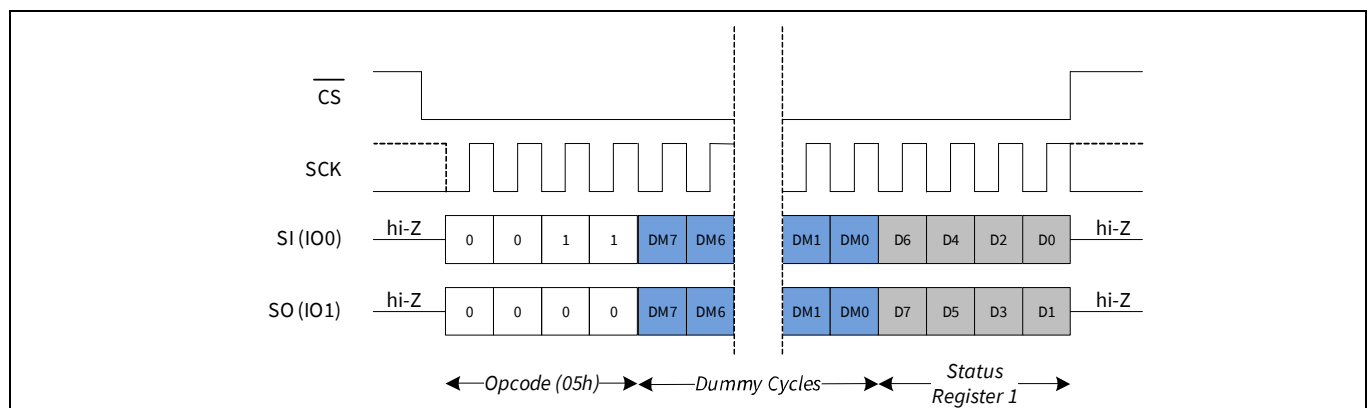


Figure 17 SR1 読み出し (RDSR1)- DPI モード

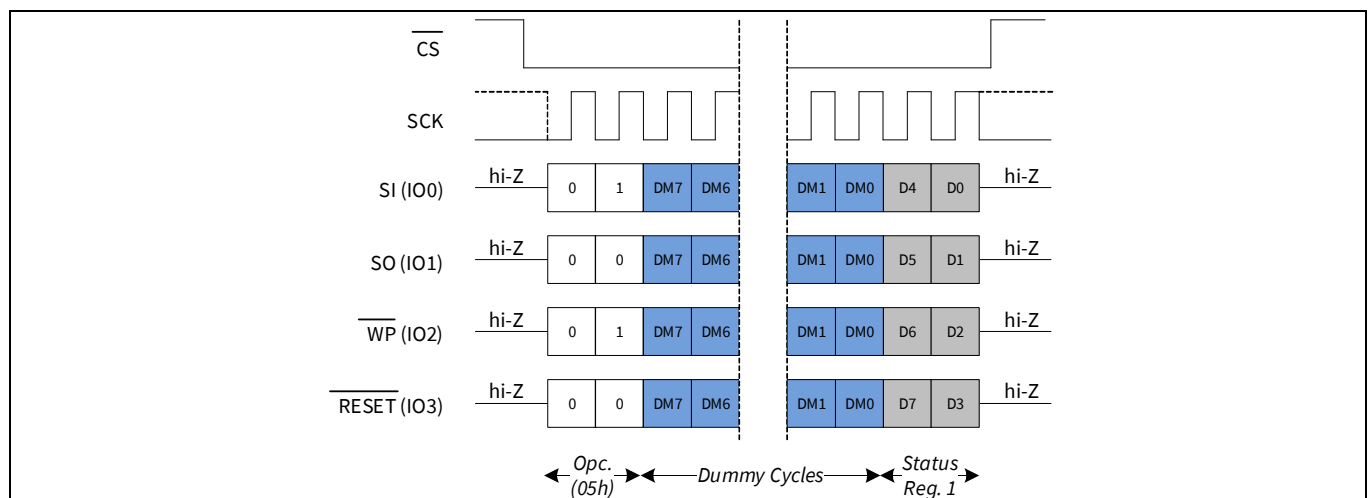


Figure 18 SR1 読み出し (RDSR1)- QPI モード

5.1.2.3 ステータスレジスタ 2 読み出し (RDSR2, 07h)

RDSR2 コマンドを使用すると、バス マスターはステータス レジスタ 2 (SR2) の内容を確認できます。これは読み出し専用レジスタであり、CRC 中断と CRC 中止の状態を示します。SR1 の WIP が「0」のときにのみ、SR2 ビットは正しい状態 (CRCS および CRCA) を示します。WIP が「1」の時に SR2 を読み出すと、未定義な状態が返されます。

注: RDSR2 は SR2 の揮発性の内容を示します。

注: 示されるダミー サイクルは CR5 のレジスタ レイテンシ コード ビット (RLC0, RLC1) で設定できるオプションです。

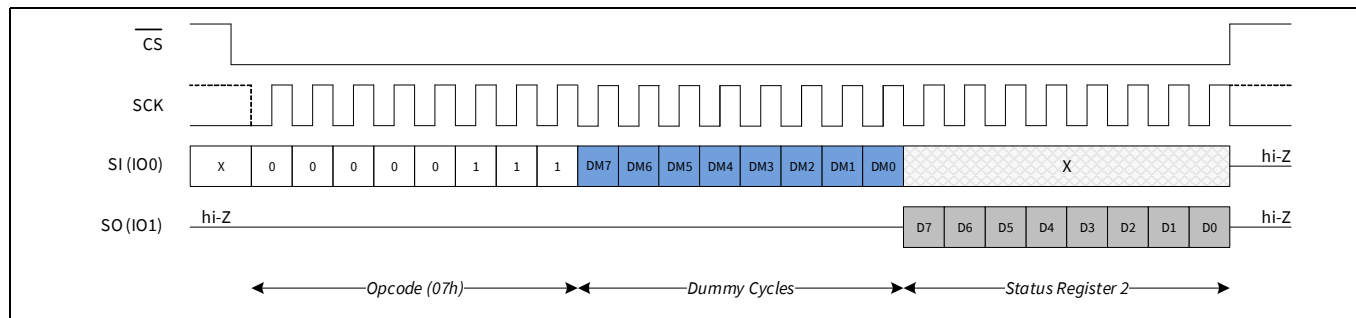


Figure 19 SR2 読み出し (RDSR2)- SPI モード

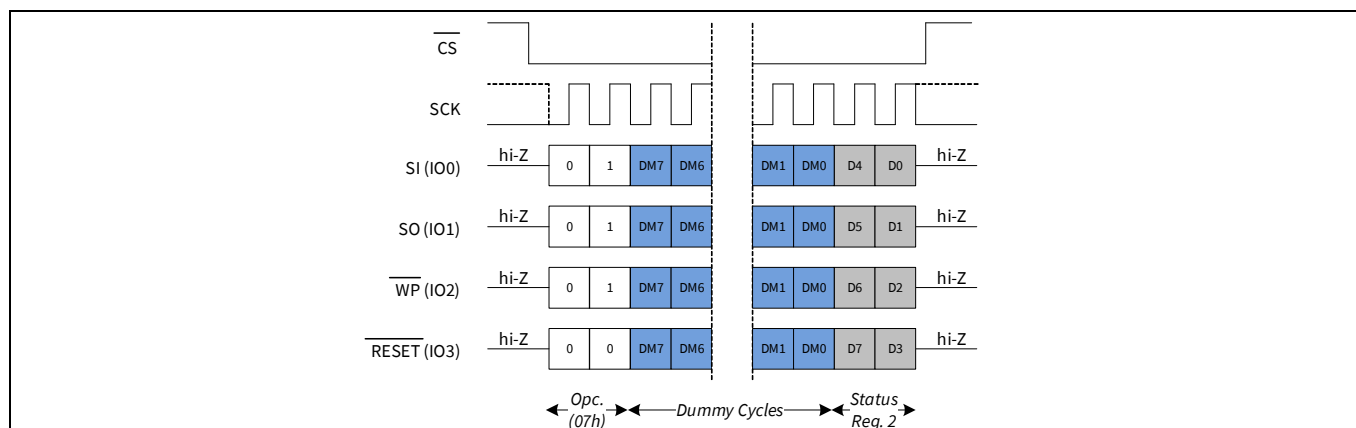


Figure 20 SR2 読み出し (RDSR2)- DPI モード

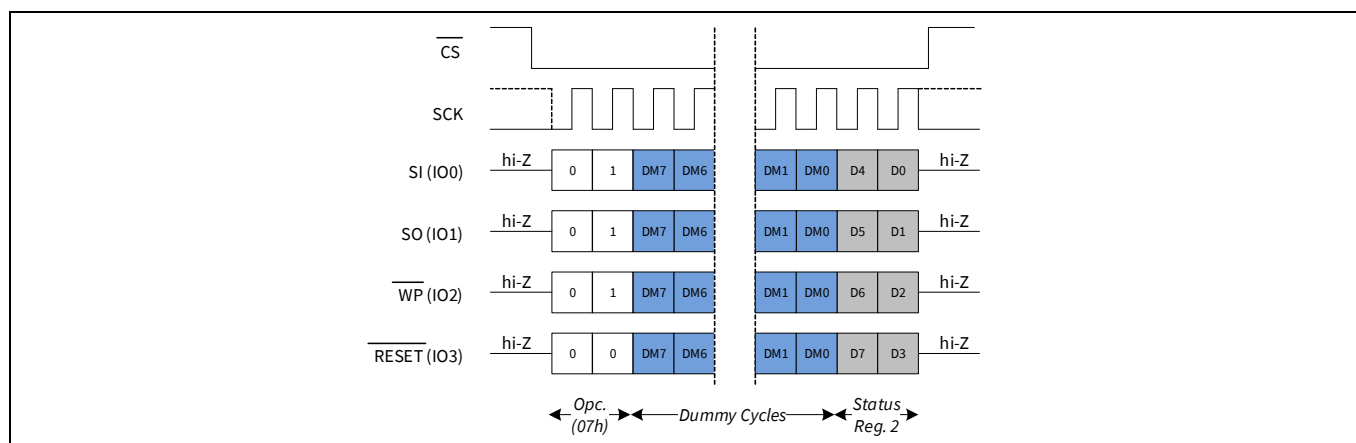


Figure 21 SR2 読み出し (RDSR2)- QPI モード

5.1.2.4 コンフィギュレーションレジスタ 1 読み出し (RDCR1, 35h)

RDCR1 コマンドを使用すると、バス マスターはコンフィギュレーション レジスタ 1 (CR1) の内容を確認できます。CR1 読み出しは、メモリ レイテンシ コードと QUAD ビットの現時点の状態を示します。RDCR1 オペコードに続いて、CY15x104QSN は 1 バイトの CR1 の内容を返します。

注:

- RDCR1 は CR1 の揮発性の内容を示します。
- 示されるダミー サイクルは CR5 のレジスタ レイテンシ コード ビット (RLC0, RLC1) で設定できるオプションです。

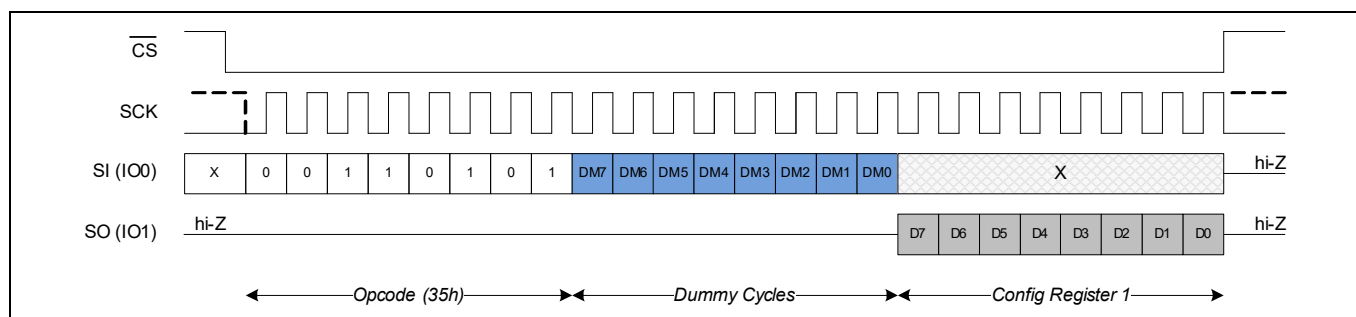


Figure 22 CR1 読み出し (RDCR1)- SPI モード

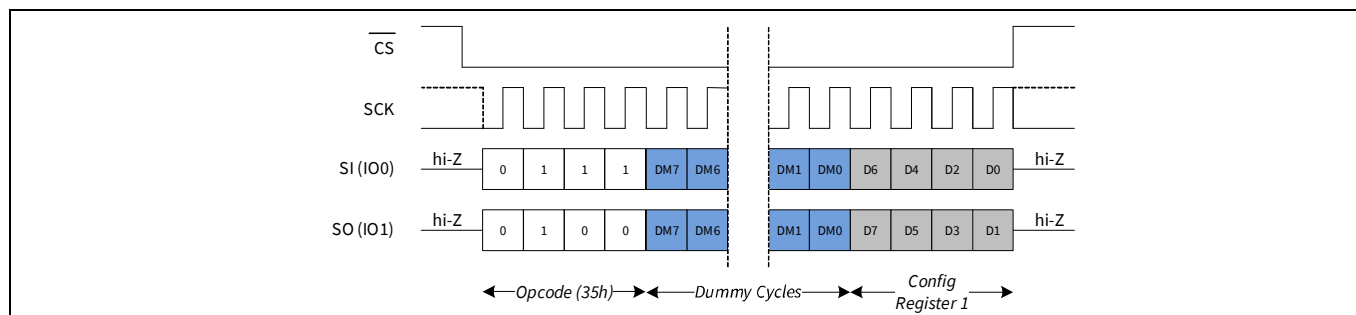


Figure 23 CR1 読み出し (RDCR1)- DPI モード

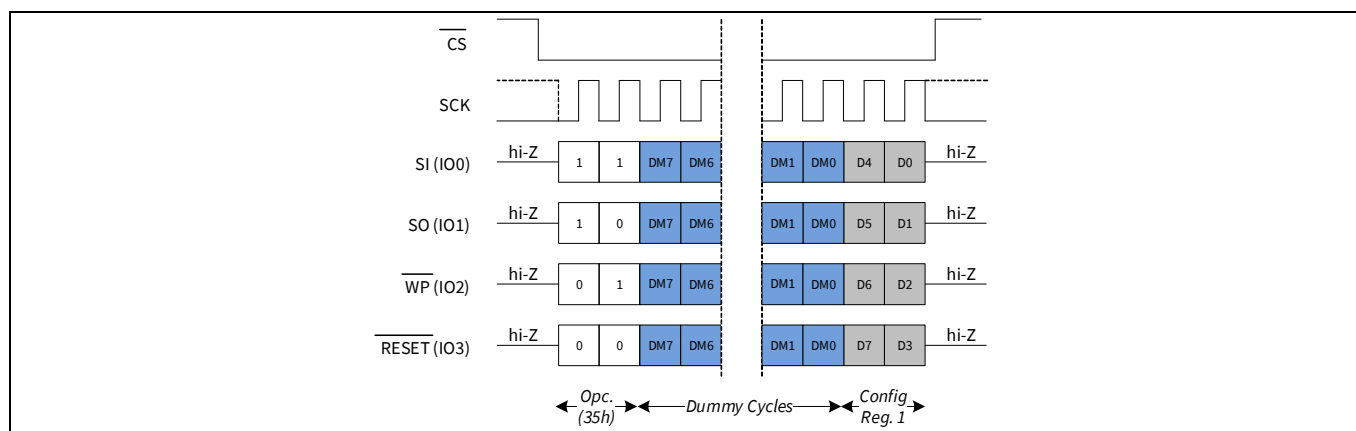


Figure 24 CR1 読み出し (RDCR1)- QPI モード

5.1.2.5 コンフィギュレーションレジスタ 2 読み出し (RDCR2, 3Fh)

RDCR2 コマンドを使用すると、バス マスターはコンフィギュレーション レジスタ 2 (CR2) の内容を確認できます。CR2 読み出しは、現時点の SPI インターフェース オプション (SPI, DPI, QPI のどれか) および RESET/(I/O3) 状態を示します。RDCR2 オペコードに続いて、CY15x104QSN は 1 バイトの CR2 の内容を返します。

注:

- RDCR2 は CR2 の揮発性の内容を返します。
- 示されるダミー サイクルは CR5 のレジスタ レイテンシ コード ビット (RLC0, RLC1) で設定できるオプションです。

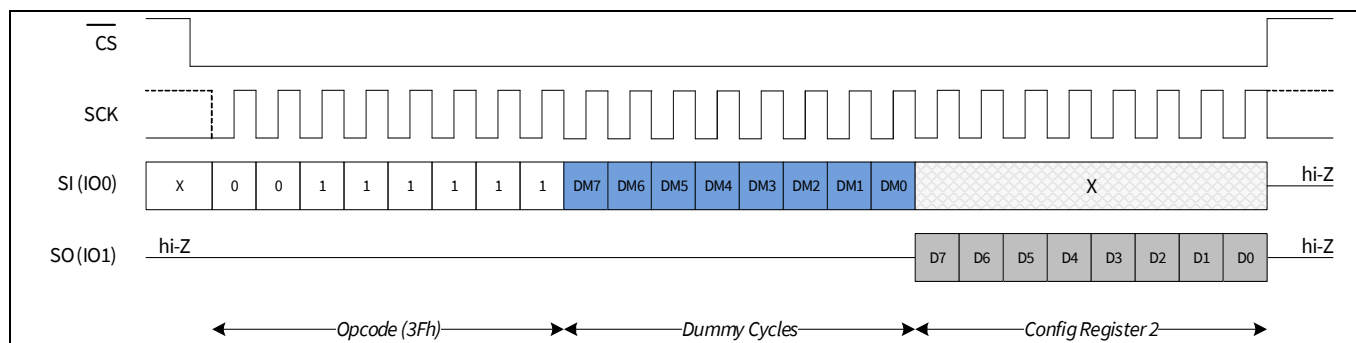


Figure 25 CR2 読み出し (RDCR2) - SPI モード

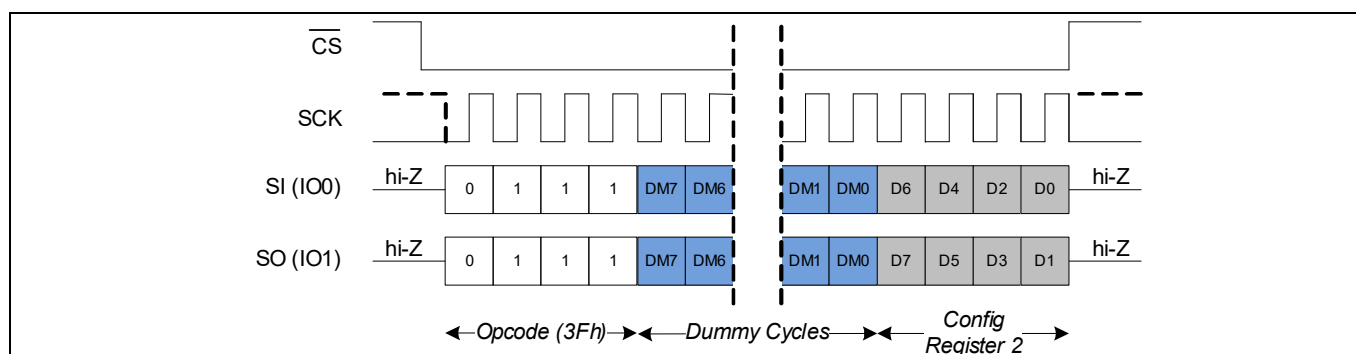


Figure 26 CR2 読み出し (RDCR2) - DPI モード

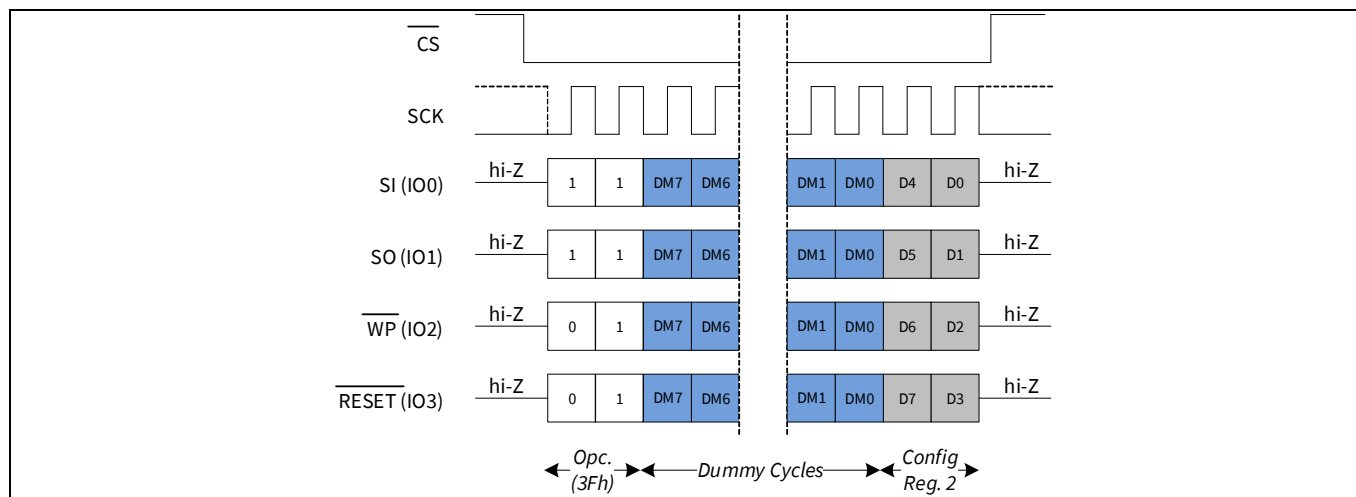


Figure 27 CR2 読み出し (RDCR2) - QPI モード

5.1.2.6 コンフィギュレーションレジスタ 4 読み出し (RDCR4, 45h)

RDCR4 コマンドを使用すると、バス マスターはコンフィギュレーション レジスタ 4 (CR4) の内容を確認できます。CR4 読み出しは、出力インピーダンス設定および POR 後の電力モード状態 (ディープパワーダウン / スタンバイ) の状態を示します。RDCR4 オペコードに続いて、CY15x104QSN は 1 バイトの CR4 の内容を返します。

注:

- RDCR4 は CR4 の揮発性の内容を返します。
- 示されるダミー サイクルは CR5 のレジスタ レイテンシ コード ビット (RLC0, RLC1) で設定できるオプションです。

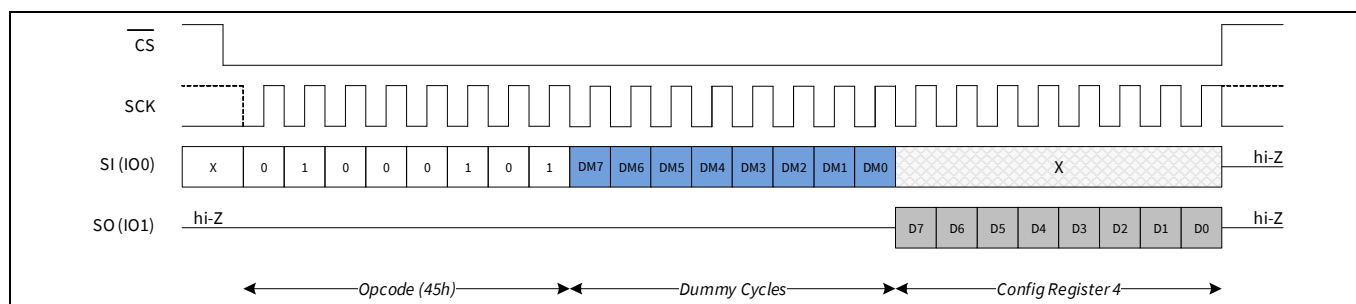


Figure 28 CR4 読み出し (RDCR4) - SPI モード

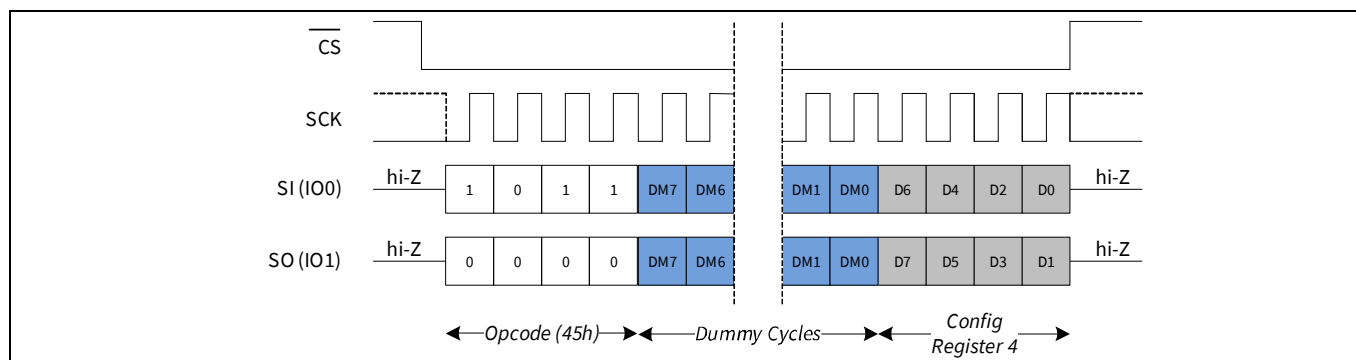


Figure 29 CR4 読み出し (RDCR4) - DPI モード

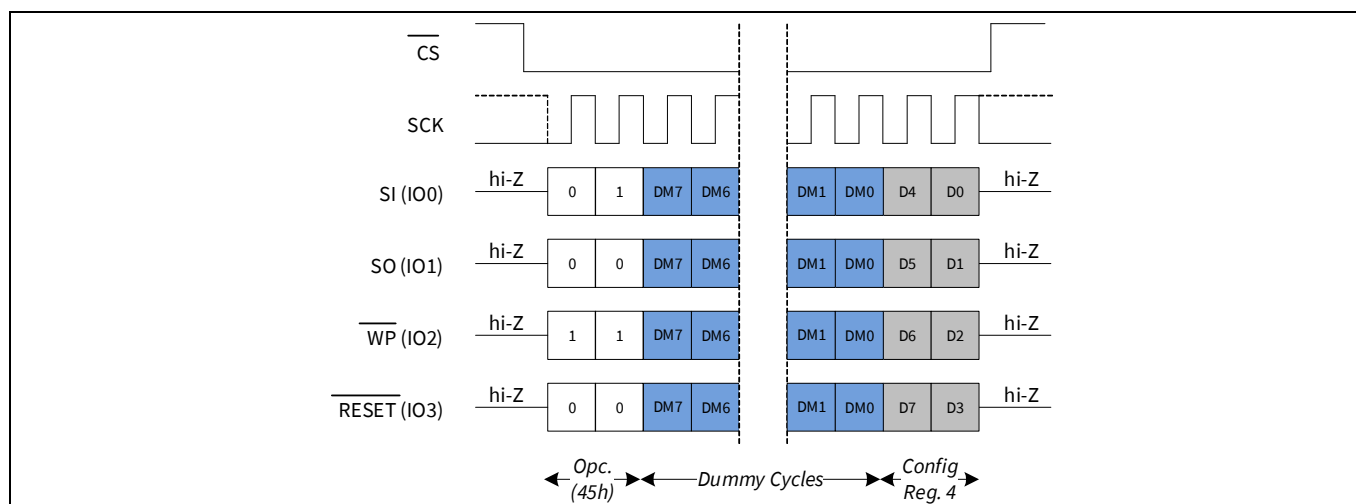


Figure 30 CR4 読み出し (RDCR4) - QPI モード

5.1.2.7 コンフィギュレーションレジスタ 5 読み出し (RDCR5, 5Eh)

RDCR5 コマンドを使用すると、バス マスターはコンフィギュレーション レジスタ 5 (CR5) の内容を確認できます。CR5 読み出しは、レジスタ読み出しレイテンシサイクル (RLC0、RLC1) の設定を示します。RDCR5 オペコードに続いて、CY15x104QSN は 1 バイトの CR5 の内容を返します。

注:

- RDCR5 は CR5 の揮発性の内容を返します。
- 示されるダミー サイクルは CR5 のレジスタ レイテンシ コード ビット (RLC0、RLC1) で設定できるオプションです。

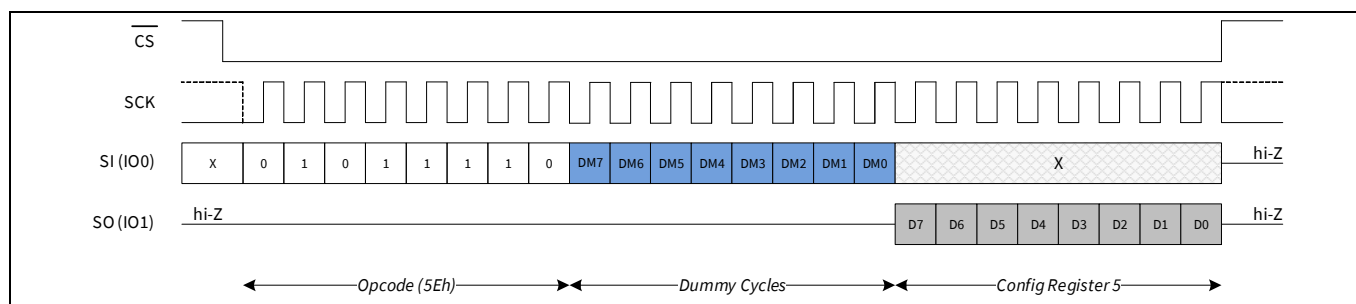


Figure 31 CR5 読み出し (RDCR5) - SPI モード

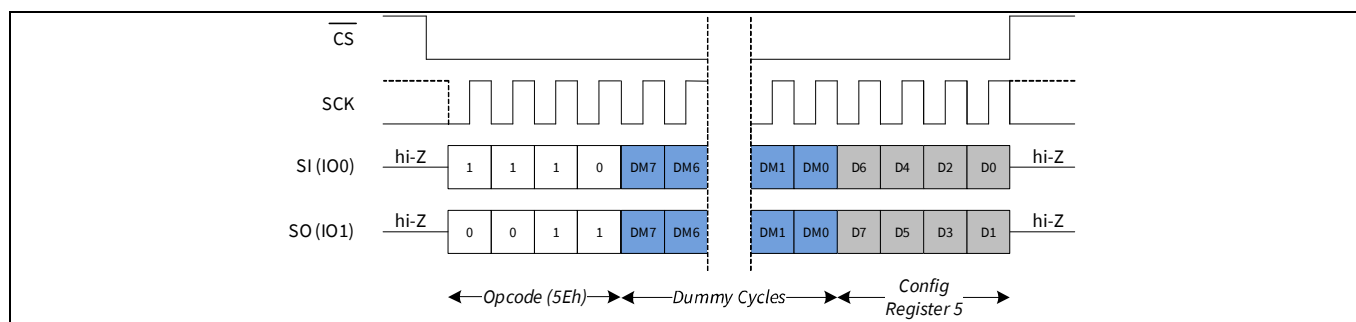


Figure 32 CR5 読み出し (RDCR5) - DPI モード

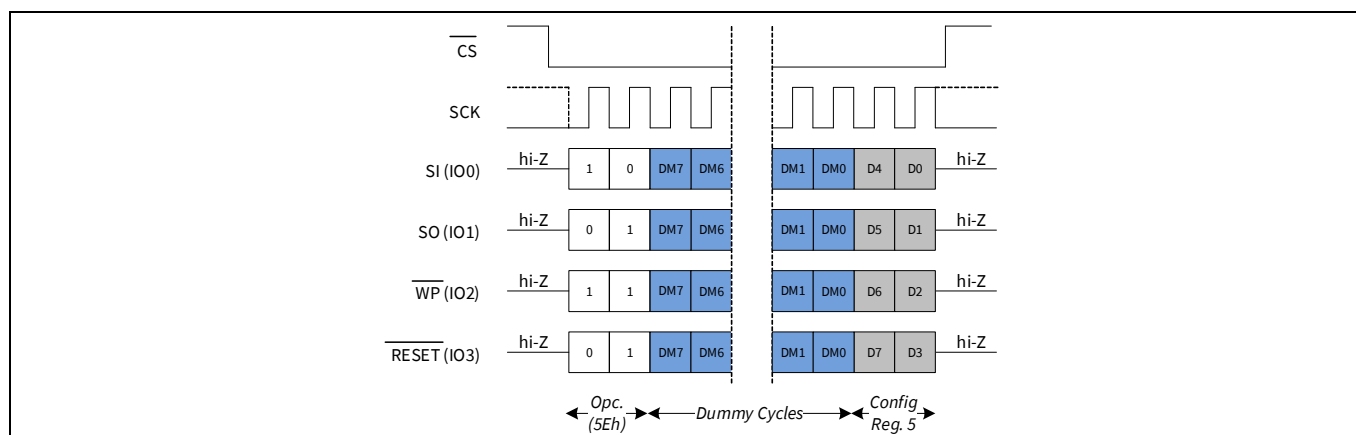


Figure 33 CR5 読み出し (RDCR5) - QPI モード

5.1.2.8 任意レジスタ書き込み (WRAR, 71h)

WRAR 命令により、CY15x104QSN レジスタに対し、3 バイト アドレッシングで 1 度に 1 つのレジスタに書き込みます。Table 38 に示すように、WRAR 命令オペコードの後、レジスタの 3 バイト アドレスおよび書き込まれる 1 バイトのレジスタ データが続きます。WREN コマンドは WRAR コマンドに先行して、WRAR の実行前に WEL ビットを「1」に設定します。WEL ビットは WRAR コマンドが $\overline{\text{CS}}$ の立ち上りエッジで) 終了した後、自動的に「1」にクリアされます。WRAR コマンドは、SR1 の SRWD ビット (SR1[7]) が「1」に設定され、 $\overline{\text{WP}}$ ピンが LOW に駆動されると、無視されます。

注:

- WRAR コマンドは、指定されたレジスタ アドレスで WRAR コマンドごとに 1 バイトのみの書き込みをサポートします。WRAR コマンド フォーマットを Table 37 に示します。
- WRAR オペコードの後に 3 バイトのアドレス フィールドで送信されるレジスタ アドレスは、新しいコンフィギュレーションを揮発性のステータス / コンフィギュレーションのレジスタのみにプログラムするのか、揮発性と不揮発性のステータス / コンフィギュレーションの両方のレジスタにプログラムするのかを決定します。Table 38 に揮発性と不揮発性両方のレジスタのアドレスを示します。

Table 37 レジスタの汎用書き込み命令

命令名	命令説明	オペコード	アドレス バイト	データ バイト
WRAR	任意レジスタ書き込み	71h	3	1

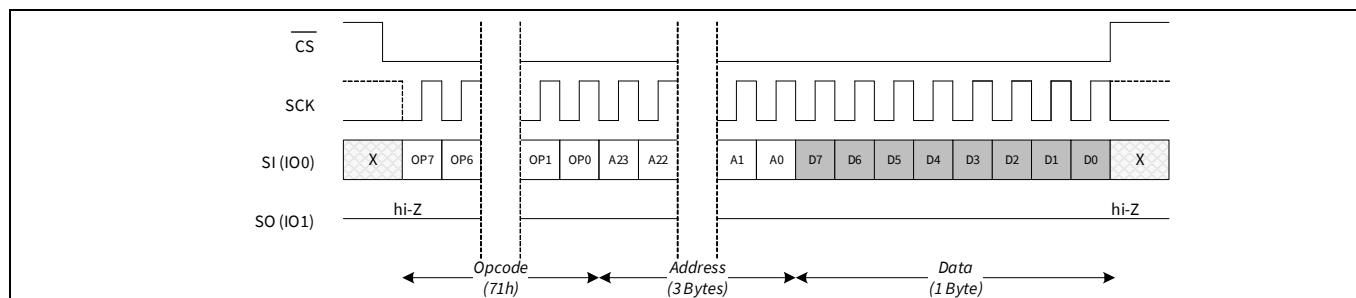


Figure 34 任意レジスタ書き込み (WRAR) - SPI モード

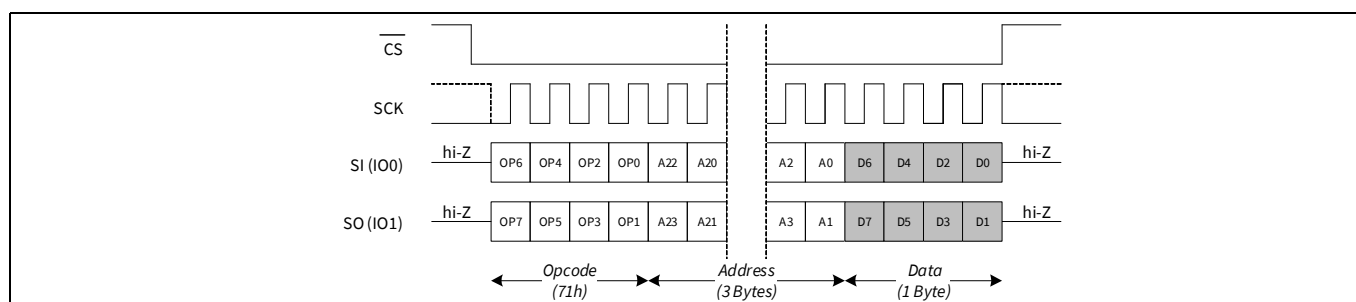


Figure 35 任意レジスタ書き込み (WRAR) - DPI モード

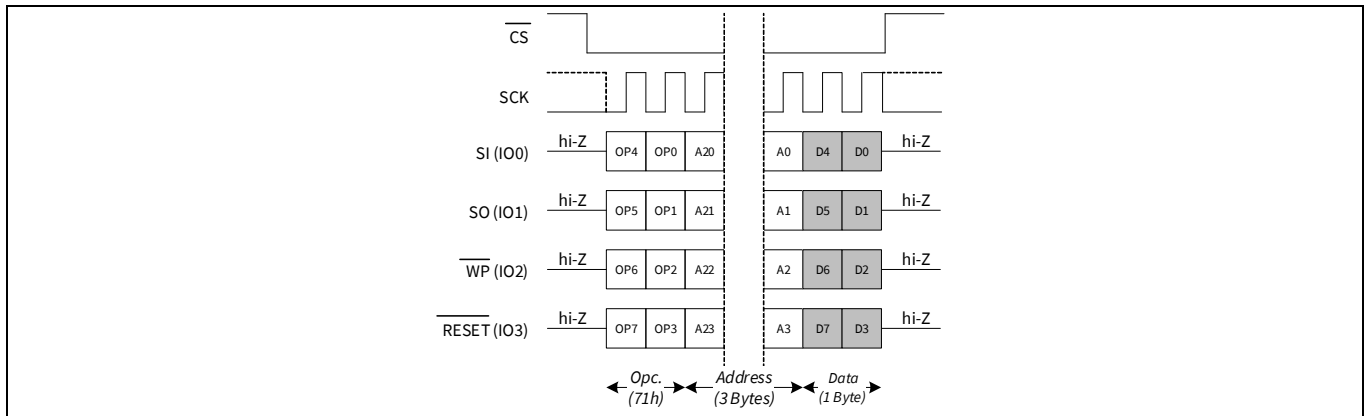


Figure 36 任意レジスタ書き込み (WRAR)- QPI モード

Table 38 一般レジスタ アクセス用のレジスタ アドレス

機能	レジスタ タイプ	レジスタ 内容 ^[15]	WRAR	RDAR ^[15]	レジスタ アドレス ^[14]	
					揮発性	不揮発性
デバイスステータス	ステータス レジスタ 1	揮発性 / 不揮発性	有	有	0x070000	0x000000
	ステータス レジスタ 2	揮発性専用	該当なし		0x070001 または 0x000001	
デバイス構成	コンフィギュレーション レジスタ 1	揮発性 / 不揮発性	有	有	0x070002	0x000002
	コンフィギュレーション レジスタ 2				0x070003	0x000003
	コンフィギュレーション レジスタ 4				0x070005	0x000005
	コンフィギュレーション レジスタ 5				0x070006	0x000006
エラー訂正	ECC ステータス レジスタ	揮発性専用	該当なし	有	0x070089 または 0x000089	
	ECC カウント レジスタ [7:0]				0x07008A または 0x00008A	
	ECC カウント レジスタ [15:8]				0x07008B または 0x00008B	
	ECC アドレストラップ レジスタ [7:0]				0x07008E または 0x00008E	
	ECC アドレストラップ レジスタ [15:8]				0x07008F または 0x00008F	
	ECC アドレストラップ レジスタ [23:16]				0x070040 または 0x000040	
	ECC アドレストラップ レジスタ [31:24]				0x070041 または 0x000041	
巡回冗長検査	CRC レジスタ [7:0]				0x070095 または 0x000095	
	CRC レジスタ [15:8]				0x070096 または 0x000096	
	CRC レジスタ [23:16]				0x070097 または 0x000097	
	CRC レジスタ [31:24]				0x070098 または 0x000098	

注:

14. 揮発性レジスタは、POR またはハードウェアリセット後にデフォルト状態に戻ります。POR またはリセット イベントの後の揮発性レジスタの状態については、[Table 59](#) を参照してください。
15. RDAR コマンドは常に揮発性レジスタの内容を返します。したがって、RDAR の後に揮発性レジスタ アドレスまたは不揮発性レジスタ アドレスが続くと、(それぞれの揮発性レジスタからのみ) 同じ値が返されます。揮発性専用レジスタは、対応する不揮発性レジスタがありません。

5.1.2.9 任意レジスタ読み出し (RDAR, 65h)

RDAR 命令により、CY15x104QSN レジスタに対し、3 バイト アドレッシングで 1 度に 1 つレジスタを読み出すことができます。RDAR オペコードに続いて、レジスタの 3 バイト アドレスとダミーサイクル (CR5 に設定されたレジスタレイテンシごと) が続き、その後 CY15x104QSN は出力バスを介して 1 バイトのレジスタ内容を返します。1 つのレジスタバイトを受信した後、ホストは $\overline{\text{CS}}$ を HIGH にすることで RDAR コマンドを終了させる必要があります。最初のデータバイトの受信後に $\overline{\text{CS}}$ を LOW に保つと、未定義データバイトが返されます。RDAR 命令のタイミング図を Figure 37 ~ Figure 39 に示します。

注:

- ステータスおよびコンフィギュレーションのレジスタ読み出しは常に揮発性空間からレジスタの内容を返すため、WRAR オペコードに続く 3 バイトのアドレスは、揮発性レジスタまたはそれに対応する不揮発性レジスタのいずれかのレジスタアドレスになります。

Table 38 に揮発性レジスタと不揮発性レジスタの両方のレジスタ アドレスを示します。

- 示されるダミーサイクルは CR5 のレジスタレイテンシコードビット (RLC0、RLC1) で設定できるオプションです。

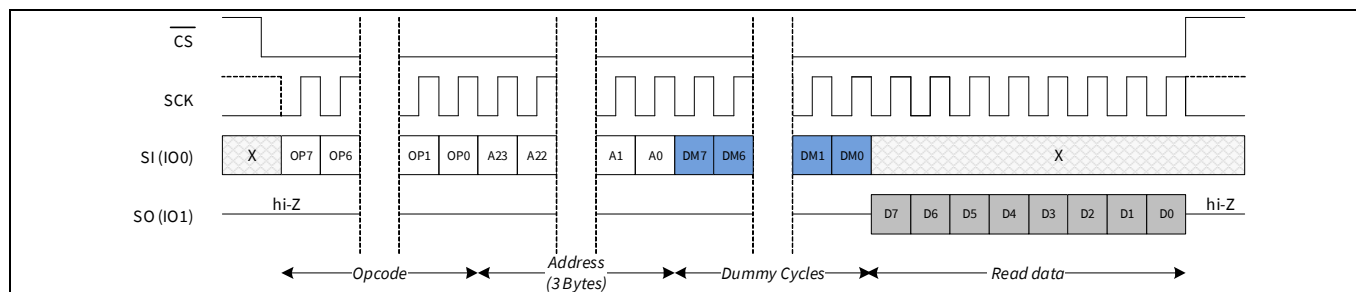


Figure 37 任意レジスタ読み出し (RDAR)- SPI モード

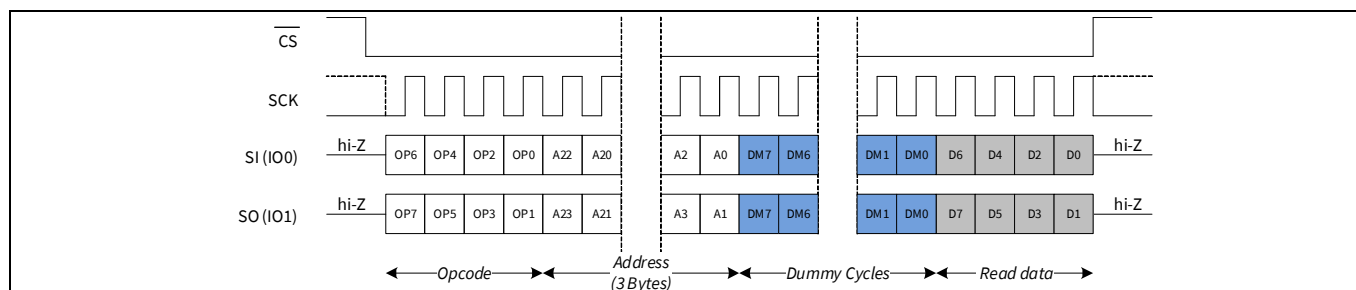


Figure 38 任意レジスタ読み出し (RDAR)- DPI モード

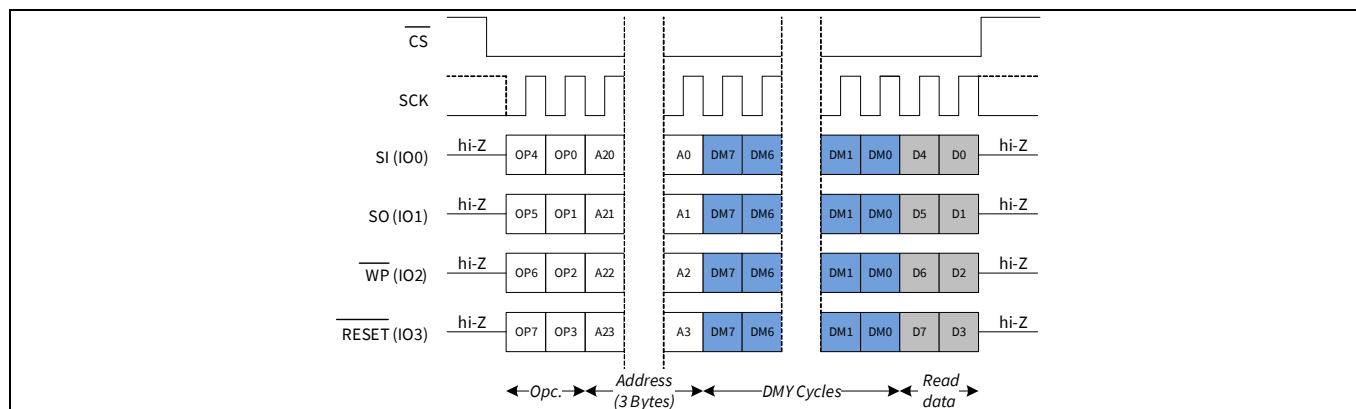


Figure 39 任意レジスタ読み出し (RDAR)- QPI モード

5.1.3 メモリの動作

高いクロック周波数で動作可能な SPI インターフェースは、F-RAM 技術の高速書き込み機能を際立たせます。シリアルフラッシュと違って、CY15x104QSN はバス速度でシーケンシャル書き込みができます。ページレジスタは不要であり、シーケンシャル書き込みは何回でも実行できます。

5.1.4 メモリ書き込み動作コマンド

メモリ書き込み命令は、 \overline{CS} ピンが LOW に遷移後に送られます。書き込みオペコードの後、3 バイトアドレスと XIP モード バイト (該当する場合) が続きます。CY15x104QSN は 4M ビット (512K×8) メモリ容量の 19 ビット アドレス空間を備えます。最上位アドレス バイトでは A16, A17, および A18 はアクティブビットであり、残りの A[23:19] ビットは「ドントケア」です。アドレス ビット A18 ~ A0 は、(サポートされる場合) SPI バスを介して (XIP) モードバイトに続いて 3 バイトで送信されます。最後のアドレスビットまたは最後のモードビット (XIP がサポートされる場合) が送信された直後、データ バイト ([D7:0]) は入力ラインを介して送信されます。メモリ書き込み動作は、SPI, 拡張 SPI, DPI, または QPI モードで SDR および DDR バス インターフェースを介して実行でき、一部は直接実行 (XIP) に対応します。

Table 39 は各種 SPI バス インターフェースとデータ転送モードで CY15x104QSN がサポートするメモリ書き込みコマンドの一覧です。

注:

- ・バースト書き込みが保護されたブロック アドレスに到達すると、保護された空間へのアドレスのインクリメントを継続しますが、保護されたメモリにデータを書き込みません。アドレスがロールオーバーし、保護されていない空間でバースト書き込みを実行する場合、書き込みが再開されます。バースト書き込みが書き込み保護されたブロック内で開始された場合、同じ処理が行われます。
- ・書き込み中、バイト転送の途中で電源を喪失すると、最後に完了したバイトのみが書き込まれます。

Table 39 **メモリ書き込みのコマンド**

コマンド	オペコード (16 進)	コマンドの説明
WRITE	02	メモリ書き込み。F-RAM アレイへの書き込み。
DDRWRITE	DE	DDR 書き込み。QPI DDR モードでの書き込み。
FAST_WRITE	DA	メモリ高速書き込み。直接実行対応のメモリ書き込み。
DDR_FAST_WRITE	DD	DDR 高速書き込み。DDR モードでのメモリ高速書き込み。
DIW	A2	デュアル入力書き込み。コマンド、アドレスおよびモード バイトはシングルライン SI で、データ バイトは I/O1 (SO) と I/O0 (SI) のデュアル入力ラインで送信されます。
DIOW	A1	DDR デュアル I/O 書き込み。コマンドはシングルライン SI で、アドレス、モード バイトおよびデータ バイトは I/O1 (SO) と I/O0 (SI) のデュアル入力ラインで送信されます。
QIW	32	クアッド入力書き込み。コマンド、アドレスおよびモード バイトはシングルライン SI で、データ バイトは I/O3 (RESET), I/O2 (WP), I/O1 (SO), I/O0 (SI) のクアッド入力ラインで送信されます。
QIOW	D2	クアッド I/O 書き込み。コマンドはシングルライン SI で、アドレス、モード バイトおよびデータ バイトは I/O3 (RESET), I/O2 (WP), I/O1 (SO) と I/O0 (SI) のクアッド入力ラインで送信されます。
DDRQIOW	D1	DDR クアッド I/O 書き込み。DDR モードでのクアッド I/O 書き込みです。

Table 40 メモリ書き込みのコマンド詳細

コマンド			SPI バス インターフェース							データ転送		XIP	最大クロック周波数
コマンド	オペコード (16進)	アドレス長	SPI	デュアルデータ	クアッドデータ	デュアルI/O	クアッドI/O	DPI	QPI	SDR	DDR	直接実行 (モードバイト)	
WRITE	02	3 バイト	有	該当なし				有	有	有	該当なし	該当なし	108 MHz
DDRWRITE	DE	3 バイト	該当なし						有	該当なし	有	該当なし	54 MHz
FAST_WRITE	DA	3 バイト	有	該当なし				有	有	有	該当なし	有	108 MHz
DDR_FAST_WRITE	DD	3 バイト	該当なし						有	該当なし	有	有	54 MHz
DIW	A2	3 バイト	該当なし	有	該当なし				有	該当なし	有	108 MHz	
DIOW	A1	3 バイト	該当なし			有	該当なし		有	該当なし	有	108 MHz	
QIW	32	3 バイト	該当なし	有	該当なし				有	該当なし	有	108 MHz	
QIOW	D2	3 バイト	該当なし				有	該当なし	有	該当なし	有	108 MHz	
DDRQIOW	D1	3 バイト	該当なし				有	該当なし	該当なし	有	有	54 MHz	

5.1.4.1 書き込み (WRITE, 02h)

書き込みデータとともに WRITE オペコードが SPI モードでは SI ピン、DPI モードでは I/O1 と I/O0 ピン、QPI モードで I/O3, I/O2, I/O1, および I/O0 ピンで送信されると、書き込み動作は実行されます。バースト書き込みは、新しい WRITE 命令を発行せずに連続したアドレスに書き込みます。1 バイトだけを書き込む場合、D0 (データの LSB) が送信された後、 $\overline{\text{CS}}$ ピンを HIGH に駆動する必要があります。しかし、2 バイト以上を書き込む場合は、 $\overline{\text{CS}}$ ピンを LOW に維持する必要があります。このとき、アドレスは自動的にインクリメントします。入力ピン上のデータバイトが連続するアドレスに書き込まれます。内部アドレスカウンタが 0x7FFFF に到達すると、アドレスは 0x00000 にロールオーバーし、デバイスは書き込みを続けます。

注:

- WRITE 命令は、WEL ビット (SR1[1]) に「1」が設定された場合にのみ実行されます。
- WRITE 動作が完了しても WEL ビット (SR1[1]) は「0」にクリアされません。したがって、WRITE 動作に続くいかなる書き込みコマンドも、WEL ビットを「1」に設定する WREN コマンドを先行させる必要はありません。

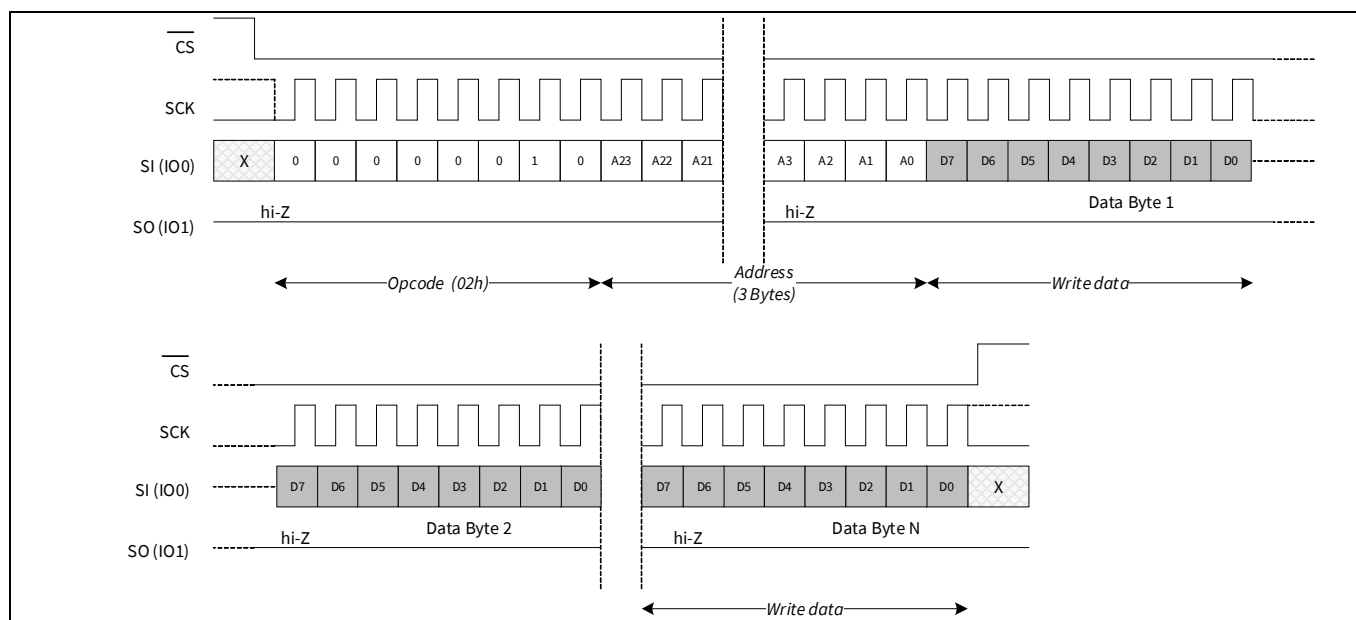


Figure 40 メモリ書き込み (WRITE)- SPI モード

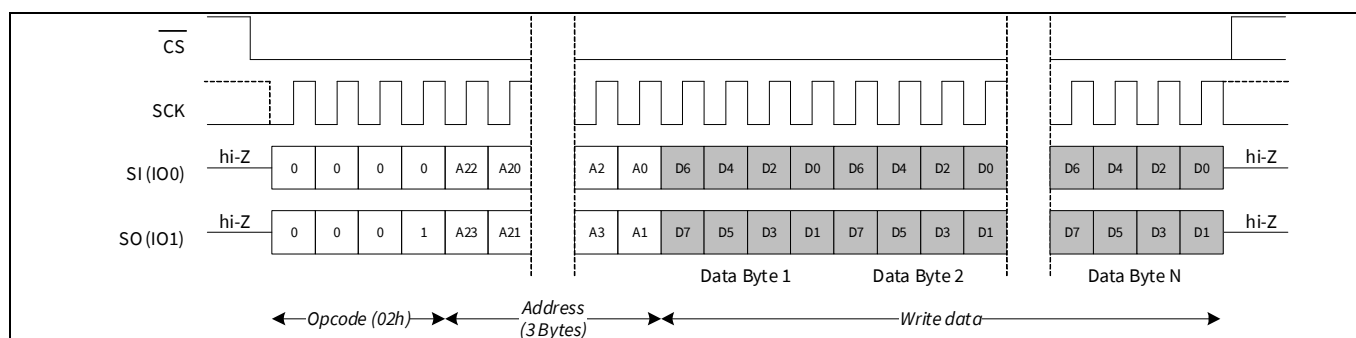


Figure 41 メモリ書き込み (WRITE)- DPI モード

機能説明

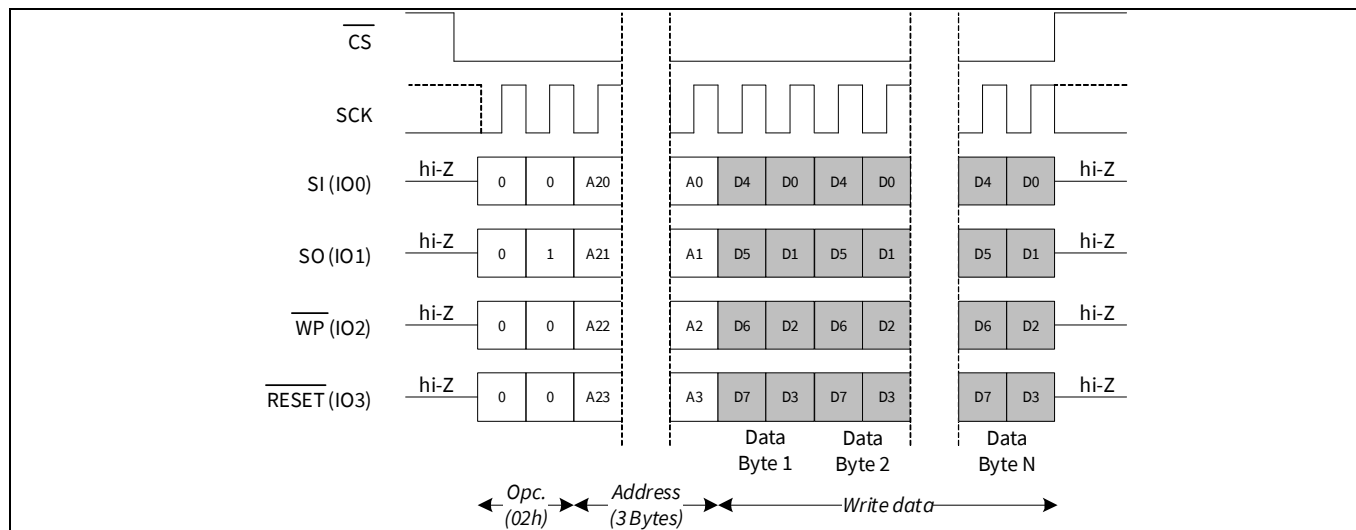


Figure 42 メモリ書き込み (WRITE)- QPI モード

5.1.4.2 DDR 書き込み (DDRWRITE, DEh)

DDRWRITE 命令は、SCK の両エッジでアドレスとデータ ビットを転送することによって帯域幅を向上させます。アドレスはメモリ アレイの任意のバイト位置から開始できます。各データ バイトがシフトアウトされた後、アドレスは次の高いアドレスに自動的にインクリメントします。したがって、単一の書き込みオペコードと与えられた開始アドレスでメモリ全体に書き込みます。最高アドレス 0x7FFFF に到達すると、アドレス カウンターはラップアラウンドして 0x000000 に戻り、読み出しシーケンスは無制限に継続できます。このオペコードは SPI モード 3 に対応しません。

注:

- 書き込み動作を有効にするために WEL ビットに「1」が設定された場合にのみ、DDRWRITE 命令はデバイスによって実行されます。
- DDRWRITE 動作が完了しても、WEL ビットは「0」にリセットされません。

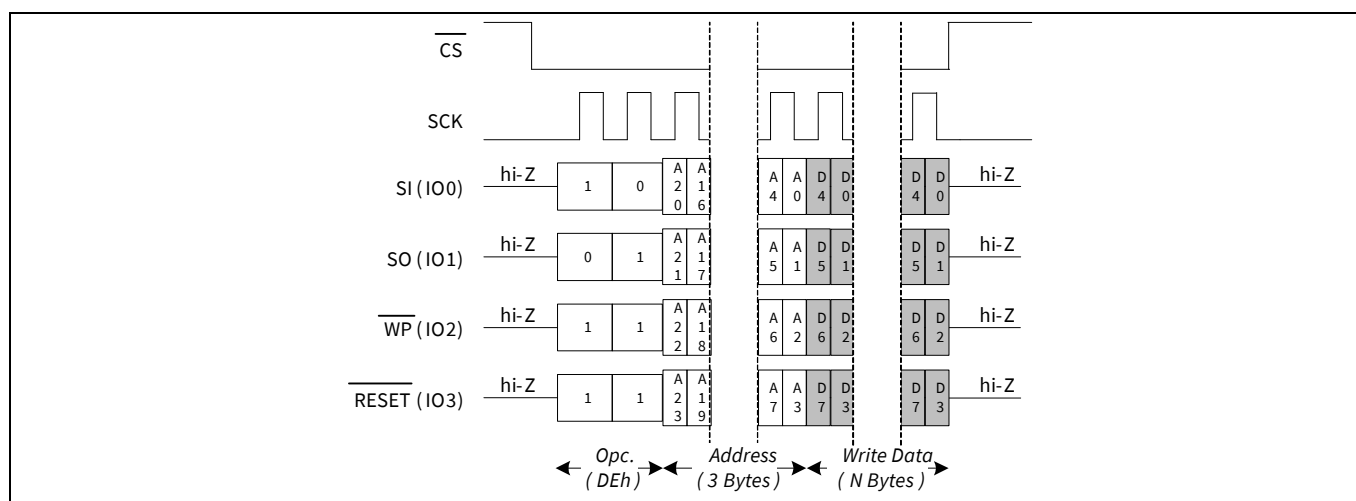


Figure 43 DDR 書き込み (DDRWRITE)- QPI モード

5.1.4.3 高速書き込み (FAST_WRITE, DAh)

FAST_WRITE 命令はモード バイトをとおして設定する XIP 動作を可能にすることを除いて WRITE 命令に似ています。モード ビットは、最初の命令が Axh モード ビット (“1010XXXX”) パターンを送信した後、一連の高速書き込み命令を可能にし、8 ビット オペコードを省略します。直接実行 (XIP) と呼ばれるこの機能は初期アクセス時間を短縮させます (性能が向上)。モード ビットは、最初のバイトの命令オペコードに含まれるか除外するかによって、次の高速書き込み動作の長さを制御します。モード ビットが Axh の場合、デバイスは連続高速書き込みモードに移行し、DAh オペコードを必要とせずに次のアドレスを書き込みます (CS を HIGH にしてから LOW にアサートした後)。そのため、命令シーケンスから 8 サイクルを省けます。そうでない場合、CS が HIGH から LOW に一旦遷移するとオペコードは必要です。

注:

- モード ビットが !Axh (Axh バイトの論理否定) の場合、FAST_WRITE XIP モードが終了します。
- 書き込み動作を有効にするためにステータス レジスタの書き込みイネーブル ラッチ (WEL) に「1」が設定された場合にのみ、FAST_WRITE 命令はデバイスによって実行されます。
- FAST_WRITE 動作が完了しても、WEL ビットは「0」にリセットされません。

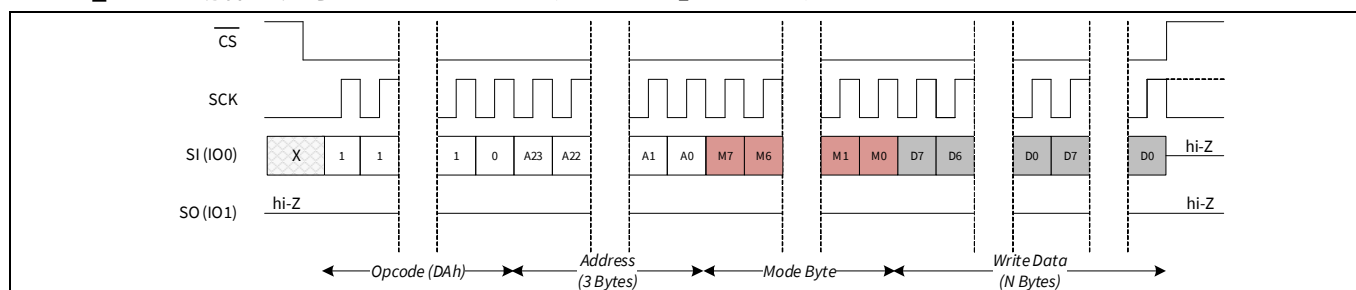


Figure 44 高速書き込み (FAST_WRITE) - SPI モード

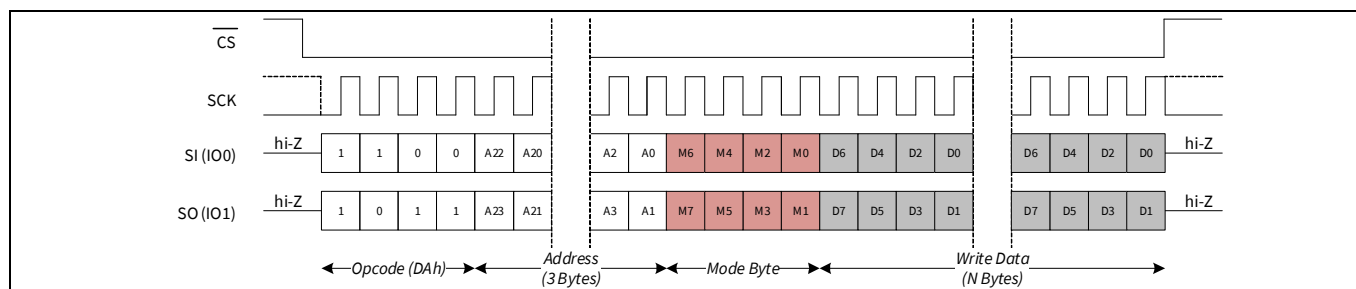


Figure 45 高速書き込み (FAST_WRITE) - DPI モード

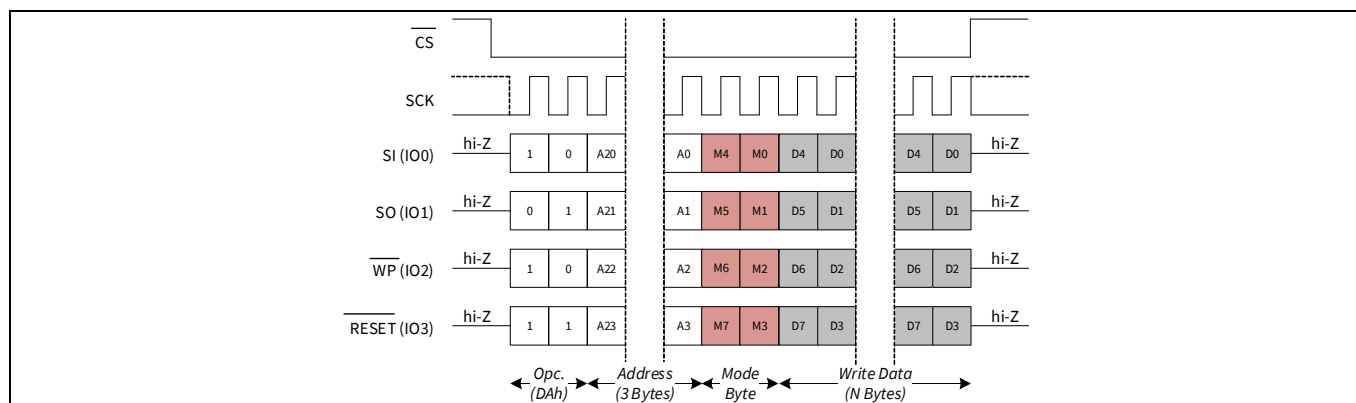


Figure 46 高速書き込み (FAST_WRITE) - QPI モード

5.1.4.4 DDR 高速書き込み (DDR_FAST_WRITE, DDh)

DDR_FAST_WRITE 命令は XIP 動作を可能にする点を除いて、DDRWRITE 命令に似ています。

モードビットは、最初の命令が A5h モードビット (“10100101”) パターンを送信した後、一連の DDR_FAST_WRITE 命令を可能にし、8 ビット オペコードを省略します。直接実行 (XIP) と呼ばれるこの機能は初期アクセス時間を大幅に短縮させます (性能が向上)。モードビットは最初のバイト命令オペコードを含めるか除外するかによって、次の DDR_FAST_WRITE 動作の長さを制御します。モードビットが A5h の場合、デバイスは連続 DDR_FAST_WRITE モードに移行し、 $\overline{\text{CS}}$ を HIGH にしてから LOW にアサートした後) DDh オペコードを必要とせずに次のアドレスを入力できます。そのため、命令シーケンスから 8 サイクルが省かれます。そうでない場合、 $\overline{\text{CS}}$ が HIGH から LOW に一旦遷移するとオペコードは必要となります。このオペコードは SPI モード 3 に対応しません。

注:

- モードビットが !A5h (A5h バイトの論理否定) の場合、DDR_FAST_WRITE XIP モードが終了します。
- 書き込み動作を行うために WEL ビットに「1」が設定された場合にのみ、DDR_FAST_WRITE 命令はデバイスによって実行されます。
- DDR_FAST_WRITE 動作が完了しても、WEL ビットは「0」にリセットされません。

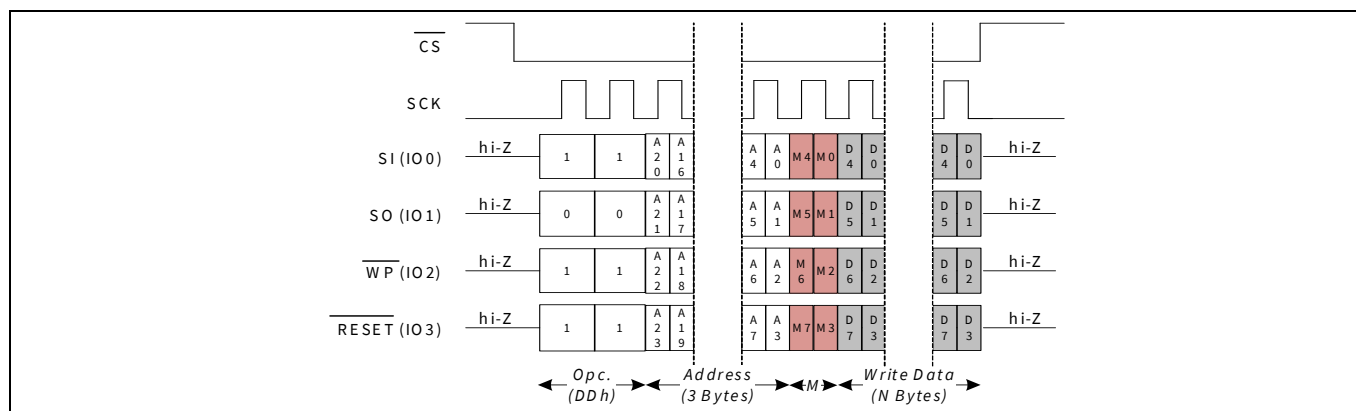


Figure 47 DDR 高速書き込み (DDR_FAST_WRITE) - QPI モード

5.1.4.5 デュアル入力書き込み (DIW, A2h)

DIW 命令は拡張 SPI 書き込み命令の一部で、デュアルデータモードで使用できます。デュアルデータモードでは、オペコード、アドレスおよびモードバイトは SI ピン上でクロックサイクルごとに 1 ビット送信されます。最後のアドレスビットが送信された直後、SO を I/O1、SI を I/O0 に再コンフィギュレーションします。この場合、データ (D[7:0]) は I/O1 を介して D7、I/O0 を介して D6 から始まりクロックサイクルごとに 2 ビット送信されます。

モードビットは、最初の命令が Axh モードビット ("1010XXXX") パターンを送信した後、一連の DIW 命令を可能にし、8 ビットオペコードを省略します。直接実行 (XIP) と呼ばれるこの機能は初期アクセス時間を短縮させます (性能が向上)。モードビットは最初のバイト命令オペコードが含まれるか除外するかによって、次の DIW 動作の長さを制御します。モードビットが Axh の場合、デバイスは連続 DIW モードに移行し、A2h オペコードを必要とせずに次のアドレスを書き込めます ($\overline{\text{CS}}$ を HIGH にしてから LOW にアサートした後)。そのため、命令シーケンスから 8 サイクルを省けます。そうでない場合、 $\overline{\text{CS}}$ が HIGH から LOW に一旦遷移するとオペコードは必要となります。

注:

- モードビットが !Axh (Axh バイトの論理否定) の場合、DIW XIP モードが終了します。
- 書き込み動作を行うために WEL ビットに「1」が設定された場合にのみ、DIW 命令はデバイスによって実行されます。
- DIW 動作が完了しても、WEL ビットは「0」にリセットされません。

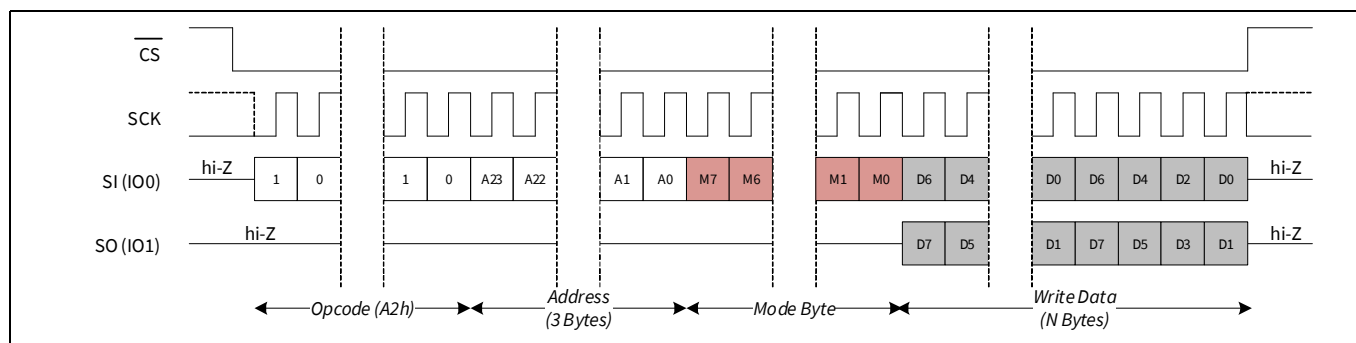


Figure 48 デュアル入力書き込み (DIW)

5.1.4.6 デュアル I/O 書き込み (DIOW, A1h)

DIOW 命令は拡張 SPI 書き込み命令の一部で、デュアル アドレス / データ モードで使用できます。デュアル アドレス / データ モードでは、オペコードは SI ピン上でクロックサイクルごとに 1 ビット送信されます。最後のオペコード ビットが送信された直後、SO ピンが I/O1 に、SI ピンが I/O0 に再コンフィギュレーションされます。このとき、3 バイト アドレスが入力されるまで、アドレスおよびモード バイトはデバイスに I/O1 上でアドレス A23 から始まり、I/O0 上で A22 から始まりクロックサイクルごとに 2 ビット送信されます。最後のアドレス ビットが送信された後、データ (D[7:0]) はデバイスに I/O1 上で D7 から始まり、I/O0 上で D6 から始まりクロックサイクルごとに 2 ビット送信されます。

モード ビットは、最初の命令が Axh モード ビット ("1010XXXX") パターンを送信した後、一連の DIOW 命令を可能にし、8 ビット オペコードを省略します。直接実行 (XIP) と呼ばれるこの機能は初期アクセス時間が大幅に短縮させます (性能が向上)。モード ビットは最初のバイト命令オペコードを含めるか除外するかによって、次の DIOW 動作の長さを制御します。モード ビットが Axh の場合、デバイスは連続 DIOW モードに移行し、A1h オペコードを必要とせずに次のアドレスを書き込みます ($\overline{\text{CS}}$ を HIGH にしてから LOW にアサートした後)。そのため、命令シーケンスから 8 サイクルを省けます。そうでない場合、 $\overline{\text{CS}}$ が HIGH から LOW に遷移するとオペコードは必要となります。

注:

- モード ビットが !Axh (Axh バイトの論理否定) の場合、DIOW XIP モードが終了します。
- 書き込み動作を行うために WEL ビットに「1」が設定された場合にのみ、DIOW 命令はデバイスによって実行されます。
- DIOW 動作が完了しても、WEL ビットは「0」にリセットされません。

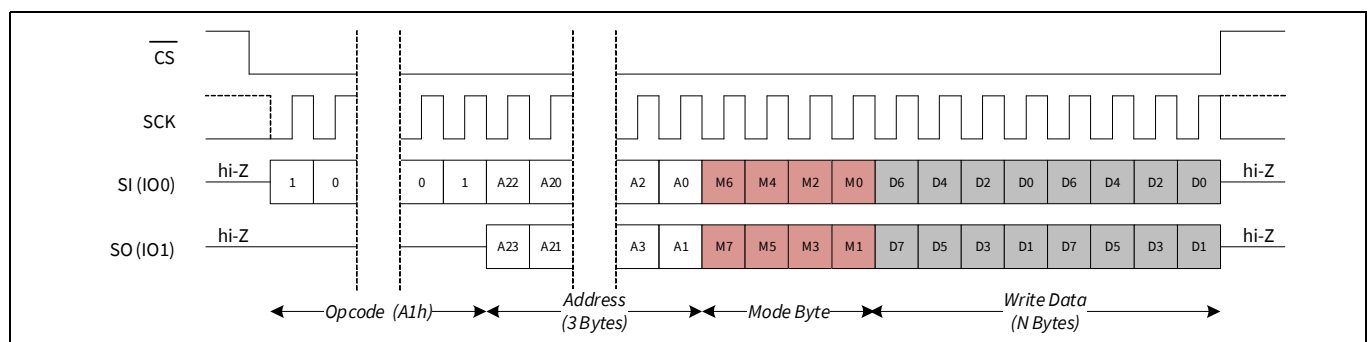


Figure 49 デュアル I/O 書き込み (DIOW)

5.1.4.7 クアッド入力書き込み (QIW, 32h)

QIW 命令は拡張 SPI 書き込み命令の一部で、クアッド データ モードで使用できます。クアッド データ モードでは、オペコード、アドレスおよびモード バイトは SI ピン上でクロック サイクルごとに 1 ビット送信されます。最後のアドレス ビットが送信された直後、RESET ピンが I/O3 に、WP ピンが I/O2 に、SO ピンを I/O1 に、SI ピンが I/O0 に再コンフィギュレーションされます。このとき、データ (D7 ~ D0) は I/O3 上で D7 から始まり、I/O2 上で D6 から始まり、I/O1 上で D5 から始まり、I/O0 上で D4 から始まりクロック サイクルごとに 4 ビット送信されます。

モード ビットは、最初の命令が Axh モード ビット ("1010XXXX") パターンを送信した後、一連の QIW 命令を可能にし、8 ビット オペコードを省略します。直接実行 (XIP) と呼ばれるこの機能は初期アクセス時間を大幅に短縮させます (性能が向上)。モード ビットは最初のバイト命令オペコードが含まれるか除外するかによって、次の QIW 動作の長さを制御します。モード ビットが Axh の場合、デバイスは連続 QIW モードに移行し、32h オペコードを必要とせずに次のアドレスを書き込みます (CS を HIGH にしてから LOW にアサートした後)。そのため、命令シーケンスから 8 サイクルを省けます。そうでない場合、CS が HIGH から LOW に遷移するとオペコードは必要となります。

注:

- モード ビットが !Axh (Axh バイトの論理否定) の場合、QIW XIP モードが終了します。
- 書き込み動作を行うためにステータスレジスタの書き込みイネーブル ラッチ (WEL) に「1」が設定された場合にのみ、QIW 命令はデバイスによって実行されます。
- QIW 動作が完了しても、WEL ビットは「0」にリセットされません。

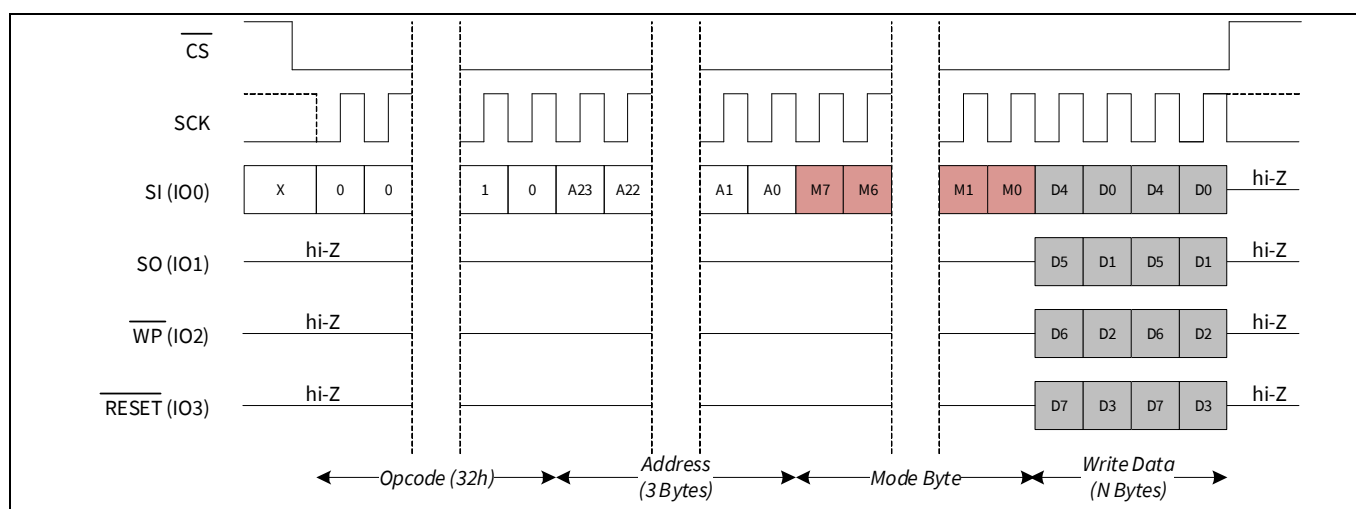


Figure 50 クアッド入力書き込み (QIW)

5.1.4.8 クアッド I/O 書き込み (QIOW, D2h)

QIOW 命令は拡張 SPI 書き込み命令の一部で、クアッド アドレス / データ モードで使用できます。クアッド アドレス / データ モードでは、オペコードは SI ピンを介してクロックサイクルごとに 1 ビット送信されます。最後のオペコードビットが送信された直後、RESET ピンが I/O3 に、WP ピンが I/O2 に、SO ピンを I/O1 に、SI ピンが I/O0 に再コンフィギュレーションされます。このとき、3 バイト アドレスが入力されるまで、アドレスは I/O3 上で A23 から始まり、I/O2 上で A22 から始まり、I/O1 上で A21 から始まり、I/O0 上で A20 から始まりクロックサイクルごとに 4 ビット送信されます。最後のアドレスビットが送信された後、データ (D7 ~ D0) はデバイスに I/O3 上で D7 から始まり、I/O2 上で D6 から始まり、I/O1 上で D5 から始まり、I/O0 上で D4 から始まりクロックサイクルごとに 4 ビット送信されます。

モードビットは、最初の命令が Axh モードビット ("1010XXXX") パターンを送信した後、一連の QIOW 命令を可能にし、8 ビット オペコードを省略します。直接実行 (XIP) と呼ばれるこの機能は初期アクセス時間が大幅に短縮させます (性能が向上)。モードビットは最初のバイト命令オペコードが含まれるか除外するかによって、次の QIOW 動作の長さを制御します。モードビットが Axh の場合、デバイスは連続 DIOW モードに移行し、D2h オペコードを必要とせずに次のアドレスを書き込みます ($\overline{\text{CS}}$ を HIGH にしてから LOW にアサートした後)。そのため、命令シーケンスから 8 サイクルを省けます。そうでない場合、 $\overline{\text{CS}}$ が HIGH から LOW に遷移するとオペコードは必要となります。

注:

- モードビットが !Axh (Axh バイトの論理否定) の場合、QIOW XIP モードが終了します。
- 書き込み動作を行うためにステータスレジスタの書き込みイネーブルラッチ (WEL) に「1」が設定された場合にのみ、QIOW 命令はデバイスによって実行されます。
- QIOW 動作が完了しても、WEL ビットは「0」にリセットされません。

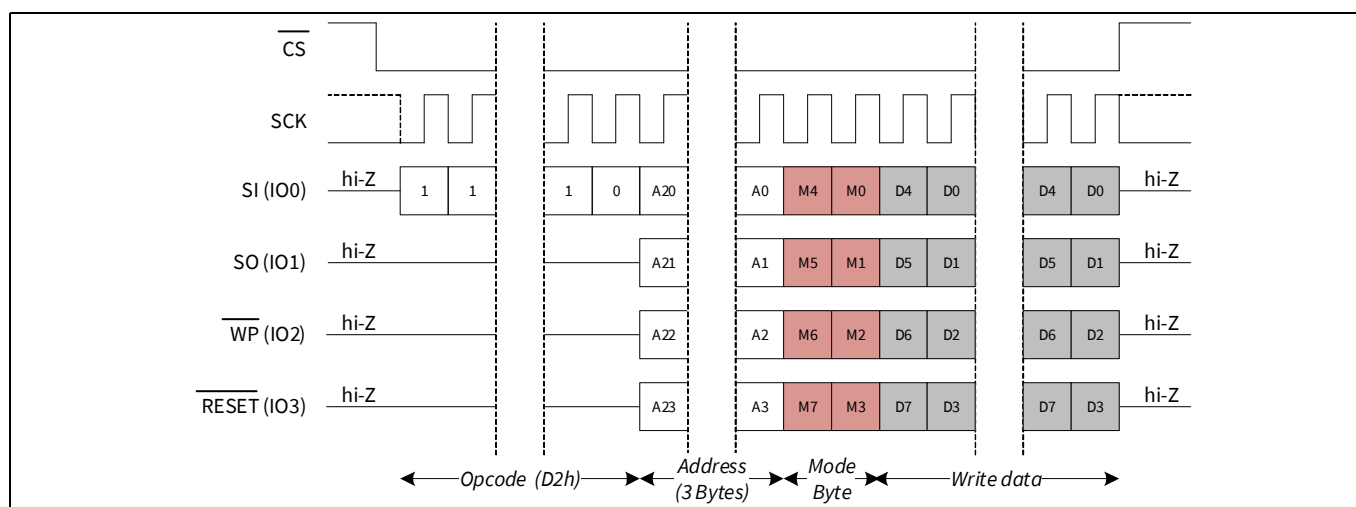


Figure 51 クアッド I/O 書き込み (QIOW)

5.1.4.9 DDR クアッド I/O 書き込み (DDRQIOW, D1h)

ダブルデータレート クアッド I/O 書き込みはクアッド I/O に似ていますが、アドレスとデータはクロックのすべてのエッジで送信され、DDRQIOW のモード ビット パターンが A5h (“10100101”) です。このオペコードは SPI モード 3 に対応しません。

注: モード ビットが **!A5h (A5h バイトの論理否定)** の場合、**DDRQIOW XIP** モードが終了します。

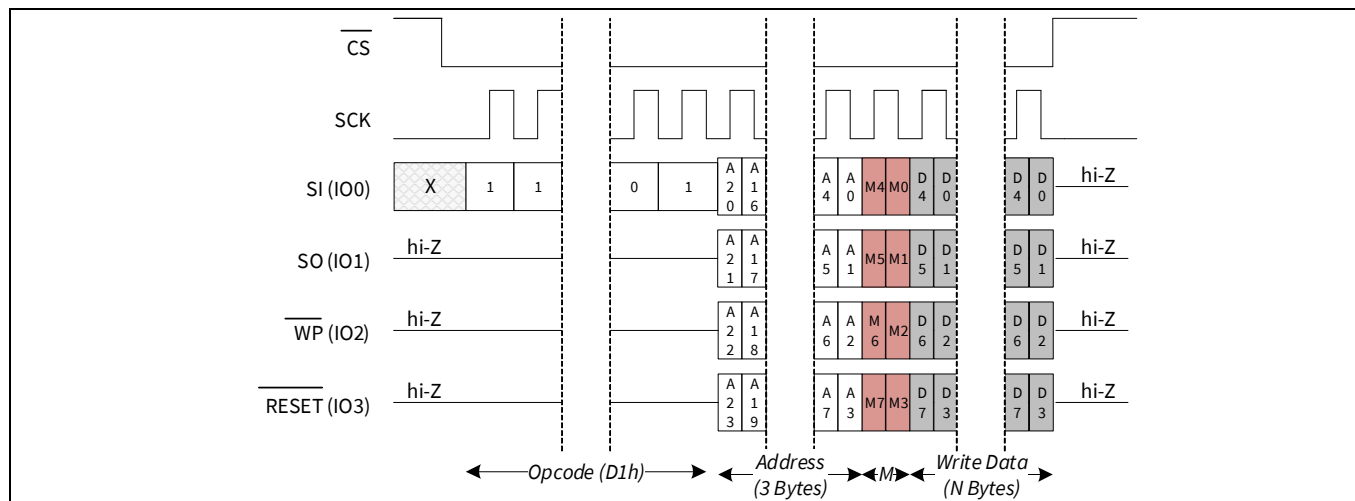


Figure 52 クアッド I/O 書き込み (QIOW)

5.1.5 メモリ読み出し動作のコマンド

メモリ読み出し命令はデバイスを選択するために \overline{CS} ピンが LOW に遷移後に送られます。読み出しオペコードの後、3 バイト アドレスおよび XIP モード バイト (該当する場合) が続きます。CY15x104QSN は 4M ビット (512K×8) メモリ容量用の 19 ビット アドレス空間を備えます。最上位アドレス バイトには、A16, A17, および A18 のアクティブビットが含まれ、残りのビットは「ドント ケア」です。アドレス ビット A18 ~ A0 は SPI バスを介して 3 バイト送信され、その後モード バイトとダミー サイクル (該当する場合) が続きます。

メモリ読み出しは SPI, 拡張 SPI, DPI, または QPI モードで SDR および DDR バス インターフェースを介して実行でき、直接実行 (XIP) にも対応します。Table 41 は、さまざまな SPI バス インターフェースおよびデータ転送モードで CY15x104QSN がサポートするメモリ読み出しコマンドの一覧です。

Table 41 **メモリ読み出しコマンド**

コマンド	オペコード (16 進)	コマンドの説明
READ	03	メモリ読み出し。SPI SDR モードでは、レイテンシ サイクルがなく、最大 50MHz SPI までの周波数で読み出す。SPI, DPI, QPI の SDR モードでは、メモリ レイテンシ サイクルがあり、最大 108MHz までの周波数で読み出す。
FAST_READ	0B	メモリ高速読み出し。SPI, DPI, QPI の SDR モードでは、メモリ レイテンシ サイクルがあり、最大 108MHz までの周波数で読み出す。
DDRFR	0D	DDR 高速読み出し。QPI DDR モードでの高速読み出し命令
DOR	3B	デュアル出力読み出し。コマンドおよびアドレス バイトはシングルライン SI で送信され、データは I/O1 (SO) と I/O0 (SI) のデュアル出力ラインで送信される。
DIOR	BB	デュアル I/O 読み出し。コマンドはシングルライン SI で、アドレス入力およびデータ出力は I/O1 (SO) と I/O0 (SI) のデュアル出力ラインで行われる。
QOR	6B	クアッド出力読み出し。コマンドおよびアドレスはシングルライン SI で送信され、データは I/O3 (RESET), I/O2 (WP), I/O1 (SO), I/O0 (SI) のクアッド出力ラインで出力される。
QIOR	EB	クアッド I/O 読み出し。コマンドはシングルライン SI で送信され、アドレス入力およびデータ出力は I/O3 (RESET), I/O2 (WP), I/O1 (SO), I/O0 (SI) のクアッド出力ラインで行われる。このオペコードは拡張 SPI (クアッド I/O) SDR および QSPI SDR モードで実行。
DDRQIOR	ED	SDR および DDR モードでのクアッド I/O 読み出し。このオペコードは拡張 SPI (クアッド I/O) SDR および QPI DDR モードで実行

Table 42 メモリ読み出しのコマンド詳細

オペ コード (16 進)	アドレ ス長	SPI バス インターフェース							データ 転送		XIP	メモ リレイ テンシ	最大 クロック 周波数	
		SPI	デュアル データ	クアッド データ	デュアル I/O	クアッド I/O	DPI	QPI	SDR	DDR	直接 実行	ダミー サイクル		
03	3 バイ ト	有	該当なし					有	有	有	該 当 な し	該 当 な し	有	108 MHz
0B	3 バイ ト	有	該当なし					有	有	有	該 当 な し	有	有	108 MHz
0D	3 バイ ト	該当なし							有	該 当 な し	有	有	有	54 MHz
3B	3 バイ ト	該 当 な し	有	該当なし					有	該 当 な し	有	有	有	108 MHz
BB	3 バイ ト	該当なし			有	該当なし			有	該 当 な し	有	有	有	108 MHz
6B	3 バイ ト	該当なし		有	該当なし				有	該 当 な し	有	有	有	108 MHz
EB	3 バイ ト	該当なし				有	該 当 な し	有	有	該 当 な し	有	有	有	108 MHz
ED	3 バイ ト	該当なし				有	該 当 な し	有	該 当 な し	有	有	有	有	54 MHz

5.1.5.1 メモリ読み出し (READ, 03h)

READ 命令は与えられたアドレスのメモリ内容を読み出します。アドレスは3バイトアドレスにより決まる4Mビットメモリアレイの任意のバイト位置から開始できます。各データバイトがシフトアウトされた後、アドレスは次の高いアドレスに自動的にインクリメントします。したがって、単一の読み出しオペコードおよび指定したアドレスで4Mビットメモリ全体を読み出せます。最高アドレス0x7FFFFFに到達すると、アドレスカウンタはラップアラウンドして0x000000に戻り、読み出しシーケンスは無制限に継続できます。このコマンドはSPI, DPI, またはQPIモードで実行されます。

注: ダミーサイクルはCR1のメモリレイテンシコードビット(MLC0 ~ MLC3)で設定できるオプションです。

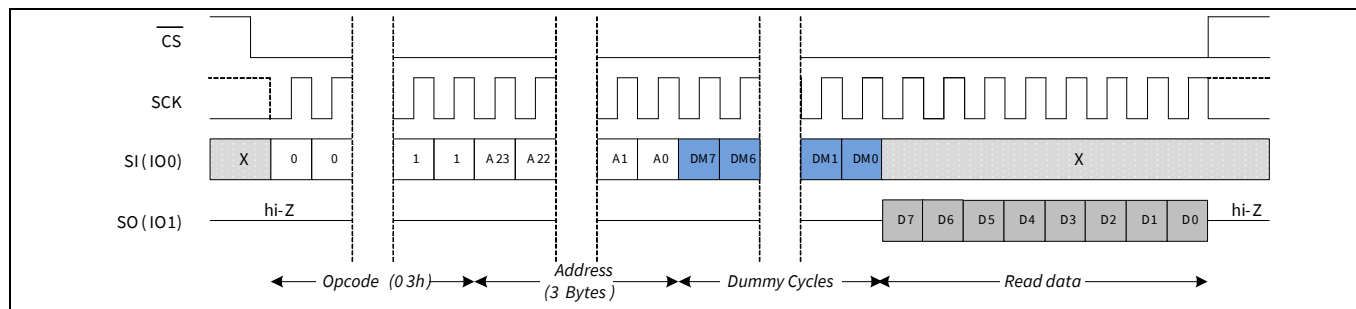


Figure 53 READ - SPI モード

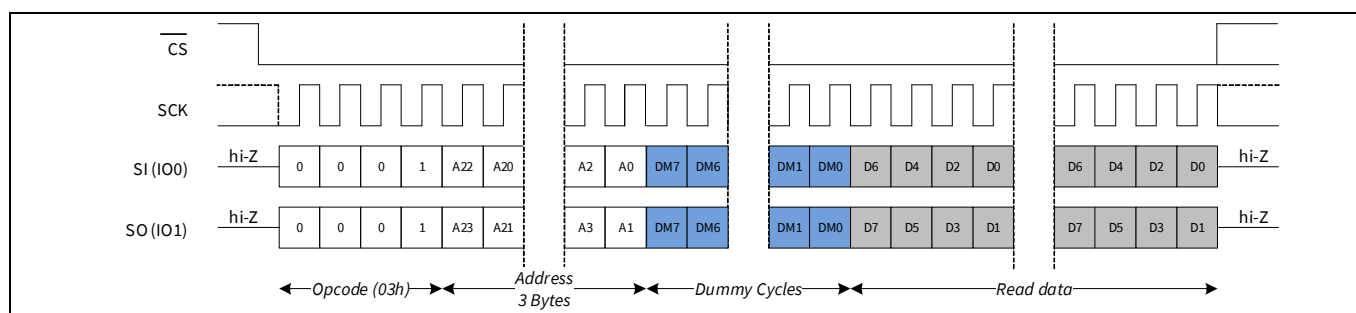


Figure 54 READ - DPI モード

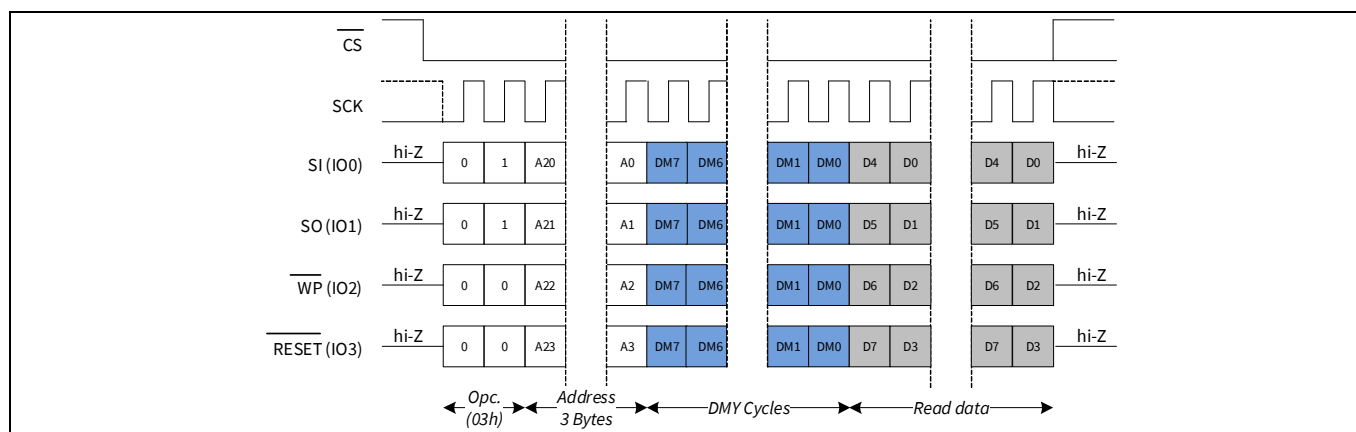


Figure 55 READ - QPI モード

5.1.5.2 高速読み出し (FAST_READ, 0Bh)

FAST_READ 命令は指定されたアドレスのメモリ内容を読み出します。アドレスは3バイトアドレスで決まる 4M ビット メモリ アレイの任意のバイト位置から開始できます。各データバイトがシフトアウトされた後、アドレスは次の高いアドレスに自動的にインクリメントします。したがって、単一の読み出しオペコードおよび与えられたアドレスでメモリ全体を読み出せます。最高アドレス 0x7FFFF に到達すると、アドレスカウンタはラップアラウンドして 0x000000 に戻り、読み出しシーケンスは無制限に継続できます。このコマンドは SPI, DPI, または QPI モードで実行します。

モードビットは、最初の命令が Axx モードビット ("1010XXXX") パターンを送信した後、一連の高速読み出し命令を可能にし、8 ビット オペコードを省略します。直接実行 (XIP) と呼ばれるこの機能は初期アクセス時間を大幅に短縮させます (性能が向上)。モードビットは最初のバイト命令オペコードを含めるか除外するかによって、次の FAST_READ 動作の長さを制御します。モードビットが Axx の場合、デバイスは連続 FAST_READ モードに移行し、CS を HIGH にしてから LOW にアサートした後) 0Bh オペコードを必要とせず次のアドレスを入力できます。そのため、命令シーケンスから 8 サイクルが省かれます。そうでない場合、CS が HIGH から LOW に遷移するとオペコードは必要となります。

注:

- モードビットが !Axx (Axx バイトの論理否定) の場合、FAST_READ XIP モードが終了します。
- ダミーサイクルは CR1 のメモリレイテンシコードビット (MLC0 ~ MLC3) で設定できるオプションです。

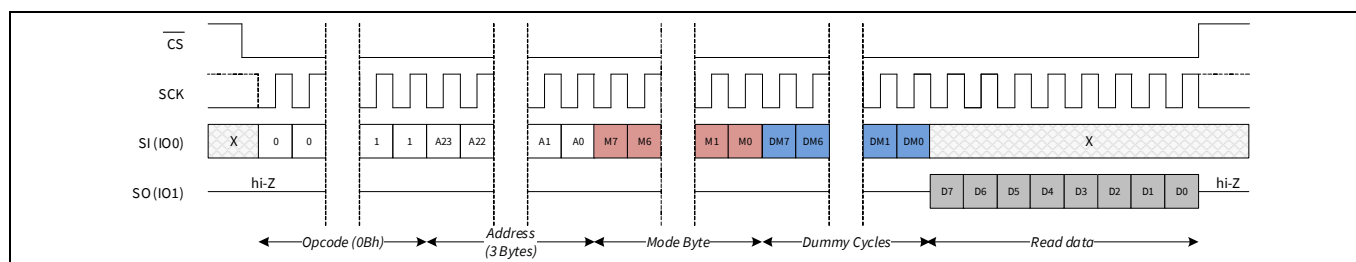


Figure 56 FAST_READ - SPI モード

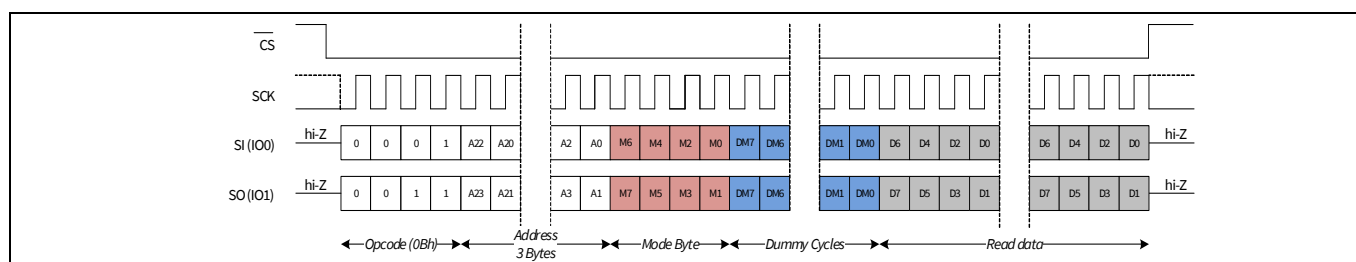


Figure 57 FAST_READ - DPI モード

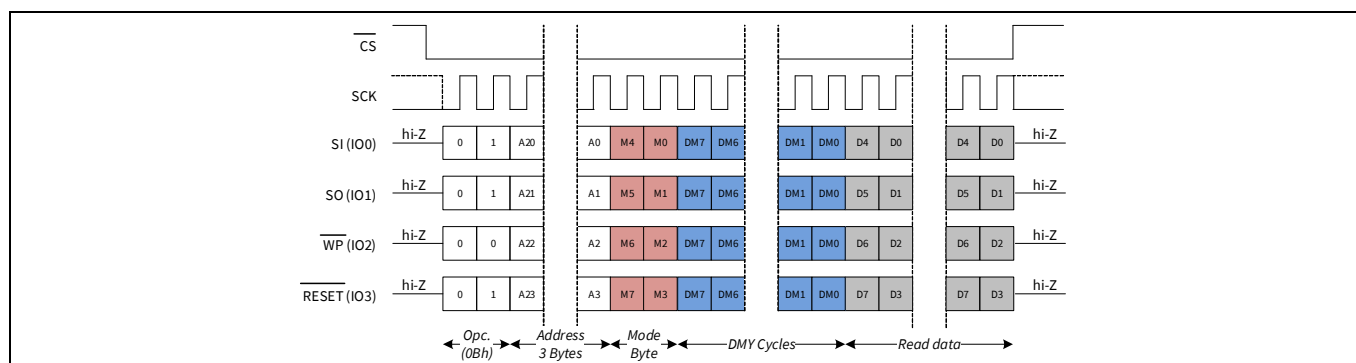


Figure 58 FAST_READ - QPI モード

5.1.5.3 DDR 高速読み出し (DDRFR, 0Dh)

DDRFR 命令はクロックのすべてのエッジでアドレス、ダミー ビットおよびデータ ビットを転送することによって帯域幅を向上させます。アドレスは 3 バイト アドレスで決まる 4M ビット メモリ アレイの任意バイト位置から開始できます。各データバイトがシフト アウトされた後、アドレスは次のアドレスに自動的にインクリメントします。したがって、単一の読み出しオペコードと与えられた開始アドレスでメモリ全体を読み出せます。最高アドレス 0x7FFFF に到達すると、アドレス カウンターはラップ アラウンドして 0x000000 に戻り、読み出しシーケンスは無制限に継続できます。CS はダミー サイクル中 LOW のままでなければいけません。このコマンドは QPI モードで実行します。

モード ビットは、最初の命令が A5h モード ビット (“10100101”) パターンを送信した後、一連の高速読み出し DDR 命令を可能にし、8 ビット オペコードを省略します。直接実行 (XIP) と呼ばれるこの機能は初期アクセス時間を大幅に短縮させます (XIP 性能を向上)。モード ビットは最初のバイトの命令オペコードを含めるか場外するかによって、次の DDRFR 動作の長さを制御します。モード ビットが A5h の場合、デバイスは連続 DDR 高速読み出しモードに移行し、(CS を HIGH にしてから LOW にアサートした後) 0Dh オペコードを必要とせずに次のアドレスを入力できます。そのため、命令シーケンスから 8 サイクルが省かれます。そうでない場合、CS が HIGH から LOW に遷移するとオペコードは必要となります。このオペコードは SPI モード 3 に対応しません。

注:

- モード ビットが !A5h (A5h バイトの論理否定) の場合、DDRFR XIP モードが終了します。
- ダミーサイクルは CR1 のメモリレイテンシコードビット (MLC0 ~ MLC3) で設定できるオプションです。

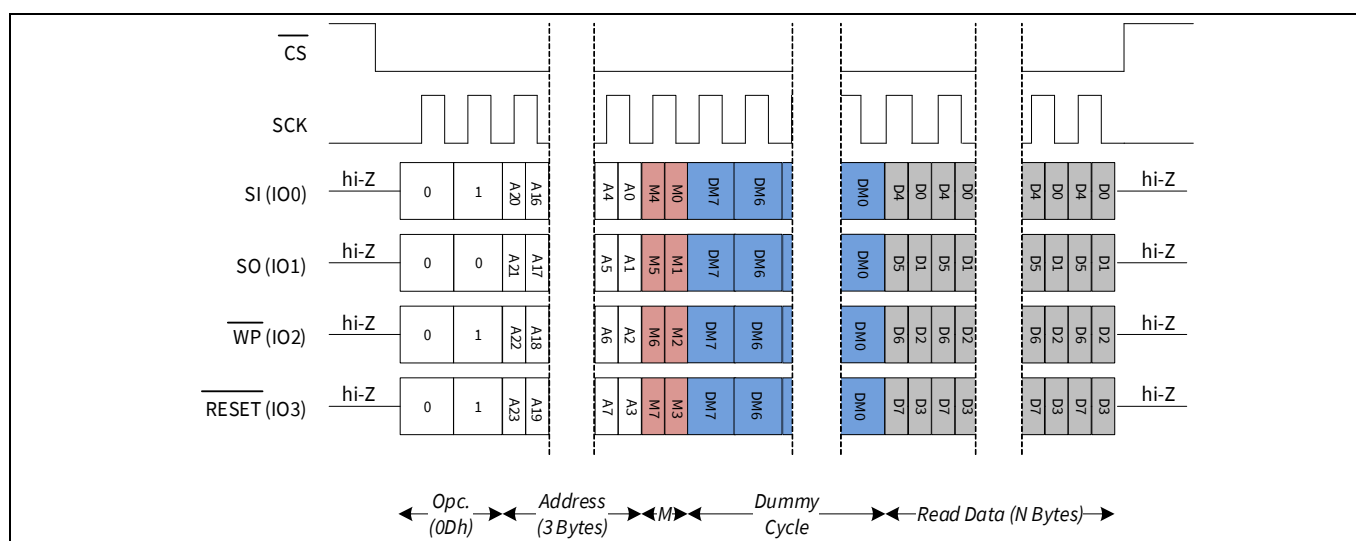


Figure 59 DDRFR - QPI モード

5.1.5.4 デュアル出力読み出し (DOR, 3Bh)

DOR 命令は拡張 SPI 読み出し命令の一部で、デュアル データ モードで使用されます。デュアル データ モードでは、オペコード、アドレス、モード バイト (A_{xh})、およびダミー サイクルは SI ピンを通じてクロック サイクルごとに 1 ビット送信されます。最後のダミー サイクルの SCK の立ち下りエッジでは、ピンは SO ピンが I/O1、SI ピンが I/O0 に再コンフィギュレーションされます。特定のアドレス位置のデータ (D7 ~ D0) は、I/O1 を介して D7、I/O を介して D6 から始まる 2 ビットがクロック サイクルごとにシフトアウトされます。アドレスはメモリアレイの任意バイト位置から開始できます。各データ バイトがシフトアウトされた後、アドレスは次の高いアドレスに自動的にインクリメントします。したがって、メモリ全体を読み出せます。最高アドレス 0x7FFFF に到達すると、アドレス カウンターはラップアラウンドして 0x000000 に戻り、読み出しシーケンスは無制限に継続できます。

モード ビットは、最初の命令が A_{xh} モード ビット (“1010XXXX”) パターンを送信した後、一連の DOR 命令を可能にして、8 ビット オペコードを省略します。直接実行 (XIP) と呼ばれるこの機能は初期アクセス時間を大幅に短縮させます (XIP 性能を向上)。モード ビットは最初のバイト命令オペコードを含めるか場外するかによって、次の DOR 動作の長さを制御します。モード ビットが A_{xh} の場合、デバイスは連続 DOR モードに移行し、 $\overline{\text{CS}}$ を HIGH にしてから LOW にアサートした後) 3Bh オペコードを必要とせず、に次のアドレスを入力できます。そのため、命令シーケンスから 8 サイクルが省かれます。そうでない場合、 $\overline{\text{CS}}$ が HIGH から LOW に遷移するとオペコードは必要となります。

注:

- モード ビットが !A_{xh} (A_{xh} バイトの論理否定) の場合、DOR XIP モードが終了します。
- ダミー サイクルは CR1 のメモリレイテンシコードビット (MLC0 ~ MLC3) で設定できるオプションです。

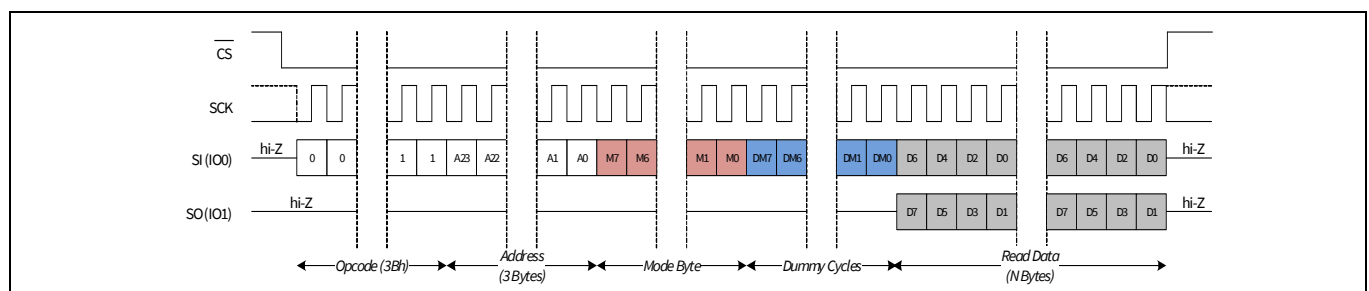


Figure 60 ダブル出力読み出し (DOR)

5.1.5.5 デュアル I/O 読み出し (DIOR, BBh)

DIOR 命令は拡張 SPI 読み出し命令の一部で、デュアル アドレス / データ モードで使用されます。デュアル アドレス / データ モードでは、オペコードは SI ピンを介してクロックサイクルごとに 1 ビット送信されます。オペコードの最後のビットが送信された後、SO ピンが I/O1 に、SI ピンが I/O0 に再コンフィギュレーションされます。その後、3 バイト アドレスが入力されるまでアドレスはデバイスに I/O1、I/O0 経由で I/O1 を介して A23、I/O0 を介して A22 から始まりクロックサイクルごとに 2 ビット送信されます。特定のアドレス位置のデータ (D7 ~ D0) は I/O1 を介して D7、I/O0 を介して D6 から始まる 2 ビットがクロックサイクルごとにシフトアウトされます。各データ バイトがシフトアウトされた後、アドレスは次の高いアドレスに自動的にインクリメントします。したがって、メモリ全体を読み出せます。最高アドレス 0x7FFFF に到達すると、アドレス カウンターはラップアラウンドして 0x000000 に戻り、読み出しシーケンスは無制限に継続できます。

モード ビットは、最初の命令が Axx モード ビット ("1010XXXX") パターンを送信した後、一連の DIOR 命令を可能にし、8 ビット オペコードを省略します。直接実行 (XIP) と呼ばれるこの機能は初期アクセス時間を大幅に短縮させます (XIP 性能を向上)。モード ビットは最初のバイト命令オペコードを含めるか除外するかによって、次の DIOR 動作の長さを制御します。モード ビットが Axx の場合、デバイスは連続 DIOR モードに移行し、BBh オペコードを必要とせずに次のアドレスを書き込みます ($\overline{\text{CS}}$ を HIGH にしてから LOW にアサートした後)。そのため、命令シーケンスから 8 サイクルを省けます。そうでない場合、 $\overline{\text{CS}}$ が HIGH から LOW に遷移するとオペコードは必要となります。

注:

- モード ビットが !Axx (Axx バイトの論理否定) の場合、FAST_READ XIP モードが終了します。
- ダミーサイクルは CR1 のメモリレイテンシコードビット (MLC0 ~ MLC3) で設定できるオプションです。

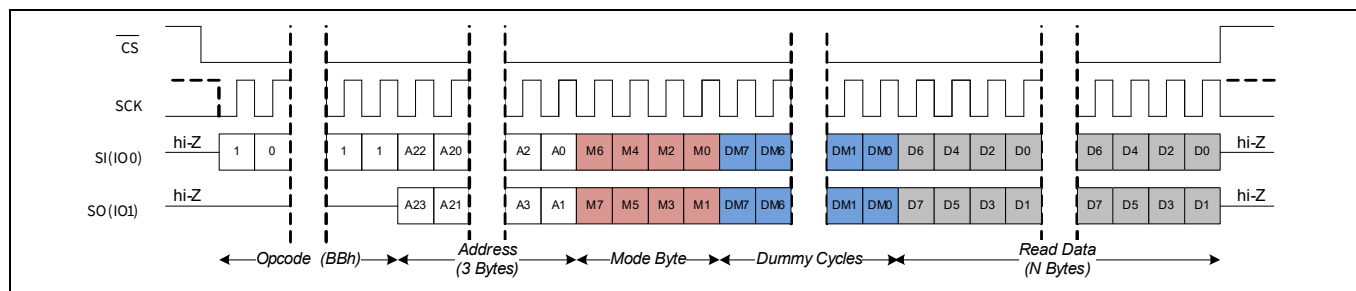


Figure 61 ダブル I/O 読み出し (DIOR)

5.1.5.6 クアッド出力読み出し (QOR, 6Bh)

QOR 命令は拡張 SPI 読み出し命令の一部で、クアッド データ モードで使用されます。クアッド データ モードでは、オペコード、アドレス、モード バイト (A_{xh})、およびダミー サイクルは SI ピンを通じてクロック サイクルごとに 1 ビット送信されます。最後のモード サイクルの SCK の立ち下りエッジでは、ピンは RESET ピンが I/O3 に、WP ピンが I/O2 に、SO ピンが I/O1 に、SI ピンが I/O0 に再コンフィギュレーションされます。特定のアドレス位置のデータ (D7 ~ D0) は I/O3 を介して D7、I/O2 を介して D6、I/O1 を介して D5、I/O0 を介して D4 から始まる 4 ビットがクロック サイクルごとにシフトアウトされます。各データ バイトがシフトアウトされた後、アドレスは次の高いアドレスに自動的にインクリメントします。したがって、メモリ全体を読み出せます。最高アドレス 0x7FFFF に到達すると、アドレス カウンターはラップアラウンドして 0x000000 に戻り、読み出しシーケンスは無制限に継続できます。

モード ビットは、最初の命令が A_{xh} モード ビット ("1010XXXX") パターンを送信した後、一連の DOR 命令を可能にし、8 ビット オペコードを省略します。直接実行 (XIP) と呼ばれるこの機能は初期アクセス時間を大幅に短縮させます (XIP 性能を向上)。モード ビットは最初のバイト命令オペコードを含めるか除外するかによって、次の QOR 動作の長さを制御します。モード ビットが A_{xh} の場合、デバイスは連続 QOR モードに移行し、6Bh オペコードを必要とせずに次のアドレスを書き込みます ($\overline{\text{CS}}$ を HIGH にしてから LOW にアサートした後)。そのため、命令シーケンスから 8 サイクルを省けます。そうでない場合、 $\overline{\text{CS}}$ が HIGH から LOW に遷移するとオペコードは必要となります。

注:

- クアッド ビット CR1[1] はコンフィギュレーション レジスタ 1 で「1」に設定する必要があります。
- モード ビットが !A_{xh} (A_{xh} バイトの論理否定) の場合、DOR XIP モードが終了します。
- ダミー サイクルは CR1 のメモリ レイテンシ コード ビット (MLC0 ~ MLC3) で設定できるオプションです。

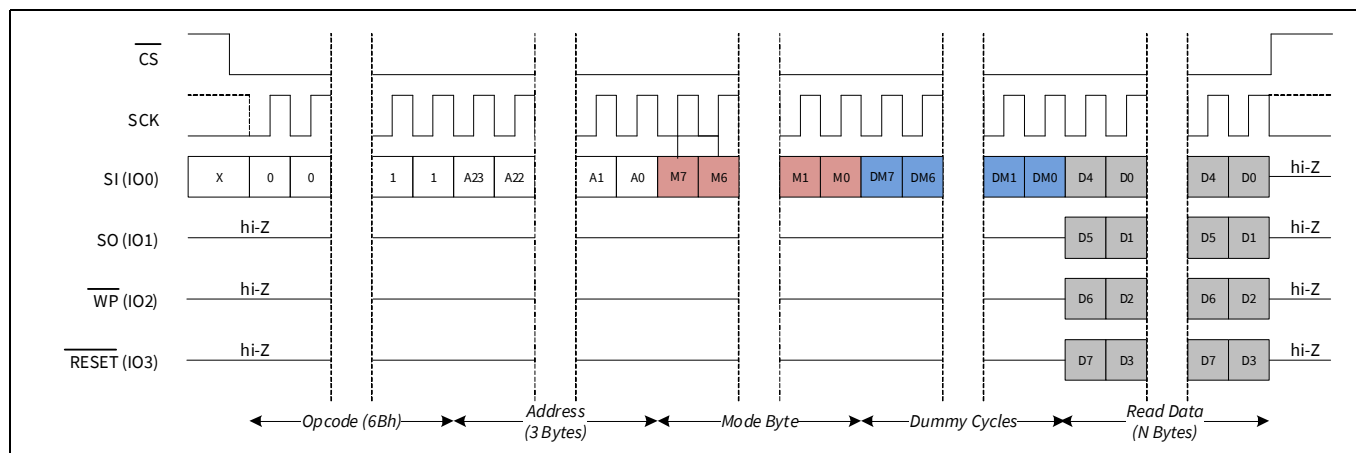


Figure 62 クアッド出力読み出し (QOR)

5.1.5.7 クアッド I/O 読み出し (QIOR, EBh) - 拡張 SPI モード

QIOR 命令は拡張 SPI 読み出し命令の一部で、クアッド アドレス / データ モードで使用されます。クアッド アドレス / データ モードでは、オペコードは SI ピン上でクロックサイクルごとに 1 ビット送信されます。オペコードの最後のビットが送信された後、RESET ピンが I/O3 に、WP ピンが I/O2 に、SO ピンが I/O1 に、SI ピンが I/O0 に再コンフィギュレーションされます。その後、3 バイト アドレスが入力されるまでアドレスはデバイスに I/O3 上で A23 から始まり、I/O2 上で A22 から始まり、I/O1 上で A21 から始まり、I/O0 上で A20 から始まりクロックサイクルごとに 4 ビット送信されます。特定のアドレス位置のデータ (D7 ~ D0) は、I/O3 を介して D7、I/O2 を介して D6、I/O1 を介して D5、I/O0 を介して D4 から始まる 4 ビットがクロックサイクルごとにシフトアウトされます。したがって、メモリ全体を読み出すことができます。最高アドレス 0x7FFFF に到達すると、アドレス カウンターはラップアラウンドして 0x000000 に戻り、読み出しシーケンスは無制限に継続できます。

モード ビットは、最初の命令が Axx モード ビット ("1010XXXX") パターンを送信した後、一連の QIOR 命令を可能にし、8 ビット オペコードを省略します。直接実行 (XIP) と呼ばれるこの機能は初期アクセス時間を大幅に短縮させます (XIP 性能を向上)。モード ビットは最初のバイト命令オペコードを含めるか除外するかによって、次の QIOR 動作の長さを制御します。モード ビットが Axx の場合、デバイスは連続 QIOR モードに移行し、EBh オペコードを必要とせずに次のアドレスを書き込みます (CS を HIGH にしてから LOW にアサートした後)。そのため、命令シーケンスから 8 サイクルを省けます。それ以外の場合、CS を HIGH にしてから LOW にアサートすると、オペコードが必要になります。

注:

- QUAD ビット CR1[1] はコンフィギュレーションレジスタ 1 で「1」に設定する必要があります。
- モード ビットが !Axx (Axx バイトの論理否定) の場合、QIOR XIP モードが終了します。
- ダミーサイクルは CR1 のメモリレイテンシコードビット (MLC0 ~ MLC3) で設定できるオプションです。

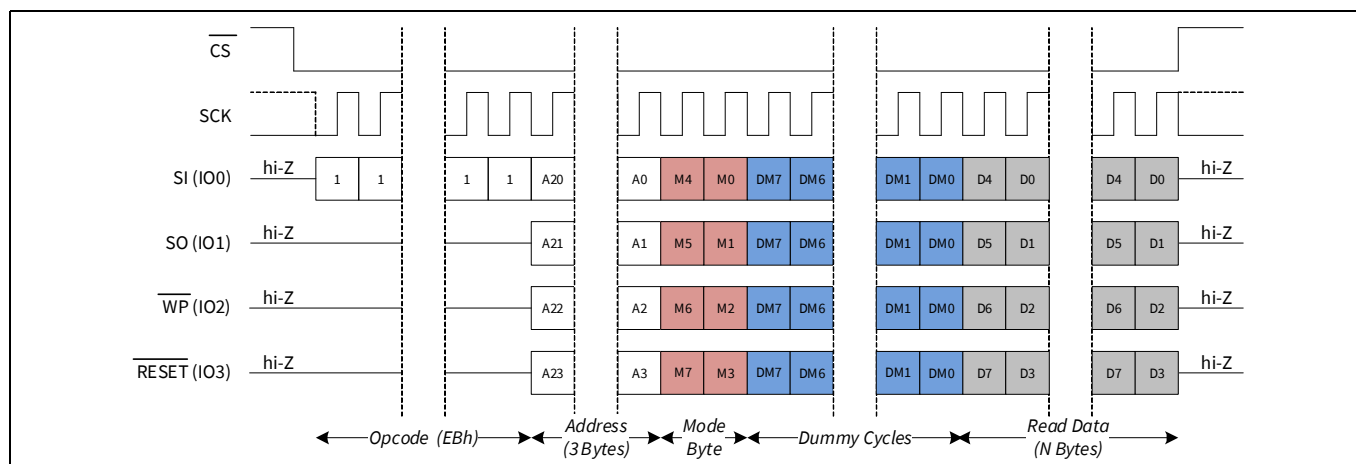


Figure 63 クアッド I/O 読み出し (QIOR) - 拡張 SPI モード

5.1.5.8 クアッド I/O 読み出し (QIOR, EBh) - QPI モード

QIOR のオペコードは、QSPI モードでも実行できます。デバイスが QSPI モードである場合、オペコード、アドレス、およびモードバイトはすべての 4 つの I/O 上で送信されます。指定されたアドレスからのデータ (D7 ~ D0) は、I/O3 上で D7 から始まり、I/O2 上で D6 から始まり、I/O1 上で D5 から始まり、I/O0 上で D4 から始まりクロックサイクルごとに 4 ビットシフトアウトされます。

注:

- モードビットが !A_{xh} (A_{xh} バイトの論理否定) の場合、QIOR モードが終了します。
- ダミーサイクルは CR1 のメモリレイテンシコードビット (MLC0 ~ MLC3) で設定できるオプションです。

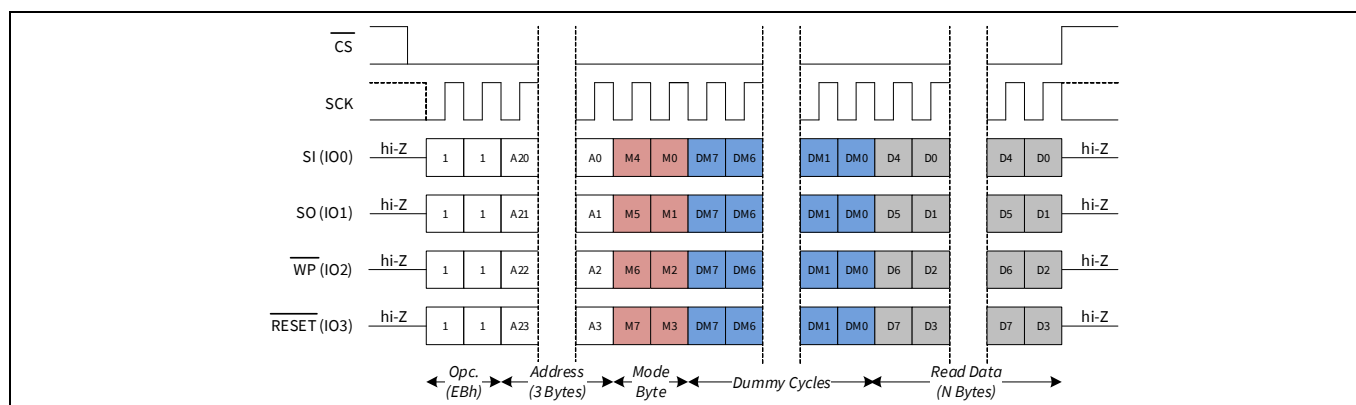


Figure 64 クアッド I/O 読み出し (QIOR) - QPI モード

5.1.5.9 DDR クアッド I/O 読み出し (DDRQIOR EDh) - 拡張 SPI モード

DDRQIOR 命令は SI (I/O0), SO (I/O1), \overline{WP} (I/O2), および \overline{RESET} (I/O3) の 4 つの I/O 信号により帯域幅を向上させます。クアッド I/O 読み出し命令に似ていますが、アドレス、モード、ダミーまたはデータビットをクロックのすべてのエッジで転送します。アドレスはメモリアレイの任意のバイト位置から開始できます。各データバイトがシフトアウトされた後、アドレスは次の高いアドレスに自動的にインクリメントします。したがって、単一の読み出しオペコードおよび与えられたアドレスでメモリ全体を読み出せます。最高アドレス 0x7FFFF に到達すると、アドレスカウンタはラップアラウンドして 0x000000 に戻り、読み出しシーケンスは無制限に継続できます。ビットが不定にならないように、ダミービットの間に \overline{CS} を HIGH に駆動しないでください。

モードビットは、最初の命令が A5h モードビットパターンを送信した後、一連の QIOR DDR 命令を可能にし、8 ビット オペコードを省略します。直接実行 (XIP) と呼ばれるこの機能は初期アクセス時間を大幅に短縮させます (XIP 性能を向上)。モードビットは最初のバイト命令オペコードが含まれるか除外するかによって、次の DDR QIOR 動作の長さを制御します。モードビットが Axh の場合、デバイスは連続 QIOR DDR モードに移行し、EDh オペコードを必要とせず次のアドレスを書き込みます (\overline{CS} を HIGH にしてから LOW にアサートした後)。そのため、命令シーケンスから 8 サイクルを省けます。そうでない場合、 \overline{CS} が HIGH にされてから LOW にアサートされると、オペコードは必要になります。このオペコードは SPI モード 3 に対応しません。

注:

- QUAD ビット CR1[1] はコンフィギュレーションレジスタ 1 で「1」に設定する必要があります。
- モードビットが !A5h (A5h バイトの論理否定) の場合、DDRQIOR XIP モードが終了します。
- ダミーサイクルは CR1 のメモリレイテンシコードビット (MLC0 ~ MLC3) で設定できるオプションです。

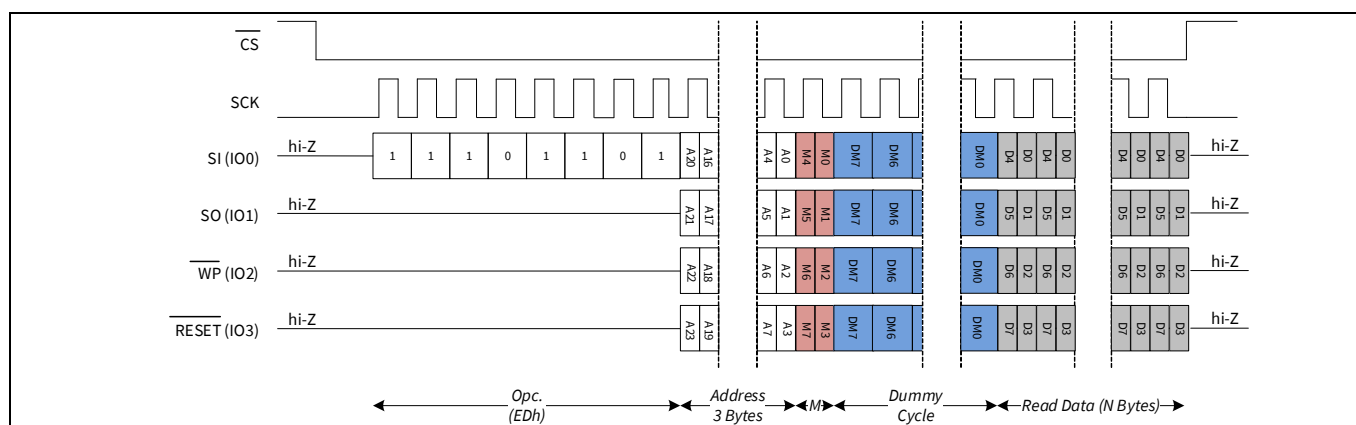


Figure 65 DDR クアッド I/O 読み出し (DDRQIOR) - 拡張 SPI モード

5.1.5.10 DDR クアッド I/O 読み出し (DDRQIOR EDh) - QPI モード

DDRQIOR のオペコードは、QSPI モードでも実行できます。QPI モードの DDR クアッド I/O 読み出し (DDRQIOR) では、データは DDR で I/O0, I/O1, I/O2, I/O3 を介して読み出され、アドレスおよびモードビットも DDR で I/O0, I/O1, I/O2, I/O3 を介して送信されますが、オペコードは SDR で I/O0, I/O1, I/O2, I/O3 を介して送信されます。

注:

- モードビットが !A5h (A5h バイトの論理否定) の場合、DDRQIOR XIP モードが終了します。
- ダミーサイクルは CR1 のメモリレイテンシコードビット (MLC0 ~ MLC3) で設定できるオプションです。

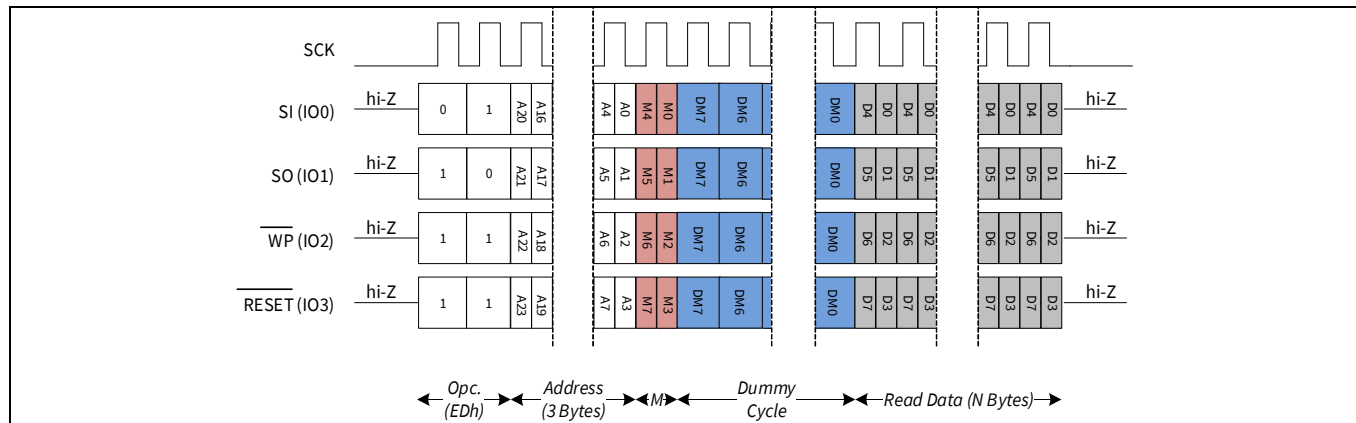


Figure 66 DDR クアッド I/O 読み出し (DDRQIOR) - QPI モード

5.1.6 特殊セクタ メモリ アクセスコマンド

CY15x104QSN には、長さ 256 バイトの追加特殊セクタ メモリ領域もあります。特殊セクタ領域は、保存されたコンテンツのより高い熱的信頼性を得るように設計されています。特殊セクタに保存されたデータは、最大 3 回の標準リフローサイクルに耐えます。特殊セクタ位置には、PCB モジュール詳細、シリアル番号などを保存するために使用できます。特殊セクタ メモリ アクセス コマンドは SPI, DPI, および QPI 動作モードに対応します。

Table 43 特殊セクタ メモリ アクセス コマンド

コマンド	オペコード (16 進)	コマンドの説明
SSWR	42	特殊セクタ書き込み。256 バイトの特殊セクタ メモリに書き込む専用コマンド
SSRD	4B	特殊セクタ書き込み。256 バイトの特殊セクタ メモリを読み出す専用コマンド

Table 44 特殊セクタ メモリ アクセス コマンドの詳細

オペコード (16 進)	アドレス長	SPI バス インターフェース							データ転送		メモリレイテンシ	XIP	最大クロック周波数
		SPI	デュアルデータ	クアッドデータ	デュアル I/O	クアッド I/O	DPI	QPI	SDR	DDR	ダミーサイクル	直接実行	
42	3 バイト	有	該当なし					有	有	有	該当なし	該当なし	108 MHz
4B	3 バイト	有	該当なし					有	有	有	有	該当なし	108 MHz

5.1.6.1 特殊セクタ書き込み (SSWR, 42h)

書き込みデータとともに SSWR オペコードが SPI モードでは SI ピン、デュアルモード (DPI) では I/O1 と I/O0 ピン、クアッドモード (QPI) では I/O3, I/O2, I/O1, および I/O0 ピンで送信されると、特殊セクタ書き込み動作は実行されます。バースト書き込みは、新しい SSWR 命令を発行せずに連続したアドレスに書き込みます。1 バイトだけを書き込む場合、D0 (データの LSB) が送信された後、CS ピンを HIGH に駆動する必要があります。しかし 2 バイト以上を書き込む場合は、CS ピンを LOW に維持し、アドレスを自動的にインクリメントさせます。入力ピン上のデータバイトが連続するアドレスに書き込まれます。内部アドレスカウンタが自動で 0xFF までインクリメントすると、CS は進行中の SSWR 動作を終了させるために HIGH にトグルする必要があります。データは MSb から先に書き込まれます。CS の立ち上りエッジで書き込み動作が終了します。

注:

- 3 バイトアドレスの最下位 8 ビット (A7 ~ A0) にはセクタアドレスが含まれます。残りの 16 最上位ビットは「0」に設定されます。
- 書き込み動作を行うためにステータスレジスタの書き込みイネーブルラッチ (WEL) が「1」に設定される場合にのみ、SSWR 命令はデバイスによって実行されます。
- SR1 の WEL ビット (SR1[1]) は、SSWR コマンドが (CS の立ち上りエッジ) 終了した後、自動的に「0」にクリアされます。

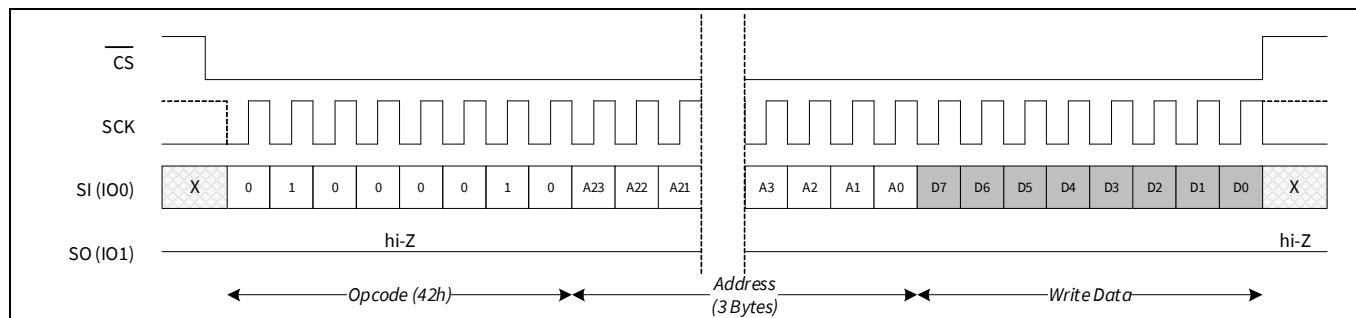


Figure 67 特殊セクタ書き込み (SSWR) - SPI モード (WREN が非表示)

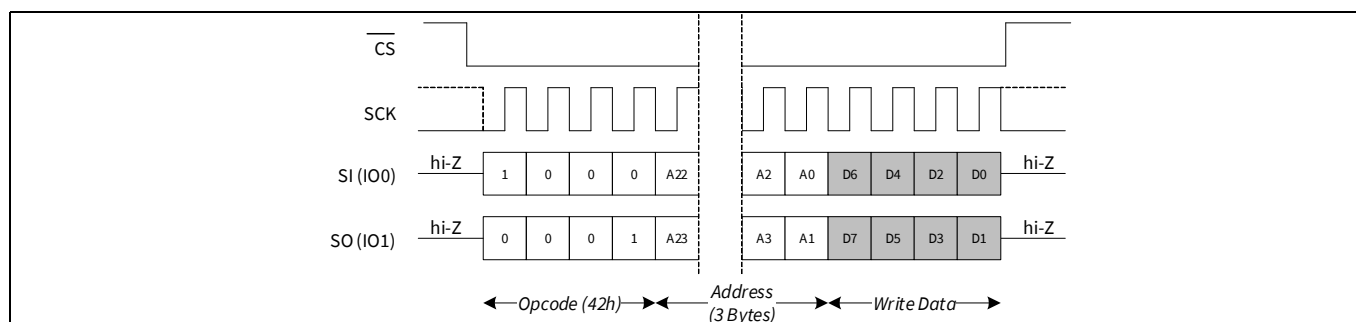


Figure 68 特殊セクタ書き込み (SSWR) - DPI モード (WREN が非表示)

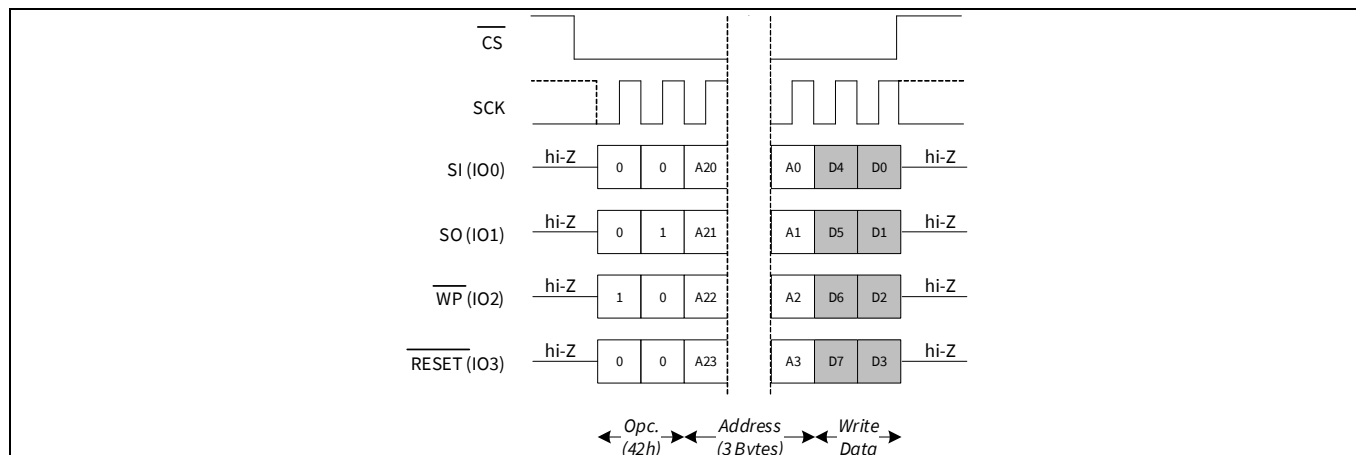


Figure 69 特殊セクタ書き込み (SSWR) - QPI モード (WREN が非表示)

5.1.6.2 特殊セクタ読み出し (SSRD, 4Bh)

SSRD 命令は指定されたアドレスでメモリ内容を読み出します。アドレスは 3 バイト アドレスで決まる 256 バイト特殊セクタ メモリの任意のバイト位置から開始できます。各データ バイトがシフトアウトされた後、アドレスは次の高いアドレスに自動的にインクリメントします。したがって、単一の特殊セクタ読み出しオペコードおよび与えられたアドレスで 256 バイト特殊セクタ全体を読み出せます。内部アドレス カウンターが自動で 0xFF までインクリメントすると、ホストが SCK 上でクロック供給を続けながら、デバイスは未定義データ バイトを返します。

注:

- 3 バイトアドレスの最下位 8 ビット (A7 ~ A0) にはセクタアドレスが含まれます。残りの 16 最上位ビットは「0」に設定されます。
- ダミーサイクルは CR1 のメモリレイテンシコードビット (MLC0 ~ MLC3) で設定できるオプションです。
- 特殊セクタ F-RAM は、標準的なはんだリフローの最大 3 サイクルにわたってユーザーデータを維持することを保証しています。

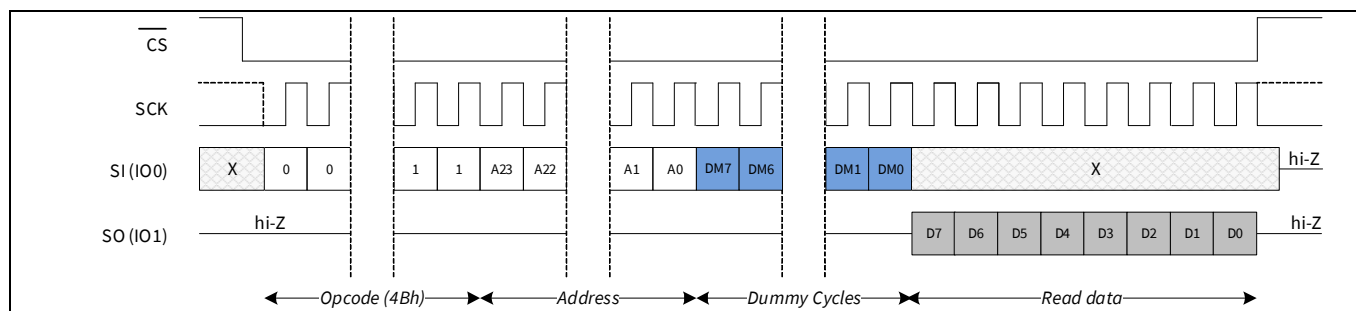


Figure 70 特殊セクタ読み出し (SSRD) - SPI モード

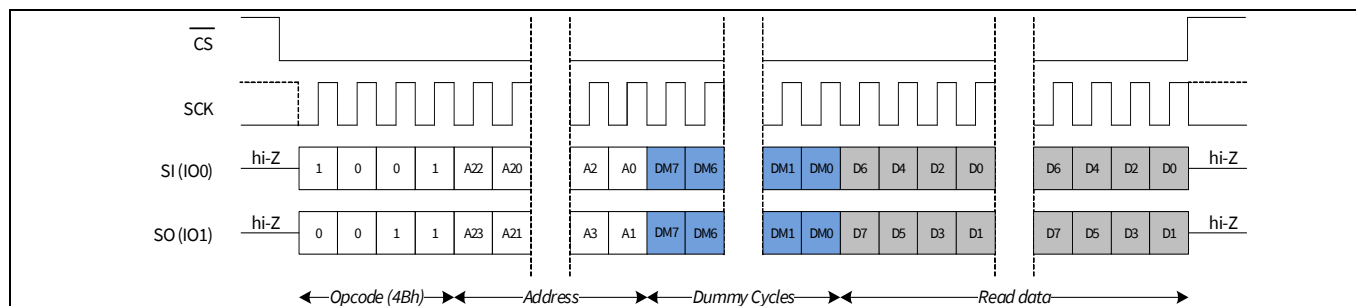


Figure 71 特殊セクタ読み出し (SSRD) - DPI モード

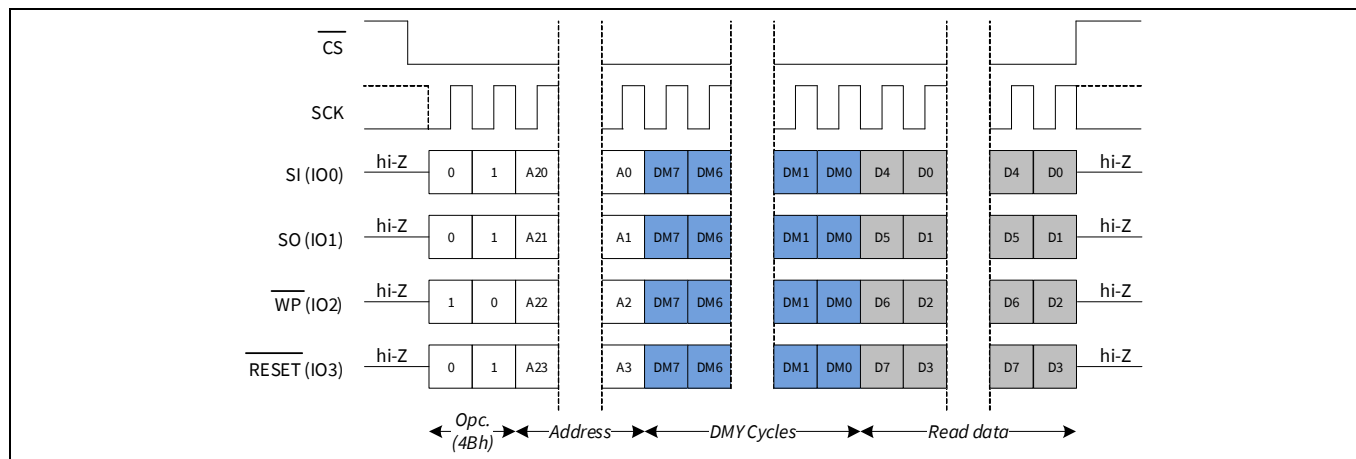


Figure 72 特殊セクタ読み出し (SSRD) - QPI モード

5.1.7 エラー訂正コード (ECC) および巡回冗長検査のコマンド

5.1.7.1 エラー訂正コード (ECC)

CY15x104QSN は、8 バイト (64 ビット) のデータユニットに対する 2 ビットエラー検出および報告機能を備えた内蔵ハードウェアエラー訂正コード (ECC) を提供します。すべての F-RAM 読み出しが書き込みサイクル (リフレッシュサイクル) に続くため、1 ビットエラーは検出時に自動的に修正され、リフレッシュサイクル中に F-RAM アレイに書き戻されます。したがって、CY15x104QSN は 1 ビットエラーの検出を報告しません。これは同一のデータユニットに対する後続の ECC チェックは同じ 1 ビットエラーを再現しないからです。

CY15x104QSN の ECC は常に有効で、実行時に次の動作を監視します。

- F-RAM の読み出し中に 2 ビットエラーが検出されると、CY15x104QSN は ECC ステータスレジスタ (ECCSR) の「2BD」フラグビットを「1」に設定し (ECCSR は POR, リセット, または CLECC 後にクリアされる)、対応するユニットデータアドレスを 4 バイトの ADDRTRAP レジスタに取り込みます。
- ADDRTRAP レジスタの最初の最下位 3 バイトは、POR, リセット, または CLECC の後に 8 バイトユニットデータで検出された最初の 2 ビットエラーの 3 バイトデータユニットアドレスを保持します。後続の 2 ビットエラーの発生時は、ADDRTRAP レジスタは最新のデータユニットアドレスで上書きされません。
- CY15x104QSN は、2 ビットエラーが検出されるたびに「1」ずつインクリメントする 2 バイト ECC 検出カウンタ (ECCDC) レジスタを提供します。ECCDC レジスタは POR, いかなるリセットイベント, または CLECC コマンド実行後もクリアされます。
- ユーザーは、ADDRTRAP レジスタの 0 以外の値 (アドレス 0x00000 で 2 ビットエラーが検出された場合を除く)、または ECCSR レジスタの 2BD フラグビット、または ECCDC レジスタの 0 以外の値を読み出すことで 2 ビットエラー検出の発生を判断できます。
- また CY15x104QSN は、8 バイトデータユニットの 2 ビットエラー検出ステータスを返す ECCRD コマンドもサポートします。このためには、デバイスは ECCRD (19h) コマンドにより送信されたユニットアドレスで ECCSR の「2BD」エラーフラグを「1」に設定します。

ECC は 256 バイト特殊セクタメモリ、ステータス、およびコンフィギュレーションレジスタに対応しません。

5.1.7.2 ECC ステータス レジスタ

ECC ステータスは ECC ステータスレジスタ (ECCSR) で表します。ECCSR の詳細を [Table 46](#) に示します。[任意レジスタ読み出し \(RDAR, 65h\)](#) に示すとおり、ECCSR の内容は RDAR コマンドの使用でのみ読み出させます。ECCRD コマンドはユニットデータの ECCSR ステータスを返します。ユニットデータは ECC が計算されるバイト数として定義されます。CY15x104QSN は 8 バイトのデータユニットを備えています。

Table 45 ECC ステータス レジスタ

ECCSR[7]	ECCSR[6]	ECCSR[5]	ECCSR[4]	ECCSR[3]	ECCSR[2]	ECCSR[1]	ECCSR[0]
RFU (0)	RFU (0)	RFU (0)	2BD (0)	RFU (0)	RFU (0)	RFU (0)	RFU (0)

Table 46 ECC ステータス レジスタ - 揮発性専用

ビット	ビット名	ビット機能	タイプ	読み出し / 書き込み	説明
ECCSR[7]	RFU	予約済み (0)			将来使用するために予約済み
ECCSR[6]	RFU	予約済み (0)			将来使用するために予約済み
ECCSR[5]	RFU	予約済み (0)			将来使用するために予約済み
ECCSR[4]	2BD	2 ビット ECC 検出	V	R	1 = 直前の ECCSR クリア コマンド (CLECC) 以降に 2 ビット エラーを検出 0 = 直前の ECCSR クリア コマンド (CLECC) 以降に 2 ビット エラーが検出されない
ECCSR[3]	RFU	予約済み (0)			将来使用するために予約済み
ECCSR[2]	RFU	予約済み (0)			将来使用するために予約済み
ECCSR[1]	RFU	予約済み (0)			将来使用するために予約済み
ECCSR[0]	RFU	予約済み (0)			将来使用するために予約済み

V - 揮発性

5.1.7.3 2 ビット ECC 検出 (2BD) ECCSR [4]:

このビットは、最後に ECC クリア ステータス レジスタをクリアしてから、読み出したデータで 2 ビット ECC 検出が発生したことを示します。CLECC 命令は 2BD ビットを「0」にリセットします。

5.1.7.4 ECC 検出カウンタ (ECCDC)

ECC 検出カウンタ (ECCDC) レジスタは 2 バイトの揮発性レジスタであり、最後の POR, リセット イベント, または CLECC コマンドの後のメモリ読み出し動作中に 2 ビット エラー検出が発生した回数を格納します。**任意レジスタ読み出し (RDAR, 65h)** に示すとおり、ECCDC レジスタの内容は RDAR コマンドの使用で読み出せます。

注:

- ECCDC カウントが 0xFFFF に到達すると、ECCDC はインクリメントを停止します。
- ECCDC はディープ パワーダウン (DPD) モードの時にその内容を失い、DPD 終了時に 0x0000 を返します。

Table 47 ECC 検出カウンタ レジスタ (ECCDC)

ビット	名称	機能	タイプ	読み出し / 書き込み	初期状態	説明
15:0	ECCDC	ECC2 ビット エラー検出 カウント	V	R	0x0000	直前の POR または任意のリセット イベント以降の 2 ビット ECC 検出の総発生回数。CLECC コマンドはこのレジスタをクリアしません。

V - 揮発性

5.1.7.5 アドレストラップレジスタ (ADDTRAP)

アドレストラップレジスタ (ADDTRAP) は 4 バイト揮発性レジスタであり、読み出し動作中に 2 ビットエラーの検出が発生した ECC ユニット データ アドレスを格納します。ADDTRAP レジスタは、最後のクリア ECC 命令 (CLECC), POR, または任意のリセット イベントの後に 2 ビット エラーが検出された最初の ECC データ ユニットのアドレスを格納します。2 ビット エラーが検出された後続のデータ ユニットのアドレスは ADDTRAP に取り込まれません。この場合、ECCDC カウントのみインクリメントします。**任意レジスタ読み出し (RDAR, 65h)** に示すとおり、ADDTRAP レジスタの内容は RDAR コマンドにより読み出せます。

注: ADDTRAP レジスタはディープ パワーダウン (DPD) モードのときに内容を失い、DPD 終了時に 0x00000000 に戻ります。

Table 48 アドレストラップレジスタ

ビット	名称	機能	タイプ	読み出し / 書き込み	初期状態	説明
31:0	ADDTRAP	ECC アドレス格納	V	R	0x00000000	2 ビット ECC 検出の発生したユニット データのアドレスを格納。

V - 揮発性

5.1.7.6 ECC コマンド

以下では CY15x104QSN ECC コマンドについて説明します。

Table 49 ECC コマンド

コマンド (16 進)	オペコード	コマンドの説明
ECCRD	19	ECC ステータス読み出し。アドレス指定されたユニット データの ECC ステータスを判定
CLECC	1B	ECC レジスタ クリア。ECC フラグおよびアドレストラップレジスタをクリア

Table 50 ECC コマンド詳細

オペ コード (16 進)	アド レス 長	SPI バス インターフェース							データ 転送		メモ リレイ テンシ	XIP	最大 クロック 周波数	
		SPI	デュアル データ	クアッド データ	デュアル I/O	クアッド I/O	DPI	QPI	SDR	DDR	ダミー サイクル	直接 実行		
19	3 バ イト	有	該当なし					有	有	有	該 当 な し	有	該 当 な し	108 MHz
1B	該 当 な し	有	該当なし					有	有	有	該 当 な し	該 当 な し	該 当 な し	108 MHz

5.1.7.7 ECC ステータス読み出し (ECCRD, 19h)

ECCRD 命令は、アドレス指定されたユニットデータの 2 ビット エラー検出ステータスを判断するために使用されます。このためには、 \overline{CS} を LOW にして、ECCRD 命令の後に続いて、最下位 3 ビット (LSb) をゼロにする ECC データユニットのアドレスを送信します。アドレスの最下位 3 ビット (LSB) がゼロに設定されない場合でも内部的に無視され、データユニットの開始アドレスは残りの最上位ビットにより決まります。

アドレスバイトの後は、メモリ読み出し用の読み出しレイテンシ値により選択されたダミーサイクルが続きます。8 ビット ECC ステータスは出力ライン上でシフトアウトされます。 \overline{CS} は 8 ビット ECC ステータスが読み出された後、HIGH にしなければいけません。

注:

- 8 ビット ECC ステータスが読み出された後、 \overline{CS} が LOW のままであれば、後続の ECC ステータスデータは不定になります。次のデータユニットの ECC ステータスを読み出すためには、次のユニットアドレスとともに新しい ECCRD コマンドを送信する必要があります。
- ダミーサイクルは CR1 のメモリレイテンシコードビット (MLC0 ~ MLC3) で設定できるオプションです。

Table 51 ユニットデータ ECC ステータスバイトの詳細

ビット	名称	機能	読み出し / 書き込み	初期状態	説明
7	RFU	予約済み		0	将来使用するために予約済み
6	RFU	予約済み		0	将来使用するために予約済み
5	RFU	予約済み		0	将来使用するために予約済み
4	RFU	予約済み		0	将来使用するために予約済み
3	EECC2D	ECC ユニット内の 2 ビット エラー	R	0	1=ECC ユニット内で 2 ビット エラーを検出 0=エラーなし
2	RFU	予約済み		0	将来使用するために予約済み
1	RFU	予約済み		0	将来使用するために予約済み
0	RFU	予約済み		0	将来使用するために予約済み

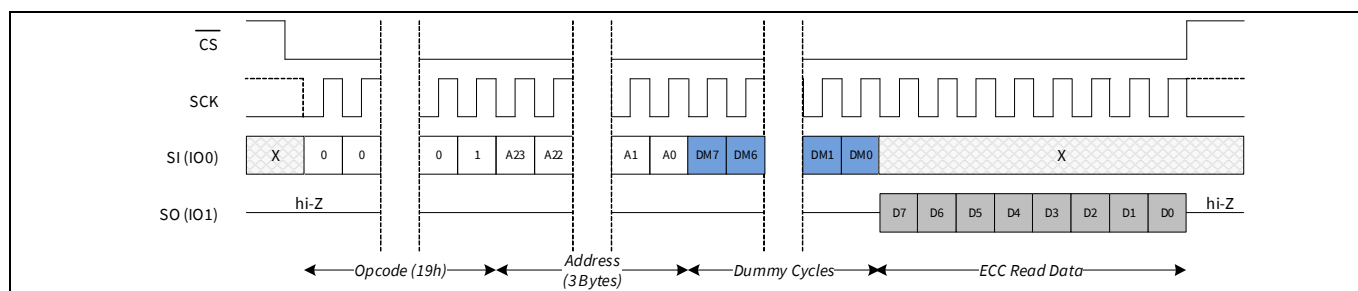


Figure 73 ECC 読み出し (ECCRD) - SPI モード

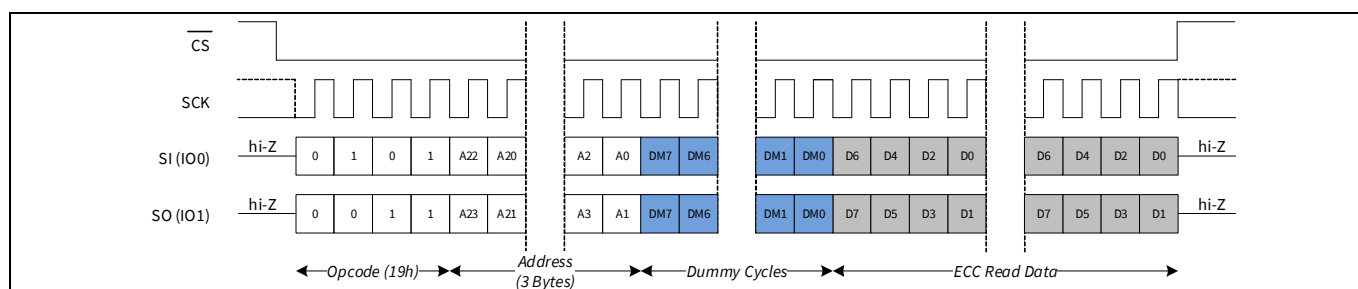


Figure 74 ECC 読み出し (ECCRD) - DPI モード

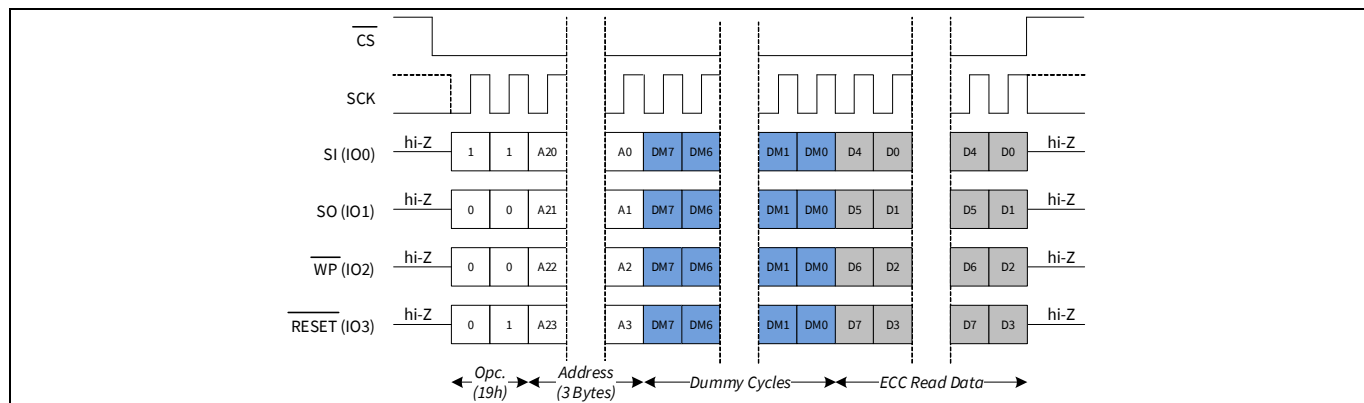


Figure 75 ECC 読み出し (ECCRD) - QPI モード

5.1.7.8 ECC クリア (CLECC, 1Bh)

CLECC 命令はすべての ECC フラグ, ADDTRAP, および ECCDC レジスタをクリアします。CLECC 命令を実行する前に、WEL ビットをセットする必要はありません。

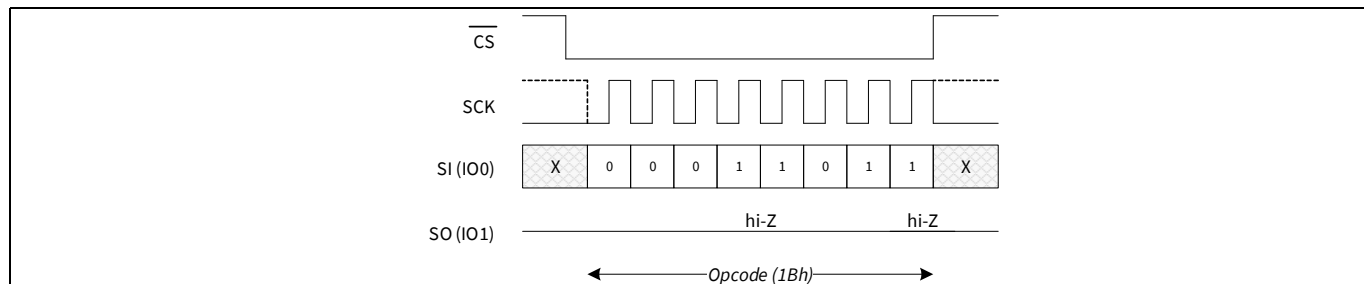


Figure 76 ECC クリア (CLECC) - SPI モード

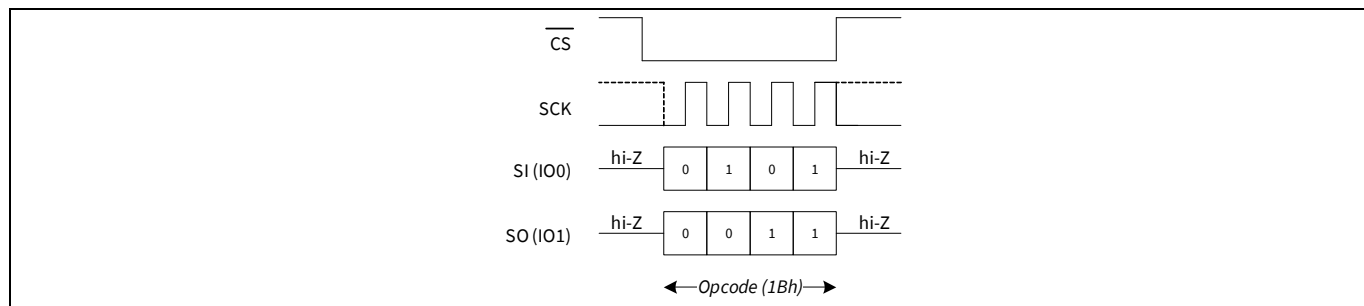


Figure 77 ECC クリア (CLECC) - DPI モード

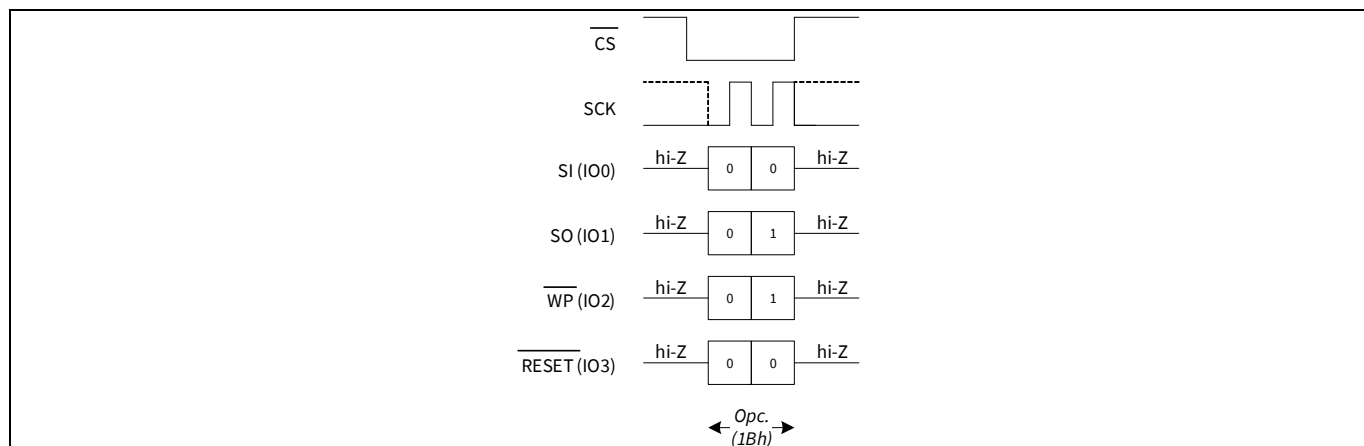


Figure 78 ECC クリア (CLECC) - QPI モード

5.1.7.9 巡回冗長検査 (CRC)

CY15x104QSN はメモリ アレイ内に記憶されたデータのチェックシーケンスを計算する内蔵の巡回冗長検査 (CRC) エンジンを持っています。CRC は 256 バイト特殊セクタメモリ、ステータスおよびコンフィギュレーションレジスタに対応しません。

CY15x104QSN は次のオペコードで CRC をサポートします。

Table 52 CRC アクセス コマンド

コマンド	オペコード (16 進)	コマンドの説明
CRCC	5B	CRC 計算。ユーザー定義のアドレス範囲に対する CRC 計算を行う
EPCS	75	CRC 中断。CRCC 動作を中断し、他のアクセスを許可
EPCR1	7A	CRC 再開。中断された CRCC 動作を再開

Table 53 CRC アクセス コマンドの説明

オペ コード (16 進)	アド レス 長	SPI バス インターフェース							データ 転送		メモリレ イテンシ	XIP	最大 クロック 周波数	
		SPI	デュアル データ	クアッド データ	デュアル I/O	クアッド I/O	DPI	QPI	SDR	DDR	ダミー サイクル	直接 実行		
5B	該当 なし	有	該当なし					有	有	有	該当 なし	該当なし	該当 なし	108 MHz
75	該当 なし	有	該当なし					有	有	有	該当 なし	該当なし	該当 なし	108 MHz
7A	該当 なし	有	該当なし					有	有	有	該当 なし	該当なし	該当 なし	108 MHz

5.1.7.10 データ CRC 計算 (CRCC, 5Bh)

CRCC 命令シーケンスは CY15x104QSN にユーザーが定義したアドレス範囲の巡回冗長検査 (CRCC) 計算を実行します。データ CRC 対応の CY15x104QSN デバイスは、各データブロックに対して CRC チェックサムと呼ばれる固定長のバイナリシーケンスを計算し、それらをホストに送信します。ホストデバイスは、データブロックを受信すると、CRC チェックサムを再計算します。新しい CRC チェックサムがデータとともに送信された元のチェックサムと一致しない場合、そのブロックはデータエラーを含み、ホストデバイスはデータブロックを再送するように要求するなどの修正措置を行うことがあります。

CRCC プロセスは、開始アドレスから終了アドレスの間に格納されているデータのチェック値を計算します。

CRC 計算命令はオペコードに続いて開始アドレスと終了アドレスを入力することによって開始されます。CS は終了アドレスがラッチされた後に HIGH にする必要があります。これにより、開始アドレスと終了アドレスの間に格納されているデータのチェック値を計算する内部 CRC プロセスが開始されます。最後のアドレスビットの後に CS を HIGH に駆動しない場合、CRC 計算は実行されません。CRCC コマンドは WEL の状態をチェックしません。しかし、CRC コマンドの実行前に WEL が「1」に設定された場合、CRC 動作が完了した後に WEL は「0」にクリアされます。

終了アドレス (EA) は開始アドレス (SA) より高位置 (少なくとも 32 ビットのワード) でなければいけません。(EA < SA+3) の場合、CRC 計算は中止され、デバイスはスタンバイモードに戻ります。CRC 中断 (CRCA) ビット (SR2[3] = 「1」) はセットされて、中断されたことを示します。CRC レジスタ (CRCR) は不定のデータを格納します。

CRC 計算実行中の場合、CY15x104QSN は SR1 の WIP ビット (SR1[0]) を「1」に設定します。進行中の CRCC 動作がいつ完了し、デバイスのアクセス準備ができるかを判断するために、ユーザーは WIP ステータスをポーリングできます。WIP ビットは CRC 計算が進行中に「1」であり、完了したときに「0」になります。CRC レジスタ (CRCR) には、開始アドレスと終了アドレスの間にあるデータのチェック値を計算する CRC 処理の結果が格納されます。CRC レジスタの詳細を [Table 54](#) に示します。[任意レジスタ読み出し \(RDAR, 65h\)](#) に示すとおり、任意レジスタ読み出し (RDAR) コマンドを使って CRC レジスタを読み出すことにより CRC チェック値ビット 0 ~ 31 を読み出せます。

CRC レジスタビットは CRC 計算が開始するたびに、すべて 0 (0x00000000) に初期化されます。POR または任意のリセットイベントのときにも、CRC レジスタ値がすべて 1 に初期化します。

チェック値の計算はメモリアレイまたはレジスタからデータを読み出すために CRC 中断コマンド (EPCS, B0h) で中断できます。この中断状態中にステータスレジスタ 2 の CRC 中断 (CRCSSB) 状態ビットはセットされます (SR2[4] = 「1」)。中断すると、ホストはステータスレジスタの読み出し、アレイからのデータ読み出しができ、また CRC 再開コマンド (EPCR, 30h) を使用して CRC 計算を再開できます。CY15x104QSN は SA から EA までのデータに対して (SA と EA でのデータも含む) CRC チェックサムを計算するために t_{CRCC} がかかります。

32 ビット CRC (CRC-32C) 多項式 (0x1EDC6F41) は以下に定義されます。

$$32X + 28X + 27X + 26X + 25X + 23X + 22X + 20X + 19X + 18X + 14X + 13X + 11X + 10X + 9X + 8X + 6X + 1X$$

注: 4 バイトメモリデータは CRC 計算用に、内部で {data[7:0]、data[15:8]、data[23:16]、data[31:24]} として読み出され、CRC[31:0] に割当てられます。

Table 54 CRC レジスタの説明

ビット	名称	機能	初期状態	説明
31:0	CRCR	CRC 値のチェック	0x00000000	揮発性レジスタであり、CRC 計算 (CRC コマンド) の結果である CRC チェックサム値を保存

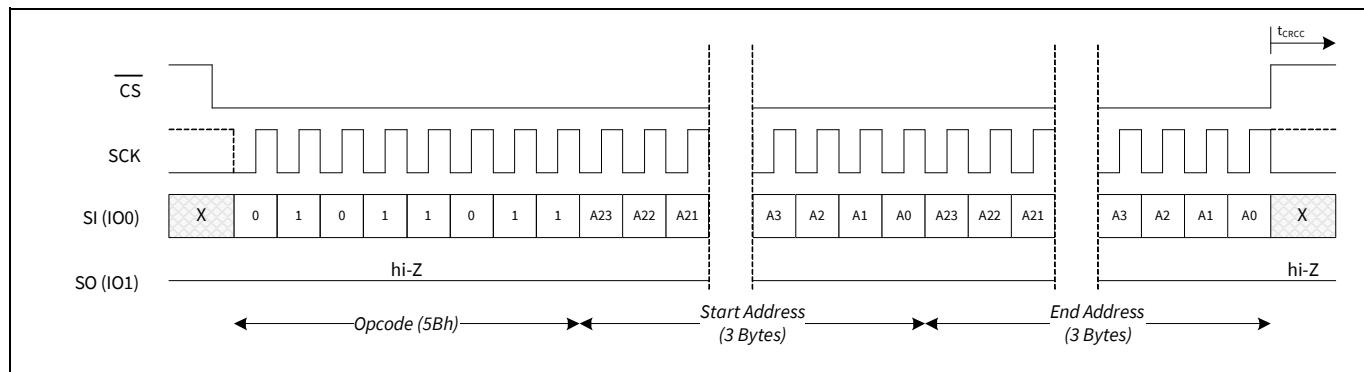


Figure 79 CRC 計算 (CRCC) - SPI モード

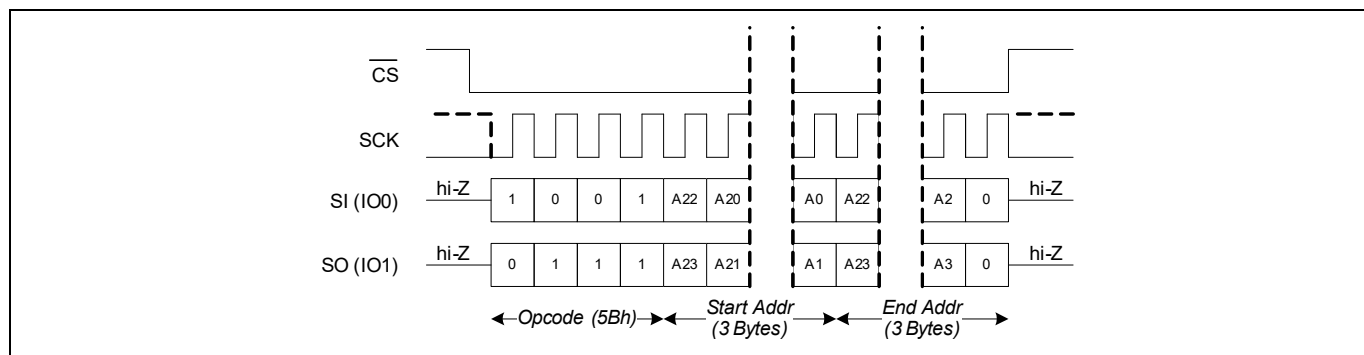


Figure 80 CRC 計算 (CRCC) - DPI モード

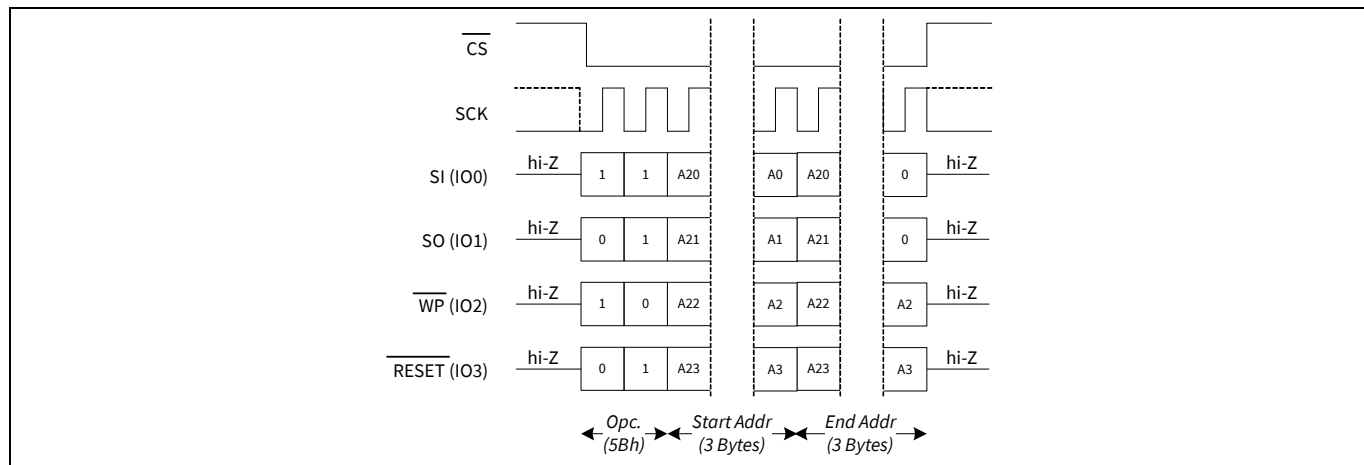


Figure 81 CRC 計算 (CRCC) - QPI モード

5.1.7.11 CRC 中断 (EPCS, 75h)

EPCS はシステムが処理中の CRCC 動作を中断し、現在の CRC 動作が中断している間に他のアクセスを許可します。CRC が中断されている間に実行できるコマンドは次のとおりです: READ, RDSR1, RDSR2, FAST_READ, DDRFR, ECCRD, CLECC, RDCR1, DOR, RDCR2, RDCR4, SSRD, RDCR5, RDAR, RSTEN, QOR, EPCR, RST, RDID, DIOR, RDSN, QIOR, DDRQIOR。

CRC 中断は CRC 計算動作中にのみ有効です。CRCC 動作が中断または完了したかを判断するためにステータスレジスタ 2 (SR2) をチェックできます。CRC ステータスビットはステータスレジスタ 1 の WIP ステータスビットが「0」に変化した時点で、CRCC 動作が中断されたか完了したかを示します。EPCS は CRC 動作中断を処理するために t_{CRCS} 時間がかかり、WIP ビットを「1」のままにします。EPCS コマンドが完全に実行される前に CRCC 計算が完了した場合、SR2 での CRCS ビット (SR2[4]) は「1」に設定されず、EPCS が実行されないことを示します。

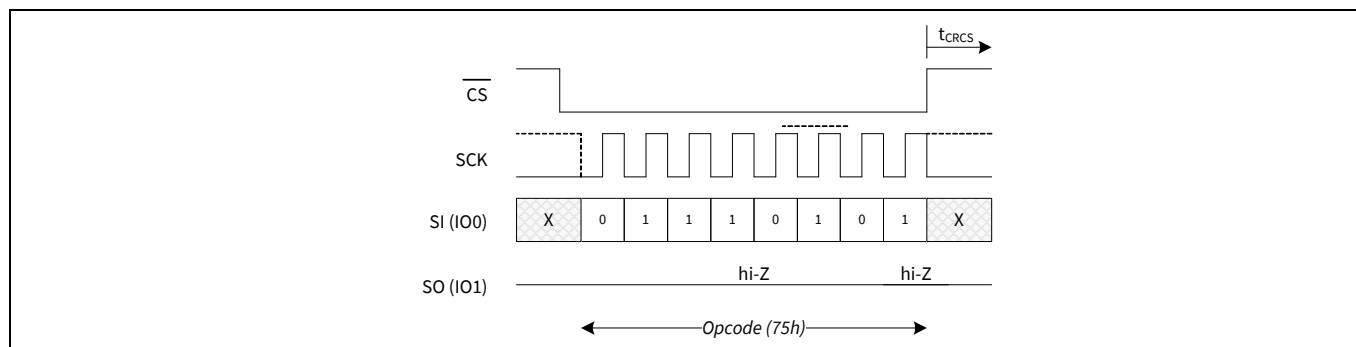


Figure 82 CRC 中断 (EPCS) - SPI モード

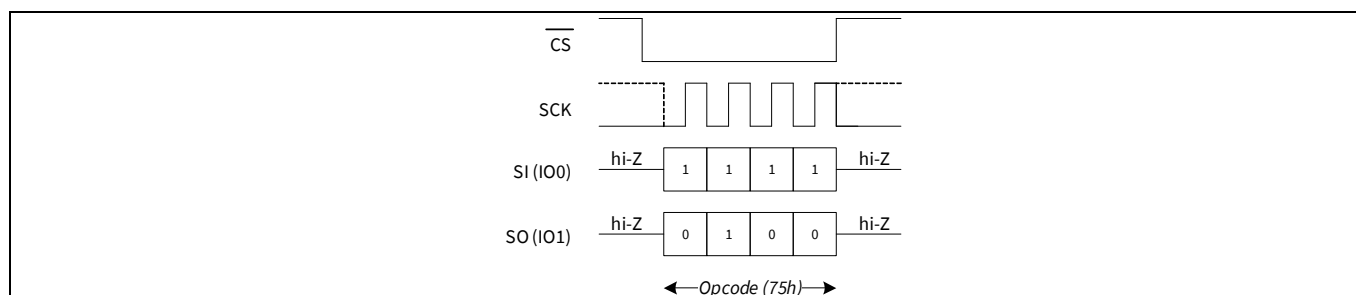


Figure 83 CRC 中断 (EPCS) - DPI モード

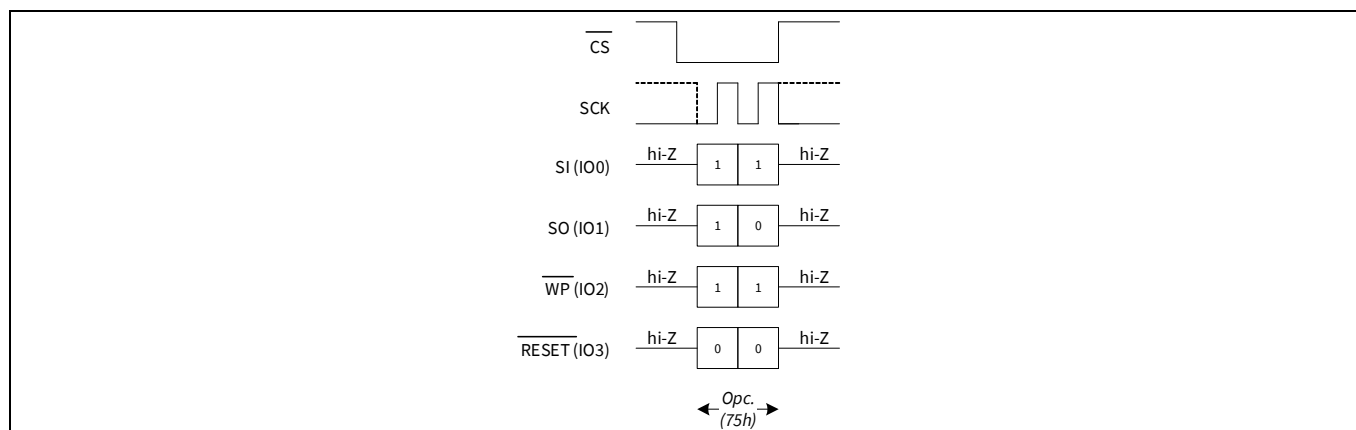


Figure 84 CRC 中断 (EPCS) - QPI モード

5.1.7.12 CRC 再開 (EPCR, 7Ah)

EPCR は中断した CRCC 動作を再開します。CRC 再開命令を発行した後、WIP ビットは「1」に設定されます。CRCC 動作は必要に応じて中断できます。SR2 での CRCS ビット (SR2[4]) が「1」に設定されたときのみ、EPCR は中断した CRCC 動作を再開します。そうでない場合、EPCR コマンドは無視されます。EPCR 命令を発行した後、WIP ビットは「1」に設定されます。必要に応じて CRCC 動作は中断して再開できます。

EPCR はコマンド処理のために t_{CRCR} 時間がかかり、終了アドレス (EA) まで残りのデータバイトに対して CRC 計算を再開します。

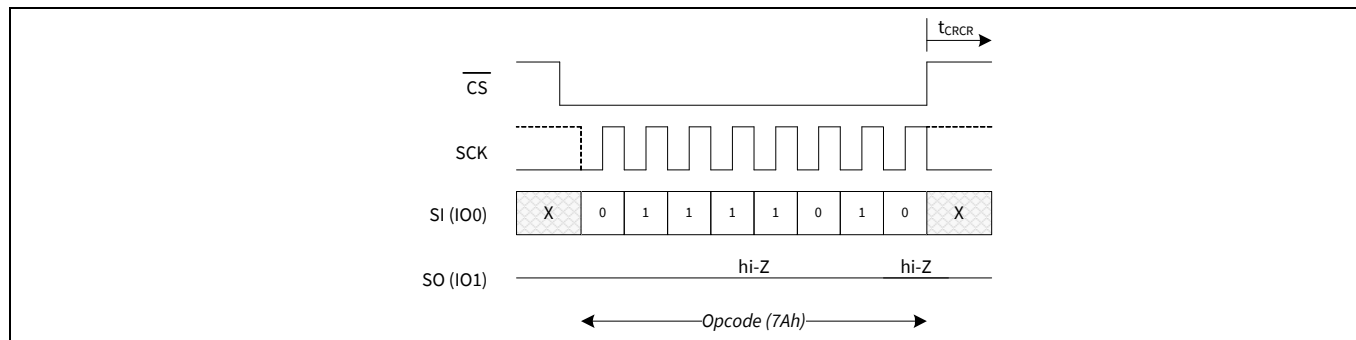


Figure 85 CRC 再開 (EPCR) - SPI モード

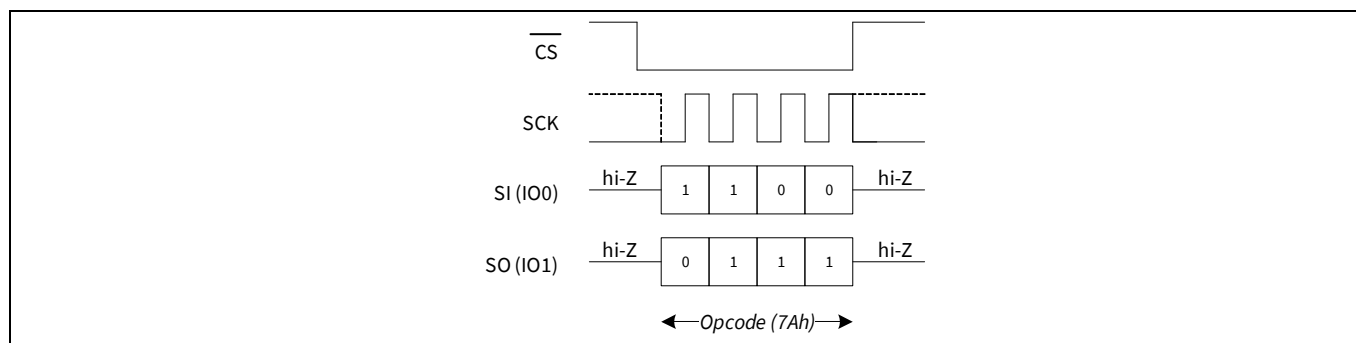


Figure 86 CRC 再開 (EPCR) - DPI モード

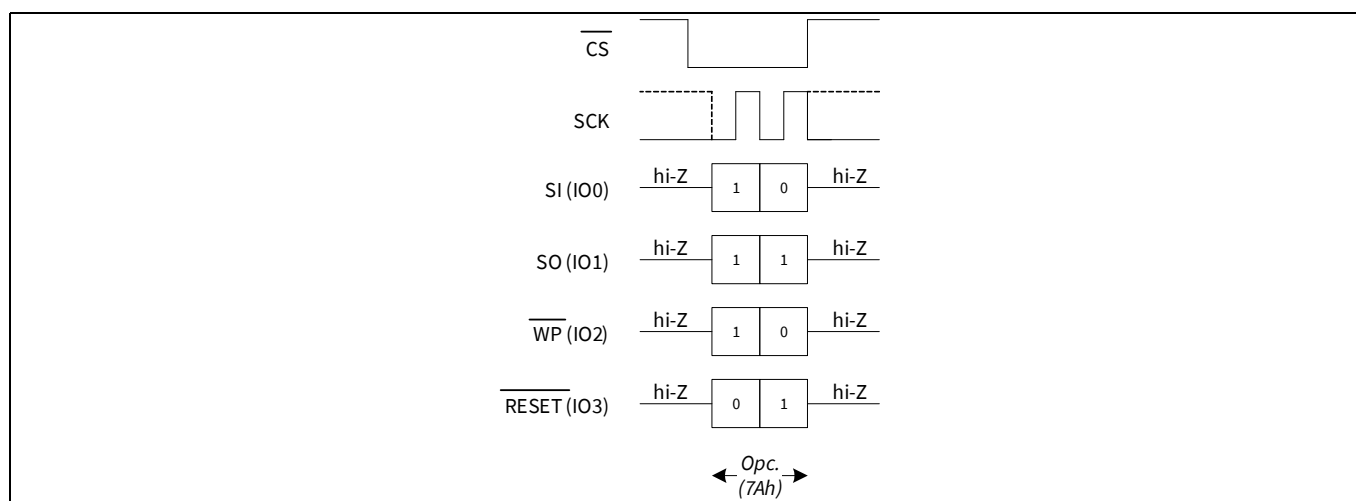


Figure 87 CRC 再開 (EPCR) - QPI モード

5.1.8 ID およびシリアル番号コマンド

CY15x104QSN デバイスは、それぞれ 8 バイト読み出し専用レジスタと 8 バイト書き込み可能なシリアル番号レジスタであるデバイス ID と固有 ID を含む 3 つの異なるタイプの識別機能を提供します。それぞれの詳細は以下で説明します。

5.1.8.1 デバイス ID 読み出し (RDID, 9Fh)

CY15x104QSN デバイスは、メーカー、製品 ID、およびダイ レビジョンについて調べられます。RDID オペコード 9Fh を使用すると、両方とも読み出し専用バイトである 8 バイトのメーカー ID と製品 ID を読み出せます。デバイス ID フィールドはデバイス ID フィールド表に記載されています。対応する製品番号のデバイス ID を [注文情報](#) に示します。

注:

- 示されているダミー サイクルは CR5 のレジスタ レイテンシ コード ビット (RLC0、RLC1) で設定できるオプションです。
- RDID データ設定 - データ優先順序として LSb が先にシフトアウトし、MSb が最後にシフトアウトします。RDID コマンドはラップに対応しません。8 バイト目の後、ホストがクロック供給を継続する場合、デバイスは未定義のデータ バイトを返します。

Table 55 デバイス ID フィールド

ビット (ビット数)	63-32 (32 ビット)	31-21 (11 ビット)	20-8 (13 ビット)	7-3 (5 ビット)	2-0 (3 ビット)
説明	00000000000000000000000000000000 (予約済み)	00000110100 (メーカー ID)	製品 ID	容量 ID	ダイ レビジョン

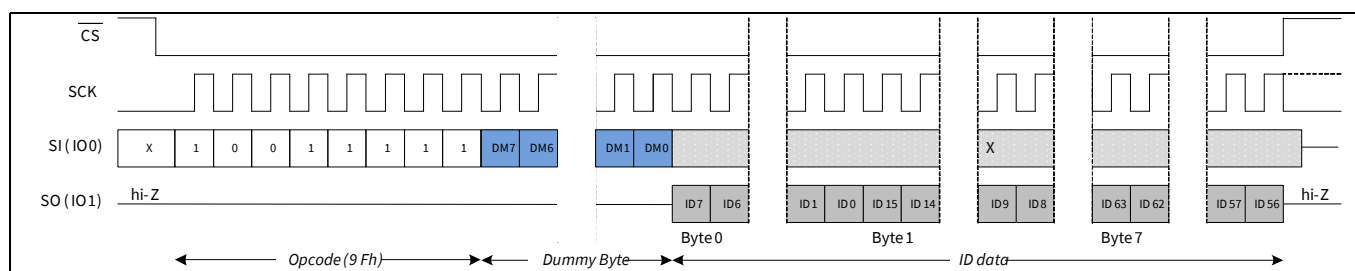


Figure 88 デバイス ID 読み出し (RDID) - SPI モード

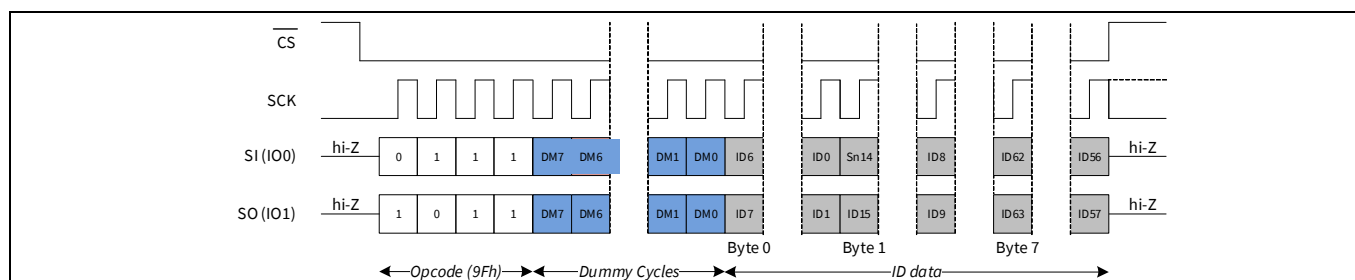


Figure 89 デバイス ID 読み出し (RDID) - DPI モード

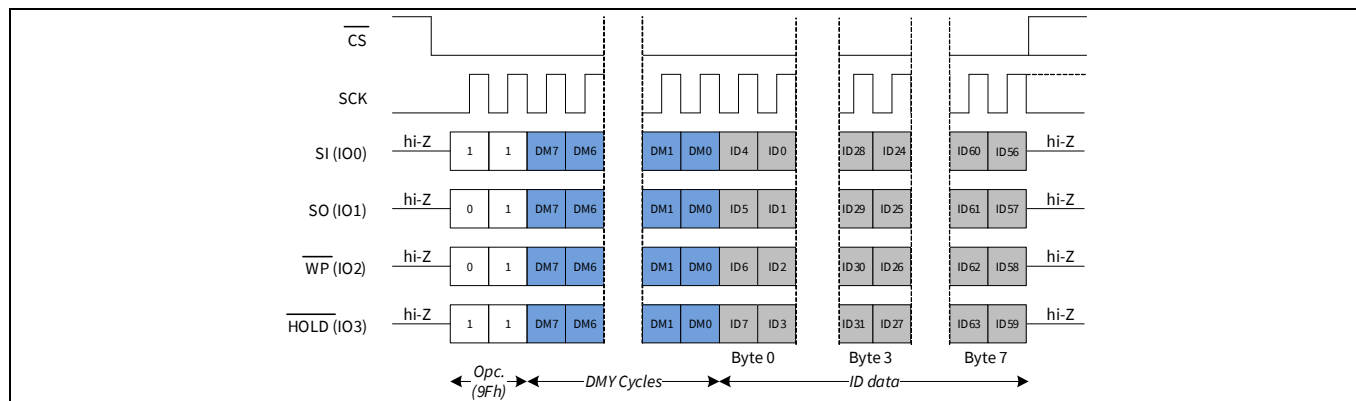


Figure 90 デバイス ID 読み出し (RDID) - QPI モード

5.1.8.2 固有 ID 読み出し (RUID, 4Ch)

CY15x104QSN デバイスは、工場出荷時にプログラムされたデバイスに固有の 64 ビット番号である固有 ID について調べられます。RUID オペコード 4Ch を使用すると、8 バイトの読み出し専用固有 ID を読み出せます。

注：

- 示されているダミーサイクルは CR5 のレジスタレイテンシコードビット (RLC0、RLC1) で設定できるオプションです。
- RUID データ設定 -LSb が先にシフトアウトし、MSb が最後にシフトアウトします。RDID コマンドはラップに対応しません。8 バイト目の後、ホストがクロック供給を継続する場合、デバイスは未定義のデータバイトを返します。
- 固有 ID レジスタは、標準的なはんだリフローの最大 3 サイクルにわたってユーザー データを保持することを保証しています。

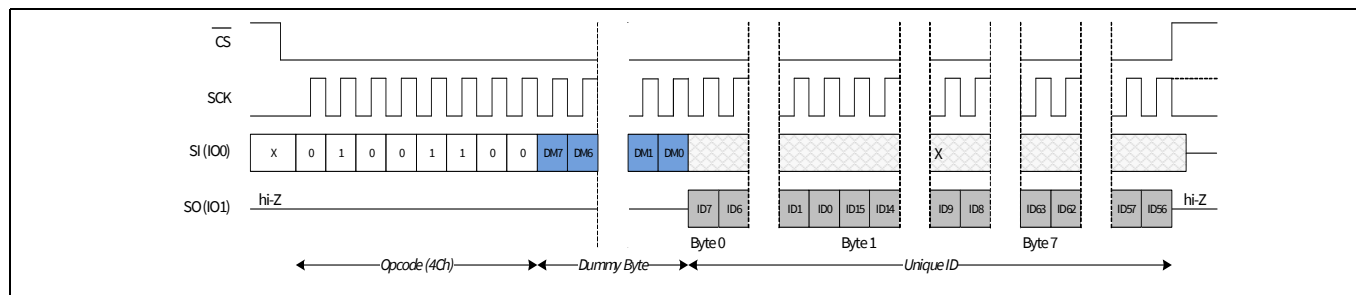


Figure 91 固有 ID 読み出し - SPI モード

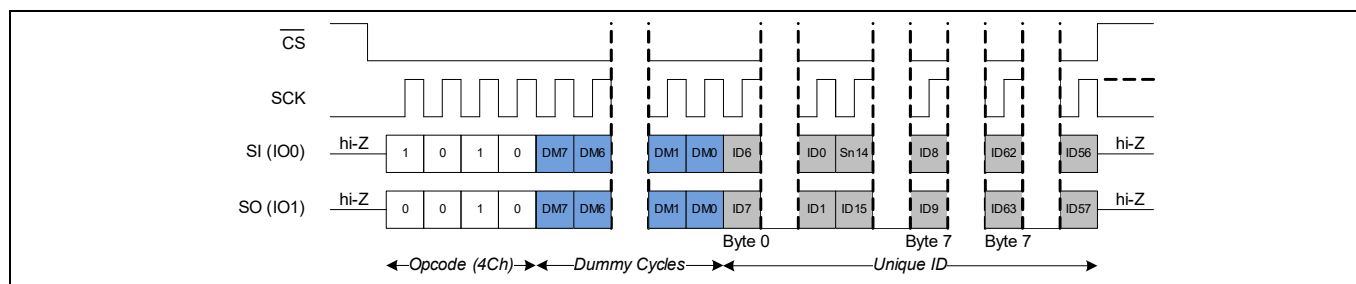


Figure 92 固有 ID 読み出し - DPI モード

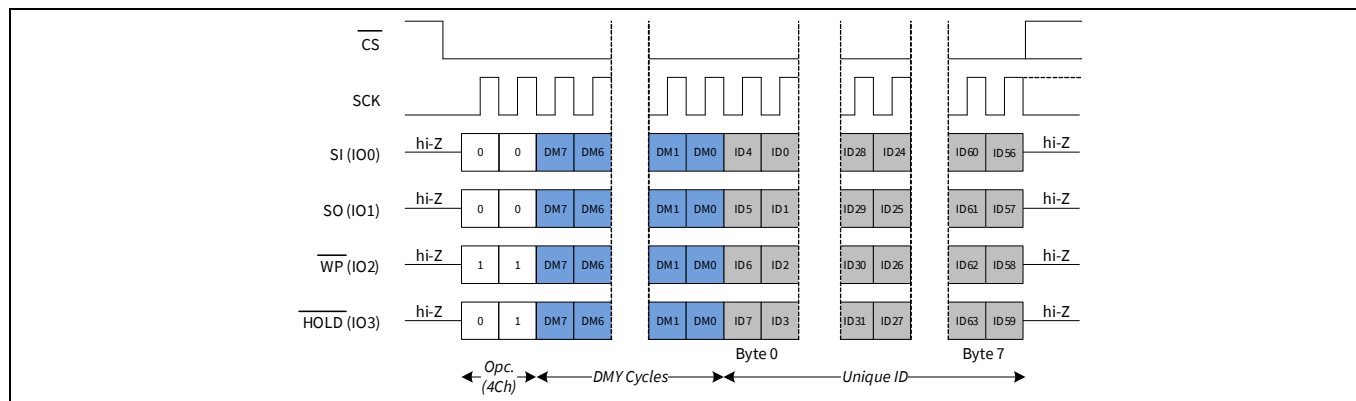


Figure 93 固有 ID 読み出し - QPI モード

5.1.8.3 シリアル番号書き込み (WRSN, C2h)

シリアル番号は、PC 基板またはシステムを一義的に識別するためにユーザーに提供される 8 バイトのプログラマブルメモリ空間です。通常、シリアル番号は 2 バイトのカスタマ ID、その後に続く固有の 5 バイトの一義のシリアル番号と 1 バイトの CRC チェックで構成されています。ただし、エンドアプリケーションでは、8 バイトシリアル番号に独自のフォーマットを定義できます。シリアル番号レジスタへのすべての書き込みは、 \overline{CS} がアサートおよびデアサートされた状態で WREN オペコードで始まります。次のオペコードは WRSN です。WRSN 命令はシリアル番号のすべての 8 バイトを書き込むためにバーストモードで使用できます。シリアル番号の最後のバイトがシフトインされた後、WRSN 動作を完了するために \overline{CS} を HIGH に駆動する必要があります。

注:

- WRSN 命令は、書き込み動作を有効にするためにステータスレジスタの書き込みイネーブル ラッチ (WEL) が「1」にセットされた場合にのみ、デバイスによって実行されます。WRSN 動作が終了すると、書き込みイネーブル ラッチ (WEL) は「0」にセットされます。
- WRSN データ優先順序として、LSb が先にシフトインし、MSb が最後にシフトインします。
- 7 バイト ID に対する CRC チェックサムはデバイスによって計算されません。システムファームウェアは CRC チェックサムを計算し、チェックサムを 7 バイトのユーザー定義のシリアル番号に付け加えてから、8 バイトシリアル番号をシリアル番号レジスタにプログラムする必要があります。8 バイトシリアル番号の工場出荷時の初期値は「0x0000000000000000」です。
- WEL ビットは WRSN コマンドが完了した後 (\overline{CS} の立ち上りエッジ)、自動的に「0」にクリアされます。
- 正確に 8 バイトを入力する必要があります。そうしないと、シリアル番号書き込み (WRSN) は実行されません。

Table 56 8 バイト シリアル番号

16 ビット カスタマ ID		40 ビット 固有番号					8 ビット CRC
SN[63:56]	SN[55:48]	SN[47:40]	SN[39:32]	SN[31:24]	SN[23:16]	SN[15:8]	SN[7:0]

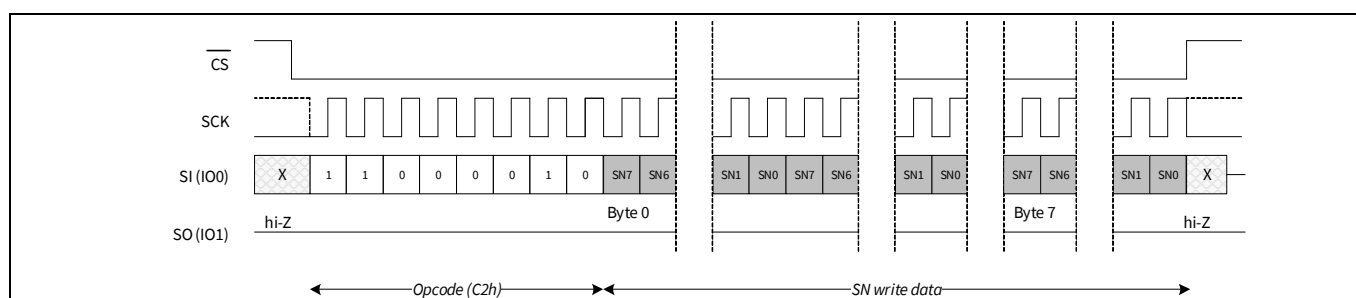


Figure 94 シリアル番号書き込み - SPI モード (WREN が非表示)

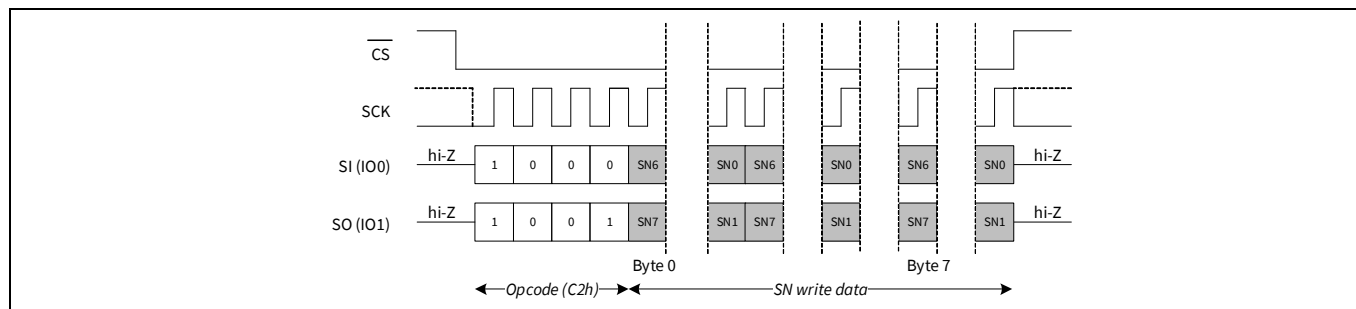


Figure 95 シリアル番号書き込み - DPI モード (WREN が非表示)

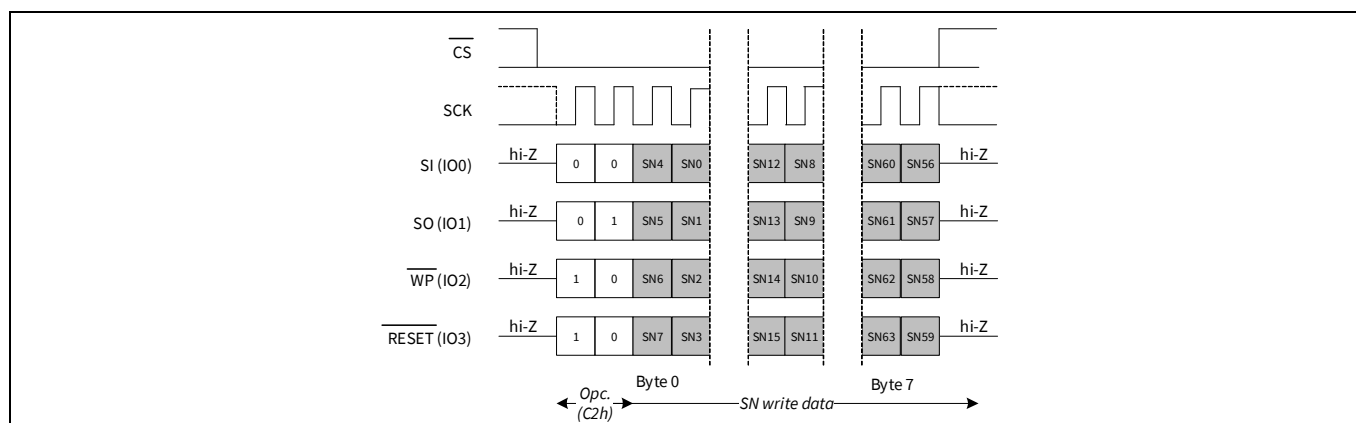


Figure 96 シリアル番号書き込み - QPI モード (WREN が非表示)

5.1.8.4 シリアル番号読み出し (RDSN, C3h)

CY15x104QSN デバイスは、デバイスを一意的に識別するためにユーザーに提供される 8 バイトのシリアル番号の空間を組み込んでいます。シリアル番号は RDSN 命令で読み出されます。シリアル番号読み出しは、一度にすべての 8 バイトを読み出すためにバーストモードで実行できます。シリアル番号の最後のバイトが読み出された後、ホストは RDSN コマンドを終了させるために、クロック供給を停止し、CS を HIGH に駆動する必要があります。CS が LOW になった後、RDSN のオペコードをシフトすることで RDSN 命令を発行できます。

注:

- 示されているダミーサイクルは CR5 のレジスタレイテンシコードビット (RLC0、RLC1) で設定できるオプションです。
- LSb が先にシフトアウトし、MSb が最後にシフトアウトします。ホストが 8 バイト目の後もクロック供給を継続する場合、デバイスは未定義のデータバイトを返すことがあります。

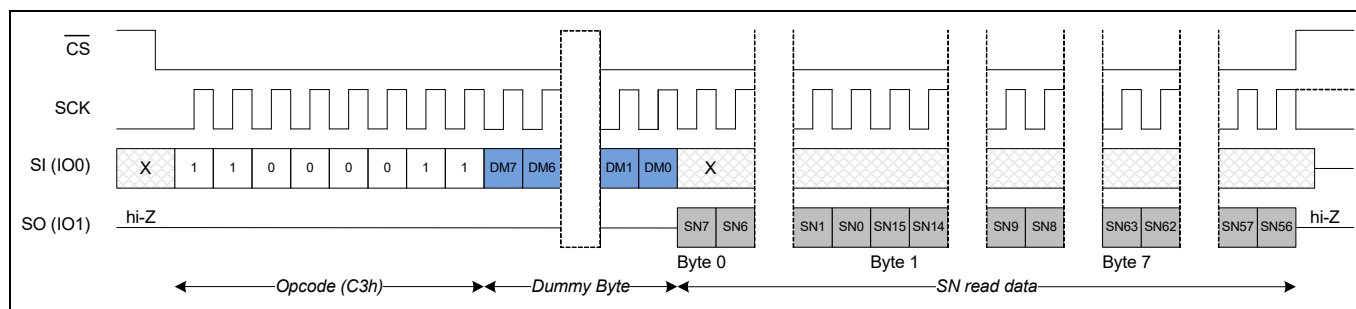


Figure 97 シリアル番号読み出し (RDSN) - SPI モード

機能説明

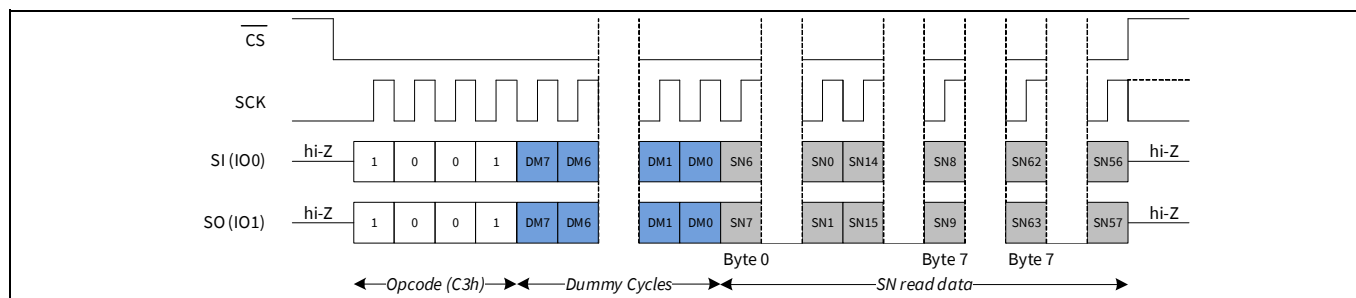


Figure 98 シリアル番号読み出し (RDSN) - DPI モード

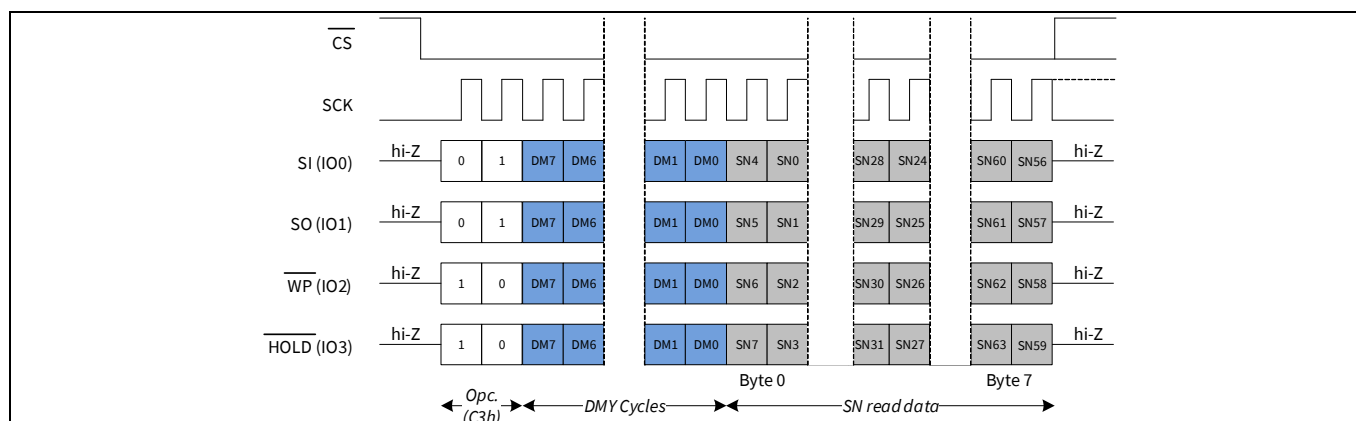


Figure 99 シリアル番号読み出し (RDSN) - QPI モード

5.1.9 低電力モードおよびリセット

Table 57 低電力モードおよびリセットのコマンド

コマンド	オペコード (16 進)	コマンドの説明
DPD	B9	ディープパワーダウン。ディープパワーダウン電力モードに入る
HBN	BA	ハイバネートモード。ハイバネート電力モードに入る
RSTEN	66	リセットイネーブル。ソフトウェアリセットを有効にするプリコマンド
RST	99	ソフトウェアリセット。ソフトウェアリセットを開始するコマンド

Table 58 低電力モードおよびリセットのコマンド説明

オペコード (16 進)	アドレス 長	SPI バス インターフェース						データ 転送		レイテンシ (なし)	XIP 直接 実行	最大 クロック 周波数
		SPI	デュアル データ	クアッド データ	デュアル I/O	クアッド I/O	DPI	QPI	SDR	DDR	ダミー サイクル	
B9	該当 なし	有	該当なし				有	有	有	該当 なし	該当 なし	108 MHz
BA	該当 なし	有	該当なし				有	有	有	該当 なし	該当 なし	108 MHz
66	該当 なし	有	該当なし				有	有	有	該当 なし	該当 なし	108 MHz
99	該当 なし	有	該当なし				有	有	有	該当 なし	該当 なし	108 MHz

5.1.9.1 ディープ パワーダウン モード (DPD, B9h)

DPD オペコード B9 がクロック入力され、 \overline{CS} の立ち上がりエッジが適用されると、デバイスはディープ パワーダウン モードに入ります。ディープ パワーダウン モードでは、SCK と SI ピンが無視され、SO ピンが Hi-Z になりますが、デバイスは \overline{CS} ピンの監視を継続します。

t_{CSDPD} の \overline{CS} パルス幅またはハードウェア リセットは t_{EXTDPD} 時間後に DPD モードを終了します。 \overline{CS} パルス幅は、ダミー コマンドを送信するか、または SCK と I/O がドント ケアになっている間に \overline{CS} のみを トグルすることによって生成できます。ディープ パワーダウン モードからの復帰中は、I/O は Hi-Z 状態のままです。DPD の開始と終了タイミングについては、それぞれ **Figure 100** と **Figure 103** を参照してください。

注:

- **Figure 100** に示されているタイミング詳細は、DPI および QPI モードでそのまま適用できます。
- CRC レジスタ (CRCR) および ECC レジスタ (ECCDC および ADDRTRAP) は DPD モードで内容を失い、0x00 のデフォルト値に戻ります。
- WEL ビットの状態 (SR0[1]) は DPD モードで維持されません。DPD 開始前の WEL のステータスが「1」の場合、DPD モードが終了すると「0」にクリアされます。

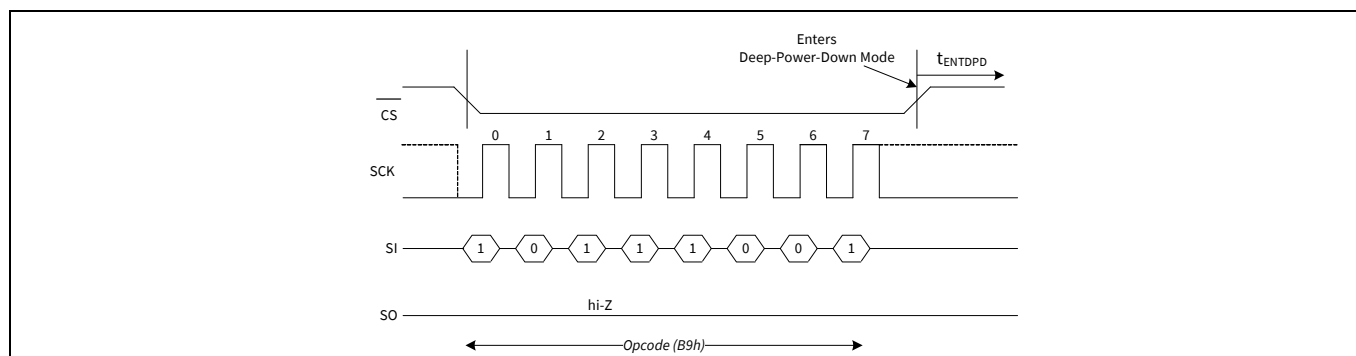


Figure 100 DPD への移行 - SPI モード

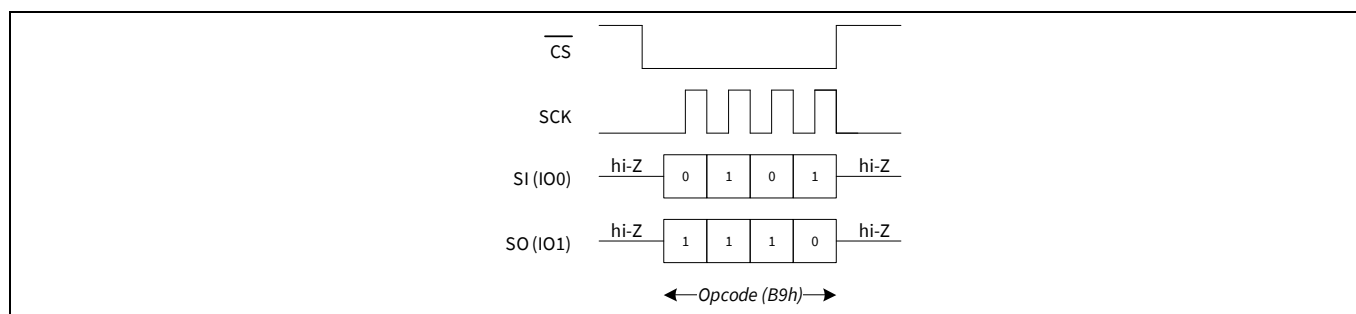


Figure 101 ディープ パワーダウン モード動作 - DPI モード

機能説明

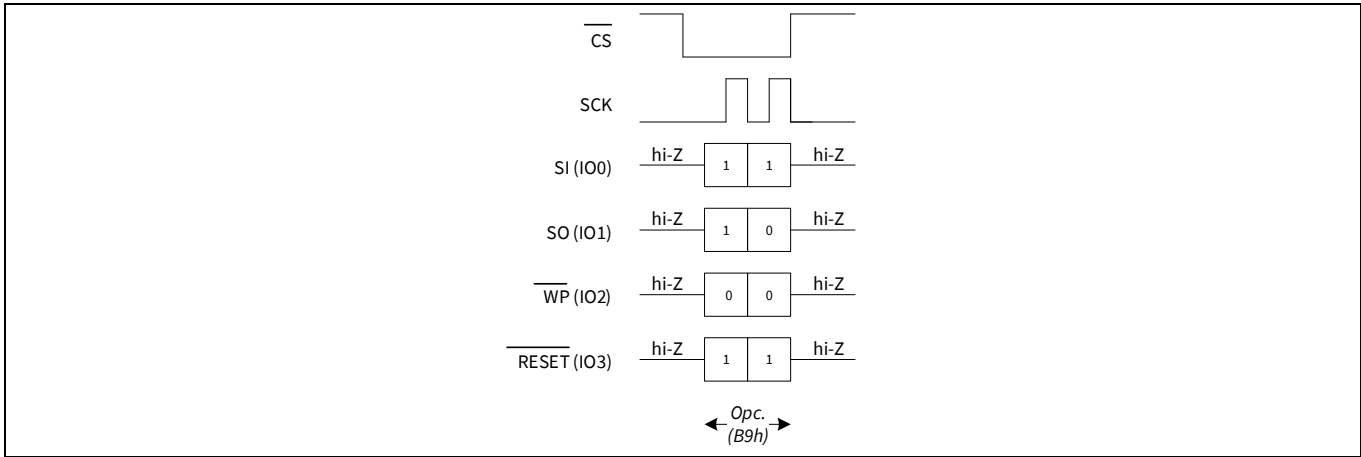


Figure 102 ディープパワーダウン モード動作 - QPI モード

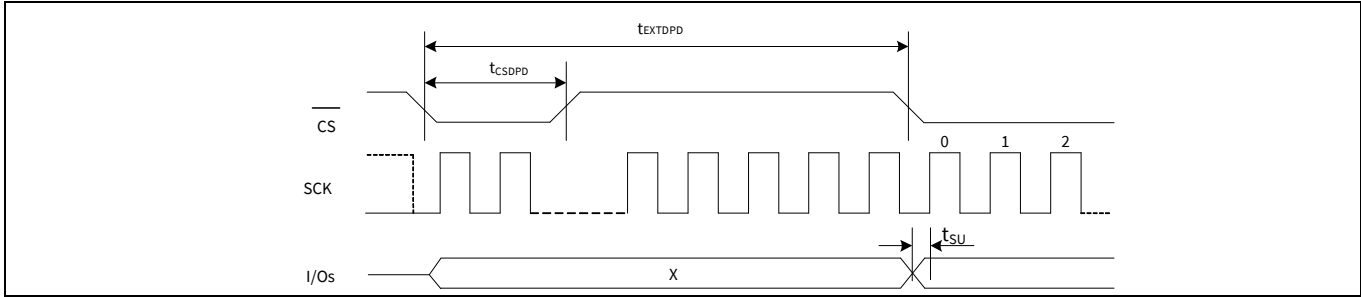


Figure 103 DPD の終了 - SPI モード

5.1.9.2 ハイバネート モード (HBN, BAh)

HBN オペコード BAh がクロック入力され、 \overline{CS} の立ち上がりエッジが適用されると、デバイスはハイバネートモードに入ります。ハイバネートモードでは、SCK と SI ピンが無視され、SO が Hi-Z となりますが、デバイスは \overline{CS} ピンの監視を続けます。 \overline{CS} の次の立ち下りエッジで、デバイスは t_{EXTHIB} 以内に通常の動作に復帰します。ハイバネートモードからの復帰中、SO ピンは Hi-Z 状態のままです。デバイスは、復帰期間内でオペコードに応答するとは限りません。ハイバネートモードを終了するために、コントローラーは、例えば「ダミー」読み出しを送信し、残りの t_{EXTHIB} 時間待機することがあります。

注:

- SPI モードのタイミング図に示されているタイミング詳細は、DPI および QPI モードでそのまま適用できます。
- ハイバネートモードを終了すると、すべてのレジスタはデフォルト POR 値でリロードされます。POR 後のレジスタデフォルト値の詳細は [Table 3](#) を参照してください。

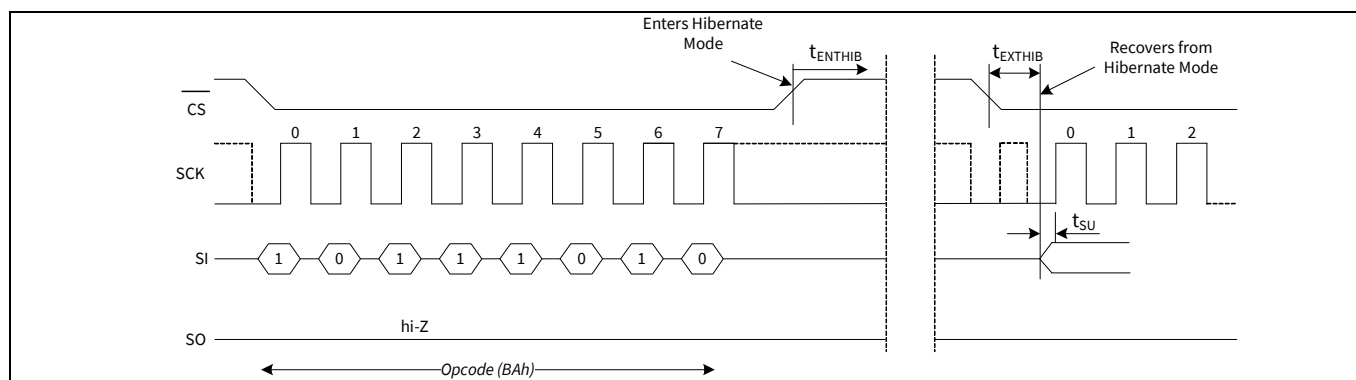


Figure 104 ハイバネート モード動作 - SPI モード

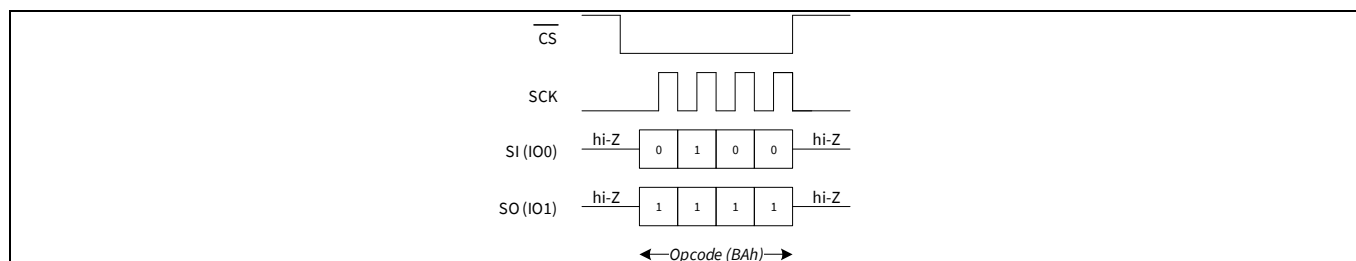


Figure 105 ハイバネート モード動作 - DPI モード

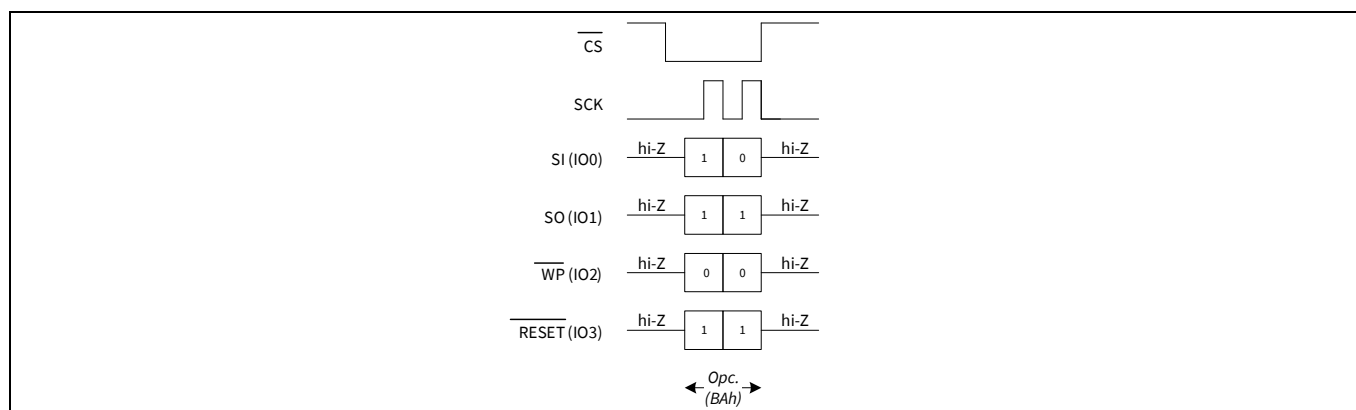


Figure 106 ハイバネート モード動作 - QPI モード

5.1.9.3 ソフトウェアリセット

ソフトウェアリセット動作は2つの命令を実行します。リセットイネーブル (RSTEN) 命令に続くリセット (RST) 命令。デバイス全体をリセットし、 t_{SRESET} 時間後にのみ命令を受信できるようにします。

注:

- RST を除き、RSTEN 命令に続くすべての命令はリセットイネーブル状態をクリアし、後の RST 命令が認識されないようにします。
- ソフトウェアリセット中、RDSR1 と RDAR コマンド (RDSR1 へのアクセス) のみサポートされます。他のコマンドは無視されます。
- SPI モードのタイミング図に示されているタイミング詳細は、DPI および QPI モードでそのまま適用できます。

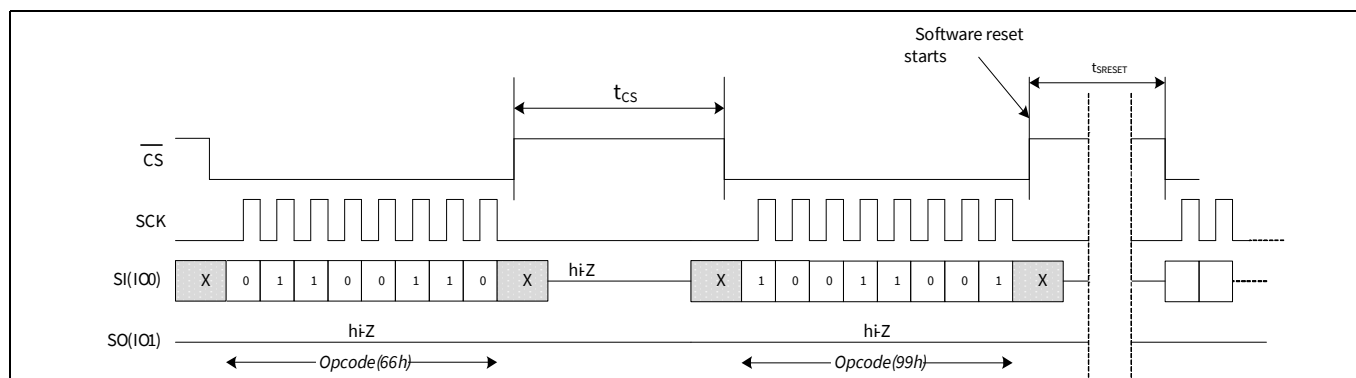


Figure 107 ソフトウェアリセット タイミング - SPI モード

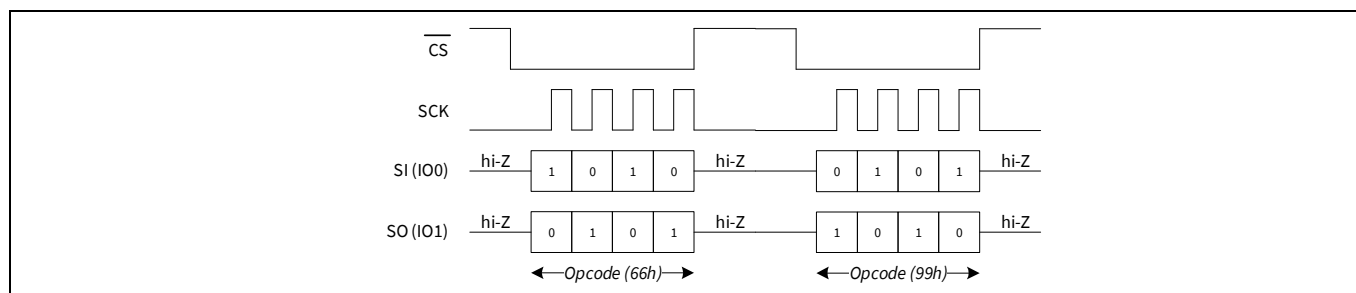


Figure 108 ソフトウェアリセット タイミング - DPI モード

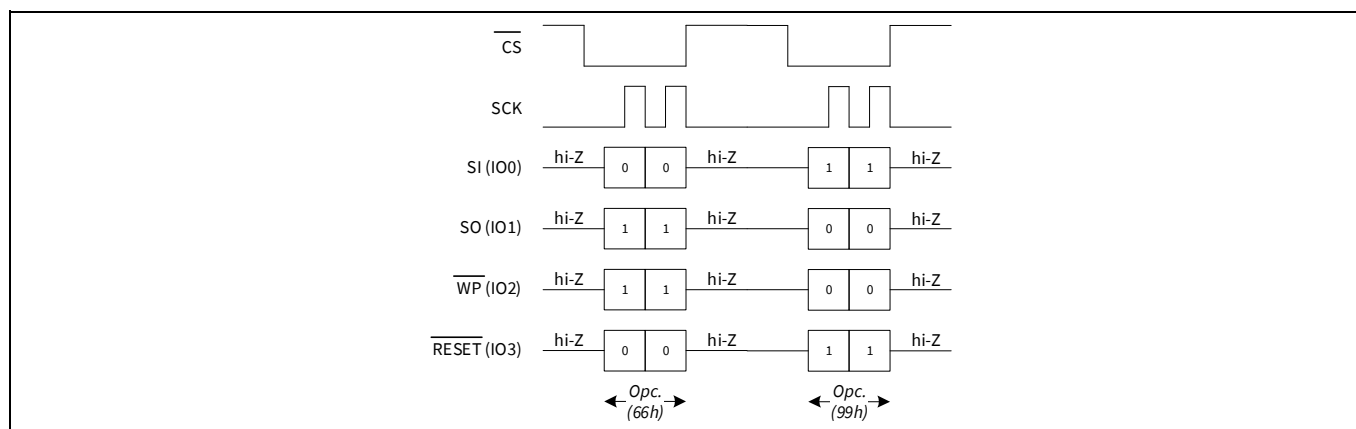


Figure 109 ソフトウェアリセット タイミング - QPI モード

5.1.9.4 ハードウェアリセット (RESET)

ハードウェアリセット入力 (RESET) は $\overline{\text{RESET}}/(\text{I/O3})$ で多重化され、CY15x104QSN デバイスではアクティブ LOW 信号です。さまざまな SPI インターフェースでのハードウェアリセット (RESET) ピンの設定は **Table 21** を参照してください。 $\overline{\text{RESET}}$ ピンが LOW にされると、CY15x104QSN は自己初期化し、自身の設定を電源投入時の状態に戻します。 $\overline{\text{RESET}}$ サイクル後の異なるレジスタ設定は **Table 59** を参照してください。 $\overline{\text{RESET}}$ が発行されると、CY15x104QSN はリセット サイクルを完了するために $\overline{\text{RESET}}$ の立ち上りエッジから $t_{\text{RPH}}/t_{\text{HRESET}}$ 時間がかかります。 t_{RPH} 時間中は CY15x104QSN にアクセスできなくなります。**Figure 110** ~ **Figure 112** は異なるリセット モードでの RESET タイミングを示します。

注:

- RESET ピンは QPI モードで I/O3 で多重化されます。QPI モードでハードウェア ($\overline{\text{RESET}}$) を使用する場合、 $\overline{\text{CS}}$ が HIGH の時に $\overline{\text{RESET}}$ 入力として I/O3 を使用できるように CR2[5] ビットを「1」に設定する必要があります。**Figure 110** は QPI モードでの $\overline{\text{RESET}}/(\text{I/O3})$ タイミングを示します。
- コンフィギュレーションレジスタ1のQUADビットCR1[1]はRESETピンでハードウェアリセット機能を有効にするために「0」に設定する必要があります。
- $\overline{\text{RESET}}$ 信号は内部プルアップ抵抗に接続され、ホストシステムで使用されない場合は開放のままにできます。このピンを I/O3 として設定する場合、このプルアップ抵抗は無効になります。
- $\overline{\text{RESET}}$ 機能が無効にされた場合も、RESET 信号を LOW にしてはいけません。これは、内部の弱プルアップによってリーク電流が増加するためです。
- QPI モードの共有バス コンフィギュレーションでは、 $\overline{\text{RESET}}$ 機能が有効である場合、同じバス上のマスタと他の QSPI スレーブ間の通信によって、($\overline{\text{RESET}}/(\text{I/O3})$) がトグルするたびにデバイスはリセットされます。したがって、共有バス コンフィギュレーションでは $\overline{\text{RESET}}$ ピン機能を無効にすることを推奨します。

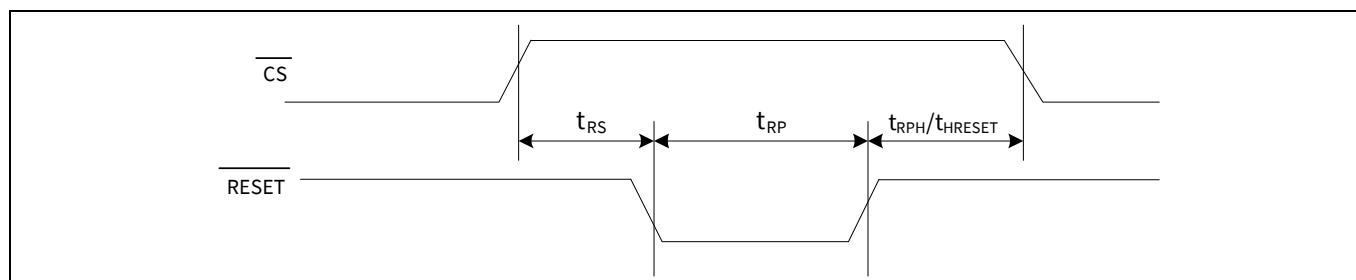


Figure 110 $\overline{\text{RESET}}$ タイミング - SPI; QUAD セット (CR1[1] = 「1」) または QPI 有効 (CR2[6] = 「1」)

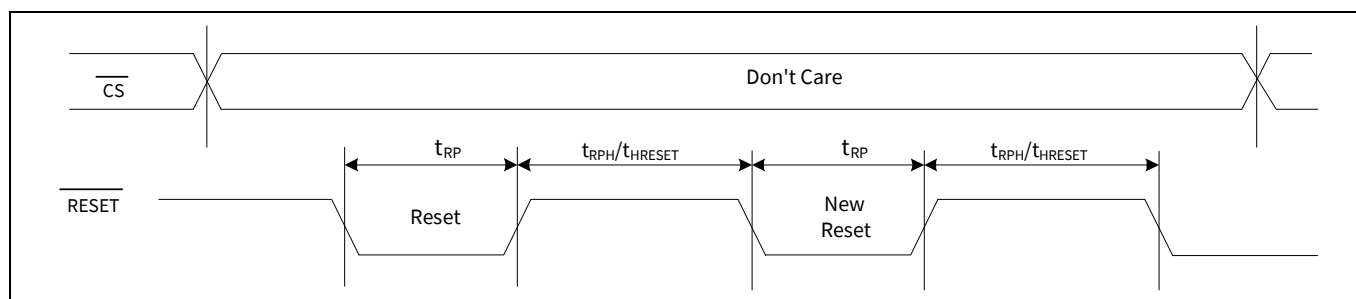


Figure 111 $\overline{\text{RESET}}$ タイミング - SPI; QUAD クリア (CR1[1] = 「0」) かつ QPI 無効 (CR2[6] = 「0」)

5.1.9.5 JEDEC SPI リセット

JEDEC SPI リセットはデバイスの動作 I/O モードとは独立したハードウェアリセットを開始する信号プロトコルです。デバイスは、ステータスおよびコンフィギュレーションレジスタで選択されたデフォルトモードになります。Table 59 にデフォルト回復が開始された後のデバイス状態を示します。

デフォルトモード回復手順は以下のとおりです。

1. \overline{CS} は SPI スレーブを選択するためにアクティブ LOW にトグルします。
2. SCK は HIGH または LOW 状態のいずれでも安定したままになります。
3. \overline{CS} が LOW になると同時に SI (I/O0) は HIGH から LOW にトグルします。他の I/O (I/O1, I/O2, および I/O3) はドントケアです。
4. \overline{CS} は、I/O0 が LOW の間 HIGH に駆動されます。
5. 上記のステップ 1 ~ 4 を繰り返します (SI (I/O0) の状態が \overline{CS} の立ち下りエッジで 4 回変化します)。
6. リセットは 4 番目の \overline{CS} が HIGH (非アクティブ) になった後に起きます。

タイミング詳細は、Figure 112 を参照してください。

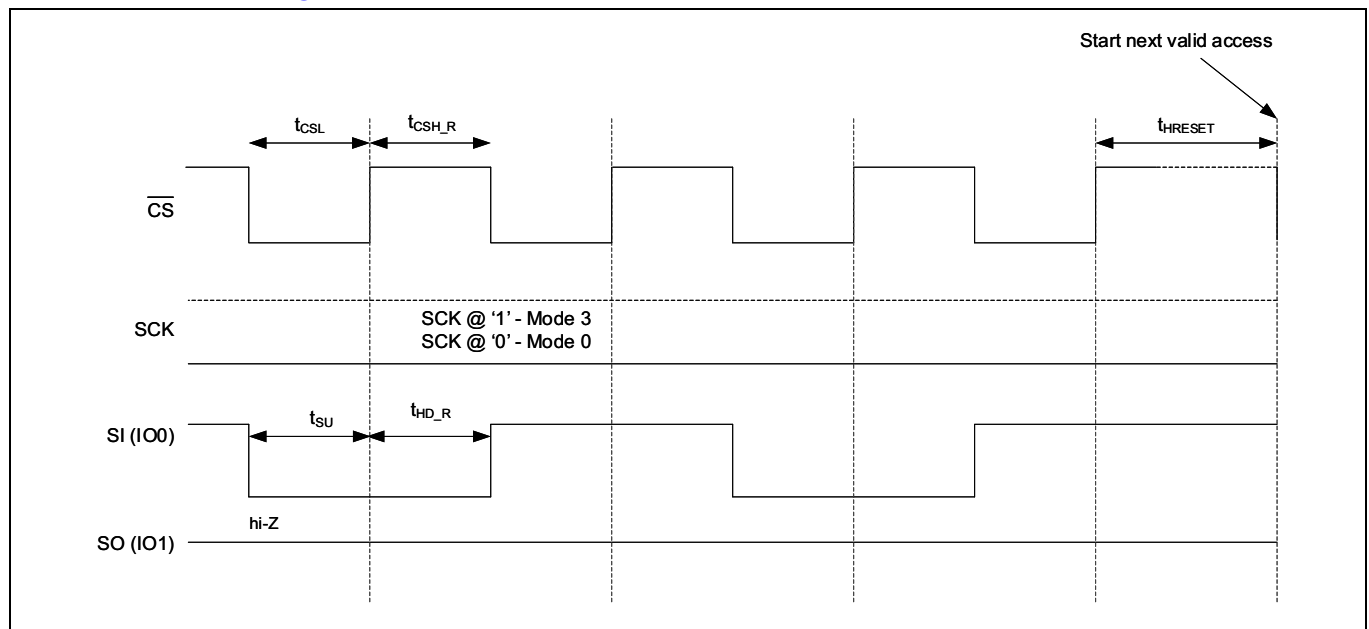


Figure 112 JEDEC SPI リセット

Table 59 各種リセット後のレジスタ ステータス

リセット機能	I/O 要件	ステータスレジスタ (SRx)	コンフィギュレーションレジスタ (CRx)	ECC ステータス	CRC レジスタ	ECC カウントレジスタ (ECCDC)	ADDR トラップレジスタ (ADDTRAP)	I/O モード
パワーオンリセット	$\overline{CS} = \text{「1」}$ 他の入力: 無視 すべての出力: トライステート	SR1: デフォルト値ロード SR2 - 0x00	CR1, CR2, CR4, CR5: デフォルト値ロード	0x00 ロード	0x00 ロード	0x00 ロード	0x00 ロード	変更なし
ハードウェアリセット	$\overline{CS} = \text{「1」}$ 他の入力: 無視 すべての出力: トライステート	SR1: デフォルト値ロード SR2 - 0x00	CR1, CR2, CR4, CR5: デフォルト値ロード	0x00 ロード	0x00 ロード	0x00 ロード	0x00 ロード	変更なし
ソフトウェアリセット	命令 (RSTEN, RST)	SR1: 変更なし (ただし WEL ビットが「1」にセットされた場合、クリアされます。) SR2 - 0x00	CR1, CR2, CR4, CR5: 変更なし	0x00 ロード	0x00 ロード	0x00 ロード	0x00 ロード	変更なし
JEDEC リセット (デフォルト回復)	\overline{CS} と SI (IO0) = トグル 他の入力: 無視 すべての出力: トライステート	SR1: デフォルト値ロード SR2 - 0x00	CR1, CR2, CR4, CR5: デフォルト値ロード	0x00 ロード	0x00 ロード	0x00 ロード	0x00 ロード	変更なし

CY15x104QSN が未定義の状態に入り、すべての SPI コマンドへの応答を停止した場合、SPI ホストはハードウェア RESET または JEDEC SPI リセットを発行できます。誤ったオペコードか、誤ったオペコードのラッチを内部で発生させる可能性がある SPI 信号上のグリッチか、またはデバイスが正常に起動しなかった (t_{PU} 後にもビジー状態 WIP=「1」を示し続ける) ことによって、CY15x104QSN は内部テストモードまたは未定義のモードに入ります。

注: ECC (ECCDC および ADDRTRAP) レジスタは DPD で内容を失い、0x00 のデフォルト値に戻ります。ハイバネート モードを終了すると、すべてのレジスタは [Table 3](#) に示す電源投入時のデフォルト値でリロードされます。

6 最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。ユーザー ガイドラインはテストされていません。

保存温度 $-65^{\circ}\text{C} \sim +125^{\circ}\text{C}$

最大累積保存温度

周囲温度 125°C 1000 時間

周囲温度 85°C 10 年

最大接合部温度 125°C

V_{SS} を基準にした V_{DD} 電源電圧 :

CY15V104QSN: $-0.5\text{ V} \sim +2.4\text{ V}$

CY15B104QSN: $-0.5\text{ V} \sim +4.1\text{ V}$

入力電圧 $V_{IN} \leq V_{DD} + 0.5\text{ V}$

High-Z 状態の出力に印加される DC 電圧 $-0.5\text{ V} \sim V_{DD} + 0.5\text{ V}$

グランド電位を基準にした任意のピンの過渡電圧 ($< 20\text{ ns}$) $-2.0\text{ V} \sim V_{DD} + 2.0\text{ V}$

パッケージ許容電力損失 ($T_A = 25^{\circ}\text{C}$) 1.0 W

表面実装はんだ付け温度 (3 秒) $+260^{\circ}\text{C}$

DC 出力電流 (一度に 1 出力、1 秒間) 15 mA

静電気の放電電圧

人体モデル (JEDEC 規格 JESD22-A114-B) 2 kV

帯電デバイスモデル (JEDEC 規格 JESD22-C101-A) 500 V

ラッチアップ電流 $>140\text{ mA}$

7 動作範囲

Table 60 動作範囲

デバイス	周囲温度	V _{DD}
CY15V104QSN	産業用, -40°C ~ +85°C	1.71 V ~ 1.89 V
CY15B104QSN		1.8 V ~ 3.6 V

8 DC 電気的特性

動作範囲において

Table 61 DC 電気的特性

パラメーター	説明	テスト条件	Min	Typ ^[16]	Max	単位
V_{DD}	電源	CY15V104QSN	1.71	1.8	1.89	V
		CY15B104QSN	1.8	3.0	3.6	
I_{DD1}	V_{DD} 供給電流 - SPI SDR モード	$V_{DD} = 1.71\text{V} \sim 1.89\text{V}$; SCK は $V_{DD} - 0.2\text{V}$ と V_{SS} の間でトグル, 他の入力は V_{SS} または $V_{DD} - 0.2\text{V}$ 。出力負荷なし。	$f_{SCK} = 50\text{MHz}$	–	4.9	mA
			$f_{SCK} = 108\text{MHz}$	–	10	
		$V_{DD} = 1.8\text{V} \sim 3.6\text{V}$; SCK は $V_{DD} - 0.2\text{V}$ と V_{SS} の間でトグル, 他の入力は V_{SS} または $V_{DD} - 0.2\text{V}$ 。出力負荷なし。	$f_{SCK} = 50\text{MHz}$	–	5.6	
			$f_{SCK} = 108\text{MHz}$	–	11	
I_{DD2}	V_{DD} 供給電流 - DPI SDR モード	$V_{DD} = 1.71\text{V} \sim 1.89\text{V}$; SCK は $V_{DD} - 0.2\text{V}$ と V_{SS} の間でトグル, 他の入力は V_{SS} または $V_{DD} - 0.2\text{V}$ 。出力負荷なし。	$f_{SCK} = 108\text{MHz}$	–	12	14
		$V_{DD} = 1.8\text{V} \sim 3.6\text{V}$; SCK は $V_{DD} - 0.2\text{V}$ と V_{SS} の間でトグル, 他の入力は V_{SS} または $V_{DD} - 0.2\text{V}$ 。出力負荷なし。	$f_{SCK} = 108\text{MHz}$	–	13	

注:

16. Typ 値は 25°C、 $V_{DD} = V_{DD}(\text{Typ})$ で測定されます。このパラメーターは特性によって保証され、量産中にテストされません。

4M ビット EXCELON™ Ultra 強誘電体 RAM (F-RAM)
シリアル (クアッド SPI), 512K × 8, 108MHz, 産業用



DC 電気的特性

動作範囲において

Table 61 DC 電気的特性 (continued)

パラメーター	説明	テスト条件	Min	Typ ^[16]	Max	単位	
I _{DD3}	V _{DD} 供給電流 - QPI SDR モード	V _{DD} = 1.71 V ~ 1.89 V; SCK は V _{DD} - 0.2 V と V _{SS} の間でトグル, 他の入力は V _{SS} または V _{DD} - 0.2 V。 出力負荷なし。	f _{SCK} = 108 MHz	-	16	19	mA
		V _{DD} = 1.8 V ~ 3.6 V; SCK は V _{DD} - 0.2 V と V _{SS} の間でトグル, 他の入力は V _{SS} または V _{DD} - 0.2 V。 出力負荷なし。	f _{SCK} = 108 MHz	-	17	21	
	V _{DD} 供給電流 - QPI DDR モード	V _{DD} = 1.71 V ~ 1.89 V; SCK は V _{DD} - 0.2 V と V _{SS} の間でトグル, 他の入力は V _{SS} または V _{DD} - 0.2 V。 出力負荷なし。	f _{SCK} = 54 MHz	-	16	19	
		V _{DD} = 1.8 V ~ 3.6 V; SCK は V _{DD} - 0.2 V と V _{SS} の間でトグル, 他の入力は V _{SS} または V _{DD} - 0.2 V。 出力負荷なし。	f _{SCK} = 54 MHz	-	17	21	

注:

16. Typ 値は 25°C、V_{DD} = V_{DD} (Typ) で測定されます。このパラメーターは特性によって保証され、量産中にテストされません。

DC 電気的特性

動作範囲において

Table 61 DC 電気的特性 (continued)

パラメーター	説明	テスト条件	Min	Typ ^[16]	Max	単位
I_{SB}	V_{DD} スタンバイ電流	$V_{DD} = 1.71V \sim 1.89V$; $CS = V_{DD}$ 。他のすべての入力ピンは V_{SS} または V_{DD} に接続。	$T_A = 25^\circ C$	–	110	μA
			$T_A = 85^\circ C$	–	209	
		$V_{DD} = 1.8V \sim 3.6V$; $CS = V_{DD}$ 。他のすべての入力ピンは V_{SS} または V_{DD} に接続。	$T_A = 25^\circ C$	–	200	
			$T_A = 85^\circ C$	–	350	
I_{DPD}	ディープ パワーダウン電流	$V_{DD} = 1.71V \sim 1.89V$; $CS = V_{DD}$ 。他のすべての入力ピンは V_{SS} または V_{DD} に接続。	$T_A = 25^\circ C$	–	0.8	
			$T_A = 85^\circ C$	–	15	
		$V_{DD} = 1.8V \sim 3.6V$; $CS = V_{DD}$ 。他のすべての入力ピンは V_{SS} または V_{DD} に接続。	$T_A = 25^\circ C$	–	1.0	
			$T_A = 85^\circ C$	–	17	
I_{HBN}	ハイバネート モード電流	$V_{DD} = 1.71V \sim 1.89V$; $CS = V_{DD}$ 。他のすべての入力ピンは V_{SS} または V_{DD} に接続。	$T_A = 25^\circ C$	–	0.1	
			$T_A = 85^\circ C$	–	0.9	
		$V_{DD} = 1.8V \sim 3.6V$; $CS = V_{DD}$ 。他のすべての入力ピンは V_{SS} または V_{DD} に接続。	$T_A = 25^\circ C$	–	0.1	
			$T_A = 85^\circ C$	–	1.6	
I_{LI}	I/O ピンの入力リーク電流	$V_{SS} < V_{IN} < V_{DD}$		–1	–	1
	WP と RESET の入力リーク電流 (I/O2 と I/O3 機能が無効のとき)			–100	–	1
I_{LO}	出力リーク電流	$V_{SS} < V_{OUT} < V_{DD}$		–1	–	1
V_{IH}	入力 HIGH 電圧		$0.7 \times V_{DD}$	–	$V_{DD} + 0.3$	V
V_{IL}	入力 LOW 電圧		–0.3	–	$0.3 \times V_{DD}$	
V_{OH1}	出力 HIGH 電圧	$I_{OH} = -1 \text{ mA}, V_{DD} = 2.7 \text{ V}$	2.4	–	–	
V_{OH2}	出力 HIGH 電圧	$I_{OH} = -100 \mu A$	$V_{DD} - 0.2$	–	–	
V_{OL1}	出力 LOW 電圧	$I_{OL} = 2 \text{ mA}, V_{DD} = 2.7 \text{ V}$	–	–	0.4	
V_{OL2}	出力 LOW 電圧	$I_{OL} = 150 \mu A$	–	–	0.2	

注:

16. Typ 値は $25^\circ C$ 、 $V_{DD} = V_{DD}(\text{Typ})$ で測定されます。このパラメーターは特性によって保証され、量産中にテストされません。

9 データ保持期間およびアクセス可能回数

Table 62 データ保持期間およびアクセス可能回数

パラメーター	説明	テスト条件	Min	Max	単位
T_{DR}	データ保持期間	$T_A = 85^\circ\text{C}$	10	–	年
		$T_A = 75^\circ\text{C}$	38	–	
		$T_A = 65^\circ\text{C}$	151	–	
NV_C	アクセス可能回数	動作温度範囲内	10^{14}	–	回

10 静電容量

Table 63 静電容量

パラメーター ^[17]	説明	テスト条件	Max	単位
C _O	出力ピン静電容量 (SO)	T _A = 25°C, f = 1 MHz, V _{DD} = V _{DD} (Typ)	6	pF
C _I	入力ピン静電容量		5	

注:

17. このパラメーターは特性によって保証され、量産中にテストされません。

熱抵抗

11 熱抵抗

Table 64 熱抵抗

パラメーター ^[18]	説明	テスト条件	8 ピン SOIC パッケージ	8 ピン QFN パッケージ	単位
Θ_{JA}	熱抵抗 (接合部から周囲)	テスト条件は、EIA/JESD51 による、熱インピーダンス を測定するための標準 的なテスト方法と手順に 従います。	88.6	118	°C/W
Θ_{JC}	熱抵抗 (接合部からケース)		56	60	

注:

18. このパラメーターは特性によって保証され、量産中にテストされません。

12 AC テスト条件

Table 65 AC テスト条件

パラメーター	値	
	CY15V104QSN	CY15B104QSN
入力パルス レベル ($0V \sim V_{DD}$)	$0V \sim V_{DD}$	$0V \sim V_{DD}$
入力立ち上り / 立下り時間 (10% ~ 90%)	$\leq 1.8 \text{ ns}$	$\leq 2.0 \text{ ns}$
入力タイミング参照電圧	$0.3 \times V_{DD} \sim 0.7 \times V_{DD}$	$0.3 \times V_{DD} \sim 0.7 \times V_{DD}$
出力タイミング参照電圧 (V_T)	$V_{DD}/2$	$V_{DD}/2$
負荷静電容量 (C_L)	30 pF	30 pF

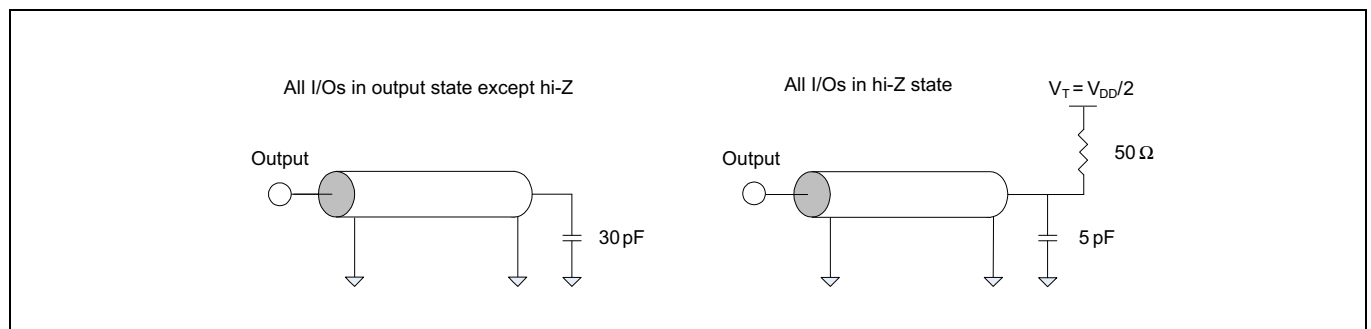


Figure 113 AC テスト負荷

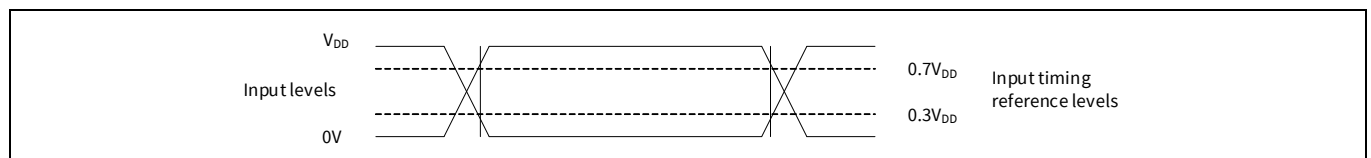


Figure 114 AC タイミング入力電圧参照レベル

13 SDR AC スイッチング特性

Table 66 SDR AC スイッチング特性

パラメーター ^[19]		説明	Min	Max	単位
パラメーター	代替 パラメーター				
f _{SCK}	–	SCK クロック周波数	0	108	MHz
t _{CH}	–	クロック HIGH 時間	0.45 × 1/f _{SCK}	–	ns
t _{CL}	–	クロック LOW 時間	0.45 × 1/f _{SCK}	–	
t _{CSS}	t _{CSU}	チップセレクト (\overline{CS}) セットアップ時間	5	–	
t _{CSH}	t _{CSH}	チップセレクト (\overline{CS}) ホールド時間 - SPI モード 0	4	–	
t _{CSH1}	–	チップセレクト (\overline{CS}) ホールド時間 - SPI モード 3	9	–	
t _{HZCS} ^[20, 21]	t _{OD}	出力無効時間 - CY15B104QSN	–	10	
		出力無効時間 - CY15V104QSN	–	11	
t _{CO}	–	出力データ有効時間 ; 15pF 負荷 (出力ドライバが 45 Ω 設定。 動作範囲 において)	–	7	
		クロック Low から出力有効までの時間 ; 15pF 負荷 (出力ドライバが 45 Ω 設定。 V _{DD} = 2.7 V ~ 3.6 V; 動作範囲 において)	–	6.7	
		クロック Low から出力有効までの時間 ; 30pF 負荷 (出力ドライバが 45 Ω 設定。 V _{DD} = 2.7 V ~ 3.6 V; 動作範囲 において)	–	7	
		クロック Low から出力有効までの時間 ; 30pF 負荷 (出力ドライバがデフォルトの 30 Ω 設定。 動作範囲 において)	–	7	
t _{OH}	–	出力ホールド時間	1	–	

注:

- 19.これらのパラメーターは [AC テスト条件](#) の下でテストされています。
- 20.t_{OD} および t_{HZ} は、5 pF の負荷容量が付いている状態で測定されます。遷移の測定は、出力が高インピーダンス状態に入っているときに行われます。
- 21.このパラメーターは特性によって保証され、量産中にテストされません。
- 22.t_{CS} は新しいコマンドサイクルが特定の SPI モード (SPI, DPI, または QPI) で開始するまでの最短のチップセレクト解除 (\overline{CS} HIGH) 時間です。このパラメーターはホストが新しいコマンドサイクルを開始する前に以前の動作が完了したことを保証します。 [Figure 117](#) を参照してください。
- 23.設計で保証されています。

Table 66 SDR AC スイッチング特性 (continued)

パラメーター ^[19]		説明	Min	Max	単位
パラメーター	代替 パラメーター				
$t_{CS}^{[22]}$	t_D	SPI モードでコマンド サイクル前のチップセレクト解除 (\overline{CS} HIGH) 時間; すべてのメモリ アレイおよびレジスタ アクセス	40	–	ns
		DPI モードでコマンド サイクル前のチップセレクト解除 (\overline{CS} HIGH) 時間; すべてのメモリ アレイおよびレジスタ アクセス	75	–	
		DPI モードでコマンド サイクル前のチップセレクト解除 (\overline{CS} HIGH) 時間 (拡張 SPI でのデュアルモードを含む); メモリアレイ アクセス (非 XIP モード)	40	–	
		DPI モードでコマンド サイクル前のチップセレクト解除 (\overline{CS} HIGH) 時間 (拡張 SPI でのデュアルモードを含む); メモリアレイ アクセス (XIP モード)	55	–	
		QPI モードでコマンド サイクル前のチップセレクト解除 (\overline{CS} HIGH) 時間; すべてのアクセス (メモリアレイを除く)	110	–	
		QPI モードでコマンド サイクル前のチップセレクト解除 (\overline{CS} HIGH) 時間 (拡張 SPI でのクアド モードを含む); メモリアレイ アクセス (非 XIP モード)	90	–	
		QPI モードでコマンド サイクル前のチップセレクト解除 (\overline{CS} HIGH) 時間 (拡張 SPI でのクアド モードを含む); メモリアレイ アクセス (XIP モード)	110	–	
t_{SD}	t_{SU}	データ入力セットアップ時間 (SCK に対して)	2	–	ms
t_{HD}	t_H	データ入力ホールド時間 (SCK に対して)	3	–	
$t_{CLZ}^{[23]}$	–	クロック LOW から出力 Low-Z までの時間	0	–	
t_{CRCC}	–	CRC 計算時間 ($100\mu s + (0.8\mu s / \text{データ バイト数})$)	0.10	440	
t_{CRCS}	–	\overline{CS} HIGH から CRC 計算中断までの時間	–	100	μs
t_{CRCR}	–	\overline{CS} HIGH から CRC 計算再開までの時間	–	100	

注:

- 19.これらのパラメーターは **AC テスト条件** の下でテストされています。
20. t_{OD} および t_{HZ} は、5 pF の負荷容量が付いている状態で測定されます。遷移の測定は、出力が高インピーダンス状態に入っているときに行われます。
- 21.このパラメーターは特性によって保証され、量産中にテストされません。
22. t_{CS} は新しいコマンド サイクルが特定の SPI モード (SPI, DPI, または QPI) で開始するまでの最短のチップセレクト解除 (\overline{CS} HIGH) 時間です。このパラメーターはホストが新しいコマンド サイクルを開始する前に以前の動作が完了したことを保証します。Figure 117 を参照してください。
- 23.設計で保証されています。

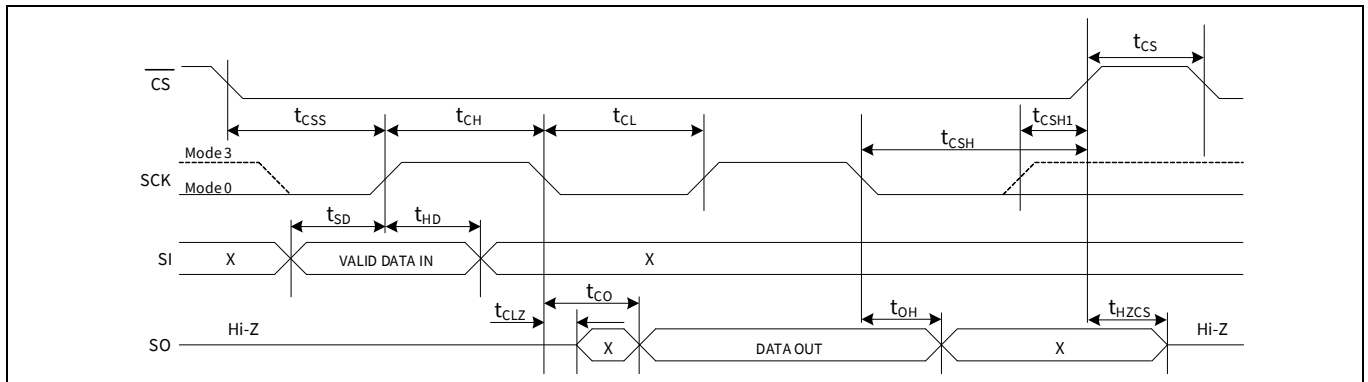


Figure 115 SPI スイッチング タイミング - シングル I/O, SDR (モード 0 と モード 3)

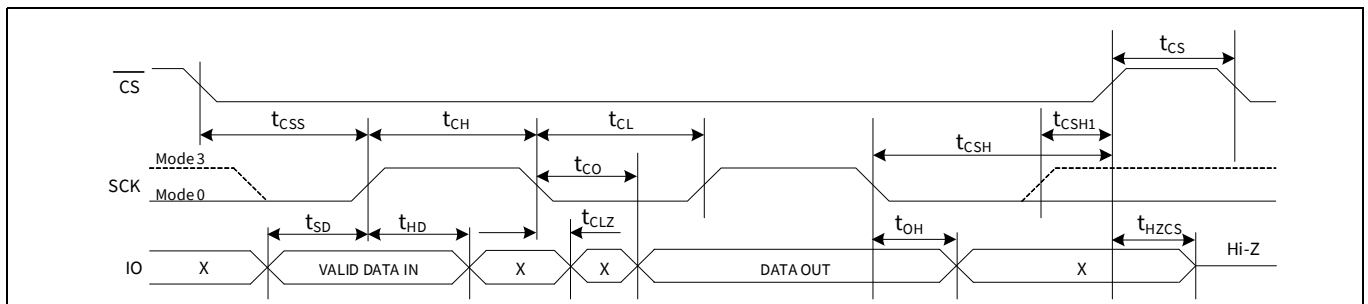


Figure 116 SPI スイッチング タイミング - マルチ I/O, SDR (モード 0 と モード 3)

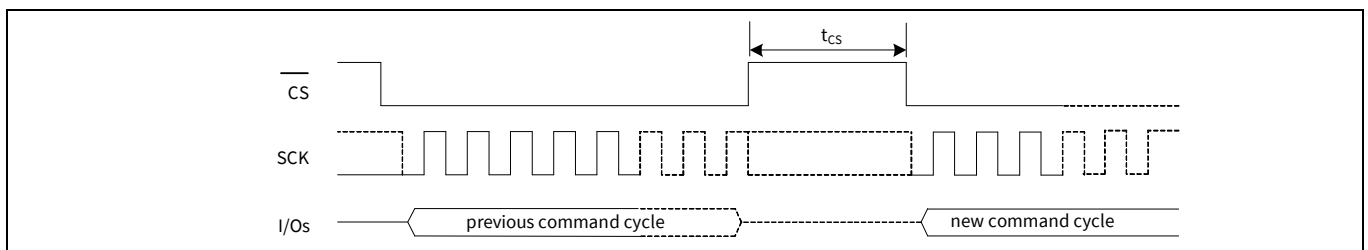


Figure 117 チップセレクト解除 (\overline{CS} HIGH) - t_{CS} タイミング

14 DDR AC スイッチング特性

動作範囲において

Table 67 DDR AC スイッチング特性

パラメーター ^[24]		説明	Min	Max	単位
パラメーター	代替 パラメーター				
f_{SCK}	–	SCK クロック周波数	0	54	MHz
t_{CH}	–	クロック HIGH 時間	$0.45 \times 1/f_{SCK}$	–	ns
t_{CL}	–	クロック LOW 時間	$0.45 \times 1/f_{SCK}$	–	
t_{CSS}	t_{CSU}	チップセレクト (\overline{CS}) セットアップ時間	5	–	
t_{CSH}	t_{CSH}	チップセレクト (\overline{CS}) ホールド時間	5	–	
t_{HZCS} ^[25, 26]	t_{OD}	出力無効時間 - CY15B104QSN	–	10	
		出力無効時間 - CY15V104QSN	–	11	
t_{CO}		出力データ有効時間 ; 15pF 負荷 (出力ドライバが 45 Ω 設定。 動作範囲において)	–	7	
		クロック LOW から出力有効までの時間 ; – 15pF 負荷 (出力ドライバが 45 Ω 設定。 $V_{DD} = 2.7V \sim 3.6V$; 動作範囲において)	–	6.7	
		クロック LOW から出力有効までの時間 ; – 30pF 負荷 (出力ドライバが 45 Ω 設定。 $V_{DD} = 2.7V \sim 3.6V$; 動作範囲において)	–	7	
		クロック LOW から出力有効までの時間 ; – 30pF 負荷 (出力ドライバがデフォルトの 30 Ω 設定。動作範囲において)	–	7	
t_{OH}	–	出力ホールド時間	1	–	

注:

- 24.これらのパラメーターは AC テスト条件の下でテストされます。
25. t_{OD} および t_{HZ} は、5 pF の負荷容量が付いている状態で測定されます。遷移の測定は、主力が高インピーダンス状態に入っているときに行われます。
- 26.このパラメーターは特性によって保証され、量産中にテストされません。
27. t_{CS} は新コマンドサイクルが特定の SPI モード (SPI または QPI) で開始するまでの最短のチップセレクト解除 (\overline{CS} HIGH) 時間です。このパラメーターはホストが新しいコマンドサイクルを開始する前に以前の動作が完了したことを保証します。Figure 117 を参照してください。
- 28.設計で保証されています。

4M ビット EXCELON™ Ultra 強誘電体 RAM (F-RAM) シリアル (クアド SPI), 512K × 8, 108MHz, 産業用



DDR AC スイッチング特性

動作範囲において

Table 67 DDR AC スイッチング特性 (continued)

パラメーター ^[24]		説明	Min	Max	単位
パラメーター	代替 パラメーター				
$t_{CS}^{[26]}$	t_D	SPI モードでコマンド サイクル前のチップセレクト解除 (\overline{CS} HIGH) 時間; すべてのメモリ アレイおよびレジスタ アクセス	40	–	ns
		QPI モードでコマンド サイクル前のチップセレクト解除 (\overline{CS} HIGH) 時間; すべてのアクセス (メモリ アレイを除く)	110	–	
		QPI モードでコマンド サイクル前のチップセレクト解除 (\overline{CS} HIGH) 時間 (拡張 SPI でのクアド モードを含む); メモリ アレイ アクセス (非 XIP モード)	90	–	
		QPI モードでコマンド サイクル前のチップセレクト解除 (\overline{CS} HIGH) 時間 (拡張 SPI でのクアド モードを含む); メモリ アレイ アクセス (XIP モード)	110	–	
t_{SD}	t_{SU}	データ入力セットアップ時間 (SCK に対して)	4	–	
t_{HD}	t_H	データ入力ホールド時間 (SCK に対して)	4	–	
$t_{CLZ}^{[28]}$	–	クロック LOW から出力 Low-Z までの時間	0	–	

注:

- 24.これらのパラメーターは **AC テスト条件** の下でテストされます。
25. t_{OD} および t_{HZ} は、5 pF の負荷容量が付いている状態で測定されます。遷移の測定は、主力が高インピーダンス状態に入っているときに行われます。
- 26.このパラメーターは特性によって保証され、量産中にテストされません。
27. t_{CS} は新コマンド サイクルが特定の SPI モード (SPI または QPI) で開始するまでの最短のチップセレクト解除 (\overline{CS} HIGH) 時間です。このパラメーターはホストが新しいコマンド サイクルを開始する前に以前の動作が完了したことを保証します。Figure 117 を参照してください。
- 28.設計で保証されています。

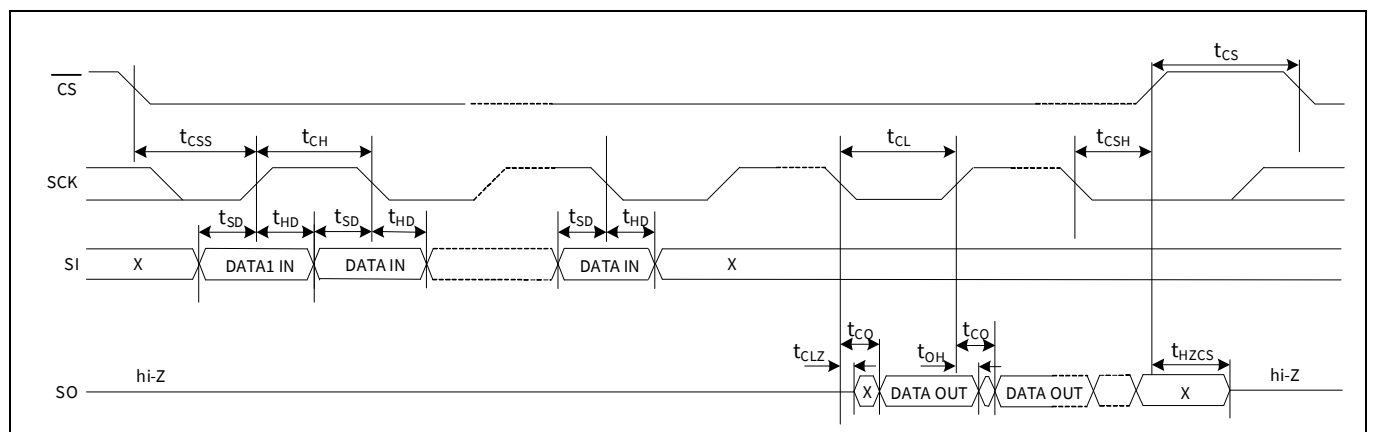


Figure 118 SPI スイッチング タイミング - シングル I/O, DDR

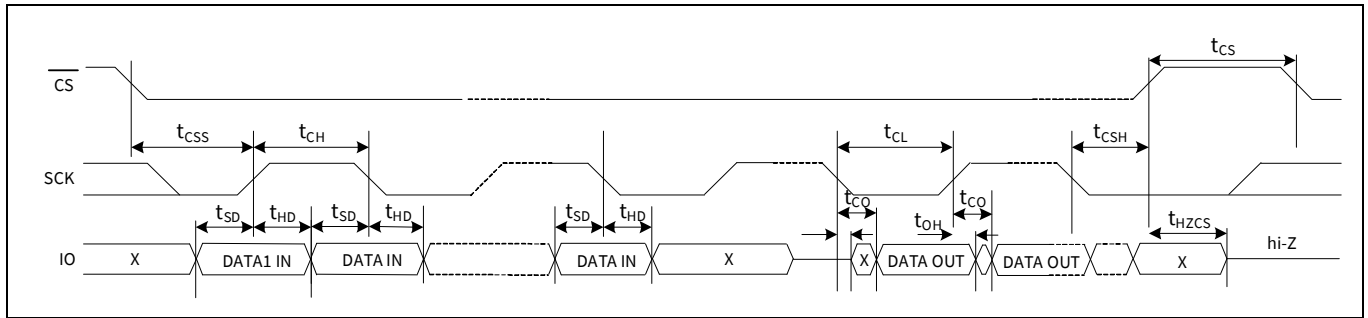


Figure 119 SPI スイッチング タイミング - マルチ I/O, DDR^[29]

注:

29. 両クロック エッジでデータ入力を取り込む DDR モード入力タイミングは、アドレスおよびデータ入力サイクルのみに適用されます。DDR オペコードは常にオペコード サイクル中に SDR モードで送信されます。

15 書き込み保護 (\overline{WP}) タイミング パラメーター

動作範囲において

Table 68 書き込み保護 (\overline{WP}) タイミング パラメーター

パラメーター [30]		説明	Min	Max	単位
パラメーター	代替 パラメーター				
t_{WPS}	t_{SW}	\overline{WP} セットアップ時間 (\overline{CS} に対して)	20	–	ns
t_{WPH}	t_{HW}	\overline{WP} ホールド時間 (\overline{CS} に対して)	20	–	

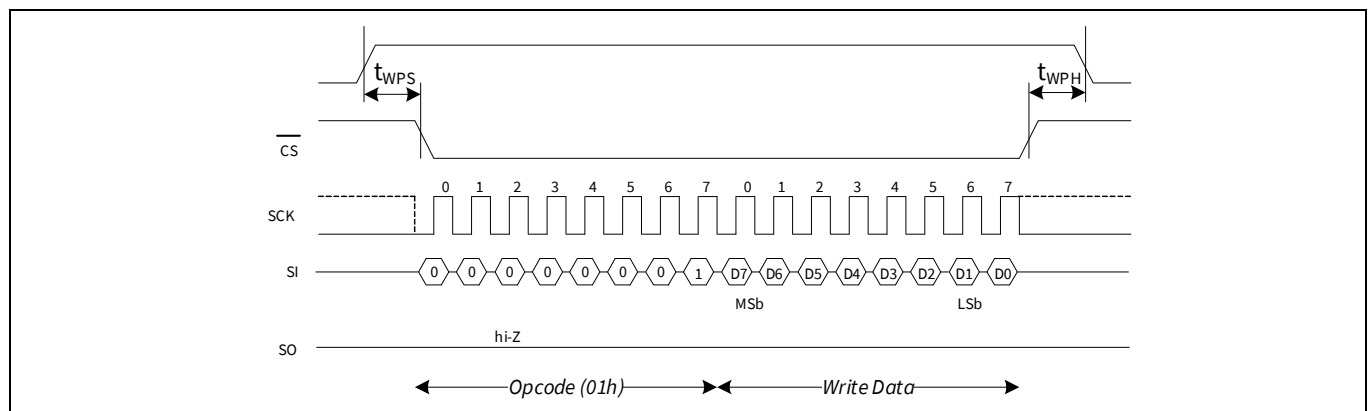


Figure 120 書き込み保護のセットアップとホールド タイミング

注:

30.これらのパラメーターは、**AC テスト条件**の下でテストされます。

16 リセット ($\overline{\text{RESET}}$) タイミング パラメーター

動作範囲において

Table 69 リセット ($\overline{\text{RESET}}$) タイミング パラメーター

パラメーター ^[31]		説明	Min	Max	単位
パラメーター	代替 パラメーター				
t_{RS}	–	ハードウェア $\overline{\text{RESET}}$ セットアップ時間	50	–	ns
t_{RPH}	$t_{\text{RHSL}}, t_{\text{RH}}$	ハードウェア $\overline{\text{RESET}}$ ホールド時間	450	–	μs
t_{RP}	t_{RLRH}	ハードウェア $\overline{\text{RESET}}$ パルス幅	200	–	ns
t_{HRESET}		ハードウェア $\overline{\text{RESET}}$ 時間	–	450	μs
t_{SRESET}		ソフトウェア $\overline{\text{RESET}}$ 時間	–	100	
t_{CSL}		JEDEC リセット用チップセレクト ($\overline{\text{CS}}$) LOW 時間	500	–	ns
$t_{\text{CSH_R}}$		JEDEC リセット用チップセレクト ($\overline{\text{CS}}$) HIGH 時間	500	–	
t_{SU}		JEDEC リセット用 SI (I/O0) セットアップ 時間 (CS HIGH に対する)	5	–	
$t_{\text{HD_R}}$		JEDEC リセット用 SI (I/O0) ホールド時間 (CS HIGH に対する)	5	–	

注:

31.これらのパラメーターは AC テスト条件の下でテストされます。

17 パワー サイクル タイミング

動作範囲において

Table 70 パワー サイクル タイミング

パラメーター ^[32]		説明	Min	Max	単位
パラメーター	代替 パラメーター				
t_{PU}		電源投入時 ($V_{DD(min)}$) から最初のアクセス ($\overline{CS LOW}$) までの時間	450	–	μs
t_{VR} ^[33]		V_{DD} 電源投入時ランプレート	30	–	$\mu s/V$
t_{VF} ^[33, 34]		V_{DD} 電源切断時ランプレート	20	–	
t_{ENTDPD} ^[35]	t_{DP}	$\overline{CS HIGH}$ からディープパワーダウンモード開始までの時間 ($\overline{CS HIGH}$ からハイバネートモード開始までの時間)	–	3	μs
t_{CSDPD}		ディープパワーダウンモードから復帰するための \overline{CS} パルス幅	0.015	$4 \times 1/f_{SCK}$	
t_{EXTDPD}	t_{RDP}	ディープパワーダウンモードからの回復時間 ($\overline{CS LOW}$ からアクセス準備完了までの時間)	–	10	
t_{ENTHIB} ^[36]	t_{HBN}	ハイバネートモードへの移行時間 ($\overline{CS HIGH}$ からハイバネートモード開始までの時間)	–	3	
$t_{EXITHIB}$	t_{REC}	ハイバネートモードからの回復時間 ($\overline{CS LOW}$ からアクセス準備完了までの時間)	–	450	
$V_{DD(LOW)}$ ^[34]		初期化が必要となる低 V_{DD}	0.6	–	V
t_{PD} ^[34]		$V_{DD(LOW)}$ が 0.6V 時の $V_{DD(LOW)}$ 時間	130	–	μs
		$V_{DD(LOW)}$ が V_{SS} 時の $V_{DD(LOW)}$ 時間	70	–	

注:

32.これらのパラメーターは **AC テスト条件** の下でテストされます。

33. V_{DD} 波形上の任意の点で測定した傾きです。

34.このパラメーターは特性によって保証され、量産中にテストされません。

35.設計で保証されています。ディープスリープモード タイミングは **Figure 100** と **Figure 103** を参照してください。

36.設計で保証されています。ハイバネートモード タイミングは **Figure 104** を参照してください。

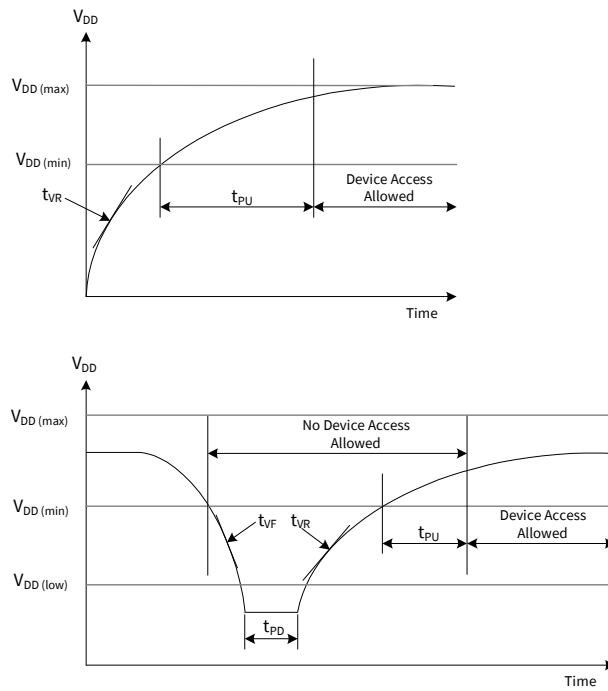


Figure 121 パワー サイクル タイミング

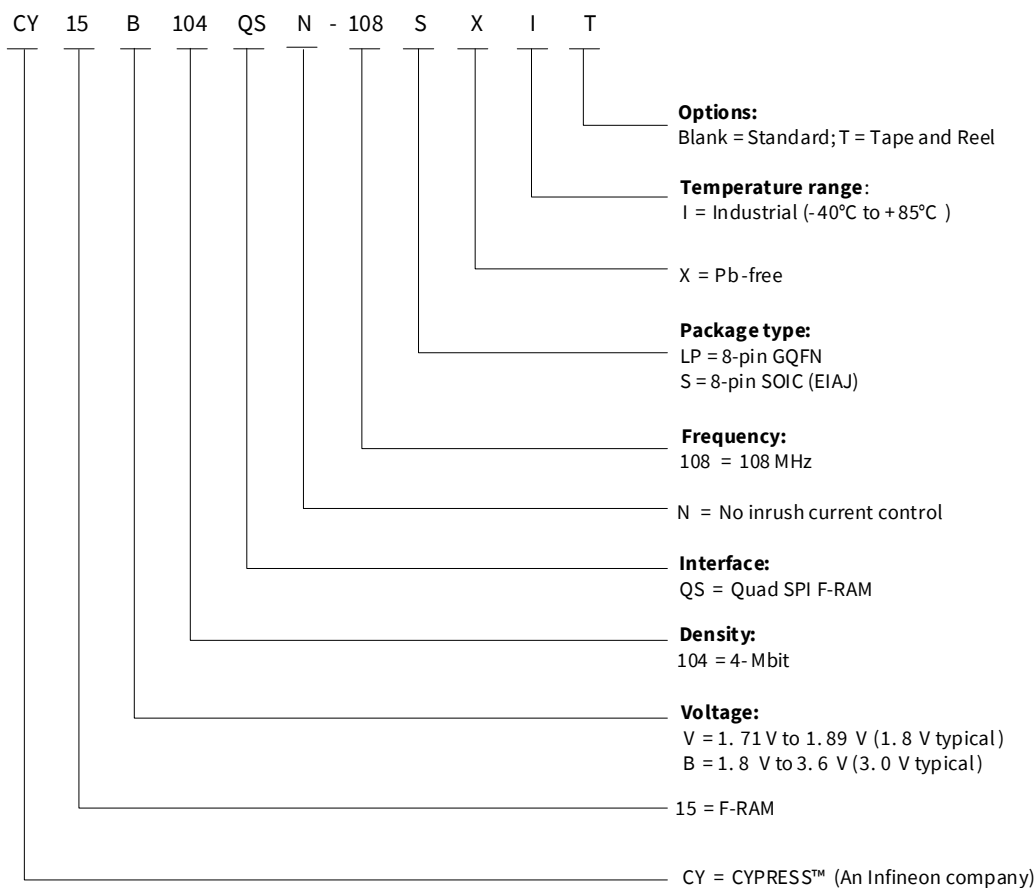
18 注文情報

Table 71 注文情報

注文コード	デバイス ID	パッケージ図	パッケージタイプ	動作範囲
CY15B104QSN-108SXI	0000000006825150	001-85261	8 ピン SOIC (EIAJ)	産業用
CY15B104QSN-108SXIT	0000000006825150			
CY15V104QSN-108SXI	0000000006805150			
CY15V104QSN-108SXIT	0000000006805150			
CY15B104QSN-108LPXI	0000000006825150	002-18131	8 ピン GQFN	
CY15B104QSN-108LPXIT	0000000006825150			
CY15V104QSN-108LPXI	0000000006805150			
CY15V104QSN-108LPXIT	0000000006805150			

これらはすべて鉛フリーです。在庫状況については、最寄りの当社販売代理店にお問い合わせください。

18.1 注文コードの定義



19 パッケージ図

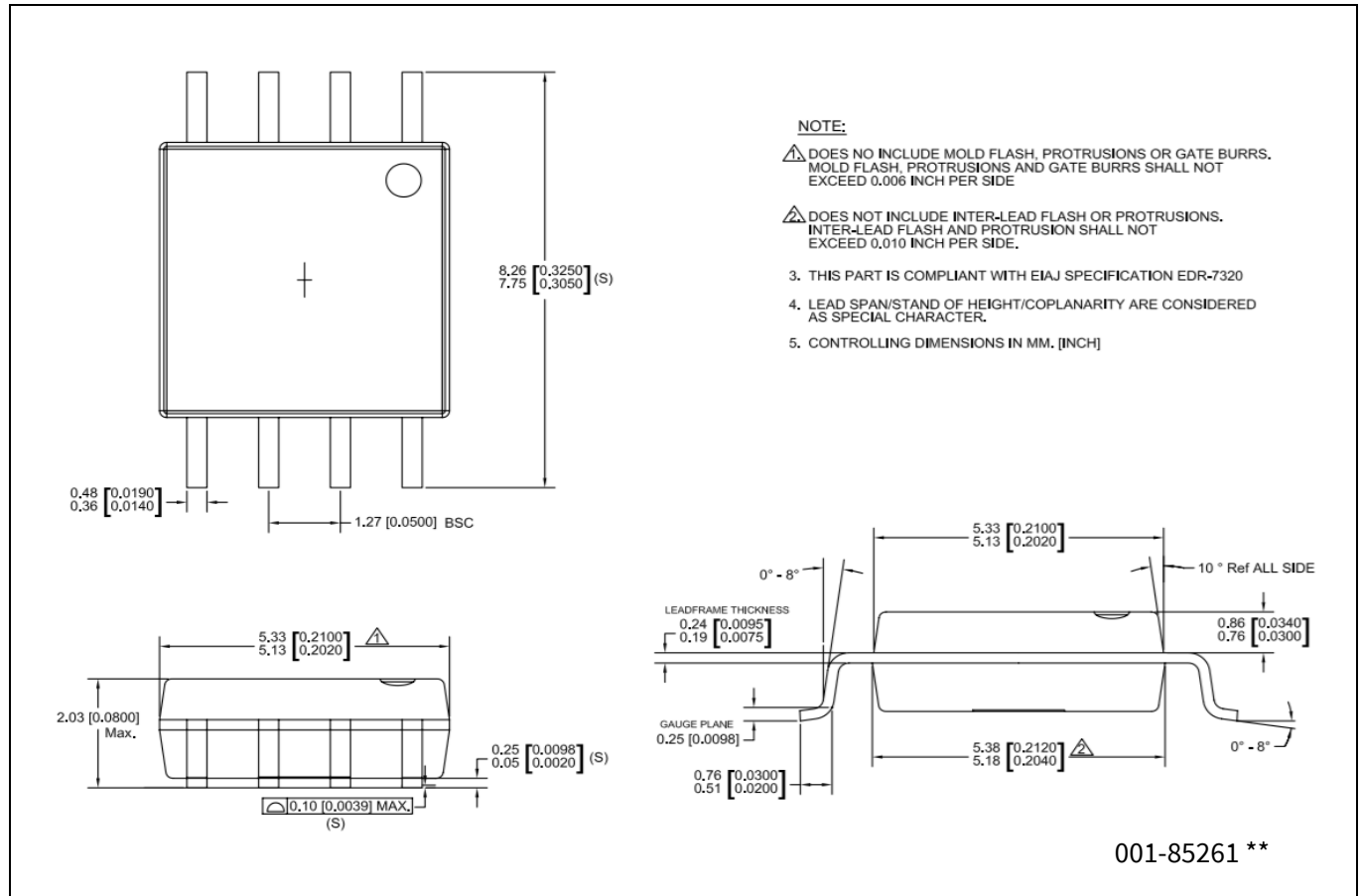


Figure 122 8 ピン SOIC (208 Mils) パッケージ外形図 , 001-85261

4M ビット EXCELON™ Ultra 強誘電体 RAM (F-RAM)
シリアル (クアド SPI), 512K × 8, 108MHz, 産業用



パッケージ図

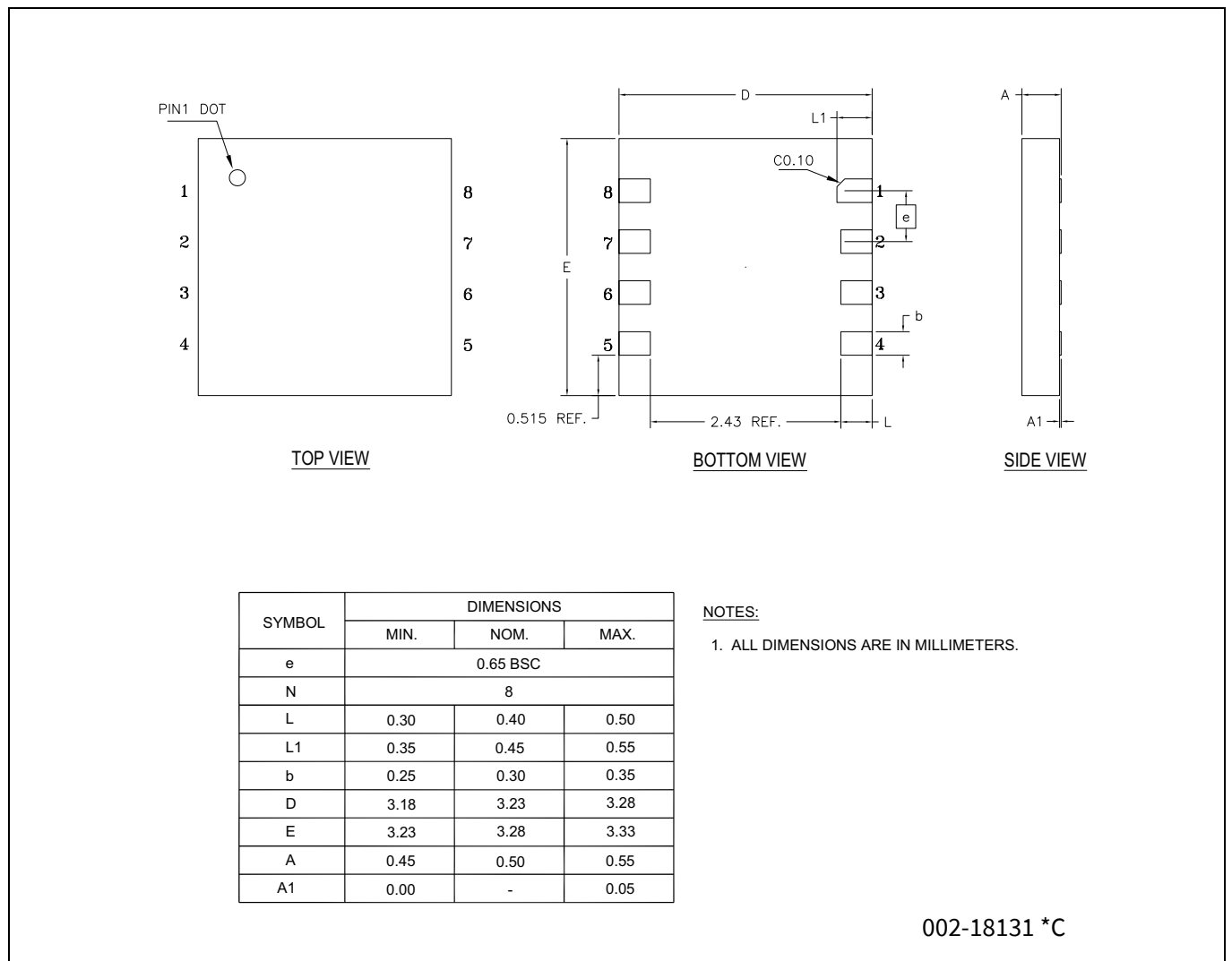


Figure 123 8 ピン GQFN (3.23 × 3.28 × 0.55 mm) パッケージ外形図 , 002-18131

20 略語

Table 72 本書で使用する略語

略語	説明
CPHA	clock phase (クロック位相)
CPOL	clock polarity (クロック極性)
CRC	cyclic redundancy check (巡回冗長検査)
DPI	dual SPI (デュアル SPI)
ECC	Error Correction Code (エラー訂正コード)
EEPROM	Electrically Erasable Programmable Read-Only Memory (電氣的消去書き込み可能な読み出し専用メモリ)
EIA	electronic industries alliance (米国電子工業会)
F-RAM	ferroelectric random access memory (強誘電体ランダム アクセス メモリ)
I/O	input/output (入力 / 出力)
JEDEC	Joint Electron Devices Engineering Council (半導体技術協会)
JESD	JEDEC standards (JEDEC 規格)
LSb	least significant bit (最下位ビット)
MSb	most significant bit (最上位ビット)
RoHS	Restriction of Hazardous Substances (特定有害物質使用制限指令)
SPI	serial peripheral interface (シリアル ペリフェラル インターフェース)
SOIC	small outline integrated circuit (小型外形集積回路)

21 本書の表記法

21.1 測定単位

Table 73 測定単位

記号	測定単位
°C	摂氏温度
Hz	ヘルツ
kHz	キロヘルツ
kΩ	キロオーム
Mbit	メガビット
MHz	メガヘルツ
μA	マイクロアンペア
μF	マイクロファラド
μs	マイクロ秒
mA	ミリアンペア
ms	ミリ秒
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラド
V	ボルト
W	ワット

4M ビット EXCELON™ Ultra 強誘電体 RAM (F-RAM)
シリアル (クアド SPI), 512K × 8, 108MHz, 産業用



改訂履歴

改訂履歴

Document version	Date of release	Description of changes
**	2017-11-22	これは英語版 002-18293 Rev. *B を翻訳した日本語版 002-20523 Rev. ** です。
*A	2019-06-17	これは英語版 002-18293 Rev. *J を翻訳した日本語版 002-20523 Rev. *A です。
*B	2022-05-23	これは英語版 002-18293 Rev. *K を翻訳した日本語版 002-20523 Rev. *B です。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2022-05-23
Published by
Infineon Technologies AG
81726 Munich, Germany

© 2022 Infineon Technologies AG.
All Rights Reserved.

Do you have a question about this document?
Go to www.infineon.com/support

Document reference
002-20523 Rev. *B

重要事項

本文書に記載された情報は、いかなる場合も、条件または特性の保証とみなされるものではありません（「品質の保証」）。本文に記載された一切の事例、手引き、もしくは一般的価値、および／または本製品の用途に関する一切の情報に関し、インフィニオンテクノロジーズ（以下、「インフィニオン」）はここに、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

さらに、本文書に記載された一切の情報は、お客様の用途におけるお客様の製品およびインフィニオン製品の一切の使用に関し、本文書に記載された義務ならびに一切の関連する法的要件、規範、および基準をお客様が遵守することを条件としています。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

本製品、技術、納品条件、および価格についての詳しい情報は、インフィニオンの最寄りの営業所までお問い合わせください (www.infineon.com)。

警告事項

技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。

インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないことと予めご了承ください。