

リアルタイムクロック付き 1M ビット (128K×8) クアッド SPI nvSRAM

特長

- メモリ容量
 - 1M ビット (128K × 8)
- 帯域幅
 - 108MHz 高速インターフェース
 - 54Mbps での読み書き
- シリアル ペリフェラル インターフェース
 - クロック極性と位相モード 0 と 3
 - 複数 I/O オプション – シングル SPI (SPI)、デュアル SPI (DPI)、クアッド SPI (QPI)
- 高い信頼性
 - 回数に制限のない読み出し、書き込み、RECALL サイクル
 - 不揮発性要素 (SONOS FLASH 量子トラップ) への 100 万 STORE サイクル
 - データ保持期間: 85°C で 20 年
- 読み出し
 - コマンド: 標準、ファースト、デュアル I/O、クアッド I/O
 - モード: バースト ラップ、連続 (XIP)
- 書き込み
 - コマンド: 標準、ファースト、デュアル I/O、クアッド I/O
 - モード: バースト ラップ
- データ保護
 - ハードウェア: 書き込み保護ピン (\overline{WP}) を使用
 - ソフトウェア: 書き込みディセーブル命令を使用
 - ブロック保護: 保護を制御するためにステータス レジスタ ビットを使用
- 特殊命令
 - STORE/RECALL: SRAM と量子トラップ nvSRAM 間のデータ転送
 - シリアル番号: 8 バイト ユーザー選択可能 (OTP)
 - ID 番号: 4 バイトのメーカー ID および製品 ID
- SRAM から不揮発性 SONOS FLASH 量子トラップに格納
 - AutoStore: 小容量コンデンサ (V_{CAP}) で電源切断時に自動的に開始
 - ソフトウェア: SPI 命令 (STORE) を使用
 - ハードウェア: HSB ピンを使用
- 非揮発性 SONOS FLASH 量子トラップから SRAM にリコール
 - AutoRECALL: 電源投入時に自動的に開始
 - ソフトウェア: SPI 命令 (RECALL) を使用
- 低消費電力モード
 - スリープ: 平均電流 = 380μA (85°C の時)
 - ハイバネート: 平均電流 = 8μA (85°C の時)
- 動作電源電圧
 - コア V_{CC} : 2.7V ~ 3.6V
 - I/O V_{CCQ} : 1.71V ~ 2.0V

温度範囲

- 産業用温度範囲: -40°C ~ 85°C

パッケージ

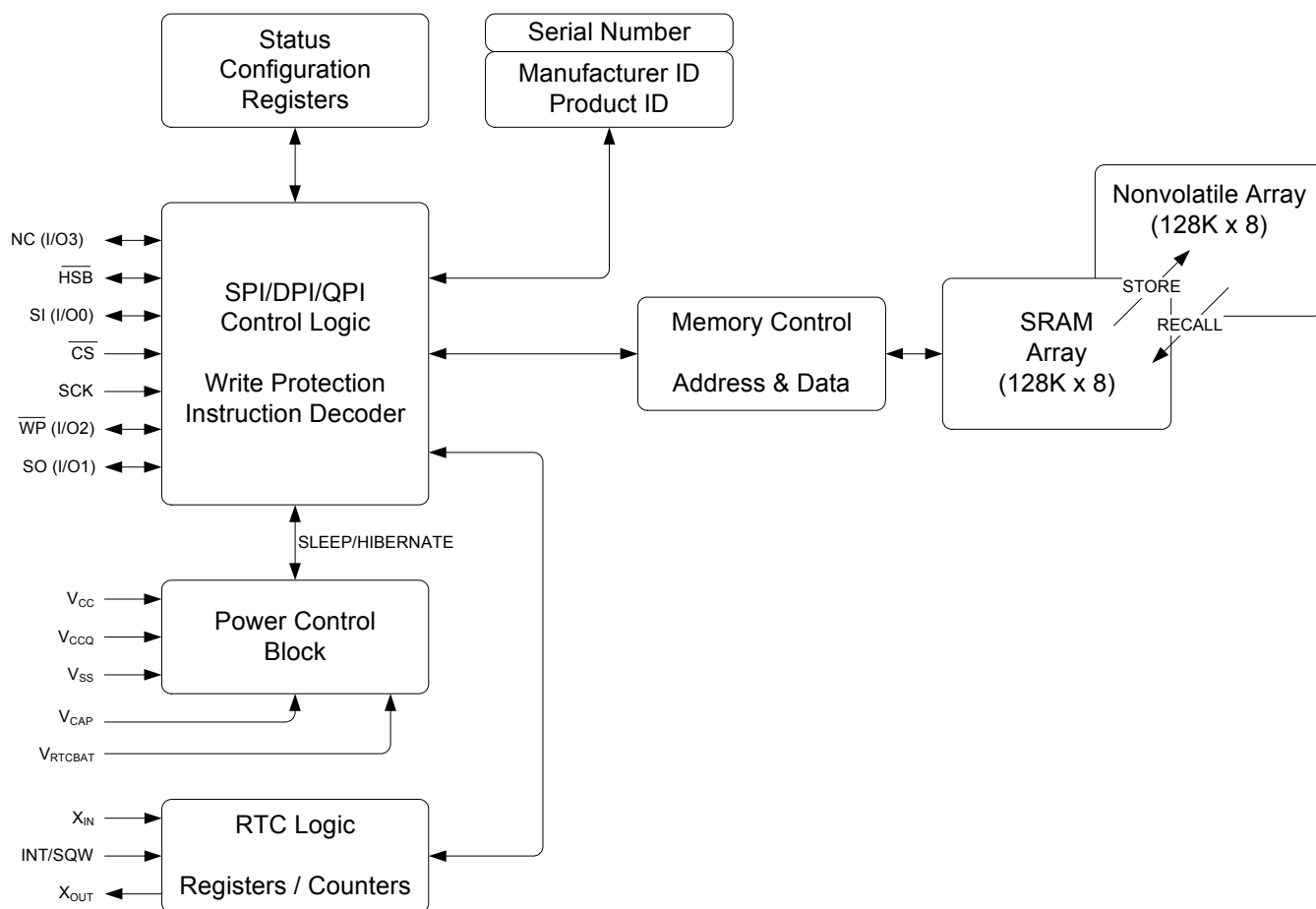
- 16 ピン SOIC

機能の概要

サイプレスの CY14V101PS は、QPI インターフェースに対応している 1M ビット nvSRAM です。QPI では、選択したオペコードを使用してシングル (1 ビット / クロック サイクルで 1 I/O チャンネル)、デュアル (2 ビット / クロック サイクルで 2 I/O チャンネル)、またはクアッド (4 ビット / クロック サイクルで 4 I/O チャンネル) でメモリの読み書きが可能です。

メモリは SRAM と不揮発性 SONOS FLASH 量子トラップ セルから成り、128K バイトとして構成されています。回数に制限のない読み出しと書き込みを SRAM で可能にする一方、信頼性の高いデータ記憶を不揮発性セルで実現しています。SRAM から不揮発性セルへのデータ転送 (STORE 処理) は、電源切断時に自動的に行われます。電源投入時には、データが不揮発性セルから SRAM に復元されます (RECALL 処理)。SPI 命令を使用して STORE、RECALL 処理を開始することができます。

ロジックブロック図

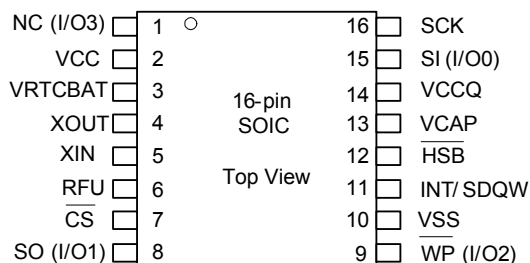


目次

ピン配置	4	ソフトウェア リコール (RECALL) 命令	43
ピン機能	4	Autostore イネーブル (ASEN) 命令	44
デバイスの動作	6	Autostore ディスエーブル (ASDI) 命令	44
SRAM 書き込み	6	リアル タイム クロックの動作	45
SRAM 読み出し	6	nvTIME の動作	45
STORE 処理	6	クロックの動作	45
AutoStore 処理	6	クロックの読み出し	45
ソフトウェア STORE 処理	7	クロックを設定	45
ハードウェア STORE 処理と HSB ピンの動作	7	バックアップ電源	45
RECALL 処理	7	発振器の起動と停止	45
ハードウェア RECALL (電源投入)	7	クロックの校正	46
ソフトウェア RECALL	7	アラーム	46
AutoStore のディスエーブルとイネーブル	7	ウォッチドッグ タイマー	46
クアッド シリアル ペリフェラル インターフェース	8	プログラム可能な方形波ジェネレータ	47
SPI 概要	8	電源モニター	47
デュアルおよびクアッド I/O モード	10	バックアップ電源モニター	47
SPI モード	10	割り込み	47
SPI 動作の特長	11	割り込みレジスタ	47
電源投入	11	フラグ レジスタ	48
電源切断	11	RTC 外部コンポーネント	49
アクティブ電力モードおよびスタンバイ状態	11	RTC に関する PCB 設計上の注意事項	50
SPI 機能の説明	12	レイアウトに関する要求	50
ステータス レジスタ	14	最大定格	55
書き込みディスエーブル (WRDI) 命令	18	動作範囲	55
書き込みイネーブル (WREN) 命令	18	DC 仕様	55
DPI イネーブル (DPIEN) 命令	19	データ保持期間およびアクセス可能回数	56
QPI イネーブル (QPIEN) 命令	19	静電容量	56
SPI イネーブル (SPIEN) 命令	19	熱抵抗	56
SPI メモリ読み出し命令	20	AC テストの負荷および波形	57
読み出し命令	20	AC テスト条件	57
高速読み出し命令	21	RTC 特性	57
書き込み命令	24	AC スイッチング特性	58
システム リソース命令	28	スイッチング波形	58
ソフトウェア リセット (RESET) 命令	28	AutoStore またはパワーアップ RECALL	59
デフォルトの復帰命令	29	スイッチング波形	60
リアル タイム クロック読み出し (RDRTC) 命令	29	ソフトウェア制御 STORE および RECALL サイクル	61
リアル タイム クロック書き込み (WRRTC) 命令	31	スイッチング波形	61
ハイバネート (HIBEN) 命令	32	ハードウェア STORE サイクル	62
スリープ (SLEEP) 命令	33	スイッチング波形	62
レジスタ命令	35	注文情報	63
ステータス レジスタ読み出し (RDSR) 命令	35	注文コードの定義	63
ステータス レジスタ書き込み (WRSR) 命令	35	パッケージ図	64
コンフィギュレーション レジスタ読み出し (RDCR) 命令	36	略語	65
コンフィギュレーション レジスタ書き込み (WRRCR) 命令	37	本書の表記法	65
レジスタ識別 (RDID) 命令	38	測定単位	65
レジスタ識別 (FAST_RDID) 命令	39	改訂履歴	66
シリアル番号レジスタ書き込み (WRSN) 命令	40	セールス、ソリューションおよび法律情報	67
シリアル番号レジスタ読み出し (RDSN) 命令	41	ワールドワイド販売と設計サポート	67
高速シリアル番号読み出し (FAST_RDSN) 命令	42	製品	67
不揮発性メモリ固有の命令	43	PSoC® ソリューション	67
ソフトウェア ストア (STORE) 命令	43	サイプレス開発者コミュニティ	67
		テクニカル サポート	67

ピン配置

図 1. 16 ピン SOIC ピン配置



ピン機能

ピン名	I/O タイプ	説明
NC (I/O3)	入力	未接続。シングルまたはデュアル モードでは、このピンは接続されないで、フローティングにされる。これらの 2 つのモードでは QSPI 命令をサポートしない
	入力／出力	I/O3: デバイスがクアッド モードに入っている時、NC (I/O3) ピンは I/O3 ピンになり、入力／出力として機能 SPI / DPI 命令対応のクアッド モードでは、このピンは \overline{CS} が有効になっている間はトライステートにする必要がある
V _{CCQ}	電源	デバイスの I/O の電源入力
V _{CC}	電源	デバイスのコアへの電源供給
\overline{CS}	入力	チップ セレクト: LOW にプルダウンされた時、デバイスをアクティブにする。このピンを HIGH に駆動すると、デバイスがスタンバイ モードに入る
SO (I/O1)	出力	シリアル出力: SPI を介してデータを出力するためのピン
	入力／出力	I/O1: デバイスがデュアルまたはクアッド モードに入っている時、SO(I/O1) ピンは I/O1 ピンになり、入力／出力として機能
\overline{WP} (I/O2)	入力	書き込み保護: SPI/DPI モードにハードウェア書き込み保護を実装
	入力／出力	I/O2: デバイスがクアッド モードに入っている時、 \overline{WP} (I/O2) ピンは I/O2 ピンになり、入力／出力として機能
V _{SS}	グランド	デバイスのコアと I/O への電源供給グランド
\overline{HSB}	入力／出力	ハードウェア STORE ビジー: 出力: LOW の時、nvSRAM のビジー状態を示す。各ハードウェアとソフトウェア STORE 処理の後、 \overline{HSB} は標準の出力 HIGH 電流で短時間 (t _{HHD}) HIGH に駆動されてから、内部の弱プルアップ抵抗により HIGH 状態を維持 (外部プルアップ抵抗接続は任意) 入力: このピンを外部で LOW にプルダウンすることによって開始されるハードウェア STORE
V _{CAP}	電源	AutoStore コンデンサ: SRAM から不揮発性要素にデータを STORE (格納) するため、電力喪失時に nvSRAM に電源を供給。AutoStore が不要でない場合は、このピンを未接続の状態にしなければならない。これは絶対にグランドに接続しないでください
V _{RTCbat}	電源電圧	RTC のバッテリー バックアップ
Xout	出力	水晶発振器出力の接続: RTC 機能を使用しない場合は未接続のままにする
Xin	入力	水晶発振器入力接続: RTC 機能を使用しない場合は未接続のままにする

ピン機能 (続き)

ピン名	I/O タイプ	説明
INT/SQW	出力	割り込み出力／校正／方形波：クロック アラーム、ウォッチドッグ タイマーおよび電力モニターに対応するようにプログラム可能。アクティブ HIGH (プッシュまたはプル) または LOW (オープンドレイン) のいずれにもプログラム可能。校正モードでは、512Hz 方形波が出力される。方形波モードでは、ユーザーは連続出力として使用される 1Hz、512Hz、4,096Hz、または 32,768Hz の周波数を選択することが可能。 RTC 機能を使用しない場合は未接続のままにする
SI (I/O0)	入力	シリアル入力：すべての SPI 命令とデータの入力ピン
	入力／出力	I/O0: デバイスがデュアルまたはクアッド モードに入っている時、SI(I/O0) ピンは I/O0 ピンになり、入力／出力として機能
SCK	入力	シリアル クロック：f _{SCK} までの速度で動作。シリアル入力はこのクロックの立ち上がりエッジでラッチされる。シリアル出力はクロックの立ち下がりエッジで駆動される
NC	—	未接続
RFU	—	将来使用のために予約済み

デバイスの動作

CY14V101PS は、各メモリセル内の SRAM 要素とインターリーブする SONOS FLASH 不揮発性要素を持つ 1Mビットのクアッド シリアル インターフェース nvSRAM メモリです。nvSRAM へのすべての読み出しと書き込みは SRAM に対し行われます。これにより、nvSRAM は、メモリへの無限な書き込みを処理できる独自の能力を持っています。SRAM 内のデータの安全性は、不揮発性セルにもデータを転送する STORE シーケンスによって確保されます。小容量コンデンサ (V_{CAP}) は、電源切断時に不揮発性セル内に SRAM データを AutoStore (自動格納) するために使用され、電源切断時のデータの整合性を提供します。高信頼性の SONOS 技術で設計された不揮発性セルにより、nvSRAM はデータ記憶に理想的なオプションとなります。

1Mビットのメモリアレイは 128K バイトで構成されます。メモリは、読み書き処理時にゼロサイクルの遅延を持つ最大 40MHz のクロック速度で標準 SPI インターフェース (シングルモード、デュアルモード、クアッドモード) を介してアクセスすることができます。この SPI インターフェースはまた、読み出し処理のみがサイクルレイテンシがある 108MHz での動作 (シングルモード、デュアルモード、クアッドモード) をサポートします。デバイスは SPI スレーブとして動作し、SPI モード 0 と SPI モード 3 (CPOL, CPHA = [0, 0] と [1, 1]) をサポートします。シングルモードとデュアルモードでは、すべての命令はチップセレクト (\overline{CS})、シリアル入力 (SI) (I/O0)、シリアル出力 (SO) (I/O1)、シリアルクロック (SCK) のピンを使用して実行されます。クアッドモードでは、 \overline{WP} (I/O2) と I/O3 ピンをコマンド、アドレスとデータ入力にも使用します。

デバイスは SPI オペコードを使用してメモリへアクセスします。オペコードは読み書き処理用に、SPI、デュアルデータ、デュアルアドレス/データ、デュアル I/O、クアッドデータ、クアッドアドレス/データ、およびクアッド I/O モードをサポートします。また、nvSRAM 固有の機能の使用を可能にする 4 つの専用命令も含まれています: STORE、RECALL、AutoStore ディスエーブル (ASDISB)、AutoStore イネーブル (ASENB)。

デバイスには、データセキュリティ機能を組み込んでいます。これにより、 \overline{WP} ピンと WRDI 命令それぞれを介したハードウェアとソフトウェアの書き込み保護が可能になります。さらに、メモリアレイブロックはステータスレジスタブロック保護ビットにより書き込みから保護されます。

SRAM 書き込み

nvSRAM へのすべての書き込みは SRAM セル上で行われており、SONOS FLASH 不揮発性メモリのアクセス可能サイクルを 1 つも使用することはありません。これにより、無限の書き込み動作を実行することができます。書き込みサイクルは、書き込み命令の 1 つを介して開始されます: WRITE、DIW、QIW、DIOW、QIOW。書き込み命令は書き込みオペコード、アドレス 3 バイト、およびデータ 1 バイトで構成されています。nvSRAM への書き込みは、ゼロサイクル遅延の SPI バス速度で行われます。

デバイスはバーストモード書き込みに対応しています。これにより、新しい書き込み命令を発行せずに連続したアドレスで書き込み処理を実行できます。バーストモードでメモリの最後のアドレスに到達した時、アドレスは 0x00000 に戻り、デバイスは書き込みを継続します。

SPI 書き込みサイクルシーケンスは、12 ページの「SPI 機能の説明」の読み書き命令のセクションで詳しく定義されます。

SRAM 読み出し

nvSRAM へのすべての読み出しは SRAM セルで SPI バス速度で行われます。読み出し命令 (READ) は 40MHz でゼロサイクル遅延で実行します。この命令は、読み出しオペコード バイトとそれに後続する 3 つのアドレス バイトからなります。データはデータ出力ピンで読み出されます。

40MHz より高い速度 (108MHz 以下) は高速読み出し命令を必要とします: FAST_READ、DOR、QOR、DIOR、QIOR。高速読み出し命令は高速読み出しオペコード 1 バイト、アドレス 3 バイト、1 ダミー/モード バイトで構成されています。データはデータ出力ピンで読み出されます。

デバイスはバーストモード読み出しに対応しています。これにより、新しい読み出し命令を発行せずに連続したアドレス上で読み出し処理を実行できます。バーストモードでメモリの最後のアドレスに到達した時、アドレスは 0x00000 に戻り、デバイスは読み出しを継続します。

SPI 読み出しサイクルシーケンスは、12 ページの「SPI 機能の説明」の読み書き命令のセクションで詳しく定義されます。

STORE 処理

STORE 処理は、データを SRAM から不揮発性セルへ転送します。デバイスは、次の 3 つの STORE 処理のいずれかを使用してデータを格納します: AutoStore (デバイスの電源切断時にアクティブになり、 V_{CAP} が必要)、ソフトウェア STORE (STORE 命令でアクティブになる)、ハードウェア STORE (HSB ピンでアクティブになる)。STORE サイクル中に、最初是不揮発性セルが消去され、次はプログラムされます。STORE サイクルが開始されると、デバイスへの読み書きはそのサイクルが完了するまで禁止されます。

HSB 信号またはステータスレジスタ内の WIP ビットは、STORE サイクルが実行中かを検出するためにシステムで監視することができます。nvSRAM のビジー状態は、HSB が LOW にプルされるか、または WIP ビットが「1」にセットされることで示されます。不要な不揮発性の STORE を避けるために、一番最近の STORE サイクルが実行されてから少なくとも 1 回の SRAM 書き込み処理が実行されない限り、AutoStore およびハードウェア STORE 処理が無視されます。ただし、ソフトウェアで起動された STORE サイクルは、SRAM 書き込み処理が行われたかどうかに関係なく実行されます。

AutoStore 処理

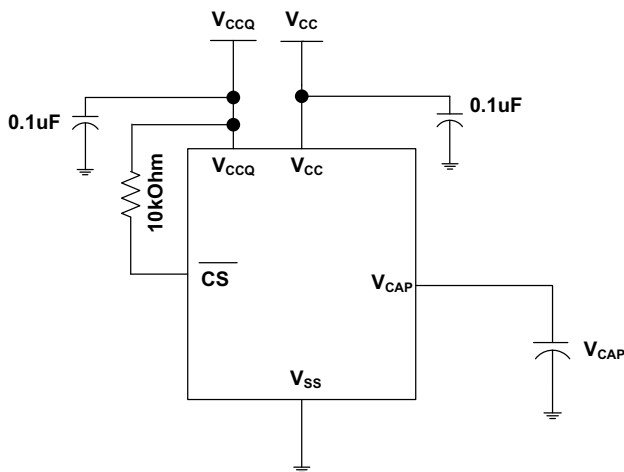
AutoStore 処理は nvSRAM 独自の機能であり、電源切断時に SRAM データを SONOS FLASH 不揮発性セルに自動的に格納します。この STORE 処理は外付けコンデンサ (V_{CAP}) を活用して、デバイスが電源切断時に不揮発性メモリへ安全にデータを保存できるようにします。

通常処理中に、デバイスは V_{CC} から電流を引き出して、 V_{CAP} ピンに接続されたコンデンサを充電します。電源切断時に V_{CC} ピンの電圧が V_{SWITCH} を下回った場合、デバイスは nvSRAM へのメモリアクセスをすべて禁止し、 V_{CAP} コンデンサからの電荷を使って自動的に STORE 処理を実行します。AutoStore 処理は、一番最近の RECALL の実行以降に書き込みサイクルが一度も実行されていない場合は起動されません。

注: コンデンサが V_{CAP} ピンに接続されていない場合、AutoStore ディスエーブル命令を発行して AutoStore を無効にする必要があります (44 ページの **Autostore ディスエーブル (ASDI) 命令**)。AutoStore が V_{CAP} ピンに接続されているコンデンサなしで有効にされた場合、デバイスは処理を完了するために十分な電荷がないまま AutoStore 処理を実行しようとします。これにより、メモリ アレイ、シリアル番号とステータスレジスタに格納されたデータが壊れてしまいます。通常の機能を再開するためにデータを更新する必要があります。

図 2 に、AutoStore 処理向けのストレージコンデンサ (V_{CAP}) の適切な接続方法を示しています。 V_{CAP} の容量については、ページ 55 を参照してください。

図 2. AutoStore モード



ソフトウェア STORE 処理

ソフトウェア STORE では命令ベースの STORE 処理が可能です。STORE 処理はその前に書き込み命令が実行されたかどうかに関係なく、STORE 命令の実行によって開始します。

STORE サイクルが完了するためには t_{STORE} の期間を要しますが、その間、nvSRAM へのすべてのメモリアクセスは禁止されます。nvSRAM のレディーまたはビジー状態を検出するために、ステータスレジスタの WIP ビット、または HSB ピンをポーリングすることができます。 t_{STORE} サイクル時間が終了した後、nvSRAM が読み出し/書き込み処理のためにレディーになります。

ハードウェア STORE 処理と HSB ピンの動作

デバイス内の \overline{HSB} ピンは STORE 処理を開始するか、または STORE / RECALL の完了ステータスをポーリングするのに使用される兼用ピンです。STORE または RECALL が進行中でない場合、HSB ピンはハードウェア STORE サイクルを開始するために LOW に駆動することができます。

HSB が LOW になると、nvSRAM は t_{DELAY} 期間後に STORE 処理を開始します。ハードウェア STORE サイクルは、最後の STORE / RECALL サイクル以降に SRAM 書き込み処理が実行された場合에만可能になります。これにより、SONOS FLASH アクセス可能サイクル数を最適化することができます。メモリへのすべての読み書きは t_{STORE} の間禁止されます。HSB ピンは、STORE / RECALL 処理中にビジー状態を示すために

内部で LOW に駆動されるオープンドレインドライバ (内部 100k Ω の弱いプルアップ抵抗) としても動作します。

注: 各ハードウェアとソフトウェア STORE 処理後、 \overline{HSB} は、標準出力 HIGH 電流で短時間 (t_{HHHD}) HIGH に駆動されてから、100k Ω の内部プルアップ抵抗により HIGH の状態を維持します。

注: 最後のデータバイトに対して STORE を正常に実行するために、ハードウェア STORE は、最後のデータビット D0 が受信されてから少なくとも 1 クロックサイクル後に開始する必要があります。

注: デバイスのスタンバイ状態でのみハードウェア STORE を実行することをお勧めします。また、Execute-in-place (XIP) を終了する必要があります。

STORE 処理が完了すると、 \overline{HSB} ピンが HIGH 状態に戻った後に nvSRAM メモリアクセスは t_{LZHSB} の間禁止されます。HSB ピンを使用しない場合は、未接続状態にしてください。

RECALL 処理

RECALL 処理は、不揮発性セルに格納されているデータを SRAM セルへ転送します。RECALL 処理は次の 2 つの方法で開始されます: ハードウェア RECALL (電源投入時に開始) およびソフトウェア RECALL (SPI RECALL 命令により開始)。

内部的に、RECALL は 2 段階の手順を踏みます。まず、SRAM データがクリアされます (「0」にセットします)。次に、不揮発性情報が SRAM セルに転送されます。RECALL サイクルの実行中、メモリアクセスはすべて禁止されます。RECALL 処理では、不揮発性要素内のデータが変更されません。

ハードウェア RECALL (電源投入)

電源投入時に V_{CC} が V_{SWITCH} を超えると、SRAM セルに不揮発性セルの内容を転送する RECALL シーケンスが自動的に開始されます。

パワーアップ RECALL サイクルが完了するまでには t_{FA} の時間がかかり、この間にメモリアクセスは無効となります。HSB ピンはデバイスのレディー状態を検出するために使用されます。

ソフトウェア RECALL

ソフトウェア RECALL では、RECALL 処理を開始して不揮発性メモリの内容を SRAM に復元できます。ソフトウェア RECALL は、RECALL 命令を使用して実行されます。

ソフトウェア RECALL が完了するには t_{RECALL} の期間を要しますが、その間は nvSRAM へのメモリアクセスは禁止されます。

AutoStore のディスエーブルとイネーブル

アプリケーションに AutoStore 機能が不要な場合、ASDI 命令により無効にすることができます。そうすると、nvSRAM は電源切断時に STORE 処理を実行しません。

AutoStore は ASEN 命令を使って再度有効にすることができます。しかし、ASEN と ASDI 処理は、不揮発性になるために STORE 処理が必要です。

注: 工場出荷時 AutoStore は有効になっており、すべてのセルに 0x00 と書き込まれています。

注: AutoStore が無効、かつ V_{CAP} が不要の場合、 V_{CAP} ピンは未接続のままにしておく必要があります。 V_{CAP} ピンは絶対にグランドに接続しないでください。パワーアップ RECALL 処理は無効にすることはできません。

クアッド シリアル ペリフェラル インターフェース

SPI 概要

SPI は、チップ セレクト (\overline{CS}) とシリアル入力 (SI)、シリアル出力 (SO)、シリアル クロック (SCK) ピンの 4 ピン インターフェースです。デバイスは SPI インターフェースを介して nvSRAM へのシリアル アクセスを提供しています。デバイスの SPI バスは、最大 108MHz の速度で動作することができます。

SPI は、メモリ アクセスにクロックとデータ ピンを使用し、データ バス上の複数デバイスをサポートする同期シリアル インターフェースです。SPI バス上のデバイスは、 \overline{CS} ピンを使用してアクティブにされます。

チップ セレクト、クロック、データの間の関係は、SPI モードによります。このデバイスは SPI モード 0 と 3 をサポートしています。この両方のモードで、 \overline{CS} がアクティブになった後の最初の SCK 立ち上がりエッジから SCK の立ち上がりエッジ毎にデータが nvSRAM にクロック入力されます。

SPI プロトコルはオペコードで制御されます。これらのオペコードは、バス マスターからスレーブ デバイスへのコマンドを指定します。 \overline{CS} がアクティブにされた後、バス マスターから最初に転送されるバイトがオペコードです。オペコードに続いて、アドレスとデータが転送されます。処理が完了した後、新しいオペコードが発行される前に、 \overline{CS} を非アクティブにする必要があります。SPI プロトコルでよく使用される用語は以下の通りです。

SPI マスター

SPI マスター デバイスは、SPI バス上の処理を制御します。SPI バスは、1 つまたは複数のスレーブ デバイスを制御するマスターを 1 つだけ持つことがあります。すべてのスレーブが同じ SPI バス ラインを共有し、マスターは自持の \overline{CS} ピンを使用してスレーブ デバイスのいずれかを選択できます。すべての処理は、マスターがスレーブの \overline{CS} ピンを LOW にプルダウンすることによってスレーブ デバイスをアクティブにすることで開始する必要があります。マスターはまた、SCK を生成し、SI と SO ライン上のすべてのデータ転送はこのクロックに同期化されます。

SPI スレーブ

SPI スレーブ デバイスは、チップ セレクト ラインを介してマスターによってアクティブにされます。スレーブ デバイスは SPI マスターからの入力として SCK を取得し、すべての通信はこのクロックと同期化されます。SPI スレーブは SPI バスでの通信を開始することではなく、これはマスターからの命令に従って機能します。

デバイスは SPI スレーブとして動作し、他の SPI スレーブ デバイスと SPI バスを共有する場合があります。

チップ セレクト (\overline{CS})

すべてのスレーブ デバイスを選択するために、マスターは対応する \overline{CS} ピンをプルダウンする必要があります。 \overline{CS} ピンが LOW の間だけ、命令をスレーブ デバイスに発行することができます。デバイスが選択されていない場合、SI ピン経由のデータは無視され、シリアル出力ピン (SO) は高インピーダンス状態のままとなります。

注: 新しい命令は \overline{CS} の立ち下がりエッジで開始する必要があります。したがって、アクティブなチップ セレクト サイクル毎に 1 つのオペコードのみが発行されます。

注: V_{CCQ} に接続した外部 10k Ω プルアップ抵抗を、 \overline{CS} ピンに接続することをお勧めします。

シリアル クロック (SCK)

シリアル クロックは SPI マスターによって生成され、 \overline{CS} が LOW になった後、通信がこのクロックと同期されます。

デバイスはデータ通信のために SPI モード 0 と 3 を有効にします。両方のモードでは、入力は SCK の立ち上がりエッジでスレーブ デバイスによってラッチされ、出力は立ち下がりエッジで発行されます。そのため、SCK の最初の立ち上がりエッジが、SPI 命令の最初のビット (MSB) が SI ピンに到着したことを意味します。さらにすべてのデータの入力と出力は SCK と同期されます。

データ転送 - SI/SO

SPI データ バスは、シリアル データ通信用に SI と SO の 2 線で構成されます。SI はマスター アウト スレーブ イン (MOSI)、SO はマスター イン スレーブ アウト (MISO) と呼ばれています。マスターは SI ピンを介してスレーブに命令を発行し、スレーブは SO ピンを介して応答します。複数のスレーブ デバイスは、前述のように SI と SO ラインを共有する場合があります。

9 ページの図 3 に示すように、デバイスにはマスターと接続することができる SI と SO 用の 2 本の独立したピンがあります。

SI 入力信号はデータをデバイスに順次転送することに使用されます。これは、プログラムされるオペコード、アドレスおよびデータを受信します。値はシリアル SCK クロック信号の立ち上がりエッジでラッチされます。拡張 SPI と DPI/QPI コマンドの実行中に SI は、書き込まれるオペコード、アドレス、データ (シリアル SCK クロック信号の立ち上がりエッジでラッチされる値) の受信、およびデータのシフトアウト (SCK の立ち下がりエッジで) のために入出力 I/O0 となります。

SO 入力信号はデータをデバイスから順次転送することに使用されます。データはシリアル SCK クロック信号の立ち下がりエッジでシフトアウトされます。拡張 SPI と DPI/QPI コマンドの実行中に SO は、プログラムされるオペコード、アドレス、データ (シリアル SCK クロック信号の立ち上がりエッジでラッチされる値) の受信、およびデータのシフトアウト (SCK の立ち下がりエッジで) のための入出力 I/O1 となります。SO ではリピーター/バス ホールド回路を実装しています。

書き込み保護 (\overline{WP})

SPI および DSPI モードでは、 \overline{WP} ピンは LOW に駆動されると、ステータス レジスタおよびそれら内のブロック保護ビットによって保護されたメモリ バイトへの書き込みを防止します。

\overline{WP} が LOW に駆動された時、WRSR コマンドの実行中、およびステータス レジスタのステータス レジスタ書き込みディスエーブル (SRWD) ビットが 1 にセットされた時、ステータスおよびコンフィギュレーション レジスタに書き込むことができません。これにより、ブロック保護 (BP2、BP1、BP0) および TBPROT ビットの変更が防止されます。結果として、WRSR コマンドの実行中に \overline{WP} が LOW であれば、ブロック保護および TBPROT ビットによって保護されたメモリ領域のすべてのデータバイトは、データ変更から保護されます。

\overline{WP} 機能はクアッド転送モードでは使用不可能です。それらのモードでは、 \overline{WP} 機能は、書き込まれる/プログラムされるオペコード、アドレス、データの受信およびデータのシフトアウトのために入出力 I/O2 と置き換えられます。 \overline{WP} は内部プルアップ抵抗に接続しており、クアッド転送モードに使用されない場合は開放のままにすることがあります。SPI モードでは、 \overline{WP} は内部 100k Ω の弱プルアップ抵抗に接続します。

NC (I/O3)

クアッド転送モードでは、NC (I/O3) ピンは書き込まれる／プログラムされるオペコード、アドレス、データの受信およびデータのシフトアウトのために入出力 I/O3 として動作します。NC (I/O3) は内部プルアップ抵抗に接続しており、クアッド転送モードに使用されない場合は開放のままにすることがあります。SPI モードでは、NC (I/O3) は内部 100kΩ の弱プルアップ抵抗に接続します。

最上位ビット (MSB)

SPI プロトコルでは、送信される最初のビットが MSB である必要があります。この方式はアドレス転送にもデータ転送にも適用されます。

1M ビット シリアル nvSRAM は、すべての読み出しまたは書き込み処理に 3 バイトのアドレスを必要とします。しかし、アドレスは 17 ビットであるため、入力された最初の 7 ビットはデバイスによって無視されることとなります。これらの 7 ビットは「ドント ケア」ですが、より高いメモリ密度へのシームレスな移行を可能にするために、これらを 0 として扱うことをサイプレスはお勧めします。

シリアル オペコード

\overline{CS} が LOW になる状態でスレーブ デバイスが選択された後、最初に受信されたバイトは、意図されている処理のオペコードとして扱われます。デバイスはメモリ アクセスに標準オペコードを使用します。メモリ アクセス以外、nvSRAM 固有の機能 (STORE、RECALL、AutoStore イネーブル、および AutoStore ディスエーブル) に追加のオペコードを提供します。詳細は、12 ページの表 2 を参照してください。

無効なオペコード

無効なオペコードが受信されるとそのオペコードは無視され、デバイスは SI ピン上にある追加のシリアル データを次の \overline{CS} の立ち下がりエッジまで無視し、SO ピンはトライステートのままとなります。

命令

コマンドを発行するためのオペコード、アドレス、モード／ダミー サイクルの組み合わせです。

モード ビット

アドレス ビットの後に続く制御ビットです。デバイスは制御ビットを使用して execute-in-place (XIP) を有効にします。これらのビットは、指定された場合、システム コントローラーによって駆動されます。

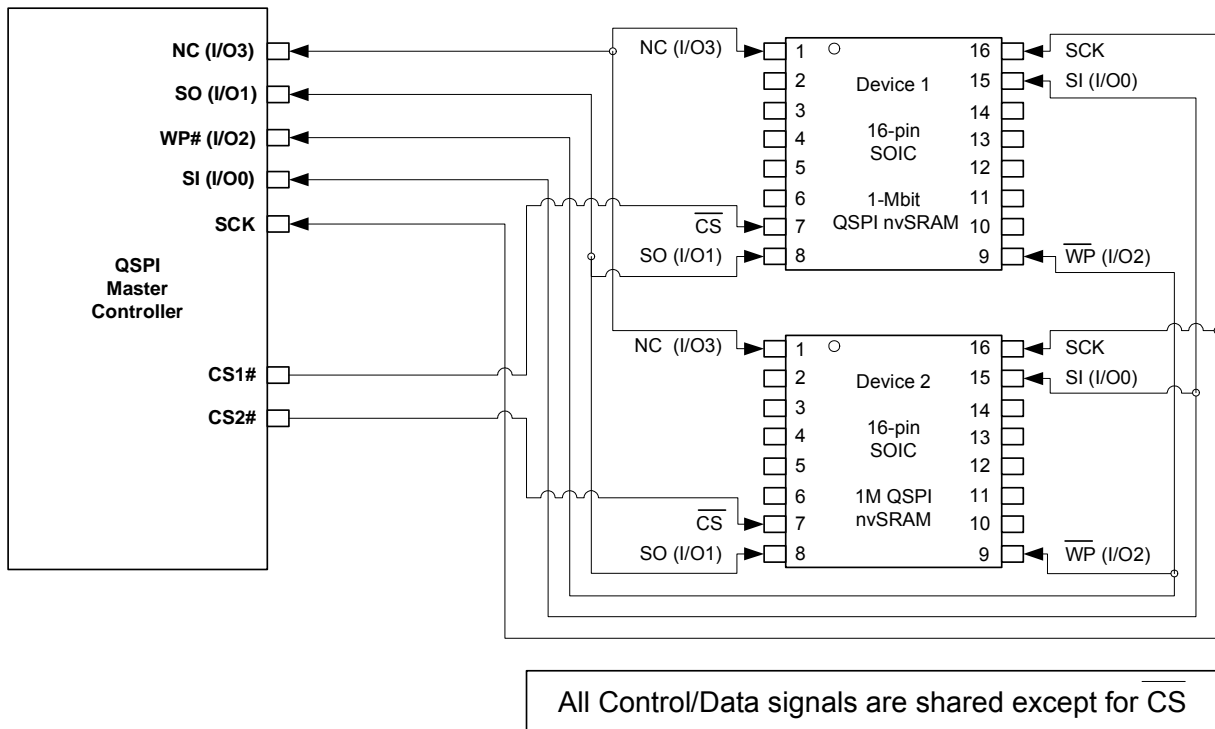
ウェイト ステート

アドレス ビットまたはオプションのモード ビットに後続する必要なダミー クロック サイクルです。

ステータス レジスタ

デバイスには、1 個の 8 ビット ステータス レジスタがあります。ステータス レジスタ内のビットは、SPI バスをコンフィギュレーションするために使用されます。これらのビットは、14 ページの表 3 と表 4 で説明されています。

図 3. 複数の 1M ビットクワッド SPI nvSRAM のデバイスを使用したシステム コンフィギュレーション



デュアルおよびクアッド I/O モード

また、デバイスはデュアルまたはクアッド I/O モードで動作するように標準 SPI ピンを再コンフィギュレーションする機能があります。

デバイスがデュアル I/O モードに入ると、SI ピンと SO ピンはオペコード、アドレス、およびデータ（デュアル I/O モード）、またはアドレスとデータの両方（デュアル アドレス/データモード）、またはデータのみ（デュアル データモード）のいずれかのために I/O0 ピンと I/O1 ピンになります。

デバイスがクアッド I/O モードに入ると、SI ピン、SO ピン、WP ピン、および NC (I/O3) ピンはオペコード、アドレス、およびデータ（クアッド I/O モード）、またはアドレスとデータの両方（クアッド アドレス/データモード）、またはデータのみ（クアッド データモード）のいずれかのためにそれぞれ I/O0 ピン、I/O1 ピン、I/O2 ピン、I/O3 ピンになります。

表 1. I/O モード

プロトコル	コマンド入力	アドレス入力	データ入出力
SPI	SI	SI	SI/SO
DPI	I/O[1:0] SO, SI	I/O[1:0] SO, SI	I/O[1:0] SO, SI
QPI	I/O[3:0] NC (I/O3), WP, SO, SI	I/O[3:0] NC (I/O3), WP, SO, SI	I/O[3:0] NC (I/O3), WP, SO, SI
デュアル データ モード (デュアル 出力)	I/O[0] SI	I/O[0] SI	I/O[1:0] SO, SI
デュアル アドレス / データ モード (デュアル入出力)	I/O[0] SI	I/O[1:0] SO, SI	I/O[1:0] SO, SI
クアッド データ モード (クアッド出力)	I/O[0] SI	I/O[0] SI	I/O[3:0] NC (I/O3), WP, SO, SI
クアッド アドレス / データ モード (クアッド入出力)	I/O[0] SI	I/O[3:0] NC (I/O3), WP, SO, SI	I/O[3:0] NC (I/O3), WP, SO, SI

詳細については、本データシートの後半に記載する読み書きタイミング図を参照してください。

SPI モード

デバイスは再コンフィギュレーションが可能です。デバイスは、SPI ペリフェラルが次の 2 つのモードのいずれかで動作しているマイクロコントローラーによって駆動することができます。

■ SPI モード 0 (CPOL = 0, CPHA = 0)

■ SPI モード 3 (CPOL = 1, CPHA = 1)

この両モードでは、入力データは、 $\overline{\text{CS}}$ がアクティブになった後最初の SCK 立ち上がりエッジから SCK 立ち上がりエッジ毎にラッチされます。クロックが HIGH 状態 (モード 3) から始まる場合は、クロックのトグル後の最初の立ち上がりエッジが選択されます。データは SCK の立ち下がりエッジで出力されます。

2 つの SPI モードは図 4 と図 5 に示されています。バス マスターがスタンバイ状態で、データを転送していないクロックの状態は以下の通りです。

■ モード 0 では、SCK が「0」のままです。

■ モード 3 では、SCK が「1」のままです。

CS ピンを LOW にすることによってデバイスが選択された時、デバイスは SCK ピンの状態から SPI モードを検出します。デバイスが選択された時、SCK ピンが LOW の場合、デバイスは SPI モード 0 で動作し、SCK ピンが HIGH の場合、SPI モード 3 で動作します。

図 4. SPI モード 0

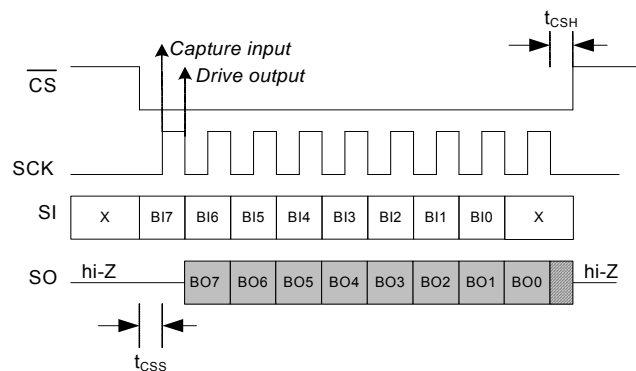
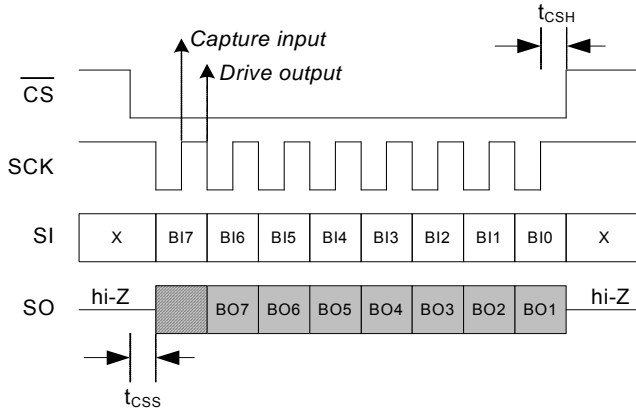


図 5. SPI モード 3



SPI 動作の特長

電源投入

電源投入は、電源がオンになっていて、 V_{CC} が V_{SWITCH} 電圧を上回る条件として定義されます。

前述のように電源投入時、nvSRAM はすべてのメモリ アクセスが無効になった t_{FA} の間でパワーアップ RECALL 処理を実行します。電源投入後、nvSRAM のレディー／ビジー状態を確認するために HSB ピンをプローブすることができます。

電源投入後のデバイス状態は以下のとおりです。

- SPI I/O モード
- HSB のブルアップ抵抗がアクティブ
- SO がトライステート
- \overline{CS} ピンが HIGH の場合はスタンバイ電力モード。 \overline{CS} ピンが LOW の場合はアクティブ電力モード
- ステータス レジスタの状態：
 - 書き込みイネーブルビットが「0」にリセットされる
 - SRWD が前回の STORE 処理後の状態のまま
 - SNL が前回の STORE 処理後の状態のまま
 - ブロック保護ビットが前回の STORE 後の状態のまま
- \overline{WP} と NC (I/O3) 機能がクアッド データ幅 (QUAD) CR[1] で定義された通り。クアッド データ幅 CR[1] が論理「0」の場合、 \overline{WP} と NC (I/O3) のブルアップ抵抗がアクティブ

電源切断

電源切断 (V_{CC} の連続減衰) 時に、 V_{CC} は通常動作電圧から低下し、 V_{SWITCH} 閾値電圧を下回ると、デバイスはそれに送られたすべての命令への応答を停止します。

電源が切断された時に、書き込みサイクルがまだ進行中で、最後のデータ ビット D0 が受信された場合は、その書き込みが完了するまで t_{DELAY} 時間は許可されています。この後は、すべてのメモリ アクセスが禁止され、AutoStore 処理が実行されます (一番最近の RECALL サイクル以降に書き込みが行われていない場合は、AutoStore は実行されません)。この機能により、電源切断時に nvSRAM への不注意な書き込みを防ぐことができます。

しかし、電源切断時の不注意な書き込みを完全に防止するために、デバイスが選択解除され、スタンバイ状態に入ったことと、 \overline{CS} が V_{CC} に印加される電圧レベルに引き上げられたことを保証する必要があります。

アクティブ電力モードおよびスタンバイ状態

\overline{CS} が LOW の時、デバイスは選択され、アクティブの電力モードになります。ページ 55 で指定されたように、デバイスは I_{CC} ($I_{CC1} + I_{CCQ1}$) 電流を消費します。 \overline{CS} が HIGH の時、デバイスは選択解除され、STORE または RECALL サイクルが進行中でなければ、スタンバイ状態に移行します。STORE/RECALL サイクルが進行中の場合、STORE または RECALL サイクルが完了した後に、デバイスはスタンバイ状態になります。

SPI 機能の説明

デバイスは 8 ビット命令レジスタを使用します。命令とそのオペコードの一覧は表 2 に示されています。すべての命令、アドレスおよびデータは \overline{CS} が HIGH から LOW へ遷移することにより転送されます。SPI 命令は、WP、NC (I/O3) および HSB ピンと共に nvSRAM 内のすべての機能の使用を可能にします。

表 2. 命令セット

命令カテゴリ	命令名	オペコード	SPI	デュアル出力	クアッド出力	デュアル入出力	クアッド入出力	DPI	QPI	最大周波数 (MHz)
制御										
書き込みディスエーブル	WRDI	04h	有	–	–	–	–	有	有	108
書き込みイネーブル	WREN	06h	有	–	–	–	–	有	有	108
DPI イネーブル	DPIEN	37h	有	–	–	–	–	–	有	108
QPI イネーブル	QPIEN	38h	有	–	–	–	–	有	–	108
SPI イネーブル	SPIEN	FFh	–	–	–	–	–	有	有	108
メモリ読み出し										
読み出し	READ	03h	有	–	–	–	–	有	有	40
高速読み出し	FAST_READ	0Bh	有	–	–	–	–	有	有	108
デュアル出力 (高速) 読み出し	DOR	3Bh	–	有	–	–	–	–	–	108
クアッド出力 (高速) 読み出し	QOR	6Bh	–	–	有	–	–	–	–	108
デュアル入出力 (高速) 読み出し	DIOR	BBh	–	–	–	有	–	–	–	108
クアッド入出力 (高速) 読み出し	QIOR	EBh	–	–	–	–	有	–	–	108
メモリの書き込み										
書き込み	WRITE	02h	有	–	–	–	–	有	有	108
デュアル入力書き込み	DIW	A2h	–	有	–	–	–	–	–	108
クアッド入力書き込み	QIW	32h	–	–	有	–	–	–	–	108
デュアル入出力書き込み	DIOW	A1h	–	–	–	有	–	–	–	108
クアッド入出力書き込み	QIOW	D2h	–	–	–	–	有	–	–	108
SR のコマンド										
ソフトウェア リセット イネーブル	RSTEN	66h	有	–	–	–	–	有	有	108
ソフトウェア リセット	RESET	99H	有	–	–	–	–	有	有	108
RTC 読み出し	RDRTC	56h	有	–	–	–	–	有	有	40
RTC 書き込み	WRRTC	55h	有	–	–	–	–	有	有	108
RTC 高速読み出し	FAST_RDRTC	57h	有	–	–	–	–	有	有	108
ハイバネート モード移行	HIBEN	BAh	有	–	–	–	–	有	有	108
スリープ モード移行	SLEEP	B9h	有	–	–	–	–	有	有	108
スリープ モード終了	EXSLP	ABh	有	–	–	–	–	有	有	108
レジスタのコマンド										
ステータス レジスタ読み出し	RDSR	05h	有	–	–	–	–	有	有	108
ステータス レジスタ書き込み	WRSR	01h	有	–	–	–	–	有	有	108

表 2. 命令セット (続き)

命令カテゴリ	命令名	オペコード	SPI	デュアル出力	クアッド出力	デュアル入出力	クアッド入出力	DPI	QPI	最大周波数 (MHz)
コンフィギュレーションレジスタ読み出し	RDCR	35h	有	—	—	—	—	有	有	108
コンフィギュレーションレジスタ書き込み	WRCR	87h	有	—	—	—	—	有	—	108
ID レジスタ読み出し	RDID	9Fh	有	—	—	—	—	有	有	40
ID レジスタ高速読み出し	FAST_RDID	9Eh	有	—	—	—	—	有	有	108
シリアル番号レジスタ書き込み	WRSN	C2h	有	—	—	—	—	有	有	108
シリアル番号レジスタ読み出し	RDSN	C3h	有	—	—	—	—	有	有	40
シリアル番号レジスタ高速読み出し	FAST_RDSN	C9h	有	—	—	—	—	有	有	108
NV 固有のコマンド										
ストア	STORE	8Ch	有	—	—	—	—	有	有	108
リコール	RECALL	8Dh	有	—	—	—	—	有	有	108
AutoStore イネーブル	ASEN	8Eh	有	—	—	—	—	有	有	108
AutoStore ディスエーブル	ASDI	8Fh	有	—	—	—	—	有	有	108
モード ビット										
モード ビット (セット、リセット)	—	Axh, not Axh	有	—	—	—	—	有	有	—

SPI 命令は、機能に基づいて以下のタイプに分類されます。

- 制御命令：
 - 書き込み保護：WREN、WRDI 命令
 - I/O モード：DPIEN、QPIEN、SPIEN
- メモリ読み出し命令：
 - メモリ アクセス：READ、FAST_READ、DOR、QOR、DIOR、QIOR
- メモリ書き込み命令：
 - メモリ アクセス：WRITE、DIW、QIW、DIOU、QIOU
- システム リソース命令：
 - ソフトウェア リセット：RSTEN、RESET
 - リアル タイム クロック：RDRTC、WRRTC、FAST_RDRTC
 - 電力モード：HIBEN、SLEEP、EXSLP
- レジスタ命令：
 - コンフィギュレーション レジスタ：RDCR、WRCR
 - ステータス レジスタ：RDSR、WRSR
 - 識別：RDID、FAST_RDID
 - シリアル番号：RDSN、WRSN、FAST_RDSN
- nvSRAM 固有の命令：
 - ストア：STORE
 - リコール：RECALL
 - イネーブル／ディスエーブル：ASEN、ASDI

注：以下の節に示す命令波形は、 \overline{WP} (I/O2)、NC (I/O3) および SO に接続されたリピーター／バス ホールド回路に対する、プルアップ抵抗の影響を含んでいません。

注：命令オペコード C5h、1Eh、C8h、CEh、CBh、CCh、CDh はサイプレスの予約済みのオペコードで、デバイスのコンフィギュレーションを変更します。これらのオペコードのいずれかが誤って入力されると、デバイスを正しいコンフィギュレーションに戻させるためにソフトウェア リセット (66h、99h) が必要になります。そうしないと、デバイスは正常に動作しません。

ステータス レジスタ

デバイスには 1 個のステータス レジスタがあります。これはビットの説明と共に表 3 に示されます。ステータス レジスタ内のビットのフォーマットは、ビットが読み出し専用 (R) か読み書きが可能である (W/R) かを示します。唯一の例外は、シリアル番号ロック ビット (SNL) です。SNL ビットが「0」である時は、シリアル番号は WRSN 命令を使用して複数回書き込むこ

とができます。「1」にセットされた場合、このビットはシリアル番号への変更を防止します。このビットは工場出荷時に「0」にプログラムされており、一度だけ書き込むことができます。このビットは「1」にセットされた後は、「0」にクリアすることはできません。

表 3. ステータス レジスタ形式およびビットの定義

ビット	フィールド名	機能	タイプ	R/W	デフォルト状態	説明
7	SRWD	ステータス レジスタ書き込みディスエーブル	NV	R/W	0	1 = \overline{WP} が LOW 時に WRSR コマンドを無視することで SR の状態をロック 0 = 保護無し (\overline{WP} が LOW になった場合を含む)
6	SNL	シリアル番号ロック	OTP	R/W	0	シリアル番号をロック
5	TBPROT	ブロックの開始を設定	NV	R/W	0	1 = BP が下位 (低いアドレス) から開始 0 = BP が上位 (高いアドレス) から開始
4	BP2	ブロック保護	NV	R/W	0	ブロックの選択した範囲を書き込み、プログラムまたは消去から保護
3	BP1		NV	R/W	0	
2	BP0		NV	R/W	0	
1	WEL	書き込みイネーブル ラッチ	V	R	0	1 = デバイスがレジスタ書き込み (WRSR)、書き込み、プログラムまたは消去コマンドを受け入れる 0 = デバイスがレジスタ書き込み (WRSR)、書き込み、プログラムまたは消去コマンドを無視 このビットは WRSR から影響されず、WREN と WRDI コマンドのみから影響を受ける
0	WIP	動作中	V	R	0	1 = デバイス ビジー (レジスタ書き込み (WRSR)、プログラム、消去または他の処理が進行中) 0 = レディ デバイスはスタンバイ状態にあり、コマンドを受け入れることが可能

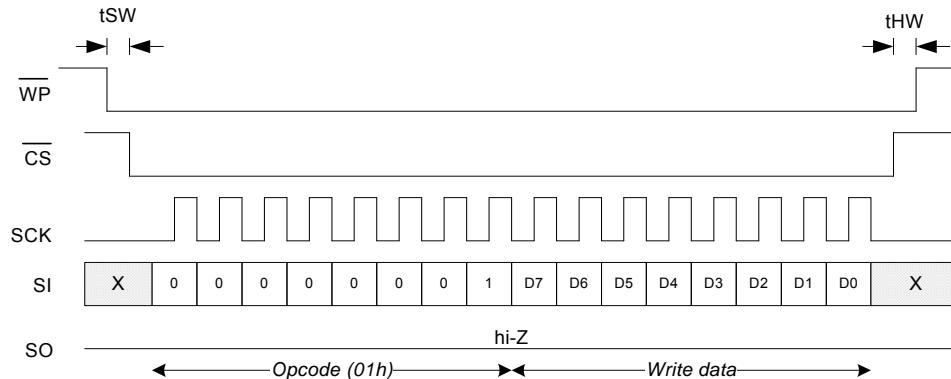
ステータス レジスタ書き込みディスエーブル (SRWD) SR[7]
このビットが「1」にセットされ、 \overline{WP} 入力 LOW に駆動されると、デバイスはハードウェア保護モードに入ります。このモードでは、WEL 以外のすべての SRWD ビットは読み出し専用ビットになり、レジスタ書き込み (WRSR) コマンドは実行できなくなります。WP が HIGH の場合、SRWD ビットは WRSR コマンドで変更されることがあります。SRWD が「0」の場合 WP は何の影響も与えず、SRWD ビットは WRSR コマンドで変更されることがあります。

注: コンフィギュレーションレジスタのクアッドビット CR[1] がセットされた場合、WP は内部的にデフォルトで論理「0」となります。SRWD が論理「1」にセットされると、クアッドビット CR[1] が論理「0」にリセットされるまで保護は変更できません。

表 4. SRWD、 \overline{WP} 、WEL および保護

SRWD	\overline{WP}	WEL	保護ブロック	非保護ブロック	ステータス レジスタ (WEL を除く)
X	X	0	保護	保護	保護
0	X	1	保護	書き込み可能	書き込み可能
1	LOW	1	保護	書き込み可能	保護
1	HIGH	1	保護	書き込み可能	書き込み可能

注: \overline{WP} は書き込みレジスタ命令中にハードウェア保護が有効になったかを確定するために CS に応じてサンプリングされます。タイミング波形を図 6 に示します。

図 6. \overline{CS} に応じた \overline{WP}


シリアル番号ロック (SNL) SR[6]

「1」にセットされた場合、このビットはシリアル番号への変更を防止します。このビットは工場出荷時に「0」にプログラムされており、一度だけ書き込むことができます。このビットは「1」にセットされた後は、「0」にクリアすることはできません。

上位と下位アレイの保護 (TBPROT) CR[5]

このビットはブロック保護ビット BP2、BP1、BP0 の動作を定義します。TBPROT の所望の状態は、システム製造時のデバイスの初期設定時に選択する必要があります。

ブロック保護 (BP2、BP1、BP0) SR[4:2]

これらのビットは書き込みコマンドに対してソフトウェア保護されるメモリ アレイ領域を定義します。BP ビットは不揮発性です。1 つ以上の BP ビットが「1」にセットされると、該当するメモリ領域は書き込み、プログラム、消去から保護されます。

ブロック保護ビット (ステータスレジスタのビット BP2、BP1、BP0) は、TBPROT と組み合わせて、メモリ アレイの 1 つのアドレス範囲を保護するために使用できます。範囲のサイズは BP ビットの値で決定され、範囲の上位と下位のスタートポイントはステータスレジスタの TBPROT ビットで選択されます。

表 5. 上位保護アレイのスタートポイント (TBPROT = 0)

ステータスレジスタの内容			メモリアレイの保護部分	アドレス範囲
BP2	BP1	BP0		
0	0	0	無し	無し
0	0	1	上位 64 番目の部分	0x1F800 ~ 0x1FFFF
0	1	0	上位 32 番目の部分	0x1F000 ~ 0x1FFFF
0	1	1	上位 16 番目の部分	0x1E000 ~ 0x1FFFF
1	0	0	上位 8 番目の部分	0x1C000 ~ 0x1FFFF
1	0	1	上位 4 番目の部分	0x18000 ~ 0x1FFFF
1	1	0	上位半分	0x10000 ~ 0x1FFFF
1	1	1	すべてのセクター	0x00000 ~ 0x1FFFF

表 6. 下位保護アレイのスタートポイント (TBPROT = 1)

ステータスレジスタの内容			メモリアレイの保護部分	アドレス範囲
BP2	BP1	BP0		
0	0	0	無し	無し
0	0	1	下位 64 番目の部分	0x00000 ~ 0x007FFF
0	1	0	下位 32 番目の部分	0x00000 ~ 0x00FFFF
0	1	1	下位 16 番目の部分	0x00000 ~ 0x01FFFF
1	0	0	下位 8 番目の部分	0x00000 ~ 0x03FFFF
1	0	1	下位 4 番目の部分	0x00000 ~ 0x07FFFF
1	1	0	下位半分	0x00000 ~ 0x0FFFFF
1	1	1	すべてのセクター	0x00000 ~ 0x1FFFFF

書き込みイネーブル (WEL) SR[1]

メモリまたはレジスタ値への不注意な変更に対する保護手段としてプログラム、書き込みまたは消去処理を可能にするために、WEL ビットを「1」にセットする必要があります。書き込みイネーブル (WREN) コマンドを実行すると、書き込みイネーブル ラッチを「1」に設定し、その後のすべての書き込みコマンドの実行を許可します。すべての書き込みコマンドを実行しないようにするために書き込みディスエーブル (WRDI) コマンドで書き込みイネーブル ラッチを「0」にセットします。WEL ビットは、レジスタへの書き込み、STORE、RECALL、プログラムまたは消去処理が正常に終了する時に「0」にクリアされます。メモリ マクロへの書き込み処理後にはクリアされないことに注意してください。電源切断／電源投入シーケンス、ハードウェアリセットまたはソフトウェアリセットの後、書き込みイネーブル ラッチは「0」にセットされます。WRSR コマンドはこのビットには影響しません。

注：AutoStore、パワーアップ RECALL およびハードウェア STORE (HSB ベース) は WEL ビットに影響されません。

表 7. WEL ビットをセットすることを必要とする命令

命令の説明	命令名	オペコード
メモリの書き込み		
書き込み	WRITE	02h
デュアル入力書き込み	DIW	A2h
クアッド入力書き込み	QIW	32h
デュアル入出力書き込み	DIOW	A1h
クアッド入出力書き込み	QIOW	D2h
レジスタのコマンド		
ステータス レジスタ書き込み	WRSR	01h
コンフィギュレーション レジスタ書き込み	WRRCR	87h
シリアル番号レジスタ書き込み	WRSN	C2h
NV 固有のコマンド		
ストア	STORE	8Ch
リコール	RECALL	8Dh
AutoStore イネーブル	ASEN	8Eh
AutoStore ディスエーブル	ASDI	8Fh

表 8. コンフィギュレーション レジスタ

ビット	フィールド名	機能	タイプ	R/W	デフォルト状態	説明
7	RFU	予約済み	—	R/W	0	将来に使用するために予約済み
6	RFU	予約済み	—	R/W	1	将来に使用するために予約済み
5	RFU	予約済み	—	—	0	将来に使用するために予約済み
4	RFU	予約済み	—	—	0	将来に使用するために予約済み
3	RFU	予約済み	—	—	0	将来に使用するために予約済み
2	RFU	予約済み	—	—	0	将来に使用するために予約済み
1	クアッド	デバイスをクアッド モードに移行させる	NV	R/W	0	1 = クアッド ; 0 = デュアルまたはシリアル
0	RFU	予約済み	—	—	0	将来に使用するために予約済み

実行中 (WIP) SR[0]

デバイスがプログラム、書き込み、消去処理、またはその他の処理を実行しているかを示します。この間に新しい処理コマンドは無視されます。ビットが「1」にセットされると、デバイスはバックグラウンド処理の実行でビジーになっていることを示します。WIP が「1」になっている時、読み出しステータス (RDSR) コマンドが受け付けられます。WIP ビットが「0」にクリアされた時、進行中の処理はありません。これは読み出し専用ビットです。

ステータス レジスタに書き込まれたすべての値は、STORE 処理が完了した後にのみ不揮発性メモリに保存されます。AutoStore が無効になると、ステータス レジスタへの変更はソフトウェア STORE 処理を実行して確保する必要があります。

ハードウェア Store は SRAM への書き込みがある場合にのみ不揮発性メモリにステータス レジスタの値をコミットします。

コンフィギュレーション レジスタ

QPI nvSRAM には 1 個のコンフィギュレーション レジスタがあります。これはビットの説明と共に表 8 に示されます。コンフィギュレーション レジスタ内のビットの形式は、ビットが読み出し専用 (R) か読み書きが可能である (W/R) かを示します。コンフィギュレーション レジスタはインターフェース機能を制御します。

クアッド データ幅 (QUAD) CR[1]

「1」にセットされると、このビットはデバイスのデータ幅を4ビットに切り替え、すなわち、WP は I/O2 に、NC (I/O3) は I/O3 になります。WP 入力の通常機能は監視されず、この信号は内部でアクティブにセットされます。シリアル、デュアル出力およびデュアル I/O 読み出しのコマンドは正常に動作しますが、異なるデータ パス幅を使ってコマンドを切り替える際はコマンドのために WP 入力を駆動する必要がありません。クアッド出力読み出し、クアッド I/O 読み出し、クアッド入力書き込み、クアッド I/O 書き込みおよびすべてのクアッド SPI コマンドを使用する際、クアッド ビットを「1」にセットする必要があります。クアッド ビットは不揮発性です。

注：クアッド ビットをセットするために、コンフィギュレーション レジスタに 0x42 を書き込みます。同様に、クアッド ビットをリセットするために、コンフィギュレーション レジスタに 0x40 を書き込みます。他のすべてのデータ組み合わせはデバイスのコンフィギュレーションを変更し、デバイスを使用不可能にします。

注：コンフィギュレーション レジスタのクアッド ビット CR[1] がセットされた場合、WP は内部的にデフォルトで論理「0」となります。

注：コンフィギュレーション レジスタに書き込まれた値は、STORE 処理が完了した後にのみ不揮発性メモリに保存されます。AutoStore が無効になると、コンフィギュレーション レジスタへの変更はソフトウェア STORE 処理を実行して確保する必要があります。ハードウェア Store は SRAM への書き込みがある場合にのみ不揮発性メモリにコンフィギュレーション レジスタの値をコミットします。

SPI 制御命令

書き込みディスエーブル (WRDI) 命令

不注意による書き込みからデバイスを保護するために、書き込みディスエーブル命令で WEL ビットを「0」にクリアして、すべての書き込みを無効にします。この命令は CS の立ち下がりエッジ後に発行され、その後に WRDI 命令のオペコードが続きます。WEL ビットは CS の立ち上がりエッジでクリアされます。

図 7. SPI モード時の WRDI 命令

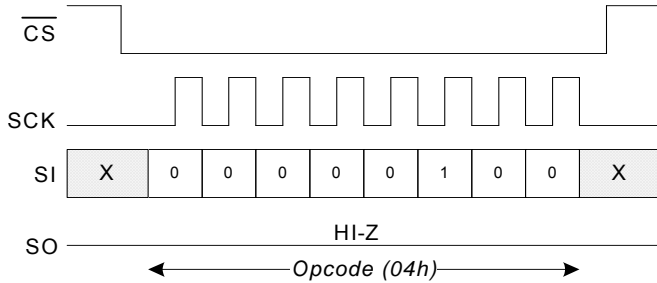


図 8. DPI モード時の WRDI 命令

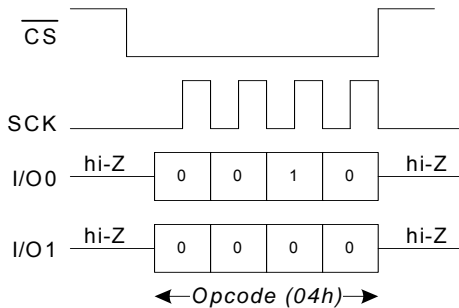
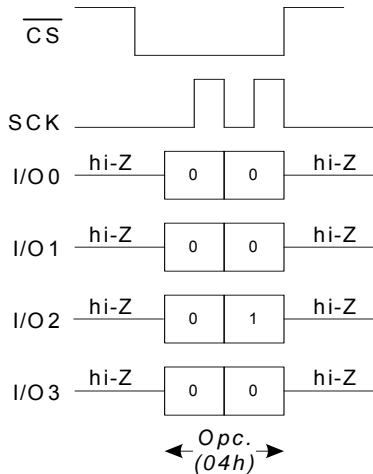


図 9. QPI モード時の WRDI 命令



書き込みイネーブル (WREN) 命令

電源投入時、デバイスは常に書き込みディスエーブル状態にあります。したがって、書き込み命令と nvSRAM 固有の命令を実行したい場合、書き込みイネーブル命令を先立って発行する必要があります。デバイスは書き込み可能になっていない (WEL = 「0」) 場合は、書き込み命令を無視し、CS が HIGH になるとスタンバイ状態に戻ります。この命令は、CS の立ち下がりエッジの後に発行され、WEL ビットを「1」にセットします。電源投入時、このビットはデフォルトで「0」にセットされています。

注：WEL ビットはレジスタへの正常の書き込み、STORE、RECALL、ASEN および ASDIO の終了時に、「0」にクリアされます。メモリ マクロへの書き込み後にはクリアされません。

図 10. SPI モード時の WREN 命令

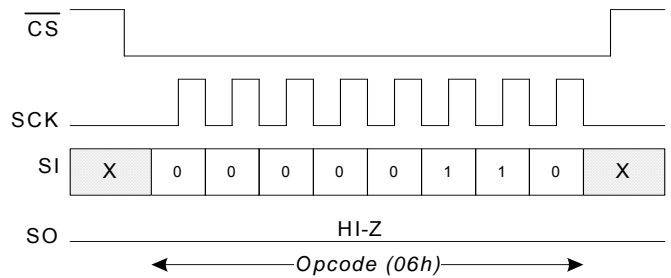


図 11. DPI モード時の WREN 命令

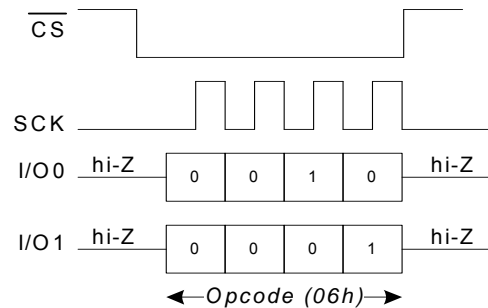
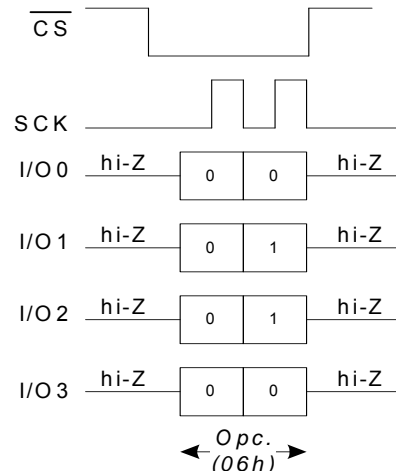


図 12. QPI モード時の WREN 命令



DPI イネーブル (DPIEN) 命令

DPIEN でオペコード、アドレス、モード ビットおよびデータが I/O0 と I/O1 経由で送信されるデュアル I/O モードを有効にします。

図 13. SPI モード時のデュアル I/O イネーブル命令

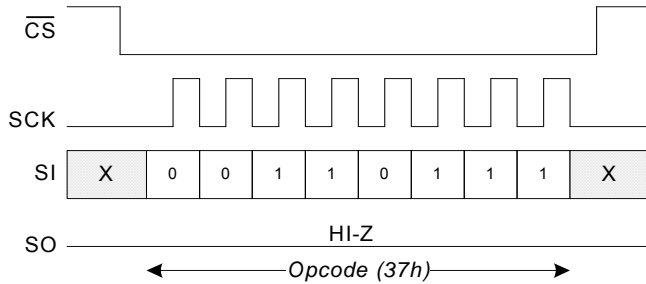
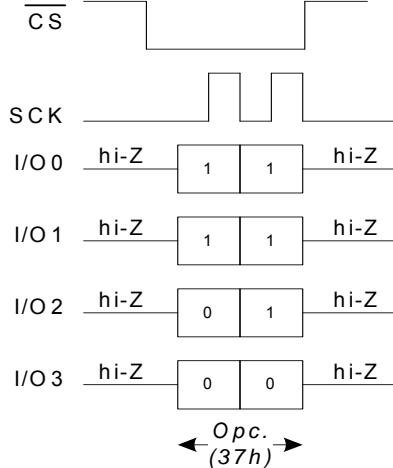


図 14. QPI モード時のデュアル I/O イネーブル命令



QPI イネーブル (QPIEN) 命令

QPIEN でオペコード、アドレス、ダミー/モード ビットおよびデータが I/O0、I/O1、I/O2、I/O3 経由で送信される QPI モードを有効にします。QPIEN 命令はコンフィギュレーション レジスタのクアッド ビット CR[1] をセットしません。WRCR 命令はクアッド ビット CR[1] をセットするために、QPIEN 命令を開始する必要があります。

注: QPI モードを無効にしてもクアッド ビット CR[1] がリセットされません。

図 15. SPI モード時のクアッド I/O イネーブル命令

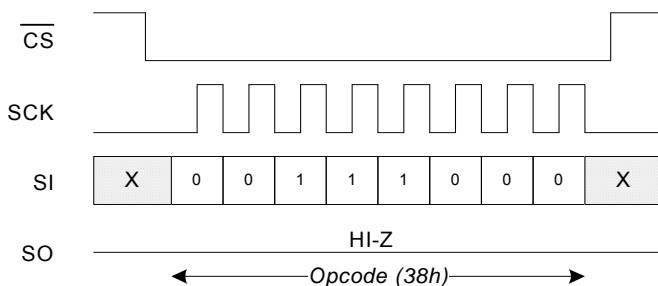
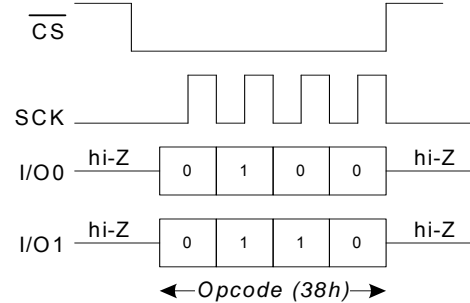


図 16. DPI モード時のクアッド I/O イネーブル命令



SPI イネーブル (SPIEN) 命令

SPIEN はデュアル I/O またはクアッド I/O モードを無効にし、デバイスを SPI モードに戻させます。SPIEN 命令はコンフィギュレーション レジスタのクアッド ビット CR[1] をリセットしません。

図 17. DPI モード時の SPI イネーブル命令

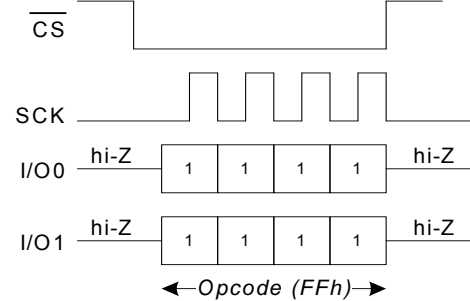
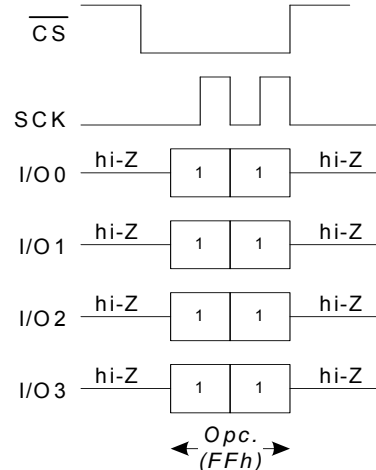


図 18. QPI モード時の SPI イネーブル命令



SPI メモリ読み出し命令

読み出し命令でメモリ アレイにアクセスします。STORE または RECALL サイクルが進行中の場合、これらの命令を使用することはできません。STORE サイクルの進行中状態は、ステータスレジスタの WIP ビットおよび HSB ピンによって示されます。

読み出し命令

デバイスは読み出し命令オペコードが SI ピンに提供されると読み出し処理を実行し、読み出しデータを SO ピン (SPI モード時)、または I/O1、I/O0 ピン (デュアル I/O モード時)、または I/O3、I/O2、I/O1、I/O0 ピン (クアッド I/O モード時) を介して供給します。デバイスを選択するために CS ピンが LOW にプルダウンされると、読み出しオペコードが入力され、その後 3 アドレス バイトが続きます。デバイスは 1M ビット コンフィギュレーションのために 17 ビットのアドレス空間が用意されています。

最上位アドレス バイトはビット 0 に A16 が含まれており、他のビットは「ドント ケア」です。アドレス ビット A15 ~ A0 が次の 2 つのアドレス バイトで送信されます。最後のアドレス ビットが送信された後、特定のアドレス位置のデータ (D7 ~ D0) は D7 から SCK の立ち下がりエッジでシフトアウトされます。CS が LOW に保持されている場合、読み出しはバーストモードで実行することができます。

各データ バイトが出力された後、デバイスが次の上位アドレスに自動的にインクリメントします。最後のデータ メモリ アドレス (0x1FFFF) に到達すると、アドレスは 0x00000 に戻り、デバイスは読み出し命令を継続します。読み出し処理は、データ出力中の任意の時点で CS を HIGH に駆動することで終了します。

注：読み出し命令は最大 40MHz までの周波数で実行します。デュアルおよびクアッドの I/O モードでは、アドレス バイト出力の後にダミー サイクルが必要です。これにより、デバイスは

最初のバイトをプリフェッチし、パイプライン流れを開始することができます。

読み出し (READ) 命令

READ 命令は SPI、デュアル I/O (DPI)、またはクアッド I/O (QPI) モードで使用できます。SPI モードでは、オペコードとアドレス バイトは SI ピンを介してクロック サイクル毎に 1 ビット送信されます。最後のアドレス サイクルの SCK の立ち下がりエッジで、特定のアドレス位置のデータ (D7 ~ D0) は SO ピンを介して D7 からクロック サイクル毎に 1 ビットシフトアウトされます。

DPI モードでは、オペコードとアドレス バイトは I/O1 と I/O0 ピンを介してクロック サイクル毎に 2 ビット送信されます。最後のアドレス サイクルの SCK の立ち下がりエッジで、特定のアドレス位置のデータ (D7 ~ D0) は I/O1 ピンを介して D7、I/O0 を介して D6 からクロック サイクル毎に 2 ビットシフトアウトされます。QPI モードでは、オペコードとアドレス バイトは I/O3、I/O2、I/O1、I/O0 ピンを介してクロック サイクル毎に 4 ビット送信されます。最後のアドレス サイクルの SCK の立ち下がりエッジで、特定のアドレス位置のデータ (D7 ~ D0) は I/O3 ピンを介して D7、I/O2 を介して D6、I/O1 を介して D5、I/O0 を介して D4 からクロック サイクル毎に 4 ビットシフトアウトされます。

図 19. SPI モード時の READ 命令

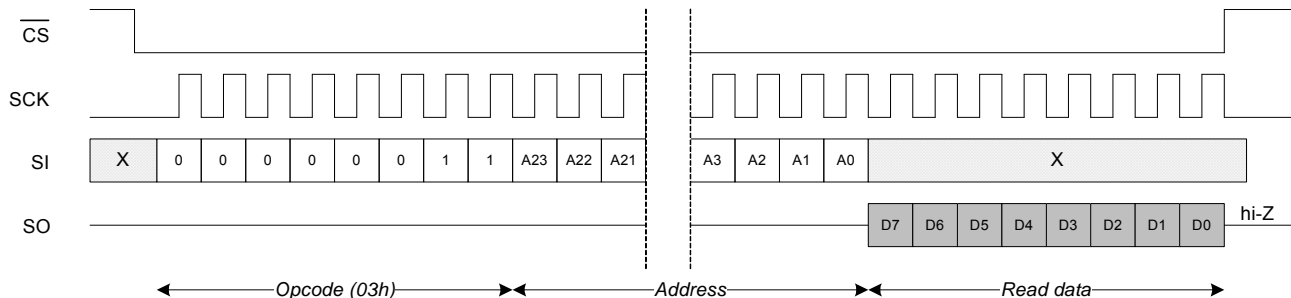


図 20. SPI モード時のバースト モード READ 命令

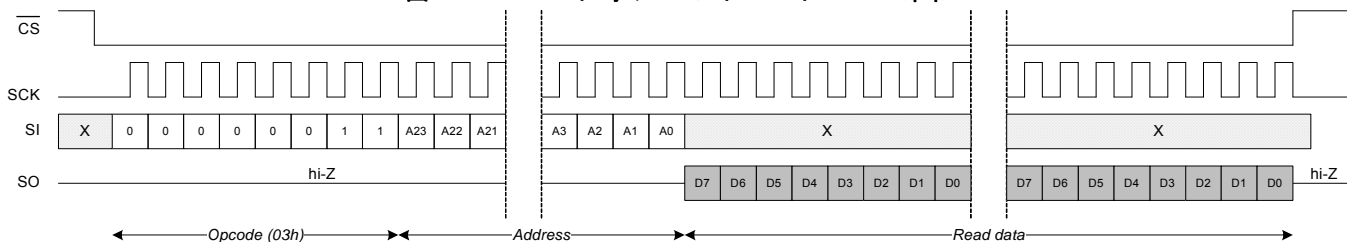


図 21. DPI モード時の READ 命令

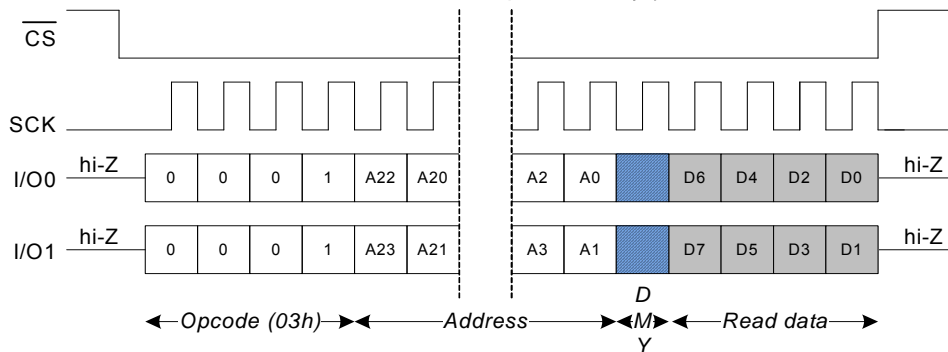
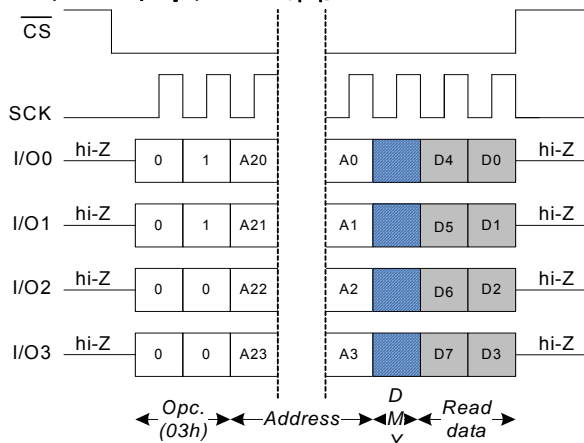


図 22. QPI モード時の READ 命令



注：QPI モードでは、READ 命令を実行する前にクアドビット CR[1] を論理「1」にする必要があります。

高速読み出し命令

高速読み出し命令により、最大 108MHz (Max) までの SPI 速度でメモリを読み出すことができます。この命令は、すべての I/O コンフィギュレーションにはウェイト ステートが加えられた通常の読み出し命令と同様で、モード バイトがアドレスの後、最初のデータが送信される前に送信されなければなりません。これにより、デバイスは最初のバイトをプリフェッチし、パイプライン流れを開始することができます。ホスト システムは、最初に CS を LOW に駆動することでデバイスを選択する必要があります。それから 3 アドレス バイトと、最後はモード バイトを送信します。SCK の次の立ち下がりエッジで、特定のアドレス位置からのデータは、SPI モードでは SO ピンを介して、デュアル I/O モードでは I/O1、I/O0 ピンを介して、クアド I/O モー

ドでは I/O3、I/O2、I/O1、I/O0 ピンを介してシフトアウトされます。指定される最初のバイトは、どの位置でもかまいません。各データ バイトが出力された後、デバイスが次の上位アドレスに自動的にインクリメントします。したがって、メモリ アレイ全体を 1 つの FAST_READ 命令で読み出すことができます。メモリ アレイの最上位アドレスに到達すると、アドレス カウンターは開始アドレス 0x00000 に戻り、読み出しシーケンスが永久に続行することを可能にします。高速読み出し命令は、データ出力中の任意の時点で CS を HIGH に駆動して終了します。

注：これらの命令は最大 108MHz までの SPI 周波数で動作します。

高速読み出し (FAST_READ) 命令

FAST_READ 命令は、SPI、デュアル I/O (DPI)、またはクアド I/O (QPI) モードで使用できます。SPI モードでは、オペコード、アドレスおよびモード バイトは SI ピンを介してクロック サイクル毎に 1 ビット送信されます。最後のモード バイト サイクルの SCK の立ち下がりエッジで、特定のアドレス位置のデータ (D7 ~ D0) は SO ピンを介して D7 からクロック サイクル毎に 1 ビットシフトアウトされます。DPI モードでは、オペコードとモード バイトは I/O1 と I/O0 ピンを介してクロック サイクル毎に 2 ビット送信されます。最後のモード サイクルの立ち下がりエッジで、特定のアドレス位置のデータ (D7 ~ D0) は、I/O1 ピンを介して D7、I/O0 を介して D6 からクロック サイクル毎に 2 ビットシフトアウトされます。QPIO モードでは、オペコードとアドレス バイトは I/O3、I/O2、I/O1、I/O0 ピンを介してクロック サイクル毎に 4 ビット送信されます。最後のモード サイクルの SCK の立ち下がりエッジで、特定のアドレス位置のデータ (D7 ~ D0) は、I/O3 を介して D7、I/O2 を介して D6、I/O1 を介して D5、I/O0 を介して D4 からクロック サイクル毎に 4 ビットシフトアウトされます。

図 23. SPI モード時の FAST_READ 命令

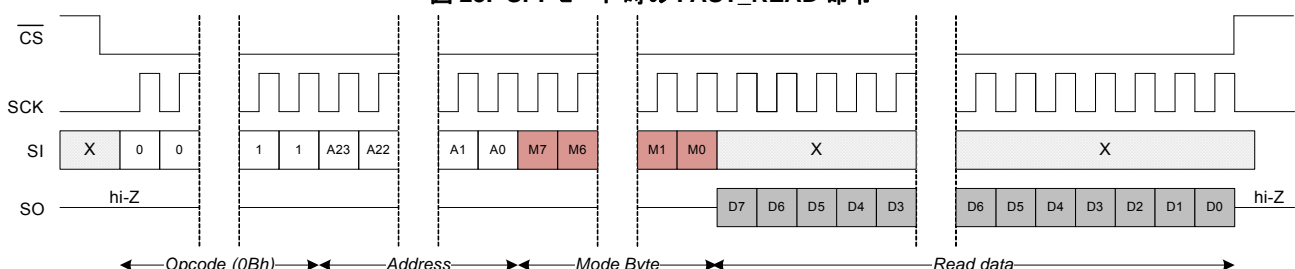


図 24. DPI モード時の FAST_READ 命令

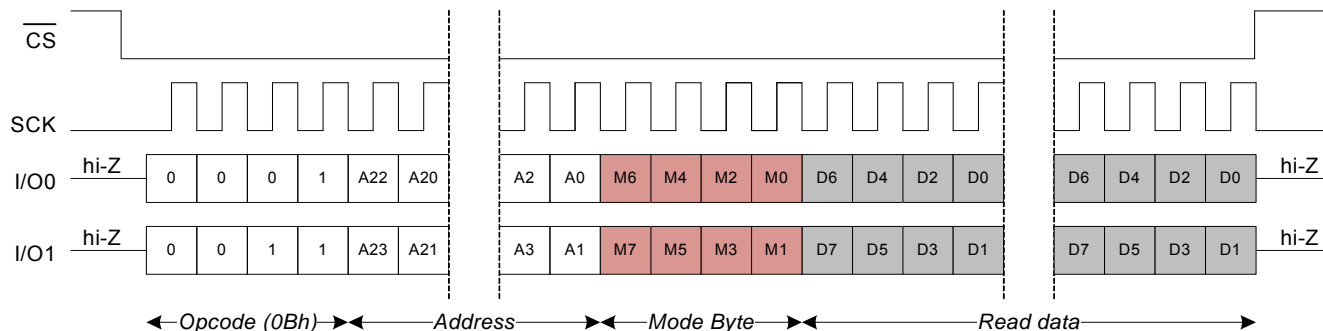
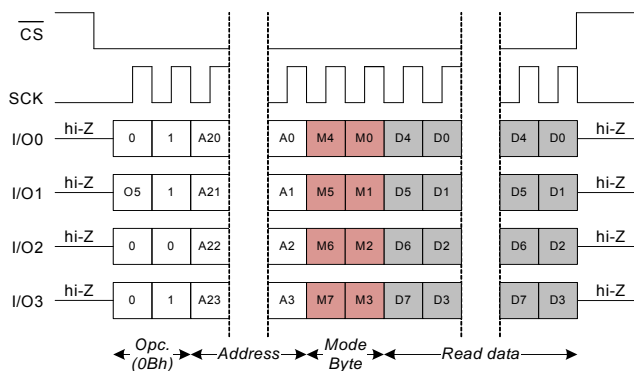


図 25. QPI モード時の FAST_READ 命令



DOR 命令

DOR 命令は拡張 SPI 読み出しコマンドの一部で、デュアル データ モードで使用されます。デュアル データ モードでは、オペコード、アドレスおよびモード バイトは SI ピンを介してクロック サイクル毎に 1 ビット送信されます。最後のモード サイクルの SCK の立ち下がりがエッジでは、SO が I/O1、SI が I/O0 に再コンフィギュレーションされます。特定のアドレス位置のデータ (D7 ~ D0) は、I/O1 を介して D7、I/O0 を介して D6 からクロック サイクル毎に 2 ビット シフトアウトされます。

QOR 命令

QOR 命令は拡張 SPI 読み出しコマンドの一部で、クアッド データ モードで使用されます。クアッド データ モードでは、オペコード、アドレスおよびモード バイトは SI ピンを介してクロック サイクル毎に 1 ビット送信されます。最後のモード サイクルの SCK の立ち下がりがエッジでは、NC が I/O3、WP が I/O2、SO が I/O1、SI が I/O0 に再コンフィギュレーションされます。特定のアドレス位置のデータ (D7 ~ D0) は I/O3 を介して D7、I/O2 を介して D6、I/O1 を介して D5、I/O0 を介して D4 からクロック サイクル毎に 4 ビット シフトアウトされます。

注: QOR 命令を実行する前にクアッド ビット CR[1] を論理「1」にする必要があります。

図 26. DOR 命令

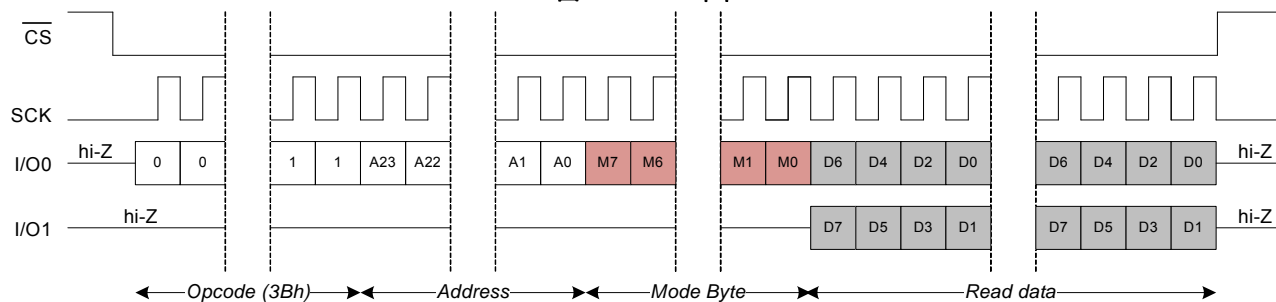
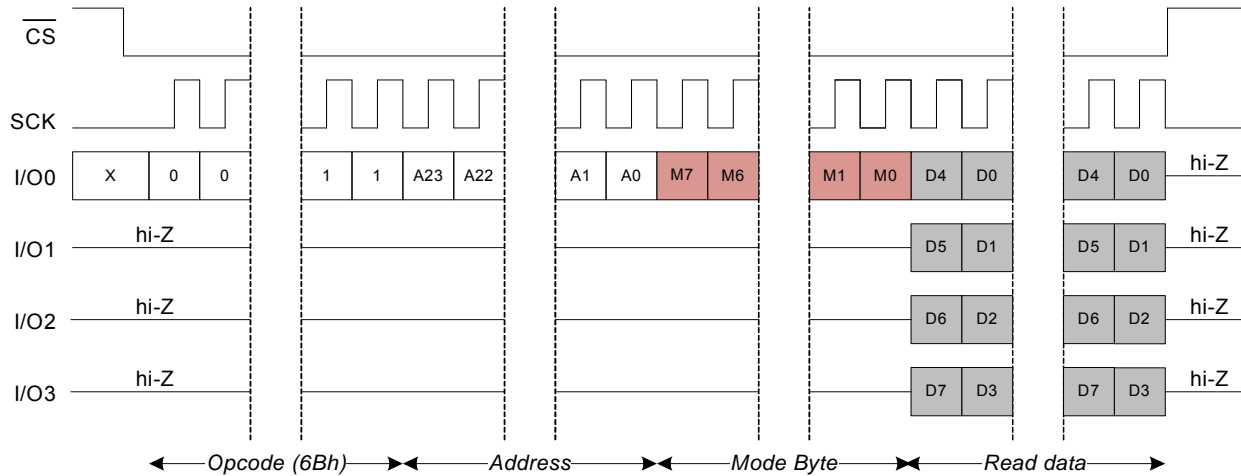


図 27. QOR 命令

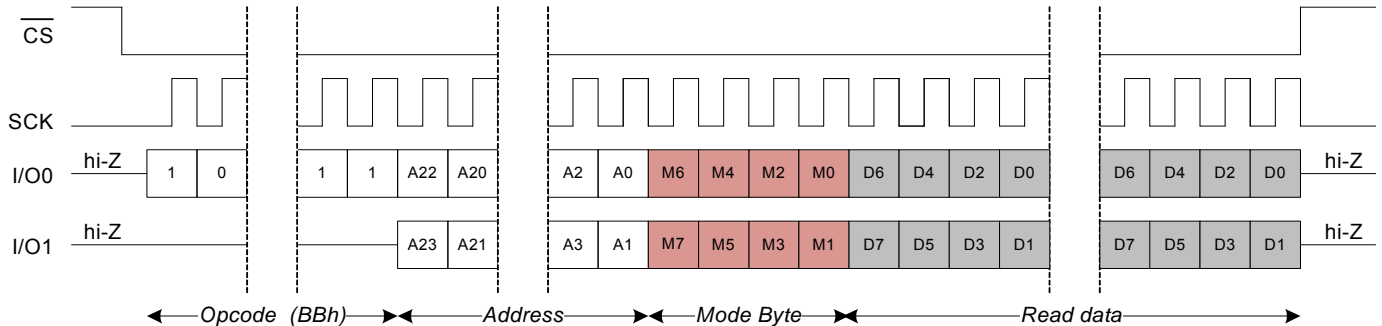


DIOR 命令

DOR 命令は拡張 SPI 読み出しコマンドの一部で、デュアル アドレス/データ モードで使用されます。デュアル アドレス/データ モードでは、オペコードは SI ピンを介してクロック サイクル毎に 1 ビット送信されます。オペコードの最後のビットが送信された後、SO ピンが I/O1、SI が I/O0 に再コンフィギュレーションされます。その後、3 アドレス バイトが入力される

までアドレスはデバイスに I/O1、I/O0 ピン経由で、I/O1 を介して A23、I/O0 を介して A22 からクロックサイクル毎に 2 ビット送信されます。特定のアドレス位置のデータ (D7 ~ D0) は I/O1 を介して D7 から、I/O0 を介して D6 からクロック サイクル毎に 2 ビット シフトアウトされます。

図 28. DIOR 命令

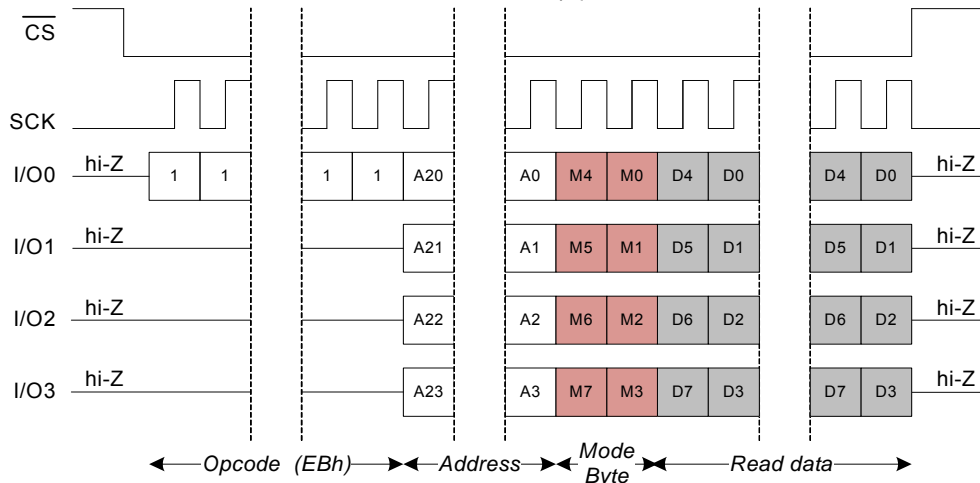


QIOR 命令

QIOR 命令は拡張 SPI 読み出しコマンドの一部で、クアッド アドレス/データ モードで使用されます。クアッド アドレス/データ モードでは、オペコードは SI ピンを介してクロック サイクル毎に 1 ビット送信されます。オペコードの最後のビットが送信された後、NC が I/O3 に、WP が I/O2、SO が I/O1、SI が I/O0 に再コンフィギュレーションされます。その後、3 アドレス バイトが入力されるまでアドレスはデバイスに I/O3、I/O2、I/O1、I/O0 ピン経由で、I/O3 を介して A23、I/O2 を介して A22、I/O1 を介して A21、I/O0 を介して A20 からクロック サイクル毎に 4 ビット送信されます。特定のアドレス位置のデータ (D7 ~ D0) は I/O3 を介して D7、I/O2 を介して D6、I/O1 を介して D5、I/O0 を介して D4 からクロック サイクル毎に 4 ビット シフトアウトされます。

注：QIOR 命令を実行する前にクアッド ビット CR[1] を論理「1」にする必要があります。

図 29. QIOR 命令



書き込み命令

デバイスは、読み出し命令オペコードと書き込みデータが SI ピン (SPI モード時)、または I/O1、I/O0 ピン (デュアル I/O モード時)、I/O3、I/O2、I/O1、I/O0 ピン (クアド I/O モード時) を介して供給される時に書き込み処理を実行します。デバイスは書き込みが無効である場合、書き込み処理を実行するには、まず WREN 命令を使用して書き込みを有効にする必要があります。書き込みが有効である場合 (WEL=「1」)、WRITE 命令は CS の立ち下がりがエッジの後に発行されます。nvSRAM は書き込みがバーストで実行することを可能にします。この時、さらなる書き込み命令を発行せず、アドレスを連続して書き込むことができます。1 バイトだけが書き込まれる場合、D0 (データの LSB) が送信された後、CS ピンを HIGH に駆動する必要があります。しかし、より多くのバイトが書き込まれる場合は、CS ピンを LOW に維持しなければなりません。この時、アドレスは自動的にインクリメントされます。入力ピン上のデータバイトが連続するアドレスに書き込まれます。最後のデータメモリ アドレス (0x1FFFF) に到達すると、アドレスは 0x00000 に戻り、デバイスは書き込みを続けます。

注: ステータスレジスタの WEL ビットは、メモリ アレイへの書き込みシーケンスの終了時に「0」にリセットされません。

注: バースト書き込みが保護されたブロックアドレスに到達すると、保護された空間へのアドレスのインクリメントを続けますが、保護されたメモリにデータを書き込みません。アドレスがロールオーバーし、保護されていない空間に対しバースト書き込みを実行する場合、書き込みが再開されます。バースト書き込みが書き込み保護されたブロック内で開始された場合、同じ処理は行われます。

注: これらの命令は最大 108MHz までの周波数で動作します。

デバイスを選択するために CS ピンを LOW にプルダウンすると、書き込みオペコードとそれに後続する 3 アドレス バイトが入力されます。デバイスは 1M ビット コンフィギュレーションのために 17 ビットのアドレス空間が用意されています。最上位アドレス バイトはビット 0 に A16 が含まれており、残りのビットは「ドント ケア」です。アドレス ビット A15 ~ A0 は次の 2 つのアドレス バイトで送信されます。最後のアドレス ビットが送信された直後、データ (D7 ~ D0) は入力ラインを介して送信されます。このコマンドは SPI、DPI、QPI モードで使用できます。

WRITE 命令

WRITE 命令は SPI、DPI、QPI モードで使用できます。SPI モードでは、オペコード、アドレス バイトおよびデータ バイトは SI ピンを介して D7 からクロック サイクル毎に 1 ビット送信されます。DPI モードでは、オペコード、アドレス バイトおよびデータ バイトは I/O1 と I/O0 ピン経由で、I/O1 を介して D7、I/O0 を介して D6 からクロック サイクル毎に 2 ビット送信されます。QPI モードでは、オペコード、アドレス バイトおよびデータ バイトは I/O3、I/O2、I/O1、I/O0 ピン経由で、I/O3 を介して D7、I/O2 を介して D6、I/O1 を介して D5、I/O0 を介して D4 からクロック サイクル毎に 4 ビット送信されます。

図 30. SPI モード時の WRITE 命令

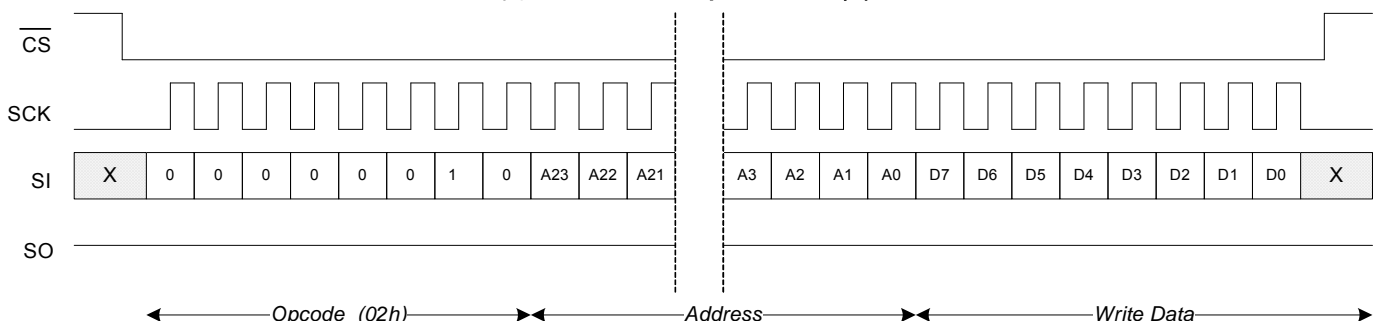


図 31. SPI モード時のバースト WRITE 命令

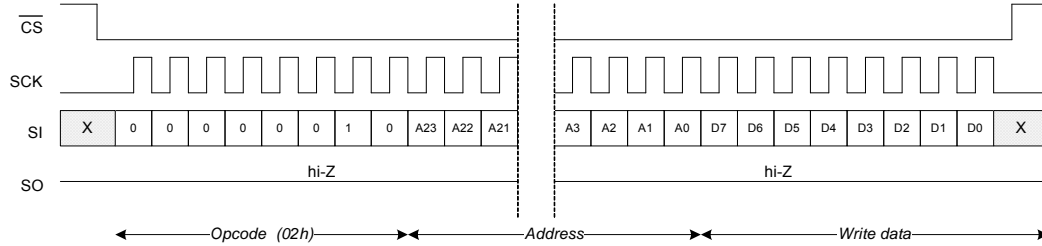


図 32. DPI モード時の WRITE 命令

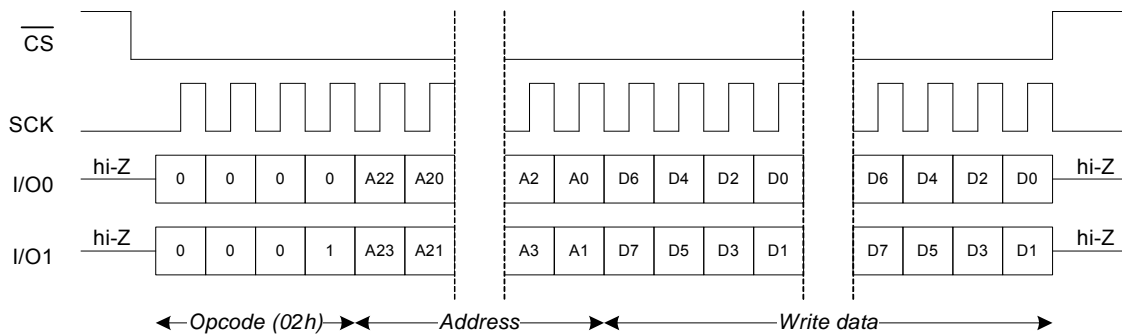
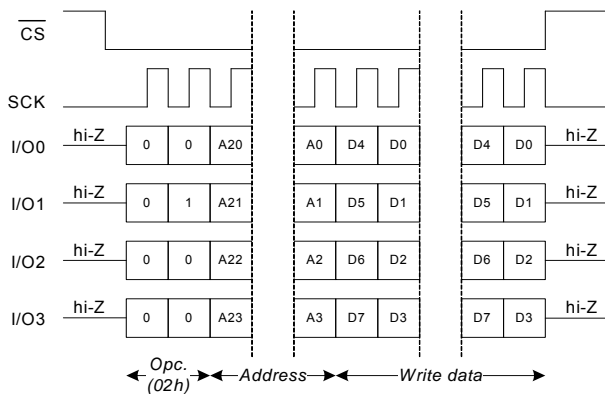


図 33. QPI モード時の WRITE 命令

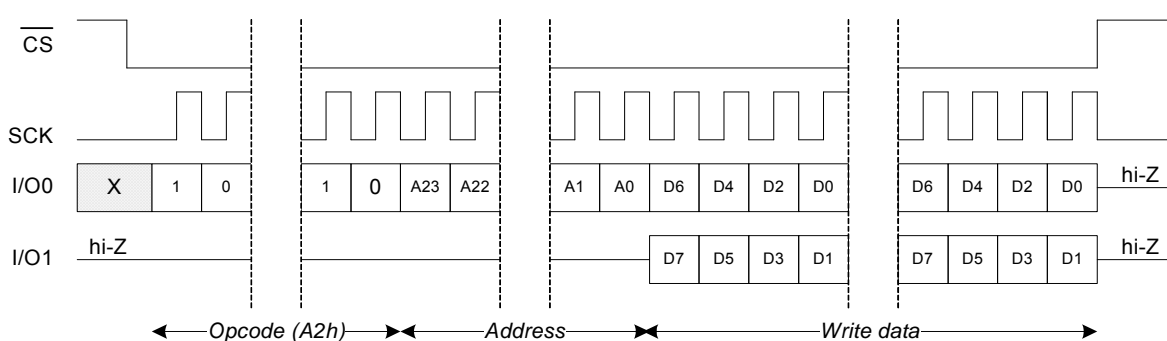


注：QPI モードでは、WRITE 命令を実行する前にクアッドビット CR[1] を論理「1」にする必要があります。

DIW 命令

DIW 命令は拡張 SPI 書き込みコマンドの一部で、デュアルデータモードで使用できます。デュアルデータモードでは、オペコードとアドレスバイトは SI ピンを介してクロックサイクル毎に 1 ビット送信されます。最後のアドレスビットが送信された直後、SO が I/O1、SI が I/O0 に再コンフィギュレーションされます。この時、データ (D7 ~ D0) は I/O1 を介して D7、I/O0 を介して D6 からクロックサイクル毎に 2 ビット送信されます。

図 34. DIW 命令



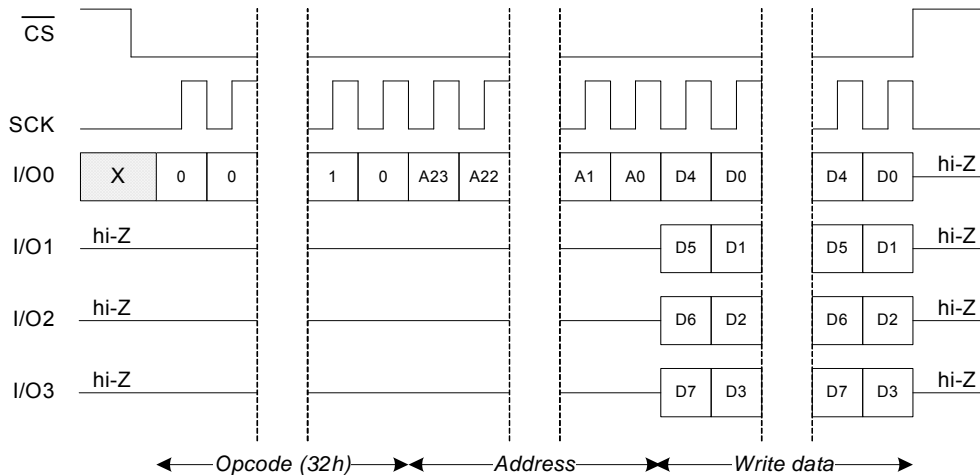
QIW 命令

QIW 命令は拡張 SPI 書き込みコマンドの一部で、クアッド データ モードで使用できます。クアッド データ モードでは、オペコードとアドレス バイトは SI ピンを介してクロック サイクル毎に 1 ビット送信されます。最後のアドレス ビットが送信された直後、NC が I/O3、WP が I/O2、SO が I/O1、SI が I/O0 に再

コンフィギュレーションされます。この時、データ (D7 ~ D0) は I/O3、I/O2、I/O1、I/O0 経由で、I/O3 を介して D7、I/O2 を介して D6、I/O1 を介して D5、I/O0 を介して D4 からクロック サイクル毎に 4 ビット送信されます。

注：QIW 命令を実行する前にクアッド ビット CR[1] を論理「1」にする必要があります。

図 35. QIW 命令

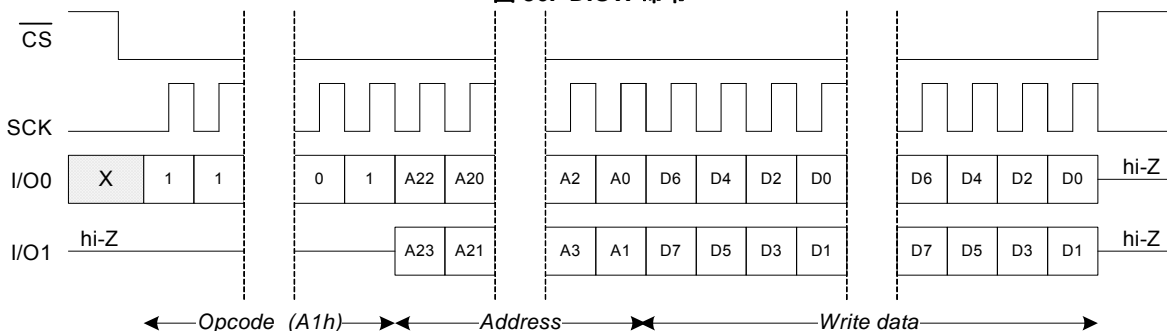


DIOW 命令

DIOW 命令は拡張 SPI 書き込みコマンドの一部で、デュアル アドレス/データ モードで使用できます。デュアル アドレス/データ モードでは、オペコードは SI ピンを介してクロック サイクル毎に 1 ビット送信されます。最後のオペコード ビットが送信された直後、SO が I/O1、SI が I/O0 に再コンフィギュレーションされます。この時、3 アドレス バイトが入力されるまで

データ (D7 ~ D0) は I/O1 と I/O0 ピン経由で、I/O1 を介して A23、I/O0 を介して A22 からクロック サイクル毎に 2 ビット送信されます。最後のアドレス ビットが送信された後、データ (D7 ~ D0) はデバイスに I/O1 と I/O0 経由で、I/O1 を介して D7、I/O0 を介して D6 からクロック サイクル毎に 2 ビット送信されます。

図 36. DIOW 命令



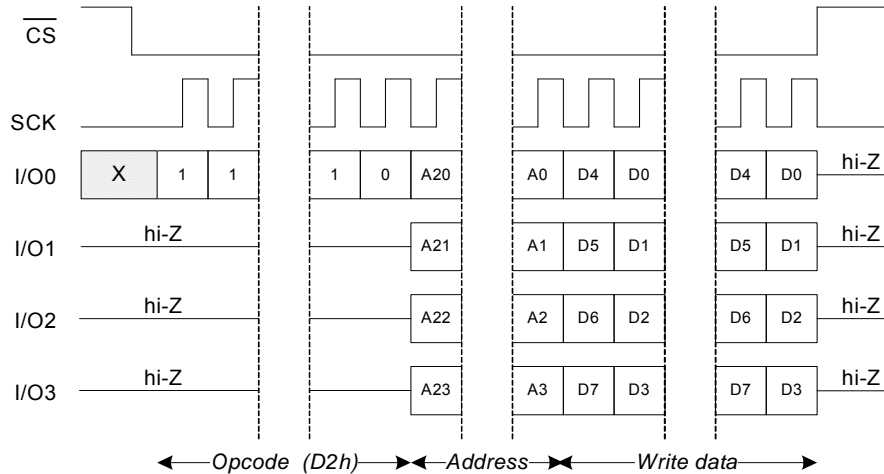
QIOW 命令

QIOW 命令は拡張 SPI 書き込みコマンドの一部で、クアッド アドレス/データ モードで使用できます。クアッド アドレス/データ モードでは、オペコードは SI ピンを介してクロック サイクル毎に 1 ビット送信されます。最後のオペコード ビットが送信された直後、NC が I/O3、WP が I/O2、SO が I/O1、SI が I/O0 に再コンフィギュレーションされます。この時、3 アドレス バイトが入力されるまでデータ (D7 ~ D0) は I/O3、I/O2、I/O1、I/O0 経由で、I/O3 を介して A23、I/O2 を介して A22、I/O1 を介して A21、I/O0 を介して A20 からクロック サイクル毎に 4 ビット送信されます。最後のアドレス ビットが送信した後、データ (D7 ~ D0) は I/O3、I/O2、I/O1、I/O0 経由で、I/O3

を介して D7、I/O2 を介して D6、I/O1 を介して D5、I/O0 を介して D4 からクロック サイクル毎に 4 ビット送信されます。

注：QIOW 命令を実行する前にクアッド ビット CR[1] を論理「1」にする必要があります。

図 37. QIOW 命令



Execute In Place (XIP) (直接実行)

Execute-in-place (XIP) モードでは、メモリはすべての読み出し処理の命令コードをロードせずに異なったアドレスで始まる一連の読み出し処理を実行できます。これにより、ランダムアクセス時間が短縮され、高速実行のための RAM のコードシャドウが不要になります。XIP モードでサポートされる読み出し命令は FAST_READ (SPI、DPI、QPI モード時)、DOR、DIOR、QOR および QIOR です。

これらの命令の XIP モードはモードビットを入力することでセットまたはリセットされます。モードビットの上位ニブル (ビット 7 ~ 4) は、最初のバイトの命令コードの包含または除外により前述の次の読み出し命令の長さを制御します。モードビットの下位ニブル (ビット 3 ~ 0) は「ドントケア」(「x」) で、高インピーダンスであることがあります。多くの場

合、マイクロコントローラーによってデータ読み出しのためにバスの回転に使用されます。モードビットが「Axh」の場合、下図に示すように、デバイスは読み出しモードに設定され/保持され、次のアドレスはオペコードなしで入力することができます。これにより、オペコードシーケンスのサイクルをいくつか減少できます。モードビットが「Axh」ではない場合、XIP モードはリセットされ、デバイスは現時点のトランザクションの終了後にはオペコードを期待します。

これらの命令の間、いつでも、どんなシーケンスでも、XIP モードへ/から移行/復帰することができます。書き込みなど、XIP モードがサポートされない別の処理を実行する必要がある場合、新しい命令コードを所望の処理のために入力する前に、XIP モードを終了しなければなりません。

図 38. SPI モード時の XIP モードと FAST_READ 命令 (0Bh)

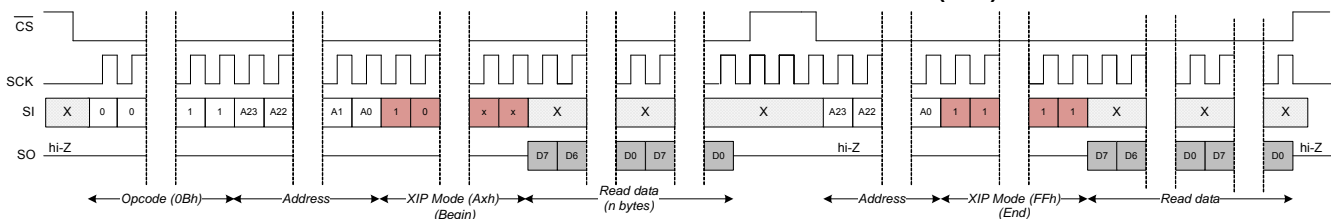
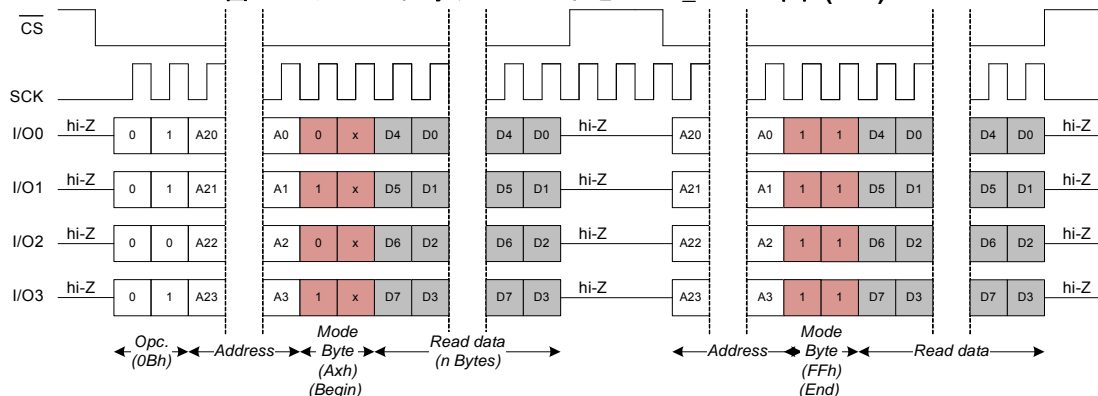


図 39. QPI モード時の XIP モードと FAST_READ 命令 (0Bh)



システム リソース命令

ソフトウェア リセット (RESET) 命令

RESET 命令ではデバイス全体がリセットされ、コマンド受信の準備ができます。I/O モードが SPI にコンフィギュレーションされます。すべての不揮発性レジスタや不揮発性レジスタビットはそのままの値となります。すべての揮発性レジスタや揮発性レジスタ ビットはデフォルトで論理「0」になります。この命令は完了するのに t_{RESET} の時間を要します。STORE / RECALL 処理は実行されません。ソフトウェア リセット プロセスを開始するには、リセット イネーブル (RSTEN) 命令が必要です。これにより、不注意によるリセットが防止されます。したがって、ソフトウェア リセットは2つのコマンドのシーケンスです。

注: RESET を除き、RSTEN コマンドの後に続いたすべてのコマンドはリセット イネーブル状態をクリアし、後の RESET コマンドが認識されないようにします。

注: WIP (SR[0]) ビットが HIGH である時、RSTEN/RESET 命令が入力されると、デバイスは RSTEN/RESET 命令を無視します。

注: $\overline{\text{WP}}$ と NC (I/O3) の機能はコンフィギュレーション レジスタのクアッド ビット CR[1] によって制御されます。クアッド ビットが論理「1」にセットされた場合、 $\overline{\text{WP}}$ と NC (I/O3) はそれぞれ I/O2 と I/O3 にコンフィギュレーションされます。そうしないと、 $\overline{\text{WP}}$ と NC (I/O3) の機能がコンフィギュレーションされます。

表9は、ソフトウェア リセット後のデバイス状態をまとめます。

表 9. ソフトウェア リセット ステート

ステート 1	ステート 2	ステート 3	I/O モードおよびレジスタ ビット
スタンバイ	ソフトウェア リセット	スタンバイ	I/O モード: SPI SRWD SR[7]: ステート 1 と同じ SNL SR[6]: ステート 1 と同じ TBPROT SR[5]: ステート 1 と同じ BP2 SR[4]: ステート 1 と同じ BP1 SR[3]: ステート 1 と同じ BP0 SR[2]: ステート 1 と同じ WEL SR[1]: 0 WIP SR[0]: 0 QUAD CR[1]: ステート 1 と同じ

図 40. SPI モード時の RESET 命令

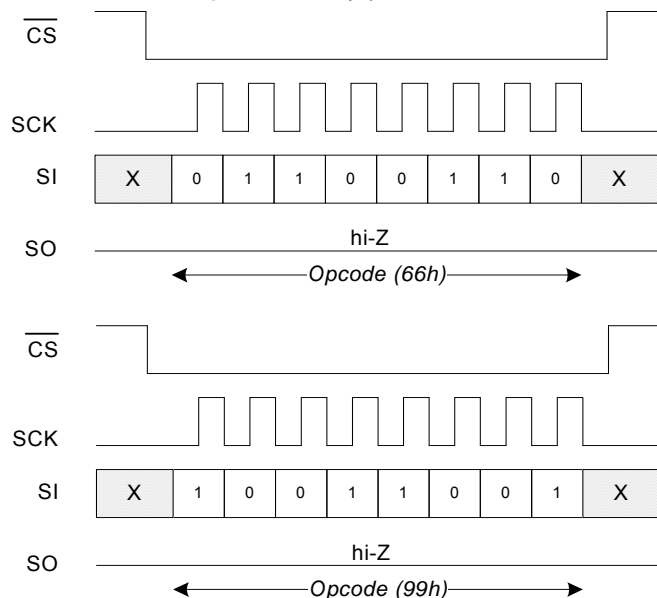


図 41. DPI モード時の RESET 命令

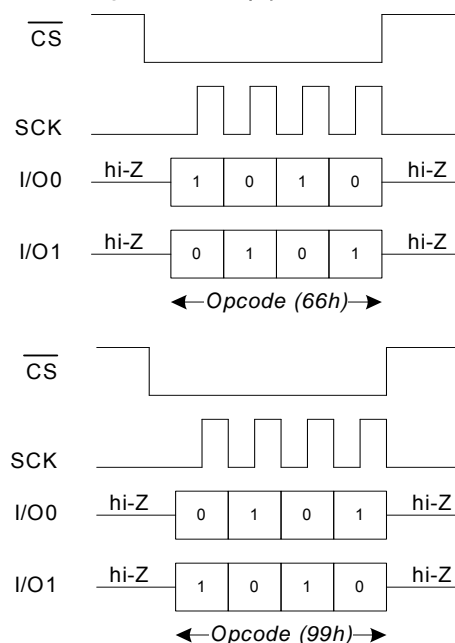
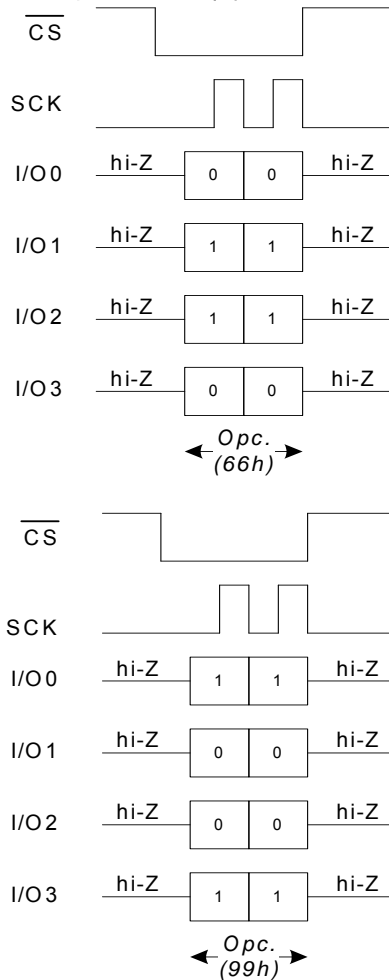


図 42. QPI モード時の RESET 命令



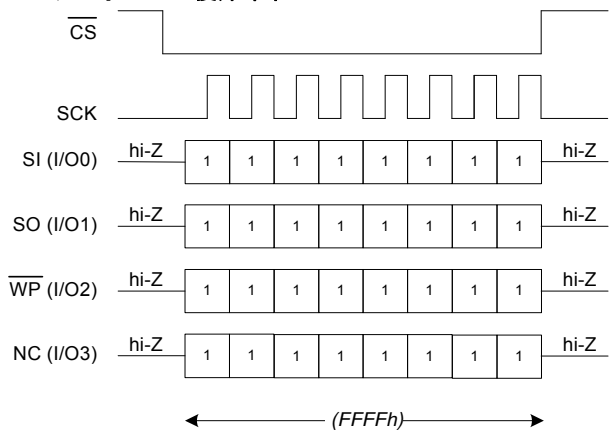
注：QPI モードでは、RSTEN/RESET 命令を実行する前にクアッドビット CR[1] を論理「1」にする必要があります。

デフォルトの復帰命令

デバイスは、デバイスが SPI モードに復帰するデフォルトの復帰モードがあります。すべての I/O (I/O3、I/O2、I/O1、I/O0) での論理 HIGH と 8 つの SCLK により、スタート モードが未知の場合、ホストがデバイスに通信できるようにデバイスは既知のモード (SPI) に移行します。

注：WP と NC (I/O3) の機能がコンフィギュレーションレジスタのクアッドビット CR[1] によって制御されます。クアッドビットが論理「1」にセットされた場合、WP と NC (I/O3) はそれぞれ I/O2 と I/O3 にコンフィギュレーションされます。そうしないと、WP と NC (I/O3) の機能がコンフィギュレーションされます。

図 43. デフォルトの復帰命令



リアルタイムクロック読み出し (RDRTC) 命令

リアルタイムクロック読み出し (RDRTC) 命令により、最大 40MHz までの SPI 周波数で、RTC レジスタの内容を読み出すことができます。SPI モードでは、デバイスを選択するために CS ラインが LOW にプルダウンされると、RDRTC オペコードが SI ラインを介して送信され、レジスタ選択のためにその後アドレスの 8 バイトが続きます。その後、指定されたアドレスのデータ (D7 ~ D0) は、SO ラインにシフトアウトされます。RDRTC では、バーストモードでの読み出し処理も可能です。RTC レジスタから複数バイトを読み出す際に、最後の RTC レジスタアドレス (0x0F) に達すると、アドレスは 0x00 に戻ります。DPI モードでは、I/O1、I/O0 が使用されますが、QPI モードでは、I/O3、I/O2、I/O1、I/O0 が使用されていることを除いて、DPI と QPI の動作は SPI と同じです。過渡的にデータを読み出すことを回避するために、RTC 時間保持レジスタを読み出す前に、RTC フラグレジスタの「R」ビットは「1」にセットする必要があります。RTC フラグレジスタの変更には、書き込み RTC サイクルが必要です。読み出し処理が完了した後、「R」ビットを「0」にクリアする必要があります。RTC レジスタを読み出す最も簡単な方法は、バーストモードで RDRTC を実行する方法です。SO ピンを介して全ての 16 個の RTC レジスタからデータを送信するためには、読み出しが最初の RTC (0x00) から開始され、CS が LOW に保持されている必要があります。

注：RTC 構造アクセスの後、RTC アドレスは「1」インクリメントすることで更新されます。結果として、更新は次のように RTC 構造内でラップアラウンドします：RTC 構造の最終バイト (RTC アドレス「15」) へのアクセスの次に最初バイト (RTC アドレス「0」) へのアクセスが続きます。

図 44. SPI モード時の RDRTC 命令

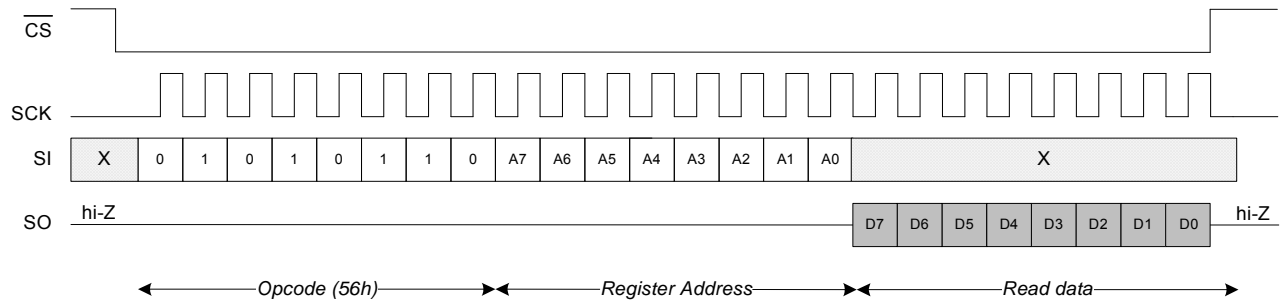


図 45. DPI モード時の RDRTC 命令

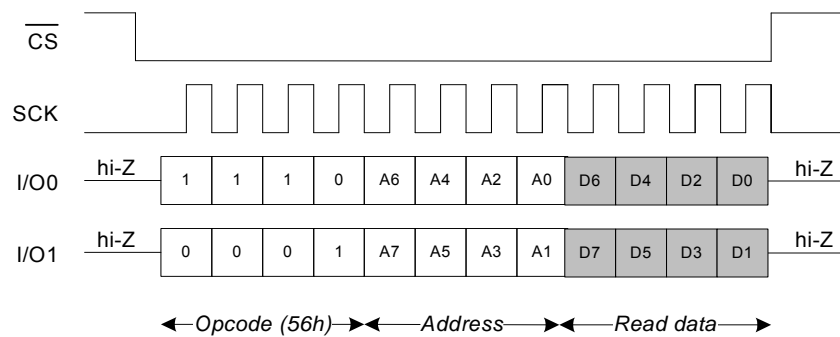
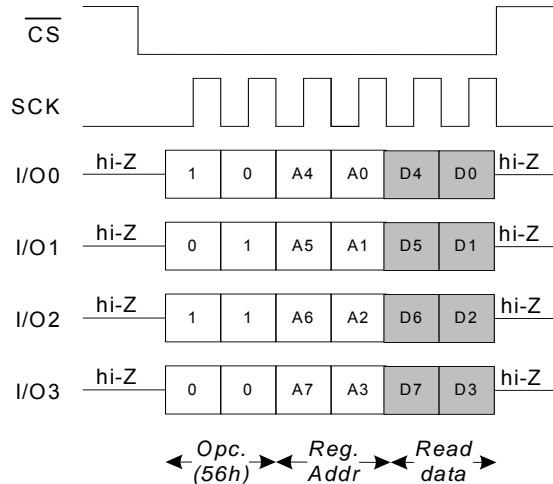


図 46. QPI モード時の RDRTC 命令



注: QPI モードでは、RDRTC 命令を実行する前にクアドビット CR[1] を論理「1」にする必要があります。

リアルタイムクロック高速読み出し (FAST_RDRTC) 命令

RTC 高速読み出し (FAST_RDRTC) 命令は、オペコードの後にダミーバイトを可能にし最大 108MHz で動作できることを除き、RDRTC 命令と同じです。

図 47. SPI モード時の FAST_RDRTC 命令

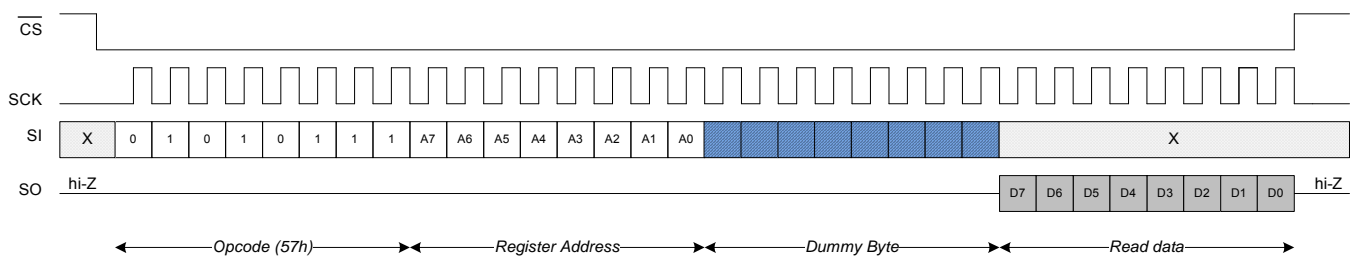


図 48. DPI モード時の FAST_RDRTC 命令

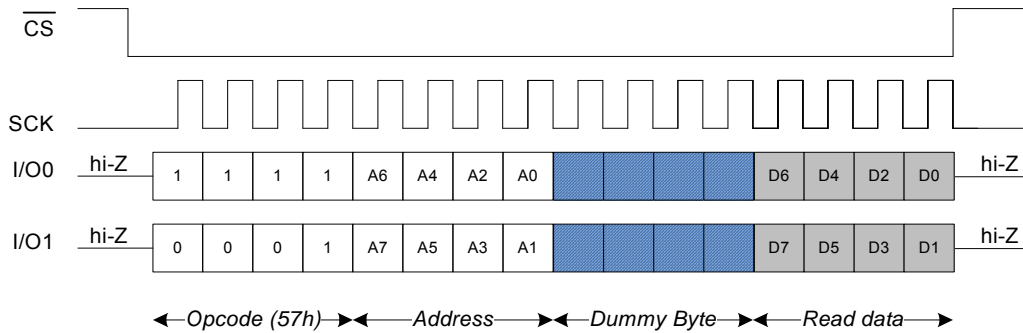
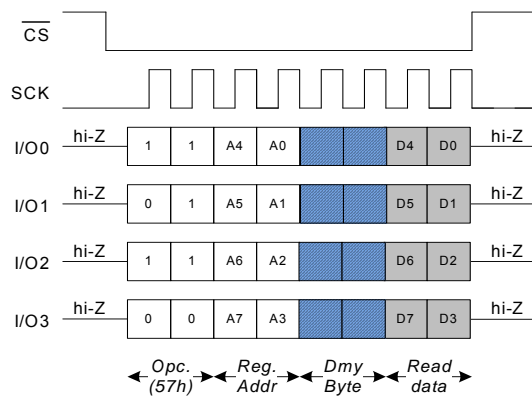


図 49. QPI モード時の FAST_RDRTC 命令



注：QPI モードでは、FAST_RDRTC 命令を実行する前にクアドビット CR[1] を論理「1」にする必要があります。

リアルタイムクロック書き込み (WRRTC) 命令

書き込み RTC (WRRTC) 命令により、RTC レジスタの内容を変更することができます。WRRTC 命令を発行する前に、ステータスレジスタ内の WEL ビットを「1」にセットする必要があります。WEL ビットが「0」の場合は、WRRTC を使用する前に、WREN 命令を発行する必要があります。SPI モードでは、デバイスを選択するために CS ラインを LOW にプルダウンした後、WRRTC オペコードが SI ラインを介して送信され、その後書き込まれるレジスタを識別する 8 アドレスビット、および 1 つ以上のデータバイトが送信されます。WRRTC ではバーストモードでの書き込み処理も可能です。RTC レジスタに複数バイトを書き込む際に、最後の RTC レジスタアドレス (0x0F) に達すると、アドレスは 0x00 に戻ります。場合を除いて、DPI と QPI の動作は SPI と同じです。

注：RTC 時間保持レジスタおよび制御レジスタへの書き込みでは、「W」ビットを「1」にセットする必要があります。これらの RTC レジスタの値は、「W」ビットが「0」にクリアされた後にのみ有効になります。書き込みイネーブルビット (WEL) は、WRRTC 命令が完了した後、自動的に「0」にクリアされます。

図 50. SPI モード時の WRRTC 命令

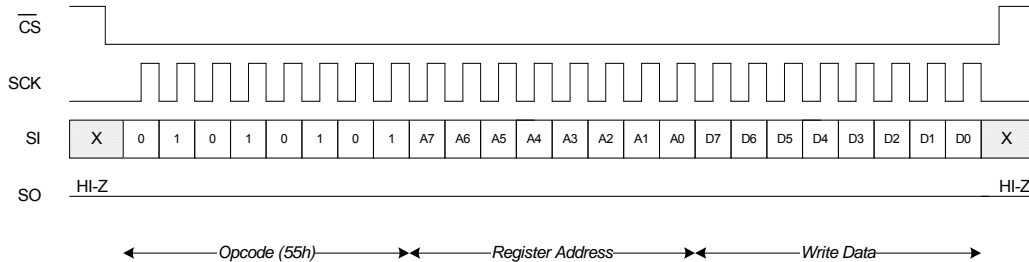


図 51. DPI モード時の WRRTC 命令

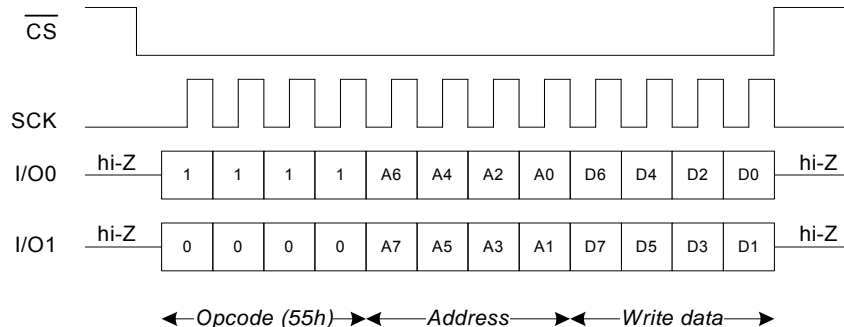
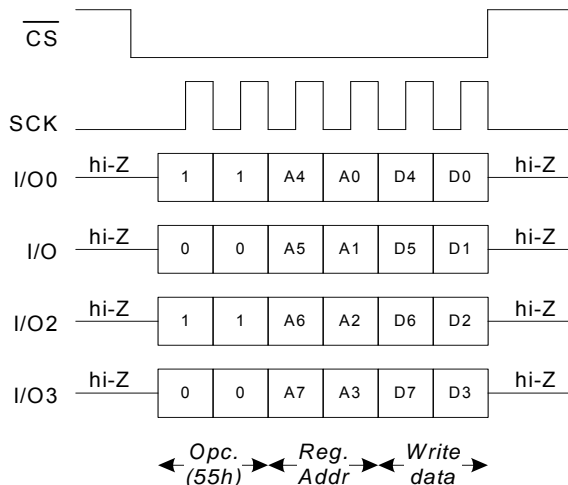


図 52. QPI モード時の WRRTC 命令



注: QPI モードでは、WRRTC 命令を実行する前にクアドビット CR[1] を論理「1」にする必要があります。

ハイバネート (HIBEN) 命令

HIBEN 命令は nvSRAM をハイバネートモードに移行させます。HIBEN 命令が発行されると、nvSRAM は HIBEN 要求を処理するのに tSS 時間を要します。HIBEN コマンドが正常に取り込まれて処理されると、nvSRAM は HSB を LOW にトグルし、不揮発性セルにデータを保存するために STORE 処理を実行してから、ハイバネートモードに入ります。デバイスは、HIBEN 命令が取り込まれてから t_{HIBEN} 時間後に I_{ZZ} 電流を消費し始めます。HIBEN 命令が発行された後は、デバイスで通常の動作を実行することはできません。ハイバネートモードでは、SCK と SI ピンは無視され、SO は Hi-Z になりますが、デバイスは CS ピンの監視を続けます。

nvSRAM をハイバネートモードから復帰させるには、CS ピンを HIGH から LOW にトグルしてデバイスを選択する必要があります。CS ピンの立ち下がりエッジが検出された後、tWAKE 期間が経過すると、デバイスはウェイクアップし、通常の動作を実行することができます。デバイスは HIBEN 命令が実行される前のモードに復帰します。

注: nvSRAM はハイバネートモードに入ると、不揮発性 STORE サイクルを開始します。その結果として、ハイバネートコマンド実行の度に 1 回のアクセスサイクルとなります。前回の STORE または RECALL サイクル以降に SRAM への書き込みが実行された場合にのみ、STORE サイクルが開始されます。

表 10 は、デバイスのハイバネート状態からの復帰をまとめます。

表 10. ウェイク (ハイバネートの終了) ステート

ステート 1	ステート 2	ステート 3	I/O モードおよびレジスタビット
スタンバイ	ハイバネート	スタンバイ	I/O モード: ステート 1 と同じモード (SPI/DPI/QPI) SRWD SR[7]: ステート 1 と同じ SNL SR[6]: ステート 1 と同じ TBPROT SR[5]: ステート 1 と同じ BP2 SR[4]: ステート 1 と同じ BP1 SR[3]: ステート 1 と同じ BP0 SR[2]: ステート 1 と同じ WEL SR[1]: 0 WIP SR[0]: 0 QUAD CR[1]: ステート 1 と同じ

図 53. SPI モード時の HIBEN 命令

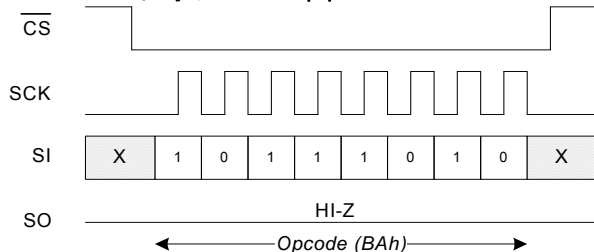


図 54. DPI モード時の HIBEN 命令

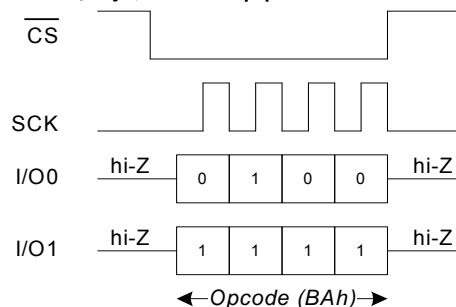
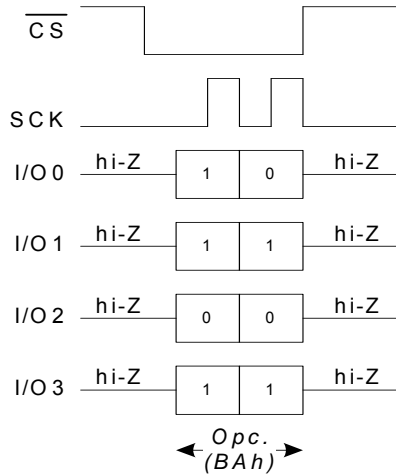
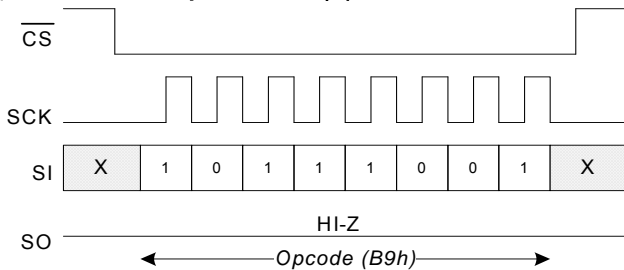
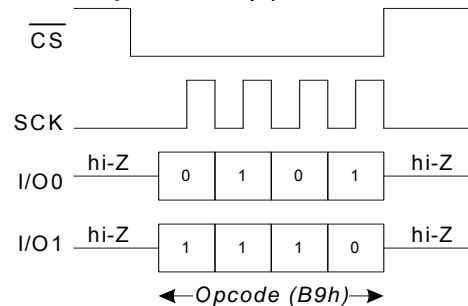


図 55. QPI モード時の HIBEN 命令


注：QPI モードでは、HIBEN 命令を実行する前にクアッド ビット CR[1] を論理「1」にする必要があります。

表 11. スリープ モード終了 (EXSLP) ステート

ステート 1	ステート 2	ステート 3	I/O モードおよびレジスタビット
スタンバイ	スリープ	スタンバイ	I/O モード：ステート 1 と同じモード (SPI/DPI/QPI) SRWD SR[7]: ステート 1 と同じ SNL SR[6]: ステート 1 と同じ TBPROT SR[5]: ステート 1 と同じ BP2 SR[4]: ステート 1 と同じ BP1 SR[3]: ステート 1 と同じ BP0 SR[2]: ステート 1 と同じ WEL SR[1]: ステート 1 と同じ WIP SR[0]: 0 QUAD CR[1]: ステート 1 と同じ

図 56. SPI モード時の SLEEP 命令

図 57. DPI モード時の SLEEP 命令


スリープ (SLEEP) 命令

SLEEP 命令は nvSRAM をスリープ モードに移行させます。SLEEP 命令が発行されると、nvSRAM は SLEEP 要求を処理するのに t_{SLEEP} 時間を要し、 I_{SLEEP} 電流を消費し始めます。SLEEP 命令が発行された後は、デバイスで通常の動作を実行することはできません。スリープ モードでは、すべてのピンはアクティブです。

nvSRAM をスリープ モードから復帰させるには、EXSLP 命令を入力する必要があります。 t_{EXSLP} 期間が経過した後、nvSRAM で通常の動作を実行することができます。デバイスは SLEEP 命令が実行される前のモードに復帰します。EXSLP と RDSR 命令を除き、デバイスがスリープ モード中に入力された命令はすべて無視されます。

表 11 は、デバイスのスリープ 状態からの復帰をまとめます。

図 58. QPI モード時の SLEEP 命令

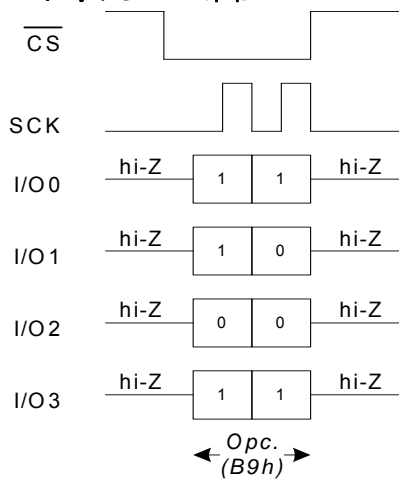


図 59. SPI モード時の EXSLP 命令

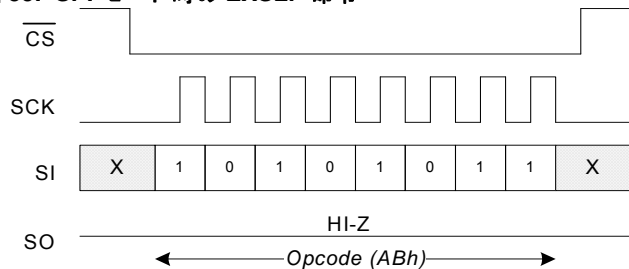


図 60. DPI モード時の EXSLP 命令

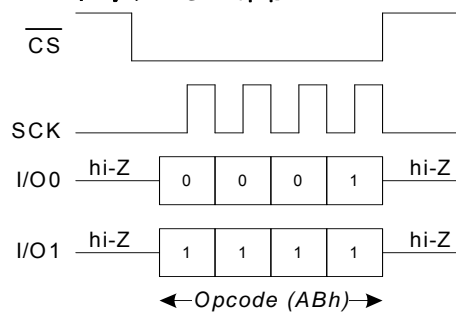
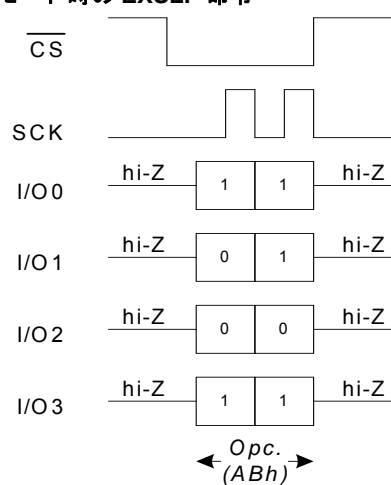


図 61. QPI モード時の EXSLP 命令



レジスタ命令

ステータス レジスタ読み出し (RDSR) 命令

RDSR 命令は、最大 108MHz までの SPI 周波数でステータス レジスタへのアクセスを提供します。この命令は、デバイスのステータスをプローブするために使用されます。

注：ステータス レジスタの最後のビットが読み出された後、デバイスはステータス レジスタの最初のビットに戻ります。

図 62. SPI モード時の RDSR 命令

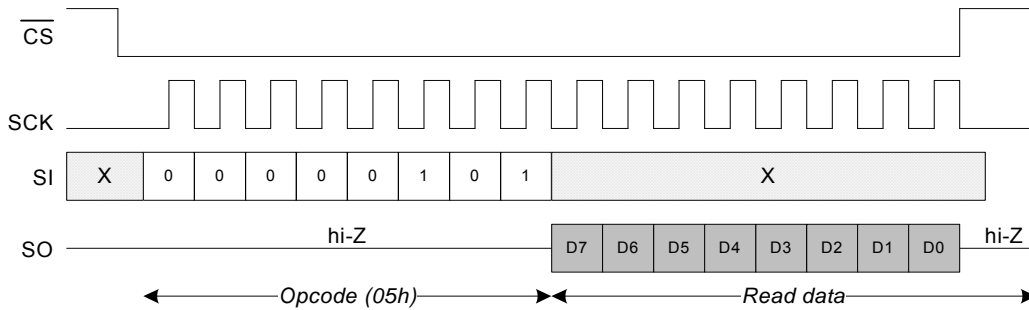


図 63. DPI モード時の RDSR 命令

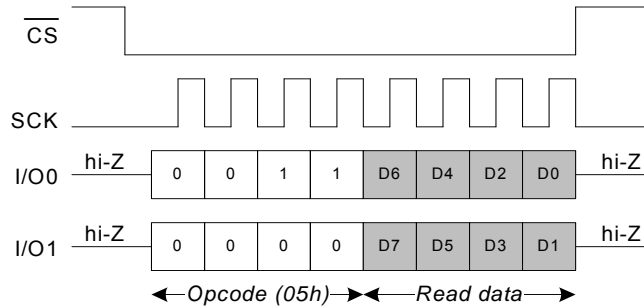
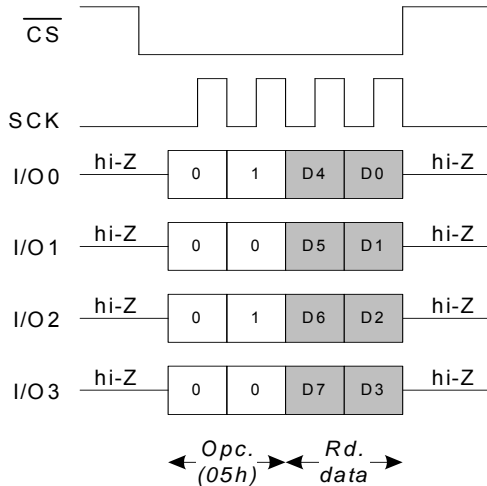


図 64. QPI モード時の RDSR 命令



ステータス レジスタ書き込み (WRSR) 命令

WRSR 命令により、ユーザーはステータス レジスタへ書き込むことができます。ただし、この命令は書き込み可能なビットのみ (ビット 2 (BP0)、ビット 3 (BP1)、ビット 4 (BP2)、ビット 5 (TBPROT)、ビット 6 (SNL)、およびビット 7 (SRWD)) を変更できます。WRSR 命令は書き込み命令であり、(WREN 命令を使用して) WEL ビットを「1」にセットする必要があります。WRSR 命令は、CS の立ち下がりエッジの後にオペコードを送信してから、ステータス レジスタに格納される 8 ビットのデータを送信することで発行されます。前述のように、WRSR 命令でステータス レジスタのビット 2、3、4、5、6、および 7 のみを変更することができます。

注：ステータス レジスタに書き込まれた値は、STORE 処理が完了した後にのみ不揮発性メモリに保存されます。AutoStore が無効になると、ステータス レジスタへの変更はソフトウェア STORE 処理を実行して確保する必要があります。

注：ステータス レジスタ書き込みシーケンスの終了時にステータス レジスタの WEL ビットが「0」にリセットします。

図 65. SPI モード時の WRSR 命令

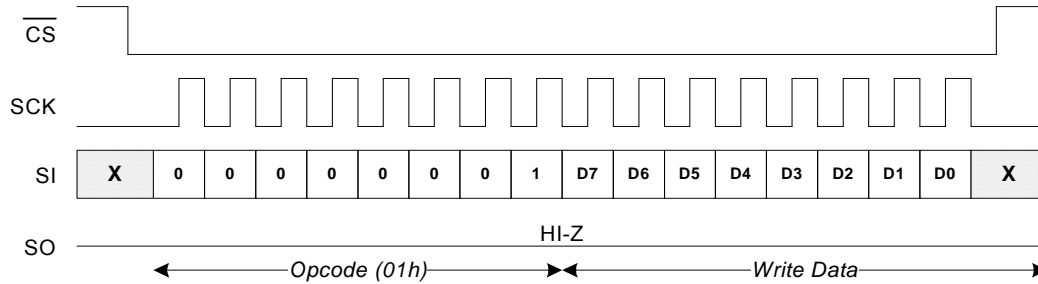
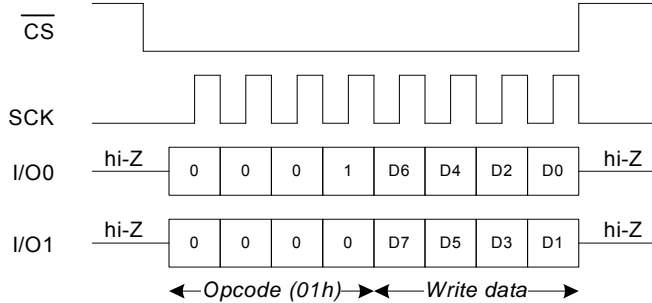


図 66. DPI モード時の WRSR 命令



コンフィギュレーションレジスタ読み出し (RDCR) 命令

RDCR 命令は、最大 108MHz までの SPI 周波数でステータスレジスタへのアクセスを提供します。以下の図は、SPI、DPI、QPI モード時のコンフィギュレーションレジスタ命令の転送波形を示します。

注：コンフィギュレーションレジスタの最後のビットが読み出された後、デバイスはコンフィギュレーションレジスタの最初のビットに戻ります。

図 67. QPI モード時の WRSR 命令

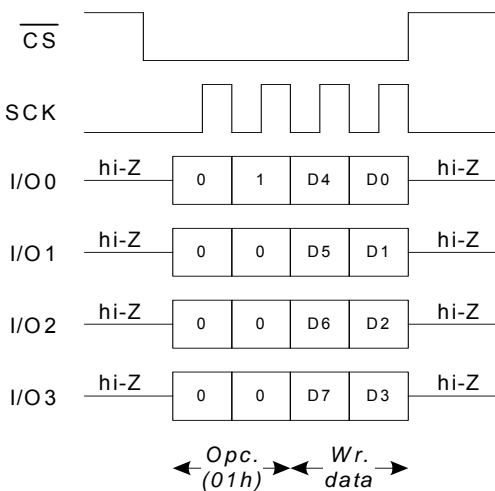


図 68. SPI モード時の RDCR 命令

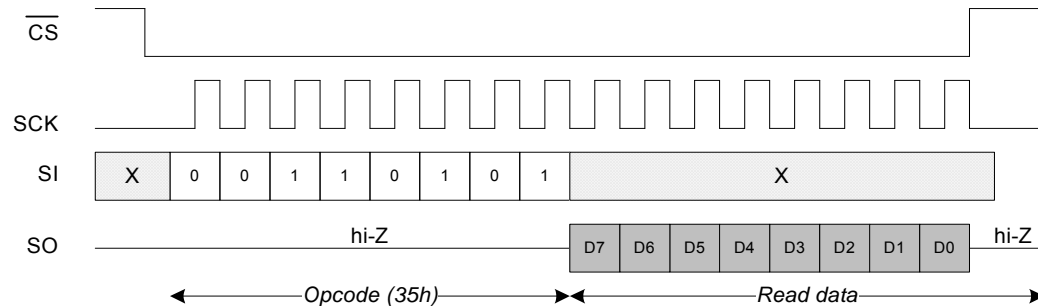


図 69. DPI モード時の RDCR 命令

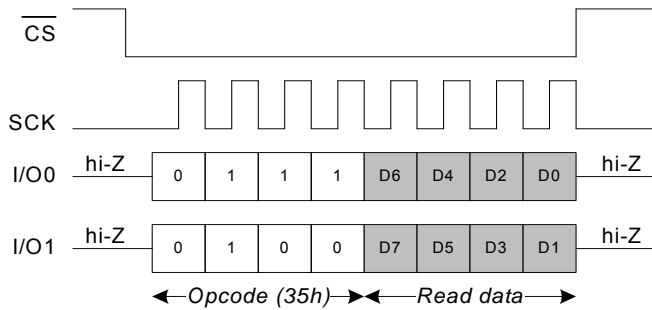
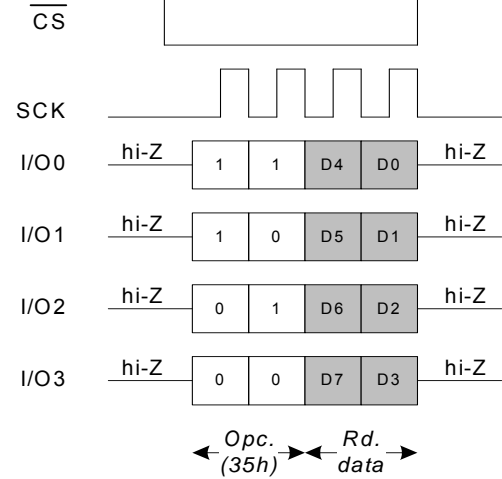


図 70. QPI モード時の RDCR 命令



注：QPI モードでは、RDCR 命令を実行する前にクアッド ビット CR[1] を論理「1」にする必要があります。

コンフィギュレーション レジスタ書き込み (WRCR) 命令

WRCR 命令により、ユーザーはクアッド ビットをセットすることでデバイスのデータ幅を変更することができます。クアッド 出力読み出し、クアッド I/O 読み出しおよびクアッド 入力書き込みコマンドを使用する際、クアッド ビットを「1」にセットする必要があります。クアッド ビットは不揮発性です。

注：(QPIEN 命令で) QPI モードを有効にしても、コンフィギュレーション レジスタのクアッド ビットがセットされません。

注：RFU ビットは常に表 8 に示すように書き込むことが推奨されています。

図 71. SPI モード時の WRCR 命令

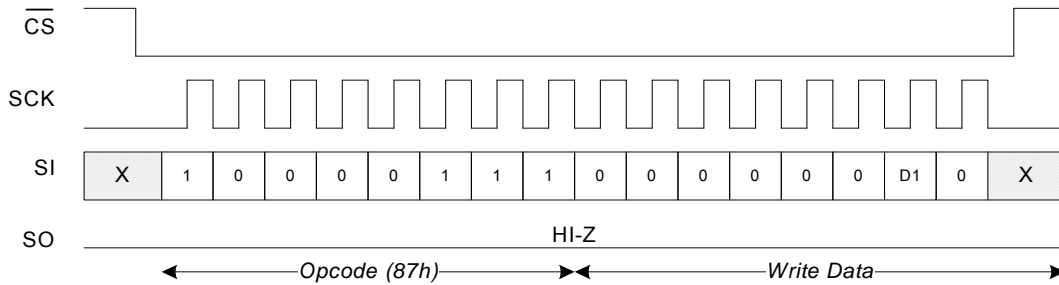
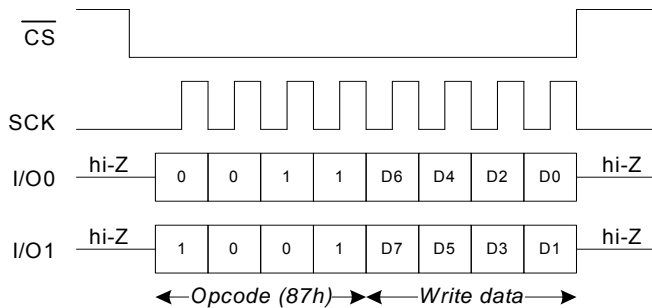


図 72. DPI モード時の WRCR 命令



レジスタ識別 (RDID) 命令

RDID 命令は、JEDEC 割り当てのメーカー ID とデバイスの製品 ID を最大 40MHz までの SPI 周波数で読み出すために使用されます。この命令は、バス上のデバイスを識別するために使用することもできます。CS# が LOW になった後、RDID のオペコードをシフトすることにより、RDID 命令を発行することができます。

デバイス ID は一意に 1M ビット QPI nvSRAM 製品を識別するための 4 バイトの読み出し専用コードです。これには、製品の製品ファミリコード、コンフィギュレーションおよび容量が含まれています。

RDID コマンドで、4 バイトのデバイス ID 構造を読み出します (この構造には書き込むことができません)。この構造は一度に 1 バイト アクセスされます。最初にアクセスされるバイトは構造の最上位バイト ID[31:24]、2 番目にアクセスされるバイトは ID[23:16]、...、最後にアクセスされるバイトは ID[7:0] です。

注：構造はいつでも同じ順番でアクセスされるため、アドレス転送は不要です。その代わりに、オペコードがデコードされると「0」に初期化される内部 2 ビット アドレス ポインターが使用されます。各バイト アクセスの後、内部アドレス ポインターはインクリメントされます。アドレス ポインターは「3」から「0」までラップアラウンドし、4 番目のバイト ID[7:0] がアクセスされると、1 番目のバイト ID[31:24] がアクセスされます。このコマンドは SPI、DPI、QPI モードで発行できます。

表 12. デバイス識別

デバイス	メーカー ID	製品 ID	メモリ容量	ダイリビジョン
	31 ~ 21	20 ~ 7	6 ~ 3	2 ~ 0
	11 ビット	14 ビット	4 ビット	3 ビット
CY14V101PS	00000110100	00001110000001	0100	001

図 73. SPI モード時の RDID 命令

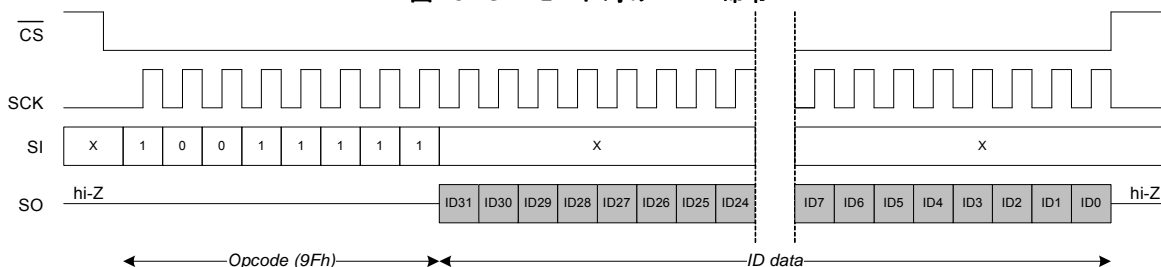


図 74. DPI モード時の RDID 命令

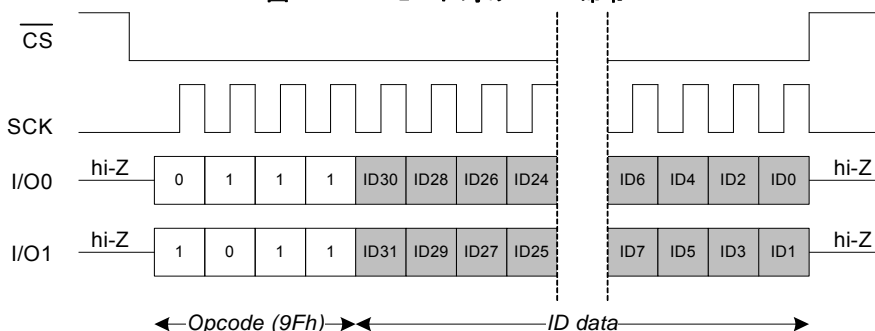
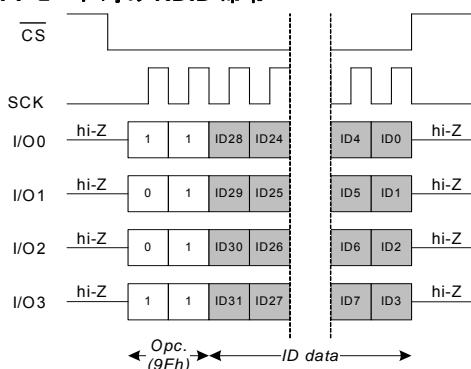


図 75. QPI モード時の RDID 命令



注：QPI モードでは、RDID 命令を実行する前にクアッド ビット CR[1] を論理「1」にする必要があります。

レジスタ識別 (FAST_RDID) 命令

オペコードの後にダミーバイトが後続することを除いて、FAST_RDID 命令は RDID と同じです。FAST_RDID 命令は、JEDEC 割り当てのメーカー ID とデバイスの製品 ID を最大 108MHz までの SPI 周波数で読み出すために使用されます。

図 76. SPI モード時の FAST_RDID 命令

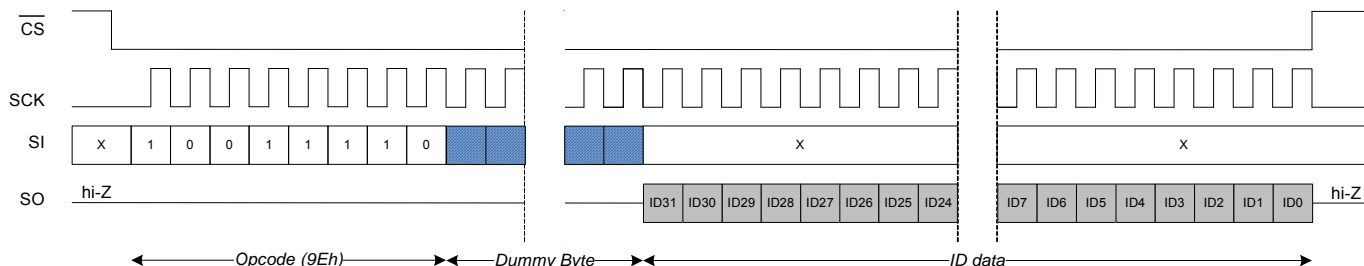


図 77. DPI モード時の FAST_RDID 命令

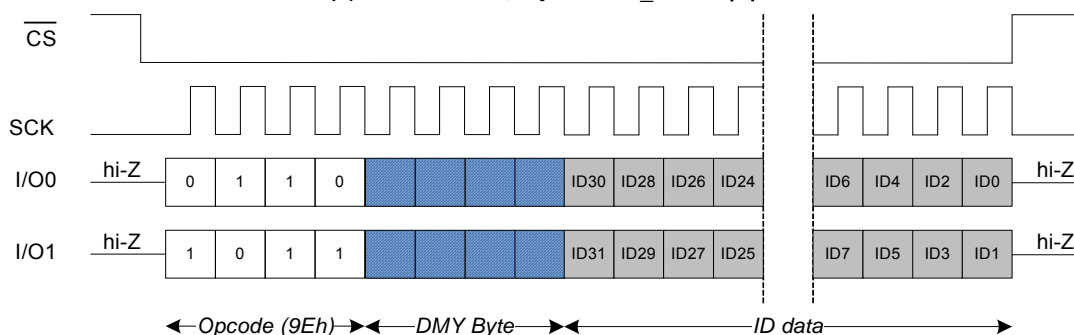
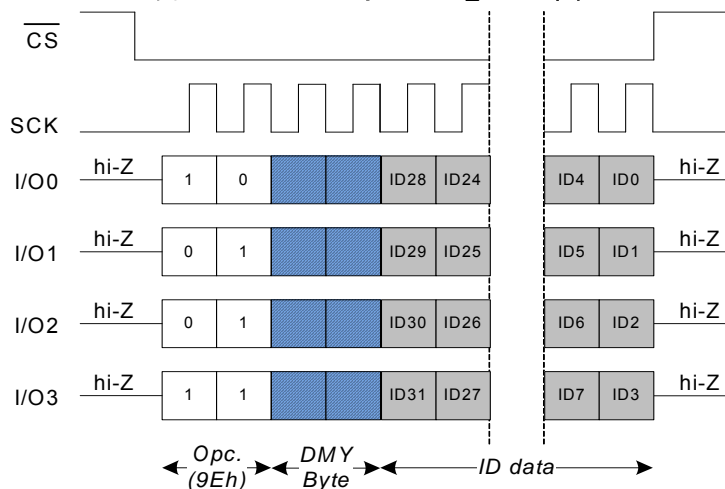


図 78. QPI モード時の FAST_RDID 命令



シリアル番号レジスタ書き込み (WRSN) 命令

シリアル番号はデバイスを一意に識別するためにユーザーに提供される 8 バイトのプログラム可能なメモリ空間です。一般的には、シリアル番号はカスタム ID の 2 バイト、その後続く固有のシリアル番号の 5 バイトと CRC チェックの 1 バイトで構成されています。しかし、デバイスは CRC を計算しないため、所望の形式で 8 バイトのメモリ空間を利用するかどうかはシステム設計者次第となります。8 バイトの位置のデフォルト値は「0X00」に設定されています。

シリアル番号は WRSN コマンドで書き込まれます。シリアル番号を書き込むには、WREN コマンドを使用して書き込みを有効にする必要があります。WRSN コマンドは、バーストモードで実行してシリアル番号の 8 バイトをすべて書き込むことができます。シリアル番号の最後のバイトが書き込まれると、デバイスはシリアル番号の最初のバイト (MSB) に戻ります。シリアル番号は、ステータスレジスタの SNL ビットを使用してロックされます。このビットが一旦「1」にセットされると、シリアル番号への変更はできなくなります。SNL ビットが「1」にセットされた後は、WRSN コマンドの実行はシリアル番号に影響を与えません。このコマンドは実行する前に WEL ビットを

セットする必要があります。ステータスレジスタの SRWD ビットが「1」にセットされていない場合、WEL ビットはこのコマンドの完了後に「0」にリセットします。このコマンドは SPI、DPI、QPI モードで発行できます。

シリアル番号は、WRSN 命令を 108MHz までの SPI 周波数で実行して書き込まれます。

注: シリアル番号を不揮発性メモリに格納するには、STORE 動作 (AutoStore またはソフトウェア STORE) が必要です。AutoStore が無効になっている場合、ソフトウェア STORE 処理を実行して、シリアル番号を保存してロックする必要があります。SNL ビットが「1」にセットされ、格納されていない (AutoStore が無効) 場合は、次のパワーサイクル (電源を切断して再度投入する) 時に SNL ビットとシリアル番号はデフォルトで「0」となります。SNL ビットを一旦「1」にセットして格納すると、「0」にクリアすることはできません。この命令は実行する前に WEL ビットをセットする必要があります。この命令は SPI、DPI、QPI モードで発行可能です。

注: この命令の完了後、WEL ビットは「0」にリセットされます。

図 79. SPI モード時の WRSN 命令

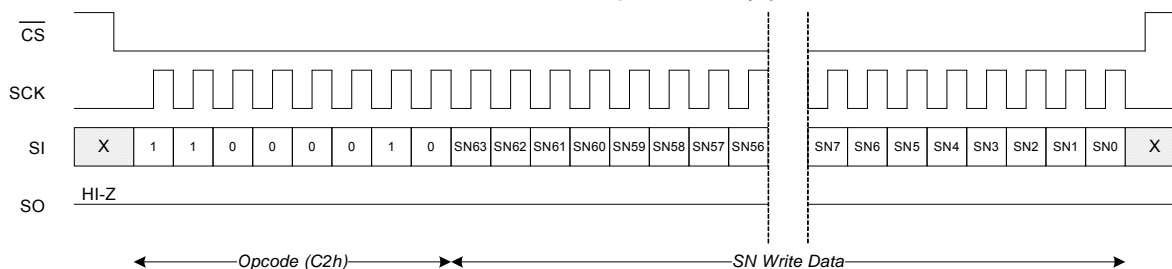


図 80. DPI モード時の WRSN 命令

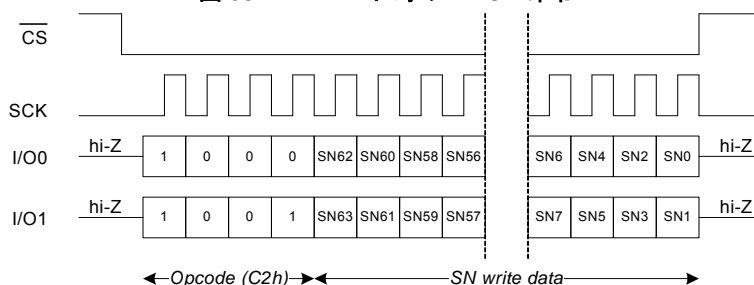
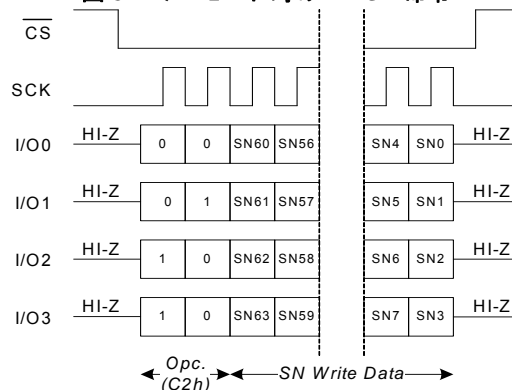


図 81. QPI モード時の WRSN 命令



シリアル番号レジスタ読み出し (RDSN) 命令

シリアル番号は 40MHz までの SPI 周波数で RDSN 命令を使用して読み出されます。シリアル番号読み出しは、バーストモードで実行して一度にすべての 8 バイトを読み出すことができます。シリアル番号の最後のバイトが読み出されると、デバイスはシリアル番号の最初のバイト (MSB) に戻ります。CS が LOW

になった後、RDSN のオペコードをシフトすることで RDSN 命令を発行することができます。その後、nvSRAM はシリアル番号の 8 バイトをシフトアウトします。この命令は SPI、DPI、QPI モードで発行可能です。

図 82. SPI モード時の RDSN 命令

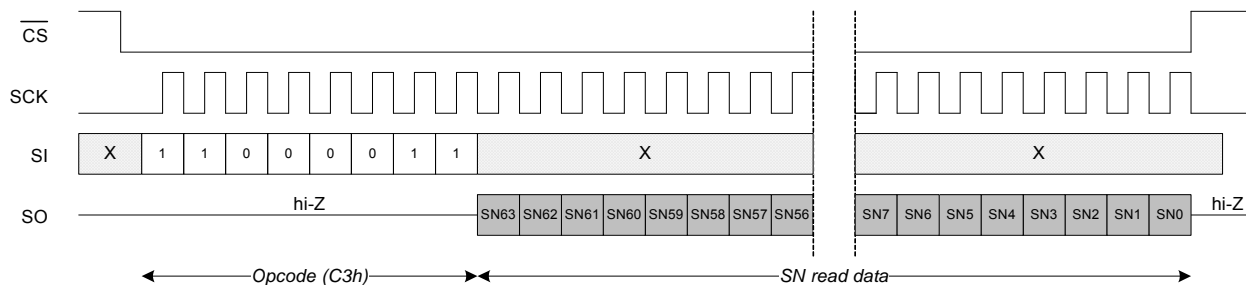


図 83. DPI モード時の RDSN 命令

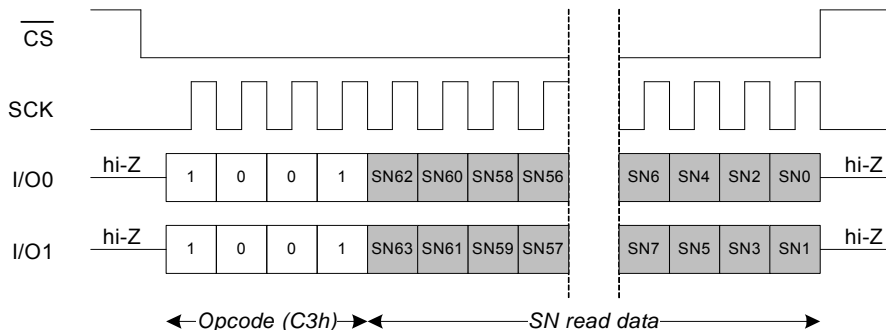
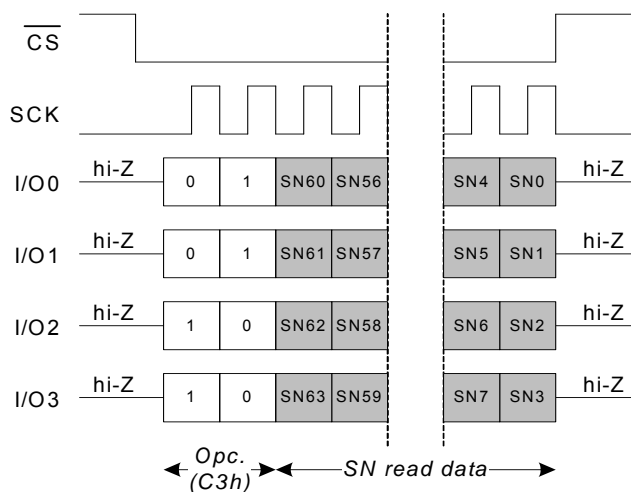


図 84. QPI モード時の RDSN 命令



注: QPI モードでは、RDSN 命令を実行する前にクアドビット CR[1] を論理「1」にする必要があります。

高速シリアル番号読み出し (FAST_RDSN) 命令

オペコードの後にダミーバイトが後続することを除いて、FAST_RDSN 命令はRDSNと同じです。FAST_RDSN 命令は最大108MHzで実行可能です。

図 85. SPI モード時の FAST_RDSN 命令

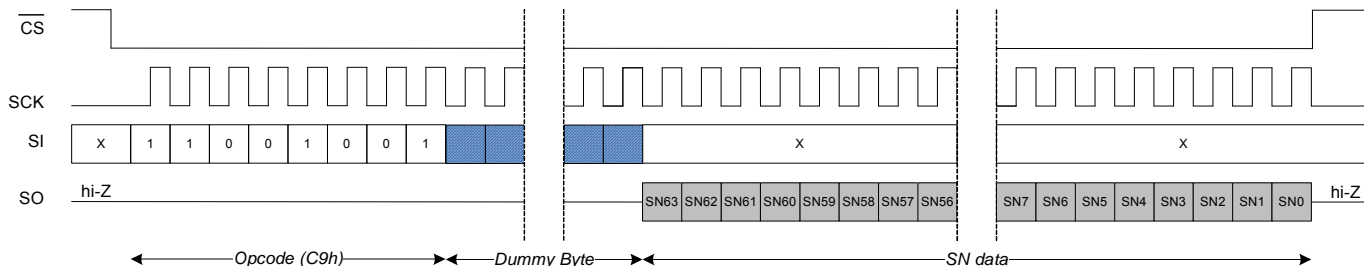


図 86. DPI モード時の FAST_RDSN 命令

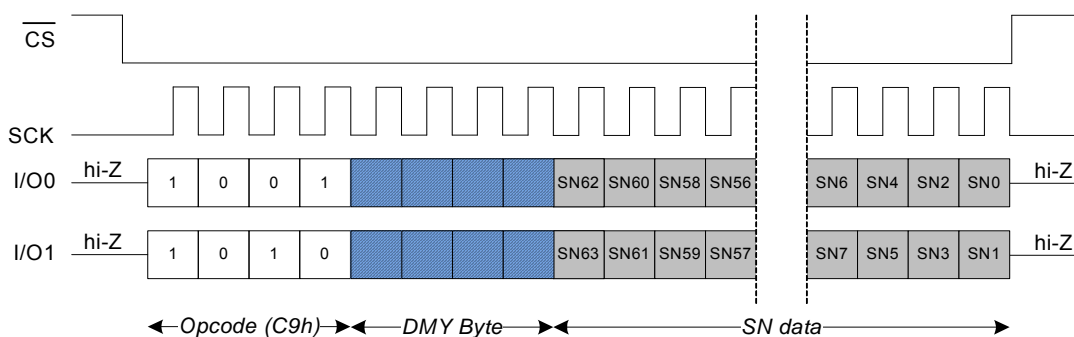
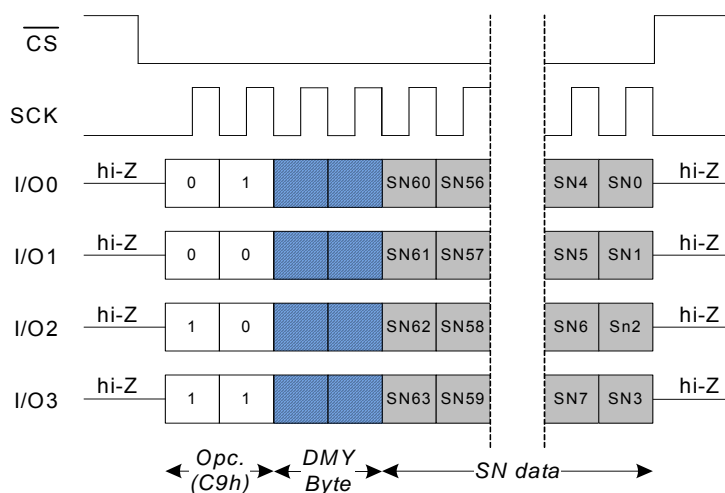


図 87. QPI モード時の FAST_RDSN 命令



不揮発性メモリ固有の命令

nvSRAM デバイスは、nvSRAM 固有の機能の使用を可能にする次の 4 つの専用命令を提供します：STORE、RECALL、ASEN、ASDI。

ソフトウェアストア (STORE) 命令

STORE 命令を実行すると、nvSRAM はソフトウェア STORE 処理を実行します。STORE 処理は、前回の STORE または RECALL 動作以降に書き込みが行われたかどうかに関係なく実行されます。この命令を発行するには、デバイスは書き込み可能になる (WEL ビット = 「1」) 必要があります。この命令は SPI、DPI、QPI モードで発行可能です。

注：STORE 命令後の \overline{CS} の立ち上がりエッジで、WEL ビットがクリアされます。

図 88. SPI モード時の STORE 命令

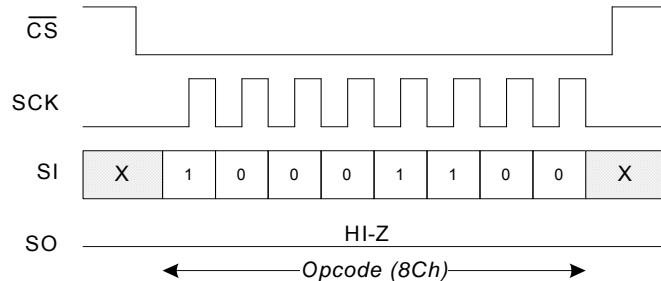
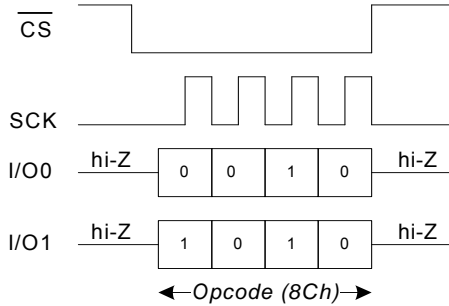


図 89. DPI モード時の STORE 命令



ソフトウェアリコール (RECALL) 命令

RECALL 命令を実行すると、nvSRAM はソフトウェア RECALL 処理を実行します。この命令を発行するには、デバイスは書き込み可能になる (WEL = 「1」) 必要があります。この命令は SPI、DPI、QPI モードで発行可能です。

注：RECALL 命令実行後の \overline{CS} の立ち上がりエッジで、WEL ビットがクリアされます。

図 90. QPI モード時の STORE 命令

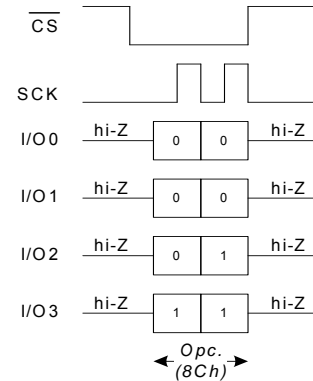


図 91. SPI モード時の RECALL 命令

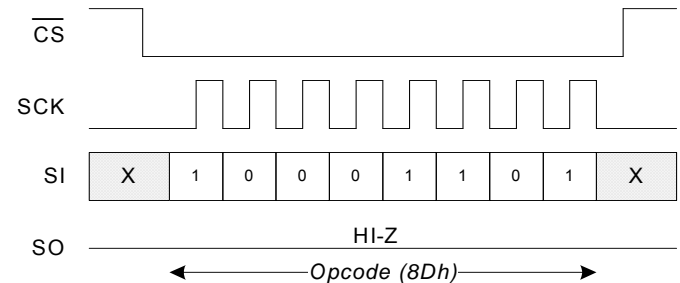


図 92. DPI モード時の RECALL 命令

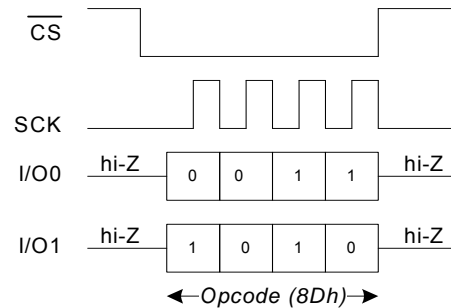
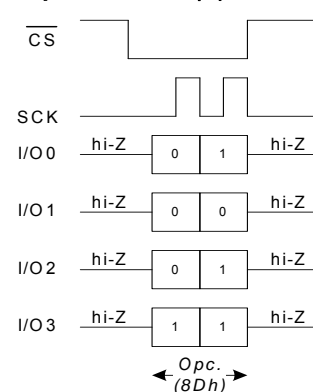


図 93. QPI モード時の RECALL 命令



Autostore イネーブル (ASEN) 命令

AutoStore イネーブル命令により、nvSRAM での AutoStore 処理が可能になります。この設定は不揮発性ではなく、電源を切断して再度投入しても保存されるには、この命令の後に STORE シーケンスを行う必要があります。この命令を発行するには、デバイスは書き込み可能になる (WEL=「1」) 必要があります。この命令は SPI、DPIO、QPI モードで発行可能です。

注：ASDI と ASEN 命令を実行すると、デバイスはソフトウェアシーケンス処理時間 (t_{SS}) の間ビジー状態になります。

注：ASEN 命令実行後の \overline{CS} の立ち上がりエッジで WEL ビットをクリアします。

図 94. SPI モード時の ASEN 命令

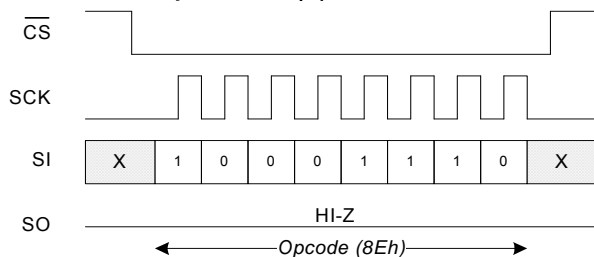


図 95. DPIO モード時の ASEN 命令

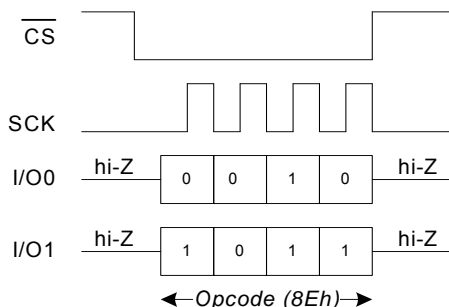
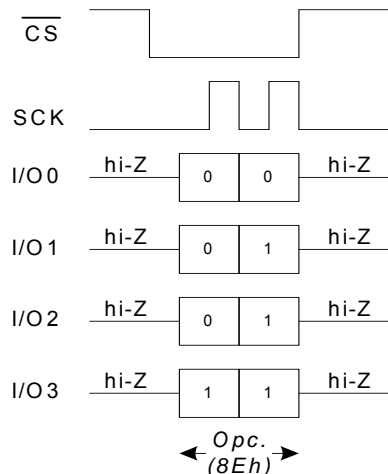


図 96. QPI モード時の ASEN 命令



Autostore ディスエーブル (ASDI) 命令

デフォルトでは、AutoStore はこのデバイスで有効です。ASDI 命令は AutoStore 処理を無効にします。この設定は不揮発性ではなく、電源を切断して再度投入しても保存されるには、この命令の後に STORE シーケンスを行う必要があります。この命令を発行するには、デバイスは書き込み可能になる (WEL=「1」) 必要があります。この命令は SPI、DPI、QPI モードで発行可能です。

注：ASDI 命令実行後の \overline{CS} の立ち上がりエッジで、WEN ビットがクリアされます。

図 97. SPI モード時の ASDI 命令

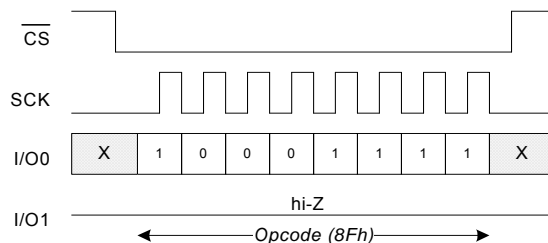


図 98. DPI モード時の ASDI 命令

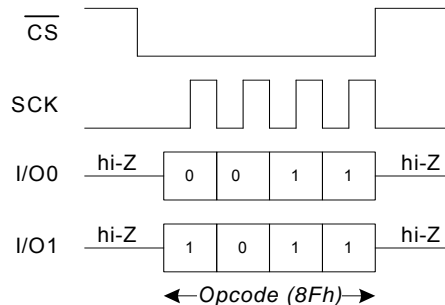
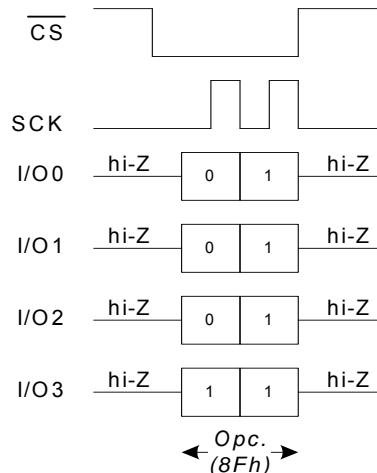


図 99. QPI モード時の ASDI 命令



注：QPI モードでは、ASDI 命令を実行する前にクアッド ビット CR[1] を論理「1」にする必要があります。

リアルタイムクロックの動作

nvTIME の動作

デバイスには、クロック、アラーム、ウォッチドッグ、割り込みおよび制御機能を備えた内部レジスタがあります。RTC レジスタは nvSRAM から独立したアドレス空間を占有し、レジスタアドレス 0x00 ~ 0x0F で RTC レジスタ読み出しおよび RTC レジスタ書き込みのシーケンスでアクセスできます。時間保持レジスタの内部ダブルバッファリングは、読み出しまたは書き込み処理中に過渡的な内部クロックデータへのアクセスを防ぎます。またダブルバッファリングは、クロックデータにアクセスする際、通常のタイミングカウントを中断するか、または内部クロックのクロック精度を劣化するのを回避します。クロックおよびアラームレジスタは BCD 形式でデータを格納します。

クロックの動作

クロックレジスタは、1 秒単位で 9,999 年までの時間を維持します。時間は任意のカレンダー時間に設定することができ、クロックは曜日と月の日、うるう年、世紀の変遷を自動的に刻みます。クロック機能には 8 つの専用レジスタがあります。これらは書き込みサイクルで時間を設定し、読み出しサイクルで時間を読み出すのに使われます。これらのレジスタには BCD 形式で時間を表す値が含まれています。「0」として定義されたビットは、現在使用されておらず、将来使用するために予約されています。

クロックの読み出し

ダブルバッファ付き RTC レジスタの構造は、クロックから不正なデータを読み出す可能性を減らします。遷移中のデータの読み出しを防止するために、デバイスの時間保持レジスタへの内部更新は、クロックデータを読み出す前に、読み出しビット「R」（フラグレジスタの 0x00 位置にある）が「1」にセットされると停止されます。レジスタの更新停止は、クロックの精度に影響を与えません。

RTC デバイスの読み出しシーケンスが開始されると、ユーザーの時間保持レジスタの更新が停止され、「0」がビット「R」（フラグレジスタの 0x00 位置にある）に書き込まれるまで再開されません。読み出しシーケンスの終了後、すべての RTC レジスタが、20ms 以内に同時に更新されます。

クロックを設定

書き込みビット「W」（フラグレジスタの 0x00 位置にある）を「1」にセットすると、RTC デバイスへの書き込みアクセスは時間保持レジスタの更新を停止し、時間の設定を可能にします。次に、正しい曜日、日付、および時間がレジスタに書き込まれます。正しい形式は、24 時間 BCD 形式です。書き込まれた時間は、「基準時刻」と呼ばれます。この値は、不揮発性レジスタに格納され、現在の時刻の計算に使用されます。ビット「W」が「0」を書き込んでクリアされると、時間保持レジスタの値は実際のクロックカウンターに転送されます。その後、クロックは通常の動作を再開します。

時間保持レジスタに書き込まれた時間が正しい BCD 形式でない場合は、RTC レジスタの各無効ニブルが 0xF までカウントを継続してから 0x0 にロールオーバーし、その後、RTC は通常の動作を再開します。

注 「W」ビットを「0」にセットした後、時間保持、アラーム、校正、および割り込みレジスタに書き込まれる値は、 t_{RTCp} 時間の間 RTC 時間保持カウンターに転送されます。これらのカウンターの値は、ソフトウェア／ハードウェア STORE または AutoStore 処理を起動させることにより、不揮発性メモリに保存する必要があります。AutoStore ディスエーブルモードでは、変更が正しく記録されるように、RTC レジスタへの書き込みを行いながら、 t_{RTCp} 時間の後に、STORE 処理を実行してください。

バックアップ電源

デバイスの RTC は、永続的電源供給動作用に設計されています。 V_{RTCbat} と V_{RTCbat} ピンをバッテリーに接続します。バッテリーを使用した場合は、3V リチウムバッテリーをお勧めします。デバイスは、主電源が取り去られた場合に、バッテリーからのみ電流を受けます。ただしバッテリーは、デバイスによって常に充電されるわけではありません。バッテリー容量は、システムのライフサイクルを通して、必要なダウンスタイルの合計予想時間を考慮して選択する必要があります。

主電源 (V_{CC}) が異常になり、 V_{SWITCH} を下回ると、デバイスの電源をバックアップ電源に切り替えます。クロック発振子の消費電流は非常に小さいため、バックアップ電源によるバックアップ時間が長くなります。主電源を喪失した状態のクロック動作にかかわらず、nvSRAM に格納されたデータは電源供給が遮断された時に不揮発性素子に格納されているため、失われることはありません。バックアップ動作中に、デバイスは室温で 0.45 μ A (標準値) を消費します。

注: バッテリーが V_{CC} に接続される前に V_{RTCbat} ピンに接続された場合、デバイスは高い I_{BAK} 電流を消費します。発振器が無効の場合でもこのことは発生します。バッテリーの持続時間を長くするために、バッテリーを V_{RTCbat} ピンに接続する前に V_{CC} に接続する必要があります。

発振器の起動と停止

校正レジスタの 0x08 にある OSCEN ビットが、発振器のイネーブルまたはディスエーブルを制御します。このビットは不揮発性であり、イネーブル状態（「0」に設定されている状態）でお客様に出荷されます。システムが保存状態にある場合にバッテリーを長持ちさせるには、OSCEN を「1」に設定する必要があります。これにより発振回路が停止し、バッテリー寿命が延びます。OSCEN ビットが無効から有効に切り替わる場合は、発振器が開始するのに約 1 秒（最大 2 秒）かかります。

システム電源が切断時に、バックアップ電源の電圧 (V_{RTCcap} または V_{RTCbat}) がそれぞれの最小レベルを下回る場合、発振器は動作しなくなることがあります。システムの電源が回復した時、デバイスは発振器障害を検出することができます。これは、フラグレジスタのアドレス 0x00 にある発振器異常フラグ (OSCF) に記録されます。デバイスが電源投入された時 (V_{CC} が V_{SWITCH} を上回る時)、「イネーブル」状態を確認するために、OSCEN ビットをチェックします。OSCEN ビットが有効になり、発振子が最初の 5ms 以内に起動しない場合は、OSCF ビットを「1」にセットします。システムはこの条件を確認して、フラグをクリアするために「0」を書き込む必要があります。

OSCF フラグビットを設定することに加え、時間レジスタは時間保持レジスタに書き込まれる最後の値である「基準時刻」にリセットされることにも注意してください。制御または校正レジスタと OSCEN ビットは、「発振子異常」の状態による影響を受けません。

OSCF の値は、時間レジスタが最初に書き込まれた際に、「0」にリセットする必要があります。これは、システムが最初に電源を投入された時にセットされている可能性があるこのビットの状態を初期化します。

OSCF をリセットするには、「W」ビット（フラグレジスタの 0x00 位置にある）を「1」にセットして、フラグレジスタへの書き込みを有効にします。書き込みを無効にするには、「OSCF」ビットに「0」を書き込んで、「W」ビットを「0」にリセットします。

クロックの校正

RTC は、32.768kHz の公称周波数を持つクォーツ水晶発振子によって駆動されます。クロック精度は、水晶と校正の品質に依存します。市販されている水晶発振子は通常、 $\pm 20\text{ppm}$ ~ $\pm 35\text{ppm}$ の誤差を持ちます。しかし、デバイスは 25°C で $+1/-2\text{ppm}$ まで精度を向上させる校正回路を採用しています。これは、月当たりの誤差が $+2.5 \sim -5$ 秒であることを意味します。

校正回路は、この精度を達成するため、発振子分周回路からカウントを加算または減算します。抑制 (減算、マイナス校正) または分割 (加算、プラス校正) されるパルス数は、校正レジスタの 0x08 位置にある 5 つの校正ビットに格納された値によります。校正ビットは、校正レジスタの 5 つの下位ビットを占有します。これらのビットは、バイナリ形式で 0 と 31 間の任意の値を表すためにセットされます。ビット D5 は符号ビットで、「1」がプラス校正、「0」がマイナス校正を示します。カウントを加算するとクロックが速くなり、減算するとクロックが遅くなります。2 進数の「1」がレジスタにロードされると、符号に応じて発振子の誤差に 4.068 または -2.034ppm のオフセット調整を行います。

校正は、64 分サイクル内で発生します。サイクルの最初の 62 分は、毎分 1 回、128 の発振サイクルで 1 秒短縮されるか、256 の発振サイクルで 1 秒長くなります。2 進数の「1」がレジスタにロードされると、64 分サイクルの最初の 2 分のみが変更されます。2 進数の 6 がロードされると、最初の 12 分が影響を受け、同じパターンが続きます。したがって、各校正の手順は、実際の 125,829,120 回の発振サイクルごとに、512 を加算または 256 を減算する効果があります。これは、校正レジスタの校正ステップごとに、4.068 または -2.034ppm の調整を行うことを意味します。

必要な校正を決定するには、フラグレジスタの CAL ビット (0x00 位置にある) を「1」にセットする必要があります。これは、INT ピンを 512Hz の公称周波数でトグルさせます。512Hz から測定されるすべての偏差は、必要な補正の程度と方向を示します。たとえば、512.01024Hz の読み出しは $+20\text{ppm}$ の誤差を示します。したがって、 -10 (001010b) の 10 進値を校正レジスタにロードし、この誤差を相殺する必要があります。

注: 校正レジスタを設定や変更しても、テスト出力周波数には影響しません。

CAL をセットまたはクリアするには、「W」ビット (フラグレジスタの 0x00 位置にある) を「1」にセットして、フラグレジスタへの書き込みを有効にします。CAL に値を書き込み、次に「W」ビットを 0 にリセットし、書き込みを無効にします。

アラーム

アラーム機能は、ユーザーがプログラムしたアラームの時間と日付 (レジスタ 0x01-5 に格納されている) の値を、該当する時刻と日付の値と比較します。一致すると、アラーム内部フラグ (AF) がセットされ、アラーム割り込みイネーブル (AIE) ビットがセットされている場合は、割り込みが INT ピンで生成されます。

日付、時間、分、秒という、4 つのアラーム マッチ フィールドがあります。これらの各フィールドは、フィールドがアラームのマッチ論理で使用されているかどうかを決定するために使用されるマッチビットを持っています。マッチビットが「0」にセットされている場合は、対応するフィールドがマッチ プロセスで使用されていることを示します。マッチビットに応じて、アラームは、月に一度など特定の頻度で発生します。最小頻度は毎分 1 回です。マッチビットのいずれもを選択しない (すべて 1) 場合は、マッチが必要とされないため、アラームが無効に

なることを示します。すべてのマッチ ビット (すべて 0) を選択すると、正確な時間と日付のマッチが発生します。

アラーム イベントを検出するには、AF フラグを読み出すか、または INT ピンを監視するという 2 つの方法を使用します。フラグレジスタの 0x00 位置にある AF フラグは、日付や時間が一致したかどうかを示します。一致すると、AF ビットが 1 にセットされます。フラグレジスタを読み出すと、アラーム フラグ ビット (および他のすべて) がクリアされます。ハードウェア割り込みピンも、アラーム イベントを検出するために使用されることがあります。

アラームをセット、クリアまたはイネーブルするには、「W」ビット (フラグレジスタの 0x00 位置にある) を「1」にセットして、アラームレジスタへの書き込みを可能にします。アラームの値を書き込んだ後、W ビットを「0」にクリアし、変更を可能にします。

注: アラーム フラグと割り込みが正常に動作するために、デバイスは秒のアラームマッチビット (アラームセコンドレジスタの 0x02 位置にあるビット「D7」) を「0」にセットすることを必要とします。

ウォッチドッグ タイマー

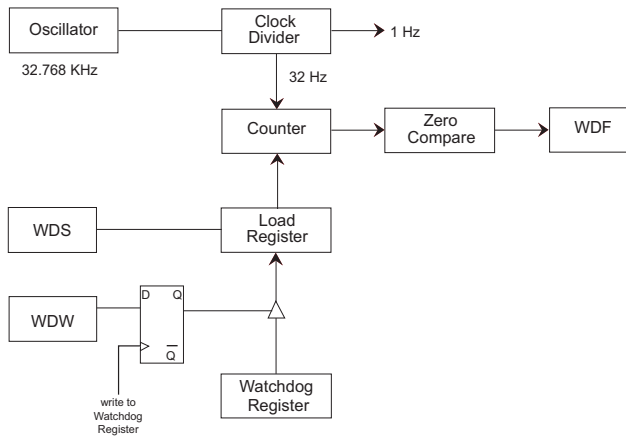
ウォッチドッグ タイマーは、水晶発振器から派生した 32Hz のクロック (31.25ms) を使用する、フリーランニングのダウン カウンターです。発振器は、ウォッチドッグ タイマーにクロックを供給し続ける必要があります。ウォッチドッグ タイマーレジスタにロードされた値からカウント ダウンを開始します。

タイマは、ロード可能なレジスタとフリーランニング カウンターから構成されています。電源投入時に、レジスタの 0x07 位置にあるウォッチドッグ タイムアウト値が、カウンターのロードレジスタにロードされます。カウントは、電源投入時に開始され、ウォッチドッグ ストロープ (WDS) ビットが 1 にセットされる度に、ロード可能な値から再起動します。カウンターは、「0」の終端値と比較されます。カウンターがこの値に達すると、内部フラグと任意の割り込み出力が発生します。カウンターが「0」に到達する前に WDS ビットを「1」にセットすることにより、タイムアウト割り込みを防ぐことができます。これにより、カウンターはウォッチドッグ タイムアウト値でリロードされ、再起動されます。カウンターが終端の値に達する前に WDS ビットを設定する限り、割り込みとウォッチドッグ タイマー フラグは発生しません。

ウォッチドッグ書き込みビットを「0」にセットすることで、新しいタイムアウト値が書き込まれます。WDW が 0 の場合、タイムアウト値を変更するためにウォッチドッグ タイムアウトの値ビット D5 ~ D0 への新規書き込みが有効にされます。WDW が「1」の場合、D5 ~ D0 ビットへの書き込みは無視されます。WDW 機能は、ウォッチドッグ タイマーの値が変更されることを考慮せずに、WDS ビットをセットできるようにします。ウォッチドッグ タイマーの論理図を [47 ページの図 100](#) に示します。ウォッチドッグ タイムアウト値を「0」にセットすると、ウォッチドッグ機能が無効になることに注意してください。

ウォッチドッグ タイマーの出力は、ウォッチドッグのタイムアウトが許可されている場合にセットされる WDF というフラグビットです。割り込みレジスタのウォッチドッグ割り込みイネーブル (WIE) ビットがセットされている場合は、ウォッチドッグ タイムアウト時に INT ピンのハードウェア割り込みも生成されます。フラグとハードウェア割り込みは、ユーザーがフラグレジスタを読み出した時に両方クリアされます。

図 100. ウォッチドッグ タイマーのブロック図



プログラム可能な方形波ジェネレータ

方形波ジェネレータ ブロックは、水晶出力を使用してデバイスの INT ピンに所望の周波数を生成します。出力周波数は、以下のいずれかになるようにプログラムすることができます。

- 1Hz
- 512Hz
- 4096Hz
- 32768Hz

デバイスがバックアップ電源で動作している間、方形波出力は生成されません。

電源モニター

デバイスは電源異常割り込み機能を備えた電力管理スキームを提供しています。また、クロック用のバックアップ電源への内部切り替えを制御し、低 V_{CC} アクセスからメモリを保護します。電源モニターは、 V_{CC} 電圧を V_{SWITCH} 閾値と比較する内部バンドギャップ参照回路に基づきます。

6 ページの **AutoStore 処理** で説明したように、 V_{CC} が電源切断時に V_{SWITCH} に達すると、データ STORE 処理が SRAM から不揮発性素子に向けて開始され、最後の SRAM データ状態を確保します。また、電源は V_{CC} からバックアップ電源 (バッテリー) に切り替えられて、RTC 発振器を稼働します。

バックアップ電源から動作している場合、nvSRAM への読み書き処理が抑制され、RTC 機能が利用できなくなります。RTC クロックは、バックグラウンドで処理を継続します。更新された RTC 時間保持レジスタは、 V_{CC} が回復された後で利用できるようになります (59 ページの **AutoStore** または **パワーアップ RECALL** を参照)。

バックアップ電源モニター

デバイスは、バックアップ電源 (バッテリー バックアップ) 障害を検出するバックアップ電源監視システムを提供します。バックアップ電源に障害が生じた場合、次の電源投入時にバックアップ電源障害フラグ (BPF) が発行されます。バックアップ電圧が $V_{BAKFAIL}$ よりも下がった場合に、BPF フラグがセットされます。RTC がバックアップ モードで実行中である際もバックアップ電源が監視されます。バックアップ モード中に検出された低電圧は、BPF フラグを通してフラグが立てられます。BPF は、バックアップ電圧 (V_{DR}) が定義された LOW レベルになるまでのみデータを保持することができます。

割り込み

CY14X101Q は、フラグレジスタ、割り込みレジスタ、およびマイクロコントローラーへの割り込み信号を送ることができる割り込みロジックを持っています。割り込みには、ウォッチドッグ タイマー、電源モニター、アラーム タイマーという 3 つの可能な発生源があります。それぞれ、個別に有効にして、割り込みレジスタ (0x06) 内で適切な設定を行うことで、INT ピンを駆動することができます。さらに、各々はホスト プロセッサが割り込みの原因を判定するために使用するフラグ レジスタ内 (0x00 位置) に、対応するフラグ ビットを持っています。INT ピンのドライバーは、割り込みが発生した時にその動作を指定する 2 つのビットを持っています。

割り込みは、両方のフラグが、3 つのソースのいずれかによって立てられた場合、および割り込みレジスタで該当する割り込みイネーブルビットが有効になった (「1」にセット) 場合のみ発生します。割り込みソースがアクティブになった後、2 つのプログラマブル ビット、H/L と P/L は、INT ピンで出力ピンドライバーの動作を決定します。これらの 2 ビットは割り込みレジスタにあり、INT ピンからレベル モードまたはパルス モードの出力を駆動するために使用できます。パルス モードでは、パルス幅が内部で約 200ms に固定されます。このモードは、ホスト マイクロコントローラーをリセットするために用意されています。レベル モードでは、フラグ レジスタがユーザーによって読み出されるまで、ピンはアクティブ極性になります。このモードは、ホスト マイクロコントローラーへの割り込みとして使用されます。制御ビットは **割り込みレジスタ** のセクションでまとめられます。

割り込みは、システムが通常の電源モードで動作する時にのみ生成され、バックアップ電源モードで実行されている時にはトリガーされません。

注: デバイスはパワーアップ RECALL シーケンスが完了した後のみ有効な割り込みを生成します。INT ピンのすべてのイベントは、電源投入後、 t_{FA} 中は無視される必要があります。

割り込みレジスタ

ウォッチドッグ割り込みイネーブル (WIE): 「1」にセットすると、ウォッチドッグ タイマーは、ウォッチドッグ タイムアウトが発生した際に INT ピンと内部フラグを駆動します。WIE を「0」にセットすると、ウォッチドッグ タイマーは、フラグ レジスタの WDF フラグにのみ影響します。

アラーム割り込み イネーブル (AIE): 「1」にセットすると、アラームのマッチにより、INT ピンと内部フラグが駆動されます。AIE を「0」にセットすると、アラームのマッチは、フラグ レジスタの AF フラグにのみ影響します。

電源異常割り込みイネーブル (PFE): 「1」にセットすると、電源異常モニターにより、ピンと内部フラグが駆動されます。PFE を「0」にセットすると、電源異常モニターは、フラグ レジスタの PF フラグにのみ影響します。

方形波イネーブル (SQWE): 「1」にセットされると、プログラム可能な周波数の方形波が INT ピンに生成されます。周波数は割り込みレジスタの SQ1 と SQ0 ビットによって決定されます。このビットは不揮発性であり、パワーサイクルに耐えます。SQWE ビットは他のすべての割り込みよりも優先されます。しかし、CAL ビットは方形波ジェネレータよりも優先されます。このビットは工場出荷時にデフォルトで「0」にセットされています。

HIGH/LOW (H/L): 「1」にセットすると、INT ピンがアクティブ HIGH になり、ドライバー モードがプッシュプルになります。INT ピンは、 V_{CC} が V_{SWITCH} を上回る場合にのみ HIGH に駆動されます。「0」にセットした場合、INT ピンがアクティブ LOW になり、ドライバー モードがオープンドレインになります。アクティブ LOW モードで割り込みを使用している間、INT ピンは 10k Ω の抵抗を介して V_{CC} にプルアップする必要があります。

パルス/レベル (P/L): 「1」にセットし、割り込みが発生すると、INT ピンが約 200ms 間駆動されます。P/L が「0」にセットされると、INT ピンは、フラグ レジスタが読み出されるまで、HIGH または LOW (H/L により決定される) に駆動されます。

SQ1 および SQ0: SQWE ビットが「1」にセットされている時、これらのビットは INT ピン出力で方形波の周波数を固定するために一緒に使用されます。これらのビットは不揮発性であり、パワーサイクルに耐えます。次の表に示されているように、出力周波数が決定されます。

表 13. SQW 出力選択

SQ1	SQ0	周波数	備考
0	0	1Hz	1Hz 信号
0	1	512Hz	校正に便利
1	0	4096Hz	4kHz クロック出力
1	1	32768Hz	発振器出力周波数

イネーブルな割り込みソースが INT ピンをアクティブ化すると、外部ホストはレジスタのフラグを読み出して、原因を特定します。レジスタが読み出される際には、すべてのフラグがクリアされることに注意してください。INT ピンがレベルモードにプログラムされている場合、条件はクリアされ、INT ピンは非アクティブ状態に戻ります。ピンがパルスモードにプログラムされている場合、フラグを読み出すと、フラグとピンはクリアされます。フラグ レジスタが読み出されると、パルスは、その指定された期間を完了しません。INT ピンがホストのリセットとして使用されている場合は、フラグ レジスタはリセット中に読み出されません。

以下は INT ピンの状態をまとめた表です。

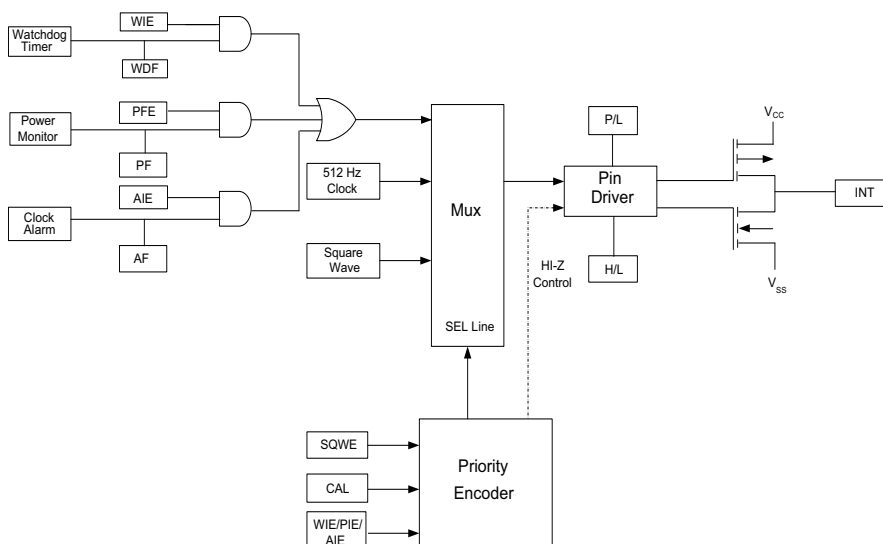
表 14. INT ピンの状態

CAL	SQWE	WIE/AIE/PFE	INT ピン出力
1	X	X	512Hz
0	1	X	方形波出力
0	0	1	アラーム
0	0	0	HI-Z

フラグ レジスタ

フラグ レジスタは、割り込みを生成するために使用される WDF、AF、および PF という 3 つのフラグ ビットを持っています。これらのフラグは、ウォッチドッグ タイムアウト、アラーム マッチ、または電源異常モニターによってそれぞれセットされます。フラグがセットされると、プロセッサはこのレジスタをポーリングするか、または通知される割り込みをイネーブルにすることができます。これらのフラグは、レジスタが読み出された後、自動的にリセットされます。電源投入時にフラグ レジスタに値 0x00 が自動的にロードされます (OSCF ビットを除く)。45 ページの発振器の起動と停止を参照してください。

図 101. 割り込みブロック図

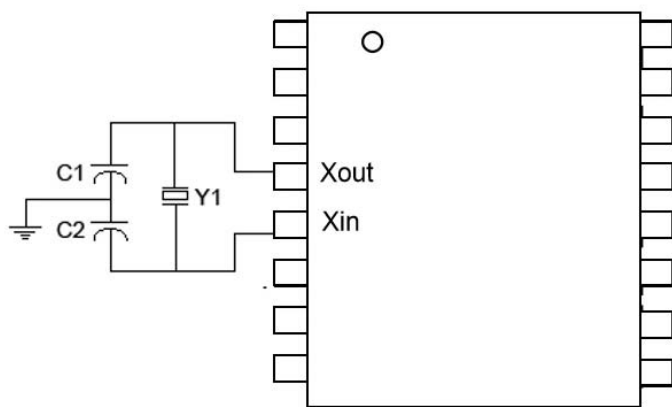


- WDF - ウォッチドッグ タイマー フラグ
- WIE - ウォッチドッグ 割り込みイネーブル
- PF - 電源異常フラグ
- PFE - 電源異常イネーブル
- AF - アラーム フラグ
- AIE - アラーム割り込みイネーブル
- P/L - パルス レベル
- H/L - HIGH/LOW
- SQWE - 方形波イネーブル

RTC 外部コンポーネント

RTC は、図 102 に示しているように、外部に 32.768kHz 水晶発振器と C_1 、 C_2 の負荷容量を接続する必要があります。この図では RTC 外部コンポーネントの推奨値を示しています。負荷容量 C_1 と C_2 は、プリント回路基板 (PCB) の寄生容量を含んでいます。PCB の寄生容量は、水晶発振子のパッド／ピンのランド パターン、 X_{in} / X_{out} のパッドおよび水晶発振子とデバイス ピンを接続する銅配線に生じる静電容量を含んでいます。

図 102. RTC の推奨コンポーネント コンフィギュレーション^[1]



Recommended Values

$Y1 = 32.768 \text{ kHz}$

$C_1 = 20 \text{ pF}$

$C_2 = 40 \text{ pF}$

Note: The recommended values for C_1 and C_2 include board trace capacitance.

注:

1. nvSRAM RTC の設計ガイドラインおよびベスト プラクティスについては、アプリケーション ノート [AN61546](#) を参照してください。

RTC に関する PCB 設計上の注意事項

RTC の水晶発振器は、それら水晶発振器のピンに高インピーダンス ノードが付いた低電流の回路です。RTC の時間管理をする信号の電流が小さいので、基板上の水晶発振器の接続はノイズに非常に敏感です。そのため、RTC 回路を基板上の他の信号から分離する必要があります。

PCB 上の浮遊容量を最小限に抑えることも重要です。浮遊容量は水晶発振器の負荷容量に追加されるので、発振周波数エラーを引き起こします。最適 RTC 性能を得るためには、適切にバイパス処理を施した慎重なレイアウトをする必要があります。

レイアウトに関する要求

基板レイアウトは、RTC 回路を配線する際に、次のガイドラインを順守しなければなりません（しかし、限定はされません）。次のガイドラインは、RTC 設計の最適な性能を得る手助けになります。

- 水晶発振器をできる限り X_{in} と X_{out} ピンの近くに配置するのが重要です。水晶発振器と RTC 間の配線長を同じにし、配線長を可能な限り短くしてアンテナの長さを短くすることでノイズカップリングを起こさないようにします。

- X_{in} と X_{out} 配線幅を 8mil 以下にします。配線幅が太いほど、配線容量が高くなります。これらの接着パッドと配線が大きいほど、隣接する信号からノイズが乗る可能性が高くなります。

- 水晶発振回路をガードリングで囲んで X_{in} と X_{out} 信号を保護します。このガードリングが、近接している信号からのノイズカップリングを防止します。

- RTC 配線の近くで何か他の高速信号を配線する時にも注意してください。水晶発振器が、基板上で他の信号から分離されればされる程、ノイズが水晶発振器に乘る可能性も低くなります。基板上で、 X_{in} 、 X_{out} 配線と他の高速信号線の距離を 200mil 以上離してください。

- 同一 PCB 層で水晶コンポーネントの直下に信号を走らせないでください。

- PCB の別の信号層上を走っている配線からカップリングされる不要なノイズを防止するために、隣接した PCB 層および水晶発振回路の真下に、絶縁した銅のベタ面を造ってください。ローカル面は、同じ PCB 層上の隣接した面から少なくとも 40mil 分離する必要があります。ベタ面は RTC コンポーネントの近くに置いて、その周辺部はガードリング周辺に等しく保つ必要があります。図 103 は RTC 回路の推奨レイアウトを示しています。

図 103. RTC の推奨レイアウト

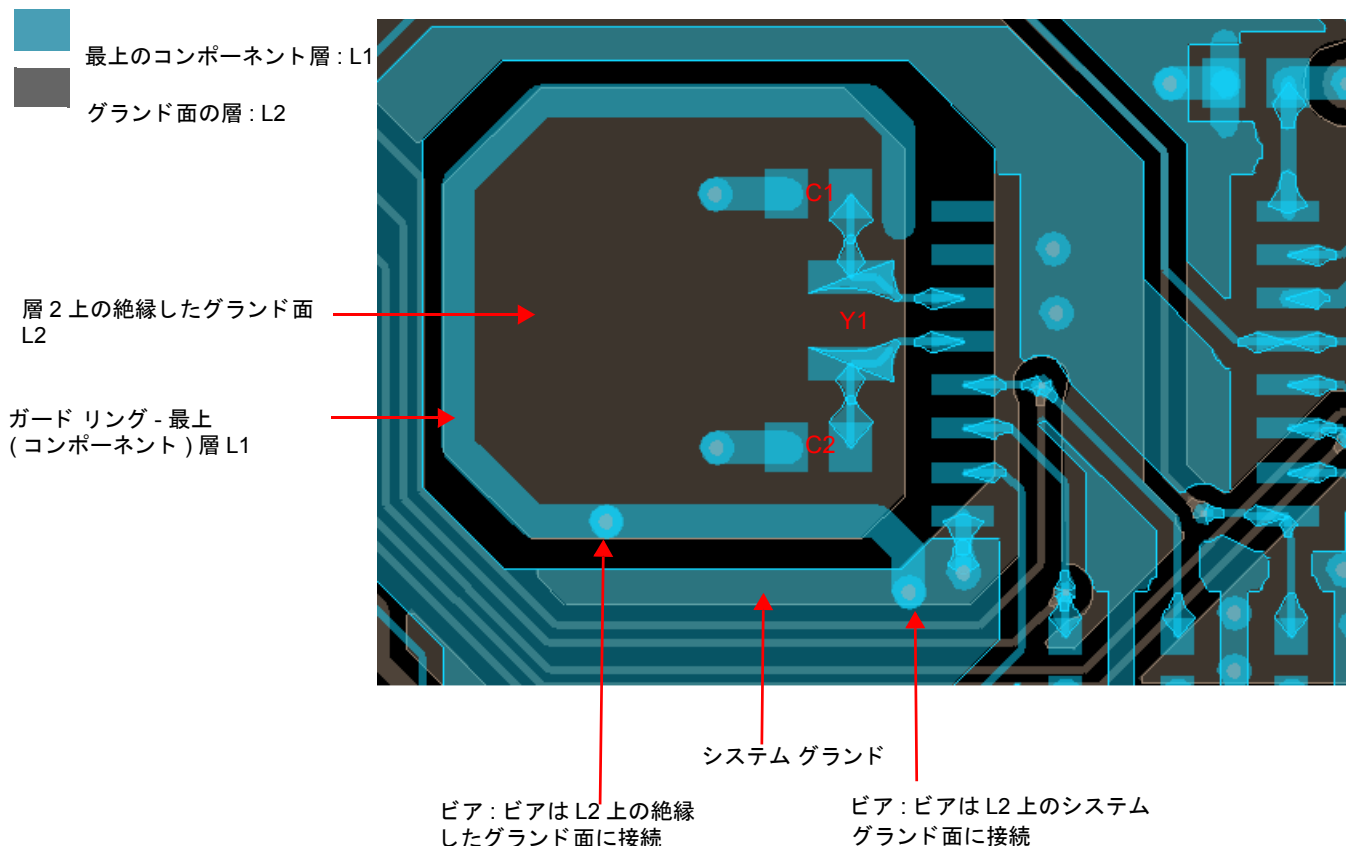


表 15. RTC レジスタ マップ^[2, 3]

レジスタ	BCD 形式のデータ								機能／範囲
	D7	D6	D5	D4	D3	D2	D1	D0	
0x0F	年 (10 年の位)				年 (1 年の位)				年 : 00 ~ 99
0x0E	0	0	0	月 (10ヶ月の位)	月 (1ヶ月の位)				月 : 01 ~ 12
0x0D	0	0	日 (10 日の位)		日 (1 日の位)				月の日 : 01 ~ 31
0x0C	0	0	0	0	0	曜日			曜日 : 01 ~ 07
0x0B	0	0	時間 (10 時間の位)		時間 (1 時間の位)				時間 : 00 ~ 23
0x0A	0	分 (10 分の位)			分 (1 分の位)				分 : 00 ~ 59
0x09	0	秒 (10 秒の位)			秒 (1 秒の位)				秒 : 00 ~ 59
0x08	OSCEN (0)	0	校正の符号 (0)	校正 (00000)					校正値 ^[4]
0x07	WDS (0)	WDW (1)	WDT (000000)						ウォッチドッグ ^[4]
0x06	WIE (0)	AIE (0)	PFE (0)	SQWE (0)	H/L (1)	P/L (0)	SQ1 (0)	SQ0 (0)	割り込み ^[4]
0x05	M (1)	0	アラーム日 (10 日の位)		アラーム日 (1 日の位)				アラーム、月の日 : 01 ~ 31
0x04	M (1)	0	アラーム時間 (10 時間の位)		アラーム時間 (1 時間の位)				アラーム、時間 : 00 ~ 23
0x03	M (1)	アラーム分 (10 分の位)			アラーム分 (1 分の位)				アラーム、分 : 00 ~ 59
0x02	M (1)	アラーム秒 (10 秒の位)			アラーム秒 (1 秒の位)				アラーム、秒 : 00 ~ 59
0x01	世紀 (10 世紀の位)				世紀 (1 世紀の位)				世紀 : 00 ~ 99
0x00	WDF	AF	PF	OSCF ^[5]	BPF ^[5]	CAL (0)	W (0)	R (0)	フラグ ^[4]

注:

- () は工場出荷時の値を示します。
- RTC レジスタの未使用ビットは将来の使用のために予約されており、「0」に設定されている必要があります。
- これは BCD 値ではなく、2 進値です。
- ユーザーが OSCF と BPF フラグ ビットをリセットする場合、フラグ レジスタは t_{RTC0} 時間後に更新されます。

表 16. レジスタ マップ 詳細

0x0F	時間管理 - 年							
	D7	D6	D5	D4	D3	D2	D1	D0
	年 (10 年の位)				年 (1 年の位)			
	年の下位 2 桁の BCD 表記を格納。下位ニブル (4 ビット) は年の 1 の位の値を格納し、上位ニブル (4 ビット) は年の 10 の位の値を格納。それぞれのニブルは 0 ～ 9 の値を持っている。レジスタの範囲は 0 ～ 99							
0x0E	時間管理 - 月							
	D7	D6	D5	D4	D3	D2	D1	D0
	0	0	0	月 (10ヶ月の位)	月 (1ヶ月の位)			
	月の桁の BCD 表記を格納。下位ニブル (4 ビット) は下位桁を格納し、0 ～ 9 の値を持つ。上位ニブル (1 ビット) は上位桁を格納し、0 ～ 1 の値を持つ。レジスタの範囲は 1 ～ 12							
0x0D	時間管理 - 日							
	D7	D6	D5	D4	D3	D2	D1	D0
	0	0	日 (10 日の位)		日 (1 日の位)			
	日の桁の BCD 表記を格納。下位ニブル (4 ビット) は下位桁を格納し、0 ～ 9 の値を持つ。上位ニブル (2 ビット) は上位桁を格納し、0 ～ 3 の値を持つ。レジスタの範囲は 1 ～ 31。うるう年は自動的に調整される							
0x0C	時間管理 - 曜日							
	D7	D6	D5	D4	D3	D2	D1	D0
	0	0	0	0	0	曜日		
	下位ニブル (3 ビット) は曜日に対応する値を格納。曜日は、1 から 7 までカウントしてから 1 に戻るリング カウンター。曜日は日に関連付けられていないので、ユーザーは日の値に曜日を割り当てる必要がある							
0x0B	時間管理 - 時間							
	D7	D6	D5	D4	D3	D2	D1	D0
	0	0	時間 (10 時間の位)		時間 (1 時間の位)			
	24 時間形式での時の値の BCD 表記を格納。下位ニブル (4 ビット) は下位桁を格納し、0 ～ 9 の値を持つ。上位ニブル (2 ビット) は上位桁を格納し、0 ～ 2 の値を持つ。レジスタの範囲は 0 ～ 23							
0x0A	時間管理 - 分							
	D7	D6	D5	D4	D3	D2	D1	D0
	0	分 (10 分の位)			分 (1 分の位)			
	分の値の BCD 表記を格納。下位ニブル (4 ビット) は下位桁を格納し、0 ～ 9 の値を持つ。上位ニブル (3 ビット) は上位桁を格納し、0 ～ 5 の値を持つ。レジスタの範囲は 0 ～ 59							
0x09	時間管理 - 秒							
	D7	D6	D5	D4	D3	D2	D1	D0
	0	秒 (10 秒の位)			秒 (1 秒の位)			
	秒の値の BCD 表記を格納。下位ニブル (4 ビット) は下位桁を格納し、0 ～ 9 の値を持つ。上位ニブル (3 ビット) は上位桁を格納し、0 ～ 5 の値を持つ。レジスタの範囲は 0 ～ 59							
0x08	校正／制御							
	D7	D6	D5	D4	D3	D2	D1	D0
	OSCEN	0	校正符号	校正				
OSCEN	発振子イネーブル：「1」にセットすると、発振器が停止。「0」にクリアすると、発振器が動作。振動子を無効にすると、保持中のバッテリーの電力を節約							
校正の符号	タイムベースへの加算 (1) かタイムベースからの減算 (0) として校正調整を適用するかを判定							
校正	これらの 5 ビットはクロックの校正を制御							
0x07	ウォッチドッグ タイマー							
	D7	D6	D5	D4	D3	D2	D1	D0
	WDS	WDW	WDT					

表 16. レジスタ マップ詳細 (続き)

WDS	ウォッチドッグ ストロープ：このビットを「1」にセットすると、ウォッチドッグ タイマーが再起動される。このビットを「0」にクリアすると、何の影響もない。ウォッチドッグ タイマーをリセットした後、ビットは自動的にクリアされる。WDS ビットは書き込み専用。これを読み出すと常に「0」が返される							
WDW	ウォッチドッグ書き込みイネーブル：このビットを「1」にセットすると、ウォッチドッグ タイムアウト値 (D5 ～ D0) への書き込みがすべて無効になる。これにより、ユーザーはタイムアウト値を変更せずにウォッチドッグ ストロープのビットを設定可能。このビットを「0」にクリアすると、次の書き込みサイクルが完了した時にビット D5 ～ D0 がウォッチドッグ レジスタに書き込まれる。この機能の詳細は 46 ページのウォッチドッグ タイマー で説明されている							
WDT	ウォッチドッグ タイムアウト選択：ウォッチドッグ タイマーの間隔はこのレジスタの 6 ビットの値によって選択される。それは 32Hz のカウント (31.25ms) の乗数を表す。タイムアウト値の範囲は 31.25ms (「1」に設定) ～ 2 秒 (3Fh に設定)。ウォッチドッグ タイマー レジスタを「0」にクリアすると、タイマーが無効になる。WDW ビットが前のサイクルで「0」に設定されている場合にのみ、これらのビットは書き込み可能							
0x06	割り込みステータス／制御							
	D7	D6	D5	D4	D3	D2	D1	D0
	WIE	AIE	PFE	SQWE	H/L	P/L	SQ1	SQ0
WIE	ウォッチドッグ割り込みイネーブル：「1」セットした場合、ウォッチドッグ タイムアウトが発生すると、ウォッチドッグ タイマーが INT ピンと WDF フラグを駆動。「0」にクリアした場合、ウォッチドッグ タイムアウトは WDF フラグにのみ影響を与える							
AIE	アラーム割り込みイネーブル：「1」にセットすると、アラームの一致は INT ピンと AF フラグを駆動。「0」にクリアすると、アラームの一致は AF フラグにのみ影響を与える							
PFE	電源異常イネーブル：「1」にセットすると、アラームの一致は INT ピンと PF フラグを駆動。「0」にクリアすると、電源異常モニターは、PF フラグにのみ影響を与える							
SQWE	方形波イネーブル：「1」にセットすると、方形波が、SQ1 と SQ0 ビットを使用してプログラムされた周波数で INT ピンに駆動される。方形波出力は割り込みロジックよりも優先される。SQWE ビットが「1」にセットされた場合、有効にされた割り込みソースがアクティブになると、該当するフラグのみが立てられ、INT ピンは方形波の駆動を継続							
H/L	HIGH/LOW: 「1」にセットすると、INT ピンはアクティブ HIGH に駆動される。「0」にクリアすると、INT ピンはオープンドレインで、アクティブ LOW となる							
P/L	パルス／レベル：「1」にセットすると、INT ピンは約 200ms の間割り込みソースによってアクティブ (H/L で決まる) に駆動される。「0」にクリアすると、INT ピンはフラグ レジスタが読み出されるまで、アクティブレベル (H/L で決まる) に駆動される							
SQ1, SQ0	SQ1, SQ0: これらのビットは、SQWE ビットが「1」にセットされた時に INT ピン出力で方形波の周波数を決定するために使用される。以下は、それぞれの組み合わせ (SQ1, SQ0) の周波数出力： (0, 0) - 1Hz (0, 1) - 512Hz (1, 0) - 4096Hz (1, 1) - 32768Hz							
0x05	アラーム - 日							
	D7	D6	D5	D4	D3	D2	D1	D0
	M	0	アラーム日 (10 日の位)			アラーム日 (1 日の位)		
	月の日のアラーム値、および日の値を選択または選択解除するマスク ビットを含む							
M	一致：このビットを「0」にクリアすると、日の値はアラーム一致に使用。このビットを「1」にセットすると、一致回路は日の値を無視							
0x04	アラーム - 時間							
	D7	D6	D5	D4	D3	D2	D1	D0
	M	0	アラーム時間 (10 時間の位)			アラーム時間 (1 時間の位)		
	時のアラーム値、および時間の値を選択または選択解除するマスク ビットを含む							
M	一致：このビットを「0」にクリアすると、時間の値はアラーム一致に使用。このビットを「1」にセットすると、一致回路は時間の値を無視							

表 16. レジスタ マップ詳細 (続き)

0x03	アラーム - 分							
	D7	D6	D5	D4	D3	D2	D1	D0
	M	アラーム分 (10 分の位)				アラーム分 (1 分の位)		
	分のアラーム値、および分の値を選択または選択解除するマスク ビットを含む							
M	一致: このビットを「0」にクリアすると、分の値はアラーム一致に使用。このビットを「1」にセットすると、一致回路は分の値を無視							
0x02	アラーム - 秒							
	D7	D6	D5	D4	D3	D2	D1	D0
	M	アラーム秒 (10 秒の位)				アラーム秒 (1 秒の位)		
	秒のアラーム値、および秒の値を選択または選択解除するマスク ビットを含む							
M	一致: このビットを「0」にクリアすると、秒の値はアラーム一致に使用。このビットを「1」にセットすると、一致回路は秒の値を無視							
0x01	時間管理 - 世紀							
	D7	D6	D5	D4	D3	D2	D1	D0
	世紀 (10 世紀の位)				世紀 (1 世紀の位)			
	世紀の値の BCD 表記を格納。下位ニブルは下位桁を格納し、0 ~ 9 の値を持つ。上位ニブルは上位桁を格納し、0 ~ 9 の値を持つ。レジスタの範囲は 1 ~ 99							
0x00	フラグ							
	D7	D6	D5	D4	D3	D2	D1	D0
	WDF	AF	PF	OSCF	BPF	CAL	W	R
WDF	ウォッチドッグ タイマー フラグ: この読み出し専用ビットは、ウォッチドッグ タイマーの値がユーザーによってリセットされずに 0 に達した時、「1」にセットされる。フラグ レジスタが読み出される時、または電源投入時に「0」にクリアされる							
AF	アラーム フラグ: この読み出し専用ビットは、一致ビットが「0」の時、時間と月の日がアラーム レジスタに保存された値と一致する場合、「1」にセットされる。フラグ レジスタが読み出される時、または電源投入時にクリアされる							
PF	電源異常フラグ: この読み出し専用ビットは、電源が電源異常の閾値 V_{SWITCH} を下回ると、「1」にセットされる。これはフラグ レジスタが読み出される時、クリアされる							
OSCF	発振器異常フラグ: 電源投入時、発振器が有効になったのに最初の 5ms 間に起動しない場合、「1」にセットされる。これは、RTC バックアップ電源に異常が発生し、クロックの値が有効でなくなったことを示す。このビットは、電源切断後に再投入しても保持され、内部的にチップによってクリアされない。この条件を確認し、フラグをクリアするために「0」を書き込む必要がある。ユーザーが OSCF フラグ ビットをリセットすると、ビットは t_{RTCp} 時間後に更新される							
BPF	バックアップ電源異常フラグ: バックアップ電源 (バッテリー) に障害が生じた場合、電源投入時に「1」にセットされる。バックアップ電源の障害の状態は、指定された最小電圧を下回った電圧で決まる。BPF は、バックアップ電圧 (V_{DR}) が定義された LOW レベルになるまでのみデータを保持することができます。このフラグをクリアするには、ユーザーがこのビットをリセットする必要がある。ユーザーが BPF フラグ ビットをリセットすると、ビットは t_{RTCp} 時間後に更新される							
CAL	校正モード: 「1」にセットすると、512Hz の方形波が INT ピンに出力される。「0」にクリアすると、INT ピンは通常動作を再開。このビットは SQ0/SQ1 および他の機能よりも優先される。電源投入時、このビットの初期設定値は「0」(無効)							
W	書き込みイネーブル: W ビットを「1」にセットすると、RTC レジスタの更新が停止される。これで、ユーザーが RTC レジスタ、アラーム レジスタ、校正レジスタ、割り込みレジスタ、フラグ レジスタに書き込むことができるようになる。W ビットを「0」にセットした場合、時間が変更されると、RTC レジスタの内容が時間管理カウンタに転送される。この転送プロセスは、完了に t_{RTCp} 時間かかる。電源投入時、このビットの初期設定値は「0」							
R	読み出しイネーブル: R ビットを「1」にセットすると、読み出し処理中にクロックの更新が行われないうにユーザー RTC レジスタへのクロックの更新が停止される。R ビットを「0」にクリアすると、保持レジスタへのクロックの更新が再開される。このビットの設定には、W ビットを「1」にセットする必要はない。電源投入時、このビットの初期設定値は「0」							

最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。これらのユーザー ガイドラインはテストされていません。

保存温度 -65°C ~ +150°C

最大累積保存時間

周囲の温度 (150°C 時) 1000 時間

周囲の温度 (85°C 時) 20 年

最大接合部温度 150°C

V_{SS} を基準とした V_{CC} の電源電圧 -0.5V ~ +4.1V

V_{SS} を基準とした V_{CCQ} の電源電圧 -0.5V ~ +2.45V

High Z 状態の出力に

印加される DC 電圧 -0.5V ~ $V_{CCQ}+0.5V$

入力電圧 -0.5V ~ $V_{CCQ}+0.5V$

任意のピンからグランド電位への

過渡電圧 (20ns 以下) -2.0V ~ $V_{CCQ}+2.0V$

パッケージ許容電力損失 ($T_A=25^\circ\text{C}$)

16 ピン SOIC 1.0 W

パッケージ許容電力損失

($T_A=25^\circ\text{C}$) 1.0W

表面実装ハンダ付け時

温度 (3 秒) +260°C

DC 出力電流 (一度に 1 出力、1 秒間) 15mA

静電放電時の電圧

(MIL-STD-883、メソッド 3015) > 2001V

ラッチアップ電流 > 140mA

動作範囲

範囲	周囲温度	V_{CC}	V_{CCQ}
産業用	-40°C ~ +85°C	2.7V ~ 3.6V	1.71V ~ 2.0V

DC 仕様

パラメーター	説明	テスト条件	Min	Typ ^[6]	Max	単位
V_{CC}	電源 - コア電圧	—	2.70	3.00	3.60	V
V_{CCQ}	電源 - I/O 電圧	—	1.71	1.80	2.00	V
I_{CC1}	平均読み出し／書き込み V_{CC} 電流 (すべての入力が切り替わっている；出力負荷無し)	SPI = 1MHz	—	—	1.00	mA
		SPI = 40MHz	—	—	3.00	mA
		QPI = 108MHz	—	—	33.00	mA
I_{CCQ1}	平均 V_{CCQ} 電流 (すべての入力が切り替わっている；出力負荷無し)	SPI = 1MHz	—	—	150.00	μA
		SPI = 40MHz	—	—	1.00	mA
		QPI = 108MHz	—	—	5.00	mA
I_{SB1}	85°C でのスタンバイ電流 ($V_{CC} + V_{CCQ}$)	CS > ($V_{CCQ} - 0.2V$). 不揮発性のサイクルが完了した後の スタンバイ電流レベル。(CS が High；他の I/O は制限が無い； $f_{SCK} \leq 108\text{MHz}$)	—	—	1.8	mA
I_{SB2}	85°C でのスタンバイ電流 ($V_{CC} + V_{CCQ}$)	CS > ($V_{CCQ} - 0.2V$). 不揮発性のサイクルが完了した後の スタンバイ電流レベル。 すべての I/O はスタティック； $f_{SCK} = 0\text{MHz}$	—	—	380.00	μA
I_{CC2}	STORE 中の平均 V_{CC} 電流	—	—	—	6.00	mA
I_{CC4}	AUTOSTORE サイクル中の平均 V_{CAP} 電流	—	—	—	6.00	mA
I_{SLEEP}	85°C でのスリープ モード電流 ($V_{CC} + V_{CCQ}$)	CS > ($V_{CCQ} - 0.2V$). 不揮発性のサイクルが完了した後の スリープ電流レベル。すべての I/O は スタティック； $f_{SCK} = 0\text{MHz}$	—	—	380	μA

注：

6. 標準値は 25°C、 $V_{CC} = V_{CC(Typ)}$ 、および $V_{CCQ} = V_{CCQ(Typ)}$ のものです。100% のテストは行われていません。

パラメーター	説明	テスト条件	Min	Typ ^[6]	Max	単位
I_{ZZ}	85°Cでのハイバネートモード電流 ($V_{CC} + V_{CCQ}$)	$\overline{CS} > (V_{CCQ} - 0.2V)$ 。HIBEN 命令が登録された後の t_{HIBEN} 時間。すべての入力はスタティックで、CMOS 論理レベルで設定	–	–	8.00	μA
I_{IX}	入力リーク電流 (\overline{HSB} を除く)	$V_{CCQ} = \text{Max}$ 、 $V_{SS} < V_{IN} < V_{CCQ}$ –	–1.00	–	1.00	μA
	入力リーク電流 (\overline{HSB})		–100.00	–	1.00	μA
	入力リーク電流 (SPI / DPI モードでの WP 向け)		–2	–	1	μA
I_{OZ}	オフ状態の出力リーク電流	$V_{CCQ} = \text{Max}$ 、 $V_{SS} < V_{IN} < V_{CCQ}$	–1.00	–	1.00	μA
V_{IH}	入力 HIGH 電圧	–	$0.70 \cdot V_{CCQ}$	–	$V_{CCQ} + 0.30$	V
V_{IL}	入力 LOW 電圧	–	–0.30	–	$-0.30 \cdot V_{CCQ}$	V
V_{OH}	–2mA 時の出力 HIGH 電圧	$I_{OH} = -2mA$	$V_{CCQ} - 0.45$	–	–	V
V_{OL}	2mA 時の出力 LOW 電圧	$I_{OL} = 2mA$	–	–	0.45	V
$V_{CAP}^{[7]}$	ストレージコンデンサ	V_{CAP} ピンと V_{SS} 間	61.00	68.00	120.00	μF
$V_{VCAP}^{[8]}$	V_{CAP} ピン上で駆動された最大電圧	–	–	–	V_{CC}	V

データ保持期間およびアクセス可能回数

パラメーター	説明	Min	単位
$DATA_R$	85°C 時のデータ保持期間	20	年
NV_C	不揮発性 STORE 処理回数	1,000	K

静電容量

パラメーター ^[8]	説明	テスト条件	Max	単位
C_{IN}	入力静電容量	$T_A = 25^\circ C$ 、 $f = 1MHz$ 、 $V_{CC} = V_{CC(typ)}$ 、 $V_{CCQ} = V_{CCQ(typ)}$	6.00	pF
C_{SCK}	クロック入力静電容量			
C_{OUT}	出力ピン静電容量			

熱抵抗

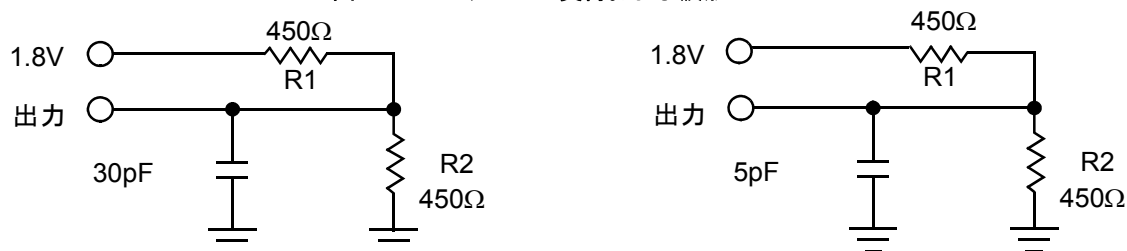
パラメーター ^[8]	説明	テスト条件	16ピン SOIC	単位
Θ_{JA}	熱抵抗 (接合部から周囲)	テスト条件は、EIA/JESD51 就き、熱インピーダンスを測定するための標準的なテスト方法と手順に従います。	61.21	$^{\circ}C/W$
Θ_{JC}	熱抵抗 (接合部からケース)		26.20	

注:

- V_{CAP} 最小値は、AutoStore 処理を正常に完了するのに十分な電荷があることを保証するものです。 V_{CAP} 最大値は、即時の電源切断サイクルで AutoStore 処理を正常に完了できるようにパワーアップ RECALL サイクルの間に V_{CAP} のコンデンサが必要な最小電圧まで充電されることを保証するものです。したがって、指定した最小値と最大値の範囲内でコンデンサを使用することを常にお勧めします。 V_{CAP} のオプションの詳細については、アプリケーション ノート AN43593 を参照してください。
- これらのパラメーターは設計保証であり、テストは行われていません。

AC テストの負荷および波形

図 104. AC テストの負荷および波形



AC テスト条件

説明	CY14V101PS
入力パルス レベル	0V ~ 1.8V
入力立ち上がり／立ち下がり時間 (10% ~ 90%)	≤ 1.8ns
入力と出力のタイミング リファレンス レベル	0.9V

RTC 特性

パラメーター	説明	Min	Typ ^[9]	Max	単位
VRTCbat	RTC バッテリー ピン電圧	1.80	3.00	3.60	V
I _{BAK} ^[10]	RTC バックアップ電流 (RTC 用に推奨される外部コンポーネントについては、図 102 を参照してください)	–	0.60	1.00	μA
t _{OCS}	RTC 発振子の発振開始時間	–	1.00	2.00	sec
V _{BAKFAIL}	バックアップ障害閾値	1.80	–	2.50	V
t _{RTCP}	「W」ビットを「0」に設定してからの RTC 処理時間	–	–	1	ms

注:

9. 標準値は 25°C、V_{CC} = V_{CC(Typ)} のものです。100% のテストは行われていません。

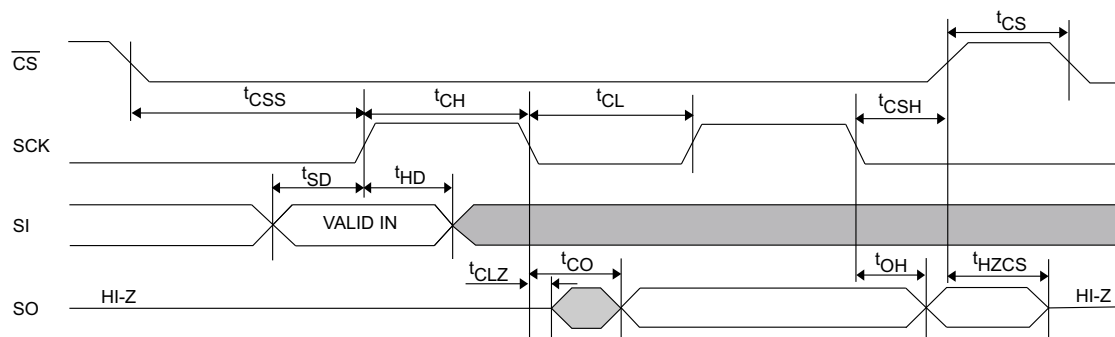
10. V_{CC} < V_{SWITCH} の時、電流は V_{RTCbat} から導出されます。

AC スイッチング特性

パラメーター [11]	説明	Min	Max	単位
f_{SCK}	クロック周波数 (QPI)	–	108.00	MHz
t_{CL}	クロック LOW パルス幅	$0.45 * 1/f_{SCK}$	–	ns
t_{CH}	クロック HIGH パルス幅	$0.45 * 1/f_{SCK}$	–	ns
t_{CS}	CS HIGH 時間			
	READ の終了	10.00	–	ns
	WRITE の終了	10.00	–	ns
t_{CSS}	CS セットアップ時間	5.00	–	ns
t_{CSH}	CS ホールド時間	5.00	–	ns
t_{SD}	データ入力セットアップ時間	2.00	–	ns
t_{HD}	データ入力ホールド時間	3.00	–	ns
t_{SW}	WP セットアップ時間	2.00	–	ns
t_{HW}	WP ホールド時間	2.00	–	ns
t_{CO}	出力有効	–	7.00	ns
t_{CLZ}	クロック LOW から出力 Low Z までの時間	0.00	–	ns
t_{OH}	出力ホールド時間	1.00	–	ns
$t_{HZCS}^{[12]}$	出力ディスエーブル時間	–	7.00	ns

スイッチング波形

図 105. 同期データのタイミング (モード 0)



注:

- テスト条件は、信号遷移時間が 1.8ns 以下、タイミング リファレンス レベルが $V_{CCQ}/2$ 、入力パルス レベルが $0 \sim V_{CCQ(typ)}$ 、指定された I_{OL}/I_{OH} を与える出力 負荷と負荷容量が 57 ページの図 104 に示す通りであることを前提にしています。
- これらのパラメーターは設計保証であり、テストは行われていません。

AutoStore またはパワーアップ RECALL

動作範囲において [動作範囲](#)

パラメーター	説明	Min	Max	単位
$t_{FA}^{[13]}$	パワーアップ RECALL 期間	–	20.00	ms
$t_{STORE}^{[14]}$	STORE サイクル期間	–	8.00	ms
$t_{DELAY}^{[15]}$	STORE サイクルを開始するための時間	–	25.00	ns
V_{SWITCH}	V_{CC} の低電圧トリガー レベル	–	2.60	V
$t_{VCCRISE}^{[16]}$	V_{CC} 立ち上がり時間	150.00	–	μs
$V_{HDIS}^{[16]}$	\overline{HSB} 出力ディスエーブル電圧	–	1.90	V
$V_{IODIS}^{[17]}$	V_{CCQ} での $\overline{I/O}$ ディスエーブル電圧	–	1.50	V
$t_{LZHSB}^{[16]}$	\overline{HSB} HIGH から nvSRAM アクティブまでの時間	–	5.00	μs
$t_{HHHD}^{[16]}$	\overline{HSB} アクティブ HIGH 時間	–	500.00	ns
t_{WAKE}	nvSRAM がハイバネート モードからウェイクアップする時間	–	20.00	ms
t_{HIBEN}	HIBEN 命令が発行されてからハイバネート モードに入るまでの時間	–	8.00	ms
t_{SLEEP}	\overline{CS} が HIGH になってからスリープ モードに入るまでの時間	–	0.00	μs
t_{EXSLP}	\overline{CS} が HIGH になってからスリープ モードを終了するまでの時間	–	0.00	μs
t_{RESET}	ソフト リセット期間	–	500.00	μs

注:

13. t_{FA} は、 V_{CC} が V_{SWITCH} を超えた時から始まります。

14. 前回の不揮発性サイクル以降に SRAM 書き込みが行われていない場合、AutoStore またはハードウェア STORE は開始されません。

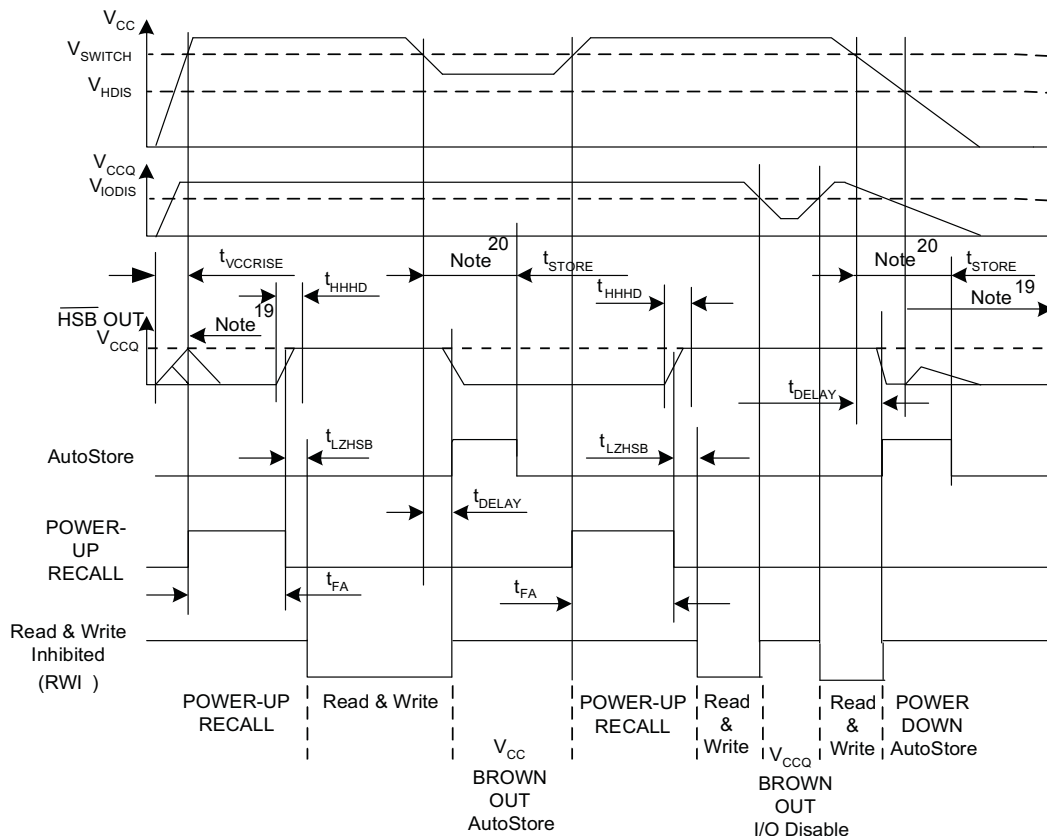
15. ハードウェア STORE、ソフトウェア STORE/RECALL サイクル、AutoStore イネーブル/ディスエーブル、AutoStore の実行時、SRAM 動作は t_{DELAY} の間継続します。

16. これらのパラメーターは設計保証であり、テストは行われていません。

17. \overline{HSB} は V_{IODIS} 電圧以下で定義されません。

スイッチング波形

図 106. AutoStore またはパワーアップ RECALL^[18]



注:

18. 読み出しおよび書き込みサイクルは STORE 中、RECALL 中、および V_{CC} が V_{SWITCH} より小さい時には無視されます。
19. 電源投入および電源切断中に、HSB ピンが外部抵抗を介してプルアップされている場合、HSB ピンにグリッチが発生します。
20. 前回の不揮発性サイクル以降に SRAM 書き込みが行われていない場合、AutoStore またはハードウェア STORE は開始されません。

ソフトウェア制御 STORE および RECALL サイクル

動作範囲において [動作範囲](#)

パラメーター	説明	Min	Max	単位
t_{RECALL}	RECALL 期間	—	500	μs
$t_{\text{SS}}^{[21, 22]}$	ソフト シーケンス 処理時間	—	500	μs

スイッチング波形

図 107. ソフトウェア STORE サイクル^[22]

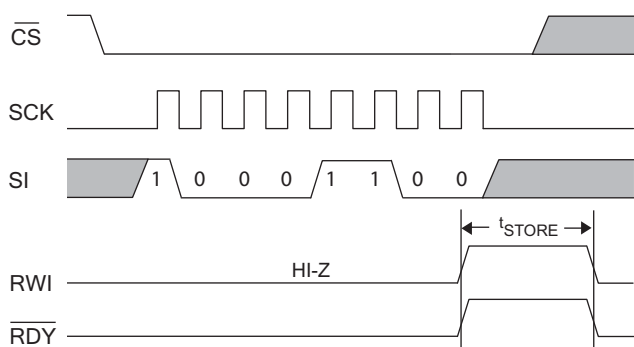


図 108. ソフトウェア RECALL サイクル^[22]

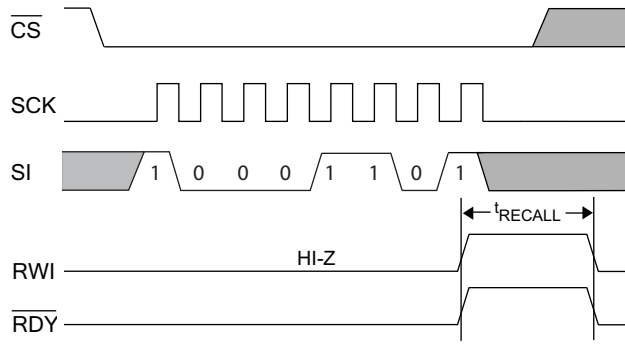


図 109. AutoStore イネーブル サイクル

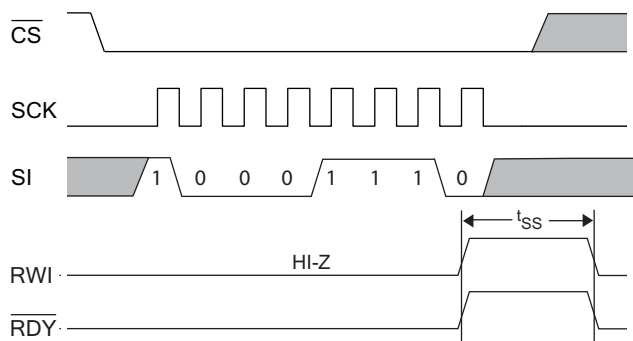
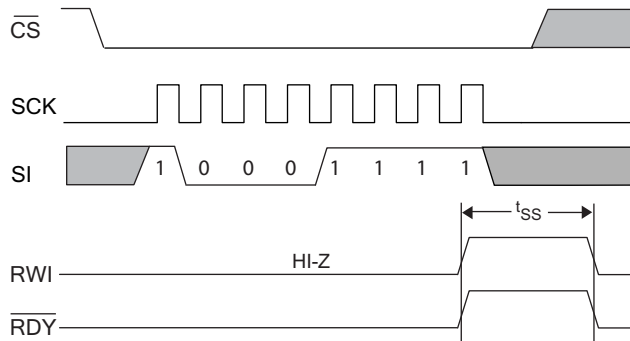


図 110. AutoStore ディスエーブル サイクル



注:

21. これはソフト シーケンス コマンドを処理するのに要する時間です。効果的にコマンドを登録するには、V_{CC} 電圧は HIGH のままでなければなりません。

22. STORE や RECALL などのコマンドは、その処理が完了するまで I/O をロックアウトします。これにより、この時間は更に増えます。詳しくは個々のコマンドを参照してください。

ハードウェア STORE サイクル

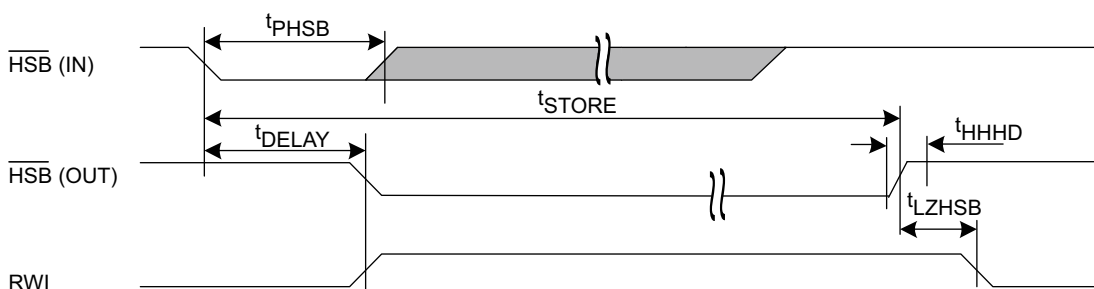
動作範囲において [動作範囲](#)

パラメーター	説明	Min	Max	単位
t_{PHSB}	ハードウェア STORE パルス幅	15	600	ns

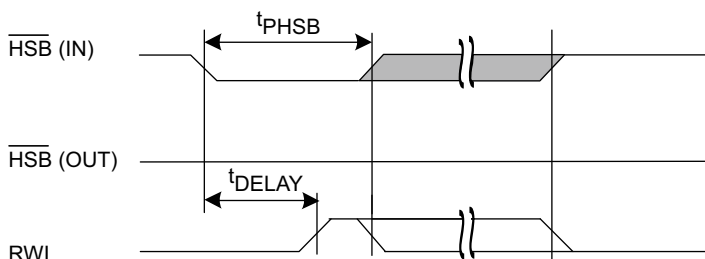
スイッチング波形

図 111. ハードウェア STORE サイクル^[23]

Write Latch set

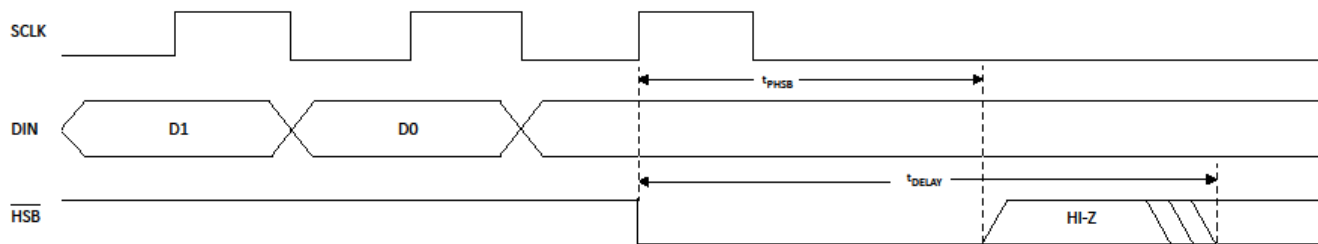


Write Latch not set



HSB pin is driven HIGH to V_{CC} only by Internal 100 K Ω resistor, HSB driver is disabled
SRAM is disabled as long as HSB (IN) is driven LOW.

図 112. HSB に有効なデータ



注:

23. 前回の不揮発性サイクル以降に SRAM 書き込みが行われていない場合、AutoStore またはハードウェア STORE は開始されません。

注文情報

注文コード	パッケージ図	パッケージ タイプ、ピン配置	動作範囲
CY14V101PS-SF108XI	51-85022	16-SOIC	産業用
CY14V101PS-SF108XIT			

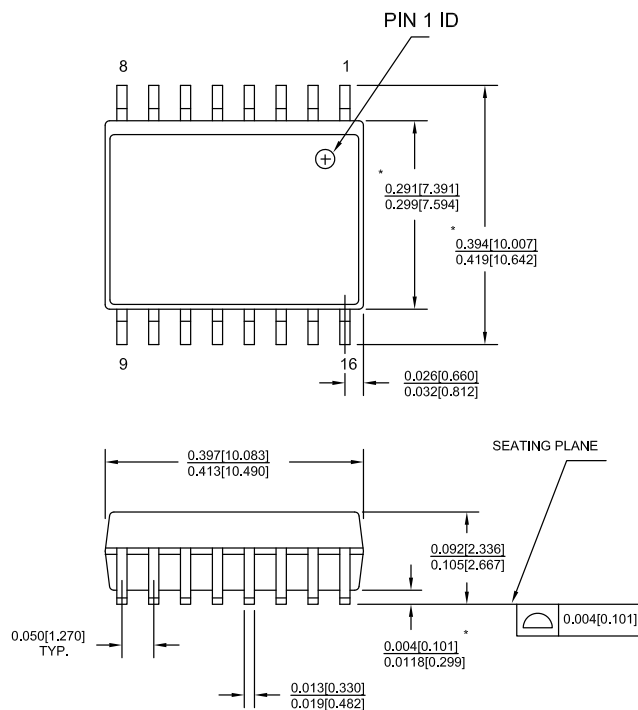
これらすべての部品は鉛フリーです。在庫状況については、最寄りのサイプレスの販売代理店にお問い合わせください。

注文コードの定義
CY 14 V 101 PS - SF 108 X I T

	Option: T - Tape and Reel, Blank - Std.
	Temperature: I - Industrial
	Pb-free
	Frequency: 108 - 108 MHz
	Package: SF - 16 SOIC Standard, SE - 16 SOIC Custom
	QS - Quad SPI, PS - Quad SPI with RTC
	Density: 101 - 1-Mbit
	Voltage: V - 3.0 V, 1.8 V I/O
	14 - nvSRAM
	CY - Cypress

パッケージ図

図 113. 16 ピン SOIC (0.413 × 0.299 × 0.0932 インチ) パッケージ図、51-85022

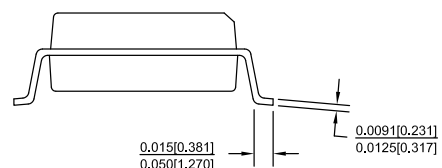


DIMENSIONS IN INCHES[MM]

MIN.
MAX.

REFERENCE JEDEC MO-119

PART #	
S16.3	STANDARD PKG.
SZ16.3	LEAD FREE PKG.



51-85022 *E

略語

略語	説明
CPHA	clock phase (クロック位相)
CPOL	clock polarity (クロック極性)
CMOS	complementary metal oxide semiconductor (相補型金属酸化膜半導体)
CRC	cyclic redundancy check (巡回冗長検査)
EEPROM	electrically erasable programmable read-only memory (電氣的消去プログラム可能な読み出し専用メモリ)
EIA	Electronic Industries Alliance (米国電子工業会)
I/O	input/output (入力／出力)
JEDEC	Joint Electron Devices Engineering Council (半導体技術協会)
LSB	least significant bit (最下位ビット)
MSB	most significant bit (最上位ビット)
nvSRAM	nonvolatile static random access memory (不揮発性スタティックランダムアクセスメモリ)
RWI	read and write inhibit (読み出しおよび書き込み禁止)
RoHS	restriction of hazardous substances (特定有害物質使用制限指令)
SNL	serial number lock (シリアル番号ロック)
SPI	serial peripheral interface (シリアルペリフェラルインターフェース)
SONOS	silicon-oxide-nitride-oxide semiconductor (シリコン □ 酸化物 □ 窒化物 □ 酸化物半導体)
SOIC	small outline integrated circuit (小型集積回路)
SRAM	static random access memory (スタティックランダムアクセスメモリ)

本書の表記法

測定単位

記号	測定単位
°C	摂氏温度
Hz	ヘルツ
kHz	キロヘルツ
kΩ	キロオーム
Mbit	メガビット
MHz	メガヘルツ
μA	マイクロアンペア
μF	マイクロファラッド
μs	マイクロ秒
mA	ミリアンペア
ms	ミリ秒
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラッド
V	ボルト
W	ワット

改訂履歴

文書名 : CY14V101PS、リアル タイム クロック付き 1M ビット (128K×8) クアッド SPI nvSRAM 文書番号 : 001-96335				
版	ECN 番号	変更者	発行日	変更内容
**	4669751	HZEN	03/17/2015	これは英語版 001-94176 Rev. *B を翻訳した日本語版 001-96335 Rev. ** です。
*A	4802549	HZEN	07/10/2015	これは英語版 001-94176 Rev. *E を翻訳した日本語版 001-96335 Rev. *A です。
*B	5088631	HZEN	01/25/2016	これは英語版 001-94176 Rev. *I を翻訳した日本語版 001-96335 Rev. *B です。

セールス、ソリューションおよび法律情報

ワールドワイド販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

車載用 cypress.com/go/automotive
クロック & バッファ cypress.com/go/clocks
インターフェース cypress.com/go/interface
照明 & 電力制御 cypress.com/go/powerpsoc
メモリ cypress.com/go/memory
PSoC cypress.com/go/psoc
タッチ センシング cypress.com/go/touch
USB コントローラー cypress.com/go/USB
ワイヤレス / RF cypress.com/go/wireless

PSoC® ソリューション

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカル サポート

cypress.com/go/support

© Cypress Semiconductor Corporation, 2014-2016. 本文書に記載される情報は予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものではありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

すべてのソース コード (ソフトウェアおよび/またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタム ソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限って、サイプレスのソース コードの派生著作物をコピー、使用、変更して作成するためのライセンス、ならびにサイプレスのソース コードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソース コードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責事項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。