

リアルタイムクロック付き 1-Mbit (128 K × 8) シリアル (SPI) nvSRAM

特長

- 1 M ビットの非揮発性スタティック RAM (nvSRAM)
 - 128K x 8 としてメモリを内部的に編成
 - QuantumTrapの非揮発性要素へのSTORE処理は、電源オフ時に自動的に実行 (AutoStore) できる他、SPI 命令 (ソフトウェア STORE) または HSB ピン (ハードウェア STORE) を使用してユーザーが明示的に実行することも可能
 - SRAM への RECALL 処理は、パワーアップ (パワーアップ RECALL) または SPI 命令 (ソフトウェア RECALL) によって実行
 - パワーダウン時に小容量コンデンサにより、自動的に STORE 処理
- 高い信頼性
 - 回数に制限のないリード、ライト、RECALL サイクル
 - QuantumTrap に対する 100 万回の STORE サイクル
 - データ保存期間: 85°C で 20 年
- リアルタイムクロック (RTC)
 - フル機能 RTC
 - ウォッチドッグタイマ
 - プログラマブル割り込みクロックアラーム
 - バックアップ電源異常表示
 - プログラマブル周波数の方形波出力 (1Hz、512Hz、4096Hz、32.768kHz)
 - RTC コンデンサまたはバックアップバッテリー
 - 0.45μA (代表値) のバックアップ電流
- 40MHzおよび104MHzの高速シリアル周辺インターフェイス (SPI)
 - 40MHzのクロック速度 SPI はゼロサイクル遅延で書き込みおよび読み取り
 - 104MHzのクロック速度 SPI 書き込みおよび読み取り (特別な高速読み取り命令を使用)
 - SPI モード 0 (0, 0) およびモード 3 (1, 1) をサポート
- 特別機能への SPI アクセス
 - 不揮発性 STORE/RECALL
 - 8 バイトのシリアル番号
 - メーカー ID および製品

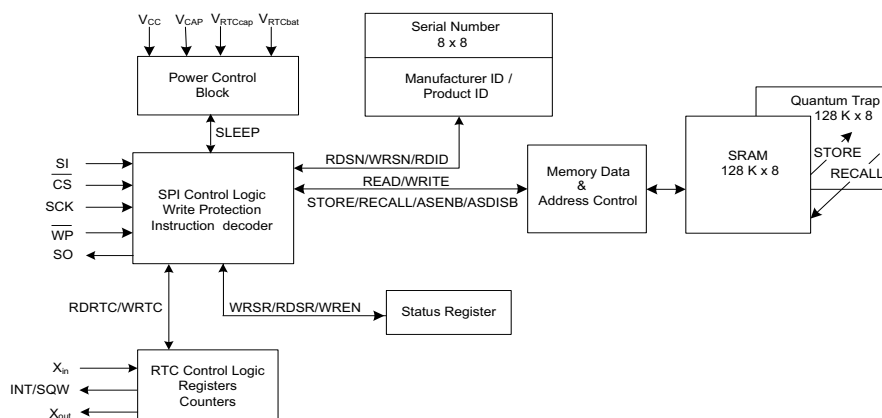
□ スリープモード

- 書き込み保護
 - 書き込み保護ピン (\overline{WP}) を使ったハードウェアによる保護
 - 書き込みディセーブル命令を使用したソフトウェアによる保護
 - アレイの 1/4、1/2、または全体を対象としたソフトウェアブロック保護
- 低消費電力
 - 40MHz 動作で平均 3mA のアクティブ電流
 - スタンバイモードの平均電流 250μA
 - スリープモードの電流 8μA
- 業界標準の構成
 - 動作電圧:
 - CY14C101PA: $V_{CC}=2.4V \sim 2.6V$
 - CY14B101PA: $V_{CC}=2.7V \sim 3.6V$
 - CY14E101PA: $V_{CC}=4.5V \sim 5.5V$
 - 工業用温度
 - 16 ピン小型外形集積回路 (SOIC) パッケージ
 - RoHS 準拠

概要

サイプレスの CY14X101PA は、1 Mbit nvSRAM^[1] にフル機能の RTC を組み合わせ、シリアル SPI インターフェイスを持つモノリシック集積回路とした素子です。このメモリは、128Kワード x 8 ビットで編成されています。組み込み不揮発性要素には、QuantumTrap 技術が組み込まれており、世界でも最高レベルの信頼性を誇る不揮発性メモリを作り上げます。回数に制限のない読み取りと書き込みサイクルを SRAM で可能にする一方、高い信頼性を提供する不揮発性データ記憶域を QuantumTrap セルで実現しています。SRAM から不揮発性要素へのデータ転送 (STORE オペレーション) は、パワーダウン時に自動的に実行されます。パワーアップ時には、不揮発性メモリから SRAM にデータが復元されます (RECALL オペレーション)。STORE 動作と RECALL オペレーションは、いずれも SPI 命令を使用してユーザーが開始することもできます。

ロジックブロック ダイアグラム



注

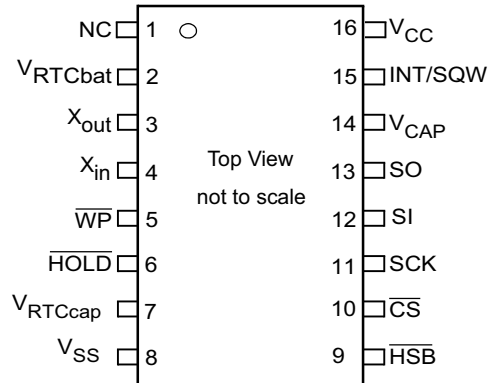
1. このデバイスは文書全ページで nvSRAM と示されています。

目次

ピン配列	3	FAST_RDSN	
ピン機能	3	(高速シリアル番号読み取り) 命令	18
動作説明	4	デバイス ID	19
SRAM 書き込み	4	RDID (デバイス ID 読み取り) 命令	19
SRAM 読み込み	4	FAST_RDID (高速デバイス ID 読み取り) 命令	20
STORE 動作	4	HOLD ピン動作	20
AutoStore 処理	4	リアルタイムクロック動作	21
ソフトウェア STORE 動作	5	nvTIME の動作	21
ハードウェア STORE 動作および HSB ピン動作	5	クロックの動作	21
RECALL 動作	5	クロックの読み取り	21
ハードウェア RECALL (パワーアップ)	5	クロックの時間設定	21
ソフトウェア RECALL	5	バックアップ電源	21
AutoStore のディスエーブル化とイネーブル化	5	発振器の停止と開始	21
シリアル周辺デバイスインターフェイス	6	クロックの校正	22
SPI 概要	6	アラーム	22
SPI モード	7	ウォッチドッグタイマ	22
SPI 動作特長	8	プログラマブル方形波発生器	23
パワーアップ	8	電源モニタ	23
パワーダウン	8	バックアップ電源モニタ	23
アクティブ電力およびスタンバイ電力モード	8	割り込み	23
SPI 機能の説明	9	割り込みレジスタ	23
状態レジスタ	10	フラグレジスタ	24
読み取り状態レジスタ (RDSR) 命令	10	最大定格	30
高速読み取り状態レジスタ		動作範囲	30
(FAST_RDSR) 命令	10	DC 電気的特性	30
書き込み状態レジスタ (WRSR) 命令	10	データ保持期間および書き換え回数	31
書き込み保護およびブロック保護	11	容量	31
書き込みイネーブル (WREN) 命令	11	熱抵抗	32
書き込みディスエーブル (WRDI) 命令	12	AC テストの負荷および波形	32
ブロック保護	12	AC テスト条件	32
ハードウェア書き込み保護 (WP ピン)	12	RTC 特性	33
メモリアクセス	12	AC スイッチング特性	33
読み取りシーケンス (READ) 命令	12	スイッチング波形	34
高速読み取りシーケンス (FAST_READ) 命令	12	AutoStore またはパワーアップ RECALL	35
書き込みシーケンス (WRITE) 命令	13	スイッチング波形	35
RTC アクセス	15	ソフトウェア制御 STORE/RECALL サイクル	36
読み取り RTC (RDRTC) 命令	15	スイッチング波形	36
高速読み取りシーケンス		ハードウェア STORE サイクル	37
(FAST_READ) 命令	15	スイッチング波形	37
書き込み RTC (WRRTC) 命令	16	製品名 (発注) 情報	38
nvSRAM 特別命令	16	注文コードの定義	38
ソフトウェア STORE(STORE) 命令	16	パッケージ ダイアグラム	39
ソフトウェア RECALL(RECALL) 命令	16	略号	40
AutoStore イネーブル (ASENB) 命令	16	本書の表記法	40
AutoStore ディスエーブル (ASDISB) 命令	17	測定単位	40
特別命令	17	改訂履歴	41
SLEEP 命令	17	販売、ソリューション、および法律情報	42
シリアル番号	17	ワールドワイドな販売および設計サポート	42
WRSN (シリアル番号書き込み) 命令	17	製品	42
RDSN (シリアル番号読み取り) 命令	18	PSoC ソリューション	42

ピン配列

図 1. 16 ピン SOIC ピン配列



ピン機能

ピン名	入出力	内容
\overline{CS}	入力	チップセレクト：LOW にプルダウンされた時に、デバイスをアクティブ化します。このピンを HIGH に駆動すると、デバイスが低消費電力スタンバイモードになります。
SCK	入力	シリアルクロック：最大 f_{SCK} までの速度で動作します。シリアル入力はこのクロックの立ち上がりエッジでラッチされます。シリアル出力はクロックの立ち下がりエッジで駆動されます。
SI	入力	シリアル入力：すべての SPI 命令とデータの入力ピンです。
SO	出力	シリアル出力：SPI 経由のデータの出力ピンです。
\overline{WP}	入力	書き込み保護：SPI にハードウェア書き込み保護を実装します。
HOLD	入力	HOLD ピン：シリアル動作をサスペンドします。
\overline{HSB}	入出力	ハードウェア STORE ビジー状態： 出力：LOW の時、nvSRAM のビジー状態を示します。ハードウェアおよびソフトウェア STORE オペレーションの後、HSB は HIGH 出力標準電流で短時間 (t_{HHp}) HIGH 駆動され、その後内部プルアップ抵抗で HIGH 状態を継続します (外部プルアップ抵抗接続はオプションです)。 入力：ハードウェア STORE は、外部的にこのピンを LOW にプルダウンすることによって実装されます。
V_{CAP}	電源	AutoStore コンデンサ。SRAM から不揮発性要素にデータを格納するため、電力損失時に nvSRAM へ電源を供給します。AutoStore が不要でない場合は、このピンは接続不要として外しておきます。これは絶対にグランドに接続しないでください。
$V_{RTCcap}^{[2]}$	電源	RTC のコンデンサバックアップ： V_{RTCbat} が使用される場合は、未接続のままになります。
$V_{RTCbat}^{[2]}$	電源	RTC のバッテリーバックアップ： V_{RTCcap} が使用される場合は、未接続のままになります。
Xout ^[2]	出力	水晶出力接続
Xin ^[2]	入力	水晶入力接続
INT/SQW ^[2]	出力	割り込み出力 / 校正 / 方形波 クロックアラーム、ウォッチドッグタイマ、および電力モニタに対応するようにプログラム可能です。アクティブ HIGH (プッシュまたはプル) または LOW (オープン ドレイン) のいずれにもプログラム可能です。校正モードでは、512Hz 方形波が出力されます。方形波モードでは、ユーザーは連続出力として使用される 1Hz、512Hz、4,096Hz、または 32,768Hz の周波数を選択することができます。
NC	接続なし	未接続。このピンはダイに接続されません。
V_{SS}	電源	グランド
V_{CC}	電源	電源

注
2. RTC 機能を使用しない場合は未接続のままにします。

デバイスオペレーション

CY14X101PA は、統合された RTC と SPI インターフェイスを備えた 1Mbit SPI nvSRAM メモリです。nvSRAM へのすべての読み取りと書き込みは、メモリへの書き込みを無制限に処理可能にする独自の SRAM に対して行われます。SRAM 内のデータは、不揮発性 QuantumTrap セルへパラレルでデータを転送する STORE 命令によって保護されます。小容量コンデンサ (V_{CAP}) は、電源パワーダウン時に不揮発性セルに SRAM データを AutoStore するために使われ、電源遮断時のデータセキュリティを提供します。信頼性の高い SONOS 技術を用いた QuantumTrap 不揮発性要素により、nvSRAM は安全なデータストレージのための理想的な選択肢を提供します。

CY14X101PA では、1Mbit のメモリアレイが 128 K ワード × 8 ビットとして編成されます。メモリは、読み書きサイクルの遅延サイクル値ゼロで最大 40MHz の非常に高いクロック速度が可能な標準 SPI インターフェイスを通じてアクセスされます。この nvSRAM チップは、読み取りオペレーションの特別命令を使用して、104MHz の SPI アクセス速度をサポートしています。CY14X101PA は、SPI モード 0 および 3 (CPOL, CPHA=0, 0 および 1, 1) をサポートし、SPI スレーブとして動作します。デバイスはチップセレクト (CS) 端子が使用でき、シリアル入力端子 (SI)、シリアル出力端子 (SO)、シリアルクロック端子 (SCK) を通じてアクセスします。

CY14X101PA は、 \overline{WP} ピンおよび WRDI 命令によるハードウェアおよびソフトウェアの書き込み保護の機能を提供します。CY14X101PA はまた、状態レジスタ内で BP0 端子と BP1 端子を使用して、ブロック書き込み保護 (アレイの 1/4、1/2、またはすべてを保護) のメカニズムを提供します。さらに HOLD 端子は、シリアルシーケンスをリセットせずにすべてのシリアル通信を一時停止するために使われます。

CY14X101PA は、メモリへのアクセスに標準 SPI オペコードを使用します。読み書き用の一般的な SPI 命令に加え、CY14X101PA は 4 つの nvSRAM の特定機能にアクセス可能な、独自の 4 つの命令を実現します。STORE、RECALL、AutoStore Disable (ASDISB)、AutoStore Enable (ASENB) を提供します。シリアル EEPROM に対する nvSRAM の主な利点は、nvSRAM のすべての読み書きは遅延サイクルゼロの SPI バス速度で実行されることです。そのため、どのメモリアクセスの後でも待ち時間は不要です。STORE と RECALL オペレーションは制限された時間で完了し、その間すべてのメモリアクセスは禁止されます。STORE または RECALL オペレーションの実行中は、ハードウェア STORE のビジー (HSB) ピンにデバイスのビジー状態が表示され、状態レジスタの RDY ビットにも反映されます。

SRAM 書き込み

nvSRAM へのすべての書き込みは SRAM 上で実施され、不揮発性メモリのどのような持続サイクルも使い切ることはありません。これにより、無限の書き込みオペレーションを実行することができます。書き込みサイクルは WRITE 命令を通じて実行されます。WRITE 命令は nvSRAM の SI 端子より発行され、WRITE オペコードと、3 バイトのアドレス、1 バイトのデータで構成されます。nvSRAM への書き込みは遅延サイクルゼロの SPI バス速度で行われます。

CY14X101PA は、SPI 経由で実行されるバーストモードの書き込みが使用可能です。これにより、新しい WRITE オペレーションを発行せずに、連続したアドレス上で書き込み処理を実行できます。バーストモードでメモリの最後のアドレスに到達した時、アドレスは 0x00000 にロールオーバーされ、デバイスは書き込みを続けます。

SPI 書き込みサイクル命令は、SPI プロトコル記述のメモリアクセスセクションに定義されています。

SRAM 読み込み

読み取りサイクルは、SPI バス速度で実行されます。データは READ 命令が実行された後、遅延ゼロサイクルで読み取られます。READ 命令は、最大 40MHz のクロック速度まで使用することができます。READ 命令は nvSRAM の SI ピン経由で発行され、READ オペコードと 3 バイトのアドレスで構成されます。データは SO 端子で読み出しされます。

40MHz (最大 104MHz) よりも速い速度には、FAST_READ 命令が必要です。FAST_READ 命令は nvSRAM の SI ピン経由で発行され、FAST_READ オペコード、3 バイトのアドレス、および 1 つのダミーバイトで構成されます。データは SO 端子で読み出しされます。

CY14X101PA は、SPI 経由で実行されるバーストモードの読み込みが使用可能です。これにより、新しい READ 命令を発行せずに、連続したアドレス上で読み込み処理を実行できます。バーストモード読み取りでメモリの最後のアドレスに到達した時、アドレスは 0x00000 にロールオーバーされ、デバイスは読み取りを続けます。

SPI 読み取りサイクル命令は、SPI プロトコル記述のメモリアクセスセクションに定義されています。

STORE 動作

STORE オペレーションは、SRAM から不揮発性 QuantumTrap セルへデータを転送します。CY14X101PA は、次の 3 つの STORE オペレーションのいずれかを使用してデータを不揮発性セルへ STORE します。デバイスのパワーダウンによりアクティベートされる AutoStore、STORE 命令によってアクティベートされるソフトウェア STORE、HSB によってアクティベートされるハードウェア STORE です。STORE サイクルの実行中、まず以前の不揮発性データの消去が実行され、次に不揮発性素子のプログラムが実行されます。STORE サイクルが開始されると、CY14X101PA への読み書きはそのサイクルが完了するまで禁止されます。

状態レジスタ内の \overline{HSB} 信号または \overline{RDY} ビットは、STORE またはソフトウェア RECALL サイクルが実行中かどうかを検出するため、システムによる監視が可能です。nvSRAM のビジー状態は、HSB が LOW の状態になっているか、または \overline{RDY} ビットが「1」に設定されていることによって示されます。不要な不揮発性の STORE を避けるため、AutoStore およびハードウェア STORE オペレーションは、一番最後に STORE または RECALL サイクルが実行されてから少なくとも 1 回の書き込みオペレーションが行われるまでは無視されます。ただし、STORE サイクルが起動されたソフトウェアは、書き込みオペレーションが行われたかどうかに関係なく実行されます。

AutoStore 処理

AutoStore オペレーションは、パワーダウン時に SRAM データを QuantumTrap セルに自動的に保存する、nvSRAM 独自の機能です。この STORE 処理では外付けコンデンサ (V_{CAP}) を活用し、デバイスは電源遮断時に不揮発性メモリへ安全にデータを保存できるようにします。

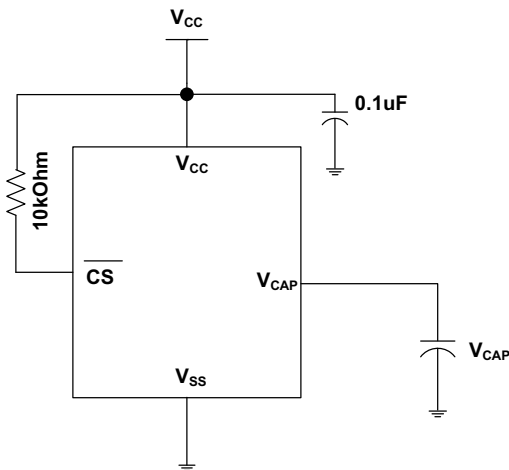
通常オペレーション時、デバイスは V_{CC} から電流を得て、 V_{CAP} ピンに接続されたコンデンサにチャージします。パワーダウン時に V_{CC} ピンの電圧が V_{SWITCH} 以下に下がった場合、デバイスは nvSRAM へのメモリアクセスをすべて禁止し、 V_{CAP} コンデンサからのチャージを使って自動的に条件付き STORE オペレーションを実行します。AutoStore オペレーションは、最後の RECALL の実行以降に書き込みサイクルが一度も実行されていない場合は起動されません。

注 コンデンサが V_{CAP} ピンに接続されていない場合、AutoStore ディスエーブル命令を発行して AutoStore をディスエーブルに

する必要があります (17 ページの **AutoStore ディスエーブル (ASDISB) 命令**)。V_{CAP} ピンに接続されたコンデンサなしで AutoStore がアクティベートにされた場合、デバイスは STORE オペレーションを完了するため、十分なチャージがないまま AutoStore 動作を実行しようとします。これにより、nvSRAM に格納されているデータ、状態レジスタ、およびシリアル番号が破壊され、SNL ビットのロックが解除されます。通常の機能を再開するには、WRSR 命令を発行し、状態レジスタ内の不揮発性ビット BP0、BP1、WPEN を更新する必要があります。

図 2 に、AutoStore オペレーション向けのストレージコンデンサ (V_{CAP}) の適切な接続方法を示します。V_{CAP} の静電容量については、30 ページの DC 電気的特性を参照してください。

図 2. AutoStore モード



ソフトウェア STORE 動作

ソフトウェア STORE オペレーションでは、ユーザは特定の SPI 命令を通じて STORE 処理をトリガーすることができます。STORE オペレーションは最後の NV オペレーション以降に書き込みが実行されたかどうかに関係なく、STORE 命令の実行によって開始します。

STORE サイクルが完了するまでに t_{STORE} の時間がかかりますが、その間 nvSRAM へのすべてのメモリアクセスは禁止されます。状態レジスタの RDY ビットまたは HSB ピンは、nvSRAM のレディ/ビジー状態を検出するためにポーリングされる可能性があります。t_{STORE} サイクル時間が完了した後、SRAM は再度読み書きオペレーションがアクティベートされます。

ハードウェア STORE 動作および HSB ピン動作

CY14X101PA 内の HSB 端子は、STORE オペレーションを制御し応答するために使用されます。実行中の STORE/RECALL 処理が存在しなければ、この端子はハードウェアによる STORE サイクルをリクエストするために使用できます。HSB ピンが LOW で駆動された場合、CY14X101PA は t_{DELAY} の継続後、条件付きで STORE オペレーションを開始します。STORE サイクルは、最後の STORE または RECALL サイクル以降、SRAM への書き込みが実行された場合にのみ開始されます。t_{STORE} が継続中か HSB ピンが LOW である限り、メモリへの読み書きは禁止されます。HSB ピンは、チップ内部で 100 kΩ のプルアップ抵抗を持つオープンドレイン出力でもあります。開始イベントを問わず、STORE 動作中にはビジー状態を意味する LOW レベルを出力します。

注 ハードウェアおよびソフトウェア STORE オペレーションの後、HSB は HIGH 出力標準電流で短時間 (t_{HHHD}) HIGH 駆動さ

れ、その後 100 kΩ の内部プルアップ抵抗により HIGH 状態を継続します。

注 最後のデータバイトのストアを正常に実行するため、ハードウェアストアでは最後のデータビット D0 が受信された後、最低 1 クロックサイクルを開始するべきです。

STORE オペレーションが完了すると、HSB ピンが HIGH を返した後、nvSRAM メモリアクセスは t_{ZHSB} 時間の間禁止されます。HSB 端子は、未使用の場合は接続していない状態である必要があります。

RECALL 処理

RECALL オペレーションは、QuantumTrap 不揮発性要素内にストアされたデータを SRAM へ転送します。CY14X101PA では、RECALL は 2 つの方法でイニシエート：ハードウェア RECALL (パワーアップで開始)およびソフトウェア RECALL (SPI RECALL 命令によって開始)の 2 つです。

内部的に、RECALL は 2 段階の手順を踏みます。まず SRAM データがクリアされ、次に不揮発性情報が SRAM セルに転送されます。RECALL サイクルの実行中、メモリアクセスはすべて禁止されます。RECALL オペレーションでは不揮発性素子内のデータは変更されません。

ハードウェア RECALL (電源オン)

パワーアップの間に V_{CC} が V_{SWITCH} を超えると、SRAM 上に不揮発性メモリの内容を転送する RECALL シーケンスが自動的に開始されます。データはそれ以前に STORE シーケンスを通じて不揮発性メモリに格納されることになっています。

電源オン RECALL サイクルが完了するまでには t_{FA} の時間がかかり、その間のメモリアクセスはディスエーブルとなります。HSB ピンはデバイスのレディ状態を検出するために使われます。

ソフトウェア RECALL

ソフトウェアオペレーションにより、ユーザーは RECALL 動作を実行し、SRAM で不揮発性メモリの内容を復元できます。では、CY14X101PASPI で RECALL 命令を発行することによってこれを実行できます。

ソフトウェア RECALL が完了するまでには t_{RECALL} の時間がかかり、その間 nvSRAM へのすべてのメモリアクセスは禁止されます。コントローラは、すべてのメモリアクセス命令の発行前に RECALL オペレーションを完了するよう、十分な遅延を提供する必要があります。

AutoStore のディスエーブル化とイネーブル化

AutoStore 機能の適用が不要な場合、ASDISB 命令により CY14X101PA でディスエーブル化できます。これを実行すると、nvSRAM はパワーダウン時に STORE オペレーションを実行しません。

AutoStore は ASENB 命令を使って再度イネーブルにできます。しかし、これらのオペレーションは不揮発性ではないため、パワーサイクルを存続するためにこの設定を必要とする場合、AutoStore のディスエーブル化とイネーブル化オペレーションの後に必ず STORE オペレーションを実行しなければなりません。

注 CY14X101PA 工場出荷時、の AutoStore はイネーブルになっています。

注 AutoStore がディスエーブルかつ V_{CAP} が不要の場合、V_{CAP} ピンは開回路のままにしておく必要があります。V_{CAP} 端子は絶対にグラウンドに接続しないでください。パワーアップ RECALL オペレーションは、どのような場合でもディスエーブルにできません。

Serial Peripheral Interface (シリアル周辺デバイスインタフェース)

SPI 概要

SPI は、チップセレクト (\overline{CS})、シリアル入力 (SI)、シリアル出力 (SO)、およびシリアルクロック (SCK) ピンの 4 ピンインタフェースです。CY14X101PA は、SPI インタフェース経由で nvSRAM にシリアルアクセスを提供します。RDRTC および READ 命令を除き、CY14X101PA の SPI バスは最大 104MHz の速度で実行することができます。

SPI は、メモリアクセスにクロックとデータピンを使用し、データバス上の複数デバイスをサポートする同期シリアルインタフェースです。SPI バスデバイスは、 \overline{CS} ピンを使用してアクティブ化されます。

チップセレクト、クロック、データの間の関係は、SPI モードによって左右されます。CY14X101PA は SPI モード 0 および 3 をサポートしています。これらの両モードで、 \overline{CS} がアクティブ化された後の最初の立ち上がりエッジから始まる SCK の立ち上がりエッジでデータが nvSRAM にクロック入力されます。

SPI プロトコルはオペコードによって制御されます。これらのオペコードは、バスマスタからスレーブデバイスへのコマンドを指定します。 \overline{CS} がアクティブ化された後、バスマスタから転送される最初のバイトがオペコードです。オペコードに続いて、アドレスとデータが転送されます。動作完了後、新しいオペコードが発行される前に、 \overline{CS} が非アクティブ化される必要があります。

SPI プロトコルで使用される一般的用語は以下の通りです。

SPI マスタ

SPI マスタデバイスは、SPI バス上のオペレーションを制御します。SPI バスは、1 つまたは複数のスレーブデバイスを持つ 1 つのマスタを持っている場合があります。すべてのスレーブが同じ SPI バスラインを共有し、マスタは \overline{CS} ピンを使用してスレーブデバイスのいずれかを選択することができます。すべてのオペレーションは、マスタがスレーブの \overline{CS} ピンを LOW にプルダウンすることによってスレーブデバイスをアクティブ化して開始される必要があります。マスタはまた SCK も生成し、SI および SO ラインのすべてのデータ送信はこのクロックに同期されます。

SPI スレーブ

SPI スレーブデバイスは、チップセレクトラインを介してマスタによってアクティブ化されます。スレーブデバイスは、SPI マスタからの入力として SCK を取得し、すべての通信はこのクロックに同期されます。SPI スレーブが SPI バスでの通信を開始することはなく、これはマスタからの命令に従って動きます。CY14X101PA はスレーブデバイスとして動作し、複数の CY14X101PA デバイスまたは他の SPI デバイスと SPI バスを共有する場合があります。

チップセレクト (\overline{CS})

すべてのスレーブデバイスを選択するために、マスタは対応する \overline{CS} ピンをプルダウンする必要があります。 \overline{CS} ピンが LOW の間だけ、命令をスレーブデバイスに発行することができます。 \overline{CS} ピンが LOW の時、CY14X101PA が選択されます。デバイスが選択されていない場合、SI ピン経由のデータは無視され、シリアル出力ピン (SO) はハイインピーダンス状態のままとなります。

注 新しい命令は \overline{CS} の立ち下がりエッジで開始される必要があります。したがって、アクティブな各チップセレクトサイクルに対して 1 つのオペコードのみが発行されます。

シリアルクロック (SCK)

シリアルクロックは SPI マスタによって生成され、 \overline{CS} が LOW になった後、通信がこのクロックに同期されます。

CY14X101PA はデータ通信のために SPI モード 0 と 3 を可能にします。これらの両モードにおいて、入力は SCK の立ち上がりエッジでスレーブデバイスによってラッチされ、出力は立ち下がりエッジで発行されます。そのため、SCK の最初の立ち上がりエッジが、SI ピンにおける SPI 命令の最初のビット (MSB) 到着を意味します。さらに、すべてのデータの入力と出力は SCK に同期されます。

データ送信 SI/SO

SPI データバスは、シリアルデータ通信用に SI と SO の 2 ラインで構成されます。SI はマスタアウトスレーブイン (MOSI)、SO はマスタインスレーブアウト (MISO) と呼ばれています。マスタは SI ピンを介してスレーブに命令を発し、スレーブは SO ピンを介して応答します。複数のスレーブデバイスは、前述のように SI と SO ラインを共有する場合があります。

CY14X101PA には、7 ページの図 3 に示されているように、SI と SO 用にマスタと接続することができる 2 つの独立したピンがあります。

最上位ビット (MSB)

SPI プロトコルでは、送信される最初のビットが最上位ビット (MSB) であることが必要です。これは、アドレスとデータ送信の両方に有効です。

CY14X101PA は、すべての読み取りまたは書き込みオペレーションにおいて 3 バイトのアドレスを必要とします。しかし、アドレスは 17 ビットであるため、入力された最初の 7 ビットはデバイスによって無視されることを意味します。これらの 7 ビットは「ドント・ケア」ですが、より高いメモリ密度へのシームレスな移行を可能にするために、これらを 0 として扱うことをサイプレスはお勧めしています。

シリアルオペレーションコード

\overline{CS} が LOW になる状態でスレーブデバイスが選択された後、最初に受信されたバイトは、意図されているオペレーションのオペコードとして扱われます。

CY14X101PA は、メモリアクセスに標準オペコードを使用します。メモリアクセスに加えて、CY14X101PA は nvSRAM の特定機能のために追加のオペコードを提供します。STORE、RECALL、AutoStore イネーブル、および AutoStore ディスエーブルです。オペコードの詳細については、9 ページの表 1 を参照してください。

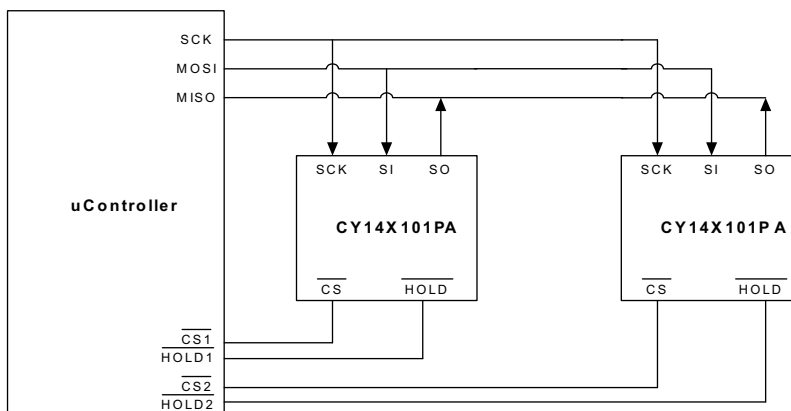
無効なオペレーションコード

無効なオペコードが受信されると、そのオペコードは無視され、次の \overline{CS} の立ち下がりエッジまでデバイスは SI ピン上の追加のシリアルデータは無視し、SO ピンはトライステートのままとなります。

状態レジスタ

CY14X101PA には 8 ビットの状態レジスタがあります。状態レジスタ内のビットは、SPI バスを構成するために使用されます。これらのビットは 10 ページの表 3 に説明されています。

図 3. SPI nvSRAM を用いたシステム構成



SPI モード

CY14X101PA は、その SPI 周辺回路がこれら 2 つのモードのいずれかで実行されているマイクロコントローラによって駆動することができます。

■ SPI モード 0 (CPOL=0、CPHA=0)

■ SPI モード 3 (CPOL=1、CPHA=1)

これらの両モードで、 \overline{CS} がアクティブ化された後の最初の立ち上がりエッジから始まる SCK の立ち上がりエッジで入力データがラッチされます。クロックが HIGH 状態 (モード 3) から起動する場合は、クロックのトグル後の最初の立ち上がりエッジが考えられます。出力データは SCK の立ち下がりエッジで利用可能となります。

2 つの SPI モードは図 4 と図 5 に示されています。バスマスタがスタンバイモードで、データを転送していないクロックの状態は以下の通りです。

■ SCK はモード 0 で 0 のままです。

■ SCK はモード 3 で 1 のままです。

CPOL と CPHA ビットは、SPI コントローラでモード 0 かモード 3 のいずれかに設定される必要があります。 \overline{CS} ピンを LOW にすることによってデバイスが選択された時、CY14X101PA は SCK ピンの状態から SPI モードを検出します。デバイスが選択された時に SCK ピンが LOW の場合は SPI モード 0 が想定され、SCK ピンが HIGH の場合は CY14X101PA は SPI モード 3 で動作します。

図 4. SPI モード 0

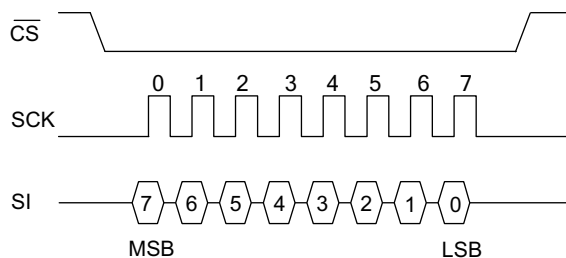
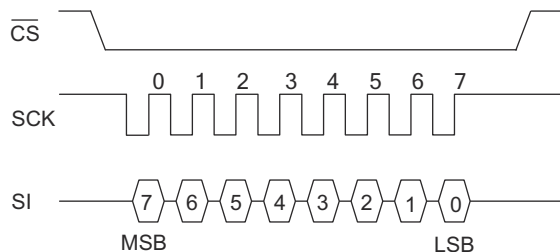


図 5. SPI モード 3



SPI 動作特長

パワーアップ

パワーアップは、電源がオンになっている、 V_{CC} が V_{switch} 電圧を超えた状態として定義されます。

前述のように、パワーアップ nvSRAM は、すべてのメモリアクセスがディスエーブルになっている間に、 t_{FA} の持続のためにパワーアップ RECALL オペレーションを実行します。パワーアップ後、nvSRAM のレディ/ビジー状態をチェックするために、HSB ピンをプローブすることができます。

以下はパワーアップ後のデバイス状態です。

- \overline{CS} ピンが LOW の場合、選択 (アクティブパワーモード)
- \overline{CS} ピンが HIGH の場合、選択解除 (スタンバイパワーモード)
- ホールド中でない状態
- 状態レジスタの状態：
 - 書き込みイネーブル (WEN) ビットが「0」にリセット。
 - WPEN、BP1、BP0 は前回の STORE オペレーションから変化しません。

状態レジスタの WPEN、BP1、および BP0 ビットは不揮発性ビットであり、前回の STORE オペレーションから変更されないままとなります。

パワーダウン

パワーダウン時 (V_{CC} の連続減衰)、 V_{CC} が通常の動作電圧を下回り、 V_{switch} の閾値電圧より下になると、デバイスはそれに送られたすべての命令への応答を停止します。書き込みサイクルが進行中であり、電源がダウンした時に最後のデータビット D0 が受信された場合は、書き込みを完了させるまでの t_{DELAY} 時間が許可されています。この後は、すべてのメモリアクセスが禁止され、条件付き AutoStore オペレーションが実行されず (最後の RECALL サイクル以降に書き込みが行われていない場合は、AutoStore が実行されます)。この機能により、パワーダウン時に不注意な nvSRAM への書き込みが行われるのを防ぐことができます。しかし、パワーダウン時の不注意な書き込みの可能性を防止するために、デバイスが選択解除されていること、およびスタンバイパワーモードになっていることを確認する必要があります。そうすれば、 \overline{CS} は V_{CC} に印加される電圧に従います。

アクティブ電力およびスタンバイ電力モード

\overline{CS} が LOW の時、デバイスが選択され、アクティブパワーモードになります。30 ページの DC 電気的特性で指定されているように、デバイスは I_{CC} 電流を消費します。 \overline{CS} が HIGH の時、デバイスは選択解除され、STORE または RECALL サイクルが進行中でなければ、デバイスは t_{SB} 時間後にスタンバイパワーモードとなります。STORE/RECALL サイクルが進行中の場合、STORE/RECALL サイクルが完了した後に、デバイスがスタンバイパワーモードになります。スタンバイパワーモードでは、デバイスに流れる電流は I_{SB} に低下します。

SPI 機能の説明

CY14X101PA は 8 ビット命令レジスタを使用します。命令とそのオペレーションコードは表 1 に一覧されています。すべての命令、アドレス、データは、最初に MSB とともに転送され、HIGH から LOW \overline{CS} への遷移で開始されます。nvSRAM でほとんどの機能へのアクセスを提供する全部で 21 の SPI 命令があります。さらに、WP、HOLD、および HSB ピンがハードウェアを介して駆動される追加機能を提供します。

表 1. 命令セット

命令カテゴリ	命令名	オペレーションコード	動作
状態レジスタ制御命令			
状態レジスタアクセス	RDSR	0000 0101	読み取り状態レジスタ
	FAST_RDSR	0000 1001	高速状態レジスタ読み取り - SPI クロック > 40MHz
	WRSR	0000 0001	書き込み状態レジスタ
書き込み保護およびブロック保護	WREN	0000 0110	書き込みイネーブルラッチを設定
	WRDI	0000 0100	書き込みイネーブルラッチをリセット
SRAM 読み取り / 書き込み命令			
メモリアクセス	読み取り	0000 0011	メモリアレイからの読み取りデータ
	FAST_READ	0000 1011	高速読み取り - SPI クロック > 40MHz
	書き込み	0000 0010	メモリアレイへの書き込みデータ
RTC 読み取り / 書き込み命令			
RTC アクセス	RDRTC	0001 0011	読み取り RTC レジスタ
	FAST_RDRTC	0001 1101	高速 RTC レジスタ読み取り - SPI クロック > 25MHz
	WRTC	0001 0010	書き込み RTC レジスタ
特別 NV 命令			
nvSRAM 特別命令	STORE	0011 1100	ソフトウェア STORE
	RECALL	0110 0000	ソフトウェア RECALL
	ASENB	0101 1001	AutoStore イネーブル
	ASDISB	0001 1001	AutoStore ディスエーブル
特別命令			
スリープ	SLEEP	1011 1001	スリープモードイネーブル
シリアル番号	WRSN	1100 0010	書き込みシリアル番号
	RDSN	1100 0011	読み取りシリアル番号
	FAST_RDSN	1100 1001	高速読み取りシリアル番号 - SPI クロック > 40MHz
デバイス ID 読み取り	RDID	1001 1111	メーカー JEDEC ID および製品 ID 読み取り
	FAST_RDID	1001 1001	高速メーカー JEDEC ID および製品 ID 読み取り - SPI クロック > 40MHz
予約済み	- 予約済み -	0001 1110	

CY14X101PA の SPI 命令はその機能に基づいてこれらのタイプに分類されます。

■ 状態レジスタ制御命令：

- 状態レジスタアクセス： RDSR、FAST_RDSR、および WRSR 命令
- 書き込み保護およびブロック保護： \overline{WP} ピンと WEN、BP0、BP1 ビットの他に WREN および WRDI 命令

■ SRAM 読み取り / 書き込み命令

- メモリアクセス： READ、FAST_READ、および WRITE 命令

■ RTC 読み取り / 書き込み命令

- RTC アクセス： RDRTC、FAST_RDRTC、および WRTC 命令

■ 特別 NV 命令

- nvSRAM 特別命令： STORE、RECALL、ASENB、および ASDISB

■ 特別命令： SLEEP、WRSN、RDSN、FAST_RDSN、RDID、FAST_RDID

状態レジスタ

状態レジスタのビットは表 2 に一覧されています。状態レジスタは、レディビット (RDY) およびデータ保護ビット BP1、BP0、WEN、WPEN で構成されます。nvSRAM STORE またはソフトウェア RECALL サイクルが進行中、レディ/ビジー状態を確認するために、RDY ビットをポーリングすることができます。状態レジスタは WRSR 命令によって変更でき、RDSR または FAST_RDSR 命令で読み取ることができます。しかし、WRSR 命令を使用して変更できるのは、状態レジスタの WPEN、BP1、および BP0 ビットのみです。WRSR 命令は WEN と RDY ビット

に影響を与えません。WEN、BP0、BP1、ビット 4-5、SNL、および WPEN の工場出荷時のデフォルト値は「0」です。

状態レジスタの SNL (ビット 6) は、WRSN 命令を使用して書かれたシリアル番号をロックするために使用されます。そのビットが「0」の間は、シリアル番号は WRSN 命令を使用して複数回書き込むことができます。「1」に設定されている場合、このビットはシリアル番号に変更が加えられるのを防止します。このビットは工場で「0」にプログラムされており、一度だけ書き込むことができます。このビットが「1」に設定された後は、「0」にクリアすることはできません。

表 2. 状態レジスタフォーマット

ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
WPEN (0)	SNL (0)	X (0)	X (0)	BP1 (0)	BP1 (0)	WEN (0)	RDY

表 3. 状態レジスタのビット定義

ビット	定義	内容
ビット 0 (RDY)	Ready (準備完了)	読み取り専用ビットは、デバイスがメモリアクセスの実行に対してレディ状態であることを示しています。STORE またはソフトウェア RECALL サイクルの進行中、このビットはデバイスによって「1」に設定されます。
ビット 1 (WEN)	書き込みイネーブル	WEN はデバイスの書き込みがイネーブルかどうかを示します。パワーアップ時のこのビットのデフォルトは、0 (ディスエーブル) です。 WEN=「1」-> 書き込みイネーブル WEN=「0」-> 書き込みディスエーブル
ビット 2 (BP0)	ブロック保護ビット「0」	ブロック保護のために使用されます。詳細については、12 ページの表 4 をご覧ください。
ビット 3 (BP1)	ブロック保護ビット「1」	ブロック保護のために使用されます。詳細については、12 ページの表 4 をご覧ください。
ビット 4-5	ドント・ケア	これらのビットは書き込み不可であり、常に読み取り時に「0」を返します。
ビット 6 (SNL)	シリアル番号ロック	「1」に設定されてシリアル番号をロックします。
ビット 7 (WPEN)	書き込み保護イネーブルビット	書き込み保護ピンの機能をイネーブルにするために使用されます (WP)。詳細については、12 ページの表 5 をご覧ください。

読み取り状態レジスタ (RDSR) 命令

読み取り状態レジスタ命令は、SPI 周波数最大 40MHz で状態レジスタへのアクセスを提供します。この命令は、デバイスの状態やデバイスのレディ状態を書き込みイネーブルにプローブするために使用されます。STORE またはソフトウェア RECALL サイクルの進行中は常に、RDY ビットはデバイスによって「1」に設定されます。ブロック保護と WPEN ビットは、用いられる保護の範囲を示します。

この命令は、RDSR のオペコードを使用して、CS の立ち下がりがエッジの後に発行されます。

高速読み取り状態レジスタ (FAST_RDSR) 命令

FAST_RDSR 命令により、SPI 周波数 40MHz 以上、最大 104MHz (最大) まで、状態レジスタを読み取ることができます。この命令は、デバイスの状態やデバイスのレディ状態を書き込みイネーブルにプローブするために使用されます。STORE またはソフトウェア RECALL サイクルの進行中は常に、RDY ビットはデバイスによって「1」に設定されます。ブロック保護と WPEN ビットは、用いられる保護の範囲を示します。

この命令は、RDSR のオペコードを使用して、ダミーバイトが後に続く CS の立ち下がりがエッジの後に発行されます。

書き込み状態レジスタ (WRSR) 命令

WRSR 命令により、ユーザーによる状態レジスタへの書き込みを可能にします。しかし、この命令はビット 0 (RDY)、ビット 1 (WEN)、およびビット 4-5 を変更するために使用することはできません。BP0 と BP1 ビットは、ブロック保護の 4 つのレベルのいずれかを選択するために使用できます。さらに、書き込み保護 (WP) ピンの使用をイネーブルにするには、WPEN ビットは「1」に設定されている必要があります。

WRSR 命令は書き込み命令であり、それが発行される前に、WREN 命令を使用して (WEN ビットは「1」に設定) 書き込みがイネーブルにされている必要があります。WRSR のオペコードを使用した CS の立ち下がりがエッジの後に命令が発行され、その後に状態レジスタに格納される 8 ビットのデータが続きます。WRSR 命令は、状態レジスタのビット 2、3、6、および 7 のみを変更するために使用できます。

注 CY14X101PA では、状態レジスタに書き込まれた値は、STORE オペレーションの後にのみ不揮発性メモリに保存されます。AutoStore がディスエーブルになっている場合は、状態レジスタに加えられた変更は、ソフトウェア STORE オペレーションを実行して確保する必要があります。

図 6. 読み取り状態レジスタ (RDSR) 命令タイミング

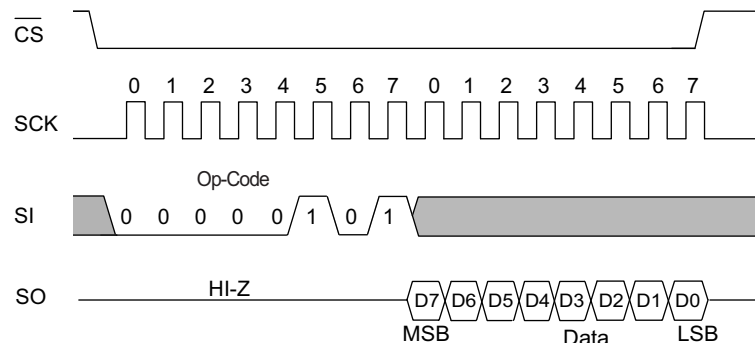


図 7. 高速読み取り状態レジスタ (FAST_RDSR) 命令タイミング

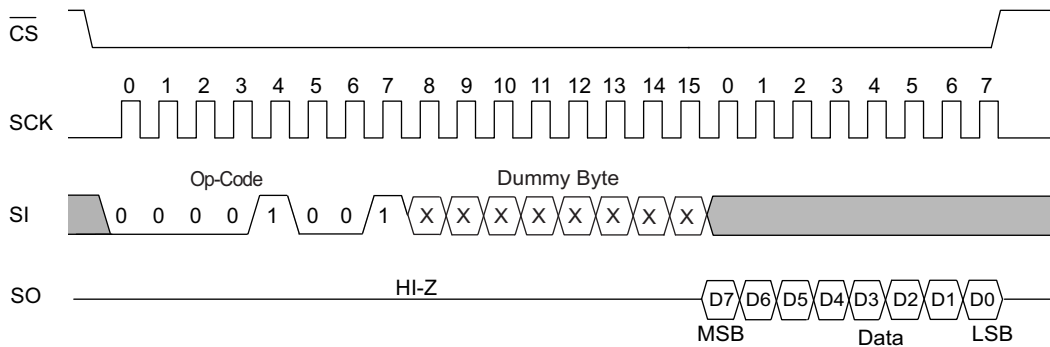
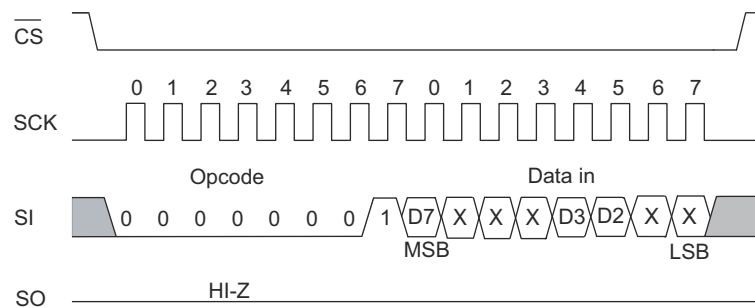


図 8. 書き込み状態レジスタ (WRSR) 命令タイミング



書き込み保護およびブロック保護

CY14X101PA は、WRDI 命令と \overline{WP} を使用して、ソフトウェアとハードウェア書き込み保護の両方に機能を提供します。加えてこのデバイスは、状態レジスタの BP0 および BP1 ピンを介して、ブロック保護メカニズムを提供します。

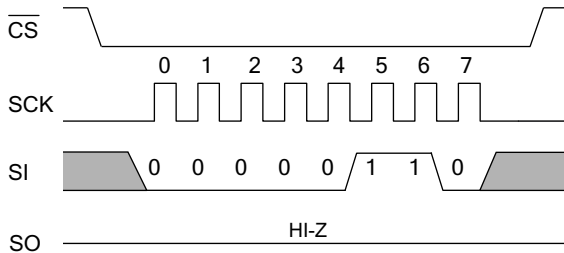
デバイスの書き込みイネーブル / ディスエーブル状態は、状態レジスタの WEN ビットによって示されます。書き込み命令 (WRSR、WRITE、WRTC、および WRSN) および nvSRAM 特別命令 (STORE、RECALL、ASENB、ASDISB) は、これらが発行される前に書き込みがイネーブル (WEN ビット = 「1」) になっている必要があります。

書き込みイネーブル (WREN) 命令

パワーアップ時、デバイスは常に書き込みディスエーブル状態にあります。したがって、以下の WRITE、WRSR、WRSN、または nvSRAM 特別命令の前に、書き込みイネーブル命令が発行されている必要があります。デバイスが書き込みイネーブル (WEN = 「0」) になっていない場合は、それは書き込み命令を無視し、 \overline{CS} が HIGH になるとスタンバイ状態に戻ります。シリアル通信を再開させるには、新しい \overline{CS} の立ち下がりエッジが必要です。命令は \overline{CS} の立ち下がりエッジ後に発行されます。この命令が使用される時、状態レジスタの WEN ビットは「1」に設定されています。パワーアップ時の WEN ビットのデフォルトは「0」です。

注 書き込み命令 (WRSR、WRITE、WRTC、または WRSN) または nvSRAM 特別命令 (STORE、RECALL、ASENB、ASDISB) の完了後、WEN ビットは「0」にクリアされます。これにより、不注意な書き込みが防止されます。したがって、WREN 命令は新しい書き込み命令が発行される前に使用される必要があります。

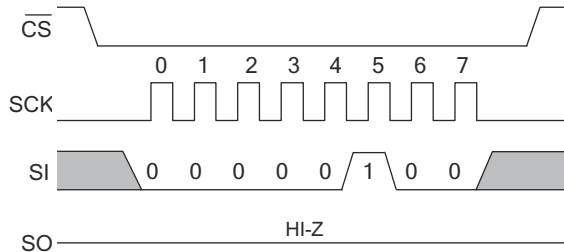
図 9. WREN 命令



書き込みディスエーブル (WRDI) 命令

不注意な書き込みからデバイスを保護するために、書き込みディスエーブル命令により WEN ビットが「0」にクリアされ、書き込みがディスエーブルとなります。この命令は \overline{CS} の立ち上がりエッジ後に発行され、その後に WRDI 命令のオペコードが続きます。WEN ビットは WRDI 命令に続く \overline{CS} の立ち上がりエッジでクリアされます。

図 10. WRDI 命令



ブロック保護

ブロック保護は状態レジスタの BP0 および BP1 ピンを使用して提供されます。これらのビットは WRSR 命令を使用して設定でき、RDSR 命令を使用してプロブすることができます。nvSRAM は 4 つのアドレスセグメントに分割されます。1/4、1/2、またはすべてのメモリセグメントを保護することができます。保護されたセグメント内のすべてのデータは読み取り専用となります。表 4 にブロック保護ビットの機能が示されています。

表 4. ブロック書き込み保護ビット

Level (レベル)	ステータス レジスタ ビット		保護されたアレイ アドレス
	BP1	BP0	
0	0	0	なし
1 (1/4)	0	1	0x18000–0x1FFFF
2 (1/2)	1	0	0x10000–0x1FFFF
3 (すべて)	1	1	0x00000–0x1FFFF

ハードウェア書き込み保護 (\overline{WP} ピン)

書き込み保護ピン (\overline{WP}) は、ハードウェア書き込み保護を提供するために使用されます。 \overline{WP} ピンが HIGH に維持された時、すべて通常の読み取りと書き込みオペレーションが可能となります。 \overline{WP} ピンが LOW に下げられ、WPEN ビットが「1」になった時、状態レジスタへのすべての書き込み動作が禁止されます。WPEN ビットが「0」の時、ハードウェア書き込み保護

機能がブロックされます。これにより、 \overline{WP} ピンがグラウンドに接続している状態でシステムにデバイスをインストールすることができ、状態レジスタに書き込むこともできます。

メモリへの書き込みを禁止するために、 \overline{WP} ピンを状態レジスタの WPEN およびブロック保護ビット (BP1 と BP0) と一緒に使用することができます。 \overline{WP} ピンが LOW で WPEN が「1」に設定されていると、状態レジスタへの変更はディスエーブルになります。したがって、BP0 および BP1 ビットに設定することによってメモリが保護され、 \overline{WP} ピンがハードウェア書き込み保護を提供して、状態レジスタビットの変更が禁止されます。

注 \overline{CS} がまだ LOW の状態で \overline{WP} が LOW になっても、状態レジスタへの進行中の書き込みオペレーションへの影響は何もありません。

表 5 すべての保護機能は、CY14X101PA に一覧されています。

表 5. 書き込み保護動作

WPEN	\overline{WP}	WEN	保護されている ブロック	保護されていない ブロック	状態レジスタ
X	X	0	保護	保護	保護
0	X	1	保護	書き込み可能	書き込み可能
1	LOW	1	保護	書き込み可能	保護
1	HIGH	1	保護	書き込み可能	書き込み可能

メモリアクセス

すべてのメモリアクセスは、READ および WRITE 命令を使用して行われます。STORE または RECALL サイクルが進行中は、これらの命令を使用することはできません。進行中の STORE サイクルは、状態レジスタの RDY および HSB ピンのビットによって示されます。

読み取りシーケンス (READ) 命令

CY14X101PA の読み取りオペレーションは、SI ピンに命令を与え、SO ピンの出力を読み取ることによって実行されます。次のシーケンスの後には読み取りオペレーションが続く必要があります。デバイスを選択するために \overline{CS} ラインが LOW にプルダウンされると、読み取りオペコードが SI ラインを介して送信され、その後にアドレスの 3 バイト (A12-A0) が続きます。最上位アドレスバイトにはビット 0 に A16 が含まれていて、他のビットは「ドント・ケア」です。アドレスビット A15 ~ A0 が次の 2 つのアドレスバイトで送信されます。最後のアドレスビットが SI ピンに送信された後、特定のアドレス位置のデータ (D7-D0) が D7 で始まる SCK の立ち上がりエッジで SO ラインにシフトアウトされます。最後のアドレスビットの後の SI ライン上の他のデータは無視されます。

CY14X101PA では、SPI を介してバーストで読み取りを実行することができるので、これにより新しい READ 命令を発行せずに、連続したアドレス上で読み取り処理を実行できます。1 バイトだけが読み取られる場合、1 バイトのデータが出てきた後、 \overline{CS} ラインは HIGH に駆動される必要があります。しかし、読み取りシーケンスは \overline{CS} ラインを LOW に保持することによって継続することができ、アドレスは自動的にインクリメントされ、データの SO ピンへのシフトアウトも継続されます。最後のデータメモリアドレス (0x1FFFF) に到達すると、アドレスは 0x00000 にロールオーバーし、デバイスは読み取りを継続します。

注 READ 命令は最大の 40MHz SPI 周波数まで動作します。

高速読み取りシーケンス (FAST_READ) 命令

FAST_READ 命令により、SPI 周波数 40MHz 以上および最大 104MHz (最大) まで、メモリを読み取ることができます。ホストシステムは、最初に CS を LOW に駆動することでデバイスを選択する必要があり、そして FAST_READ 命令が SI に書き込まれ、17 ビットアドレス (A16 ~ A0) およびその後続くデータバイトを含む 3 つのアドレスバイトが続きます。

次の SCK 立ち下がりエッジから、MSB から始まる SO ラインで特定アドレスのデータがシリアルでシフトアウトされます。指定される最初のバイトは、どの位置でもかまいません。データの各バイトが出力された後、デバイスが次の上位アドレスに自動的にインクリメントします。したがって、メモリアレイ全体を単一の FAST_READ 命令で読み取ることができます。メモリアレイの最上位アドレスに到達すると、アドレスカウンタはアドレス 0x00000 を開始するようにロールオーバーされるため、読み取りシーケンスが永久に続行されます。FAST_READ 命令は、データ出力中の任意の時点で CS が HIGH に駆動されることで終了されます。

注 FAST_READ 命令は最大の 104MHz SPI 周波数まで動作します。

書き込みシーケンス (WRITE) 命令

CY14X101PA の書き込みオペレーションは、SI ピンを介して実行されます。デバイスが書き込みディセーブルである場合に書き込みオペレーションを実行するには、まずデバイスを書き込み WREN 命令を使用してイネーブルにする必要があります。書き込みがイネーブル (WEN=「1」) にされると、CS の立

ち下がりエッジ後に WRITE 命令が発行されます。WRITE 命令は SI ライン上の WRITE オペコードの送信を構成し、その後アドレスの 3 つのバイトおよび書き込まれるデータ (D7-D0) が続きます。最上位アドレスバイトにはビット 0 に A16 が含まれていて、他のビットは「ドント・ケア」です。アドレスビット A15 ~ A0 が次の 2 つのアドレスバイトで送信されます。

CY14X101PA では、SPI を介してバーストで書き込みを実行することができるので、これにより新しい WRITE 命令を発行せずに、連続したアドレス上で書き込み処理を実行できます。1 バイトだけが書き込まれる場合、D0 (データの LSB) が送信された後、CS ラインは HIGH に駆動される必要があります。より多くのバイトが書き込まれる場合は、CS ラインを LOW に保持しなければならず、アドレスは自動的にインクリメントされます。SI ラインの次のバイトはデータバイトとして扱われ、連続したアドレスに書き込まれます。最後のデータメモリアドレス (0x1FFFF) に到達すると、アドレスは 0x00000 にロールオーバーし、デバイスは書き込みを継続します。

書き込みシーケンスの完了時に WEN ビットは「0」にリセットされます。

注 バースト書き込みが保護されたブロックアドレスに到達すると、それは保護された空間にアドレスのインクリメントを継続しますが、保護されたメモリにデータが書き込まれることはありません。アドレスのロールオーバーにより保護されていない空間にバースト書き込みがなされる場合、書き込みが再開されます。バースト書き込みが書き込み保護されたブロック内で開始された場合は、同じオペレーションは true となります。

図 11. 読み取り命令タイミング

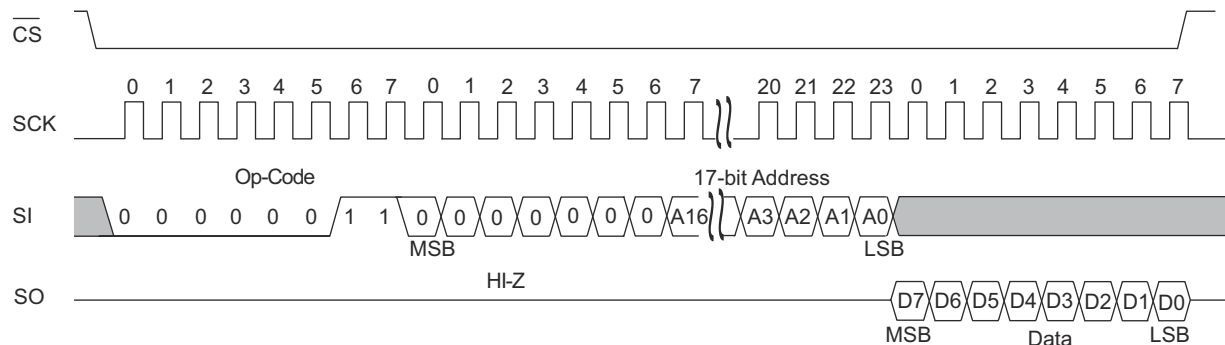


図 12. バーストモード読み取り命令タイミング

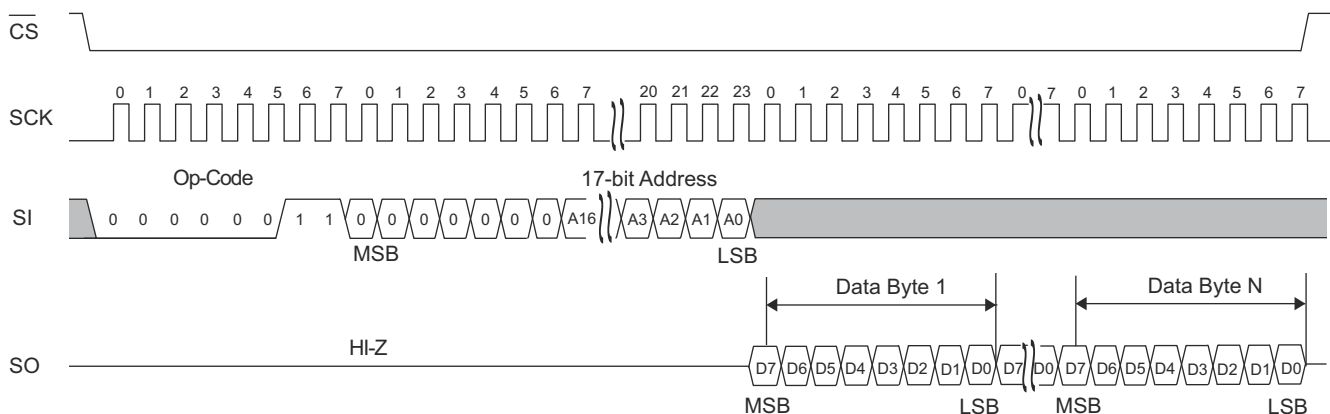


図 13. 高速読み取り命令タイミング

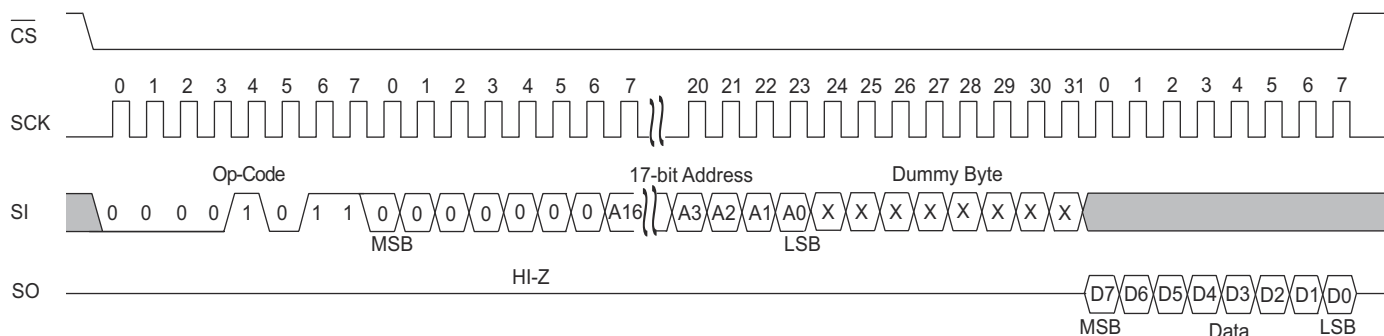


図 14. 書き込み命令タイミング

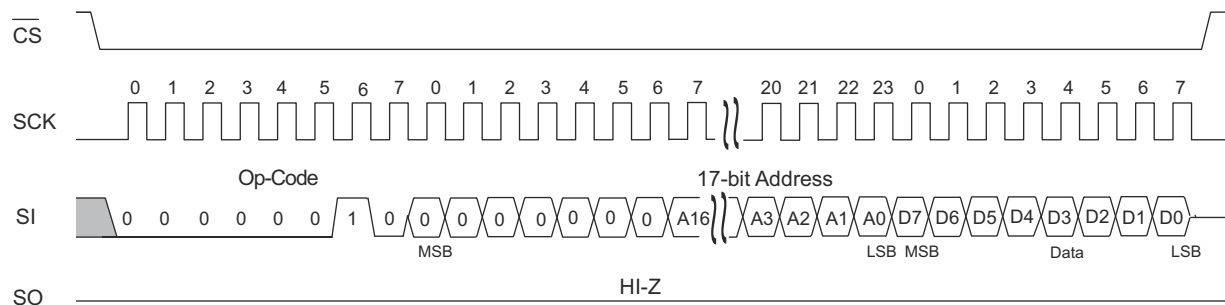
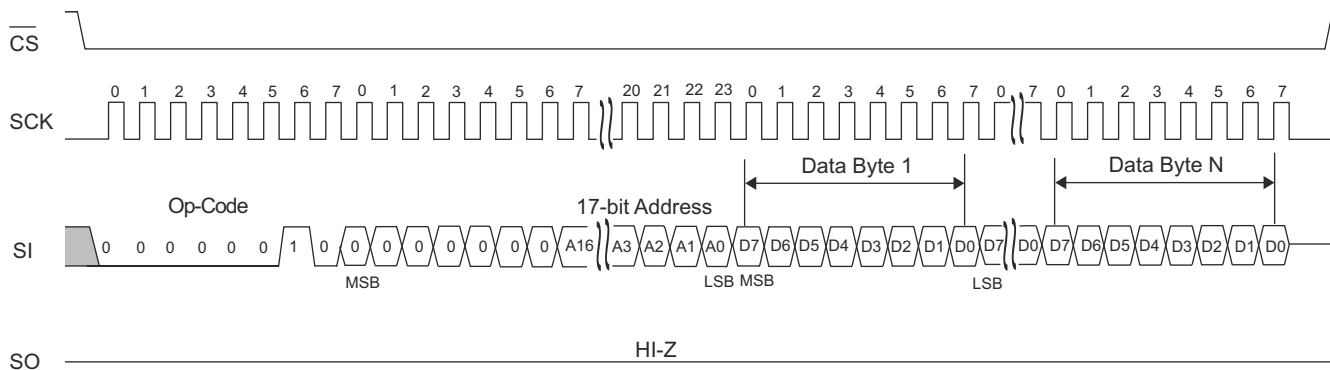


図 15. バーストモード書き込み命令タイミング



RTC アクセス

CY14X101PA は、RTC に 16 レジスタを使用します。バーストモードで 16 すべてのレジスタにアクセスする、または各レジスタに 1 つずつアクセスすることで、これらのレジスタへの読み書きを行うことができます。RDRTC、FAST_RDRTC、および WRTC 命令は、RTC にアクセスするために使用されます。

RDRTC および FAST_RDRTC 命令を発行して、CS ピンを HIGH に駆動することなく 16 バイトすべてを読み取ることで、すべての RTC レジスタをバーストモードで読み取ることができます。時間の過渡的な値が読み込まれないようにするため、RTC 時間保持レジスタの読み取り中は「R」ビットが設定されている必要があります。

RTC レジスタへの書き込みは、WRTC 命令を使用して実行されます。フラグを除き、RTC 時間保持レジスタと制御レジスタへの書き込みの際には、フラグレジスタの「W」ビットが「1」に設定されている必要があります。「W」ビットが「0」にクリアされた時に、内部カウンタが新しい日付と時間設定で更新されます。WRTC 命令を使用して、バーストモードですべての RTC レジスタに書き込むこともできます。

読み取り RTC (RDRTC) 命令

読み取り RTC (RDRTC) 命令により、SPI 周波数最大 25MHz まで、RTC レジスタのコンテンツを読み取ることができます。SO ピンを通して RTC レジスタを読み取るには、次のシーケンスが必要です。デバイスを選択するために CS ラインが LOW にプルダウンされると、RDRTC オペコードが SI ラインを介して送信され、レジスタ選択のためにその後アドレスの 8 バイトが続きます。アドレスビットの後の SI ラインのデータはすべて無視されます。そして、指定されたアドレスのデータ (D7-D0) は、SO ラインにシフトアウトされます。RDRTC では、バーストモードでの読み取りオペレーションも可能です。RTC レジスタから複数バイトを読み取る際、最後の RTC レジスタアドレス (0x0F) に達すると、アドレスは 0x00 にロールオーバーします。

過渡的にデータを読み取ることを回避するため、RTC 時間保持レジスタを読み取る前に、RTC フラグレジスタの「R」ビットは「1」に設定されている必要があります。RTC フラグレジスタの変更には、書き込み RTC サイクルが必要です。読み取りオペレーション完了後、R ビットは「0」にクリアされる必要があります。

最も簡単な RTC レジスタの読み取り方法は、バーストモードで RDRTC を実行する方法です。SO ピンを介して 16 すべての RTC レジスタからデータが送信されるように、読み取りが最初の RTC (0x00) から開始され、CS が LOW に保持されている必要があります。

注 RDRTC 命令は、25MHz の最大クロック周波数で動作します。命令が正しく動作するためには、オペコードサイクル、アドレスサイクル、およびデータ出力サイクルは 25MHz で実行される必要があります。

高速読み取りシーケンス (FAST_READ) 命令

FAST_READ 命令により、SPI 周波数 25MHz 以上および最大 104MHz (最大) まで、メモリを読み取ることができます。ホストシステムは、最初に CS を LOW を駆動することでデバイスを選択する必要があります。そして FAST_READ 命令が SI に書き込まれ、その後 8 バイトアドレスバイトおよびダミーバイトが続きます。

次の SCK 立ち上がりエッジから、MSB から始まる SO ラインで特定アドレスのデータがシリアルでシフトアウトされます。指定される最初のバイトは、どの位置でもかまいません。データの各バイトが出力された後、デバイスが次の上位アドレスに自動的にインクリメントします。したがって、メモリアレイ全体を単一の FAST_READ 命令で読み取ることができます。メモリアレイの最上位アドレス (0x0F) に到達すると、アドレスカウンタはアドレス 0x00 を開始するようにロールオーバーされるため、読み取りシーケンスが永久に続行されます。FAST_READ 命令は、データ出力中の任意の時点で CS が HIGH に駆動されることで終了されます。

注 FAST_READ 命令は最大の 104MHz SPI 周波数まで動作します。

図 16. 読み取り RTC (RDRTC) 命令タイミング

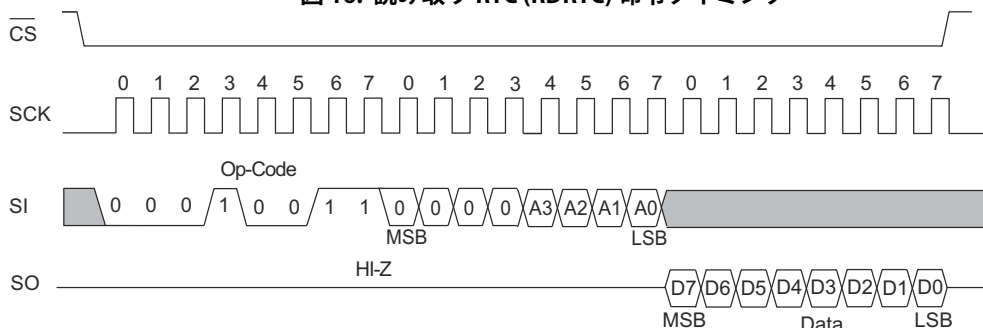
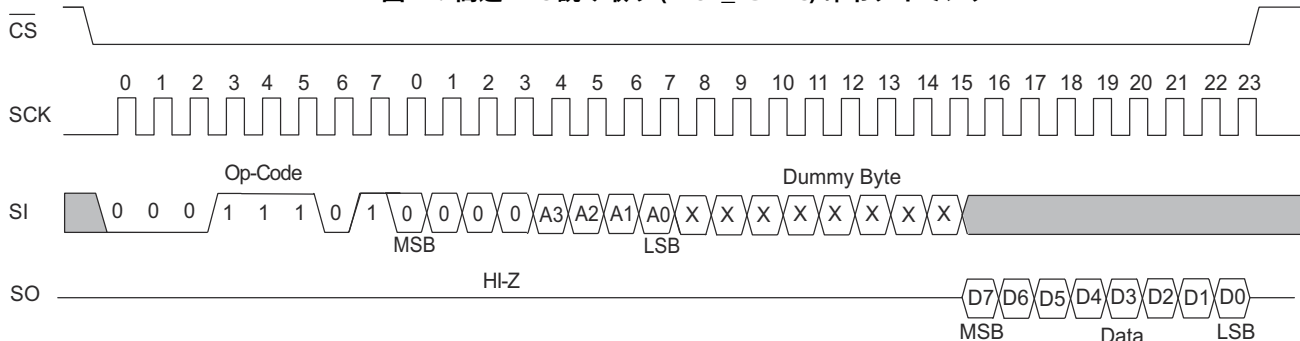


図 17. 高速 RTC 読み取り (FAST_RDRTC) 命令タイミング



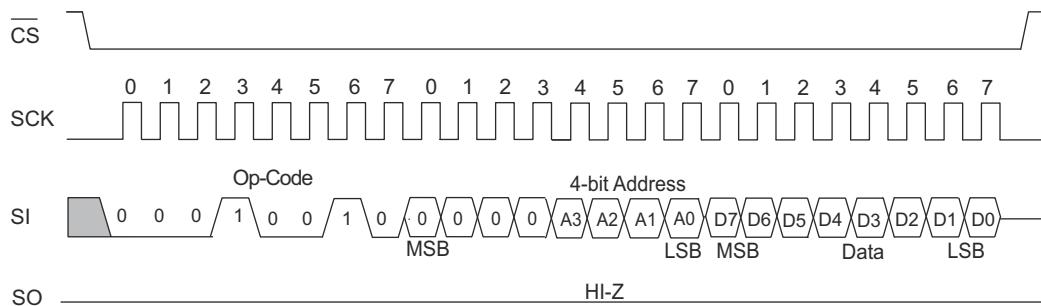
書き込み RTC (WRTC) 命令

書き込み RTC (WRTC) 命令により、RTC レジスタのコンテンツを変更することができます。WRTC 命令が発行される前に、WEN ビットが「1」に設定されている必要があります。WEN ビットが「0」になっている場合は、WRTC を使用する前に、WREN 命令が発行される必要があります。RTC レジスタへの書き込みには、次のシーケンスが必要です。デバイスを選択するために CS ラインが LOW にプルダウンされた後、WRTC オペコードが SI ラインを介して送信され、その後書き込まれるレジスタを識別する 8 つのアドレスビットおよびデータの 1 つ

または複数のバイトが続きます。WRTC ではバーストモードでの書き込みオペレーションが可能です。バーストモードで複数のレジスタを書き込む際には、最後の RTC アドレス (0x0F) に達した後、アドレスは 0x00 にロールオーバーされます。

RTC 時間保持および制御レジスタへの書き込みでは、W ビットが「1」に設定されている必要があることに注意してください。これらの RTC レジスタの値は、「W」ビットが「0」にクリアされた後にのみ効力を発します。書き込みイネーブルビット (WEN) は、WRTC 命令が完了した後、自動的に「0」にクリアされます。

図 18. 書き込み RTC (WRTC) 命令タイミング



nvSRAM 特別命令

CY14X101PA は、nvSRAM の特定機能へのアクセスを可能にする次の 4 つの特別命令を提供します。STORE、RECALL、ASDISB、および ASENB です。これらの命令は表 6 に一覧されています。

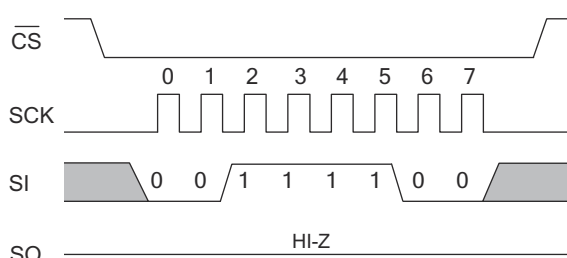
表 6. nvSRAM 特別命令

関数名	オペレーションコード	動作
STORE	0011 1100	ソフトウェア STORE
RECALL	0110 0000	ソフトウェア RECALL
ASENB	0101 1001	AutoStore イネーブル
ASDISB	0001 1001	AutoStore ディスエーブル

ソフトウェア STORE (STORE) 命令

STORE 命令が実行されると、CY14X101PA はソフトウェア STORE オペレーションを実行します。STORE オペレーションは、最後の STORE または RECALL オペレーション以降に書き込みが行われたかどうかに関係なく実行されます。

図 19. ソフトウェア STORE 動作



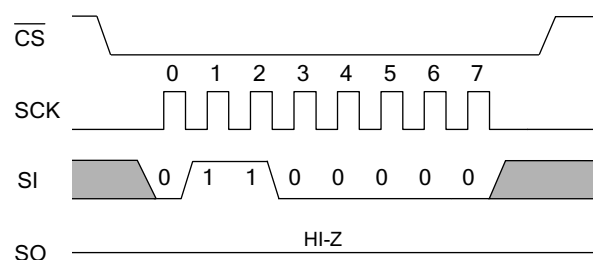
この命令を発行するには、デバイスは書き込みイネーブル (WEN ビット = 「1」) になっている必要があります。命令は CS の立ち下がりエッジの後に SI ピンの STORE オペコードが送信されることで実行されます。STORE 命令後の CS ポジティブエッジで WEN ビットがクリアされます。

ソフトウェア RECALL (RECALL) 命令

RECALL 命令が実行されると、CY14X101PA がソフトウェア RECALL オペレーションを実行します。この命令を発行するには、デバイスは書き込みイネーブル (WEN = 「1」) になっている必要があります。

命令は CS の立ち下がりエッジの後に SI ピンの RECALL オペコードが送信されることで実行されます。RECALL 命令後の CS ポジティブエッジで WEN ビットがクリアされます。

図 20. ソフトウェア RECALL 動作



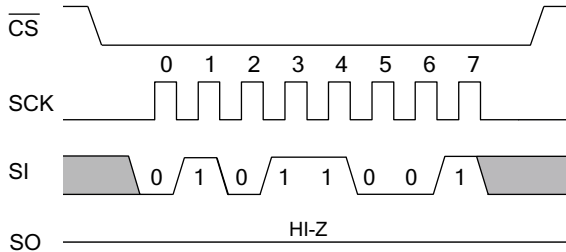
AutoStore イネーブル (ASENB) 命令

AutoStore イネーブル命令により、CY14X101PA の AutoStore がイネーブルとなります。この設定は不揮発性ではなく、これがパワーサイクルで耐えられるようにするには、その後に STORE シーケンスを行う必要があります。

この命令を発行するには、デバイスは書き込みイネーブル (WEN = 「1」) になっている必要があります。命令は CS の立ち下がりエッジの後に SI ピンの ASENB オペコードが送信される

ことで実行されます。ASENB 命令後の $\overline{\text{CS}}$ ポジティブエッジで WEN ビットがクリアされます。

図 21. AutoStore イネーブル動作

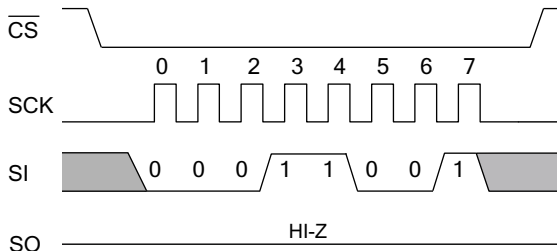


AutoStore ディスエーブル (ASDISB) 命令

AutoStore は CY14X101PA のデフォルトでイネーブルになります。AutoStore ディスエーブル命令は CY14X101PA の AutoStore をディスエーブルにします。この設定は不揮発性ではなく、これがパワーサイクルで耐えられるようにするには、その後に STORE シーケンスを行う必要があります。

この命令を発行するには、デバイスは書き込みイネーブル (WEN = 「1」) になっている必要があります。命令は $\overline{\text{CS}}$ の立ち下がりエッジの後に SI ピンの ASDISB オペコードが送信されることで実行されます。ASDISB 命令後の $\overline{\text{CS}}$ のポジティブエッジで WEN ビットがクリアされます。

図 22. AutoStore ディスエーブル動作



特別命令

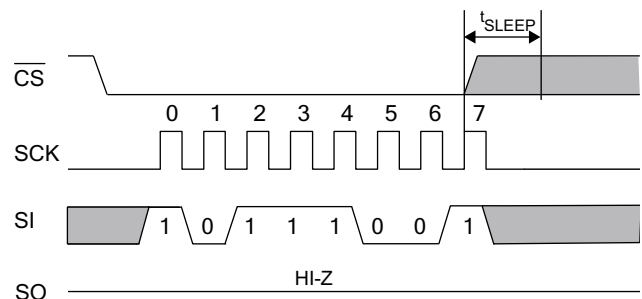
SLEEP 命令

SLEEP 命令により、nvSRAM はスリープモードとなります。SLEEP 命令が発行されると、nvSRAM は t_{SS} 時間を取り SLEEP 要求を処理します。一旦 SLEEP コマンドが正常に取り込まれて処理されると、nvSRAM は HSB を LOW にトグルし、不揮発性メモリにデータを確実に保全するために STORE オペレーションを実行してから、スリープモードに入ります。デバイスは SLEEP 命令が取り込まれると、インスタンスからの t_{SLEEP} 時間後に I_{ZZ} 電流を消費し始めます。SLEEP 命令が出された後は、通常の実行ではデバイスにアクセスすることができなくなります。一旦スリープモードになると、SCK および SI ピンは無視され、SO は Hi-Z になりますが、デバイスは $\overline{\text{CS}}$ ピンの監視を続けます。

スリープモードから nvSRAM をウェイクさせるには、 $\overline{\text{CS}}$ ピンを HIGH から LOW にトグルしてデバイスが選択される必要があります。CS ピンの立ち下がりエッジが検出された後、 t_{WAKE} 期間が経過すると、デバイスはウェイクアップし、通常の実行でアクセス可能となります。

注 nvSRAM がスリープモードに入る際は常に不揮発性 STORE サイクルを開始し、その結果として SLEEP コマンド実行のたびに耐久サイクルをもたらします。STORE サイクルは、最後の STORE または RECALL サイクル以降、SRAM への書き込みが実行された場合にのみ開始されます。

図 23. スリープモードへの移行



シリアル番号

シリアル番号はこのデバイスを一意に識別するためにユーザーに提供される 8 バイトのプログラマブルメモリ空間です。それは典型的に 2 バイトのカスタム ID、その後続く固有の 5 バイトのシリアル番号と CRC チェックの 1 バイトで構成されています。しかし、nvSRAM は CRC を計算しないため、所望の形式で 8 バイトのメモリ空間を利用するかどうかはシステム設計者次第となります。8 バイトの位置のデフォルト値は「0x00」に設定されています。

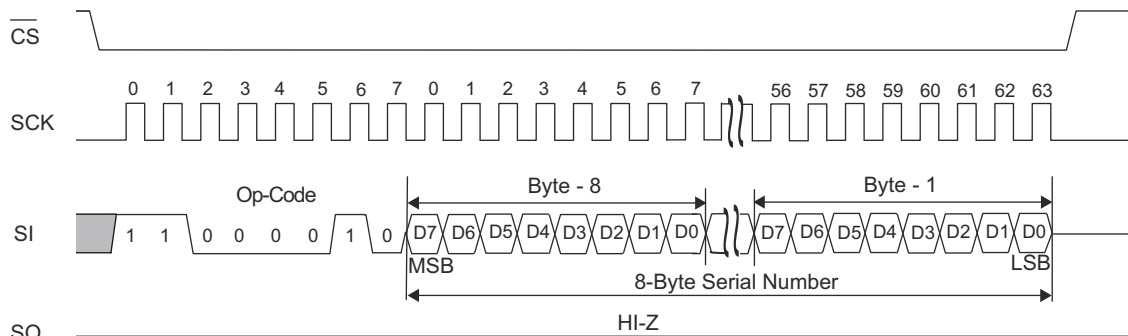
WRSN (シリアル番号書き込み) 命令

シリアル番号は WRSN 命令を使用して書き込むことができます。シリアル番号を書き込むには、WREN 命令を使用して書き込みがイネーブルになっている必要があります。WRSN 命令は、シリアル番号の 8 バイトすべてを書き込むためにバーストモードで 사용할 ことができます。

シリアル番号は、状態レジスタの SNL ビットを使用してロックされます。一旦このビットが「1」に設定されると、シリアル番号に変更を加えることはできなくなります。SNL ビットが「1」に設定された後は、WRSN 命令の使用はシリアル番号に影響を与えません。

シリアル番号を不揮発性メモリに格納するには、STORE オペレーション (AutoStore またはソフトウェア STORE) が必要です。AutoStore がディスエーブルになっている場合は、ソフトウェア STORE オペレーションを実行して、シリアル番号を確保しロックする必要があります。SNL ビットが「1」に設定されていて格納 (AutoStore ディスエーブル) されていない場合は、次のパワーサイクル時に SNL ビットとシリアル番号はデフォルトで「0」となります。SNL ビットが「1」に設定されていて格納されている場合は、SNL ビットを「0」にクリアすることはできません。この命令では、それが実行される前に WEN ビットが設定されている必要があります。この命令の完了後、WEN ビットは「0」にリセットされます。

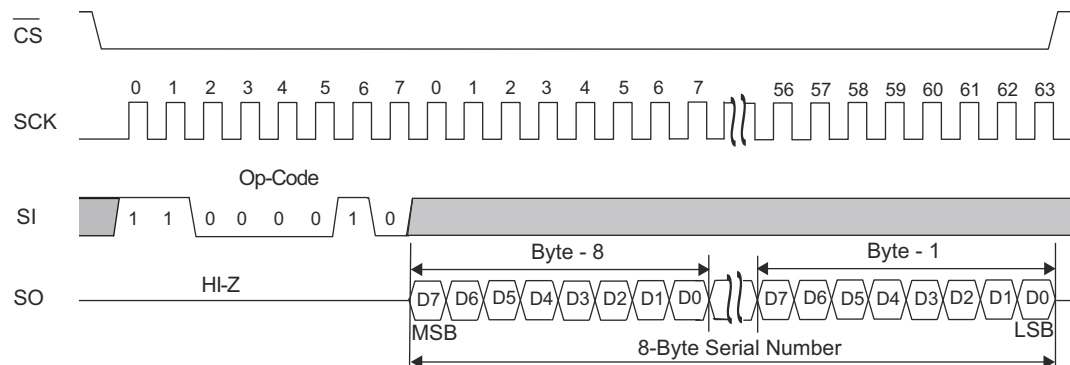
図 24. WRSN 命令



RDSN (シリアル番号読み取り) 命令

シリアル番号は最大 40MHz の SPI 周波数で RDSN 命令を使用して読み取られます。シリアル番号読み取りは、バーストモードで実行して一度にすべての 8 バイトを読み取ることができます。シリアル番号の最後のバイトが読み取られた後は、デバイスはループバックしません。CS が LOW になった後、nvSRAM の SI ピン経由で RDSN のオペレーションコードをシフトすることによって、RDSN 命令を発行することができます。この後、nvSRAM が SO ピンを介してシリアル番号の 8 バイトをシフトアウトします。

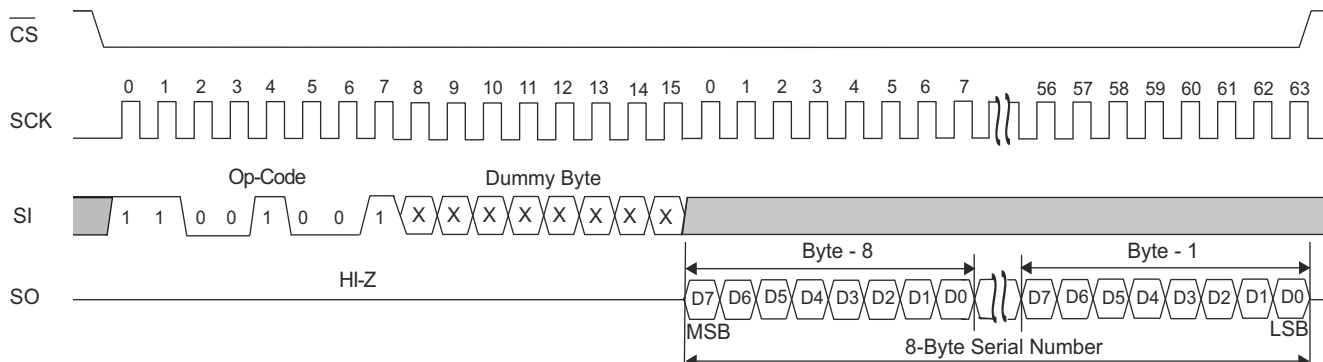
図 25. RDSN 命令



FAST_RDSN (高速シリアル番号読み取り) 命令

FAST_RDSN 命令は、SPI 周波数 40MHz 以上、最大 104MHz(最大) でシリアル番号を読み取るために使用されます。シリアル番号読み取りは、バーストモードで実行して一度にすべての 8 バイトを読み取ることができます。シリアル番号の最後のバイトが読み取られた後は、デバイスはループバックしません。CS が LOW になった後、nvSRAM の SI ピン経由で FAST_RDSN のオペレーションコードをシフトし、その後にダミーバイトが続くことで FAST_RDSN 命令を発行することができます。この後、nvSRAM が SO ピンを介してシリアル番号の 8 バイトをシフトアウトします。

図 26. FAST_RDSN 命令



デバイス ID

デバイス ID は一意に製品の種類を識別するための 4 バイトの読み取り専用コードです。これには、製品の製品ファミリコード、構成、および容量が含まれています。

表 7. デバイス ID

デバイス	デバイス ID (4 バイト)	デバイス ID の説明			
		31-21 (11 ビット)	20-7 (14 ビット)	6-3 (4 ビット)	2-0 (3 ビット)
		メーカー ID	製品 ID	容量 ID	ダイ改訂
CY14C101PA	0x0681C0A0	00000110100	000011100000001	0100	000
CY14B101PA	0x0681C8A0	00000110100	000011100100001	0100	000
CY14E101PA	0x0681D0A0	00000110100	000011101000001	0100	000

表 7 に示されているように、デバイス ID は 4 つの部分に分かれています。

1. メーカー ID (11 ビット)

これはサイプレス用に JEDEC が割り当てたメーカーの ID です。JEDEC は異なるバンクでメーカー ID を割り当てます。メーカー ID の最初の 3 ビットは、ID が割り当てられているバンクを表しています。次の 8 ビットはメーカー ID を表しています。サイプレスのメーカー ID はバンク 0 の 0x34 です。したがって、すべてのサイプレスの nvSRAM 製品のメーカー ID は以下のようになっています。

サイプレス ID - 000_0011_0100

2. 製品 ID (14 ビット)

デバイスの製品 ID は表 7 に示されています。

3. 容量 ID (4 ビット)

表 7 に示されているように、4 ビットの容量 ID は製品の 1Mb 容量を示しています。

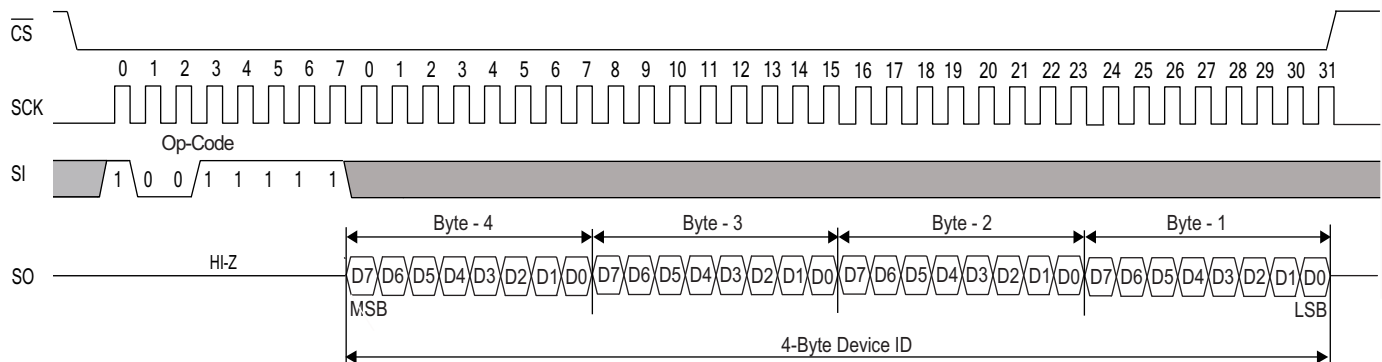
4. ダイ改訂 (3 ビット)

これは製品の設計への大幅な変更を表すために使用されます。初期設定は常に 0x0 です。

RDID (デバイス ID 読み取り) 命令

この命令は、JEDEC 割り当てのメーカー ID とデバイスの製品 ID を SPI 周波数最大 40MHz で読み取るために使用されます。この命令は、バス上のデバイスを識別するためにも使用することができます。CS が LOW になった後、nvSRAM の SI ピン経由で RDID のオペレーションコードをシフトすることによって、RDID 命令を発行することができます。その後、nvSRAM が SO ピンを介してデバイス ID の 4 バイトをシフトアウトします。

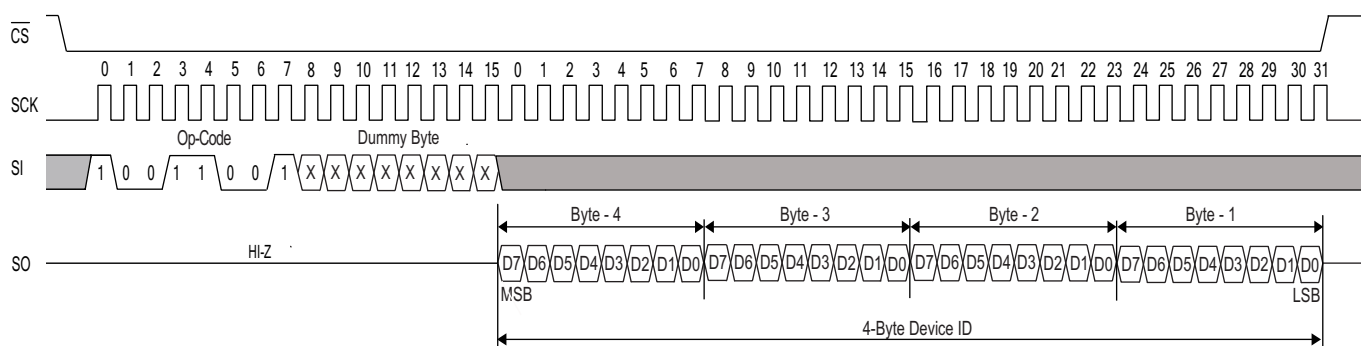
図 27. RDID 命令



FAST_RDID (高速デバイス ID 読み取り) 命令

FAST_READ 命令により、SPI 周波数 40MHz 以上および最大 104MHz (最大) までで、JEDEC 割り当てのメーカー ID と製品 ID を読み取ることができます。CS が LOW になった後、nvSRAM の SI ピン経由で FAST_RDID のオペレーションコードをシフトし、その後にダミーバイトが続くことで FAST_RDID 命令を発行することができます。この後、nvSRAM が SO ピンを介してデバイス ID の 4 バイトをシフトアウトします。

図 28. FAST_RDID 命令

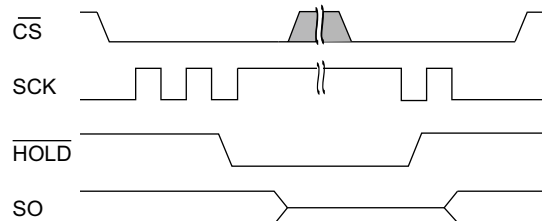


HOLD ピン動作

HOLD ピンはシリアル通信を一時停止するために使用されます。デバイスが選択されていて、シリアルシーケンスが進行中の場合、HOLD は現在進行中のシリアルシーケンスをリセットすることなく、マスタデバイスでシリアル通信を一時停止するために使用されます。一時停止するには、SCK ピンが LOW の時に HOLD ピンが LOW に下げる必要があります。シリアル通信を再開するには、SCK ピンが LOW の時に HOLD ピンを HIGH にする必要があります (SCK は HOLD 中トグルする場合があります)。デバイスのシリアル通信が一時停止している間、SI ピンへの入力は無視され、SO ピンはハイインピーダンス状態となります。

このピンは、シリアル通信をリセットすることなく、HOLD ピンを LOW にすることによってシリアル通信を一時停止するため、および SPI スレーブを選択解除することによって他のスレーブデバイスとの通信を確立するために、CS ピンとともにマスタによって使用されます。デバイスが選択され、HOLD ピンが HIGH に設定された時点で、通信を再開することができます。

図 29. HOLD 動作



リアルタイムクロック

nvTIME の動作

CY14X101PA には、クロック、アラーム、ウォッチドッグ、割り込み、および制御機能を含む内部レジスタがあります。RTC レジスタは nvSRAM からの独立したアドレス空間を占有し、レジスタアドレス 0x00 ~ 0x0F の読み取り RTC レジスタおよび書き込み RTC レジスタのシーケンスを介してアクセスできます。時間保持レジスタの内部ダブルバッファは、読み取りまたは書き込みオペレーション中の過渡的な内部クロックデータへのアクセスを防ぎます。またダブルバッファリングは、外部からクロック データにアクセスする際、通常のタイミング カウントの中断させず、クロック精度の劣化を回避します。クロックおよびアラーム レジスタは BCD 形式でデータをストアします。

クロックの動作

クロックレジスタは、1 秒単位で 9,999 年までの時間を維持します。時刻は任意のカレンダー時間に設定することができ、クロックは曜日と月の日、うるう年、世紀の遷移を自動的に刻みます。クロック機能には 8 つの専用レジスタがあります。これは書き込みサイクルで時間を設定し、読み取りサイクルで時間を読み取ります。これらのレジスタには BCD 形式で時間が含まれます。「0」として定義されたビットは、現在使用されておらず、将来使用するために予約されています。

クロックの読み込み

ダブルバッファ RTC レジスタの構造は、クロックから不正なデータを読み取る可能性を減らします。遷移におけるデータの読み取りを防止するために、CY14X101PA 時間保持レジスタの内部更新は、読み取りクロックデータの前に、読み取りビット「R」（フラグレジスタ - 0x00）が「1」に設定されると停止されます。レジスタの更新停止は、クロックの精度に影響を与えません。

RTC デバイスの読み取りシーケンスが開始されると、ユーザーの時間保持レジスタの更新が停止され、「0」が読み取りビット「R」（フラグレジスタの 0x00）に書き込まれるまで再開されません。読み取りシーケンスの終了後、すべての RTC レジスタが、20ms 以内に同時に更新されます。

クロックの時刻設定

書き込みビット「W」（フラグレジスタ - 0x00）が「1」に設定されると、RTC デバイスへの書き込みアクセスが時間保持レジスタの更新を停止し、時間の設定を可能にします。次に、正しい曜日、日付、および時間がレジスタに書き込まれます。正しい形式は、24 時間 BCD 形式です。書き込まれた時間は、「基準時刻」と呼ばれます。この値は、不揮発性レジスタに格納され、現在の時刻の計算に使用されます。「0」が書き込まれて書き込みビット「W」がクリアされると、クロックが通常のオペレーションを再開した後、時間保持レジスタの値は実際のクロックカウンタに転送されます。

時間保持レジスタに書き込まれた時間が正しい BCD 形式でない場合は、RTC レジスタの各無効ニブルは、RTC が通常のオペレーションを再開した後で、0x0 にロールオーバーする前に、0xF までカウントを継続します。

注 「W」ビットが「0」に設定された後、時間保持、アラーム、校正、および割り込みレジスタに書き込まれる値は、 t_{RTCp} 時間で RTC 時間保持カウンタに転送されます。これらのカウンタの値は、ソフトウェア/ハードウェア STORE または AutoStore オペレーションを開始することにより、不揮発性メモリに保存する必要があります。AutoStore をディスエーブルにしたモードでは、変更が正しく記録されるよう、RTC レジスタへの書き

込みを行いながら、 t_{RTCp} 時間の後に STORE オペレーションを実行してください。

バックアップ電源

CY14X101PA の RTC は、永続的電源供給オペレーション用に設計されています。用途に応じバックアップ電源にコンデンサかバッテリーを選択します。これにより V_{RTCcap} または V_{RTCbat} ピンを使用します。主電源が供給されている時、 V_{CC} が異常になり、 V_{SWITCH} を下回ると、デバイスは電源をバックアップ電源に切り替えます。

クロック発振器の消費電流は非常に小さいため、バックアップ電源によるバックアップ時間が長くなります。主電源を喪失した状態のクロックオペレーションにかかわらず、nvSRAM に格納されたデータは電源が失われたときに不揮発性素子に格納されるため、データが失われることはありません。

バックアップオペレーション中に、CY14X101PA は室温で 0.45 μA (代表値) を消費します。ユーザは、用途に応じてコンデンサやバッテリーの値を選択する必要があります。

最大電流仕様にに基づくバックアップ時間の値が、以下の表 8 に示されています。公称バックアップ時間は約 2 倍長くなります。

表 8. RTC のバックアップ時間

コンデンサの値	バックアップ時間 (CY14B101PA)
0.1F	60 時間
0.47F	12 日
1.0F	25 日

コンデンサを使用すると、システムの電源が投入されるたびにバックアップ電源が充電されるという明白な利点があります。バッテリーを使用する場合は、3V リチウムバッテリーをお勧めします。CY14X101PA は、主電源が取り去られた場合に、バッテリーからのみ電流を受けます。ただし、バッテリーは、CY14X101PA によって常に充電されるわけではありません。バッテリー容量は、システムのライフサイクルを通して、必要なダウタイムの合計予想時間を考慮して選択する必要があります。

発振器の起動と停止

0x08 制御にある校正レジスタの OSCEN ビットが、発振器のイネーブルまたはディスエーブルを制御します。このビットは不揮発性であり、「イネーブル状態」（「0」に設定されている）でお客様に出荷されます。システムが保存状態にある場合にバッテリーを保たせるには、OSCEN を「1」に設定する必要があります。これにより発振回路が停止し、バッテリー寿命が延長されます。OSCEN ビットがディスエーブルからイネーブルになる場合は、発振器が開始されるのに約 1 秒（最大 2 秒）かかります。

システムの電源がオフである時にバックアップ電源の電圧 (V_{RTCcap} または V_{RTCbat}) がそれぞれの最小レベルを下回ると、発振器が動作しなくなることがあります。CY14X101PA には、システム電源が回復された時に、発振器の異常を検出する能力があります。これは、アドレス 0x00 にあるフラグレジスタの発振器異常フラグ (OSCF) に記録されます。デバイスに電流が供給されている (V_{CC} が V_{SWITCH} を上回る) 場合、OSCEN ビットがチェックされ、「イネーブル」状態であることが確認されます。OSCEN ビットがイネーブルになっていて、発振器が最初の 5ms 以内に起動しない場合は、OSCF ビットが「1」に設定されます。システムはこの条件を点検し、フラグをクリアするために「0」を書き込む必要があります。

OSCF フラグビットを設定することに加え、時間レジスタが「基準時刻」にリセットされることに注意してください。この時間は、時間保持レジスタに書き込まれる最後の値です。制御ま

たは校正レジスタと OSCEN ビットは、「発振器異常」コンディションによる影響は受けません。

OSCF の値は、時間レジスタが最初に書き込まれた際に、「0」にリセットする必要があります。これは、システムが最初に電源を投入された時に設定されている可能性があり、このビットの状態を初期化します。

OSCF をリセットするには、書き込みビット「W」(フラグレジスタ 0x00)を「1」に設定し、フラグレジスタへの書き込みをイネーブルにします。書き込みをディスエーブルにするには、OSCF に「0」を書き込み、書き込みビットを「0」にリセットします。

クロックの校正

RTC は 32.768kHz の公称周波数を持つクォーツ水晶によって駆動されます。クロックの精度は、水晶と校正の品質に依存します。市場で入手可能な水晶は、通常、 $\pm 20 \text{ ppm} \sim \pm 35 \text{ ppm}$ の誤差を持ちます。ただし、CY14X101PA は 25°C で $\pm 1/-2 \text{ ppm}$ まで精度を向上させる校正回路を採用しています。これは、月当たり $+2.5 \sim -5$ 秒の誤差を意味します。

校正回路は、この精度を達成するため、発振器分周回路からカウントを加算または減算します。抑制 (減算、マイナス校正) または分割 (加算、プラス校正) されるパルス数は、0x08 にある校正レジスタの 5 つの校正ビットに格納された値によります。校正ビットは、校正レジスタの 5 つの下位ビットを占有します。これらのビットは、バイナリ形式で「0」と 31 間の任意の値を表すために設定されます。ビット D5 は符号ビットで、「1」がプラス校正、「0」がマイナス校正を示します。カウントを加算するとクロックが速くなり、減算するとクロックが遅くなります。二進数の「1」がレジスタにロードされると、符号に応じて、発振器の誤差に 4.068 または -2.034 ppm のオフセット調整を行います。

校正は、64 分サイクル内で発生します。サイクルの最初の 62 分は、毎分 1 回、128 の発振器サイクルで 1 秒短縮されるか、256 の発振器サイクルで 1 秒長くなります。二進数の「1」がレジスタにロードされると、64 分サイクルの最初の 2 分のみが変更されます。二進数の 6 がロードされると、最初の 12 が影響を受け、同じパターンが続きます。したがって、各校正の手順は、実際の 125,829,120 回発振器サイクルごとに、512 を加算または 256 を減算する効果があります。これは、校正レジスタの校正ステップごとに、4.068 または -2.034ppm の調整を行うことを意味します。

必要な校正を決定するには、フラグレジスタ (0x00) の CAL ビットを「1」に設定する必要があります。これは、512Hz の公称周波数で INT ピンをトリグします。512Hz から測定される任意の偏差は、必要な補正の程度と方向を示します。たとえば、512.01024Hz の読み込みは $+20 \text{ ppm}$ の誤差を示します。したがって、-10 (001010b) の 10 進値を校正レジスタにロードし、この誤差を相殺する必要があります。

注 校正レジスタを設定または変更しても、テスト出力周波数には影響しません。

CAL をリセットするには、書き込みビット「W」(フラグレジスタ 0x00)を「1」に設定し、フラグレジスタへの書き込みをイネーブルにします。CAL に値を書き込み、次に書き込みビットを「0」にリセットし、書き込みをディスエーブルにします。

アラーム

アラーム機能は、ユーザーがプログラムしたアラームの時間と日付 (レジスタ 0x01-5 に格納されている) の値を、該当する曜日と日付の値と比較します。一致すると、アラーム内部フラグ

(AF) が設定され、アラーム割り込みイネーブル (AIE) ビットが設定されている場合は、割り込みが INT ピンで生成されます。

日付、時間、分、秒という、4 つのアラーム一致フィールドがあります。これらの各フィールドは、フィールドがアラーム一致ロジックで使用されているかどうかを判断するために使用される一致ビットを持ちます。一致ビットが「0」に設定されている場合は、対応するフィールドが一致プロセスで使用されていることを示します。一致ビットに応じて、アラームは、月に一度など特定の頻度で発生します。最小頻度は、毎分 1 回です。一致ビットを選択しない (すべて 1) 場合は、一致が必要とされないため、アラームがディスエーブルになることを示します。すべての一致ビット (すべて 0) を選択すると、正確な時間と日付の一致が発生します。

アラームイベントを検出するには、AF フラグを読み込むまたは INT ピンを監視するという 2 つの方法を使用します。0x00 にあるフラグレジスタの AF フラグは、日付や時間の一致が発生したことを示します。一致が発生すると、AF ビットが「1」に設定されます。フラグレジスタを読み込むと、アラームフラグビット (および他のすべて) がクリアされます。ハードウェア割り込みピンも、アラームイベントを検出するために使用されることがあります。

これを設定するには、書き込みビット「W」(フラグレジスタ 0x00)を「1」に設定し、アラームレジスタへの書き込みをイネーブルにします。アラームの値を書き込んだ後、「W」ビットを「0」にクリアし、効力を発します。

注 CY14X101PA は、アラームフラグと割り込みを適切にオペレーションするため、アラーム一致ビット (アラーム秒レジスタ 0x02 のビット「D7」) を数秒間「0」に設定する必要があります。

ウォッチドッグタイマ

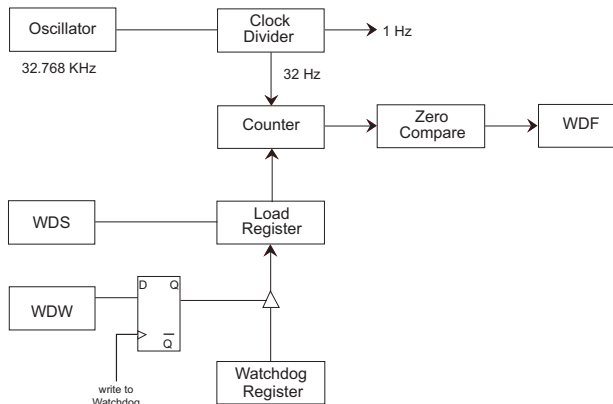
ウォッチドッグタイマは、水晶発振器から派生した 32Hz のクロック (31.25ms) を使用する、フリーランダウンカウンタです。発振器は、関数へのウォッチドッグとして実行する必要があります。ウォッチドッグタイマレジスタにロードされた値からカウントダウンを開始します。

タイマは、ロード可能なレジスタとフリーランカウンタで構成されています。パワーアップ時に、レジスタ 0x07 のウォッチドッグタイムアウト値が、カウンタのロードレジスタにロードされます。カウントは、ウォッチドッグストローブ (WDS) ビットが「1」に設定されるたびに、ロード可能な値からのパワーアップと再起動を開始します。カウンタは、「0」のピン値と比較されます。カウンタがこの値に達すると、内部フラグとオプションの割り込み出力が発生します。カウンタが「0」に到達する前に WDS ビットを「1」に設定することにより、割り込みタイムアウトを防ぐことができます。これにより、カウンタにウォッチドッグタイムアウト値がリロードされ、再起動されます。カウンタがピンの値に達する前に WDS ビットを設定する限り、割り込みとウォッチドッグタイマフラグは発生しません。

ウォッチドッグ書き込みビットを「0」に設定することで、新しいタイムアウト値が書き込まれます。WDW が「0」である場合、ウォッチドッグタイムアウト値ビット D5-D0 への新しい値の書き込みが有効になり、タイムアウト値が変更されます。WDW が「1」である場合、D5-D0 ビットへの書き込みは無視されます。WDW 機能は、ウォッチドッグタイマの値が変更されることを考慮せずに、WDS ビットを設定できるようにします。ウォッチドッグタイマの論理ダイヤグラムを、[23 ページの図 30](#) に示します。ウォッチドッグタイムアウト値を「0」に設定すると、ウォッチドッグ機能がディスエーブルになることに注意してください。

ウォッチドッグ タイマの出力は、ウォッチドッグがタイムアウトまで許可されている場合に設定されるフラグビット WDF です。割り込みレジスタのウォッチドッグ割り込み有効 (WIE) ビットが設定されている場合は、INT ピンのハードウェア割り込みも、ウォッチドッグタイムアウトで生成されます。フラグおよびハードウェア割り込みは、ユーザーがフラグレジスタを読み込んだ時に両方クリアされます。

図 30. ウォッチドッグ タイマ ブロックダイアグラム



プログラマブル方形波ジェネレータ

方形波ジェネレータブロックは、デバイスの INT ピンに所望の周波数を生成するために水晶出力を使用します。出力周波数は、以下のいずれかになるようにプログラムすることができます。

1. 1Hz
2. 512Hz
3. 4096Hz
4. 32768Hz

デバイスがバックアップ電源で実行されている時は、方形波出力は生成されません。

電源モニタ

CY14X101PA は、電源異常割り込み機能による電力管理機能を提供します。また、クロック用のバックアップ電源への内部スイッチを制御し、低 V_{CC} アクセスからメモリを保護します。電源モニタは、 V_{CC} 電圧を V_{SWITCH} しきい値と比較する、内部バンドギャップ参照回路に基づきます。

4 ページの [AutoStore 処理](#) で説明したように、 V_{CC} が電源を喪失した際に V_{SWITCH} に達すると、データ STORE オペレーションが、SRAM から不揮発性素子に対して開始され、最後の SRAM データ状態を確保します。また、電源が V_{CC} からバックアップ電源 (バッテリーまたはコンデンサ) に切り替えられ、RTC 発振器を処理します。

バックアップ電源から動作している場合、nvSRAM との読み込みおよび書き込みオペレーションが抑制され、RTC 機能が利用できなくなります。RTC クロックは、バックグラウンドで処理を継続します。更新された RTC 時間保持レジスタは、 V_{CC} が回復された後で利用できるようになります ([35 ページの AutoStore またはパワーアップ RECALL](#) を参照)。

バックアップ電源モニタ

CY14X101PA は、バックアップ電源 (バッテリーまたはコンデンサバックアップ) 障害を検出するバックアップ電源監視システムを提供します。バックアップ電源に障害が発生した場合、次のパワーアップでバックアップ電源障害フラグ (BPF) が発行されます。バックアップ電圧が $V_{BAKEFAIL}$ よりも下がった場合に、BPF フラグが設定されます。RTC がバックアップモードで実行中である際もバックアップ電源が監視されます。バックアップモード中に検出された低電圧は、BPF フラグを通してフラグが立てられます。BPF がデータを保持することができるのは、バックアップ電圧の定義された低レベルまでです (V_{DR})。

割り込み

CY14X101PA は、フラグレジスタ、割り込みレジスタ、およびマイクロコントローラへの割り込み信号を送ることができるロジックを持っています。割り込みには、ウォッチドッグ タイマ、電源モニタ、アラーム タイマという 3 つの潜在的ソースがあります。それぞれ、個別に割り込みレジスタ (0x06) の適切な設定によって、INT ピンを駆動するために有効にできます。さらに、ホストプロセッサが割り込みの原因を判別するために使用するフラグレジスタ (0x00) に、関連するフラグビットがあります。INT ピンのドライバは、割り込みが発生したときにその動作を指定する 2 つのビットを持っています。

割り込みは、両方のフラグが、3 つのソースのいずれかによってオンになった場合、および割り込みレジスタで該当する割り込み有効ビット (「1」に設定) がイネーブルになった場合にのみ発生します。割り込みソースがアクティブになった後、2 つのプログラマブルビット、H/L と P/L は、INT ピンで出力ピンドライバの動作を決定します。これらの 2 ビットは割り込みレジスタにあり、INT ピンからレベルまたはパルスモードの出力を駆動するために使用できます。パルスモードでは、パルス幅が内部で約 200ms に固定されます。このモードは、ホストマイクロコントローラをリセットするためのモードです。レベルモードでは、フラグレジスタがユーザーによって読み込まれるまで、ピンはアクティブ極性になります。このモードは、ホストマイクロコントローラへの割り込みとして使用されます。制御ビットについては、[割り込みレジスタ](#)のセクションで説明されています。

割り込みは、通常の電源による動作中にのみ生成され、システムがバックアップ電源モードで実行されているときにはトリガされません。

注 CY14X101PA は、電源オン RECALL シーケンスが完了した後でのみ有効な割り込みを生成します。INT ピンの全イベントは、パワーアップ後、 t_{FA} 中は無視される必要があります。

割り込みレジスタ

ウォッチドッグ割り込みの有効化 (WIE) : 「1」に設定すると、ウォッチドッグ タイマは、ウォッチドッグ タイムアウトが発生した際に INT ピンと内部フラグを駆動します。WIE を「0」に設定すると、ウォッチドッグ タイマは、フラグレジスタの WDF フラグにのみ影響します。

アラーム割り込み有効 (AIE) : 「1」に設定すると、アラームの一致により、INT ピンと内部フラグが駆動されます。AIE を「0」に設定すると、アラームの一致は、フラグレジスタの AF フラグにのみ影響します。

電源異常割り込み有効 (PFE) : 「1」に設定すると、電源異常モニタにより、ピンと内部フラグが駆動されます。PFE を「0」に設定すると、電源異常モニタは、フラグレジスタの PF フラグにのみ影響します。

方形波有効 (SQWE) : 「1」に設定されると、プログラマブル周波数の方形波が INT ピンに生成されます。周波数は割り込みレジスタの SQ1 と SQ0 ビットによって決定されます。このビットは不揮発性であり、パワーサイクルに耐えます。SQWE ビットは他すべての割り込みよりも優先されます。しかし、CAL ビットは方形波ジェネレータよりも優先されます。このビットのデフォルトは工場出荷時に「0」に設定されています。

HIGH/LOW (H/L) : 「1」に設定すると、INT ピンがアクティブ HIGH になり、ドライバモードがプッシュプルになります。INT ピンは、 V_{CC} が V_{SWITCH} を上回る場合にのみ HIGH を駆動します。「0」に設定すると、INT ピンがアクティブ LOW になり、ドライバモードがオープンドレインになります。アクティブ LOW モードで割り込みを使用している間、INT ピンは、10 k 抵抗で V_{CC} にプルアップする必要があります。

パルス / レベル (P/L) : 「1」に設定し、割り込みが発生すると、INT ピンが約 200 ms 間駆動されます。P/L が「0」に設定されると、INT ピンは、フラグレジスタが読み込まれるまで、HIGH または LOW (H/L により決定される) に駆動されます。

SQ1 および SQ0. SQWE ビットが「1」に設定されている時、これらのビットは INT ピン出力で方形波の周波数を固定するために一緒に使用されます。これらのビットは不揮発性であり、パワーサイクルに耐えます。次の表に示されているように、出力周波数が決定されます。

表 9. SQW 出力選択

SQ1	SQ0	周波数	備考
0	0	1Hz	1Hz 信号
0	1	512Hz	校正に便利
1	0	4096Hz	4kHz クロック出力
1	1	32768Hz	発振器出力周波数

イネーブルな割り込みソースが INT ピンをアクティブ化すると、外部ホストはレジスタのフラグを読み込んで、原因を特定

します。レジスタが読み込まれる際には、すべてのフラグがクリアされることに注意してください。INT ピンがレベルモードにプログラムされている場合、条件はクリアされ、INT ピンは非アクティブ状態に戻ります。ピンがパルスモードにプログラムされている場合、フラグの読み取りによってもフラグとピンがクリアされます。フラグレジスタが読み込まれると、パルスは、その指定された期間を完了しません。INT ピンがホストのリセットとして使用されている場合は、フラグレジスタはリセット時に読み込まれません。

以下は INT ピンの状態をまとめた表です。

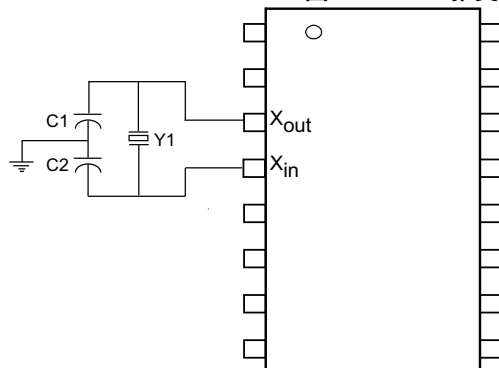
表 10. INT ピンの状態

CAL	SQWE	WIE/AIE/PFE	INT ピン出力
1	X	X	512Hz
0	1	X	方形波出力
0	0	1	アラーム
0	0	0	HI-Z

フラグレジスタ

フラグレジスタには、3つのフラグビットがあります。これらは、割り込みを生成するために使用することができる WDF、AF、および PF です。これらのフラグは、ウォッチドッグタイムアウト、アラーム一致、または電源異常モニタによってそれぞれ設定されます。フラグが設定される際、プロセッサは、このレジスタをポーリングすること、または割り込みをイネーブルにすることができます。これらのフラグは、レジスタが読み込まれると自動的にリセットされます。フラグレジスタは、パワーアップ時に値 0x00 を使って自動的にロードされます (OSCF ビットを除く。[21ページの発振器の起動と停止](#)を参照)。

図 31. RTC の推奨コンポーネント構成 [3]



推奨値

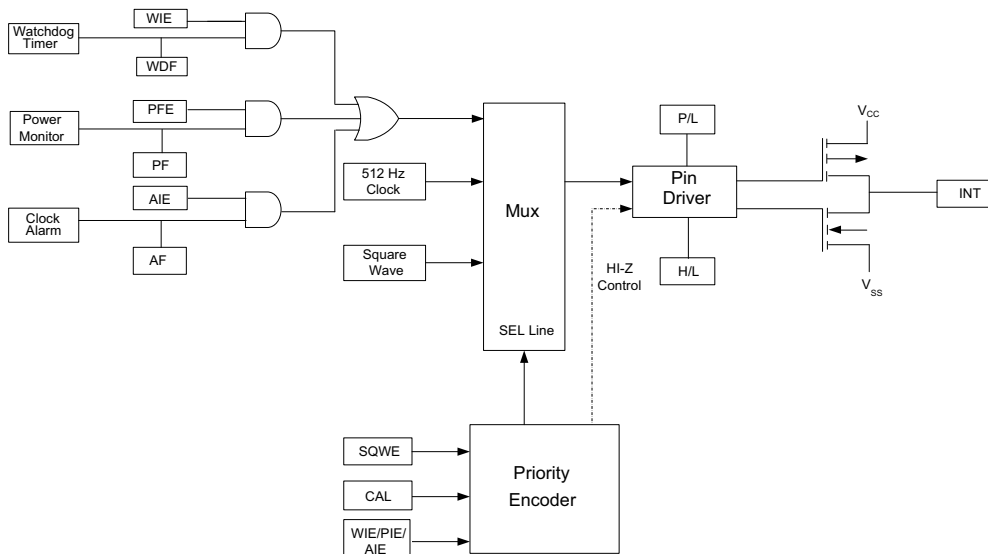
Y1 = 32.768 kHz (12.5 pF)

C₁ = 12 pF

C₂ = 69 pF

注: C₁ と C₂ の推奨値はボードトレース静電容量を含みます。

図 32. 割り込みブロック ダイアグラム



WDF - ウォッチドッグ タイマフラグ
WIE - ウォッチドッグ割り込み
PF - 電源異常フラグ
PFE - 電源異常 イネーブル
AF - アラームフラグ
AIE - アラーム割り込みイネーブル
P/L - パルスレベル
H/L - HIGH/LOW
SQWE - 方形波イネーブル

注

3. nvSRAMRTC の設計ガイドラインおよびベストプラクティスについては、アプリケーションノート [AN61546](#) を参照してください。

表 11. RTC レジスタマップ^[4, 5]

レジスタ	BCD 形式のデータ								機能 / 範囲
	D7	D6	D5	D4	D3	D2	D1	D0	
0x0F	年 (10 年の位)				年				年：00–99
0x0E	0	0	0	月 (10ヶ月の位)	月				月：01–12
0x0D	0	0	日 (10 日の位)		日 (1 日の位)				今月の日：01–31
0x0C	0	0	0	0	0	曜日			曜日：01–07
0x0B	0	0	時間 (10 時間の位)		時間				時間：00–23
0x0A	0	分 (10 分の位)			分 (1 分の位)				分：00–59
0x09	0	秒 (10 秒の位)			秒				秒：00–59
0x08	OSCEN (0)	0	Cal sign (0)	校正 (00000)					校正値 ^[6]
0x07	WDS (0)	WDW (0)	WDT (000000)						ウォッチドッグ ^[6]
0x06	WIE (0)	AIE (0)	PFE (0)	SQWE (0)	H/L (1)	P/L (0)	SQ1 (0)	SQ0 (0)	割り込み ^[6]
0x05	M (1)	0	アラーム日 (10 日の位)		アラーム日 (1 日の位)				アラーム、今月の日：01–31
0x04	M (1)	0	アラーム時間 (10 時間の位)		アラーム時間 (1 時間の位)				アラーム時間：00–23
0x03	M (1)	アラーム分 (10 分の位)			アラーム分 (1 分の位)				アラーム分：00–59
0x02	M (1)	アラーム秒 (10 秒の位)			アラーム、秒				アラーム、秒 00–59
0x01	世紀 (10 世紀の位)				世紀 (1 世紀の位)				世紀：00–99
0x00	WDF	AF	PF	OSCF ^[7]	BPF ^[7]	CAL (0)	W (0)	R (0)	フラグ ^[6]

注

4. () は、工場出荷時の値を示します。
5. RTC レジスタの未使用ビットは後の使用のために予約されており、「0」に設定されている必要があります。
6. これは、バイナリ値ではなく、BCD 値です。
7. ユーザーが OSCF と BPF フラグビットをリセットする場合は、フラグレジスタは、 t_{RTCp} 時間の後に更新されます。

表 12. レジスタ マップ 詳細

0x0F	時間管理 - 年							
	D7	D6	D5	D4	D3	D2	D1	D0
	年 (10 年の位)				年			
	年の下位 2 桁の BCD 桁が含まれています。下位ニブル（4 ビット）には、年の値が含まれています。上位ニブル（4 ビット）には、10 単位の年の値が含まれます。各ニブルは 0 から 9 までになります。レジスタの範囲は 0 から 99 です。							
0x0E	時間管理 - 月							
	D7	D6	D5	D4	D3	D2	D1	D0
	0	0	0	月 (10ヶ月の位)	月			
	月の BCD 桁が含まれています。下位ニブル（4 ビット）は、下位桁が含まれており、0 から 9 までで動作します。上位ニブル（1 ビット）は、上位桁が含まれており、0 から 1 で動作します。レジスタの範囲は 1 から 12 です。							
0x0D	時間管理 - 日							
	D7	D6	D5	D4	D3	D2	D1	D0
	0	0	日 (10 日の位)		日 (1 日の位)			
	今月の日の BCD 桁が含まれています。下位ニブル（4 ビット）は、下位桁が含まれており、0 から 9 までで動作します。上位ニブル（2 ビット）は、上位桁が含まれており、0 から 3 で動作します。レジスタの範囲は 1 から 31 です。うるう年は自動的に調整されます。							
0x0C	時間管理 - 曜日							
	D7	D6	D5	D4	D3	D2	D1	D0
	0	0	0	0	0	曜日		
	下位ニブル（3 ビット）は、曜日に関連する値が含まれます。曜日は、1 から 7 までカウントしてから 1 に戻るリングカウンタです。曜日は日付と統合されていないため、ユーザが、曜日の値に意味を割り当てる必要があります。							
0x0B	時間管理 - 時間							
	D7	D6	D5	D4	D3	D2	D1	D0
	0	0	時間 (10 時間の位)		時間			
	24 時間形式で時間の BCD 値が含まれます。下位ニブル（4 ビット）は、下位桁が含まれており、0 から 9 までで動作します。上位ニブル（2 ビット）は、上位桁が含まれており、0 から 2 で動作します。レジスタの範囲は 0 から 23 です。							
0x0A	時間管理 - 分							
	D7	D6	D5	D4	D3	D2	D1	D0
	0	分 (10 分の位)			分 (1 分の位)			
	分の BCD 値が含まれます。下位ニブル（4 ビット）は、下位桁が含まれており、0 から 9 までで動作します。上位ニブル（3 ビット）は、分の上位の桁が含まれており、0 から 5 で動作します。レジスタの範囲は 0 から 59 です。							
0x09	時間管理 - 秒							
	D7	D6	D5	D4	D3	D2	D1	D0
	0	秒 (10 秒の位)			秒			
	秒の BCD 値が含まれます。下位ニブル（4 ビット）は、下位桁が含まれており、0 から 9 までで動作します。上位ニブル（3 ビット）は、上位桁が含まれており、0 から 5 で動作します。レジスタの範囲は 0 から 59 です。							
0x08	校正 / 制御							
	D7	D6	D5	D4	D3	D2	D1	D0
	OSCEN	0	校正符号	校正				
OSCEN	発振器有効。「1」にセットすると、発振器を停止させます。「0」にクリアすると、発振器を起動します。発振器を停止させると、保存中にバッテリーやコンデンサの電力を節約できます。							
校正符号	タイムベースへの加算（1）またはタイムベースからの減算（0）として校正を適用するかどうかを決定します。							
校正	これらの 5 ビットは、クロックの校正を制御します。							

表 12. レジスタ マップ詳細 (つづき)

0x07	ウォッチドッグタイマ							
	D7	D6	D5	D4	D3	D2	D1	D0
	WDS	WDW	WDT					
WDS	ウォッチドッグストローブ。このビットを「1」にセットすると、ウォッチドッグ タイマが再起動されます。このビットを「0」にクリアしても何の影響もありません。ウォッチドッグ タイマをリセットした後、ビットは自動的にクリアされます。WDS ビットは書き込み専用です。これを読み込むと常に「0」が返されます。							
WDW	ウォッチドッグ書き込み有効。このビットを「1」に設定すると、ウォッチドッグタイムアウト値 (D5-D0) への全書き込みがディスエーブルになります。これにより、ユーザーはタイムアウト値を変更することなく、ウォッチドッグストローブのビットを設定できるようにします。このビットを「0」にクリアすると、次の書き込みサイクルが完了した際に、ビット D5-D0 がウォッチドッグに書き込まれます。この関数の詳細は、 22 ページのウォッチドッグタイマ に説明されています。							
WDT	ウォッチドッグタイムアウトの選択。ウォッチドッグ タイマの間隔は、このレジスタの 6 ビットの値によって選択されます。それは、32Hz カウント (31.25ms) の乗数を表します。タイムアウト値の範囲は、31.25ms(「1」の設定) から 2 秒 (3FH の設定) です。ウォッチドッグタイマレジスタを「0」にクリアすると、タイマがディスエーブルになります。WDW ビットが前のサイクルで 0 に設定されている場合にのみ、これらのビットを書き込むことができます。							
0x06	割り込みステータス / 制御							
	D7	D6	D5	D4	D3	D2	D1	D0
	WIE	AIE	PFE	SQWE	H/L	P/L	SQ1	SQ0
WIE	ウォッチドッグ割り込み有効。「1」にセットし、ウォッチドッグ タイムアウトが発生すると、ウォッチドッグ タイマが INT ピンと WDF フラグを駆動します。「0」にクリアすると、ウォッチドッグ タイムアウトは、WDF フラグにのみ影響を与えます。							
AIE	アラーム割り込み有効。「1」にセットすると、アラームの一致により、INT ピンと AF フラグが駆動されます。「0」にクリアすると、アラームの一致は、AF フラグにのみ影響します。							
PFE	電源異常有効。「1」に設定すると、アラームの一致により、INT ピンと PF フラグが駆動されます。「0」にクリアすると、電源異常 モニタは、PF フラグにのみ影響します。							
SQWE	方形波有効。「1」に設定すると、方形波は、SQ1 と SQ0 ビットを使用してプログラムされた周波数で INT ピンに駆動されます。方形波出力は割り込みロジックよりも優先されます。SQWE ビットが「1」に設定されている場合、エネーブルな割り込みソースがアクティブになった時に、該当するフラグのみが立てられ、INT ピンは方形波の駆動を継続します。							
H/L	HIGH/LOW。「1」にセットすると、INT ピンはアクティブ HIGH に駆動されます。「0」に設定すると、INT ピンはオープンドレインで、アクティブ LOW となります。							
P/L	パルス / レベル。「1」に設定すると、INT ピンは約 200ms 間、割り込みソースによってアクティブに駆動されます (H/L により決定される)。「0」にクリアすると、INT ピンはフラグレジスタが読み込まれるまで、アクティブレベル (H/L により決定される) に駆動されます。							
SQ1、SQ0	SQ1、SQ0。SQWE ビットが「1」に設定されている時、これらのビットは INT ピン出力で方形波の周波数を決定するために使用されます。以下は、それぞれの組み合わせ (SQ1、SQ0) の周波数出力です。 (0、0) - 1Hz (0、1) - 512Hz (1、0) - 4096Hz (1、1) - 32768Hz							
0x05	アラーム - 日							
	D7	D6	D5	D4	D3	D2	D1	D0
	M	0	アラーム日 (10 日の位)			アラーム日 (1 日の位)		
	月の日の値とマスク ビットのアラーム値を含め、日の値を選択または選択解除します。							
M	一致。このビットを「0」にクリアすると、日の値がアラーム一致で使用されます。このビットを「1」にセットすると、一致回路が日の値を無視します。							
0x04	アラーム - 時間							
	D7	D6	D5	D4	D3	D2	D1	D0
	M	0	アラーム時間 (10 時間の位)			アラーム時間 (1 時間の位)		
	時間の値とマスクビットのアラーム値が含まれ、時間の値を選択または選択解除します。							

表 12. レジスタ マップ詳細 (つづき)

M	一致。このビットを「0」にクリアすると、時間の値がアラーム一致で使用されます。このビットを「1」にセットすると、一致回路が時間の値を無視します。							
0x03	アラーム - 分							
	D7	D6	D5	D4	D3	D2	D1	D0
	M	アラーム分 (10 分の位)				アラーム分 (1 分の位)		
	分の値とマスクビットのアラーム値が含まれ、分の値を選択または選択解除します。							
M	一致。このビットを「0」にセットすると、分の値がアラーム一致で使用されます。このビットを「1」にセットすると、一致回路が分の値を無視します。							
0x02	アラーム - 秒							
	D7	D6	D5	D4	D3	D2	D1	D0
	M	アラーム秒 (10 秒の位)				アラーム秒 (1 秒の位)		
	秒の値とマスクビットのアラーム値が含まれ、秒の値を選択または選択解除します。							
M	一致。このビットを「0」にクリアすると、秒の値がアラーム一致で使用されます。このビットを「1」にセットすると、一致回路が秒の値を無視します。							
0x01	時間管理 - 世紀							
	D7	D6	D5	D4	D3	D2	D1	D0
	世紀 (10 世紀の位)				世紀 (1 世紀の位)			
	世紀の BCD 値が含まれます。下位ニブルは、下位桁が含まれており、0 から 9 までで動作します。上位ニブルは、上位桁が含まれており、0 から 9 で動作します。レジスタの範囲は 0 ～ 99 です。							
0x00	フラグ							
	D7	D6	D5	D4	D3	D2	D1	D0
	WDF	AF	PF	OSCF	BPF	CAL	W	R
WDF	ウォッチドッグタイマフラグ。この読み込み専用ビットは、ウォッチドッグ タイマが、ユーザによってリセットされずに 0 に到達できるよう、「1」にセットされます。フラグレジスタが読み取られる際、またはパワーアップ時に「0」にクリアされます。							
AF	アラームフラグ。この読み取り専用ビットは、時間と日付が一致ビット =0 でアラームレジスタに保存された値と一致する場合に「1」に設定されます。フラグレジスタが読み込まれる際、またはパワーアップ時にクリアされます。							
PF	電源異常フラグ。この読み込み専用ビットは、電源異常が、電源異常のしきい値 V_{SWITCH} を下回ると、「1」にセットされます。これはフラグレジスタが読み取られる際、クリアされます。							
OSCF	発振器異常フラグ。発振器がイネーブルであるのに最初の 5ms 間に起動しない場合、パワーアップ時に「1」に設定されます。これは、RTC バックアップ電源に異常が発生し、クロックの値が有効でなくなったことを示します。このビットはパワーサイクルに耐え、チップによって内部的にクリアされません。ユーザがこの条件をチェックし、フラグをクリアするために「0」を書き込む必要があります。ユーザが OSCF フラグ ビットをリセットする場合は、ビットは、 t_{RTCp} 時間の後に更新されます。							
BPF	バックアップ電源異常フラグ。バックアップ電源 (バッテリーまたはコンデンサ) に障害が発生した場合、パワーアップ時に「1」に設定されます。バックアップ電源への障害発生コンディションは、指定された最小電圧を下回った時に決定されます。BPF がデータを保持することができるのは、バックアップ電圧の定義された低レベルまでです (V_{DR})。このフラグをクリアするには、ユーザがこのビットをリセットする必要があります。ユーザが BPF フラグビットをリセットすると、ビットは t_{RTCp} 時間の後に更新されます。							
CAL	校正モード。「1」にセットすると、512Hz の方形波が INT ピンに出力されます。「0」にクリアすると、INT ピンが通常オペレーションを再開します。このビットは SQ0/SQ1 および他の機能よりも優先されます。パワーアップ時のこのビットのデフォルトは「0」 (ディスエーブル) です。							
W	書き込みイネーブル: 「W」ビットを「1」にセットすると、RTC レジスタの更新が停止されます。これで、ユーザが RTC レジスタ、アラーム レジスタ、校正レジスタ、割り込みレジスタ、フラグ レジスタに書き込むことができますようになります。「W」ビットを「0」にクリアすると、時刻が変わっていた場合に、RTC レジスタの内容が時間保持カウンタに転送されます。この転送プロセスは、完了に t_{RTCp} 時間かかります。パワーアップ時のこのビットのデフォルトは、0 です。							
R	読み取りイネーブル: 「R」ビットを「1」にセットすると、読み込み処理中にクロックデータの更新が実行されないように、ユーザ RTC レジスタへのクロック更新を停止させます。「R」ビットを「0」にクリアすると、保持レジスタへのクロックの更新が再開されます。このビットの設定には、「W」ビットを「1」にセットする必要はありません。パワーアップ時のこのビットのデフォルトは「0」です。							

最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。これらのユーザ ガイドラインは未テストです。

保存温度 -65°C ~ +150°C

最大累積保存時間

周囲の温度 150°C で 1000 時間

周囲の温度 85°C で 20 年

最大接合部温度 150°C

V_{SS} を基準にした V_{CC} の電源電圧

CY14C101PA: -0.5V ~ +3.1V

CY14B101PA: -0.5V ~ +4.1V

CY14E101PA: -0.5V ~ +7.0V

High Z 状態の出力に印加される

電圧 -0.5V ~ $V_{CC}+0.5V$

入力電圧 -0.5V ~ $V_{CC} + 0.5V$

任意のピンからグラウンド電荷への

過渡電圧 (< 20ns) -2.0V ~ $V_{CC}+2.0V$

パッケージ許容電力損失

($T_A = 25^\circ\text{C}$) 1.0W

表面実装はんだ付け

温度 (3 秒) +260°C

DC 出力電流 (一度に 1 出力、1 秒間) 15mA

静電気放電電圧

(MIL-STD-883、メソッド 3015 による) > 2001V

ラッチアップ電流 > 140mA

動作範囲

デバイス	範囲	周囲温度	V_{CC}
CY14C101PA	工業用	-40°C ~ +85°C	2.4V ~ 2.6V
CY14B101PA			2.7V ~ 3.6V
CY14E101PA			4.5V ~ 5.5V

DC 電氣的特性

動作範囲以上

パラメータ	内容	テスト条件	最小値	標準値 ^[8]	最大値	単位	
V _{CC}	電源	CY14C101PA	2.4	2.5	2.6	V	
		CY14B101PA	2.7	3.0	3.6	V	
		CY14E101PA	4.5	5.0	5.5	V	
I _{CC1}	平均 V _{CC} 電流	f _{SCK} =40MHz、 出力負荷なしで得られた値 (I _{OUT} = 0 mA)	CY14C101PA	—	—	3	mA
		CY14B101PA					
		CY14E101PA	—	—	4	mA	
		f _{SCK} =104MHz、出力負荷なしで得られた値 (I _{OUT} =0mA)	—	—	10	mA	
I _{CC2}	STORE 中の平均 V _{CC} 電流	すべての入力は「ドント・ケア」、V _{CC} = 最大 期間 t _{STORE} の平均電流	—	—	3	mA	
I _{CC3}	平均 V _{CC} 電流 f _{SCK} =1MHz、 V _{CC} =V _{CC} (typ)、25°C	すべての入力は CMOS レベル 出力負荷なしで得られた値 (I _{OUT} = 0 mA)	—	—	1	mA	
I _{CC4}	AutoStore サイクル中の平均 V _{CAP} 電流	すべての入力は「ドント・ケア」。期間 t _{STORE} の平均電流	—	—	3	mA	
I _{SB}	V _{CC} スタンバイ電流	CS ≥ (V _{CC} -0.2V)。V _{IN} ≤ 0.2V または ≥ (V _{CC} -0.2V)。「W」ビットを「0」に設定。不 揮発性のサイクルが完了した後のスタンバイ 電流レベル。入力は静止状態。f _{SCK} =0MHz。	—	—	250	μA	
I _{ZZ}	スリープモード電流	SLEEP 命令が取り込まれた後の t _{SLEEP} 時間。 すべての入力は静的であり、CMOS ロジック レベルで設定。	—	—	8	μA	
I _{IX} ^[9]	入力漏れ電流 (HSB を除く)		-1	—	+1	μA	
	入力漏れ電流 (HSB を除く)		-100	—	+1	μA	

注

8. 標準値は 25°C 、 $V_{CC} = V_{CC}(\text{Typ})$ です。100% テストされているわけではありません。

9. HSB ピンは、アクティブ HIGH/LOW ドライバの両方がディスエーブルになっている場合に、 V_{OH} 2.4V に対して、 $I_{OUT}=-2\mu\text{A}$ となります。アクティブ HIGH / LOW ドライバが有効になっている場合は、標準の V_{OH} と V_{OL} がイネーブルになります。この項目は特性付けされていますが、テストされていません。

DC 電気的特性 (つづき)

動作範囲以上

パラメータ	内容	テスト条件		最小値	標準値 ^[8]	最大値	単位
I _{OZ}	オフ状態の出力漏れ電流			-1	-	+1	μA
V _{IH}	入力 HIGH 電圧		CY14C101PA	1.7	-	V _{CC} + 0.5	V
			CY14B101PA	2.0	-	V _{CC} + 0.5	V
			CY14E101PA				
V _{IL}	入力 LOW 電圧		CY14C101PA	V _{SS} -0.5	-	0.7	V
			CY14B101PA	V _{SS} -0.5	-	0.8	V
			CY14E101PA				
V _{OH}	出力 HIGH 電圧	I _{OUT} =-1mA	CY14C101PA	2.0	-	-	V
		I _{OUT} = -2 mA	CY14B101PA	2.4	-	-	V
			CY14E101PA	V _{CC} -0.4	-	-	
V _{OL}	出力 LOW 電圧	I _{OUT} =2mA	CY14C101PA	-	-	0.4	V
		I _{OUT} = 4 mA	CY14B101PA	-	-	0.4	V
			CY14E101PA				
V _{CAP} ^[10]	ストレージ コンデンサ。	V _{CAP} ピンと V _{SS} の間	CY14C101PA	170	220	270	μF
			CY14B101PA	42	47	180	μF
			CY14E101PA				
V _{V_{CAP}} ^[11、12]	デバイスで駆動された V _{CAP} ピン上の最大電圧	V _{CC} = 最大	CY14C101PA	-	-	V _{CC}	V
			CY14B101PA				
			CY14E101PA	-	-	V _{CC} - 0.5	V

データ保持期間および書き換え回数

動作範囲以上

パラメータ	内容	最小値	単位
$DATA_R$	データ保持期間	20	年
NV_C	不揮発性 STORE オペレーション回数	1,000	K

容量

パラメータ [12]	内容	テスト条件	最大値	単位
C_{IN}	入力容量	$T_A=25^\circ C$, $f=1 MHz$, $V_{CC}=V_{CC(typ)}$	7	pF
C_{OUT}	出力ピン容量		7	pF

注

10. V_{CAP} 最小値は、AutoStore オペレーションを完了するのに十分な電荷があることを保証するものです。 V_{CAP} 最大値は、パワーアップ RECALL サイクルの間に V_{CAP} コンデンサが AutoStore 処理を完了するのに必要な電圧まで充電されることを保証するものです。これはパワーアップ直後にパワーダウンサイクルが発生する場合を考慮しています。したがって、指定した最小値と最大値の範囲内でコンデンサを使用することを常にお勧めします。 V_{CAP} オプションの詳細については、アプリケーションノート [AN43593](#) を参照してください。

11. V_{CAP} ピン ($V_{V_{CAP}}$) の最大電圧は、 V_{CAP} コンデンサを選択する際に指針として提供されます。動作温度範囲にわたる V_{CAP} コンデンサの定格電圧は、 $V_{V_{CAP}}$ 電圧よりも高くなければなりません。

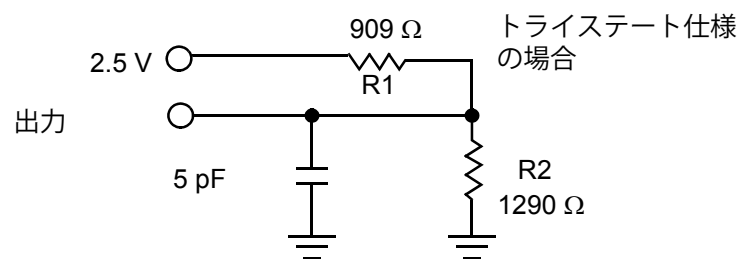
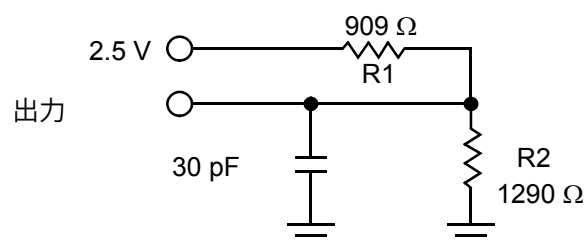
熱抵抗

パラメータ [13]	内容	テスト条件	16 ピン SOIC	単位
Θ_{JA}	熱抵抗 (ジャンクションから周囲)	テスト条件は、EIA/JESD51 ごとに熱インピーダンスを測定するための標準的なテスト方法と手順に従う。	56.68	°C/W
Θ_{JC}	熱抵抗 (ジャンクションからケース)		32.11	°C/W

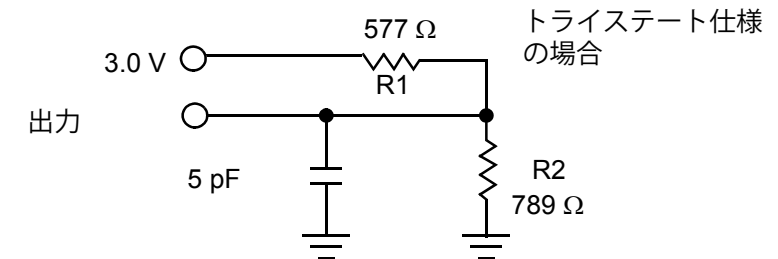
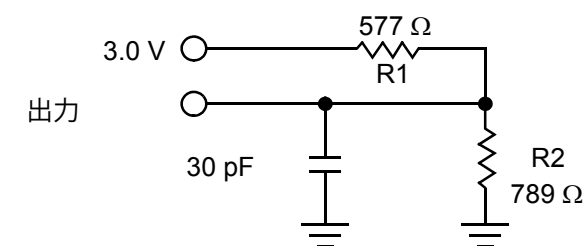
AC テストの負荷と波形

図 33. AC テストの負荷と波形

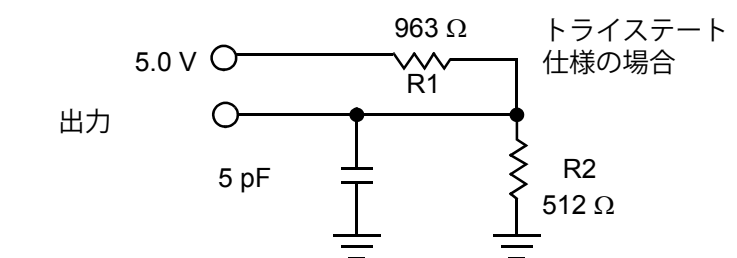
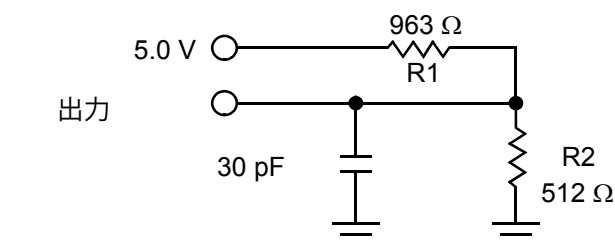
2.5V (CY14C101PA) の場合：



3V (CY14B101PA) の場合：



5V (CY14E101PA) の場合：



AC テスト条件

内容	CY14C101PA	CY14B101PA	CY14E101PA
入力パルスレベル	0V ~ 2.5V	0V ~ 3V	0V ~ 3V
入力立ち上がり / 立ち下がり時間 (10% ~ 90%)	≤ 3ns	≤ 3ns	≤ 3ns
入力と出力のタイミング参照レベル	1.25V	1.5V	1.5V

注
 13. これらのパラメータは設計保証であり、テストは行われていません。

RTC 特性

動作範囲以上

パラメータ	内容	最小値	標準値 ^[14]	最大値	単位
V_{RTCbat}	RTC バッテリピン電圧	1.8	3.0	3.6	V
$I_{BAK}^{[15]}$	RTC バックアップ電流	T_A (Min)	–	0.45	μA
		25°C	–	0.45	μA
		T_A (Max)	–	0.60	μA
$V_{RTCcap}^{[16]}$	RTC コンデンサピン電圧	T_A (Min)	–	3.6	V
		25°C	3.0	3.6	V
		T_A (Max)	–	3.6	V
t_{OCS}	RTC 発振器 発振開始時間	–	1	2	秒
$V_{BAKFAIL}$	バックアップ障害閾値	1.8	–	2	V
V_{DR}	BPF のフラグ保持電圧	1.6	–	–	V
t_{RTCP}	「W」ビットを「0」にクリアし終わった時点からの RTC 処理時間	–	–	1	ms
R_{BKCHG}	RTC バックアップコンデンサ充電電流制限抵抗	350	–	850	Ω

AC スイッチング特性

動作範囲以上

パラメータ ^[17]		内容	25MHz (RDRTC 命令) ^[18]		40MHz		104MHz		単位
サイプレス パラメータ	Alt. パラ メータ		最小値	最大値	最小値	最大値	最小値	最大値	
f_{SCK}	f_{SCK}	クロック周波数、SCK	–	25	–	40	–	104	MHz
$t_{CL}^{[19]}$	t_{WL}	クロックパルス幅 LOW	18	–	11	–	4.5	–	ns
$t_{CH}^{[19]}$	t_{WH}	クロックパルス幅 HIGH	18	–	11	–	4.5	–	ns
t_{CS}	t_{CE}	\overline{CS} HIGH 時間	20	–	20	–	20	–	ns
t_{CSS}	t_{CES}	\overline{CS} セットアップ時間	10	–	10	–	5	–	ns
t_{CSH}	t_{CEH}	\overline{CS} ホールド時間	10	–	10	–	5	–	ns
t_{SD}	t_{SU}	データ入力セットアップ時間	5	–	5	–	4	–	ns
t_{HD}	t_H	データ入力ホールド時間	5	–	5	–	3	–	ns
t_{HH}	t_{HD}	\overline{HOLD} ホールド時間	5	–	5	–	3	–	ns
t_{SH}	t_{CD}	\overline{HOLD} セットアップ時間	5	–	5	–	3	–	ns
t_{CO}	t_V	出力有効	–	15	–	9	–	8	ns
$t_{HHZ}^{[19]}$	t_{HZ}	\overline{HOLD} から出力 HIGH Z まで	–	15	–	15	–	8	ns
$t_{HLZ}^{[19]}$	t_{LZ}	\overline{HOLD} から出力 LOW Z まで	–	15	–	15	–	8	ns
t_{OH}	t_{HO}	出力ホールド時間	0	–	0	–	0	–	ns
$t_{HZCS}^{[19]}$	t_{DIS}	出力ディスエーブル時間	–	25	–	20	–	8	ns

- 注
14. 標準値は 25°C、 $V_{CC} = V_{CC(TYP)}$ です。100% テストされているわけではありません。
15. $V_{CC} < V_{SWITCH}$ の時、電流は V_{RTCcap} か V_{RTCbat} のいずれかから導出されます。
16. $V_{RTCcap} > 0.5V$ である場合、またはコンデンサが V_{RTCcap} ピンに接続されていない場合は、発振器は t_{OCS} 時間に起動されます。バックアップ コンデンサが接続され、 $V_{RTCcap} < 0.5V$ である場合は、発振器の起動のためコンデンサを 0.5V まで充電することを許可する必要があります。
17. テスト条件は、3 ns 以下の信号遷移時間、 $V_{CC}/2$ のタイミング参照レベル、 $V_{CC(TYP)}$ への 0 の入力パルス レベル、指定された I_{OL}/I_{OH} の出力負荷、図 33 に示されている負荷容量を想定しています。
18. RTC オペコードサイクル、アドレスサイクル、およびデータ出力サイクルに適用されます。
19. これらのパラメータは設計保証であり、テストは行われていません。

スイッチング波形

図 34. 同期データタイミング (モード 0)

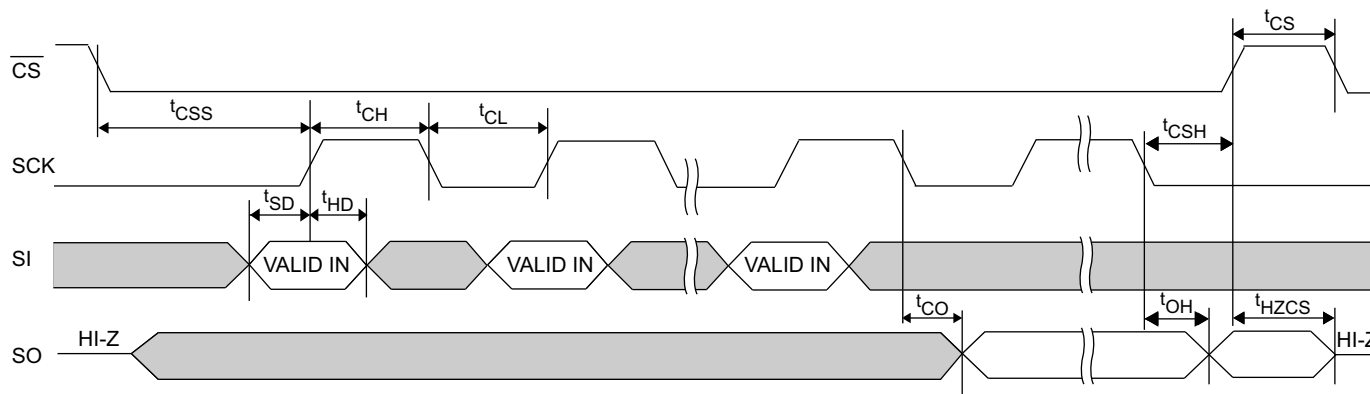
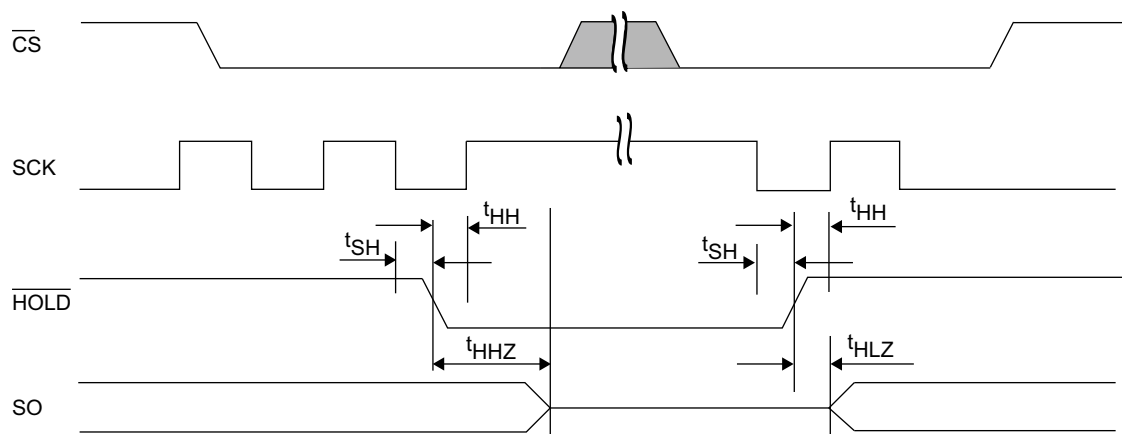


図 35. \overline{HOLD} タイミング



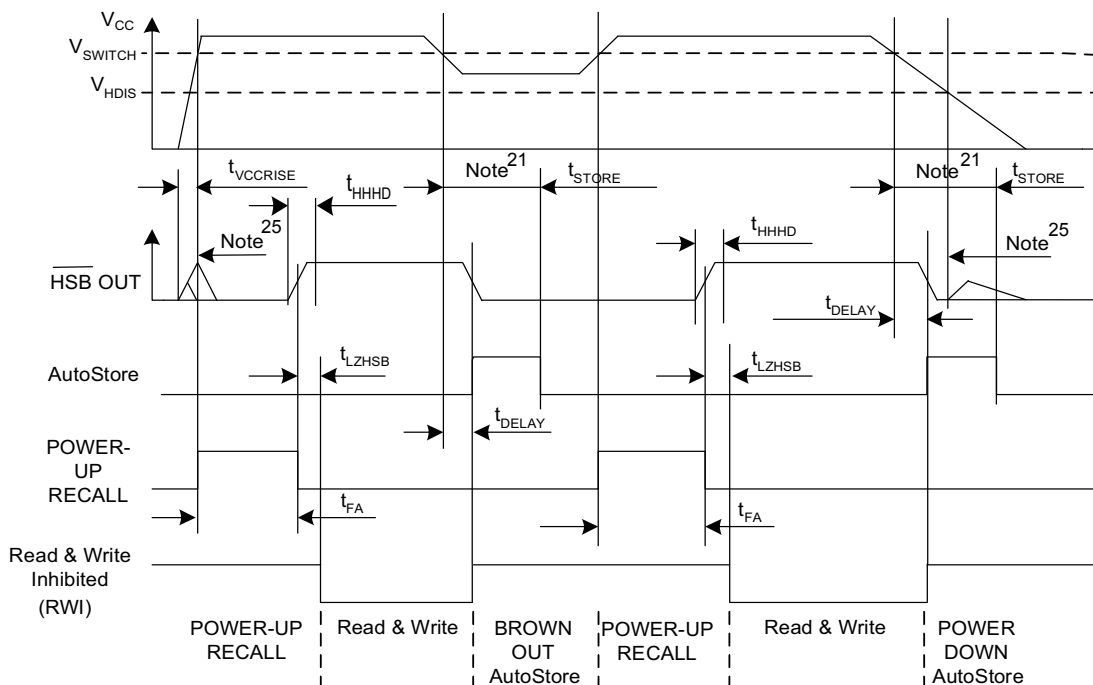
AutoStore またはパワーアップ RECALL

動作範囲以上

パラメータ	内容		CY14X101PA		単位
			最小値	最大値	
$t_{FA}^{[20]}$	パワーアップ RECALL 期間	CY14C101PA	–	40	ms
		CY14B101PA	–	20	ms
		CY14E101PA	–	20	ms
$t_{STORE}^{[21]}$	STORE サイクル期間		–	8	ms
$t_{DELAY}^{[22]}$	SRAM 書き込みサイクルを完了するのに許容される時間		–	25	ns
V_{SWITCH}	低電圧トリガレベル	CY14C101PA	–	2.35	V
		CY14B101PA	–	2.65	V
		CY14E101PA	–	4.40	V
$t_{VCCRRISE}^{[23]}$	V_{CC} 立ち上がり時間		150	–	μ s
$V_{HDIS}^{[23]}$	HSB 出力ディセーブル電圧		–	1.9	V
$t_{LZHSB}^{[23]}$	HSB HIGH から nvSRAM がアクティブになるまでの時間		–	5	μ s
$t_{HHHD}^{[23]}$	HSB HIGH アクティブ時間		–	500	ns
t_{WAKE}	SLEEP モードから nvSRAM がウェイクアップするまでの時間	CY14C101PA	–	40	ms
		CY14B101PA	–	20	ms
		CY14E101PA	–	20	ms
t_{SLEEP}	SLEEP 命令が発行されてからスリープモードに入るまでの時間		–	8	ms
$t_{SB}^{[23]}$	CS が HIGH になってからスタンバイモードに入るまでの時間		–	100	μ s

スイッチング波形

図 36. AutoStore またはパワーアップ RECALL [24]



注

20. t_{FA} は、 V_{CC} が V_{SWITCH} を越えた時から始まります。
21. SRAM の書き込みが最後の不揮発性サイクル以降に行われていない場合は、AutoStore またはハードウェア STORE は行われません。
22. ハードウェア STORE と AutoStore の開始時に、SRAM の書き込みオペレーションは、 t_{DELAY} の間継続できます。
23. これらのパラメータは設計保証であり、テストは行われていません。
24. 読み取りおよび書き込みサイクルは、STORE、RECALL、 V_{CC} が V_{SWITCH} 未満である場合は無視されます。
25. パワーアップおよびパワーダウン時に、HSB ピンが外部抵抗を介してプルアップされる場合は、HSB ピンにグリッチが発生します。

ソフトウェア制御 STORE/RECALL サイクル

動作範囲以上

パラメータ	内容	CY14X101PA		単位
		最小値	最大値	
t_{RECALL}	RECALL 期間	–	600	μs
$t_{\text{SS}}^{[26, 27]}$	ソフトシーケンス処理時間	–	500	μs

スイッチング波形

図 37. ソフトウェア STORE サイクル^[27]

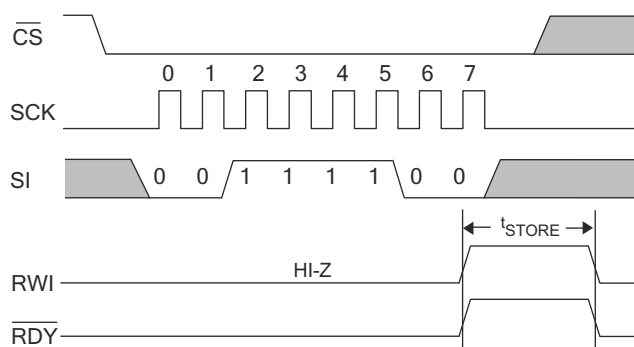


図 38. ソフトウェア RECALL サイクル^[27]

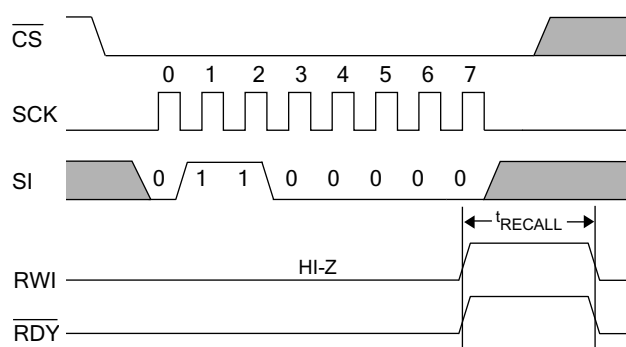


図 39. AutoStore イネーブルサイクル

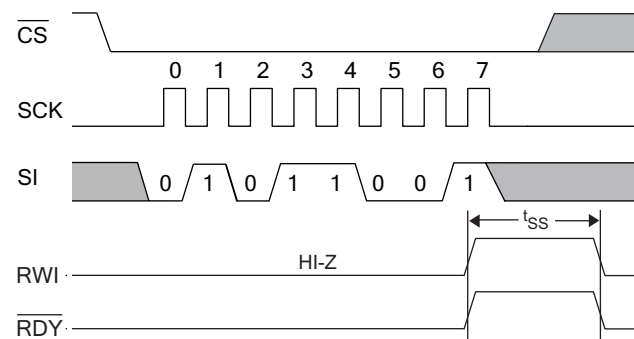
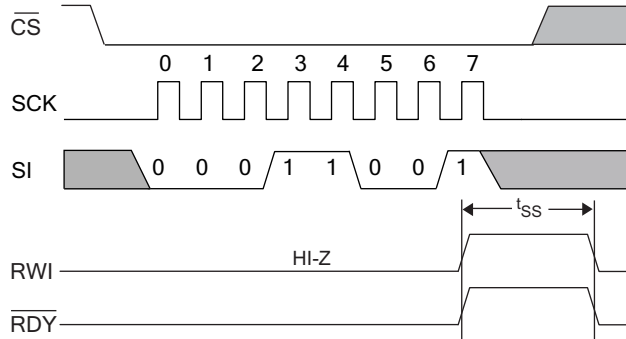


図 40. AutoStore ディスエーブルサイクル



注

26. これは、ソフトシーケンス コマンドでの処理にかかる時間です。効果的にコマンドを登録するには、 V_{CC} 電圧は HIGH でなければなりません。
 27. STORE や RECALL といったコマンドは、そのオペレーション完了まで I/O をロックアウトします。これが更にこの時間を増加させます。詳しくは個々のコマンドを参照してください。

ハードウェア STORE サイクル

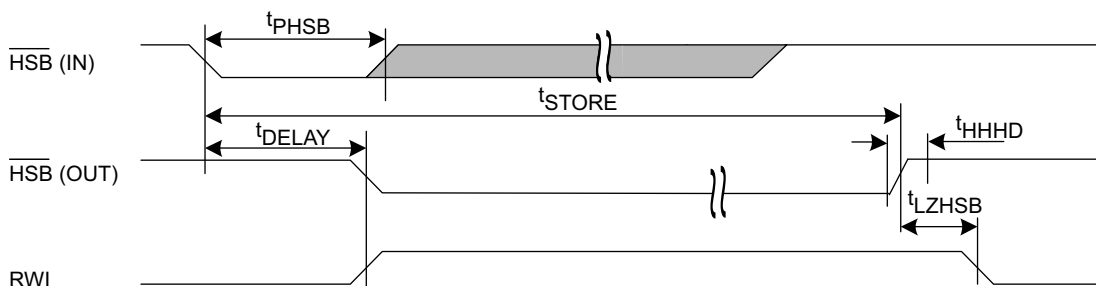
動作範囲以上

パラメータ	内容	CY14X101PA		単位
		最小値	最大値	
t_{PHSB}	ハードウェア STORE パルス幅	15	—	ns

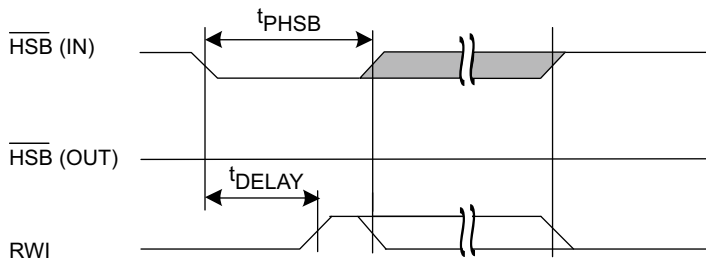
スイッチング波形

図 41. ハードウェア STORE サイクル [28]

Write Latch set



Write Latch not set



HSB pin is driven HIGH to V_{CC} only by Internal 100 K Ω resistor, HSB driver is disabled
SRAM is disabled as long as HSB (IN) is driven LOW.

注

28. SRAM の書き込みが最後の不揮発性サイクル以降に行われていない場合は、AutoStore またはハードウェア STORE は行われません。

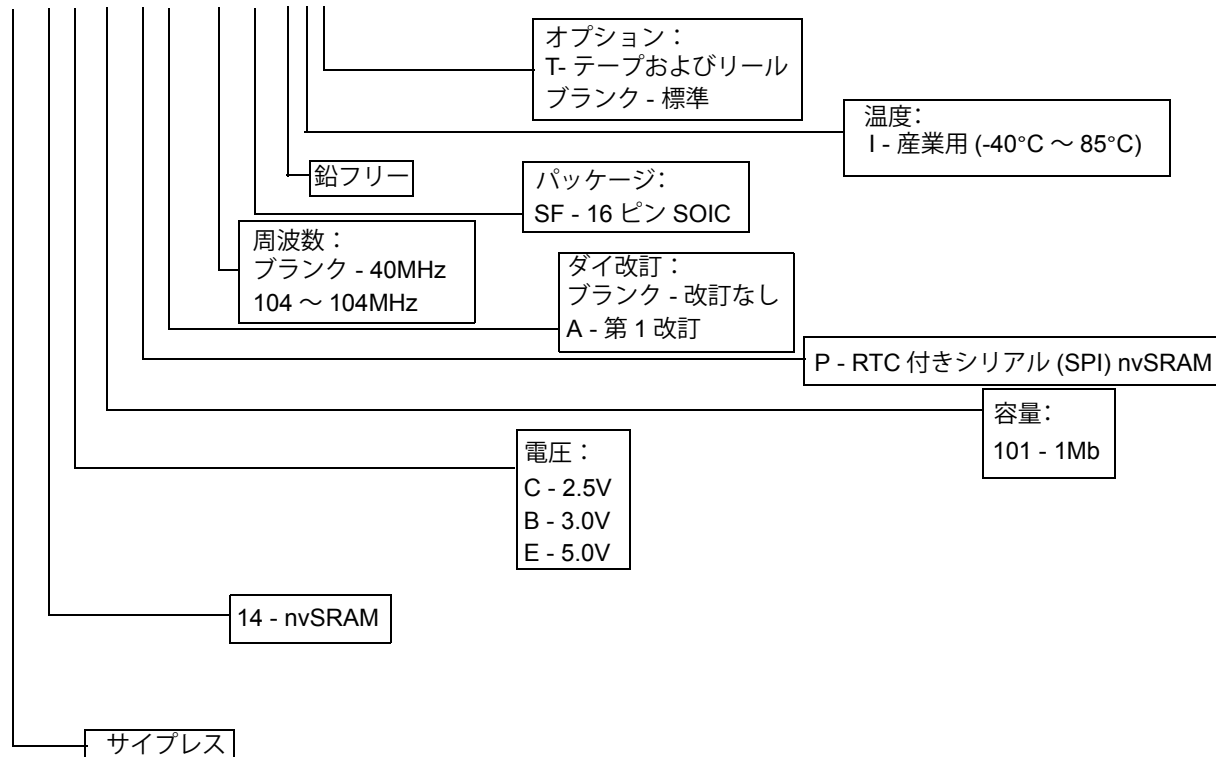
注文情報

注文コード	パッケージ ダイアグラム	パッケージ タイプ	動作範囲
CY14B101PA-SFXIT	51-85022	16 ピン SOIC、40MHz	工業用
CY14B101PA-SFXI			

これらすべての部品は鉛フリーです。

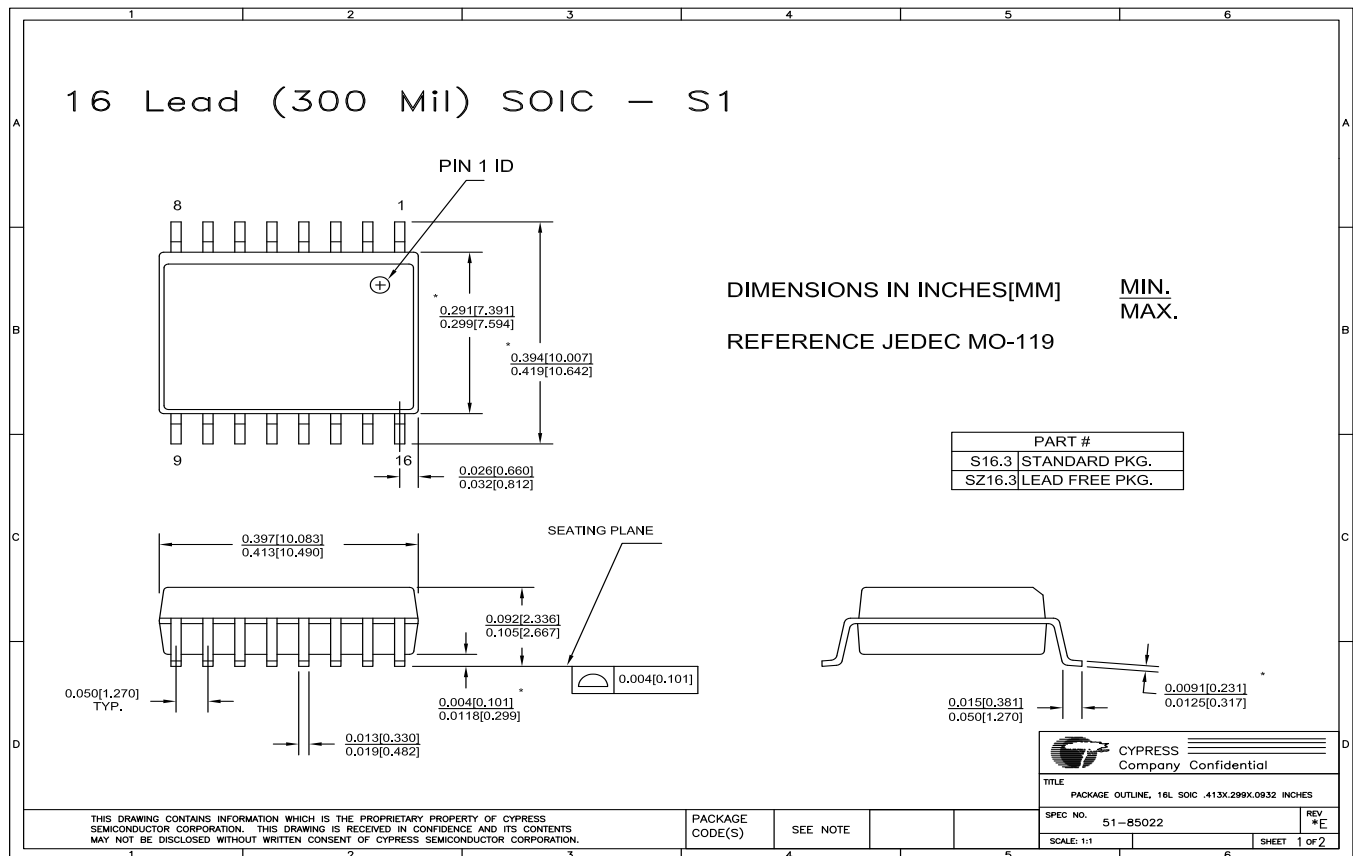
注文コードの定義

CY 14 B 101 P A - 104 S F X I T



パッケージダイアグラム

図 42. 16 ピン SOIC (0.413 × 0.299 × 0.0932 インチ) パッケージの外形、51-85022



略語

略語	内容
BCD	binary coded decimal、二進化十進表現
CPHA	クロック位相
CPOL	クロック極性
CMOS	コンプリメンタリー金属酸化膜半導体
CRC	cyclic redundancy check (巡回冗長検査)
EEPROM	電氣的消去書き込み可能な読み出し専用メモリ
EIA	electronic industries alliance、米国電子工業会
I/O	入出力
JEDEC	半導体技術協会 (旧電子機器技術評議会)
LSB	最下位ビット
MSB	最上位ビット
nvSRAM	不揮発性静的ランダムアクセスメモリ
OSCF	発振器異常フラグ
RWI	読み取りおよび書き込み禁止
RTC	リアル タイム クロック
RoHS	Restriction of Hazardous Substances
SNL	シリアル番号ロック
SPI	シリアル ペリフェラル デバイス インタフェース
SONOS	シリコン？ 酸化物？ 窒化物？ 酸化物半導体
SOIC	小型外形集積回路
SRAM	スタティック ランダム アクセス メモリ

本書の表記法

測定単位

記号	測定単位
°C	摂氏温度
F	ファラッド
Hz	ヘルツ
kHz	キロヘルツ
kΩ	キロオーム
MHz	メガヘルツ
μA	マイクロアンペア
mA	ミリアンペア
μF	マイクロファラッド
μs	マイクロ秒
ms	ミリ秒
ns	ナノ秒
Ω	オーム
%	%
pF	ピコファラッド
ppm	100 万分の 1
秒	秒
V	ボルト
W	ワット

改訂履歴

ドキュメントのタイトル: CY14C101PA, CY14B101PA, CY14E101PA, リアルタイムクロック付き 1 Mbit (128 K × 8) シリアル (SPI) nvSRAM 文書番号: 001-87276				
改訂	ECN No.	提出日	変更起源	変更内容
**	3978080	04/22/2013	HZEN	これは英語版 001-54392 Rev *J を翻訳した日本語版 Rev. ** です。

セールス、ソリューション、および法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーションページ](#)をご覧ください。

製品

自動車	cypress.com/go/automotive
クロック & バッファ	cypress.com/go/clocks
インタフェース	cypress.com/go/interface
光 & 電源制御	cypress.com/go/powerpsoc cypress.com/go/plc
メモリ	cypress.com/go/memory
光学 & イメージ センサ	cypress.com/go/image
PSoC	cypress.com/go/psoc
タッチセンサ	cypress.com/go/touch
USB コントローラ	cypress.com/go/USB
ワイヤレス /RF	cypress.com/go/wireless

PSoC Solutions

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 5

Copyright © 2013 Cypress Semiconductor Corporation 本文書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporation は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対しても一切の責任を負いません。特許又はその他の権限下で、ライセンスを譲渡又は暗示することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、又は安全の用途のために使用することを保証するものではなく、また使用することを意図したものではありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことを合理的に予想される、生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を提供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

PSoC Designer™ 及び Programmable System-on-Chip™ は、Cypress Semiconductor Corp. の商標、PSoC® は同社の登録商標です。本文書で言及するその他全ての商標又は登録商標は各社の所有物です。

全てのソースコード (ソフトウェア及び/又はファームウェア) は Cypress Semiconductor Corporation (以下「サイプレス」) が所有し、全世界 (米国及びその他の国) の特許権保護、米国の著作権法並びに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によるライセンスに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであって、適用される契約で指定されたサイプレスの集積回路と併用されるライセンスの製品のみをサポートするカスタムソフトウェア及び/又はカスタムファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物を複製、使用、変更、そして作成するためのライセンス、並びにサイプレスのソースコード及び派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、又は表示することは全て禁止されます。

免責条項: サイプレスは、明示的又は黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性又は特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品又は回路を適用又は使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を提供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレスソフトウェアライセンス契約によって制限され、かつ制約される場合があります。