

リアルタイムクロック内蔵の 256K ビット (32K × 8) nvSRAM

特長

- 256K ビットの非揮発性 SRAM (nvSRAM)
 - 25ns と 45ns のアクセス時間
 - 32K × 8 の内部構成 (CY14B256KA)
 - 小容量のコンデンサだけで電源切断時の自動 STORE 処理を実行
 - QuantumTrap 非揮発性素子への STORE 処理はソフトウェア、ハードウェア、または電源切断時の AutoStore で開始
 - SRAM への RECALL 処理は電源投入またはソフトウェアで開始
- 高信頼性
 - 回数に制限のない読み出し、書き込み、RECALL サイクル
 - QuantumTrap に対する 100 万回の STORE サイクル
 - 20 年のデータ保持期間
- リアルタイムクロック (RTC)
 - フル機能のリアルタイムクロック
 - ウォッチドッグタイマー
 - プログラム可能な割り込み付きのクロックアラーム
 - RTC 用のコンデンサまたはバックアップバッテリー
 - 0.35μA (Typ) のバックアップ電流

業界標準の構成

- 3V (+20%、-10%) の単一電源で動作
- 産業用温度範囲
- 48 ピン縮小小型パッケージ (SSOP)
- 鉛フリーおよび特定有害物質使用制限 (RoHS) に準拠

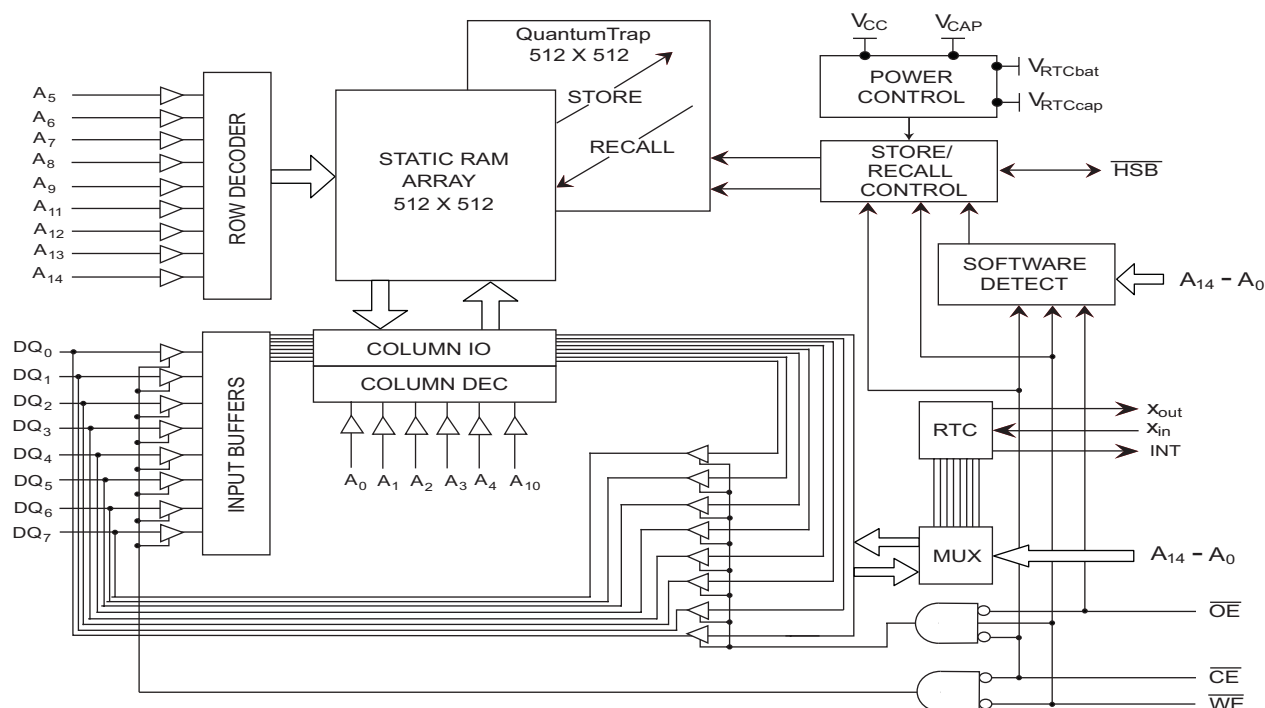
機能の詳細

サイプレスの CY14B256KA は、フル機能のリアルタイムクロックを内蔵したモノリシック集積回路である 256K ビット非揮発性スタティック RAM です。組み込み非揮発性素子には、世界で最も信頼性の高い非揮発性メモリを実現する QuantumTrap 技術を採用しています。独立した非揮発性データを非揮発性素子に保持しながら、SRAM は読み書きの回数に制限はありません。

リアルタイムクロック機能は、うるう年対応の正確なクロックとプログラマブルな高精度発振子を備えています。アラーム機能は、定期的な分、時、日、または月のアラームに応じてプログラムできます。また、プロセス制御を目的としたプログラマブルウォッチドッグタイマーも備えています。

全ての関連資料の一覧を表示するには、[ここをクリックしてください](#)。

論理ブロック図

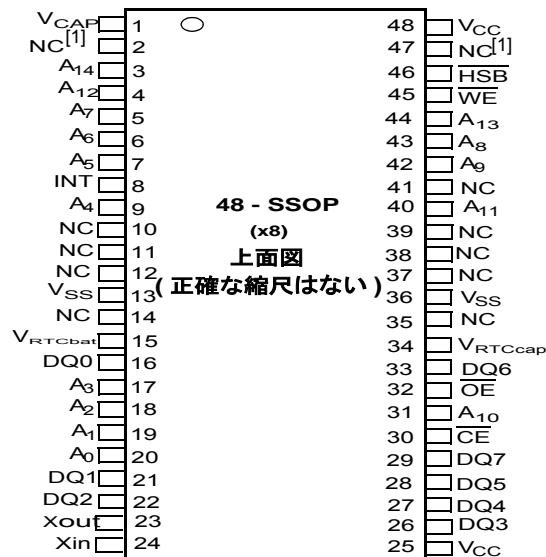


目次

ピン配置	3	DC 電気的特性	16
ピンの機能	3	データ保持期間およびアクセス可能回数	17
デバイスの動作	4	静電容量	17
SRAM 読み出し	4	熱抵抗	17
SRAM 書き込み	4	AC テスト負荷	18
AutoStore 処理	4	AC テスト条件	18
ハードウェア STORE (HSB) 処理	4	RTC 特性	18
ハードウェア RECALL (電源投入)	5	AC スイッチング特性	19
ソフトウェア STORE	5	SRAM 読み出しサイクル	19
ソフトウェア RECALL	5	SRAM 書き込みサイクル	19
AutoStore の防止	6	AutoStore / パワーアップ RECALL	21
データ保護	6	スイッチング波形	21
リアル タイム クロックの動作	7	ソフトウェア制御の STORE / RECALL サイクル	22
nvTIME の動作	7	スイッチング波形	22
クロックの動作	7	ハードウェア STORE サイクル	23
クロックの読み出し	7	スイッチング波形	23
クロックの設定	7	SRAM 真理値表	24
バックアップ電源	7	注文情報	24
発振子の起動と停止	7	注文コードの定義	24
クロックの校正	8	パッケージ図	25
アラーム	8	略語	26
ウォッチドッグ タイマー	8	本書の表記法	26
電源モニター	9	測定単位	26
割り込み	9	改訂履歴	27
割り込みレジスタ	9	セールス、ソリューションおよび法律情報	28
フラグ レジスタ	10	ワールドワイドな販売と設計サポート	28
RTC 外部コンポーネント	10	製品	28
RTC に関する PCB 設計上の注意事項	11	PSoC® ソリューション	28
レイアウトに関する要件	11	サイプレス開発者コミュニティ	28
最大定格	16	テクニカル サポート	28
動作範囲	16		

ピン配置

図 1. 48 ピン SSOP のピン配置



ピンの機能

ピン名	入出力	説明
A ₀ ~ A ₁₄	入力	アドレス入力 : nvSRAM の 32,768 バイトから 1 つを選択するのに使用
DQ ₀ ~ DQ ₇	入力/出力	双方向データ I/O ライン : 動作に応じて入力または出力ラインとして使用
NC	未接続	未接続。このピンはダイに接続されていない
\overline{WE}	入力	書き込みイネーブル入力、アクティブ LOW: チップが有効で、 \overline{WE} が LOW になると、I/O ピンのデータは特定のアドレス位置に書き込まれる
\overline{CE}	入力	チップ イネーブル入力、アクティブ LOW: LOW の場合は、チップを選択。HIGH の場合は、チップの選択を解除
\overline{OE}	入力	出力イネーブル、アクティブ LOW: アクティブ LOW の \overline{OE} 入力は、読み出しサイクル中にデータ出力バッファを有効にする。OE を HIGH にデアサートすると、I/O ピンがトリステートになる
X _{out} ^[2]	出力	水晶振動子接続 : 起動時に水晶発振子を駆動
X _{in} ^[2]	入力	水晶発振子接続 : 32.768kHz 水晶発振子用
V _{RTCcap} ^[2]	電源供給	コンデンサから供給された RTC のバックアップ電源電圧 : V _{RTCbat} が使用されている場合は、未接続のままになる
V _{RTCbat} ^[2]	電源	バッテリーが、バックアップの RTC 電源電圧を供給する。V _{RTCcap} が使用されている場合は、未接続のままになる
INT ^[2]	出力	割り込み出力 : クロック アラーム、ウォッチドッグ タイマーおよび電力モニターに対応するようにプログラム可能。アクティブ HIGH (プッシュまたはプル) または LOW (オープン ドレイン) にもプログラム可能
V _{SS}	グラウンド	デバイスのグラウンド : システムのグラウンドに接続する必要がある
V _{CC}	電源供給	デバイスへの電源入力 : 3.0V + 20%、-10%
\overline{HSB}	入力/出力	ハードウェア STORE ビジー (\overline{HSB}) 出力 : LOW の時、nvSRAM のビジー状態を示す。ハードウェアとソフトウェア STORE 動作の後、 \overline{HSB} が標準の出力 HIGH 電流で短期間 (t _{HHD}) に HIGH に駆動される。その後、内部の低プルアップ抵抗でこのピンが HIGH のままに維持する (外部プルアップ抵抗にも接続可能) 入力 : このピンを外部で LOW にプルダウンすることによって実施されるハードウェア STORE
V _{CAP}	電源	AutoStore コンデンサ : 電力不足の際、SRAM から不揮発性素子にデータを格納するため、nvSRAM へ電源を供給

注

- 1M ビットのアドレス拡張に対応しています。NC ピンはダイに接続されていません。
- RTC 機能を使用しない場合は未接続のままにします。

デバイスの動作

CY14B256KA nvSRAM は、同じ物理セル内で対になった 2 個の機能コンポーネントで構成されています。これらは SRAM メモリセルと不揮発性 QuantumTrap セルです。SRAM メモリセルは標準の高速スタティック RAM として動作します。SRAM 内のデータは不揮発性セルに転送される (STORE 処理)、または不揮発性セルから SRAM に転送されます (RECALL 処理)。この独特のアーキテクチャを使って、全てのセルは並行して格納され復元されます。STORE 処理と RECALL 処理中、SRAM の読み書き処理は禁止されています。CY14B256KA は標準的な SRAM と同様に、回数無制限の読み出しと書き込みに対応しています。さらに、不揮発性セルから回数無制限の RECALL 処理および最大 100 万回までの STORE 処理が可能です。読み出しモードと書き込みモードの詳細については、24 ページの [SRAM 真理値表](#) を参照してください。

SRAM 読み出し

CY14B256KA は、 \overline{CE} と \overline{OE} が LOW、 \overline{WE} と \overline{HSB} が HIGH になると、読み出しサイクルを実行します。ピン $A_0 \sim 14$ で指定されたアドレスは、32,768 データバイトの内、どれにアクセスするかを決定します。アドレス遷移により読み出しが開始された場合、出力は t_{AA} の遅延時間後に有効になります (読み出しサイクル #1)。CE または OE により読み出しが開始された場合、出力は t_{ACE} と t_{DOE} のどちらか遅い方の終了時点で有効になります (読み出しサイクル #2)。データ出力は、制御入力ピン上の遷移を必要とせず、 t_{AA} アクセス時間以内にアドレスの変化に繰り返して応答します。これは、別のアドレスの変化が発生するか、または CE か OE が HIGH になるか、あるいは WE か HSB が LOW になるまで有効な状態が続きます。

SRAM 書き込み

書き込みサイクルは、 \overline{CE} と \overline{WE} が LOW、 \overline{HSB} が HIGH の時に実行されます。アドレス入力、書き込みサイクルに入る前に、安定な状態にならなければなりません。また、サイクルの終わりに CE か WE が HIGH になるまで安定な状態を保つ必要があります。共通 I/O ピン $IO_0 \sim 7$ 上のデータは、WE 制御の書き込みの終了または CE 制御の書き込みの終了まで t_{SD} の間有効であれば、メモリに書き込まれます。共通 I/O ライン上でデータバスの競合を避けるために、書き込みサイクル中は \overline{OE} を HIGH に維持し続けることを推奨します。OE が LOW のままだと、WE が LOW になった後、内部回路は出力バッファ t_{HZWE} を停止します。

AutoStore 処理

CY14B256KA は、3 つの格納処理の 1 つを使用してデータを nvSRAM に格納します。これら 3 つの処理は、次の通りです。ハードウェア STORE: HSB によって有効化されます。ソフトウェア STORE: アドレス命令によって有効化されます。AutoStore: デバイスの電源オフ時に有効になります。AutoStore 処理は QuantumTrap 技術固有の機能であり、CY14B256KA の初期設定では有効になっています。

通常動作中、デバイスは V_{CC} から電流を引き出して V_{CAP} ピンに接続されたコンデンサを充電します。充電された電荷はチップが一回 STORE 処理を実行するのに使用されます。 V_{CC} ピンの電圧が V_{SWITCH} を下回ると、デバイスは V_{CC} と V_{CAP} ピンの接続を自動的に切ります。STORE 処理は、 V_{CAP} コンデンサから供給される電力で起動されます。

注: コンデンサが V_{CAP} ピンに接続されていない場合、6 ページの [AutoStore の防止](#) に指定されているソフトシーケンスを使って AutoStore を無効にする必要があります。 V_{CAP} ピンに接続し

ているコンデンサがない状態で AutoStore が有効になった場合、デバイスは STORE 処理を完了するために十分な充電量がないまま AutoStore 処理を実行しようとします。これにより、nvSRAM 内に格納されたデータが破壊されます。

図 2. AutoStore モード

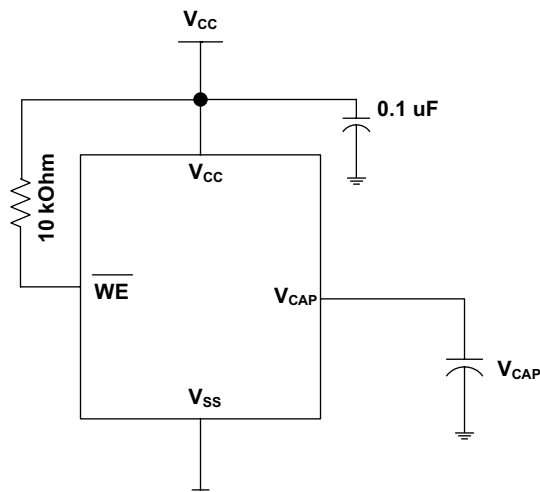


図 2 は、AutoStore 処理向けのストレージコンデンサ (V_{CAP}) の適切な接続方法を示します。 V_{CAP} の容量については、16 ページの [DC 電気的特性](#) を参照してください。 V_{CAP} ピンの電圧は、チップ上のレギュレータによって V_{CC} に駆動されます。電源投入時にアクティブにならないようにするために、WE をプルアップ抵抗に接続します。このプルアップ抵抗は、電源投入時に WE 信号がトライステート状態にある場合のみ有効です。多くの MPU が電源投入時にそれらの制御をトライステートします。プルアップ抵抗を使用する際には確認してください。nvSRAM がパワーアップ RECALL 処理を終了する時、MPU がアクティブである、または MPU のリセットが終了するまで WE をアクティブでない状態に保つ必要があります。

不要な不揮発性のストアを避けるために、一番最後の STORE または RECALL サイクルが実行されてから少なくとも 1 回の書き込み処理が行われない場合は、AutoStore およびハードウェア STORE 処理が無視されます。ソフトウェアで起動された STORE サイクルは、書き込み処理が行われたかどうかに関係なく実行されます。

ハードウェア STORE (HSB) 処理

CY14B256KA には、STORE 処理を制御し応答するための HSB ピンがあります。HSB ピンは、ハードウェア STORE サイクルの要求に使用されます。HSB ピンが LOW に駆動されると、CY14B256KA は t_{DELAY} 後に条件に従って STORE 処理を開始します。実際の STORE サイクルは、最後の STORE または RECALL サイクル以降、SRAM への書き込みが実行された場合にのみ開始します。HSB ピンは、STORE 処理 (任意の手段で開始) 中にはビジー状態を示すために内部で LOW に駆動されるオープンドレインドライバ (チップ内部の 100kΩ の弱いプルアップ抵抗) としても動作します。

注: ハードウェアおよびソフトウェア STORE 処理の後、HSB は標準出力 HIGH 電流で短時間 (t_{HHHD}) HIGH に駆動され、その後 100kΩ の内部プルアップ抵抗により HIGH 状態を継続します。

SRAM 書き込み処理は HSB が (任意の手段で) LOW にされた時に実行中であれば、STORE 処理が開始される前に t_{DELAY} 以内に終了します。しかし HSB が LOW になった後に要求された

SRAM 書き込みサイクルは、 $\overline{\text{HSB}}$ が HIGH に戻るまで禁止されます。書き込みラッチがセットされていない場合、HSB は CY14B256KA によって LOW に駆動されません。しかし全ての SRAM 読み出しと書き込みサイクルは、MPU または他の外部ソースにより HSB が HIGH に戻るまで禁止されます。

STORE 処理中には、開始された方法にかかわらず、CY14B256KA は HSB ピンを LOW に駆動し続け、STORE 処理が完了した時にのみ解除します。STORE 処理が完了すると、HSB ピンが HIGH 状態に戻った後に nvSRAM メモリ アクセスは t_{ZHSB} の間禁止されます。HSB ピンは使用しない場合、開放にしてください。

ハードウェア RECALL (電源投入)

電源投入時または低電圧状態 ($V_{\text{CC}} < V_{\text{SWITCH}}$) の後は、内部的に RECALL 要求がラッチされます。 V_{CC} が電源オン時に再度 V_{SWITCH} を超えた場合、RECALL サイクルが自動的に開始され、完了するのに t_{HRECALL} を要します。この間、HSB ピンは HSB ドライバーによって LOW に駆動され、nvSRAM へのすべての読み書きは禁止されます。

ソフトウェア STORE

データは、ソフトウェア アドレス シーケンスにより SRAM から不揮発性メモリに転送されます。CY14B256KA のソフトウェア STORE サイクルは、 $\overline{\text{CE}}$ または $\overline{\text{OE}}$ に制御された読み出し処理を、6 つの特定のアドレスから正しい順番で実行することにより開始されます。STORE サイクルの間、先ず前の不揮発性データの消去が実行され、次に不揮発性素子のプログラムが実行されます。STORE サイクルが開始されると、それ以降の入出力は STORE サイクルが完了するまで無効になります。

特定のアドレスからの読み出しシーケンスが STORE 開始用に使われるため、他の読み書きアクセスがシーケンスに干渉しないこと、あるいはシーケンスが中止され STORE や RECALL が実行されないことが重要です。

ソフトウェア STORE サイクルを開始するために、次の読み出しシーケンスを実行してください。

1. アドレス 0x0E38 の読み出し、有効な READ
2. アドレス 0x31C7 の読み出し、有効な READ
3. アドレス 0x03E0 の読み出し、有効な READ
4. アドレス 0x3C1F の読み出し、有効な READ
5. アドレス 0x303F の読み出し、有効な READ
6. アドレス 0x0FC0 の読み出し、STORE サイクルの開始

ソフトウェア シーケンスは $\overline{\text{CE}}$ に制御された読み出しまたは $\overline{\text{OE}}$ に制御された読み出しを伴いクロック供給され、全ての 6 つの READ シーケンスの間 $\overline{\text{WE}}$ を HIGH 状態を維持することが必要です。シーケンスの 6 番目のアドレスが入力された後、STORE サイクルは開始され、チップが無効になります。HSB は LOW に駆動されます。 t_{STORE} サイクル時間が経過した後、SRAM は読み書き処理を再び実行します。

ソフトウェア RECALL

データは、ソフトウェア アドレス シーケンスにより不揮発性メモリから SRAM に転送されます。ソフトウェア RECALL サイクルは、ソフトウェア STORE の開始と同様の方法で読み出し処理のシーケンスにより開始されます。RECALL サイクルを開始するためには、以下の $\overline{\text{CE}}$ または $\overline{\text{OE}}$ に制御された読み出し処理のシーケンスを行う必要があります。

1. アドレス 0x0E38 の読み出し、有効な READ
2. アドレス 0x31C7 の読み出し、有効な READ
3. アドレス 0x03E0 の読み出し、有効な READ
4. アドレス 0x3C1F の読み出し、有効な READ
5. アドレス 0x303F の読み出し、有効な READ
6. アドレス 0x0C63 の読み出し、RECALL サイクルの開始

内部的に、RECALL は 2 段階の手順を踏みます。まず、SRAM データがクリアされます。次に、不揮発性情報が SRAM セルに転送されます。 t_{RECALL} サイクル時間が経過した後、SRAM は再度読み書き処理が有効になります。RECALL 処理では、不揮発性素子内のデータは変更されません。

表 1. モード選択

$\overline{\text{CE}}$	$\overline{\text{WE}}$	$\overline{\text{OE}}$	$A_{14} \sim A_0^{[3]}$	モード	I/O	電源
H	X	X	X	未選択	出力 High Z	スタンバイ
L	H	L	X	SRAM 読み出し	出力データ	アクティブ
L	L	X	X	SRAM 書き込み	入力データ	アクティブ
L	H	L	0x0E38 0x31C7 0x03E0 0x3C1F 0x303F 0x0B45	SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し AutoStore ディスエーブル	出力データ 出力データ 出力データ 出力データ 出力データ 出力データ	アクティブ ^[4]
L	H	L	0x0E38 0x31C7 0x03E0 0x3C1F 0x303F 0x0B46	SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し AutoStore イネーブル	出力データ 出力データ 出力データ 出力データ 出力データ 出力データ	アクティブ ^[4]
L	H	L	0x0E38 0x31C7 0x03E0 0x3C1F 0x303F 0x0FC0	SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し 不揮発性 STORE	出力データ 出力データ 出力データ 出力データ 出力データ 出力 High Z	アクティブ $I_{CC2}^{[4]}$
L	H	L	0x0E38 0x31C7 0x03E0 0x3C1F 0x303F 0x0C63	SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し 不揮発性 RECALL	出力データ 出力データ 出力データ 出力データ 出力データ 出力 High Z	アクティブ ^[4]

AutoStore の防止

AutoStore 機能は AutoStore ディスエーブル シーケンスを開始することで無効にされます。読み出し処理のシーケンスは、ソフトウェア STORE の開始と同様の方法で実行されます。AutoStore ディスエーブル シーケンスを開始するために、 $\overline{\text{CE}}$ または $\overline{\text{OE}}$ に制御された読み出し処理を以下の順番で実行してください。

1. アドレス 0x0E38 の読み出し、有効な READ
2. アドレス 0x31C7 の読み出し、有効な READ
3. アドレス 0x03E0 の読み出し、有効な READ
4. アドレス 0x3C1F の読み出し、有効な READ
5. アドレス 0x303F の読み出し、有効な READ
6. アドレス 0x8B45 の読み出し、AutoStore ディスエーブル

AutoStore 機能は、AutoStore イネーブル シーケンスの起動により再度有効にされます。読み出し処理のシーケンスは、ソフトウェア RECALL の開始と同様の方法で実行されます。

AutoStore イネーブル シーケンスを開始するために、 $\overline{\text{CE}}$ または $\overline{\text{OE}}$ に制御された読み出し処理を以下の順番で実行してください。

1. アドレス 0x0E38 の読み出し、有効な READ
2. アドレス 0x31C7 の読み出し、有効な READ
3. アドレス 0x03E0 の読み出し、有効な READ
4. アドレス 0x3C1F の読み出し、有効な READ
5. アドレス 0x303F の読み出し、有効な READ
6. アドレス 0x0B46 の読み出し、AutoStore イネーブル

AutoStore 機能が無効にされるか、または再度有効にされた場合、その後の電源切断サイクルの間 AutoStore 状態を持続するために手動 STORE 処理（ハードウェアまたはソフトウェア）を行う必要があります。工場出荷時に、AutoStore は有効になっており、すべてのセルに 0x00 と書き込まれています。

データ保護

CY14B256KA は、外部から実行される STORE および書き込み処理をすべて禁止することで、低電圧状態の間に破損からデータを保護します。低電圧状態は V_{CC} が V_{SWITCH} を下回ると検出されます。電源投入時に CY14B256KA が書き込みモードにある ($\overline{\text{CE}}$ と $\overline{\text{WE}}$ の両方が LOW) 場合、RECALL または STORE 後、 t_{LZHSB} (HSB から出力有効までの時間) が経過して SRAM が有効になるまでは、書き込みは禁止されます。これにより、電源投入時や電圧低下状態の間に不注意による書き込みが防止されます。

注:

3. CY14B256KA にアドレス ラインが 15 本ありますが、一番下の 14 本のみがソフトウェア モードの制御に使われます。
4. 6 つの連続アドレス位置は指定された順番でなければなりません。WE は不揮発性サイクルを可能にするため、全ての 6 つのサイクル中は HIGH でなければなりません。

リアルタイムクロックの動作

nvTIME の動作

CY14B256KA には、クロック、アラーム、ウォッチドッグ、割り込みおよび制御機能を備えた内部レジスタがあります。RTC レジスタは SRAM 末尾の 16 アドレス位置を占めます。クロックとタイマー情報レジスタの内部ダブルバッファリングは、読み出しまたは書き込み処理時の過渡的な内部クロック データへのアクセスを防ぎます。ダブル バッファリングはまた、クロック データにアクセスする際に通常のタイミング カウントの中断を、または内部クロックのクロック精度の劣化を回避します。クロックおよびアラーム レジスタは BCD 形式でデータを格納します。

RTC 機能は以下の節で説明されます。CY14B256KA の RTC レジスタ アドレス範囲は 0x7FF0 ~ 0x7FFF です。レジスタ マップの詳細については、[12 ページの表 3](#) と [13 ページの表 4](#) を参照してください。

クロックの動作

クロック レジスタは、1 秒単位で 9,999 年までの時間を維持します。時間は任意のカレンダー時間に設定することができ、クロックは曜日と月の日、うるう年、世紀の変遷を自動的に刻みます。クロック機能には 8 つの専用レジスタがあります。これらは書き込みサイクルで時間を設定し、読み出しサイクルで時間を読み出すのに使われます。これらのレジスタには BCD 形式で時間を表す値が含まれています。「0」として定義されたビットは、現在使用されておらず、将来使用するために予約されています。

クロックの読み出し

ダブル バッファ RTC レジスタの構造は、クロックから不正なデータを読み出す可能性を減らします。更新中に行われるデータ読み出しを防止するために、CY14B256KA の時間管理レジスタへの内部更新は、クロック データを読み出す前に読み出しビット「R」(0x7FF0 にあるフラグ レジスタ内) が 1 にセットされると停止されます。レジスタの更新停止は、クロックの精度に影響を与えません。

RTC デバイスの読み出しシーケンスが開始されると、ユーザー時間管理レジスタの更新が停止し、「0」が読み出しビット「R」(0x7FF0 にあるフラグ レジスタ内) に書き込まれるまでは再起動しません。読み出しシーケンスの終了後、すべての RTC レジスタが 20ms 以内に同時に更新されます。

クロックの設定

書き込みビット「W」(0x7FF0 にあるフラグ レジスタ内) が 1 にセットされると、RTC デバイスへの書き込みアクセスは時間管理レジスタの更新を停止し、時間の設定を可能にします。次に、24 時間 BCD 形式での正しい曜日、日付および時間がレジスタに書き込まれます。書き込まれた時間は、「基準時刻」と呼ばれます。この値は不揮発性レジスタに格納され、現時点の時間の計算に使用されます。「0」を書き込むことで書き込みビット「W」がクリアされると、時間管理レジスタの値は実際のクロック カウンターに転送されます。その後、クロックは通常の動作を再開します。

時間管理レジスタに書き込まれた時間が正しい BCD 形式でない場合は、RTC レジスタの各無効ニブルが 0xF までカウントを継続してから 0x0 にロールオーバーし、その後、RTC は通常の動作を再開します。

注: 「W」ビットが「0」にセットされた後、時間管理、アラーム、校正および割り込みレジスタに書き込まれる値は t_{RTCp} 時間

で RTC 時間管理カウンターに転送されます。これらのカウンターの値は、ソフトウェア/ハードウェア STORE または AutoStore 処理を起動させることにより、不揮発性メモリに保存する必要があります。AutoStore ディスエーブル モードでは、変更が正しく記録されるように、RTC レジスタへの書き込みを行いながら、 t_{RTCp} 時間の後に、STORE 処理を実行してください。

バックアップ電源

CY14B256KA の RTC は、永続的電源供給動作に設計されています。 V_{RTCcap} または V_{RTCbat} ピンは、バックアップ電源用にコンデンサかバッテリーが選択されるかに応じて接続されます。主電源 (V_{CC}) が異常になり、 V_{SWITCH} を下回ると、デバイスは電源をバックアップ電源に切り替えます。

クロック発振子の消費電流は非常に小さいため、バックアップ電源によるバックアップ時間が長くなります。主電源を喪失した状態のクロック動作にかかわらず、nvSRAM に格納されたデータは電源が失われた時に不揮発性素子に格納されているため、失われることはありません。

バックアップ処理中に、CY14B256KA は室温で 0.35 μ A (Typ) を消費します。ユーザーは、用途に応じてコンデンサやバッテリーの値を選択する必要があります。

注: バッテリーが V_{CC} に接続する前に V_{RTCbat} ピンに接続された場合、デバイスは高い I_{BAK} 電流を消費します。発振子が無効の場合でも、この事象は発生します。バッテリーの持続時間を長くするために、バッテリーを V_{RTCbat} ピンに接続する前に V_{CC} に接続する必要があります。

最大電流仕様にに基づくバックアップ時間の値を、次の[表 2](#)に示します。公称バックアップ時間は約 2 倍長くなります。

表 2. RTC のバックアップ時間

コンデンサの値	バックアップ時間
0.1F	72 時間
0.47F	14 日
1.0F	30 日

コンデンサを使用すると、システムに電源を投入する度にバックアップ電源が充電されるという明白な利点があります。バッテリーを使用する場合は、3V のリチウム バッテリーをお奨めします。CY14B256KA は、主電源を喪失した場合に、バッテリーからのみ電流を供給されます。ただしバッテリーは、CY14B256KA によって常に充電されるわけではありません。バッテリー容量は、システムの動作状況に応じ電源喪失時に必要な合計予想時間を考慮して選択する必要があります。

発振子の起動と停止

アドレス 0x7FF8 にある校正レジスタの OSCEN ビットは、発振子の起動と停止を制御します。このビットは不揮発性であり、イネーブル状態 (「0」に設定されている状態) でお客様に出荷されます。システムが保存状態にある場合にバッテリーを長持ちさせるには、OSCEN を「1」に設定する必要があります。これにより発振回路が停止し、バッテリー寿命が延びます。OSCEN ビットが無効から有効に切り替わる場合は、発振子が開始されるのに約 1 秒 (最大 2 秒) かかります。

システム電源がオフの間に、バックアップ電源の電圧 (V_{RTCcap} または V_{RTCbat}) が、それぞれの最小レベルを下回る場合、発振子が動作しなくなることがあります。CY14B256KA には、システム電源が回復した時に、発振子の異常を検出する能力があります。これは、アドレス 0x7FF0 にあるフラグ レジスタの発振子異常フラグ (OSCF) に記録されます。デバイスが電源投入された時 (V_{CC} が V_{SWITCH} を上回る時)、OSCEN ビットは「イ

ネーブル」状態にあるかをチェックされます。OSCEN ビットが有効になり、発振子が最初の 5ms 以内に起動しない場合は、OSCF ビットを「1」にセットします。システムはこの条件を確認して、フラグをクリアするために「0」を書き込む必要があります。

OSCF フラグ ビットを設定することに加え、時間レジスタは時間保持レジスタに書き込まれる最後の値である「基準時刻」にリセットされることにも注意してください。制御または校正レジスタと OSCEN ビットは、「発振子異常」の状態による影響を受けません。

OSCF の値は、時間レジスタが最初に書き込まれた際に、「0」にリセットする必要があります。これにより、システムの最初の電源投入時に設定している可能性のある、このビットの状態を初期化します。

OSCF をリセットするには、書き込みビット「W」(0x7FF0 にあるフラグレジスタ内)を「1」にセットし、フラグレジスタへの書き込みを有効にします。書き込みをディスエーブルにするには、OSCF に「0」を書き込み、書き込みビットを「0」にリセットします。

クロックの校正

RTC は、32.768kHz の公称周波数を持つクォーツ水晶発振子によって駆動されます。クロック精度は、水晶と校正の品質に依存します。市販されている水晶発振子は通常、 $\pm 20\text{ppm}$ ~ $\pm 35\text{ppm}$ の誤差を持ちます。しかし、CY14B256KA は 25°C で $\pm 1/-2\text{ppm}$ まで精度を向上させる校正回路を採用しています。これは、月当たりの誤差が $+2.5 \sim -5$ 秒であることを意味します。

校正回路は、この精度を達成するため、発振子分周回路からカウントを加算または減算します。抑制 (減算、マイナス校正) または分割 (加算、プラス校正) されるパルス数は、アドレス 0x7FF8 にある校正レジスタ内の 5 つの校正ビットにロードされた値に依存します。校正ビットは校正レジスタの 5 つの下位ビットです。これらのビットは、2 進数形式で「0」と 31 間の任意の値を表すために設定されます。ビット D5 は符号ビットで、「1」がプラス校正、「0」がマイナス校正を示します。カウントを加算するとクロックが速くなり、減算するとクロックが遅くなります。2 進数の「1」がレジスタにロードされると、符号に応じて発振子の誤差に 4.068 または -2.034ppm のオフセット調整を行います。

校正は、64 分サイクル内で発生します。サイクルの最初の 62 分は、毎分には、128 の発振子サイクルにより 1 秒短縮される、あるいは 256 の発振子サイクルにより 1 秒延長される可能性があります。2 進数の「1」がレジスタにロードされると、64 分サイクルの最初の 2 分のみが変更されます。2 進数の 6 がロードされると、最初の 12 分が変更され、同じパターンが続きます。したがって、各校正ステップは、実際の 125,829,120 回の発振子サイクルごとに、512 を加算するか 256 を減算する効果があります。これは、校正レジスタの校正ステップごとに 4.068 または -2.034ppm の調整を行うことを意味します。

必要な校正を決定するには、フラグレジスタ (0x7FF0) の CAL ビットを「1」にセットする必要があります。これにより、INT ピンは 512Hz の定格周波数でトグルします。512Hz から測定されるすべての偏差は、必要な補正の程度と方向を示します。たとえば、512.01024Hz の測定結果は、 $+20\text{ppm}$ の誤差を示します。したがって、-10 (001010b) の 10 進値を校正レジスタにロードし、この誤差を補正する必要があります。

注: 校正レジスタを設定や変更しても、テスト出力周波数には影響しません。

CAL をセットまたはクリアするには、書き込みビット「W」(0x7FF0 にあるフラグレジスタ内)を「1」にセットし、フラ

グレジスタへの書き込みを有効にします。書き込みを無効にするには、CAL に値を書き込んでから書き込みビットを「0」にリセットします。

アラーム

アラーム機能は、ユーザーがプログラムしたアラームの時間と日付 (0x7FF1 ~ 5 にあるレジスタに格納された) の値を、該当する時間と日付の値と比較します。一致すると、アラーム内部フラグ (AF) がセットされ、アラーム割り込みイネーブル (AIE) ビットがセットされている場合、割り込みが INT ピンに生成されます。

日付、時間、分、秒という、4 つのアラームのマッチフィールドがあります。これらの各フィールドは、フィールドがアラームのマッチ論理で使用されているかどうかを決定するために使用されるマッチビットを持っています。マッチビットが「0」にセットされている場合は、対応するフィールドがマッチプロセッサで使用されていることを示します。マッチビットに応じて、アラームは、月に一度など特定の頻度で発生します。最小頻度は毎分 1 回です。マッチビットのいずれもを選択しない (すべて 1) 場合は、マッチが必要とされないため、アラームが無効になることを示します。すべてのマッチビット (すべて 0) を選択すると、正確な時間と日付のマッチが発生します。

アラーム イベントを検出するには、AF フラグを読み出すか、または INT ピンを監視するという 2 つの方法を使用します。0x7FF0 アドレスにあるフラグレジスタの AF フラグは、日付や時間の一致が発生したことを示します。一致すると、AF ビットが「1」にセットされます。フラグレジスタを読み出すと、アラームフラグビット (および他のすべて) がクリアされます。ハードウェア割り込みピンも、アラームイベントを検出するために使用されることがあります。

アラームをセット、クリア、または有効にするには、書き込みビット「W」(0x7FF0 にあるフラグレジスタ内)を「1」にセットし、アラームレジスタへの書き込みを有効にします。アラームの値を書き込んだ後、W ビットを「0」にクリアし、変更を有効にします。

注: CY14B256KA アラームフラグと割り込みが適切に動作するには、秒のアラーム一致ビット (0x7FF2 にあるアラーム秒レジスタ内のビット「D7」)を「0」にセットする必要があります。

ウォッチドッグタイマー

ウォッチドッグタイマーは、水晶発振子から派生した 32Hz のクロック (31.25ms) を使用するフリーランニングのダウンカウンタです。発振子は、ウォッチドッグタイマーに連続してクロックを供給する必要があります。ウォッチドッグタイマーレジスタにロードされた値からカウントダウンを開始します。

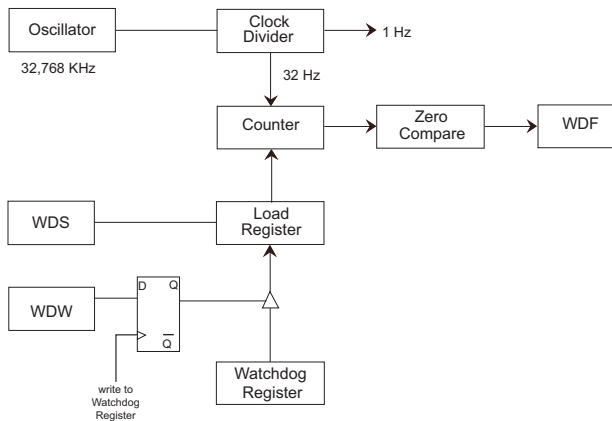
タイマーは、ロード可能なレジスタとフリーランニングカウンタで構成されています。電源投入時に、0x7FF7 にあるレジスタ内のウォッチドッグタイムアウト値がカウンタロードレジスタにロードされます。カウンタは電源投入時に開始し、ウォッチドッグストローブ (WDS) ビットが「1」にセットされるたびにロード可能値から再起動します。カウンタは、「0」の終端値と比較されます。カウンタがこの値に達すると、内部フラグと任意の割り込み出力が発生します。カウンタが「0」に到達する前に WDS ビットを「1」にセットすることで、タイムアウト割り込みを防ぐことができます。これにより、カウンタにウォッチドッグタイムアウト値がリロードされ、再起動されます。カウンタが終端の値に達する前に WDS ビットをセットする限り、割り込みと WDT フラグは発生しません。

ウォッチドッグ書き込みビットを「0」に設定することで、新しいタイムアウト値が書き込まれます。WDW が「0」の場合、

ウォッチドッグ タイムアウト値ビット D5 ~ D0 への新しい値の書き込みが有効になり、タイムアウト値が変更されます。WDW が 1 の場合、ビット D5 ~ D0 への書き込みは無視されます。WDW 機能は、ウォッチドッグ タイマー値が変更されるかをかわらず、WDS ビットをセットできるようにします。ウォッチドッグ タイマーの論理図を図 3 に示します。ウォッチドッグ タイムアウト値を「0」に設定すると、ウォッチドッグ機能が無効になることに注意してください。

ウォッチドッグ タイマーの出力は、ウォッチドッグのタイムアウトが許可されている場合にセットされるフラグ ビット WDF です。割り込みレジスタのウォッチドッグ割り込みイネーブル (WIE) ビットがセットされている場合、INT ピンのハードウェア割り込みも、ウォッチドッグ タイムアウト時に生成されず。フラグ レジスタを読み出すと、フラグとハードウェア割り込みの両方はクリアされます。

図 3. ウォッチドッグ タイマーのブロック図



電源モニター

CY14B256KA は、電源異常割り込み機能を備えた電力管理スキームを提供しています。また、クロック用のバックアップ電源への内部切り替えを制御し、低 V_{CC} アクセスからメモリを保護します。電源モニターは、 V_{CC} 電圧を V_{SWITCH} 閾値と比較する内部バンドギャップ リファレンス回路をベースとしています。

4 ページの [AutoStore 処理](#) で説明したように、電力喪失時に V_{CC} が低下して V_{SWITCH} に達すると、データ STORE 処理が SRAM から不揮発性素子に向けて開始され、最後の SRAM データ状態を確保します。また、電源が V_{CC} からバックアップ電源 (バッテリーまたはコンデンサ) に切り替えられ、RTC 発振子を起動します。

バックアップ電源から動作している場合、nvSRAM への読み書き処理が抑制され、RTC 機能が利用できなくなります。RTC クロックは、バックグラウンドで処理を継続します。更新された RTC 時間管理レジスタのデータは、 V_{CC} がデバイスに復旧された後に利用できるようになります ([21 ページの AutoStore / パワーアップ RECALL](#) を参照してください)。

割り込み

CY14B256KA には、フラグ レジスタ、割り込みレジスタおよびマイクロ コントローラーへ割り込み信号を送信できる割り込みロジックがあります。割り込みには、ウォッチドッグ タイマー、電源モニター、アラーム タイマーという 3 種類のソースがあります。それぞれは、個別に割り込みレジスタ (0x7FF6) の

適切な設定により、INT ピンを駆動するために有効にすることができます。さらに、ホスト プロセッサが割り込みの原因を判定するために使用するフラグ レジスタ (0x7FF0) には、対応するフラグ ビットがあります。INT ピン ドライバーは、割り込みが発生した時にその動作を指定する 2 つのビットを持っています。

割り込みは、両方のフラグが 3 種類のソースのいずれかによって立てられた場合、および割り込みレジスタ内の該当する割り込みイネーブル ビットが有効になった (「1」にセットされた) 場合にのみ発生します。割り込みソースがアクティブになった後、H/L と P/L の 2 つのプログラマブル ビットは INT ピン上の出力ピン ドライバーの動作を決定します。これらの 2 ビットは割り込みレジスタにあり、INT ピンからレベル モードまたはパルス モードの出力を駆動するために使用できます。パルス モードでは、パルス幅が内部で約 200ms に固定されます。このモードは、ホスト マイクロコントローラーをリセットするために用意されています。レベル モードでは、フラグ レジスタがユーザーによって読み出されるまで、ピンはアクティブ極性になります。このモードは、ホスト マイクロコントローラーへの割り込みとして使用されます。制御ビットについては、次の節で説明します。

割り込みは、システムが通常の電源モードで動作する時にのみ生成され、バックアップ電源モードで実行されている時にはトリガーされません。

注: CY14B256KA は、パワーアップ RECALL シーケンスが完了した後にのみ有効な割り込みを生成します。INT ピン上のすべてのイベントは、電源投入後 $t_{HRECALL}$ の間無視する必要があります。

割り込みレジスタ

ウォッチドッグ割り込みイネーブル (WIE): WIE を「1」にセットした場合、ウォッチドッグ タイムアウトが発生すると、ウォッチドッグ タイマーは INT ピンと内部フラグを駆動します。WIE を「0」にセットした場合、ウォッチドッグ タイマーはフラグ レジスタの WDF フラグにのみ影響します。

アラーム割り込みイネーブル (AIE): AIE を「1」にセットした場合、アラームの一致は INT ピンと内部フラグを駆動します。AIE を「0」にセットした場合、アラームの一致はフラグ レジスタの AF フラグにのみ影響します。

電源異常割り込みイネーブル (PFE): PFE を「1」にセットした場合、電源異常モニターはピンと内部フラグを駆動します。PFE を「0」にセットした場合、電源異常モニターはフラグ レジスタの PF フラグにのみ影響します。

HIGH/LOW (H/L): 「1」にセットした場合、INT ピンがアクティブ HIGH になり、ドライバー モードがブッシュ プルになります。INT ピンは、 V_{CC} が V_{SWITCH} を上回る場合にのみ HIGH に駆動されます。「0」にセットした場合、INT ピンがアクティブ LOW になり、ドライバー モードがオープン ドレインになります。アクティブ LOW モードで割り込みを使用している間、INT ピンは 10k Ω の抵抗を介して V_{CC} にプルアップする必要があります。

パルス / レベル (P/L): P/L を「1」にセットした場合、割り込みが発生すると、INT ピンが約 200 ms 間駆動されます。P/L を「0」にセットした場合、INT ピンは、フラグ レジスタが読み出されるまで HIGH または LOW (H/L により) に駆動されます。

有効な割り込みソースにより INT ピンがアクティブになると、外部ホストはフラグ レジスタを読み出して原因を判定します。レジスタが読み出される際には、すべてのフラグがクリアされます。INT ピンがレベル モードにプログラムされた場合、条件

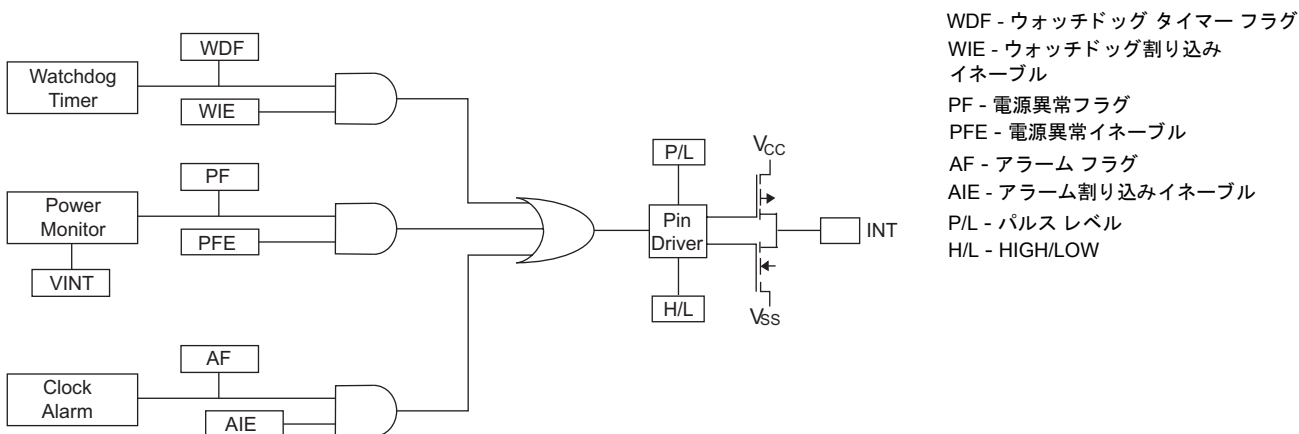
はクリアされ、INT ピンは非アクティブ状態に戻ります。ピンがパルス モードにプログラムされた場合、フラグを読み出すと、フラグとピンがクリアされます。フラグレジスタが読み出されると、パルスはその指定された期間を完了しません。INT ピンがホストのリセットとして使用されている場合は、フラグレジスタはリセット中には読み出されません。

フラグレジスタ

フラグレジスタには、割り込みを生成するために使用される WDF、AF および PF の 3 つのフラグビットがあります。これらのフラグは、ウォッチドッグ タイムアウト、アラーム マッチ、または電源異常モニタによってそれぞれ設定されます。プ

ロセッサはフラグがセットされるタイミングを知るために、このレジスタをポーリングするか、または割り込みを有効にすることができます。これらのフラグは、レジスタが読み出されると自動的にリセットされます。フラグレジスタは、電源投入時に値 0x00 で自動的にロードされます (OSCF ビットを除く。[7 ページの発振子の起動と停止](#)を参照)。

図 4. 割り込みブロック図

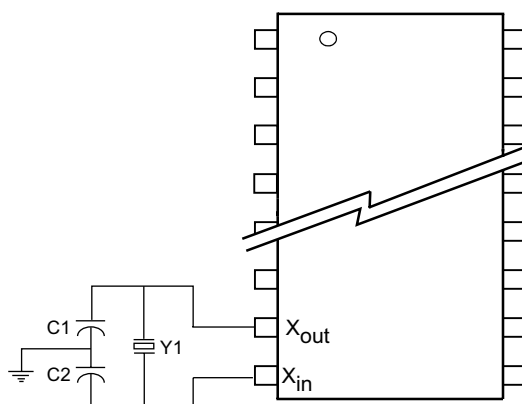


RTC 外部コンポーネント

RTC は図 5 に示すように、外部の 32.768kHz 水晶発振子と C_1 、 C_2 の負荷容量を接続する必要があります。この図では推奨する RTC 外付け部品の値を示しています。負荷容量 C_1 と

C_2 は、プリント基板 (PCB) の寄生容量を含んでいます。PCB の寄生容量は、水晶発振子のパッド/ピンのランドパターン、 X_{in} / X_{out} のパッドおよび水晶発振子とデバイス ピンを接続する銅配線に生じる静電容量を含んでいます。

図 5. RTC の推奨コンポーネント コンフィギュレーション ^[5]



推奨値

$Y_1 = 32.768\text{kHz}$ (12.5pF)
 $C_1 = 10\text{pF}$
 $C_2 = 67\text{pF}$

注: C_1 と C_2 の推奨値は基板配線の静電容量を含んでいる

注:
5. 不揮発性スタティック ランダム アクセス メモリ (nvSRAM) のリアル タイム クロック (RTC) 設計ガイドラインおよびベスト プラクティスについては、アプリケーション ノート [AN61546](#) を参照してください。

RTC に関する PCB 設計上の注意事項

RTC 水晶発振子は、その水晶発振子ピンに高インピーダンスノードが付いた低電流の回路です。RTC の時間管理をする信号の電流が小さいので、基板上の水晶発振子の接続はノイズに非常に敏感です。そのため、RTC 回路を基板上の他の信号から分離する必要があります。

PCB 上の浮遊容量を最小限に抑えることも重要です。浮遊容量は水晶発振子の負荷容量に追加されるので、発振周波数エラーを引き起こします。最適な RTC 性能を得るためには、適切にバイパス処理を施した慎重なレイアウトをする必要があります。

レイアウトに関する要件

基板レイアウトは、RTC 回路を配線する際に、次のガイドラインを順守しなければなりません (しかし、限定はされません)。次のガイドラインは、RTC 設計の最適な性能を得る手助けになります。

- 水晶発振子をできる限り X_{in} と X_{out} ピンの近くに配置するのが重要です。水晶発振子と RTC 間の配線長を同じにし、配線長を可能な限り短くしてアンテナの長さを短くすることでノイズカップリングを起こさないようにします。

- X_{in} と X_{out} 配線幅を 8mil 以下にします。配線幅が太いほど、配線容量が高くなります。これらの接着パッドと配線が大きいほど、隣接する信号からノイズが乗る可能性が高くなります。

- 水晶発振回路をガードリングで囲んで X_{in} と X_{out} 信号を保護します。このガードリングは、近接している信号からのノイズカップリングを防止します。

- RTC 配線の近くで何か他の高速信号を配線する時にも注意してください。水晶発振子が基板上で他の信号から分離されるほど、ノイズが水晶発振子に乗る可能性が低くなります。基板上で、 X_{in} 、 X_{out} 配線と他の高速信号線の距離を 200mil 以上離してください。

- 同一 PCB 層で水晶コンポーネントの直下に信号を配線しないでください。

PCB の別の信号層上を走っている配線からカップリングされる不要なノイズを防止するために、隣接した PCB 層および水晶発振回路の真下に、絶縁した銅のベタ面を造ってください。ローカル面は、同じ PCB 層上の隣接した面から少なくとも 40mil 分離する必要があります。ベタ面は RTC コンポーネントの近くに置いて、その周辺部はガードリング周辺に等しく保つ必要があります。図 6 は RTC 回路の推奨レイアウトを示しています。

図 6. RTC 用の推奨レイアウト

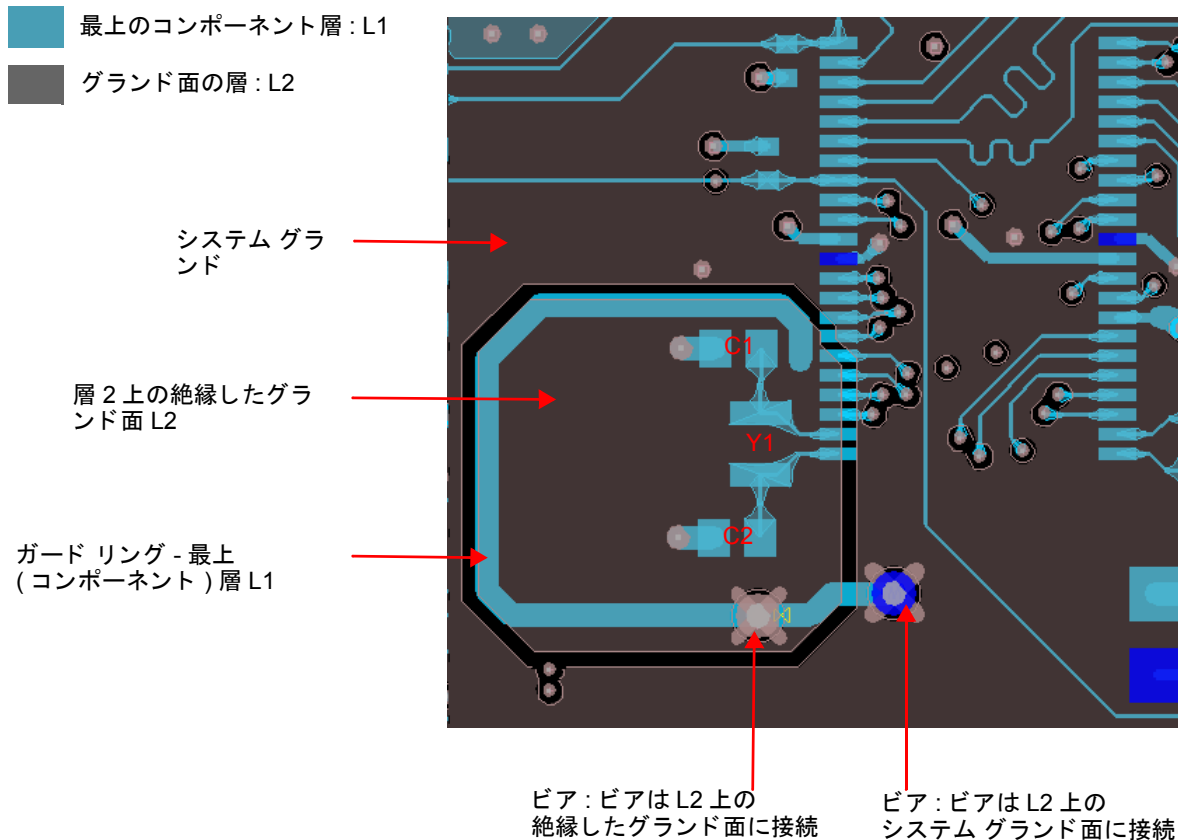


表 3. RTC レジスタ マップ^[6, 7]

レジスタ	BCD 形式のデータ ^[6]								機能／範囲
CY14B256KA	D7	D6	D5	D4	D3	D2	D1	D0	
0x7FFF	10 年の位				1 年の位				年：00 ～ 99
0x7FFE	0	0	0	10ヶ月の位	1ヶ月の位				月：01 ～ 12
0x7FFD	0	0	10 日の位		1 日の位				月の日：01 ～ 31
0x7FFC	0	0	0	0	0	曜日			曜日：01 ～ 07
0x7FFB	0	0	10 時間の位		1 時間の位				時間：00 ～ 23
0x7FFA	0	10 分の位			1 分の位				分：00 ～ 59
0x7FF9	0	10 秒の位			1 秒の位				秒：00 ～ 59
0x7FF8	OSCEN (0)	0	校正の符号 (0)	校正 (00000)					校正値 ^[8]
0x7FF7	WDS (0)	WDW (0)	WDT (000000)						ウォッチドッグ ^[8]
0x7FF6	WIE (0)	AIE (0)	PFE (0)	0	H/L (1)	P/L (0)	0	0	割り込み ^[8]
0x7FF5	M (1)	0	アラーム日の 10 の位		アラーム日の 1 の位				アラーム月の日：01 ～ 31
0x7FF4	M (1)	0	アラーム時の 10 の位		アラーム時の 1 の位				アラーム時：00 ～ 23
0x7FF3	M (1)	アラーム分の 10 の位			アラーム分の 1 の位				アラーム分：00 ～ 59
0x7FF2	M (1)	アラーム秒の 10 の位			アラーム秒の 1 の位				アラーム秒：00 ～ 59
0x7FF1	世紀の 10 の位				世紀の 1 の位				世紀：00 ～ 99
0x7FF0	WDF	AF	PF	OSCF ^[9]	0	CAL (0)	W (0)	R (0)	フラグ ^[8]

注 :

6. RTC レジスタの未使用ビットは将来の使用のために予約されており、「0」に設定されている必要があります。

7. () は工場出荷時の値を示します。

8. これは、BCD 値ではなく、2 進値です。

9. ユーザーが OSCF フラグ ビットをリセットする場合、フラグ レジスタは t_{RTCp} 後に更新されます。

表 4. レジスタ マップ詳細

レジスタ	説明							
CY14B256KA								
0x7FFF	時間管理 - 年							
	D7	D6	D5	D4	D3	D2	D1	D0
	年 (10 年の位)				年 (1 年の位)			
	年の下位 2 桁の BCD 表記を格納。下位ニブル (4 ビット) は年の 1 の位の値を格納し、上位ニブル (4 ビット) は年の 10 の位の値を格納。それぞれのニブルは 0 ～ 9 の値を持つ。レジスタの範囲は 0 ～ 99							
0x7FFE	時間管理 - 月							
	D7	D6	D5	D4	D3	D2	D1	D0
	0	0	0	月 (10ヶ月の位)	月 (1ヶ月の位)			
	月の桁の BCD 表記を格納。下位ニブル (4 ビット) は下位桁を格納し、0 ～ 9 の値を持つ。上位ニブル (1 ビット) は上位桁を格納し、0 ～ 1 の値を持つ。レジスタの範囲は 1 ～ 12							
0x7FFD	時間管理 - 日							
	D7	D6	D5	D4	D3	D2	D1	D0
	0	0	日 (10 日の位)		日 (1 日の位)			
	日の桁の BCD 表記を格納。下位ニブル (4 ビット) は下位桁を格納し、0 ～ 9 の値を持つ。上位ニブル (2 ビット) は上位桁を格納し、0 ～ 3 の値を持つ。レジスタの範囲は 1 ～ 31。うるう年に自動的に調整							
0x7FFC	時間管理 - 曜日							
	D7	D6	D5	D4	D3	D2	D1	D0
	0	0	0	0	0	曜日		
	下位ニブル (3 ビット) は曜日に対応する値を格納。曜日は、1 から 7 までカウントしてから 1 に戻るリング カウンター。曜日は日に関連付けられていないので、ユーザーは日の値に曜日を割り当てる必要がある							
0x7FFB	時間管理 - 時							
	D7	D6	D5	D4	D3	D2	D1	D0
	0	0	時間 (10 時間の位)		時間 (1 時間の位)			
	24 時間形式での時の値の BCD 表記を格納。下位ニブル (4 ビット) は下位桁を格納し、0 ～ 9 の値を持つ。上位ニブル (2 ビット) は上位桁を格納し、0 ～ 2 の値を持つ。レジスタの範囲は 0 ～ 23							
0x7FFA	時間管理 - 分							
	D7	D6	D5	D4	D3	D2	D1	D0
	0	分 (10 分の位)			分 (1 分の位)			
	分の値の BCD 表記を格納。下位ニブル (4 ビット) は下位桁を格納し、0 ～ 9 の値を持つ。上位ニブル (3 ビット) は上位桁を格納し、0 ～ 5 の値を持つ。レジスタの範囲は 0 ～ 59							
0x7FF9	時間管理 - 秒							
	D7	D6	D5	D4	D3	D2	D1	D0
	0	秒 (10 秒の位)			秒 (1 秒の位)			
	秒の値の BCD 表記を格納。下位ニブル (4 ビット) は下位桁を格納し、0 ～ 9 の値を持つ。上位ニブル (3 ビット) は上位桁を格納し、0 ～ 5 の値を持つ。レジスタの範囲は 0 ～ 59							

表 4. レジスタ マップ詳細 (続き)

レジスタ	説明							
CY14B256KA								
0x7FF8	校正／制御							
	D7	D6	D5	D4	D3	D2	D1	D0
	OSCEN	0	校正符号	校正				
OSCEN	発振子イネーブル：「1」にセットすると、発振子が停止。「0」にクリアすると、発振器が動作。発振子を無効にすると、保持中のバッテリーまたはコンデンサの電力を節約可能							
校正符号	タイムベースへの加算 (1) かタイムベースからの減算 (0) として校正調整を適用するかを判定							
校正	これらの 5 ビットはクロックの校正を制御							
0x7FF7	ウォッチドッグ タイマー							
	D7	D6	D5	D4	D3	D2	D1	D0
	WDS	WDW	WDT					
WDS	ウォッチドッグ ストロープ：このビットを「1」にセットすると、ウォッチドッグ タイマーが再起動。このビットを「0」にクリアしても何の影響もない。ウォッチドッグ タイマーをリセットした後、ビットは自動的にクリアされる。WDS ビットは書き込み専用。これを読み出すと常に「0」が返される							
WDW	ウォッチドッグ書き込みイネーブル。このビットを「1」にセットすると、ウォッチドッグ タイムアウト値 (D5 ～ D0) への書き込みがすべて無効になる。これにより、ユーザーはタイムアウト値を変更せずにウォッチドッグ ストロープ ビットを設定可能。このビットを「0」にクリアすると、次の書き込みサイクルが完了した時にビット D5 ～ D0 がウォッチドッグ レジスタに書き込まれる。この機能の詳細は 8 ページのウォッチドッグ タイマー に説明されている							
WDT	ウォッチドッグ タイムアウト選択：ウォッチドッグ タイマーの間隔はこのレジスタの 6 ビットの値によって選択。それは 32Hz のカウント (31.25ms) の乗数を表す。タイムアウト値の範囲は 31.25ms (「1」の設定) ～ 2 秒 (3Fh の設定)。ウォッチドッグ タイマー レジスタを「0」にクリアすると、タイマーが無効になる。WDW ビットが前のサイクルで「0」に設定されている場合にのみ、これらのビットは書き込み可能							
0x7FF6	割り込みステータス／制御							
	D7	D6	D5	D4	D3	D2	D1	D0
	WIE	AIE	PFE	0	H/L	P/L	0	0
WIE	ウォッチドッグ割り込みイネーブル：「1」セットした場合、ウォッチドッグ タイムアウトが発生すると、ウォッチドッグ タイマーが INT ピンと WDF フラグを駆動。「0」にクリアした場合、ウォッチドッグ タイムアウトは WDF フラグにのみ影響を与える							
AIE	アラーム割り込みイネーブル：「1」にセットすると、アラームの一致は INT ピンと AF フラグを駆動。「0」にクリアすると、アラームの一致は AF フラグにのみ影響を与える							
PFE	電源異常イネーブル：「1」にセットすると、電源異常モニターは INT ピンと PF フラグを駆動。「0」にクリアすると、電源異常モニターは、PF フラグにのみ影響を与える							
0	将来に使用するために予約済み							
H/L	HIGH/LOW: 「1」にセットすると、INT ピンはアクティブ HIGH に駆動される。「0」にクリアすると、INT ピンはオープンドレインで、アクティブ LOW となる							
P/L	パルス／レベル：「1」にセットすると、INT ピンは約 200ms の間割り込みソースによってアクティブ (H/L で決まる) に駆動される。「0」にクリアすると、INT ピンはフラグ レジスタが読み出されるまで、アクティブレベル (H/L で決まる) に駆動される							
0x7FF5	アラーム - 日							
	D7	D6	D5	D4	D3	D2	D1	D0
	M	0	アラーム日の 10 の位		アラーム日の 1 日の位			
	月の日のアラーム値とおよび日の値を選択または選択解除するマスク ビットを含む							
M	一致：このビットを「0」にクリアすると、日の値はアラーム一致に使用。このビットを「1」にセットすると、一致回路は日の値を無視							

表 4. レジスタ マップ詳細 (続き)

レジスタ	説明							
CY14B256KA								
0x7FF4	アラーム - 時							
	D7	D6	D5	D4	D3	D2	D1	D0
	M	0	アラーム時の 10 の位			アラーム時の 1 の位		
	時のアラーム値および時の値を選択または選択解除するマスク ビットを含む							
M	一致：このビットを「0」にクリアすると、時間の値はアラーム一致に使用。このビットを「1」にセットすると、一致回路は時間の値を無視							
0x7FF3	アラーム - 分							
	D7	D6	D5	D4	D3	D2	D1	D0
	M	アラーム分の 10 の位			アラーム分の 1 分の位			
	分のアラーム値および分の値を選択または選択解除するマスク ビットを含む							
M	一致：このビットを「0」にクリアすると、分の値はアラーム一致に使用。このビットを「1」にセットすると、一致回路は分の値を無視							
0x7FF2	アラーム - 秒							
	D7	D6	D5	D4	D3	D2	D1	D0
	M	アラーム秒の 10 の位			アラーム秒の 1 の位			
	秒のアラーム値および秒の値を選択または選択解除するマスク ビットを含む							
M	一致：このビットを「0」にクリアすると、秒の値はアラーム一致に使用。このビットを「1」にセットすると、一致回路は秒の値を無視							
0x7FF1	時間管理 - 世紀							
	D7	D6	D5	D4	D3	D2	D1	D0
	世紀の 10 の位				世紀の 1 の位			
	世紀の値の BCD を格納。下位ニブル (4 ビット) は下位桁を格納し、0 ～ 9 の値を持つ。上位ニブル (4 ビット) は上位桁を格納し、0 ～ 9 の値を持つ。レジスタの範囲は 1 ～ 99							
0x7FF0	フラグ							
	D7	D6	D5	D4	D3	D2	D1	D0
	WDF	AF	PF	OSCF	0	CAL	W	R
WDF	ウォッチドッグ タイマー フラグ：この読み出し専用ビットは、ウォッチドッグ タイマーの値がユーザーによってリセットされずに 0 に達した時、「1」にセットされる。フラグ レジスタが読み出される時、または電源投入時に「0」にクリアされる							
AF	アラーム フラグ：この読み出し専用ビットは、一致ビット = 0 の時、時間と月の日がアラーム レジスタに保存された値と一致する場合、「1」にセットされる。フラグ レジスタが読み出される時、または電源投入時にクリアされる							
PF	電源異常フラグ：この読み出し専用ビットは、電源が電源異常の閾値 V_{SWITCH} を下回ると、「1」にセットされる。フラグ レジスタが読み出される時、または電源投入時に「0」にクリアされる							
OSCF	発振器異常フラグ：電源投入時、発振器が有効になったのに最初の 5ms 間に起動しない場合、「1」にセットされる。これは、RTC バックアップ電源に異常が発生し、クロックの値が有効でなくなったことを示す。このビットは、電源切断後に再投入しても保持され、内部的にチップによってクリアされない。この条件を確認し、フラグをクリアするために「0」を書き込む必要がある。ユーザーが OSCF フラグ ビットをリセットすると、ビットは t_{RTCp} 時間後に更新される							
CAL	校正モード：「1」にセットすると、512Hz の方形波は INT ピンに出力される。「0」にクリアすると、INT ピンは通常動作を再開。電源投入時、このビットの初期設定値は 0 (無効)							
W	書き込みイネーブル：「W」ビットを「1」にセットした場合、RTC レジスタの更新が停止される。これで、RTC レジスタ、アラーム レジスタ、校正レジスタ、割り込みレジスタ、フラグ レジスタへの書き込みが可能になる。「W」ビットを「0」にセットした場合、時間が変更されると、RTC レジスタの内容が時間管理カウンタに転送される。この転送プロセスは完了するのに t_{RTCp} の時間を要する。電源投入時、このビットの初期設定値は 0							
R	読み出しイネーブル：「R」ビットを「1」にセットした場合、読み出し処理中にクロックの更新が行われなようにユーザー RTC レジスタへのクロック更新を停止。「R」ビットを「0」にクリアした場合、保持レジスタへのクロックの更新を再開。このビットの設定には、「W」ビットを「1」にセットする必要はない。電源投入時、このビットの初期設定値は 0							

最大定格

最大定格を超えるとデバイスの寿命が短くなる可能性があります。これらのユーザー ガイドラインはテストされていません。

保存温度 -65°C ~ +150°C

最大累積保存時間

周囲の温度 (150°C 時) 1000 時間

周囲温度 (85°C 時) 20 年

最大接合部温度 150°C

V_{SS} を基準とした V_{CC} の電源電圧 -0.5V ~ 4.1V

High Z 状態の出力に印加する電圧 -0.5V ~ $V_{CC}+0.5V$

入力電圧 -0.5V ~ $V_{CC} + 0.5V$

任意のピンの過渡電圧、
グランド基準 (20ns 以下) -2.0V ~ $V_{CC} + 2.0V$

パッケージ許容電力損失 ($T_A=25^\circ\text{C}$) 1.0W

表面実装のハンダ付け温度 (3 秒) +260°C

DC 出力電流 (出力 1 本当り、1 秒間) 15mA

静電放電時の電圧
(MIL-STD-883、メソッド 3015 による) > 2001V

ラッチアップ電流 > 200mA

動作範囲

レンジ	周囲温度	V_{CC}
産業用	-40°C ~ +85°C	2.7V ~ 3.6V

DC 電気的特性

動作範囲において

パラメーター	説明	テスト条件	Min	Typ ^[10]	Max	単位
V_{CC}	電源電圧		2.7	3.0	3.6	V
I_{CC1}	平均 V_{CC} 電流	$t_{RC} = 25\text{ns}$ $t_{RC} = 45\text{ns}$ 出力負荷なしで得られた値 ($I_{OUT} = 0\text{mA}$)	—	—	70 52	mA mA
I_{CC2}	STORE 中の平均 V_{CC} 電流	すべての入力は「ドント ケア」、 $V_{CC} = \text{Max}$ 。 t_{STORE} 期間の平均電流	—	—	10	mA
$I_{CC3}^{[10]}$	$t_{RC} = 200\text{ns}$ 、 $V_{CC}(\text{Typ})$ 、 25°C の時の平均 V_{CC} 電流	すべての入力は CMOS レベルで動作。出力負荷なしで得られた値 ($I_{OUT} = 0\text{mA}$)	—	35	—	mA
I_{CC4}	AutoStore サイクル中の平均 V_{CAP} 電流	すべての入力は「ドント ケア」。 t_{STORE} 期間の平均電流	—	—	5	mA
I_{SB}	V_{CC} スタンバイ電流	$\overline{CE} \geq (V_{CC} - 0.2V)$ 。 $V_{IN} \leq 0.2V$ または $\geq (V_{CC} - 0.2V)$ 。 W ビットを「0」に設定。 不揮発性のサイクルが完了した後のスタンバイ電流レベル。 入力はスタティック。f = 0MHz	—	—	5	mA
$I_{IX}^{[11]}$	入力リーク電流 (HSB を除く)	$V_{CC} = \text{Max}$ 、 $V_{SS} \leq V_{IN} \leq V_{CC}$	-1	—	+1	μA
	入力リーク電流 (HSB)	$V_{CC} = \text{Max}$ 、 $V_{SS} \leq V_{IN} \leq V_{CC}$	-100	—	+1	μA
I_{OZ}	オフ状態の出力リーク電流	$V_{CC} = \text{Max}$ 、 $V_{SS} \leq V_{OUT} \leq V_{CC}$ 、 \overline{CE} または $\overline{OE} \geq V_{IH}$ または $\overline{WE} \leq V_{IL}$	-1	—	+1	μA
V_{IH}	入力 HIGH 電圧		2.0	—	$V_{CC} + 0.5$	V
V_{IL}	入力 LOW 電圧		$V_{SS} - 0.5$	—	0.8	V
V_{OH}	出力 HIGH 電圧	$I_{OUT} = -2\text{mA}$	2.4	—	—	V
V_{OL}	出力 LOW 電圧	$I_{OUT} = 4\text{mA}$	—	—	0.4	V

注：

10. 標準値は 25°C 、 $V_{CC} = V_{CC}(\text{Typ})$ のものです。100% のテストは行われていません。

11. V_{OH} が 2.4V である場合、アクティブ HIGH と LOW 両方のドライバーが無効になると、HSB ピンの I_{OUT} が $-2\mu\text{A}$ となります。それらのドライバーが有効になっている時、標準の V_{OH} と V_{OL} が有効になります。このパラメーターは特性付けされていますが、テストされていません。

DC 電気的特性 (続き)

動作範囲において

パラメーター	説明	テスト条件	Min	Typ ^[10]	Max	単位
$V_{CAP}^{[12]}$	ストレージ コンデンサ	V_{CAP} ピンと V_{SS} 間	61	68	180	μF
$V_{V_{CAP}}^{[13, 14]}$	デバイスで V_{CAP} ピン上に駆動された最大電圧	$V_{CC} = \text{Max}$	–	–	V_{CC}	V

データ保持期間およびアクセス可能回数

動作範囲において

パラメーター	説明	Min	単位
$DATA_R$	データ保持期間	20	年
NV_C	不揮発性 STORE 処理回数	1,000	K

静電容量

パラメーター ^[14]	説明	テスト条件	Max	単位
C_{IN}	入力容量 (HSB を除く)	$T_A = 25^\circ C$, $f = 1\text{MHz}$, $V_{CC} = V_{CC(Typ)}$	7	pF
	入力容量 (HSB)		8	pF
C_{OUT}	出力容量 (HSB を除く)		7	pF
	出力容量 (HSB)		8	pF

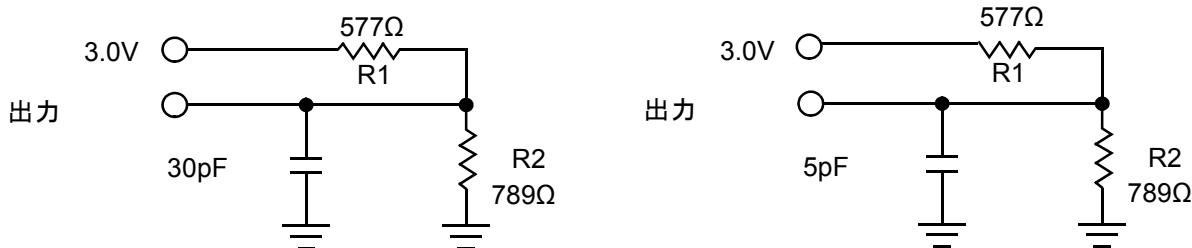
熱抵抗

パラメーター ^[14]	説明	テスト条件	48 ピン SSOP	単位
Θ_{JA}	熱抵抗 (接合部から周囲)	テスト条件は、EIA/JESD51 による、熱インピーダンスを測定するための標準的なテスト方法と手順に従う	37.47	$^\circ C/W$
Θ_{JC}	熱抵抗 (接合部からケース)		24.71	$^\circ C/W$

- 注:
- V_{CAP} 最小値は、AutoStore 処理を完了するのに十分な電荷があることを保証するものです。 V_{CAP} 最大値は、即時の電源切断サイクルが発生しても AutoStore 処理が正常に完了するようにパワーアップ RECALL サイクルの間に V_{CAP} のコンデンサが必要な最小電圧まで充電されることを保証するものです。したがって、指定した最小値と最大値の範囲内のコンデンサを使用することを常にお勧めします。 V_{CAP} オプションの詳細については、アプリケーションノート AN43593 を参照してください。
 - V_{CAP} ピン ($V_{V_{CAP}}$) の最大電圧は、 V_{CAP} コンデンサを選択する際に指針として提供されています。動作温度範囲における V_{CAP} コンデンサの定格電圧は、 $V_{V_{CAP}}$ 電圧より高い必要があります。
 - これらのパラメーターは設計保証であり、テストは行われていません。

AC テスト負荷

図 7. AC テスト負荷



AC テスト条件

入力パルス レベル..... 0V ~ 3V
 入力立ち上がり／立ち下がり時間 (10% ~ 90%) ≤ 3ns
 入力と出力のタイミング参照レベル..... 1.5V

RTC 特性

動作範囲において

パラメーター	説明	Min	Typ ^[15]	Max	単位
V_{RTCbat}	RTC バッテリ ピン電圧	1.8	3.0	3.6	V
$I_{BAK}^{[16]}$	RTC バックアップ電流 (RTC の推奨外部コンポーネントは、図 5 を参照してください。)				
	T_A (Min)	–	–	0.35	μA
	25°C	–	0.35	–	μA
	T_A (Max)	–	–	0.5	μA
$V_{RTCcap}^{[17]}$	RTC コンデンサ ピン電圧				
	T_A (Min)	1.6	–	3.6	V
	25°C	1.5	3.0	3.6	V
	T_A (Max)	1.4	–	3.6	V
t_{OCS}	RTC 発振子の発振開始時間	–	1	2	s
t_{RTCP}	「W」ビットを「0」に設定してからの RTC 処理時間	–	–	350	μs
R_{BKCHG}	RTC バックアップ コンデンサの充電電流制限抵抗	350	–	850	Ω

注

15. 標準値は 25°C、 $V_{CC} = V_{CC(Typ)}$ のものです。100% テストされているわけではありません。

16. V_{RTCcap} または V_{RTCbat} のいずれかからです。

17. $V_{RTCcap} > 0.5V$ の場合、またはコンデンサが V_{RTCcap} ピンに接続されていない場合、発振子は t_{OCS} 時間内に起動します。バックアップ コンデンサが接続され、 $V_{RTCcap} < 0.5V$ の場合、発振子を起動するためにコンデンサを 0.5V に充電できるようにする必要があります。

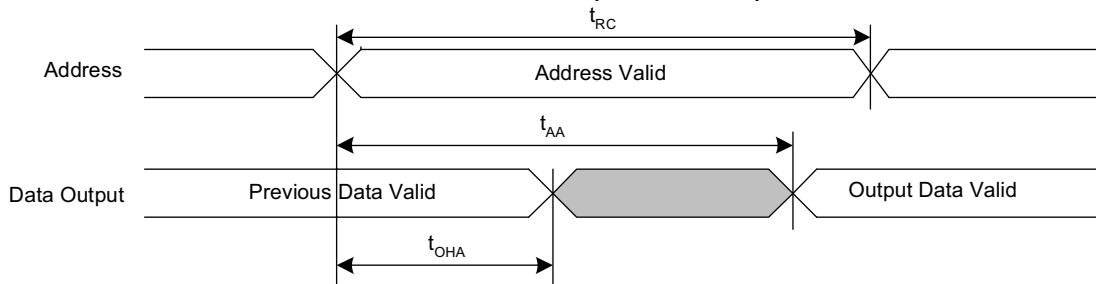
AC スイッチング特性

動作範囲において

パラメーター ^[18]		説明	25ns		45ns		単位
サイプレス パラメーター	代替のパラメーター		Min	Max	Min	Max	
SRAM 読み出しサイクル							
t _{ACE}	t _{ACS}	チップ イネーブル アクセス時間	–	25	–	45	ns
t _{RC} ^[19]	t _{RC}	読み出しサイクル時間	25	–	45	–	ns
t _{AA} ^[20]	t _{AA}	アドレス アクセス時間	–	25	–	45	ns
t _{DOE}	t _{OE}	出力イネーブルからデータ有効までの時間	–	12	–	20	ns
t _{OHA} ^[20]	t _{OH}	アドレス変化後の出力ホールド時間	3	–	3	–	ns
t _{LZCE} ^[21, 22]	t _{LZ}	チップ イネーブルから出力アクティブまでの時間	3	–	3	–	ns
t _{HZCE} ^[21, 22]	t _{HZ}	チップ ディスエーブルから出力非アクティブまでの時間	–	10	–	15	ns
t _{LZOE} ^[21, 22]	t _{OLZ}	出力イネーブルから出力アクティブまでの時間	0	–	0	–	ns
t _{HZOE} ^[21, 22]	t _{OHZ}	出力ディスエーブルから出力非アクティブまでの時間	–	10	–	15	ns
t _{PU} ^[21]	t _{PA}	チップ イネーブルから電源アクティブまでの時間	0	–	0	–	ns
t _{PD} ^[21]	t _{PS}	チップ ディスエーブルから電源スタンバイまでの時間	–	25	–	45	ns
SRAM 書き込みサイクル							
t _{WC}	t _{WC}	書き込みサイクル時間	25	–	45	–	ns
t _{PWE}	t _{WP}	書き込みパルス幅	20	–	30	–	ns
t _{SCE}	t _{CW}	チップ イネーブルから書き込み終了までの時間	20	–	30	–	ns
t _{SD}	t _{DW}	データ セットアップから書き込み終了までの時間	10	–	15	–	ns
t _{HD}	t _{DH}	書き込み終了からのデータ ホールド時間	0	–	0	–	ns
t _{AW}	t _{AW}	書き込み終了までのアドレス セットアップ時間	20	–	30	–	ns
t _{SA}	t _{AS}	書き込み開始までのアドレス セットアップ時間	0	–	0	–	ns
t _{HA}	t _{WR}	書き込み終了からのアドレス ホールド時間	0	–	0	–	ns
t _{HZWE} ^[21, 22, 23]	t _{WZ}	書き込みイネーブルから出力ディスエーブルまでの時間	–	10	–	15	ns
t _{LZWE} ^[21, 22]	t _{OW}	書き込み終了からの出力アクティブ時間	3	–	3	–	ns

スイッチング波形

図 8. SRAM 読み出しサイクル 1 (アドレス制御)^[19, 20, 24]



- 注:
18. テスト条件は、信号遷移時間が 3ns 以下、タイミング参照レベルが $V_{CC}/2$ 、入力パルス レベルが $0 \sim V_{CC(typ)}$ 、指定された I_{OL}/I_{OH} を与える出力負荷と負荷容量が 18 ページの図 7 に示す通りであることを前提にしています。
 19. WE は SRAM 読み出しサイクル中は HIGH でなければなりません。
 20. CE と OE が LOW であれば、デバイスは連続的に選択されます。
 21. これらのパラメーターは設計保証であり、テストは行われていません。
 22. 定常状態の出力電圧から $\pm 200mV$ で測定されました。
 23. CE が LOW の時に WE が LOW であれば、出力は高インピーダンスのままです。
 24. HSB は読み出しと書き込みサイクル中は HIGH である必要があります。

スイッチング波形 (続き)

図 9. SRAM 読み出しサイクル 2 (\overline{CE} および \overline{OE} 制御) [25、26]

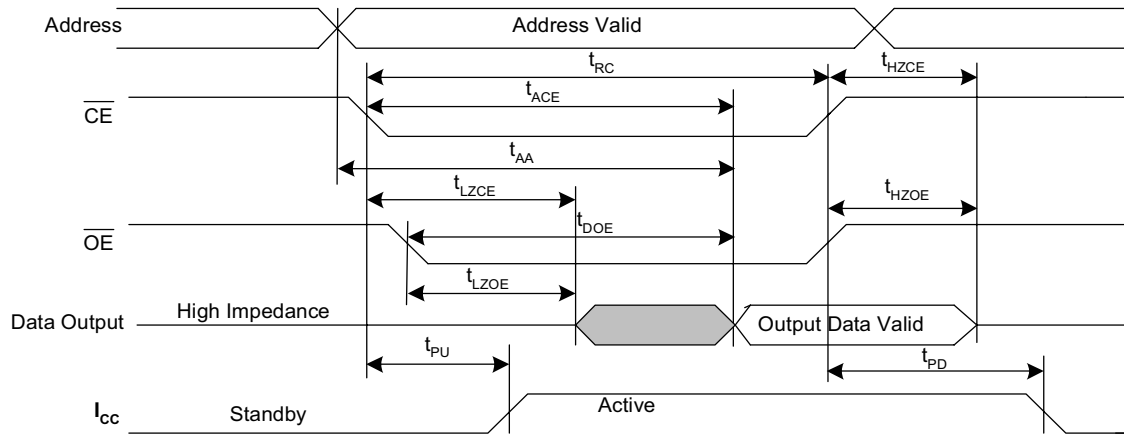


図 10. SRAM 書き込みサイクル 1 (\overline{WE} 制御) [26、27、28]

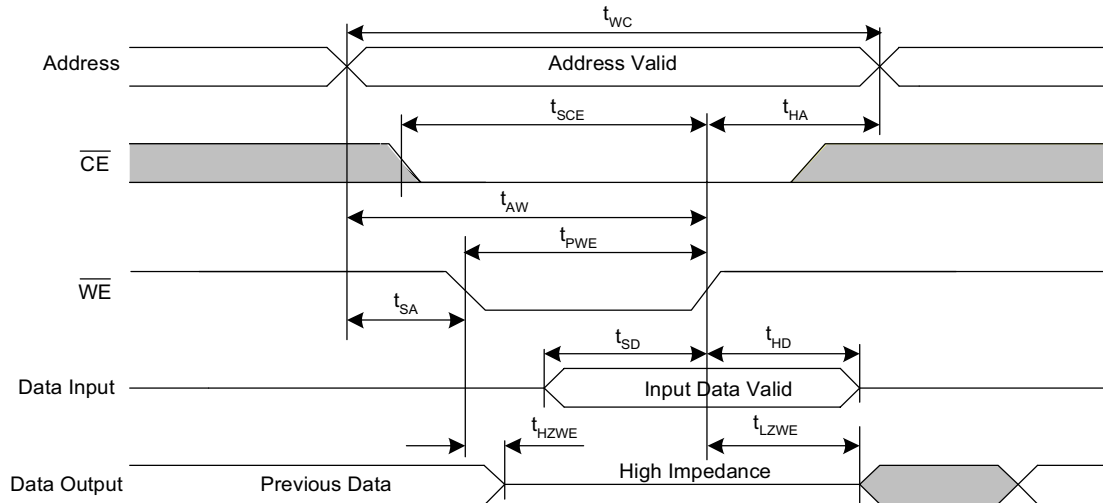
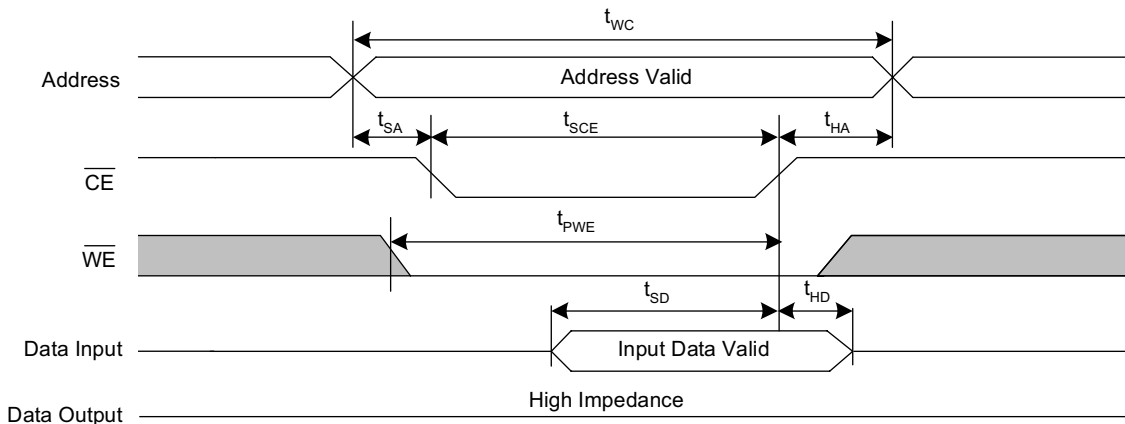


図 11. SRAM 書き込みサイクル 2 (\overline{CE} 制御) [26、27、28]



注:

25. \overline{WE} は SRAM 読み出しサイクル中は HIGH である必要があります。
26. HSB は読み出しと書き込みサイクル中は HIGH である必要があります。
27. \overline{CE} が LOW の時に \overline{WE} が LOW であれば、出力は高インピーダンスのままです。
28. \overline{CE} または \overline{WE} は、アドレス遷移中は $\geq V_{IH}$ である必要があります。

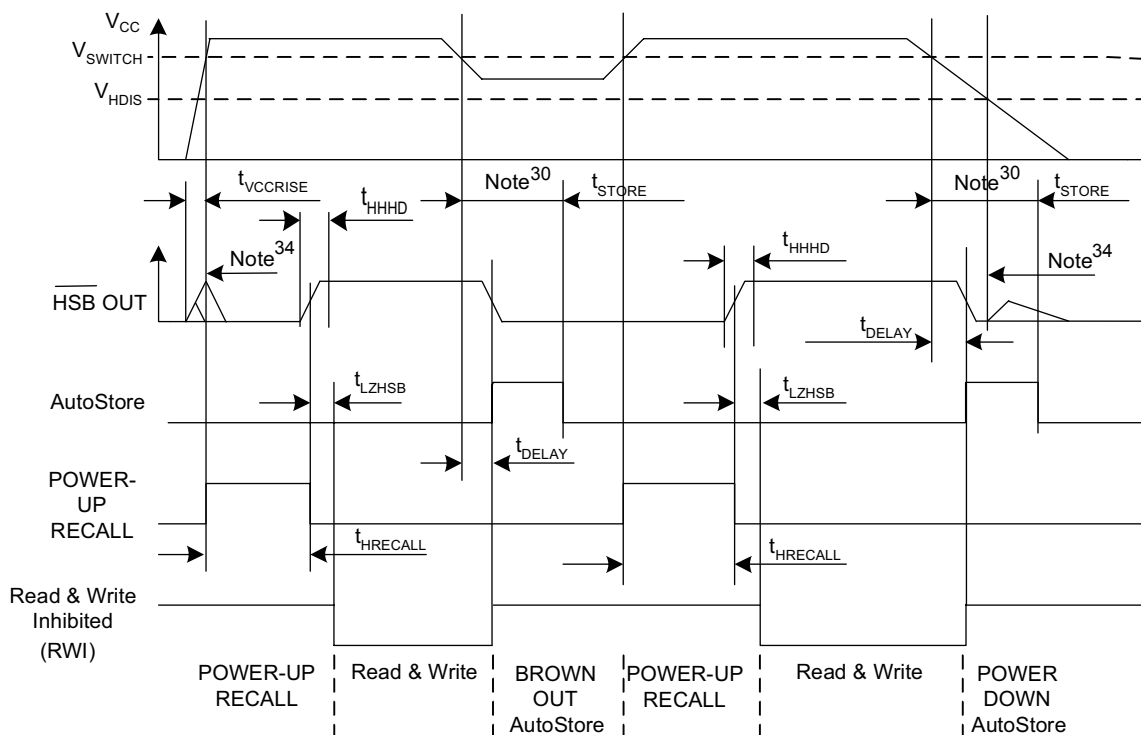
AutoStore / パワーアップ RECALL

動作範囲において

パラメーター	説明	Min	Max	単位
$t_{HRECALL}^{[29]}$	パワーアップ RECALL 期間	—	20	ms
$t_{STORE}^{[30]}$	STORE サイクル期間	—	8	ms
$t_{DELAY}^{[31]}$	SRAM 書き込みサイクルを完了する時間	—	25	ns
V_{SWITCH}	低電圧トリガー レベル	—	2.65	V
$t_{VCCRRISE}^{[32]}$	V_{CC} 立ち上がり時間	150	—	μs
$V_{HDIS}^{[32]}$	HSB 出力ディスエーブル電圧	—	1.9	V
$t_{LZHSH}^{[32]}$	HSB から出力アクティブまでの時間	—	5	μs
$t_{HHHD}^{[32]}$	HSB アクティブ HIGH 時間	—	500	ns

スイッチング波形

図 12. AutoStore またはパワーアップ RECALL^[33]



注:

29. $t_{HRECALL}$ は、 V_{CC} が V_{SWITCH} を超えた時から始まります。
30. 前回の不揮発性サイクル以降に SRAM 書き込みが行われていない場合、AutoStore またはハードウェア STORE は行われません。
31. ハードウェア STORE と AutoStore の開始時に、SRAM の書き込み処理は t_{DELAY} の間引き続き有効になっています。
32. これらのパラメーターは設計保証であり、テストは行われていません。
33. 読み出しおよび書き込みサイクルは STORE、RECALL、 V_{CC} が V_{SWITCH} 未満の場合は無視されます。
34. 電源投入および電源切断時、HSB ピンが外部抵抗を介してプルアップされると、HSB ピンにグリッチが発生します。

ソフトウェア制御の STORE / RECALL サイクル

動作範囲において

パラメーター [35、36]	説明	25ns		45ns		単位
		Min	Max	Min	Max	
t_{RC}	STORE / RECALL 開始のサイクル期間	25	—	45	—	ns
t_{SA}	アドレス セットアップ時間	0	—	0	—	ns
t_{CW}	クロック パルス幅	20	—	30	—	ns
t_{HA}	アドレス ホールド時間	0	—	0	—	ns
t_{RECALL}	RECALL 期間	—	200	—	200	μ s
t_{SS} [37、38]	ソフト シーケンス処理時間	—	100	—	100	μ s

スイッチング波形

図 13. \overline{CE} & \overline{OE} 制御によるソフトウェア STORE / RECALL サイクル [36]

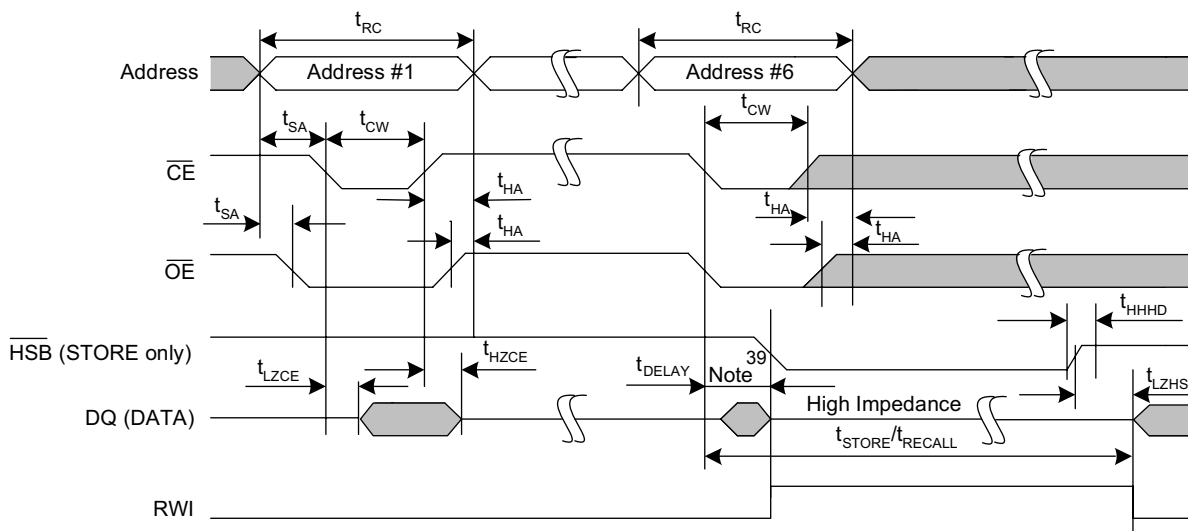
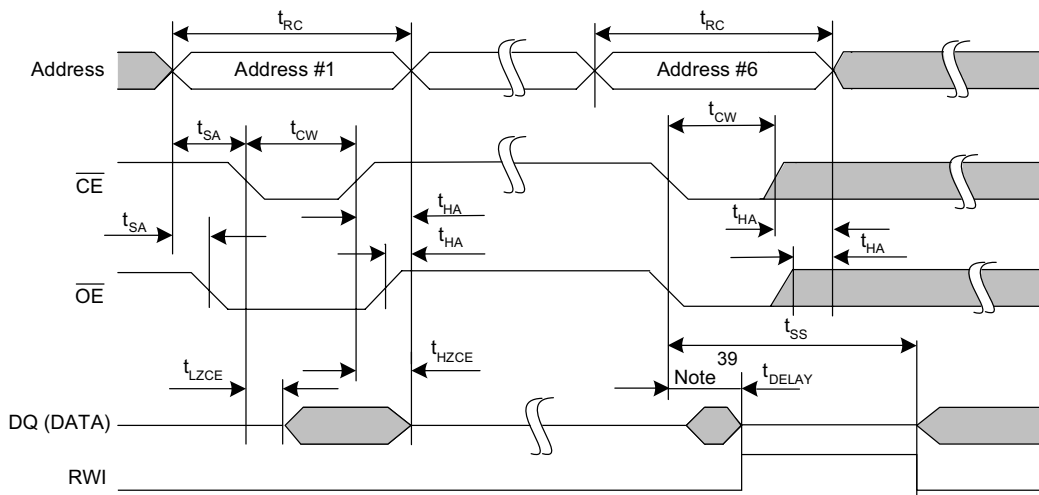


図 14. AutoStore イネーブル/ディセーブル サイクル [36]



- 注:
- 35. ソフトウェアのシーケンスは、 \overline{CE} または \overline{OE} に制御される読み出し処理を伴いクロックされます。
 - 36. 6 つの連続アドレスは表 1 に指定された順番で読み出す必要があります。WE は、全 6 連続サイクルの間 HIGH でなければなりません。
 - 37. これはソフト シーケンス コマンドを処理するのに要する時間です。効果的にコマンドを登録するには、Vcc 電圧は HIGH でなければなりません。
 - 38. STORE や RECALL などのコマンドは、その処理が完了するまで I/O をロックアウトします。これにより、この時間は更に増えます。詳しくは個々のコマンドを参照してください。
 - 39. t_{DELAY} の時間が経過すると出力が無効になるので、6 番目に読み出された DQ 出力データは無効になる可能性があります。

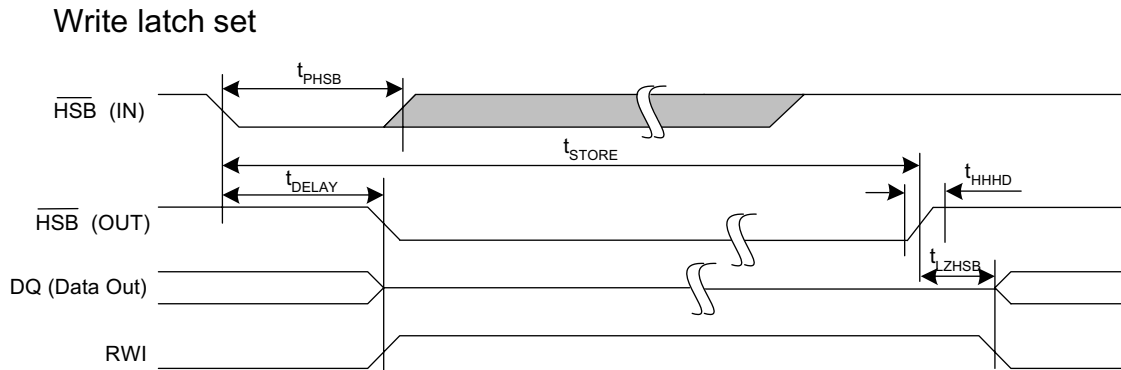
ハードウェア STORE サイクル

動作範囲において

パラメーター	項目	Min	Max	単位
t_{DHSB}	HSB から出力アクティブまで (書き込みラッチがセットされていない場合)	–	25	ns
t_{PHSB}	ハードウェア STORE パルス幅	15	–	ns

スイッチング波形

図 15. ハードウェア STORE サイクル^[40]



Write latch not set

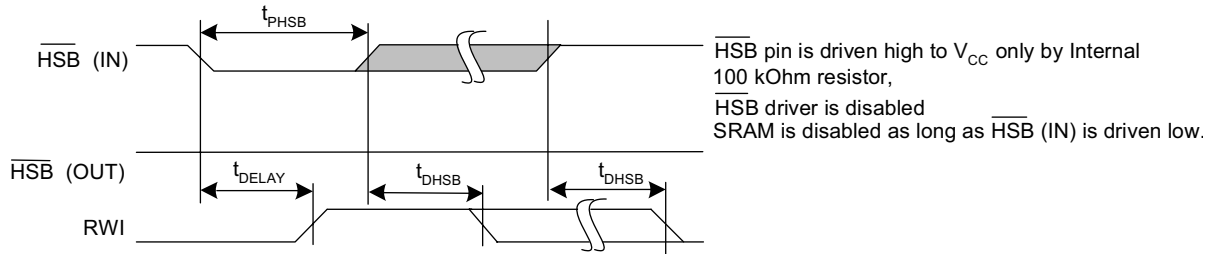
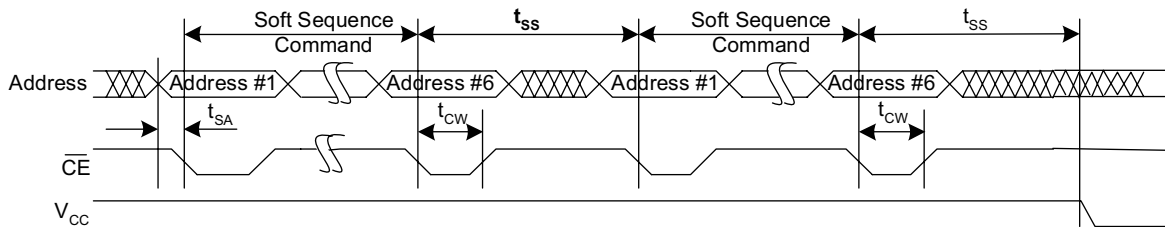


図 16. ソフト シーケンス処理時間^[41、42]



注:

40. 前回の不揮発性サイクル以降に SRAM 書き込みが行われていない場合、AutoStore またはハードウェア STORE は行われません。
 41. これはソフト シーケンス コマンドを処理するのに要する時間です。効果的にコマンドを登録するには、 V_{CC} 電圧は HIGH でなければなりません。
 42. STORE や RECALL などのコマンドは、その処理が完了するまで I/O をロックアウトします。これにより、この時間は更に増えます。詳しくは個々のコマンドを参照してください。

SRAM 真理値表

HSB は SRAM 動作では HIGH のままである必要があります。

表 5. 真理値表

$\overline{\text{CE}}$	$\overline{\text{WE}}$	$\overline{\text{OE}}$	入力/出力	モード	電源
H	X	X	High Z	選択解除/電源切断	スタンバイ
L	H	L	データ出力 (DQ ₀ ~ DQ ₇)	読み出し	アクティブ
L	H	H	High Z	出力が無効	アクティブ
L	L	X	データ入力 (DQ ₀ ~ DQ ₇)	書き込み	アクティブ

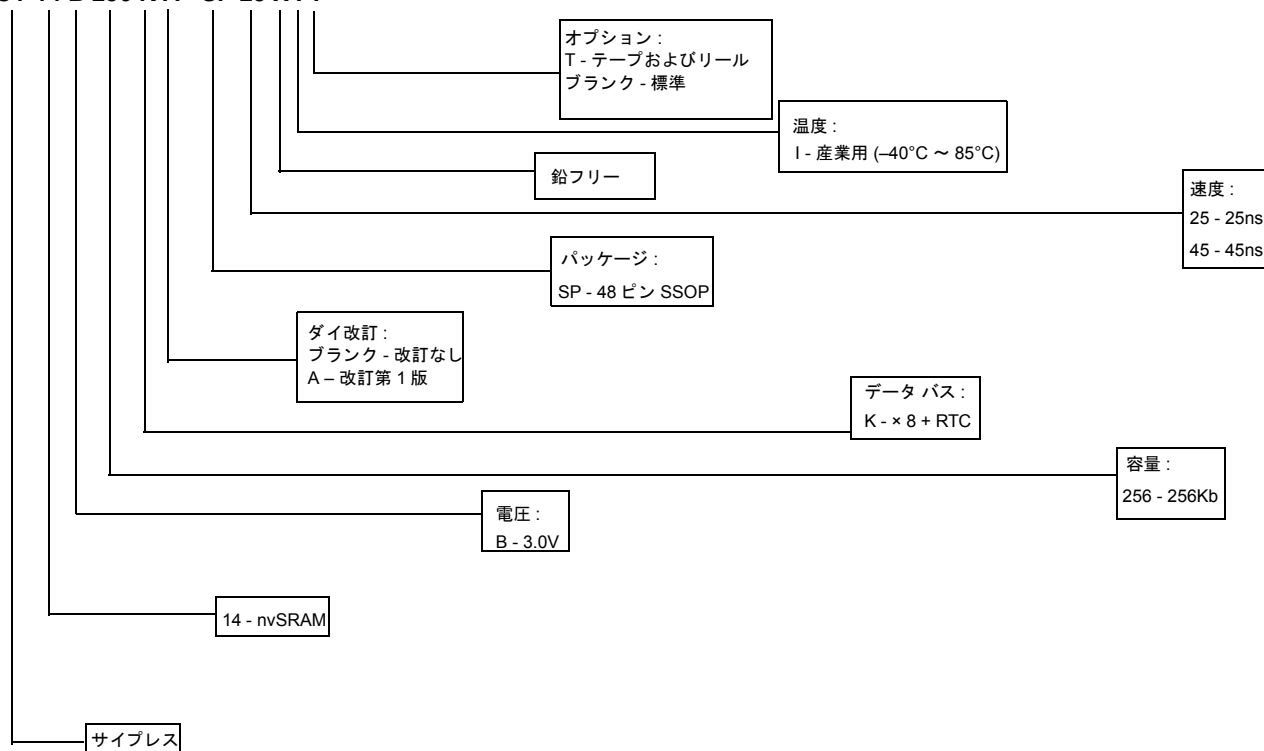
注文情報

速度 (ns)	注文コード	パッケージ図	パッケージ タイプ	動作範囲
25	CY14B256KA-SP25XIT	51-85061	48 ピン SSOP	産業用
	CY14B256KA-SP25XI			
45	CY14B256KA-SP45XIT			
	CY14B256KA-SP45XI			

上記のすべての部品は鉛フリーです。

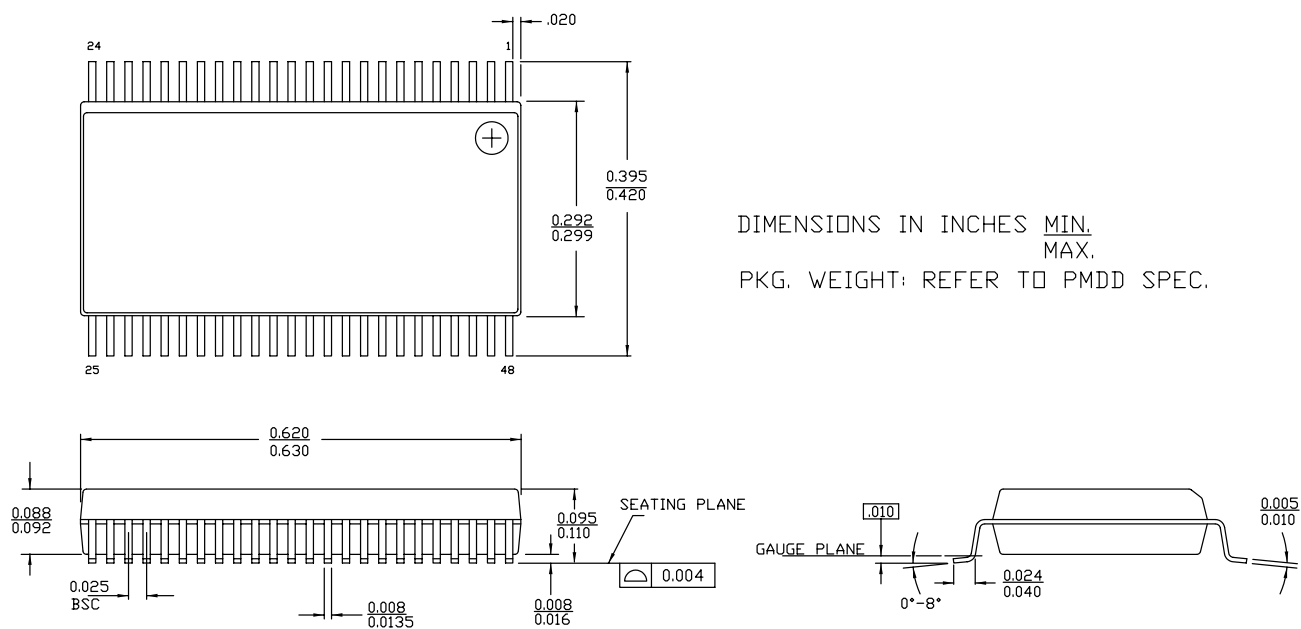
注文コードの定義

CY 14 B 256 K A - SP 25 X I T



パッケージ図

図 17. 48 ピン SSOP (300Mil) パッケージ図、51-85061



51-85061 *F

略語

略語	説明
BCD	Binary Coded Decimal (二進化十進表現)
\overline{CE}	Chip Enable (チップ イネーブル)
CMOS	Complementary Metal Oxide Semiconductor (相補型金属酸化膜半導体)
EIA	Electronic Industries Alliance (米国電子工業会)
HSB	Hardware Store Busy (ハードウェア ストア ビジー)
I/O	Input/Output (入力/出力)
nvSRAM	non-volatile Static Random Access Memory (不揮発性スタティック ランダム アクセス メモリ)
\overline{OE}	Output Enable (出カ イネーブル)
PCB	Printed Circuit Board (プリント回路基板)
RoHS	Restriction of Hazardous Substances (特定有害物質使用規制)
RTC	Real Time Clock (リアルタイム クロック)
RWI	Read and Write Inhibited (読み出しおよび書き込み禁止)
SRAM	Static Random Access Memory (スタティック ランダム アクセス メモリ)
SSOP	Shrink Small Outline Package (縮小小型パッケージ)
WE	Write Enable (書き込みイネーブル)

本書の表記法

測定単位

記号	測定単位
%	パーセント
°C	摂氏温度
F	ファラッド
Hz	ヘルツ
kHz	キロヘルツ
k Ω	キロオーム
μ A	マイクロアンペア
mA	ミリアンペア
μ F	マイクロファラッド
MHz	メガヘルツ
μ s	マイクロ秒
ms	ミリ秒
ns	ナノ秒
pF	ピコファラッド
ppm	100 万分の 1
V	ボルト
Ω	オーム
W	ワット

改訂履歴

文書名 : CY14B256KA、リアル タイム クロック内蔵の 256K ビット (32K × 8) nvSRAM 文書番号 : 001-95859				
版	ECN 番号	変更者	発行日	変更内容
**	4722791	HZEN	04/17/2015	これは英語版 001-55720 Rev. *I を翻訳した日本語版 001-95859 Rev.** です。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

車載用	cypress.com/go/automotive
クロック & バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明 & 電力制御	cypress.com/go/powerpsoc cypress.com/go/plc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/USB
ワイヤレス/ RF	cypress.com/go/wireless

PSoC[®] ソリューション

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカル サポート

cypress.com/go/support

© Cypress Semiconductor Corporation, 2009-2015. 本文書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものではありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

全てのソース コード (ソフトウェアおよび/またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタム ソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限って、サイプレスのソース コードの派生著作物をコピー、使用、変更して作成するためのライセンス、ならびにサイプレスのソース コードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソース コードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責事項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。