

サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

リアルタイムクロック付き 16Mビット (2048K × 8 / 1024K × 16) nvSRAM

特長

- 16Mビットの不揮発性スタティック RAM (nvSRAM)
 - 25ns および 45ns のアクセス時間
 - 2048K × 8 (CY14B116K) または 1024K × 16 (CY14B116M) として内部的に構成
 - 小容量コンデンサでのみ電源切断時の自動 STORE を実行
 - QuantumTrap 不揮発性素子への STORE をソフトウェア、デバイスピン、または電源切断時の AutoStore により実行
 - SRAM への RECALL 処理をソフトウェアまたは電源投入で実行
- 高い信頼性
 - 回数に制限のない読み出し、書き込み、および RECALL サイクル
 - QuantumTrap に対する 100 万回の STORE サイクル
 - 20 年のデータ保持期間
- スリープモードの動作
- フル機能のリアルタイムクロック (RTC)
 - ウォッチドッグ タイマ
 - プログラム可能な割り込み付きのクロックアラーム
 - バックアップ電源異常表示
 - 周波数がプログラム可能な方形波出力 (1Hz、512Hz、4096Hz、32.768kHz)
 - RTC 用のコンデンサまたはバックアップバッテリー
 - 0.45μA (Typ) のバックアップ電流
- 低消費電力
 - アクセス時間 45ns 時 75mA のアクティブ電流
 - 750μA のスタンバイモード電流
 - 10μA のスリープモード電流
- 動作電圧: $V_{CC} = 2.7V \sim 3.6V$
- 産業用温度範囲: $-40^{\circ}C \sim +85^{\circ}C$
- パッケージ
 - 44ピン薄型小型パッケージ (TSOP II)
 - 54ピン薄型小型パッケージ (TSOP II)
 - 165ボール微細ピッチボールグリッドアレイ (FBGA) パッケージ
- RoHS 準拠

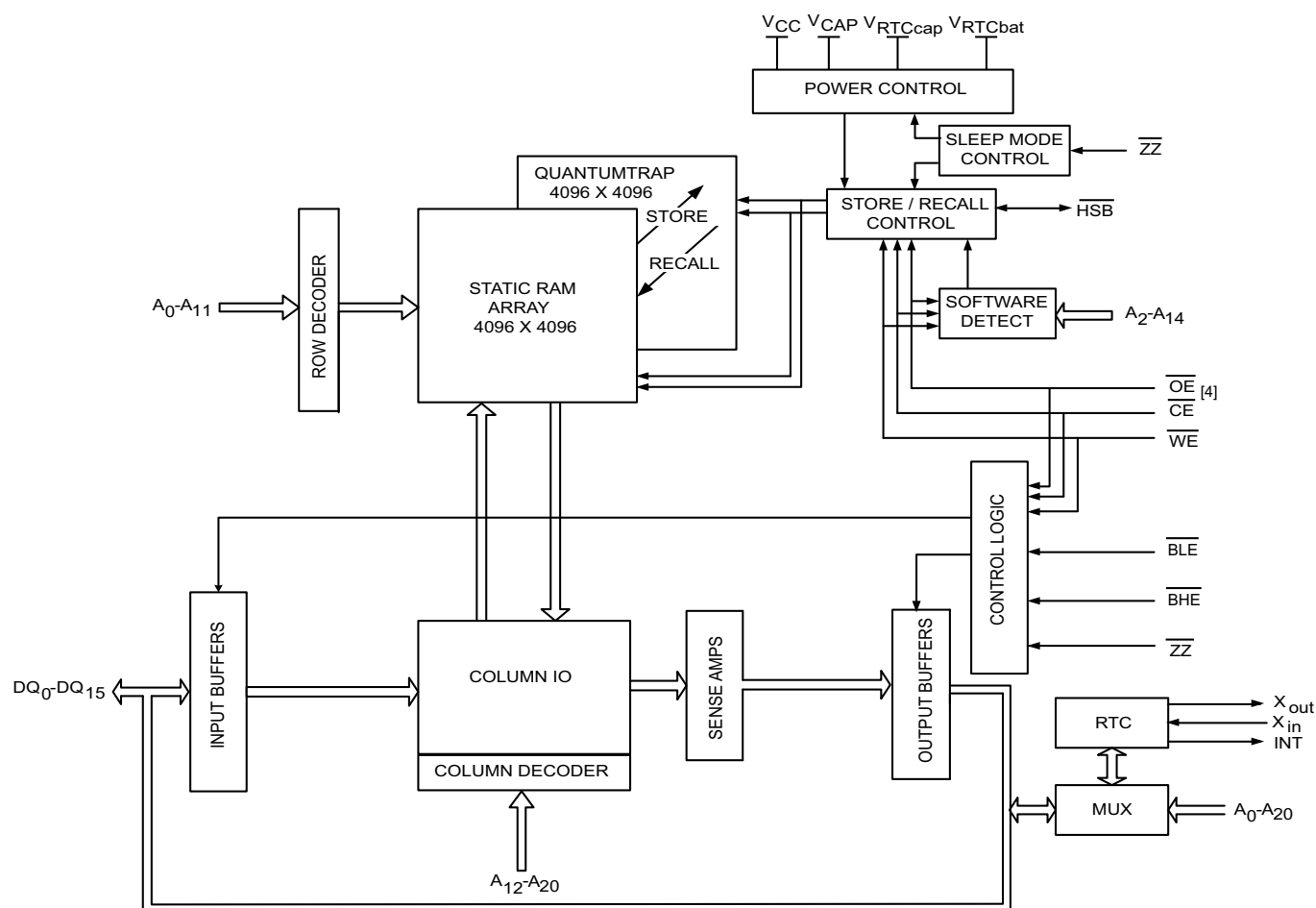
機能の説明

サイプレス CY14B116K / CY14B116M は、16Mビットの nvSRAM とフル機能の RTC を、モノリシックの集積回路で組み合わせます。nvSRAM は、各メモリセルに不揮発性素子を組み込んだ高速 SRAM です。このメモリは、2048K バイト × 8 ビットまたは 1024K ワード × 16 ビットで構成されています。組み込み型不揮発性素子には、世界最高級の信頼性を備えた不揮発性メモリを実現する QuantumTrap 技術を採用しています。SRAM の読み出し／書き込みの回数は無制限です。不揮発性素子に保持される不揮発性データは、SRAM に書き込まれる時に変わりません。SRAM から不揮発性要素へのデータ転送 (STORE 動作) は、電源切断時に自動的に実行されます。電源投入時には、不揮発性メモリから SRAM にデータが復元されます (RECALL 動作)。STORE と RECALL 両方の動作はソフトウェア制御でも実行することができます。

RTC 機能により、うるう年対応の正確なクロックとプログラム可能な高精度発振器を提供します。アラーム機能は、定期的な分、時、日、または月のアラームに応じてプログラムできます。また、プログラム可能なウォッチドッグタイマも備えています。

すべての関連資料の一覧については、[ここ](#)をクリックしてください。

論理ブロック図 [1、2、3]



注:

1. x8 構成のアドレスは $A_0 \sim A_{20}$ 、x16 構成のアドレスは $A_0 \sim A_{19}$ です。
2. x8 構成のデータは $DQ_0 \sim DQ_7$ 、x16 構成のデータは $DQ_0 \sim DQ_{15}$ です。
3. \overline{BLE} 、 \overline{BHE} は x16 構成にのみ適用できます。
4. TSOP II パッケージはシングル CE オプションで、BGA パッケージはデュアル CE オプションで提供されています。本データシートでは、デュアル CE デバイスに対して、CE は CE_1 と CE_2 の内部の論理的結合を示し、 CE_1 が LOW で、 CE_2 が HIGH の場合、CE は LOW です。それ以外の場合は、CE は HIGH です。

目次

ピン配置	4	RTC に関する PCB 設計上の注意事項	16
デバイスの動作	6	レイアウトに関する要件	16
SRAM 読み出し	6	最大定格	22
SRAM 書き込み	6	動作範囲	22
AutoStore 動作 (電源切断)	6	DC 電気的特性	22
ハードウェア STORE (HSB) 動作	7	データ保持期間およびアクセス可能回数	23
ハードウェア RECALL (電源投入)	7	静電容量	23
ソフトウェア STORE	7	熱抵抗	24
ソフトウェア RECALL	7	AC テスト条件	24
スリープ モード	8	RTC 特性	25
AutoStore 防止	10	AC スイッチング特性	26
データ保護	10	AutoStore / パワーアップ RECALL 特性	30
リアル タイム クロックの動作	10	スリープ モード特性	31
nvTime の動作	10	ソフトウェア制御 STORE および RECALL 特性	32
クロックの動作	10	ハードウェア STORE 特性	33
クロックの読み出し	10	SRAM 真値表	34
クロックの設定	10	×8 構成	34
バックアップ電源	11	×16 構成	34
発振器の起動と停止	11	×16 構成	35
クロックの校正	11	注文情報	36
アラーム	12	外形図	37
ウォッチドッグ タイマ	12	略語	40
プログラム可能な方形波ジェネレータ	13	本書の表記法	40
電源モニタ	13	測定単位	40
バックアップ電源モニタ	13	改訂履歴	41
割込み	13	セールス、ソリューションおよび法律情報	42
フラグ レジスタ	14		
RTC 外部コンポーネント	15		

ピン配置

図 1. ピン配置図 : 44 ピン TSOP II (×8)

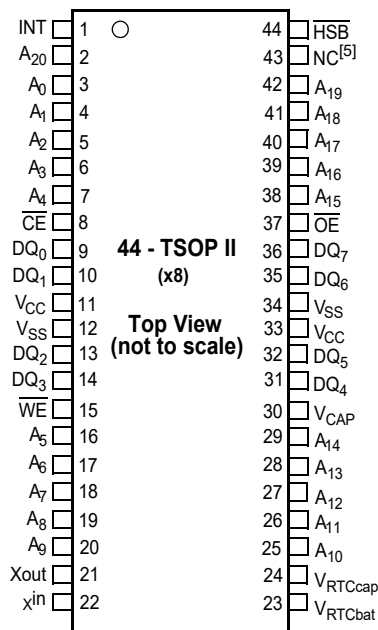


図 2. ピン配置図 : 54 ピン TSOP II (×16)

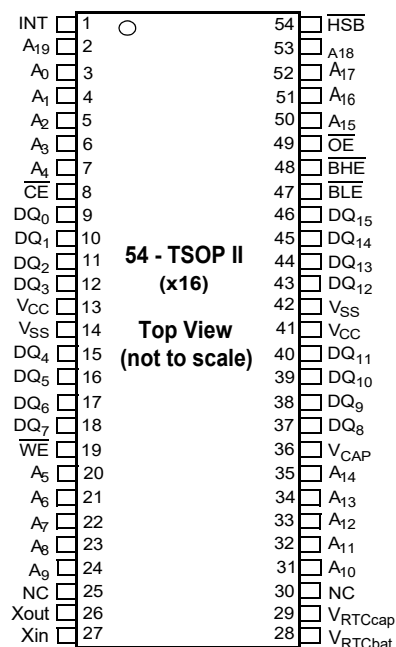


図 3. ピン配置図 : 165 ボール FBGA (×16)

	1	2	3	4	5	6	7	8	9	10	11
A	NC	A ₆	A ₈	WE	BLE	CE ₁	NC	OE	A ₅	A ₃	NC
B	NC	DQ ₀	DQ ₁	A ₄	BHE	CE ₂	NC	A ₂	NC	NC	NC
C	ZZ	NC	NC	V _{SS}	A ₀	A ₇	A ₁	V _{SS}	NC	DQ ₁₅	DQ ₁₄
D	NC	DQ ₂	NC	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	X _{in}	NC	NC
E	NC	V _{CAP}	NC	V _{CC}	V _{SS}	V _{SS}	V _{SS}	V _{CC}	X _{out}	DQ ₁₃	NC
F	NC	DQ ₃	NC	V _{CC}	V _{CC}	V _{SS}	V _{CC}	V _{CC}	NC	NC	DQ ₁₂
G	HSB	NC	NC	V _{CC}	V _{CC}	V _{SS}	V _{CC}	V _{CC}	NC	NC	NC
H	NC	NC	V _{CC}	V _{CC}	V _{CC}	V _{SS}	V _{CC}	V _{CC}	V _{CC}	NC	NC
J	NC	NC	NC	V _{CC}	V _{CC}	V _{SS}	V _{CC}	V _{CC}	NC	DQ ₈	NC
K	NC	NC	DQ ₄	V _{CC}	V _{CC}	V _{SS}	V _{CC}	V _{CC}	NC	NC	NC
L	NC	DQ ₅	NC	V _{CC}	V _{SS}	V _{SS}	V _{SS}	V _{CC}	NC	NC	DQ ₉
M	NC	NC	NC	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	NC	DQ ₁₀	NC
N	INT	DQ ₆	DQ ₇	V _{SS}	A ₁₁	A ₁₀	A ₉	V _{SS}	NC	NC	NC
P	NC	NC	NC	A ₁₃	A ₁₉	V _{RTCbat}	A ₁₈	A ₁₂	NC	DQ ₁₁	NC
R	NC	NC	A ₁₅	NC	A ₁₇	V _{RTCcap}	A ₁₆	NC ^[5]	A ₁₄	NC	NC

注:

5. 32M ビット製品用のアドレス拡張です。NC ピンはダイに接続されていません。

表 1. ピン機能

ピン名	入出力	説明
A ₀ ~ A ₂₀	入力	アドレス入力: ×8 構成で nvSRAM の 2,097,152 バイトのひとつを選択するために使用
A ₀ ~ A ₁₉		アドレス入力: ×16 構成で nvSRAM の 1,048,576 ワードのひとつを選択するために使用
DQ ₀ ~ DQ ₇	入力/出力	×8 構成の双方向データ I/O ライン: 動作に応じて入力または出力ラインとして使用
DQ ₀ ~ DQ ₁₅		×16 構成の双方向データ I/O ライン: 動作に応じて入力または出力ラインとして使用
$\overline{\text{WE}}$	入力	書き込みイネーブル入力、アクティブ LOW: LOW の場合、I/O ピンのデータが、特定のアドレス位置に書き込まれる
$\overline{\text{CE}}$	入力	TSOP II パッケージのチップ イネーブル入力、アクティブ LOW: LOW の場合、チップを選択。HIGH の場合は、チップの選択を解除
$\overline{\text{CE}}_1$, CE ₂		FBGA パッケージのチップ イネーブル入力: デバイスが選択され、メモリ アクセスは $\overline{\text{CE}}_1$ の立ち下がりエッジ (CE ₂ が HIGH の場合) または CE ₂ の立ち上がりエッジ ($\overline{\text{CE}}_1$ が LOW の場合) で開始
$\overline{\text{OE}}$	入力	出力イネーブル、アクティブ LOW: アクティブ LOW の $\overline{\text{OE}}$ 入力は、読み出しサイクル中にデータ出力バッファを有効にする。OE HIGH をデアサートすると、I/O ピンがトライステートになる
$\overline{\text{BLE}}$	入力	バイト イネーブル、アクティブ LOW: LOW の場合、DQ ₇ ~ DQ ₀ が有効になる
$\overline{\text{BHE}}$	入力	バイト イネーブル、アクティブ LOW: LOW の場合、DQ ₁₅ ~ DQ ₈ が有効になる
$\overline{\text{ZZ}}^{[6]}$	入力	スリープ モード イネーブル: $\overline{\text{ZZ}}$ ピンが LOW にされると、デバイスは低電力スリープ モードに入り、最低の電力を消費。ZZ 入力は、CE と論理積がとられるため、通常の動作の間 HIGH でなければならない
X _{出力} ^[7]	出力	水晶発振器接続: 起動時に水晶発振器を駆動
X _{入力} ^[7]	入力	水晶発振器接続: 32.768kHz 水晶用
V _{RTCCap} ^[7]	電源	コンデンサが供給するバックアップ RTC 電源電圧: V _{RTCbat} が使用されている場合は、未接続のままになる
V _{RTCbat} ^[7]	電源	バッテリーが供給するバックアップ RTC 電源電圧: V _{RTCCap} が使用されている場合は、未接続のままになる
INT ^[7]	出力	割込み出力/校正/方形波: クロック アラーム、ウォッチドッグ タイマ、および電力モニタに対応するようにプログラム可能。さらに、アクティブ HIGH (プッシュカプル) または LOW (オープン ドレイン) のいずれにもプログラム可能。校正モードでは、512Hz 方形波が出力される。方形波モードでは、1Hz、512Hz、4,096Hz、または 32,768Hz の周波数を連続出力として使用するように選択可能
V _{CC}	電源	デバイスへの電源入力
V _{SS}	電源	デバイスのグラウンド: システムのグラウンドに接続する必要がある
$\overline{\text{HSB}}$	入力/出力	ハードウェア STORE ビジー ($\overline{\text{HSB}}$): LOW の場合、この出力は、ハードウェア STORE が進行中であることを示す。外部で LOW にする場合、不揮発性 STORE 動作を開始。ハードウェアおよびソフトウェア STORE 動作の後、HSB は標準出力 HIGH 電流で短時間 (t _{HHHD}) HIGH に駆動され、その後内部弱プルアップ抵抗で HIGH 状態を維持 (外部プルアップ抵抗接続は任意)
V _{CAP}	電源	AutoStore コンデンサ: 電力喪失時、SRAM から不揮発性素子にデータを格納するために nvSRAM へ電源を供給
NC	NC	未接続: ダイ パッドはパッケージ ピンに接続されていない

注:

6. スリープ モードの機能は 165 ボール FBGA パッケージにのみ提供されます。

7. RTC 機能を使用しない場合は未接続のままにします。

デバイスの動作

CY14B116K / CY14B116M nvSRAM は、同じ物理セル内で対になった 2 個の機能コンポーネントで構成されています。これらは SRAM メモリ セルと不揮発性 QuantumTrap セルです。SRAM メモリ セルは標準的な高速スタティック RAM として動作します。SRAM 内のデータは、電源切断時に自動的に不揮発性セルに転送される (STORE 動作) か、または電源投入時に不揮発性セルから SRAM に転送されます (RECALL 動作)。STORE と RECALL 両方の動作はソフトウェア制御でも実行することができます。この独特のアーキテクチャを使って、すべてのセルは並行して格納あるいは復元されます。STORE 動作と RECALL 動作中、SRAM の読み出しと書き込み動作は禁止されます。CY14B116K / CY14B116M は SRAM への回数無制限の読み出しと書き込みをサポートします。さらに、不揮発性セルから回数無制限の RECALL 動作および最大 100 万回までの STORE 動作を提供します。読み出しモードと書き込みモードの詳細については、34 ページの **SRAM 真理値表** を参照してください。

SRAM 読み出し

CY14B116K / CY14B116M は、 \overline{CE} と \overline{OE} が LOW、 \overline{WE} 、 \overline{ZZ} と HSB が HIGH の場合、読み出しサイクルを実行します。ピン $A_0 \sim A_{20}$ または $A_0 \sim A_{19}$ で指定されたアドレスは、2,097,152 データ バイトのどれを、または 16 ビットの 1,048,576 ワードのどれをアクセスするかを決定します。1 ワードが 16 ビットの場合、バイト イネーブル BHE、BLE はどのバイトを出力するかを決定します。アドレス遷移によって読み出しが開始された場合、出力は t_{AA} の遅延時間後に有効になります (読み出しサイクル 1)。 \overline{CE} または \overline{OE} によって読み出しが開始された場合、出力は t_{ACE} の終了時点と t_{DOE} の終了時点のどちらか遅い方に有効になります (読み出しサイクル 2)。データ出力は、いかなる制御入力ピンでの遷移も必要とせず t_{AA} アクセス時間内に、繰り返しアドレス変化に応答します。これは、別のアドレス変化が発生するか、または \overline{CE} または \overline{OE} が HIGH にされるか、あるいは \overline{WE} または HSB が LOW にされるまで、有効な状態が続きます。

SRAM 書き込み

書き込みサイクルは、 \overline{CE} と \overline{WE} が LOW、HSB が HIGH の時に実行されます。アドレス入力は書き込みサイクルに入る前に安定な状態でなければなりません。そして、サイクルの終わりに \overline{CE} か \overline{WE} が HIGH になるまで安定な状態のままである必要があります。共通 I/O ピン $DQ_0 \sim DQ_{15}$ のデータは、 \overline{WE} 制御による書き込みまたは \overline{CE} 制御による書き込みの終了の t_{SD} 前にデータが有効であれば、メモリに書き込まれます。1 ワードが 16 ビットの場合、バイト イネーブル入力 BHE、BLE がどのバイトを書き込むかを決定します。共通 I/O ライン上のデータバスの競合を避けるため、書き込みサイクルの間は終始 \overline{OE} を HIGH に維持してください。 \overline{OE} が LOW のままであると、 \overline{WE} が LOW になってから t_{HZWE} 後に、内部回路が出力バッファを遮断します。

AutoStore 動作 (電源切断)

CY14B116K / CY14B116M は、3 つのストレージ動作のいずれかを使用して不揮発性 QuantumTrap セルに、データを格納します。これら 3 つの動作は次の通りです: ハードウェア STORE (HSB によって起動される)、ソフトウェア STORE (アドレスシーケンスによって起動される)、AutoStore (デバイスの電源切断時に起動される)。AutoStore 動作は nvSRAM の独自の機能であり、CY14B116K / CY14B116M でデフォルトで有効になっています。

通常動作中、デバイスは、 V_{CAP} ピンに接続されたコンデンサを充電するのに V_{CC} から電流を引き込みます。この蓄積された電荷は、チップが電源切断時に STORE 動作を実行するために使用されます。 V_{CC} ピンの電圧が V_{SWITCH} を下回った場合、デバイスは自動的に V_{CAP} ピンを V_{CC} から切断し、STORE 動作は V_{CAP} コンデンサによって提供された電力で起動されます。

注: コンデンサが V_{CAP} ピンに接続されていない場合、10 ページの **AutoStore 防止** 節に記述されているソフト シーケンスを使用して AutoStore を無効にする必要があります。AutoStore が V_{CAP} ピンに接続されているコンデンサなしで有効にされた場合、デバイスは STORE 動作を完了するために十分な電荷がないまま AutoStore 動作を実行しようとします。このため、nvSRAM 内に格納されたデータが破壊されます。

図 4. AutoStore モード

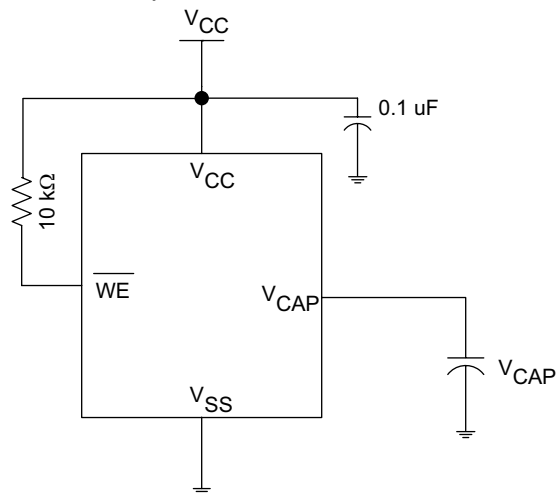


図 4 に、自動的な STORE 動作のストレージ コンデンサ (V_{CAP}) の適切な接続方法を示します。 V_{CAP} の容量については、22 ページの **DC 電気的特性** を参照してください。 V_{CAP} ピンの電圧は、チップ上のレギュレータによって V_{CAP} に駆動されます。電源投入時に \overline{WE} を非アクティブ状態に保つために、 \overline{WE} 上にプルアップ抵抗を配置する必要があります。このプルアップ抵抗は、電源投入時に \overline{WE} 信号がトライステート状態にある場合のみ有効です。nvSRAM がパワーアップ RECALL を終了する時、ホスト マイクロコントローラはアクティブであるか、または \overline{WE} をホスト マイクロコントローラのリセットが終了するまで非アクティブ状態に維持する必要があります。

不要な不揮発性の STORE を低減するために、最後の STORE か RECALL サイクルの実行後に少なくとも 1 回の（書き込みラッチをセットする）書き込み動作が行われない限り、AutoStore およびハードウェア STORE 動作は無視されます。ソフトウェアにより起動された STORE サイクルは、書き込み動作が行われたかどうかに関係なく実行されます。

ハードウェア STORE (HSB) 動作

CY14B116K / CY14B116M には、STORE 動作を制御し応答するための HSB ピンがあります。HSB ピンは、ハードウェア STORE サイクルの要求に使用されます。HSB ピンが LOW に駆動されると、デバイスは t_{DELAY} の後、条件に従って STORE 動作を開始します。STORE サイクルは、最後の STORE または RECALL サイクル以降に SRAM への書き込みが実行された場合にのみ開始します。HSB ピンは、STORE（任意の手段で開始）実行中にビジー状態を示すために内部で LOW に駆動されるオープンドレインドライバ（内部の 100kΩ の弱プルアップ抵抗）としても機能します。

注：各ハードウェアとソフトウェア STORE 動作後、HSB は、標準出力高電流で短時間 (t_{HHHD}) HIGH に駆動されてから、100kΩ の内部プルアップ抵抗により HIGH のままとなります。

HSB が（何らかの手段で）LOW に駆動されている間に実行中の SRAM 書き込み動作には、STORE 動作が開始される前に完了するために t_{DELAY} の時間が与えられます。しかし、HSB が LOW になった後に要求される SRAM 書き込みサイクルは、HSB が HIGH に戻るまで禁止されます。書き込みラッチがセットされていない場合、HSB はデバイスによって LOW に駆動されることはありません。しかし、SRAM のすべての読み出しと書き込みサイクルは、ホスト マイクロコントローラまたは他の外部ソースによって HSB が HIGH 状態に戻されるまで禁止されます。

STORE 動作中には、それがどのように起動されたかに関わらず、デバイスは HSB ピンを LOW に駆動し続け、STORE が完了した時のみ解除します。STORE 動作が完了すると、nvSRAM メモリアクセスは HSB ピンが HIGH に戻った後の t_{LZHSB} の間禁止されます。HSB ピンは使用しない場合、開放にしてください。

ハードウェア RECALL (電源投入)

電源投入時または低電圧状態 ($V_{\text{CC}} < V_{\text{SWITCH}}$) の後は、内部の RECALL 要求がラッチされます。電源投入時に V_{CC} が再度 V_{SWITCH} を超えた場合、RECALL サイクルが自動的に開始し、完了するのに t_{HRECALL} を要します。この間、HSB ピンは HSB ドライバによって LOW に駆動され、nvSRAM へのすべての読み書きは禁止されます。

ソフトウェア STORE

データは、ソフトウェア アドレス シーケンスによって SRAM から不揮発性メモリに転送されます。ソフトウェア STORE サイクルは、CE または OE で制御された 6 箇所の特定のアドレスからの正確な順序での読み出しサイクルを順次実行することにより開始されます。STORE サイクルの間、まず前の不揮発性データが消去され、次に不揮発性素子への格納が実行されます。STORE サイクルが開始された後、そのサイクルが完了するまで、さらなる読み書きは無効にされます。

特定のアドレスからの一連の読み出しが STORE の開始用に使われるため、他の読み書きアクセスがそのシーケンス中に干渉しないことが重要です。そうでない場合、シーケンスは中止され、STORE や RECALL は実行されません。

ソフトウェア STORE サイクルを開始するために、次の読み出しシーケンスを実行する必要があります。

1. 0x4E38 アドレス読み出し、有効読み出し
2. 0xB1C7 アドレス読み出し、有効読み出し
3. 0x83E0 アドレス読み出し、有効読み出し
4. 0x7C1F アドレス読み出し、有効読み出し
5. 0x703F アドレス読み出し、有効読み出し
6. 0x8FC0 アドレス読み出し、STORE サイクル開始

ソフトウェア シーケンスは、6 種すべての読み出しシーケンスの間 WE を HIGH に維持しながら、CE により制御された読み出しまたは OE により制御された読み出し処理とともにクロック同期で実行されます。シーケンスの 6 番目のアドレスが入力された後、STORE サイクルが開始され、チップは無効になります。HSB は LOW に駆動されます。 t_{STORE} サイクル時間が経過した後、SRAM は再び読み書きの動作が可能となります。

ソフトウェア RECALL

データは、ソフトウェア アドレス シーケンスによって不揮発性メモリから SRAM に転送されます。ソフトウェア RECALL サイクルは、ソフトウェア STORE の開始と同様の方法で、一連の読み出し動作によって開始されます。ソフトウェア RECALL サイクルを開始するには、CE または OE で制御された読み出し動作を下記の順番で実行します。

1. 0x4E38 アドレス読み出し、有効読み出し
2. 0xB1C7 アドレス読み出し、有効読み出し
3. 0x83E0 アドレス読み出し、有効読み出し
4. 0x7C1F アドレス読み出し、有効読み出し
5. 0x703F アドレス読み出し、有効読み出し
6. 0x4C63 アドレス読み出し、RECALL サイクル開始

内部的に、RECALL は 2 段階の手順を踏みます。まず、SRAM データがクリアされます。次に、不揮発性情報が SRAM セルに転送されます。 t_{RECALL} サイクル時間が完了した後、SRAM は再び読み書きの動作が可能となります。RECALL 動作は、不揮発性素子内のデータを変更しません。

スリープ モード

スリープ モードでは、デバイスは最小の電源電流 (I_{ZZ}) を消費します。 \overline{ZZ} ピンを LOW にアサートすると、デバイスは低消費電力スリープ モードに入ります。スリープ モードが登録された後、nvSRAM は、STORE 動作を行って不揮発性メモリにデータを確保してから、低消費電力モードに入ります。デバイスは、スリープ モードの開始から t_{SLEEP} 時間後に I_{ZZ} 電流を消費し始めます。 \overline{ZZ} ピンが LOW の場合、 \overline{ZZ} ピン以外の全ての入力ピンが無視されます。スリープ モードの間に、nvSRAM は通常の動作にはアクセスできなくなります。

デバイスがスリープ モードに入る時、RTC 回路の電源はバックアップ電源 (V_{RTCcap} または V_{RTCbat}) に切り替わり、水晶発振回路は電源切断状態と同様の低消費電力モードに移行しま

す。デバイスがスリープ モードから復帰すると、RTC 回路の電源は V_{CC} 電源に戻り、主電源 (V_{CC}) によって駆動されます。

\overline{ZZ} ピンが HIGH にアサート解除されると、ユーザーがデバイスにアクセスできるまで遅延時間 t_{WAKE} が存在します。スリープ モードを使用しない場合、 \overline{ZZ} ピンを V_{CC} に接続します。

注：nvSRAM がスリープ モードに入ると、それは不揮発性 STORE サイクルを開始し、その結果として、最後の不揮発性 STORE / RECALL 以降にデータが nvSRAM に書き込まれる限り、スリープ モードへの移行のたびに 1 回の書き換え寿命を失います。

注： \overline{ZZ} ピンが電源投入時に LOW である場合、デバイスはスリープ モードに入りません。ただし、各 I/O は、 \overline{ZZ} ピンが HIGH にアサート解除されるまでトライステートのままです。

図 5. スリープ モード (\overline{ZZ}) フロー図

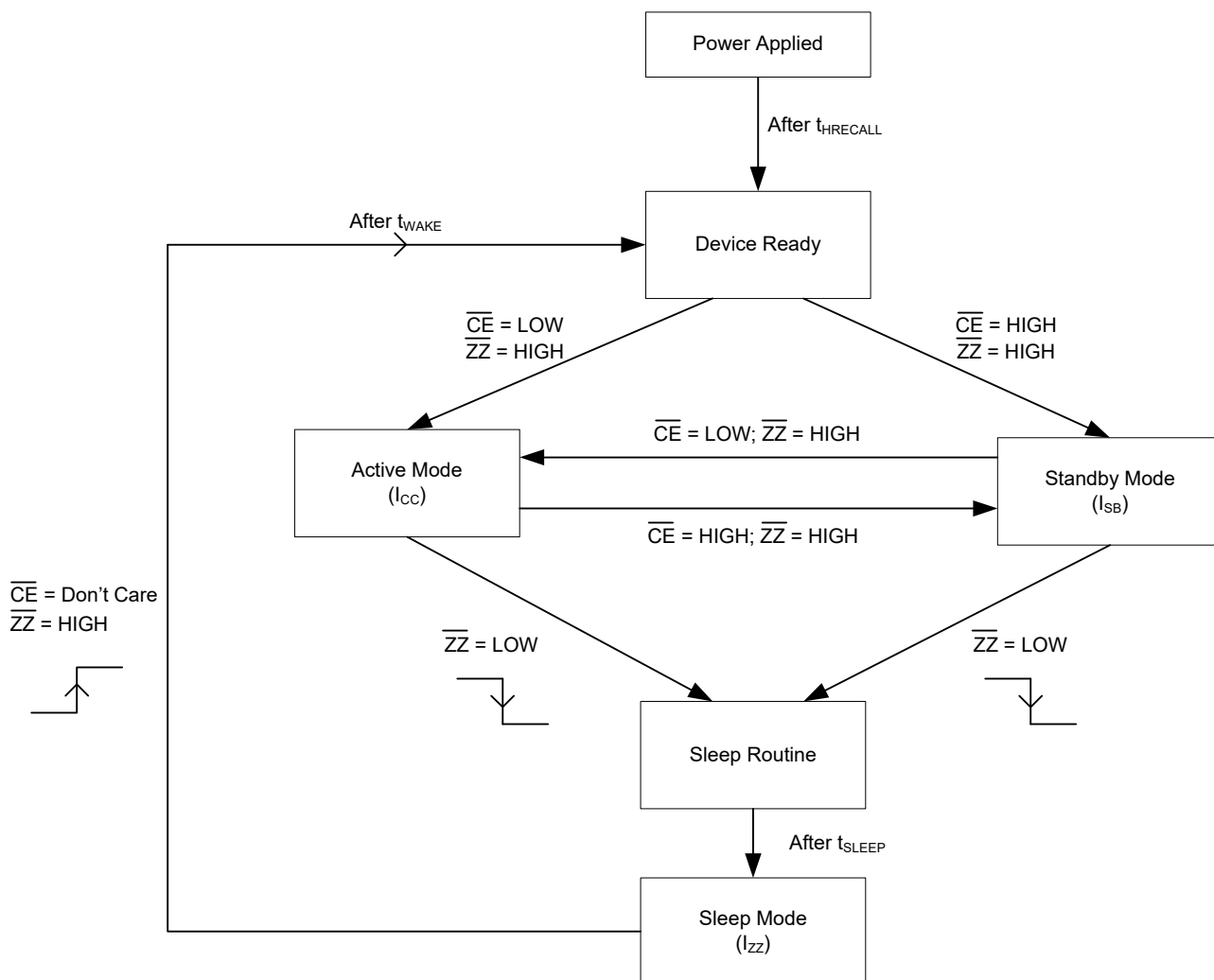


表 2. モード選択

$\overline{CE}^{[8]}$	\overline{WE}	\overline{OE}	$\overline{BHE}, \overline{BLE}^{[9]}$	$A_{15} - A_0^{[10]}$	モード	I/O	電源
H	X	X	X	X	未選択	出力High Z	スタンバイ
L	H	L	L	X	SRAM読み出し	出力データ	アクティブ
L	L	X	L	X	SRAM書き込み	入力データ	アクティブ
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x8B45	SRAM読み出し SRAM読み出し SRAM読み出し SRAM読み出し SRAM読み出し AutoStoreディセーブル	出力データ 出力データ 出力データ 出力データ 出力データ 出力データ	アクティブ ^[11]
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x4B46	SRAM読み出し SRAM読み出し SRAM読み出し SRAM読み出し SRAM読み出し AutoStoreイネーブル	出力データ 出力データ 出力データ 出力データ 出力データ 出力データ	アクティブ ^[11]
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x8FC0	SRAM読み出し SRAM読み出し SRAM読み出し SRAM読み出し SRAM読み出し 不揮発性STORE	出力データ 出力データ 出力データ 出力データ 出力データ 出力High Z	アクティブ $I_{CC2}^{[11]}$
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x4C63	SRAM読み出し SRAM読み出し SRAM読み出し SRAM読み出し SRAM読み出し 不揮発性RECALL	出力データ 出力データ 出力データ 出力データ 出力データ 出力High Z	アクティブ ^[11]

注:

8. TSOP IIパッケージはシングル \overline{CE} オプションで、BGAパッケージはデュアル \overline{CE} オプションで提供されています。このデータシートでは、デュアル \overline{CE} デバイスに対して、 \overline{CE} は CE_1 と CE_2 の内部の論理的結合を示し、 \overline{CE}_1 がLOWで、 CE_2 がHIGHの場合、 \overline{CE} はLOWです。それ以外の場合は、 \overline{CE} はHIGHです。どのチップイネーブルピン(シングルチップイネーブルデバイスでは \overline{CE} 、デュアルチップイネーブルデバイスでは CE_1 と CE_2)においても、中間電圧レベルは許可されていません。
9. BHE と BLE は x16 構成でのみ使用できます。
10. CY14B116K に 21 本のアドレスラインがあります (CY14B116M には 20 本のアドレスライン)。その内、13 本のアドレスライン ($A_{14} \sim A_2$) のみがソフトウェアモードの制御に使われます。残りのアドレスラインは「ドントケア」です。
11. 6連続のアドレス位置はリスト順でなければなりません。WEは、不揮発性処理を可能にするため、全6サイクルの間はHIGHでなければなりません。

AutoStore 防止

AutoStore 機能は AutoStore ディセーブル シーケンスを実行することで無効にされます。ソフトウェア STORE の開始と同様の方法で一連の読み出し動作が実行されます。AutoStore ディセーブル シーケンスを開始するには、CE または OE で制御された読み出し動作を下記の順番で実行する必要があります。

1. 0x4E38 アドレス読み出し、有効読み出し
2. 0xB1C7 アドレス読み出し、有効読み出し
3. 0x83E0 アドレス読み出し、有効読み出し
4. 0x7C1F アドレス読み出し、有効読み出し
5. 0x703F アドレス読み出し、有効読み出し
6. 0x8B45 アドレス読み出し、AutoStore 無効化

AutoStore は、AutoStore イネーブル シーケンスを実行することによって再度有効にされます。ソフトウェア RECALL の開始と同様の方法で一連の読み出しシーケンスが実行されます。AutoStore イネーブル シーケンスを開始するには、CE または OE で制御された読み出し動作が下記の順番で実行されなければなりません。

1. 0x4E38 アドレス読み出し、有効読み出し
2. 0xB1C7 アドレス読み出し、有効読み出し
3. 0x83E0 アドレス読み出し、有効読み出し
4. 0x7C1F アドレス読み出し、有効読み出し
5. 0x703F アドレス読み出し、有効読み出し
6. 0x4B46 アドレス読み出し、AutoStore 有効化

AutoStore 機能が無効にされるか、または再度有効にされる場合、それ以降の電源切断サイクルにわたって AutoStore の状態を保持するために、手動のソフトウェア STORE 動作が実行される必要があります。工場出荷時 AutoStore は有効になっており、すべてのセルに 0x00 と書き込まれています。

データ保護

CY14B116K / CY14B116M は、外部から起動された STORE および書き込み動作をすべて禁止することにより、低電圧状態の間でのデータ破損を防止します。低電圧状態は、 V_{CC} が V_{SWITCH} を下回ると検出されます。CY14B116K/CY14B116M が電源投入時に書き込みモードにある (CE と WE 両方とも LOW) 場合、RECALL または STORE の実行後、書き込みは SRAM が t_{LZHSB} (HSB から出力アクティブまでの時間) 後に有効になるまで禁止されます。これにより、電源投入時や電圧低下状態の間に不注意による書き込みが防止されます。

リアル タイム クロックの動作

nvTime の動作

CY14B116K / CY14B116M には、クロック、アラーム、ウォッチドッグ、割込みおよび制御機能を備えている内部レジスタがあります。RTC レジスタは SRAM の終わりの 16 アドレス位置を占めます。クロックとタイマ情報レジスタの内部ダブルバッファリングは、読み出しまたは書き込み動作時の過渡的な内部クロック データへのアクセスを防ぎます。ダブル バッファリ

ングはまた、クロック データにアクセスする際の通常のタイミング カウントの中断を、または内部クロックのクロック精度の劣化を回避します。クロックおよびアラーム レジスタは BCD 形式でデータを格納します。

RTC 機能は、次の節で、CY14B116K に関連して説明されています。同じ説明が、RTC レジスタのアドレスを除いて CY14B116M にも適用されます。RTC レジスタ アドレスの範囲は、CY14B116K では 0x1FFFF0 ~ 0x1FFFFF、CY14B116M では 0xFFFF0 ~ 0xFFFFF です。レジスタ マップの詳細については、17 ページの表 6 と 18 ページの表 7 を参照してください。

クロックの動作

クロック レジスタは、1 秒単位で 9,999 年までの時間を維持します。時刻は任意のカレンダー時間に設定することができ、クロックは曜日と月の日、うるう年、世紀の変遷を自動的に刻みます。クロック機能には 8 つの専用レジスタがあります。これらは書き込みサイクルで時間を設定し、読み出しサイクルで時間を読み出すのに使われます。これらレジスタは時刻を BCD 形式で格納します。「0」として定義されたビットは、現在使用されておらず、Cypress が将来使用するために予約されています。

クロックの読み出し

ダブルバッファ付き RTC レジスタの構造は、クロックから不正なデータを読み出す可能性を減らします。遷移中のデータの読み出しを防止するために、クロック データを読み出す前に読み出しビット「R」(0x1FFFF0 に位置するフラグ レジスタ内) が「1」にセットされると、CY14B116K の時間保持レジスタへの内部更新は停止されます。レジスタの更新停止は、クロックの精度に影響を与えません。

RTC デバイスの読み出しシーケンスが開始されると、ユーザーの時間保持レジスタの更新が停止し、読み出しビット「R」(0x1FFFF0 に位置するフラグ レジスタ内) に「0」が書き込まれるまで再起動しません。読み出しシーケンスの終了後、すべての RTC レジスタは同時に 20 ミリ秒以内に更新されます。

クロックの設定

(0x1FFFF0 にあるフラグ レジスタ中の) 書き込みビット「W」が「1」にセットされると、RTC デバイスへの書き込みアクセスは、時間保持レジスタの更新を停止し、時間の設定を可能にします。正しい曜日、日付、および時間がレジスタに書き込まれます。正しい形式は 24 時間 BCD 形式です。書き込まれた時間は、「基準時刻」と呼ばれます。この値は不揮発性レジスタに格納され、現時点の時間の計算に使用されます。「0」を書き込んで書き込みビット「W」をクリアすると、時間保持レジスタの値は実際のクロック カウンタに転送されます。その後、クロックは通常の動作を再開します。

時間保持レジスタに書き込まれた時間が正しい BCD 形式でない場合は、RTC レジスタ内の各無効なニブルは 0xF までカウントし続けてから 0x0 にロールオーバーします。その後、RTC は通常の動作を再開します。

注: 「W」ビットが「0」にセットされた後、時間保持、アラーム、校正、および割込みレジスタに書き込まれた値は、 t_{RTCp} 時間以内に RTC 時間保持カウンタに転送されます。これらの力

ウンタの値は、ソフトウェア／ハードウェア STORE または AutoStore 動作を起動させることにより、不揮発性メモリに保存する必要があります。AutoStore ディセーブル モードでは、変更が正しく記録されるように、RTC レジスタへの書き込みを行ってから t_{RTCp} 時間後に、STORE 動作を実行してください。

バックアップ電源

CY14B116K の RTC は、長期間電源を確保するように用意されています。 V_{RTCcap} または V_{RTCbat} ピンは、アプリケーション用にコンデンサかバッテリーのどちらが選択されるかに応じて接続されます。主電源 (V_{CC}) が異常になり、 V_{SWITCH} を下回ると、デバイスは電源をバックアップ電源に切り替えます。

クロック発振器の消費電流は非常に小さいため、バックアップ電源によるバックアップ時間を最大化します。主電源を喪失した状態のクロック動作にかかわらず、nvSRAM に格納されたデータは電源が失われた時に不揮発性素子に格納されているため、失われることはありません。

バックアップ動作中に、CY14B116K は、室温で 0.45mA (Typ) を消費します。アプリケーションに応じてコンデンサやバッテリーの値を選択してください。

最大電流仕様に基づいたバックアップ時間の値を、以下の表に示します。公称バックアップ時間は約 2 倍長くなります。

表 3. RTC バックアップ時間

コンデンサ値	バックアップ時間 (CY14B116K)
0.1F	2.5 日
0.47F	12 日
1.0F	25 日

コンデンサを使用すると、システムに電源を投入するたびにバックアップ電源が充電されるという明白な利点があります。バッテリーを使用する場合は、3V リチウム バッテリーを推奨します。CY14B116K は、主電源を喪失した場合に、バッテリーからのみ電流を供給します。ただし、バッテリーは、CY14B116K によって常に充電されるわけではありません。バッテリー容量は、システムのライフサイクルを通して、必要なダウンスタイルの合計予想時間を考慮して選択する必要があります。

発振器の起動と停止

0x1FFFF8 に位置する校正レジスタ内の OSCEN ビットは、発振器の起動と停止を制御します。このビットは不揮発性であり、工場出荷時の状態は有効 (「0」にセットされている) です。システムが保管状態にある場合にバッテリーを長持ちさせるには、OSCEN を「1」にセットする必要があります。これにより発振器が停止し、バッテリー寿命が延びます。OSCEN ビットが無効から有効に切り替わる場合は、発振器が起動するのに約 1 秒 (最大 2 秒) かかります。

システム電源がオフの間に、バックアップ電源の電圧 (V_{RTCcap} または V_{RTCbat}) が、それぞれの最小レベルを下回る場合、発振器が動作しなくなることがあります。システムの電源が回復した時、CY14B116K は、発振器障害を検出することができます。これは、アドレス 0x1FFFF0 に位置するフラグレジスタの発振器異常フラグ (OSCF) に記録されます。デバイスに電流が供給

されている (V_{CC} が V_{SWITCH} を上回る) 場合、OSCEN ビットは有効状態であるか確認されます。OSCEN ビットが有効になっており、発振器が最初の 5 ミリ秒以内に起動しない場合は、OSCF ビットが「1」にセットされます。システムはこの条件を確認して、フラグをクリアするために「0」を書き込む必要があります。

OSCF フラグ ビットをセットすることに加え、時間レジスタは時間保持レジスタに書き込まれる最後の値である「基準時刻」にリセットされることに注意してください。制御または校正レジスタと OSCEN ビットは、「発振器異常」の状態による影響を受けません。

OSCF の値は、時間レジスタが初めて書き込まれた際に、「0」にリセットする必要があります。これは、システムが最初に電源を投入された時にセットされたことがある、このビットの状態を初期化します。

OSCF をリセットするには、書き込みビット「W」(0x1FFFF0 に位置するフラグレジスタ内) を「1」にセットし、フラグレジスタへの書き込みを有効にします。OSCF に「0」を書き込み、書き込みを無効にするために、書き込みビットを「0」にリセットします。

クロックの校正

RTC は 32.768kHz の公称周波数を持つ水晶発振器によって駆動されます。クロック精度は、水晶と校正の品質に依存します。市販されている水晶は誤差が通常、 $\pm 20\text{ppm}$ ~ $\pm 35\text{ppm}$ です。しかし、CY14B116K は任意の温度で精度を $+1$ / -2ppm に向上できる校正回路を使用しています。これは、月当たりの誤差が $+2.5$ ~ -5 秒であることを意味します。

校正回路は、この精度を達成するため、発振器分周回路からカウントを加算または減算します。抑止 (減算、マイナス校正) または分割 (加算、プラス校正) されるパルス数は、アドレス 0x1FFFF8 に位置する校正レジスタ内の 5 つの校正ビットにロードされた値に依存します。校正ビットは、校正レジスタの 5 つの下位ビットを占めます。これらのビットは、2 進数形式で 0 ~ 31 の任意の値を表すために設定されます。ビット D5 は符号ビットで、「1」がプラス校正、「0」がマイナス校正を示します。カウントを加算するとクロックが速くなり、減算するとクロックが遅くなります。2 進数の「1」がレジスタにロードされると、符号に応じて、発振器の誤差に 4.068 または -2.034ppm のオフセット調整を行います。

校正は、64 分サイクル内で発生します。サイクルの最初の 62 分は、毎分、128 の発振器サイクルにより 1 秒短縮される、あるいは 256 の発振器サイクルにより 1 秒延長される可能性があります。2 進数の「1」がレジスタにロードされると、64 分サイクルの最初の 2 分のみが変更されます。2 進数の 6 がロードされると、最初の 12 分が影響を受け、同じパターンが続きます。したがって、各校正の手順は、実際の 125,829,120 の発振器サイクルごとに、512 サイクルを加算または 256 サイクルを減算する効果があります。これは、校正レジスタの校正ステップごとに、4.068 または -2.034ppm の調整を行うことを意味します。

必要な校正を決定するには、(0x1FFFF0 に位置する) フラグレジスタの CAL ビットを「1」にセットする必要があります。これは、INT ピンを 512Hz の公称周波数でトグルさせます。512Hz から測定される偏差は、必要な補正の程度と方向を示します。たとえば、512.01024Hz の測定結果は、 $+20\text{ppm}$ の誤差を示し

ます。したがって、-10 の 10 進値 (001010b) を校正レジスタにロードし、この誤差を補正する必要があります。

注: 校正レジスタを設定や変更しても、テスト出力周波数には影響しません。

CAL をセットまたはクリアするには、書き込みビット「W」(0x1FFFF0 に位置するフラグレジスタ内) を「1」にセットしてフラグレジスタへの書き込みを有効にします。CAL に値を書き込み、次に書き込みビットを「0」にリセットして書き込みを無効にします。

アラーム

アラーム機能は、ユーザーがプログラムしたアラームの時刻と日の値 (0x1FFFF2 ~ 0x1FFFF5 に位置するレジスタに格納されている) を、該当する時刻と日の値と比較します。マッチすると、アラーム割込みイネーブル (AIE) ビットがセットされる場合、アラーム内部フラグ (AF) がセットされ、割込みが INT ピンで生成されます。

日、時間、分、秒という 4 つのアラームのマッチフィールドがあります。これらの各フィールドは、フィールドをアラームマッチ ロジックで使用するかどうかを決定するためのマッチビットを持っています。マッチビットが「0」にセットされる場合は、対応するフィールドがマッチプロセスで使用されることを示します。マッチビットに応じて、アラームは、月に一度など指定の頻度で発生します。最小頻度は、毎分 1 回です。マッチビットを選択しない (すべて 1) 場合は、マッチが必要とされないため、アラームが無効にされることを示します。すべてのマッチビット (すべて 0) を選択すると、正確な時刻と日のマッチが発生します。

アラーム イベントを検出するには、AF フラグを読み出すか、または INT ピンをモニターするという 2 つの方法があります。アドレス 0x1FFFF0 に位置するフラグレジスタの AF フラグは、日や時刻のマッチが発生したことを示します。マッチが発生すると、AF ビットが「1」にセットされます。フラグレジスタを読み出すと、アラームフラグビット (およびすべてのレジスタビット) がクリアされます。ハードウェア割込みピンも、アラームイベントを検出するために使用されることがあります。

アラームをセット、クリア、または有効にするには、「W」ビット (0x1FFFF0 に位置するフラグレジスタ内) を「1」にセットしてアラームレジスタへの書き込みを有効にします。アラームの値を書き込んだ後、「W」ビットを 0 に戻して変更を有効にします。

注: CY14B116K アラームフラグと割込みの適切な動作のためには、秒のアラームマッチビット (0x1FFFF2 に位置するアラーム秒レジスタ内の D7 ビット) を「0」にセットする必要があります。

ウォッチドッグ タイマ

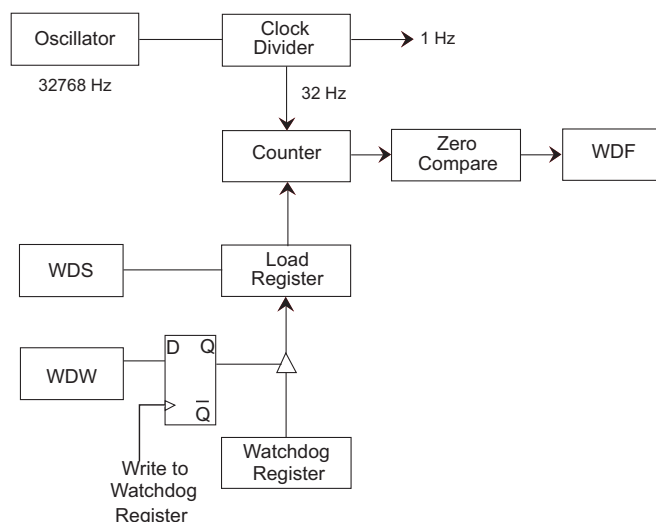
ウォッチドッグ タイマは、水晶発振器から派生した 32Hz のクロック (周期 31.25ms) を使用する、フリーランニングのダウンカウンタです。ウォッチドッグが機能するために、発信器が作動し続ける必要があります。ウォッチドッグ タイマレジスタ 0x1FFFF7 にロードされた値からカウントダウンを開始します。

注: ウォッチドッグ タイマが 32Hz のフリーランニングクロック (周期 31.25ms) を使用するため、カウントダウンの開始には 0ms ~ 31.25ms の遅延時間があります。

タイマは、ロード可能なレジスタとフリーランニングカウンタから構成されています。図 6 に示しているように電源投入時に、レジスタ 0x1FFFF7 内のウォッチドッグ タイムアウト値が、カウンタロードレジスタにロードされます。カウントは電源投入時に開始され、ウォッチドッグ ストロブ (WDS) ビットが「1」にセットされるたびに、ロード可能な値から再起動します。カウンタは、「0」の終端値と比較されます。カウンタがこの値に達すると、内部フラグと任意の割込み出力が発生します。カウンタが「0」に到達する前に WDS ビットを「1」にセットすることにより、タイムアウト割込みを防ぐことができます。これにより、カウンタがウォッチドッグ タイムアウト値でリロードされ、再起動されます。カウンタが終端値に到達する前に WDS ビットをセットすると、割込みが発生せず、ウォッチドッグ タイマフラグがセットされません。

ウォッチドッグ書き込み (WDW) ビットを「0」にセットすることで、新しいタイムアウト値が書き込まれます。WDW が「0」の場合、ウォッチドッグ タイムアウト値ビット D5 ~ D0 への新規書き込みが有効にされ、タイムアウト値を変更します。WDW が「1」の場合、D5 ~ D0 ビットへの書き込みは無視されます。WDW 機能により、ウォッチドッグ タイマの値が変更されることを考慮することを必要とせずに、WDS ビットを設定できるようになります。ウォッチドッグ タイマの論理図を図 6 に示します。ウォッチドッグ タイムアウト値を 0 にセットすると、ウォッチドッグ機能を無効にすることにご注意ください。ウォッチドッグ タイマの出力は、ウォッチドッグのタイムアウトが許可されている場合にセットされる WDF というフラグビットです。割込みレジスタ内のウォッチドッグ割込みイネーブル (WIE) ビットがセットされている場合は、INT ピン上のハードウェア割込みも、ウォッチドッグのタイムアウト時に生成されます。フラグおよびハードウェア割込みは、フラグレジスタを読み出した時に両方ともクリアされます。

図 6. ウォッチドッグ タイマのブロック図



プログラム可能な方形波ジェネレータ

方形波ジェネレータブロックは、デバイスの INT ピンに所望の周波数を生成するために水晶出力を使用します。出力周波数は、以下のいずれかにプログラムすることができます。

1. 1Hz
2. 512Hz
3. 4096Hz
4. 32768Hz

デバイスがバックアップ電源で動作している間、方形波出力は生成されません。

電源モニタ

CY14B116K は、電源異常割込み機能を備えた電力管理スキームを提供します。また、クロック用のバックアップ電源への内部切り替えを制御し、低 V_{CC} アクセスからメモリを保護します。電源モニタは、 V_{CC} 電圧を V_{SWITCH} 閾値と比較する内部バンドギャップ リファレンス回路に基づいています。

電力喪失時に V_{CC} が低下して V_{SWITCH} に達すると、データ STORE 動作が SRAM から不揮発性素子に向けて開始され、最新の SRAM データ状態を確保します。また、電源が V_{CC} からバックアップ電源（バッテリーまたはコンデンサ）に切り替えられ、RTC 発振器を起動します。

バックアップ電源から動作している場合、nvSRAM への読み書き動作が禁止され、RTC 機能が利用できなくなります。RTC クロックは、バックグラウンドで動作を継続します。更新された RTC 時間保持レジスタは、 V_{CC} がデバイスに回復された後で利用できるようになります（30 ページの「AutoStore / パワーアップ RECALL 特性」を参照してください）。

バックアップ電源モニタ

CY14B116K は、バックアップ電源（バッテリー バックアップまたはコンデンサ バックアップ）障害を検出するバックアップ電源監視システムを提供します。バックアップ電源に障害が発生した場合、次の電源投入の際にバックアップ電源障害フラグ (BPF) が発行されます。バックアップ電圧が $V_{BAKFAIL}$ を下回ると、BPF フラグがセットされます。RTC がバックアップモードで実行中であっても、バックアップ電源は監視されます。バックアップモード中に検出された低電圧には、BPF フラグを通してフラグが立てられます。BPF は、バックアップ電圧 (V_{DR}) が定義された LOW までに限り、データを保持することができます。

割込み

CY14B116K は、フラグ レジスタ、割込みレジスタ、およびマイクロコントローラへの割込み信号を送ることができる割込みロジックを持っています。割込みには、ウォッチドッグ タイマ、電源モニタ、アラーム タイマという 3 種類の可能なソースがあります。それぞれは、割込みレジスタ (0x1FFFF6) において適切な設定を実施することによって、独立して INT ピンを駆動することができます。さらに、それぞれはホスト プロセッサが割込みの原因を判別するために使用する、フラグ レジスタ (0x1FFFF0) 内のフラグ ビットを持っています。INT ピンのドライバは、割込みが発生した時にその動作を指定する 2 つのビットを持っています。

割込みが生成されるのは、3 種類のソースのいずれかによってフラグが立てられ、かつ割込みレジスタ内の該当する割込みイネーブルビットが有効になっている (1 にセットされている) 場合だけです。割込みソースがアクティブになった後、2 つのプログラム可能なビット (H/L と P/L) は、INT ピン上での出力ピンドライバの動作を決定します。これらの 2 ビットは割込みレジスタ内に位置し、INT ピンからレベルまたはパルスモードの出力を駆動するために使用できます。パルスモードでは、パルス幅が内部で約 200 ミリ秒に固定されています。このモードは、ホスト マイクロコントローラをリセットするためのものです。レベルモードでは、フラグ レジスタを読み出すまで、ピンはアクティブ極性になります。このモードは、ホスト マイクロコントローラへの割込みとして使用されます。制御ビットについては、次の節で説明します。

割込みは、システムが通常の電源モードで動作する時にのみ生成され、バックアップ電源モードで実行されている時にはトリガされません。

注: CY14B116K は、パワーアップ RECALL シーケンスが完了した後にのみ有効な割込みを生成します。INT ピンの全イベントは、電源投入後、 $t_{HRECALL}$ の間無視する必要があります。

割込みレジスタ

ウォッチドッグ割込みイネーブル (WIE): 「1」にセットすると、ウォッチドッグ タイマは、ウォッチドッグ タイムアウトが発生した際に、INT ピンと内部フラグを駆動します。WIE を「0」にセットすると、ウォッチドッグ タイマは、フラグ レジスタの WDF フラグにのみ影響を与えます。

アラーム割込みイネーブル (AIE): 「1」にセットすると、アラーム マッチにより、INT ピンと内部フラグが駆動されます。AIE を「0」にセットすると、アラームのマッチは、フラグ レジスタの AF フラグにのみ影響します。

電源異常割込みイネーブル (PFE): 「1」にセットすると、電源異常モニタは INT ピンと内部フラグを駆動します。PFE を「0」にセットすると、電源異常モニタは、フラグ レジスタの PF フラグにのみ影響を与えます。

方形波イネーブル (SQWE): 「1」にセットされると、プログラム可能な周波数の方形波が INT ピンに生成されます。周波数は割込みレジスタの SQ1 と SQ0 ビットによって決定されます。このビットは不揮発性であり、パワー サイクルに耐えます。SQWE ビットは他のすべての割込みよりも優先されます。しかし、CAL ビットは方形波ジェネレータよりも優先されます。工場出荷時にこのビットの初期値が「0」です。

HIGH/LOW (H/L): 「1」にセットすると、INT ピンがアクティブ HIGH になり、ドライバモードがプッシュプルになります。INT ピンは、 V_{CC} が V_{SWITCH} を上回る場合にのみ HIGH に駆動されます。「0」にセットすると、INT ピンがアクティブ LOW になり、ドライバモードがオープンドレインになります。アクティブ LOW モードで割込みを使用している間、INT ピンは 10kΩ 抵抗で V_{CC} にプルアップする必要があります。

パルス/レベル (P/L): 「1」にセットし割込みが発生すると、INT ピンは約 200 ミリ秒間アクティブ (H/L ビットで決定される) に駆動されます。P/L を「0」にセットすると、INT ピンは、フラグまたは制御レジスタを読み出されるまで、HIGH または LOW (H/L ビットで決定される) に駆動されます。

SQ1 および SQ0: SQWE ビットが「1」にセットされている時、これらのビットは INT ピンの出力で方形波の周波数を決定するために同時に使用されます。このビットは不揮発性であり、パワー サイクルに耐えます。出力周波数は下表に示すように決定されます。

表 4. 方形波出力選択

SQ1	SQ0	周波数	備考
0	0	1Hz	1Hz 信号
0	1	512 Hz	512Hz クロック出力
1	0	4096Hz	4kHz クロック出力
1	1	32768Hz	発振器出力周波数

複数の割込みソースを同時に使用して、割込みソースが INT ピンをアクティブにした場合、外部ホストは、割込みの原因を判定するためにフラグ レジスタを読み出す必要があります。フラグ レジスタが読み出される際には、すべてのフラグがクリアされることに注意してください。INT ピンがレベル モードにプログラムされる場合、フラグを読み出すとフラグがクリアされ、INT ピンは非アクティブ状態に戻ります。ピンがパルス モードにプログラムされる場合、フラグを読み出すとフラグとピンがクリアされます。フラグ レジスタが読み出される場合、パルスは、その特定の持続期間を終了しません。INT ピンがホストのリセットとして使用される場合、フラグ レジスタや制御レジスタはリセット中には読み出されません。

校正ビット CAL = 「1」、または SQWE = 「1」にセットすると、方形波出力は INT ピンにおいて可能になります。この状況では、CAL ビットの設定が SQWE ビットよりも優先され、INT ピン上の 512Hz のデジタル クロック出力を校正用に可能にし

ます。CAL ビットは、パワーサイクルで保持されず、次の電源投入サイクル中に「0」にリセットされます。SQWE、SQ0 と SQ1 の設定は、これらのビットの設定の不揮発性を保持したパワー サイクルに耐えるために、AutoStore またはソフトウェア STORE を必要とします。複数のソースが割込みピン (INT) を駆動するように設定されている場合、INT ピンを駆動する原因を明確にするために次の優先順位に従う必要があります。

以下は INT ピンの状態をまとめた表です。

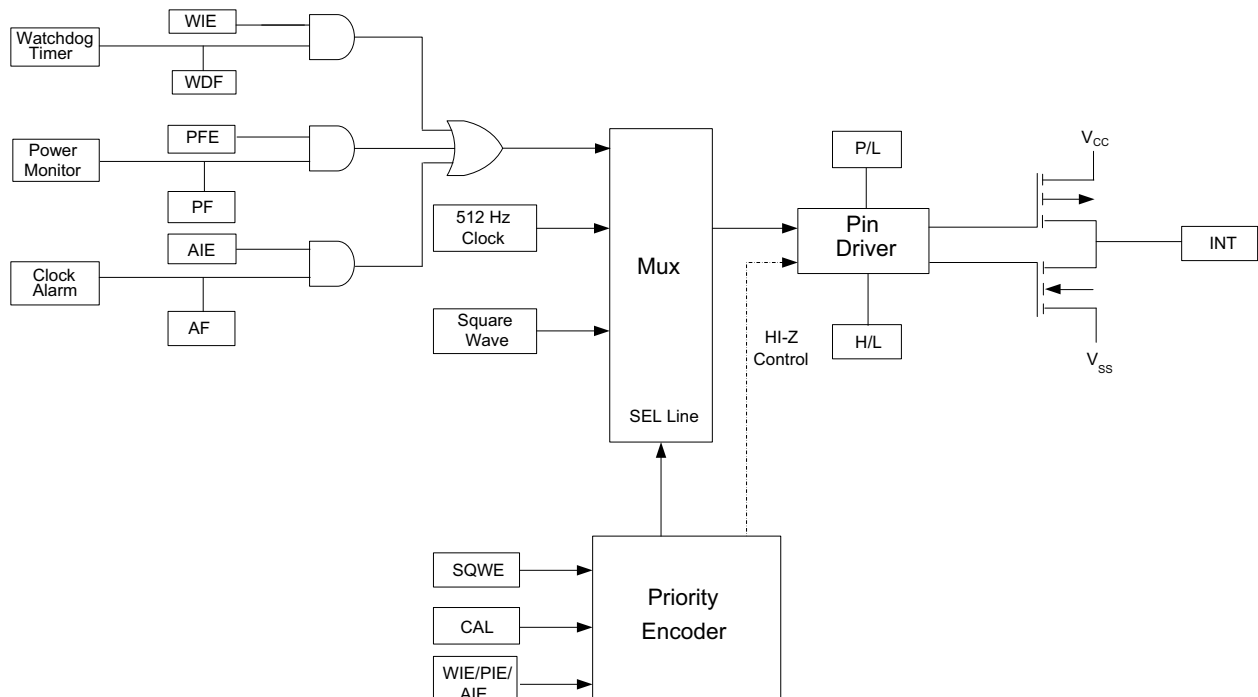
表 5. INT ピンの状態

CAL	SQWE	WIE / AIE / PFE	INT ピン出力
1	X	X	512Hz
0	1	X	方形波出力
0	0	1	アラーム
0	0	0	HI-Z

フラグ レジスタ

フラグ レジスタは、割込みを生成するために使用される WDF、AF、および PF という 3 つのフラグ ビットを持っています。これらは、ウォッチドッグ タイムアウト、アラームマッチ、または電源異常モニタによってそれぞれ設定されます。フラグがセットされると、プロセッサはこのレジスタをポーリングするか、または割込みを有効にすることができます。これらのフラグは、レジスタが読み出されると自動的にリセットされます。フラグ レジスタは、電源投入時に値 0x00 で自動的にロードされます (OSCF ビットを除きます。11 ページの発振器の起動と停止を参照してください)。

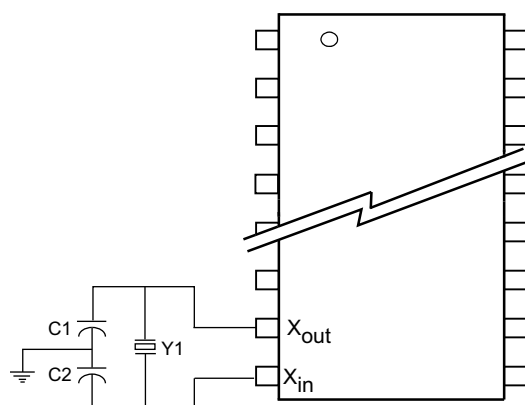
図 7. 割込みブロック図



RTC 外部コンポーネント

RTC は、図 8 に示すように、外部に 32.768kHz 水晶発振器と C_1 、 C_2 の負荷容量を接続する必要があります。この図には、推奨される RTC 外部コンポーネントの値を示します。負荷容量 C_1 と C_2 は、プリント回路基板 (PCB) の寄生容量を含んでいます。PCB の寄生容量は、水晶発振器のパッド／ピンのランドパターン、 X_{in} / X_{out} パッド、および水晶発振器とデバイス ピンを接続する銅配線に起因する容量を含んでいます。

図 8. RTC の推奨コンポーネント構成^[12]



推奨値

$Y_1 = 32.768\text{kHz}$ (12.5pF)

$C_1 = 12\text{pF}$

$C_2 = 69\text{pF}$

注: C_1 と C_2 の推奨値は基板配線の寄生容量を含む

注:

12. 不揮発性スタティック ランダム アクセス メモリ (nvSRAM) のリアル タイムクロック (RTC) 設計ガイドラインおよびベスト プラクティスについては、アプリケーションノート [AN61546](#) を参照してください。

RTC に関する PCB 設計上の注意事項

RTC の水晶発振器は、それら水晶発振器のピンに高インピーダンス ノードを有する低電流の回路です。RTC 回路の動作電流が小さいため、水晶発振器の接続は基板上でノイズに非常に敏感です。そのため、RTC 回路を基板上の他の信号から分離する必要があります。

PCB 上の浮遊容量を最小限に抑えることも重要です。浮遊容量は水晶発振器の負荷容量に加わるので、発振周波数エラーを引き起こします。最適な RTC 性能を得るためには、適切なバイパス処理と慎重なレイアウトが求められます。

レイアウトに関する要件

RTC 設計の最適な性能を達成するために、基板レイアウトは、RTC 回路を配線するに際し、次のガイドラインを順守しなければなりません (しかし、限定はされません)。

- 水晶発振器をできる限り X_{in} と X_{out} ピンの近くに配置します。水晶発振器と RTC 間の配線長を同じにしました可能な限り短くして、ノイズ カップリングの可能性を減らします。
- X_{in} と X_{out} の配線幅を 8mil 以下にします。配線幅を太くすると、配線容量が高くなります。これらの接着パッドと配線を大き

くすると、隣接する信号からノイズがカップリングする可能性が高くなります。

- 水晶発振回路をガードリングで囲んで X_{in} と X_{out} 信号を遮蔽します。このガードリングが、近接している信号からのノイズカップリングを防止します。
- RTC 配線の近くで何か他の高速信号を配線する時にも注意してください。水晶発振器が基板上で他の信号から分離されればされる程、ノイズが水晶発振に乗る可能性も低くなります。 X_{in} 、 X_{out} 配線と基板上の他の高速信号の距離を 200mil 以上離します。
- 同一 PCB 層で水晶コンポーネントの下を信号が走るべきではありません。
- PCB の別の信号層上を走っている配線からカップリングされる不要なノイズを防止するために、隣接した PCB 層および水晶発振回路の真下に、絶縁した中実銅のグランド面を造ってください。ローカル グランド面は、同じ PCB 層上の隣接した面から少なくとも 40mil 分離する必要があります。中実銅のグランド面は、RTC コンポーネントの近くにあり、その周辺長はガードリング周辺長に等しく保つ必要があります。絶縁したグランド面は、システム グランドに接続する必要があります。図 9 に RTC 回路の推奨レイアウトを示します。

図 9. RTC の推奨レイアウト

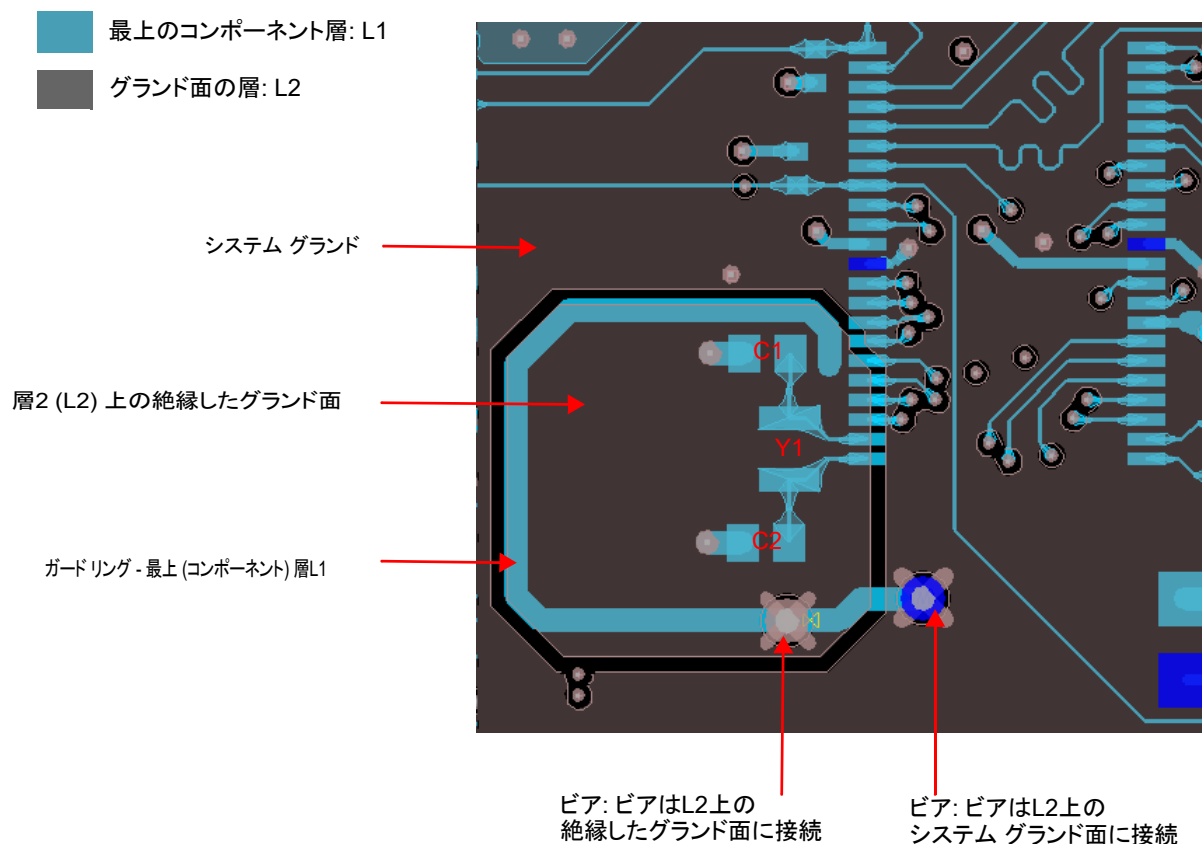


表 6. RTC レジスタ マップ^[13]

レジスタ		BCD 形式のデータ ^[14]								機能／範囲
CY14B116K	CY14B116M	D7	D6	D5	D4	D3	D2	D1	D0	
0x1FFFFF	0xFFFFF	年 (10 年の位)				年 (1 年の位)				年 : 00 ～ 99
0x1FFFFE	0xFFFFE	0	0	0	月 (10ヶ月の位)	月 (1ヶ月の位)				月 : 01 ～ 12
0x1FFFFD	0xFFFFD	0	0	日 (10 日の位)		日 (1 日の位)				月の日 : 01 ～ 31
0x1FFFFC	0xFFFFC	0	0	0	0	0	曜日			曜日 : 01 ～ 07
0x1FFFFB	0xFFFFB	0	0	時間 (10 時間の位)		時間 (1 時間の位)				時間 : 00 ～ 23
0x1FFFFA	0xFFFFA	0	分 (10 分の位)			分 (1 分の位)				分 : 00 ～ 59
0x1FFFF9	0xFFFF9	0	秒 (10 秒の位)			秒 (1 秒の位)				秒 : 00 ～ 59
0x1FFFF8	0xFFFF8	OSCEN (0)	0	校正の 符号 (0)	校正 (00000)					校正值 ^[15]
0x1FFFF7	0xFFFF7	WDS (0)	WDW (0)	WDT (000000)						ウォッチドッグ タイマ ^[15]
0x1FFFF6	0xFFFF6	WIE (0)	AIE (0)	PFE (0)	SQWE (0)	H/L (1)	P/L (0)	SQ1 (0)	SQ0 (0)	割込み ^[15]
0x1FFFF5	0xFFFF5	M (1)	0	アラーム日 (10 日の位)		アラーム日 (1 日の位)				アラーム月の日 : 01 ～ 31
0x1FFFF4	0xFFFF4	M (1)	0	アラーム時間 (10 時間の位)		アラーム時間 (1 時間の位)				アラーム時間 : 00 ～ 23
0x1FFFF3	0xFFFF3	M (1)	アラーム分 (10 分の位)			アラーム分 (1 分の位)				アラーム分 : 00 ～ 59
0x1FFFF2	0xFFFF2	M (1)	アラーム秒 (10 秒の位)			アラーム秒 (1 秒の位)				アラーム秒 : 00 ～ 59
0x1FFFF1	0xFFFF1	世紀 (10 世紀の位)				世紀 (1 世紀の位)				世紀 : 00 ～ 99
0x1FFFF0	0xFFFF0	WDF	AF	PF	OSCF ^[16]	BPF ^[16]	CAL (0)	W (0)	R (0)	フラグ ^[15]

注 :

 13. RTC レジスタの上位バイト D₁₅ ~ D₈ (CY14B116M) は将来の使用のために予約されています。

14. () は、工場出荷時の値を示します。

15. これは、BCD 値ではなく、2 進値です。

 16. OSCF と BPF フラグ ビットをリセットすると、フラグ レジスタは t_{RTCp} 時間後に更新されます。

表 7. レジスタ マップ詳細

レジスタ		説明							
CY14B116K	CY14B116M								
0x1FFFFF	0xFFFFF	時間保持 - 年							
		D7	D6	D5	D4	D3	D2	D1	D0
		年 (10 年の位)				年 (1 年の位)			
		年の下位 2 桁の BCD 表記を格納。下位ニブル (4 ビット) は年の 1 の位の値を格納し、上位ニブル (4 ビット) は年の 10 の位の値を格納。それぞれのニブルは 0 ～ 9 の値を持つ。レジスタの範囲は 0 ～ 99							
0x1FFFFE	0xFFFFE	時間保持 - 月							
		D7	D6	D5	D4	D3	D2	D1	D0
		0	0	0	月 (10ヶ月の位)	月 (1ヶ月の位)			
		月の桁の BCD 表記を格納。下位ニブル (4 ビット) は下位桁を格納し、0 ～ 9 の値を持つ。上位ニブル (1 ビット) は上位桁を格納し、0 ～ 1 の値を持つ。レジスタの範囲は 1 ～ 12							
0x1FFFFD	0xFFFFD	時間保持 - 月の日							
		D7	D6	D5	D4	D3	D2	D1	D0
		0	0	日 (10 日の位)		日 (1 日の位)			
		日の桁の BCD 表記を格納。下位ニブル (4 ビット) は下位桁を格納し、0 ～ 9 の値を持つ。上位ニブル (2 ビット) は上位桁を格納し、0 ～ 3 の値を持つ。レジスタの範囲は 1 ～ 31。うるう年は自動的に調整される							
0x1FFFFC	0xFFFFC	時間保持 - 曜日							
		D7	D6	D5	D4	D3	D2	D1	D0
		0	0	0	0	0	曜日		
		下位ニブル (3 ビット) は曜日に対応する値を格納。曜日は、1 から 7 までカウントしてから 1 に戻るリング カウンタ。曜日は日に関連付けられていないので、ユーザーは日の値に曜日を割り当てる必要がある							
0x1FFFFB	0xFFFFB	時間保持 - 時間							
		D7	D6	D5	D4	D3	D2	D1	D0
		0	0	時間 (10 時間の位)		時間 (1 時間の位)			
		24 時間形式での時の値の BCD 表記を格納。下位ニブル (4 ビット) は下位桁を格納し、0 ～ 9 の値を持つ。上位ニブル (2 ビット) は上位桁を格納し、0 ～ 2 の値を持つ。レジスタの範囲は 0 ～ 23							
0x1FFFFA	0xFFFFA	時間保持 - 分							
		D7	D6	D5	D4	D3	D2	D1	D0
		0	分 (10 分の位)			分 (1 分の位)			
		分の値の BCD 表記を格納。下位ニブル (4 ビット) は下位桁を格納し、0 ～ 9 の値を持つ。上位ニブル (3 ビット) は上位桁を格納し、0 ～ 5 の値を持つ。レジスタの範囲は 0 ～ 59							
0x1FFFF9	0xFFFF9	時間保持 - 秒							
		D7	D6	D5	D4	D3	D2	D1	D0
		0	秒 (10 秒の位)			秒 (1 秒の位)			
		秒の値の BCD 表記を格納。下位ニブル (4 ビット) は下位桁を格納し、0 ～ 9 の値を持つ。上位ニブル (3 ビット) は上位桁を格納し、0 ～ 5 の値を持つ。レジスタの範囲は 0 ～ 59							

表 7. レジスタ マップ詳細 (続き)

レジスタ		説明							
CY14B116K	CY14B116M								
0x1FFFF8	0xFFFF8	校正／制御							
		D7	D6	D5	D4	D3	D2	D1	D0
		OSCEN	0	校正 符号	校正				
OSCEN		発振器イネーブル。「1」にセットすると、発振器が停止。「0」にクリアすると、発振器が動作。発振器を無効にすると、保持中の電池やコンデンサの電力を節約							
校正 符号		タイムベースへの加算 (1) またはタイムベースからの減算 (0) として校正を適用するかどうかを決定							
校正		これらの 5 ビットはクロックの校正を制御							
0x1FFFF7	0xFFFF7	ウォッチドッグ タイマ							
		D7	D6	D5	D4	D3	D2	D1	D0
		WDS	WDW	WDT					
WDS		ウォッチドッグ ストロープ。このビットを「1」にセットすると、ウォッチドッグ タイマが再起動。このビットを「0」にクリアしても何の影響もない。ウォッチドッグ タイマをリセットした後、ビットは自動的にクリアされる。WDS ビットは書き込み専用。これを読み出すと常に「0」が返される							
WDW		ウォッチドッグ書き込みイネーブル。このビットを「1」にセットすると、ウォッチドッグ タイムアウト値 (D5 ～ D0) への全書き込みが無効になる。これにより、タイムアウト値を変更せずにウォッチドッグ ストロープ ビットを設定可能。このビットを「0」にクリアすると、次の書き込みサイクルが完了した時にビット D5 ～ D0 がウォッチドッグ レジスタに書き込まれる。この機能の詳細は、 12 ページの ウォッチドッグ タイマ に説明されている							
WDT		ウォッチドッグ タイムアウト選択。ウォッチドッグ タイマの間隔は、このレジスタの 6 ビットの値によって選択。それは 32Hz カウント (31.25ms) の乗数を表す。タイムアウト値の範囲は 31.25ms (01h の設定) ～ 2 秒 (3Fh の設定)。ウォッチドッグ タイマレジスタを「0」にクリアすると、タイマが無効になる。WDW ビットが前のサイクルで「0」に設定されている場合にのみ、これらのビットは書き込み可能 注: ウォッチドッグ タイマが 32Hz のフリーランニング (周期 31.25ms) クロックを使用するため、セット時間間隔には 0ms ～ 31.25ms の追加時間がある							

表 7. レジスタ マップ詳細 (続き)

レジスタ		説明							
CY14B116K	CY14B116M								
0x1FFFF6	0xFFFF6	割込みステータス／制御							
		D7	D6	D5	D4	D3	D2	D1	D0
		WIE	AIE	PFE	SQWE	H/L	P/L	SQ1	SQ0
WIE		ウォッチドッグ割込みイネーブル。「1」にセットし、ウォッチドッグ タイムアウトが発生すると、ウォッチドッグ タイマは INT ピンと WDF フラグを駆動。「0」にクリアすると、ウォッチドッグ タイムアウトは WDF フラグにのみ影響を与える							
AIE		アラーム割込みイネーブル。「1」にセットすると、アラームのマッチは INT ピンと AF フラグを駆動。「0」にクリアすると、アラームのマッチは AF フラグにのみ影響を与える							
PFE		電源異常イネーブル。「1」にセットすると、電源異常モニタは INT ピンと PF フラグを駆動。「0」にクリアすると、電源異常モニタは PF フラグにのみ影響を与える							
SQWE		方形波有効。「1」にセットすると、方形波は、SQ1 と SQ0 ビットを使用してプログラムされた周波数で INT ピン上で駆動される。方形波出力は割込みロジックよりも優先される。SQWE ビットが「1」にセットされた場合、有効にされた割込みソースがアクティブになると、該当するフラグのみが立てられ、INT ピンは方形波の駆動を継続							
H/L		HIGH／LOW。「1」にセットすると、INT ピンはアクティブ HIGH に駆動される。「0」にクリアすると、INT ピンはオープンドレインで、アクティブ LOW となる							
P/L		パルス／レベル。1にセットすると、INT ピンは約 200ms 間、割込みソースによってアクティブ (H/L で判定) に駆動される。「0」にクリアすると、INT ピンはフラグ レジスタが読み出されるまでアクティブ レベル (H/L で判定) に駆動される							
SQ1、SQ0		SQ1、SQ0。SQWE ビットが「1」にセットされると、これらのビットは INT ピン出力で方形波の周波数を決定するために使用される。以下は、SQ1、SQ0 のそれぞれの組合せの周波数 (0、0) - 1Hz (0、1) - 512Hz (1、0) - 4096Hz (1、1) - 32768Hz							
0x1FFFF5	0xFFFF5	アラーム - 月の日							
		D7	D6	D5	D4	D3	D2	D1	D0
		M	0	アラーム日 (10 日の位)		アラーム日 (1 日の位)			
		月の日のアラーム値および日の値を選択または選択解除するためのマッチ ビットを含む							
M		マッチ。このビットを「0」にクリアすると、日の値はアラーム マッチで使用。このビットを「1」にセットすると、マッチ回路は日の値を無視							
0x1FFFF4	0xFFFF4	アラーム - 時間							
		D7	D6	D5	D4	D3	D2	D1	D0
		M	0	アラーム時間 (10 時間の位)		アラーム時間 (1 時間の位)			
		時間のアラーム値および時間の値を選択または選択解除するためのマッチ ビットの値を含む							
M		マッチ。このビットを「0」にクリアすると、時間の値はアラーム マッチで使用。このビットを「1」にセットすると、マッチ回路は時間の値を無視							
0x1FFFF3	0xFFFF3	アラーム - 分							
		D7	D6	D5	D4	D3	D2	D1	D0
		M	アラーム分 (10 分の位)			アラーム分 (1 分の位)			
		分のアラーム値および分の値を選択または選択解除するためのマッチ ビットの値を含む							
M		マッチ。このビットを「0」にクリアすると、分の値はアラーム マッチで使用。このビットを「1」にセットすると、マッチ回路は分の値を無視							

表 7. レジスタ マップ詳細 (続き)

レジスタ		説明							
CY14B116K	CY14B116M								
0x1FFFF2	0xFFFF2	アラーム - 秒							
		D7	D6	D5	D4	D3	D2	D1	D0
		M	アラーム秒 (10 秒の位)			アラーム秒 (1 秒の位)			
		秒のアラーム値および秒の値を選択または選択解除するためのマッチ ビットを含む							
M		マッチ。このビットを「0」にクリアすると、秒の値はアラーム マッチで使用。このビットを「1」にセットすると、マッチ回路は秒の値を無視							
0x1FFFF1	0xFFFF1	時間保持 - 世紀							
		D7	D6	D5	D4	D3	D2	D1	D0
		世紀 (10 世紀の位)				世紀 (1 世紀の位)			
		世紀の値の BCD 表記を格納。下位ニブルは下位桁を格納し、0 ～ 9 の値を持つ。上位ニブルは上位桁を格納し、0 ～ 9 の値を持つ。レジスタの範囲は 1 ～ 99							
0x1FFFF0	0xFFFF0	フラグ							
		D7	D6	D5	D4	D3	D2	D1	D0
		WDF	AF	PF	OSCF	BPF	CAL	W	R
WDF		ウォッチドッグ タイマ フラグ。この読み出し専用ビットは、ウォッチドッグ タイマが、ユーザーによってリセットされずに 0 に到達した時に「1」にセットされる。フラグ レジスタが読み出される時、または電源投入時に「0」にクリアされる							
AF		アラーム フラグ。この読み出し専用ビットは、時間と日が、マッチ ビット = 0 の時にアラーム レジスタに保存された値と一致する場合、「1」にセットされる。フラグ レジスタが読み出される時、または電源投入時にクリアされる							
PF		電源異常フラグ。この読み出し専用ビットは、電源が電源異常閾値 V_{SWITCH} を下回ると、「1」にセットされる。フラグ レジスタが読み出される時にクリアされる							
OSCF		発振器異常フラグ。発振器が有効であるが、最初の 5ms 間に起動しない場合、電源投入時に「1」にセットされる。RTC バックアップ電源に異常が発生し、クロックの値が有効でなくなったことを示す。このビットは、電源切断後に再投入しても保持され、内部的にチップによってクリアされない。ユーザーはこの状況を確認し、フラグをクリアするために「0」を書き込む必要がある。ユーザーが OSCF フラグ ビットをリセットすると、このビットは t_{RTCp} 時間の後に更新される							
BPF		バックアップ電源異常フラグ。バックアップ電源 (バッテリまたはコンデンサ) に障害が発生した場合、電源投入時に「1」にセットされる。バックアップ電源の障害発生状況は、電圧が指定された最小電圧を下回ることによって判定。BPF がデータを保持することができるのは、バックアップ電圧の定義された低レベル (V_{DR}) まで。このフラグをクリアするには、ユーザーはこのビットをリセットする必要がある。ユーザーが BPF フラグ ビットをリセットすると、ビットは t_{RTCp} 時間の後に更新される							
CAL		校正モード。「1」にセットすると、512Hz の方形波が INT ピンに出力される。「0」にクリアすると、INT ピンが通常動作を再開。このビットは SQ0 / SQ1 および他の機能よりも優先される。電源投入時、このビットの初期値は「0」(無効)							
W		書き込みイネーブル: 「W」ビットを「1」にセットすると、RTC レジスタの更新が停止。これで、RTC レジスタ、アラーム レジスタ、校正レジスタ、割込みレジスタ、フラグ レジスタに書き込むことができるようになる。「W」ビットを「0」にクリアすると、時間が変更された場合、RTC レジスタの内容が時間保持カウンタに転送される。この転送プロセスは、完了するのに t_{RTCp} 時間を要する。電源投入時、このビットの初期値は「0」(無効)							
R		読み出しイネーブル: 「R」ビットを「1」にセットすることで、読み出し処理中にクロックの更新が行われないようにユーザー RTC レジスタへのクロック更新を停止。「R」ビットを「0」にクリアすることで、保持レジスタへのクロックの更新を再開。このビットの設定には、「W」ビットを「1」にセットする必要はない。電源投入時、このビットの初期値は「0」(無効)							

最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。これらのユーザー ガイドラインはテストされていません。

保存温度 -65°C ~ +150°C

最大累積保存時間

周囲温度 150°C で 1000 時間

周囲温度 85°C で 20 年

最大接合部温度 150°C

V_{SS} を基準とした V_{CC} の電源電圧 -0.5V ~ +4.1V

High-Z 状態の出力に

印加される電圧 -0.5V ~ $V_{CC}+0.5V$

入力電圧 -0.5V ~ $V_{CC}+0.5V$

グランド電位を基準とした

任意のピンの過渡電圧 (<20ns) -2.0V ~ $V_{CC}+2.0V$

パッケージの許容電力損失 ($T_A=25^\circ\text{C}$) 1.0W

表面実装ハンダ付け

温度 (3 秒) +260°C

DC 出力電流 (出力 1 本あたり、1 秒間) 20mA

静電気放電電圧 >2001V
(MIL-STD-883、Method 3015)

ラッチアップ電流 >140mA

動作範囲

製品	範囲	周囲温度 (T_A)	V_{CC}
CY14B116K / CY14B116M	産業用	-40°C ~ +85°C	2.7V ~ 3.6V

DC 電気的特性

動作範囲 において

パラメータ	説明	テスト条件	Min	Typ ^[17]	Max	単位
V_{CC}	電源	—	2.7	3.0	3.6	V
I_{CC1}	平均 V_{CC} 電流	出力負荷なしで得られた値 ($I_{OUT} = 0\text{mA}$)				
		$t_{RC} = 25\text{ns}$	—	—	95	mA
		$t_{RC} = 45\text{ns}$	—	—	75	mA
I_{CC2}	STORE 中の平均 V_{CC} 電流	全入力は「ドント ケア」、 $V_{CC} = V_{CC}(\text{Max})$ 。 t_{STORE} 期間の平均電流	—	—	10	mA
I_{CC3}	$t_{RC} = 200\text{ns}$ 時の平均 V_{CC} 電流、 $V_{CC}(\text{Typ})$ 、 25°C	全入力は CMOS レベル。 出力負荷なしで得られた値 ($I_{OUT} = 0\text{mA}$)	—	50	—	mA
$I_{CC4}^{[18]}$	AutoStore サイクル中の平均 V_{CAP} 電流	全入力は「ドント ケア」。 t_{STORE} 期間の平均電流	—	—	6	mA
I_{SB}	V_{CC} スタンバイ電流	$CE \geq (V_{CC} - 0.2V)$ 。 $V_{IN} \leq 0.2V$ または $\geq (V_{CC} - 0.2V)$ 。「W」と「R」ビットを「0」にセット。不揮発性のサイクルが完了した後のスタンバイ電流レベル。入力はスタティック。 $f = 0\text{MHz}$				
		$t_{RC} = 25\text{ns}$	—	—	750	μA
		$t_{RC} = 45\text{ns}$	—	—	600	μA
I_{ZZ}	スリープモード電流	全入力は CMOS レベルでスタティック。RTC はバックアップ電源で動作	—	—	10	μA

注:

17. Typ 値は 25°C 、 $V_{CC} = V_{CC}(\text{Typ})$ のものです。完全にはテストされていません。

18. このパラメータは設計保証であり、テストされていません。

19. HSBピンは、アクティブHIGHとアクティブLOW両方のドライバが無効な時、 $V_{OH} = 2.4V$ では $I_{OUT} = -2\mu\text{A}$ となります。それらのドライバが有効な場合、標準の V_{OH} と V_{OL} は有効になります。このパラメータは特性評価されていますが、テストされていません。

20. V_{CAP} の Min 値は、AutoStore 動作を完了するのに十分な電荷があることを保証するものです。 V_{CAP} の Max 値は、即時の電源切断サイクルが発生しても AutoStore が正常に完了するようにパワーアップ RECALL サイクルの間に V_{CAP} のコンデンサが必要な最小電圧まで充電されることを保証するものです。したがって、指定した Min と Max の範囲内でコンデンサを使用することを常に推奨します。

21. V_{CAP} ピンの最大電圧 (V_{VCAP}) は、 V_{CAP} コンデンサを選択する際に指針として提供されています。動作温度範囲における V_{CAP} コンデンサの定格電圧は、 V_{VCAP} 電圧より高くなければなりません。

22. これらのパラメータは設計保証であり、テストされていません。

DC 電気的特性 (続き)

動作範囲 において

パラメータ	説明	テスト条件	Min	Typ ^[17]	Max	単位
$I_{IX}^{[19]}$	入力リーク電流 (HSB を除く)	$V_{CC} = V_{CC}(\text{Max}), V_{SS} \leq V_{IN} \leq V_{CC}$	-1	-	+1	μA
	入力リーク電流 (HSB)	$V_{CC} = V_{CC}(\text{Max}), V_{SS} \leq V_{IN} \leq V_{CC}$	-100	-	+1	μA
I_{OZ}	オフ状態の出力リーク電流	$V_{CC} = V_{CC}(\text{Max}), V_{SS} \leq V_{OUT} \leq V_{CC}, \overline{CE} \text{ or } \overline{OE} \geq V_{IH} \text{ or } \overline{BLE}/\overline{BHE} \geq V_{IH} \text{ or } \overline{WE} \leq V_{IL}$	-1	-	+1	μA
V_{IH}	入力 HIGH 電圧	-	2.0	-	$V_{CC} + 0.5$	V
V_{IL}	入力 LOW 電圧	-	$V_{SS} - 0.5$	-	0.8	V
V_{OH}	出力 HIGH 電圧	$I_{OUT} = -2\text{mA}$	2.4	-	-	V
V_{OL}	出力 LOW 電圧	$I_{OUT} = 4\text{mA}$	-	-	0.4	V
$V_{CAP}^{[20]}$	ストレージ コンデンサ	V_{CAP} ピンと V_{SS} 間	19.8	22.0	82.0	μF
$V_{V_{CAP}}^{[21, 22]}$	デバイスによって V_{CAP} ピン上で駆動された最大電圧	$V_{CC} = V_{CC}(\text{Max})$	-	-	5.0	V

注:

17. Typ 値は 25°C、 $V_{CC} = V_{CC}(\text{Typ})$ のものです。完全にはテストされていません。

18. このパラメータは設計保証であり、テストされていません。

19. HSBピンは、アクティブHIGHとアクティブLOW両方のドライバが無効な時、 $V_{OH} = 2.4\text{V}$ では $I_{OUT} = -2\mu\text{A}$ となります。それらのドライバが有効な場合、標準の V_{OH} と V_{OL} は有効になります。このパラメータは特性評価されていますが、テストされていません。

20. V_{CAP} の Min 値は、AutoStore 動作を完了するのに十分な電荷があることを保証するものです。 V_{CAP} の Max 値は、即時の電源切断サイクルが発生しても AutoStore が正常に完了するようにパワーアップ RECALL サイクルの間に V_{CAP} のコンデンサが必要な最小電圧まで充電されることを保証するものです。したがって、指定した Min と Max の範囲内でコンデンサを使用することを常に推奨します。

21. V_{CAP} ピンの最大電圧 ($V_{V_{CAP}}$) は、 V_{CAP} コンデンサを選択する際に指針として提供されています。動作温度範囲における V_{CAP} コンデンサの定格電圧は、 $V_{V_{CAP}}$ 電圧より高くなければなりません。

22. これらのパラメータは設計保証であり、テストされていません。

データ保持期間およびアクセス可能回数

動作範囲 において

パラメータ	説明	Min	単位
DATA_R	データ保持期間	20	Years
NV_C	不揮発性 STORE 処理回数	1,000,000	Cycles

静電容量

以下の表は、静電容量のパラメータを示します。^[23]

パラメータ	説明	テスト条件	Max (165-FBGA を除く全 パッケージ)	Max (165-FBGA パッケージ)	単位
C_{IN}	入力容量	$T_A = 25^\circ\text{C}, f = 1\text{MHz}, V_{CC} = V_{CC}(\text{Typ})$	8	10	pF
C_{IO}	入力/出力静電容量		8	10	pF
C_{OUT}	出力容量		8	10	pF

注:

23. これらのパラメータは設計保証であり、テストされていません。

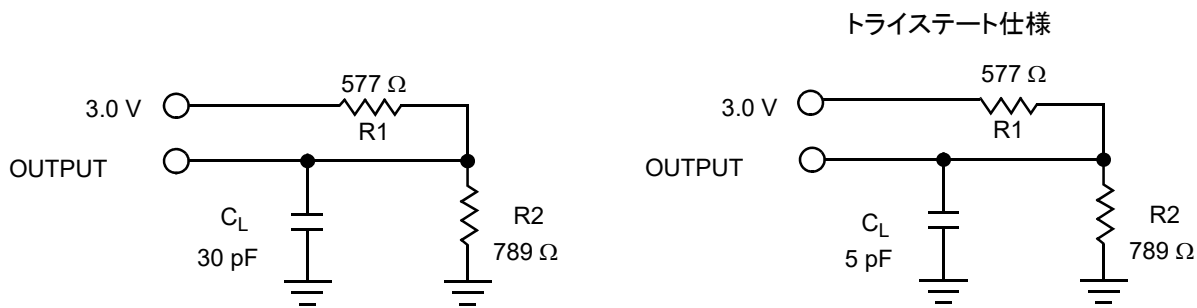
熱抵抗

次の表は、熱抵抗のパラメータを示します。^[24]

パラメータ	説明	テスト条件	44-TSOP II	54-TSOP II	165-FBGA	単位
Θ_{JA}	熱抵抗 (接合部と周囲間)	テスト条件は、EIA/JESD51 による、熱インピーダンスを測定するための標準的なテスト方法と手順に従う	44.6	41.1	15.6	°C/W
Θ_{JC}	熱抵抗 (接合部とケース間)		2.4	4.6	2.9	°C/W

注：
 24. これらのパラメータは設計保証であり、テストされていません。

図 10. AC テストの負荷と波形



AC テスト条件

入力パルス レベル 0V ~ 3V
 入力の立ち上がりと立ち下がり時間 (10% ~ 90%) ≤3ns
 入力と出力のタイミング参照レベル 1.5V

RTC 特性

動作範囲において

パラメータ	説明		Min	Typ ^[25]	Max	単位
V_{RTCbat}	RTC バッテリ ピン電圧		1.8	3.0	3.6	V
$I_{\text{BAK}}^{[26]}$	RTC バックアップ電流	$T_A = -40^\circ\text{C}$	–	–	0.45	μA
		$T_A = 25^\circ\text{C}$	–	0.45	–	μA
		$T_A = 85^\circ\text{C}$	–	–	0.60	μA
$V_{\text{RTCcap}}^{[27]}$	RTC コンデンサピン電圧	$T_A = -40^\circ\text{C}$	1.6	–	3.6	V
		$T_A = 25^\circ\text{C}$	1.5	3.0	3.6	V
		$T_A = 85^\circ\text{C}$	1.4	–	3.6	V
V_{BAKFAIL}	バックアップ障害閾値		1.8	–	2.2	V
V_{DR}	BPF フラグ保持電圧		1.6	–	–	V
t_{OCS}	RTC 発振子の発振開始時間		–	1	2	s
t_{RTCp}	「W」ビットを「0」にセット終了後の RTC 処理時間		–	–	1	ms
R_{BKCHG}	RTC バックアップ コンデンサの充電電流制限抵抗		350	–	850	Ω

注:

25. Typ 値は 25°C 、 $V_{\text{CC}} = V_{\text{CC(Typ)}}$ のものです。完全にはテストされていません。

26. V_{RTCcap} または V_{RTCbat} のいずれかからです。

27. $V_{\text{RTCcap}} > 0.5\text{V}$ の場合、またはコンデンサが V_{RTCcap} ピンに接続されていない場合は、発振器は t_{OCS} 時間内に起動します。バックアップ コンデンサが接続され、 $V_{\text{RTCcap}} < 0.5\text{V}$ の場合、発振器の起動用にコンデンサを 0.5V に充電できるようにする必要があります。

AC スイッチング特性

動作範囲において^[28]

パラメータ		説明	25 ns		45 ns		単位
サイプレス パラメータ	代替のパラメータ		Min	Max	Min	Max	
SRAM読み出しサイクル							
t _{ACE}	t _{ACS}	チップ イネーブル アクセス時間	–	25	–	45	ns
t _{RC} ^[29]	t _{RC}	読み出しサイクル時間	25	–	45	–	ns
t _{AA} ^[30]	t _{AA}	アドレス アクセス時間	–	25	–	45	ns
t _{DOE}	t _{OE}	出力イネーブルからデータ有効までの時間	–	12	–	20	ns
t _{OHA} ^[30]	t _{OH}	アドレス変化後の出力ホールド時間	3	–	3	–	ns
t _{LZCE} ^[31]	t _{LZ}	チップ イネーブルから出力アクティブまでの時間	3	–	3	–	ns
t _{HZCE} ^[31, 32]	t _{HZ}	チップ ディセーブルから出力非アクティブまでの時間	–	10	–	15	ns
t _{LZOE} ^[31]	t _{OLZ}	出力イネーブルから出力アクティブまでの時間	0	–	0	–	ns
t _{HZOE} ^[31, 32]	t _{OHZ}	出力ディセーブルから出力非アクティブまでの時間	–	10	–	15	ns
t _{PU} ^[31]	t _{PA}	チップ イネーブルから電源アクティブまでの時間	0	–	0	–	ns
t _{PD} ^[31]	t _{PS}	チップ ディセーブルから電源スタンバイまでの時間	–	25	–	45	ns
t _{DBE}		バイト イネーブルからデータ有効までの時間	–	12	–	20	ns
t _{LZBE} ^[31]		バイト イネーブルから出力アクティブまでの時間	0	–	0	–	ns
t _{HZBE} ^[31, 32]		バイト ディセーブルから出力非アクティブまでの時間	–	10	–	15	ns
SRAM書き込みサイクル							
t _{WC}	t _{WC}	書き込みサイクル時間	25	–	45	–	ns
t _{PWE}	t _{WP}	書き込みパルス幅	20	–	30	–	ns
t _{SCE}	t _{CW}	チップ イネーブルから書き込み終了までの時間	20	–	30	–	ns
t _{SD}	t _{DW}	データ セットアップから書き込み終了までの時間	10	–	15	–	ns
t _{HD}	t _{DH}	書き込み終了からのデータ ホールド時間	0	–	0	–	ns
t _{AW}	t _{AW}	アドレス セットアップから書き込み終了までの時間	20	–	30	–	ns
t _{SA}	t _{AS}	アドレス セットアップから書き込み開始までの時間	0	–	0	–	ns
t _{HA}	t _{WR}	書き込み終了からのアドレス ホールド時間	0	–	0	–	ns
t _{HZWE} ^[31, 32, 33]	t _{WZ}	書き込みイネーブルから出力ディセーブルまでの時間	–	10	–	15	ns
t _{LZWE} ^[31]	t _{OW}	書き込み終了後の出力アクティブ時間	3	–	3	–	ns
t _{BW}		バイト イネーブルから書き込み終了までの時間	20	–	30	–	ns

注:

28. テスト条件は、3ns 以下の信号遷移時間、 $V_{CC}/2$ のタイミング参照レベル、0V から V_{CC} (Typ) までの入力パルス レベル、および 24 ページの図 10 に示した指定の I_{OL} / I_{OH} の出力負荷と 30pF の負荷容量を想定しています。

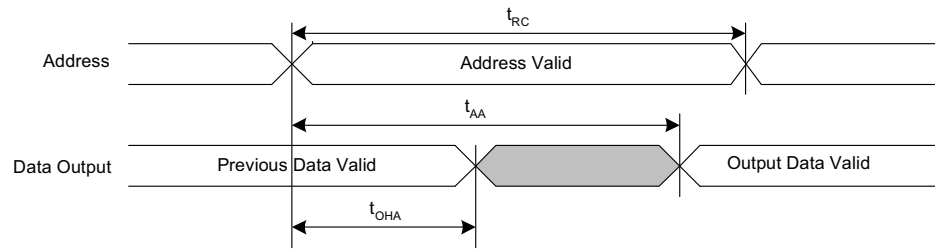
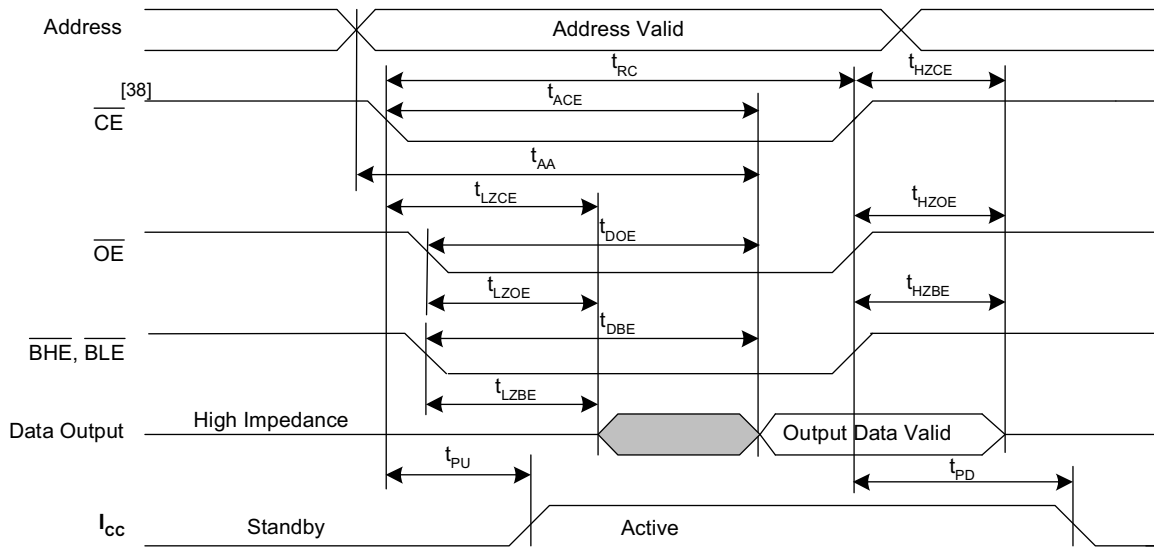
29. WE は SRAM 読み出しサイクル中は HIGH でなければなりません。

30. デバイスは、CE、OE および BLE、BHE が LOW であれば連続して選択されます。

31. これらのパラメータは設計保証であり、テストされていません。

32. t_{HZCE} 、 t_{HZOE} 、 t_{HZBE} および t_{HZWE} は 5pF の負荷容量が付いている状態で指定されています。遷移は定常状態の出力電圧から $\pm 200mV$ で測定されます。

33. CE が LOW になっている時に WE が LOW の場合、出力は高インピーダンス状態のままです。

図 11. SRAM 読み出しサイクル 1: アドレス制御 [34、35、36]

図 12. SRAM 読み出しサイクル 2: \overline{CE} および \overline{OE} 制御 [34、36、37]

注:

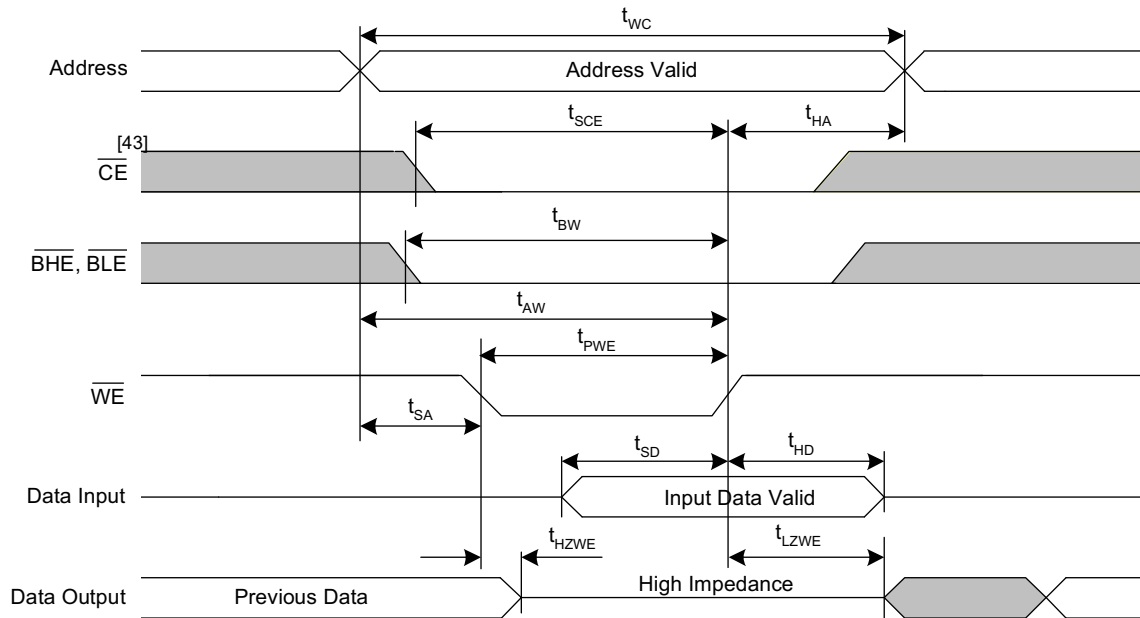
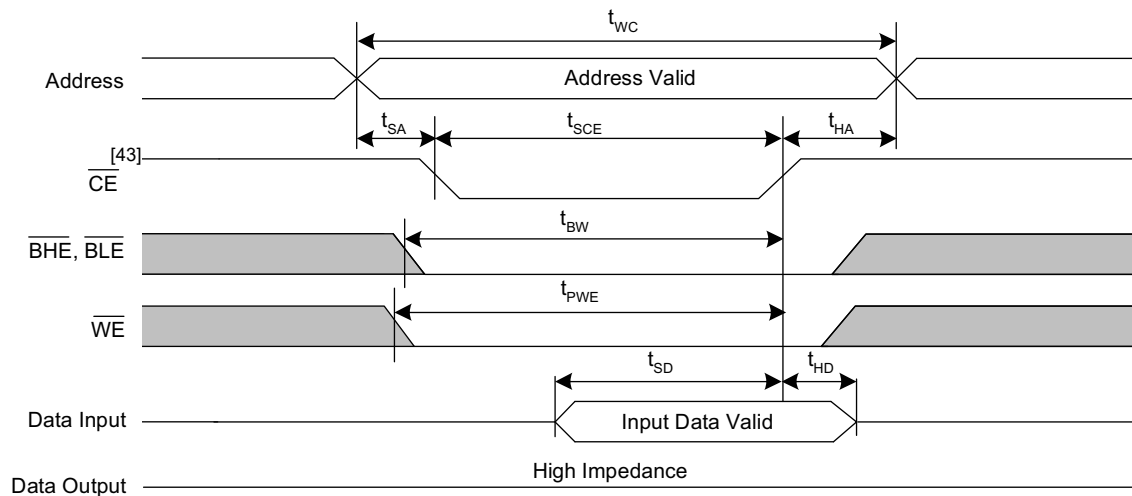
34. WE は SRAM 読み出しサイクル中は HIGH でなければなりません。

35. デバイスは、 \overline{CE} 、 \overline{OE} および \overline{BLE} 、 \overline{BHE} が LOW であれば連続して選択されます。

36. \overline{HSB} は読み出しと書き込みサイクル中は HIGH でなければなりません。

37. \overline{BHE} と \overline{BLE} は x16 構成にのみ適用できます。

38. TSOP II パッケージはシングル \overline{CE} オプションで、BGA パッケージはデュアル \overline{CE} オプションで提供されています。本データシートでは、デュアル \overline{CE} デバイスに対して、 \overline{CE} は CE_1 と CE_2 の内部の論理的結合を示し、 CE_1 が LOW で、 CE_2 が HIGH の場合、 \overline{CE} は LOW です。それ以外の場合は、 \overline{CE} は HIGH です。どのチップ イネーブル ピン (シングル チップ イネーブル デバイスでは \overline{CE} 、デュアル チップ イネーブル デバイスでは CE_1 と CE_2) においても、中間電圧レベルは許可されていません。

図 13. SRAM 書き込みサイクル 1: $\overline{\text{WE}}$ 制御 [39、40、41、42]

図 14. SRAM 書き込みサイクル 2: $\overline{\text{CE}}$ 制御 [39、40、41、42]

注:

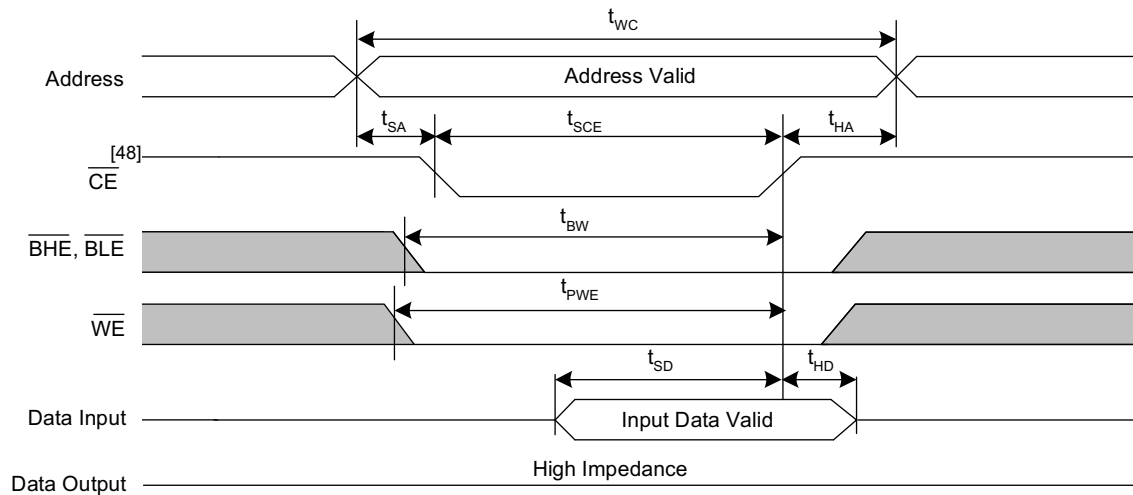
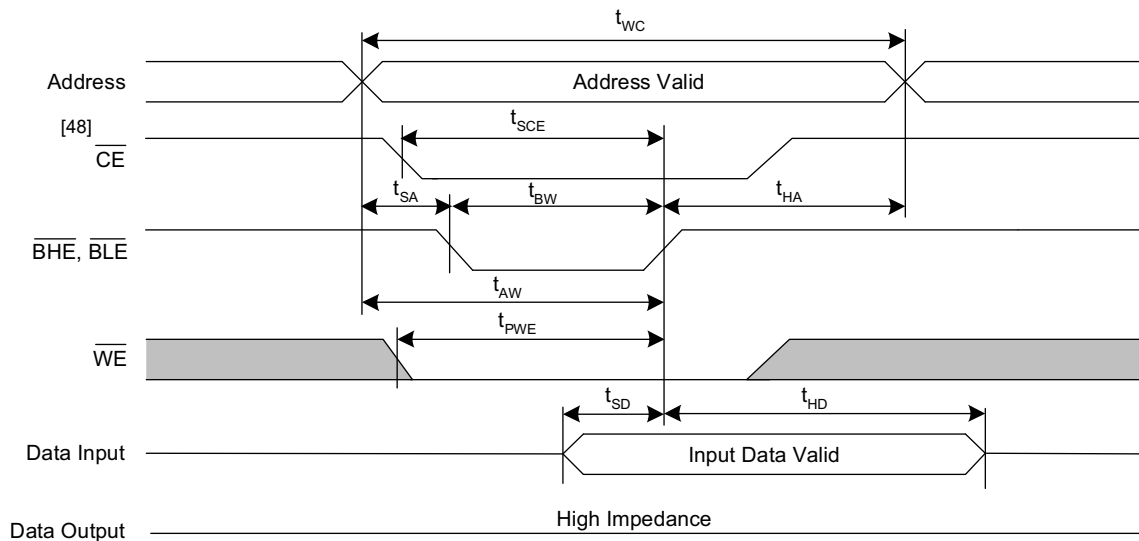
39. BHE と BLE は x16 構成にのみ適用できます。

40. CE が LOW になっている時に WE が LOW の場合、出力は高インピーダンス状態で保持されます。

41. HSB は読み出しと書き込みサイクル中は HIGH でなければなりません。

42. CE または WE は、アドレス移行中は $\geq V_{IH}$ でなければなりません。

43. TSOP II パッケージはシングル CE オプションで、BGA パッケージはデュアル CE オプションで提供されています。本データシートでは、デュアル CE デバイスに対して、CE は CE₁ と CE₂ の内部の論理的結合を示し、CE₁ が LOW で、CE₂ が HIGH の場合、CE は LOW です。それ以外の場合は、CE は HIGH です。どのチップ イネーブルピン (シングル チップ イネーブル デバイスでは CE、デュアル チップ イネーブル デバイスでは CE₁ と CE₂) においても、中間電圧レベルは許可されていません。

図 15. SRAM 書き込みサイクル 2: $\overline{\text{CE}}$ 制御 [44, 45, 46, 47]

図 16. SRAM 書き込みサイクル 3: $\overline{\text{BHE}}$ および $\overline{\text{BLE}}$ 制御 [44, 45, 46, 47, 49]
 (RTC レジスタ書き込みには適用されない)


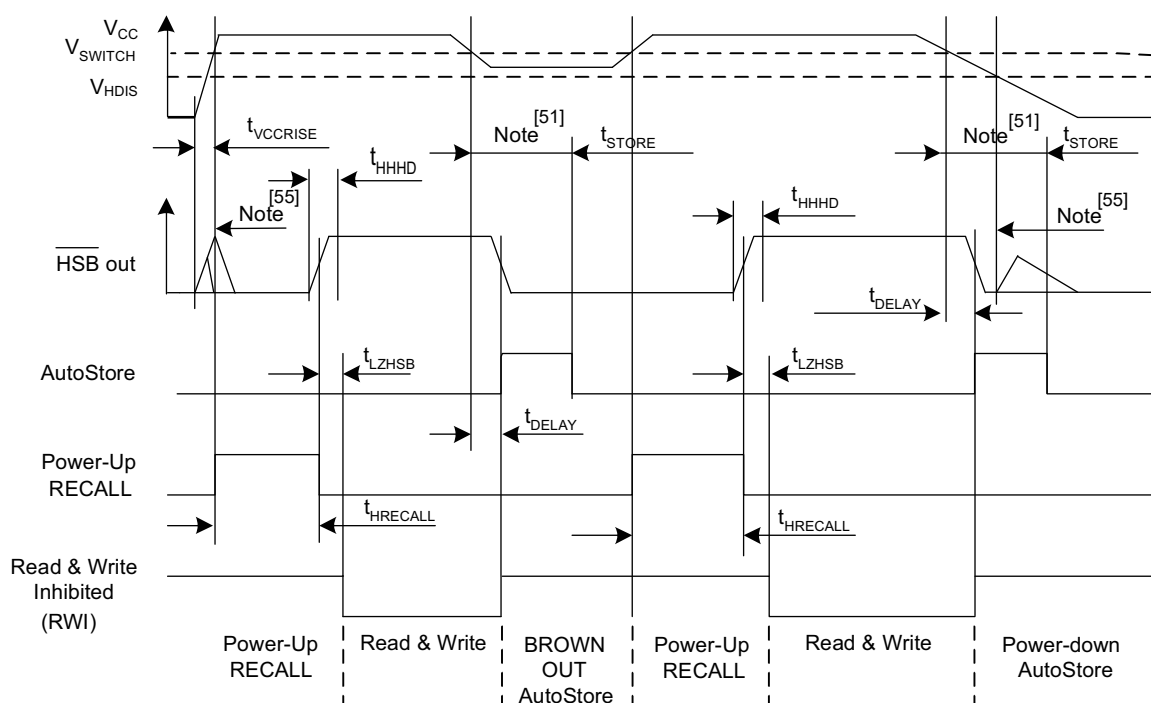
- 注:**
- 44. $\overline{\text{BHE}}$ と $\overline{\text{BLE}}$ は x16 構成にのみ適用できます。
 - 45. $\overline{\text{CE}}$ が LOW になっている時に $\overline{\text{WE}}$ が LOW の場合、出力は高インピーダンス状態で保持されます。
 - 46. $\overline{\text{HSB}}$ は読み出しと書き込みサイクル中は HIGH のままでなければなりません。
 - 47. $\overline{\text{CE}}$ または $\overline{\text{WE}}$ は、アドレス移行中は $\geq V_{IH}$ でなければなりません。
 - 48. TSOP II パッケージはシングル $\overline{\text{CE}}$ オプションで、BGA パッケージはデュアル $\overline{\text{CE}}$ オプションで提供されています。本データシートでは、デュアル $\overline{\text{CE}}$ デバイスに対して、 $\overline{\text{CE}}$ は CE_1 と CE_2 の内部の論理的結合を示し、 CE_1 が LOW で、 CE_2 が HIGH の場合、 $\overline{\text{CE}}$ は LOW です。それ以外の場合は、 $\overline{\text{CE}}$ は HIGH です。どのチップ イネーブル ピン (シングル チップ イネーブル デバイスでは $\overline{\text{CE}}$ 、デュアル チップ イネーブル デバイスでは CE_1 と CE_2) においても、中間電圧レベルは許可されていません。
 - 49. RTC レジスタへの $\overline{\text{CE}}$ と $\overline{\text{WE}}$ 制御の書き込みのみが許可されます。 $\overline{\text{CE}}$ または $\overline{\text{WE}}$ ピンが、RTC レジスタへの書き込み用に LOW になる前に、 $\overline{\text{BLE}}$ ピンを LOW のままに保持する必要があります。

AutoStore / パワーアップ RECALL 特性

動作範囲において

Parameter	Description	CY14B116K/CY14B116M		Unit
		Min	Max	
$t_{HRECALL}^{[50]}$	パワーアップ RECALL 期間	–	30	ms
$t_{STORE}^{[51]}$	STORE サイクル期間	–	8	ms
$t_{DELAY}^{[52, 53]}$	SRAM 書き込みサイクルを完了する時間	–	25	ns
V_{SWITCH}	低電圧トリガ レベル	–	2.65	V
$t_{VCCRRISE}^{[53]}$	V_{CC} 立ち上がり時間	150	–	μ s
$V_{HDIS}^{[53]}$	HSB 出力ディセーブル電圧	–	1.9	V
$t_{LZHSB}^{[53]}$	HSB から出力アクティブまでの時間	–	5	μ s
$t_{HHHD}^{[53]}$	HSB アクティブ HIGH 時間	–	500	ns

図 17. AutoStore またはパワーアップ RECALL^[54]



注:

50. $t_{HRECALL}$ は、 V_{CC} が V_{SWITCH} を超える時から始まります。

51. SRAM の書き込みが最後の不揮発性サイクル以降に実施されていない場合、AutoStore またはハードウェア STORE は実行されません。

52. ハードウェア STORE と AutoStore の開始時に、SRAM の書き込み動作は、 t_{DELAY} 時間の間有効のままです。

53. これらのパラメータは設計保証であり、テストされていません。

54. 読み出しおよび書き込みサイクルは、STORE、RECALL の実行中、および V_{CC} が V_{SWITCH} 未満の時は無視されます。

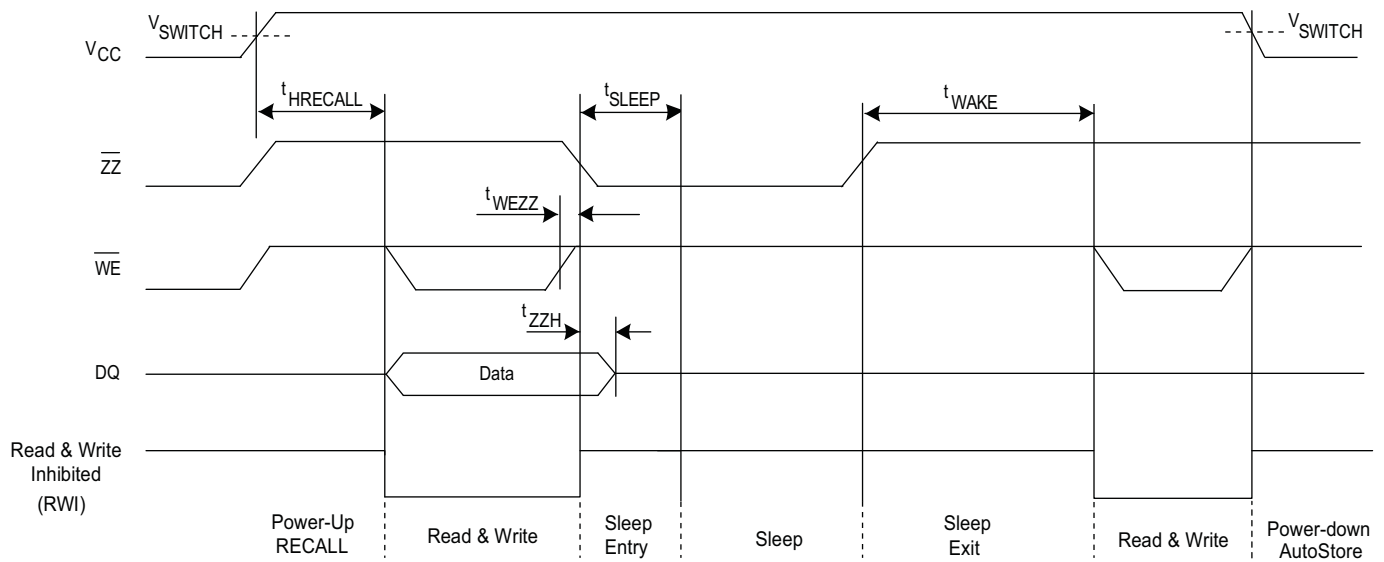
55. 電源投入および電源切断の間、HSB ピンが外部抵抗を介してプルアップされると HSB ピンにグリッチが発生します。

スリープ モード特性

動作範囲において

パラメータ	説明	CY14B116K/CY14B116M		単位
		Min	Max	
t_{WAKE}	スリープ モードからの復帰時間 (\overline{ZZ} HIGH からウェイクアップ後の最初のアクセスまでの時間)	–	30	ms
t_{SLEEP}	スリープ モードへの移行時間 (\overline{ZZ} LOW から \overline{CE} ドント ケアまでの時間)	–	8	ms
t_{ZZL}	\overline{ZZ} アクティブ LOW 時間	50	–	ns
t_{WEZZ}	最後の書き込みからスリープ モード移行までの時間	0	–	μ s
t_{ZZH}	\overline{ZZ} アクティブから DQ Hi-Z までの時間	–	70	ns

図 18. スリープ モード [56]



注:

56. デバイスは、スリープ ルーチンを開始し、 t_{SLEEP} 期間後にスリープ モードに移行します。

ソフトウェア制御 STORE および RECALL 特性

動作範囲において [57、58]

パラメータ	説明	25ns		45ns		単位
		Min	Max	Min	Max	
t_{RC}	STORE / RECALL 開始サイクル期間	25	—	45	—	ns
t_{SA}	アドレス セットアップ時間	0	—	0	—	ns
t_{CW}	クロック パルス幅	20	—	30	—	ns
t_{HA}	アドレス ホールド時間	0	—	0	—	ns
t_{RECALL}	RECALL 期間	—	600	—	600	μ s
t_{SS} [59、60]	ソフト シーケンス処理時間	—	500	—	500	μ s

図 19. \overline{CE} と \overline{OE} 制御によるソフトウェア STORE および RECALL サイクル [58]

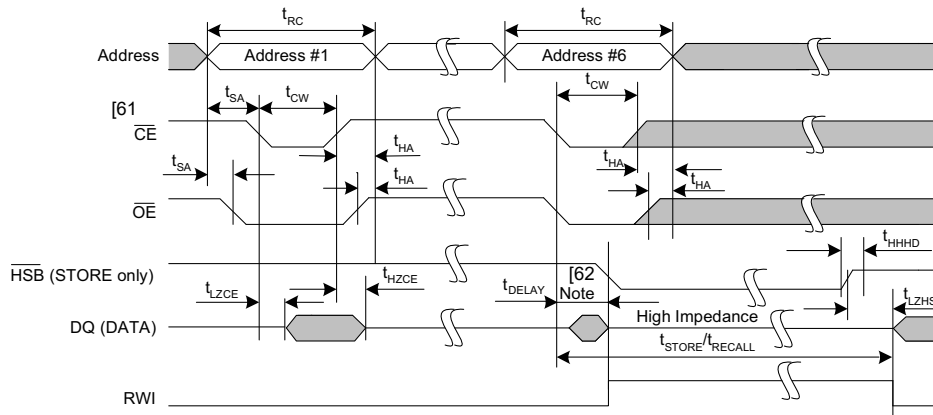
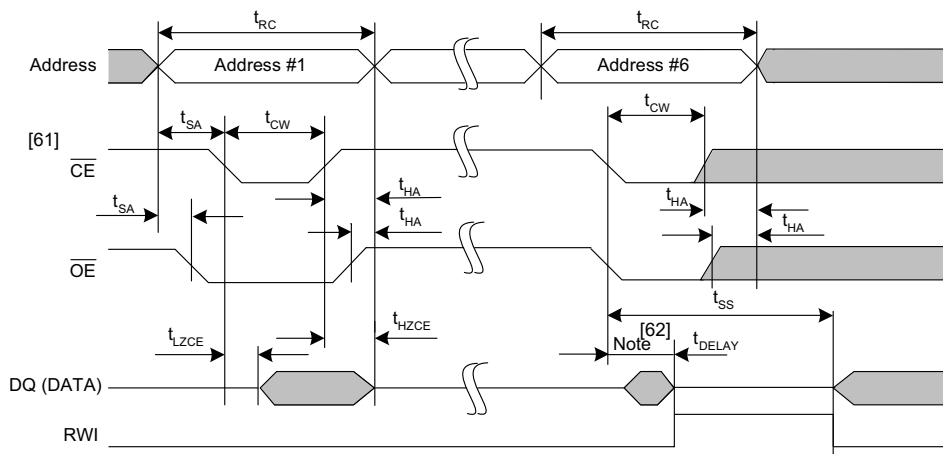


図 20. Autostore イネーブル/ディセーブル サイクル



注:

57. ソフトウェアのシーケンスは、 \overline{CE} または \overline{OE} 制御の読み出し処理に基づいて実行されます。
58. 6 連続アドレスは表 2 のリスト順に読み出さなければなりません。WE は、全 6 連続サイクルの間 HIGH でなければなりません。
59. これは、ソフト シーケンス コマンドの処理に要する時間です。効果的にコマンドを登録するには、 V_{CC} 電圧は HIGH のままでなければなりません。
60. STORE や RECALL といったコマンドは、その動作が完了するまで I/O をロックアウトします。これはさらにこの時間を増加させます。詳しくは個々のコマンドを参照してください。
61. TSOP II パッケージはシングル \overline{CE} オプションで、BGA パッケージはデュアル \overline{CE} オプションで提供されています。本データシートでは、デュアル \overline{CE} デバイスに対して、 \overline{CE} は CE_1 と CE_2 の内部の論理的結合を示し、 CE_1 が LOW で、 CE_2 が HIGH の場合、 \overline{CE} は LOW です。それ以外の場合は、 \overline{CE} は HIGH です。どのチップ イネーブルピン (シングルチップ イネーブル デバイスでは \overline{CE} 、デュアルチップ イネーブル デバイスでは CE_1 と CE_2) においても、中間電圧レベルは許可されていません。
62. t_{DELAY} 時間が経過すると DQ 出力が無効となるので、6 番目の読み出しでの DQ 出力データは無効となる可能性があります。

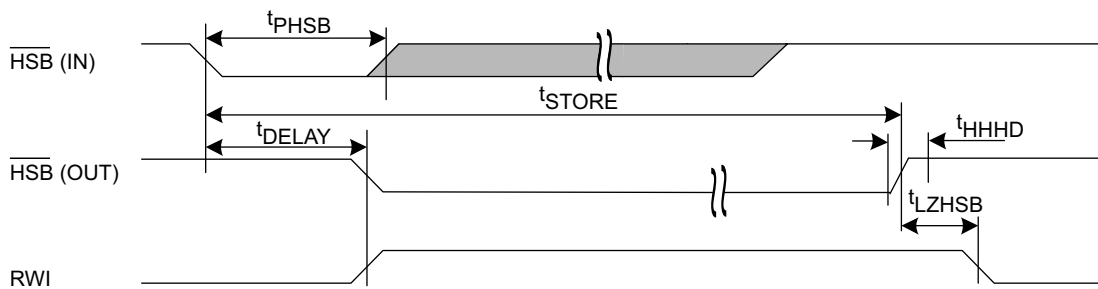
ハードウェア STORE 特性

動作範囲において

パラメータ	説明	CY14B116K / CY14B116M		単位
		Min	Max	
t_{DHSB}	HSB から出力アクティブまでの時間 (書き込みラッチがセットされていない場合)	–	25	ns
t_{PHSB}	ハードウェア STORE パルス幅	15	–	ns

図 21. ハードウェア STORE サイクル^[63]

Write Latch set



Write Latch not set

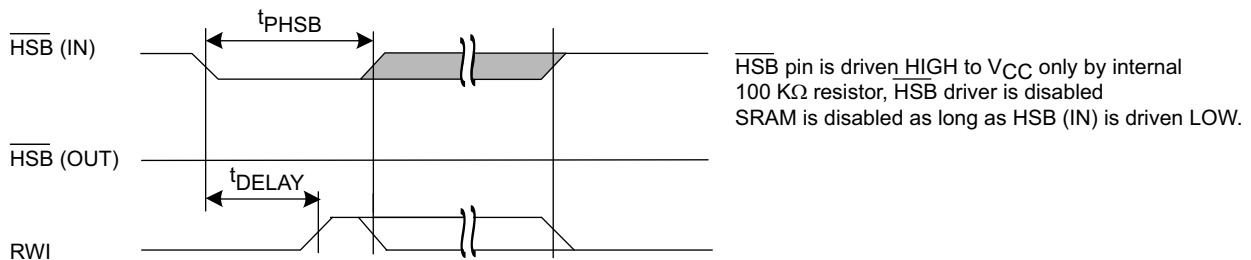
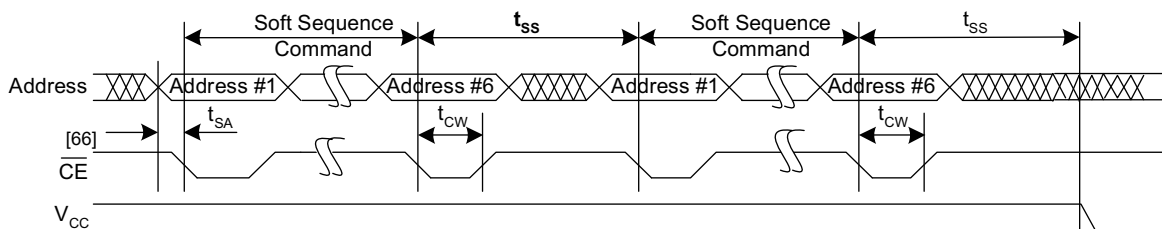


図 22. ソフト シーケンス処理時間^[64、65]



注:

63. SRAM の書き込みが、最後の不揮発性サイクル以降に実施されていない場合、AutoStore またはハードウェア STORE は実行されません。
64. これは、ソフト シーケンス コマンドの処理に要する時間です。効果的にコマンドを登録するには、V_{CC} 電圧は HIGH のままでなければなりません。
65. STORE や RECALL といったコマンドは、その動作が完了するまで I/O をロックアウトします。これはさらにこの時間を増加させます。詳しくは個々のコマンドを参照してください。
66. TSOP II パッケージはシングル CE オプションで、BGA パッケージはデュアル CE オプションで提供されています。本データシートでは、デュアル CE デバイスに対して、CE は CE₁ と CE₂ の内部の論理的結合を示し、CE₁ が LOW で、CE₂ が HIGH の場合、CE は LOW です。それ以外の場合は、CE は HIGH です。どのチップ イネーブル ピン (シングル チップ イネーブル デバイスでは CE、デュアル チップ イネーブル デバイスでは CE₁ と CE₂) においても、中間電圧レベルは許可されていません。

SRAM 真理値表

HSB は SRAM 動作では HIGH のままです。

×8 構成

シングル チップ イネーブル オプション (44 ピン TSOP II パッケージ)

CE	WE	OE	入力と出力	モード	電源
H	X	X	High-Z	選択解除／電源切断	スタンバイ
L	H	L	データ出力 (DQ ₀ ~ DQ ₇) ;	読み出し	アクティブ
L	H	H	High-Z	出力無効	アクティブ
L	L	X	データ入力 (DQ ₀ ~ DQ ₇) ;	書き込み	アクティブ

×16 構成

シングル チップ イネーブル オプション (54 ピン TSOP II パッケージ)

CE	WE	OE	BLE	BHE	入力と出力	モード	電源
H	X	X	X	X	High-Z	選択解除／電源切断	スタンバイ
L	X	X	H	H	High-Z	出力無効	アクティブ
L	H	L	L	L	データ出力 (DQ ₀ ~ DQ ₁₅)	読み出し	アクティブ
L	H	L	L	H	データ出力 (DQ ₀ ~ DQ ₇) ; DQ ₈ ~ DQ ₁₅ High-Z	読み出し	アクティブ
L	H	L	H	L	データ出力 (DQ ₈ ~ DQ ₁₅) ; DQ ₀ ~ DQ ₇ High-Z	読み出し	アクティブ
L	H	H	X	X	High-Z	出力無効	アクティブ
L	L	X	L	L	データ入力 (DQ ₀ ~ DQ ₁₅)	書き込み	アクティブ
L	L	X	L	H	データ入力 (DQ ₀ ~ DQ ₇) ; DQ ₈ ~ DQ ₁₅ High-Z	書き込み	アクティブ
L	L	X	H	L	データ入力 (DQ ₈ ~ DQ ₁₅) ; DQ ₀ ~ DQ ₇ High-Z	書き込み	アクティブ

×16 構成

デュアル チップ イネーブル オプション (165 ボール FBGA パッケージ)

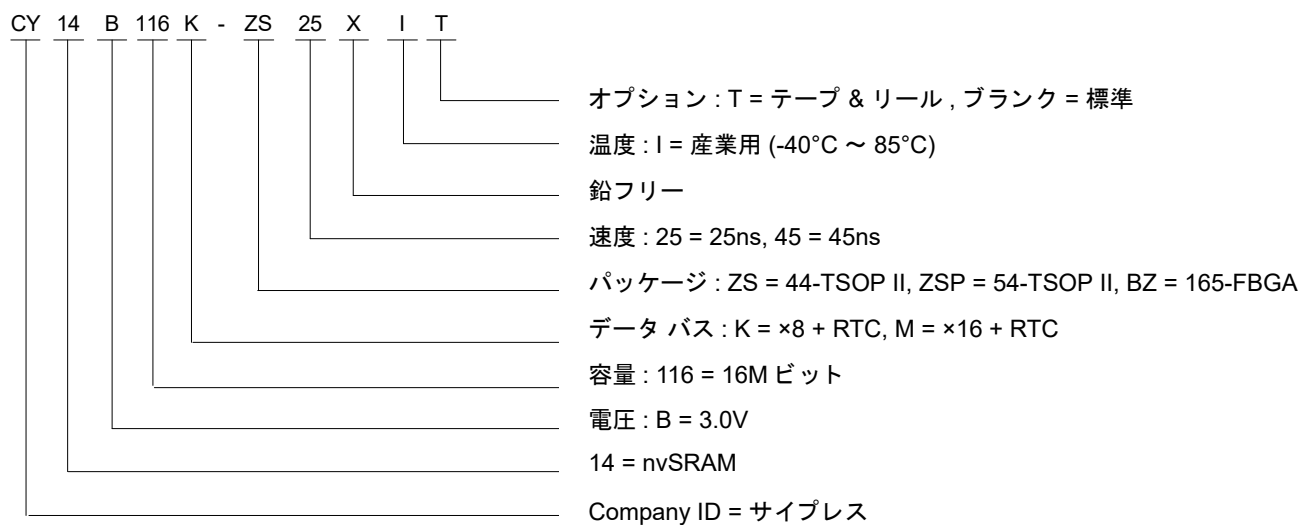
CE ₁	CE ₂	WE	OE	BLE	BHE	入力と出力	モード	電源
H	X	X	X	X	X	High-Z	選択解除／電源切断	スタンバイ
X	L	X	X	X	X	High-Z	選択解除／電源切断	スタンバイ
L	H	X	X	H	H	High-Z	出力無効	アクティブ
L	H	H	L	L	L	データ出力 (DQ ₀ ~ DQ ₁₅)	読み出し	アクティブ
L	H	H	L	L	H	データ出力 (DQ ₀ ~ DQ ₇) ; DQ ₈ ~ DQ ₁₅ High-Z	読み出し	アクティブ
L	H	H	L	H	L	データ出力 (DQ ₈ ~ DQ ₁₅) ; DQ ₀ ~ DQ ₇ High-Z	読み出し	アクティブ
L	H	H	H	X	X	High-Z	出力無効	アクティブ
L	H	L	X	L	L	データ入力 (DQ ₀ ~ DQ ₁₅)	書き込み	アクティブ
L	H	L	X	L	H	データ入力 (DQ ₀ ~ DQ ₇) ; DQ ₈ ~ DQ ₁₅ High-Z	書き込み	アクティブ
L	H	L	X	H	L	データ入力 (DQ ₈ ~ DQ ₁₅) ; DQ ₀ ~ DQ ₇ High-Z	書き込み	アクティブ

注文情報

速度 (ns)	注文コード	パッケージ図	パッケージ タイプ	動作範囲
25	CY14B116K-ZS25XI	51-85087	44-pin TSOP II	産業用
	CY14B116K-ZS25XIT	51-85087	44-pin TSOP II	
	CY14B116M-ZSP25XI	51-85160	54-pin TSOP II	
	CY14B116M-ZSP25XIT	51-85160	54-pin TSOP II	
45	CY14B116M-BZ45XI	51-85195	165-ball FBGA	
	CY14B116M-BZ45XIT	51-85195	165-ball FBGA	

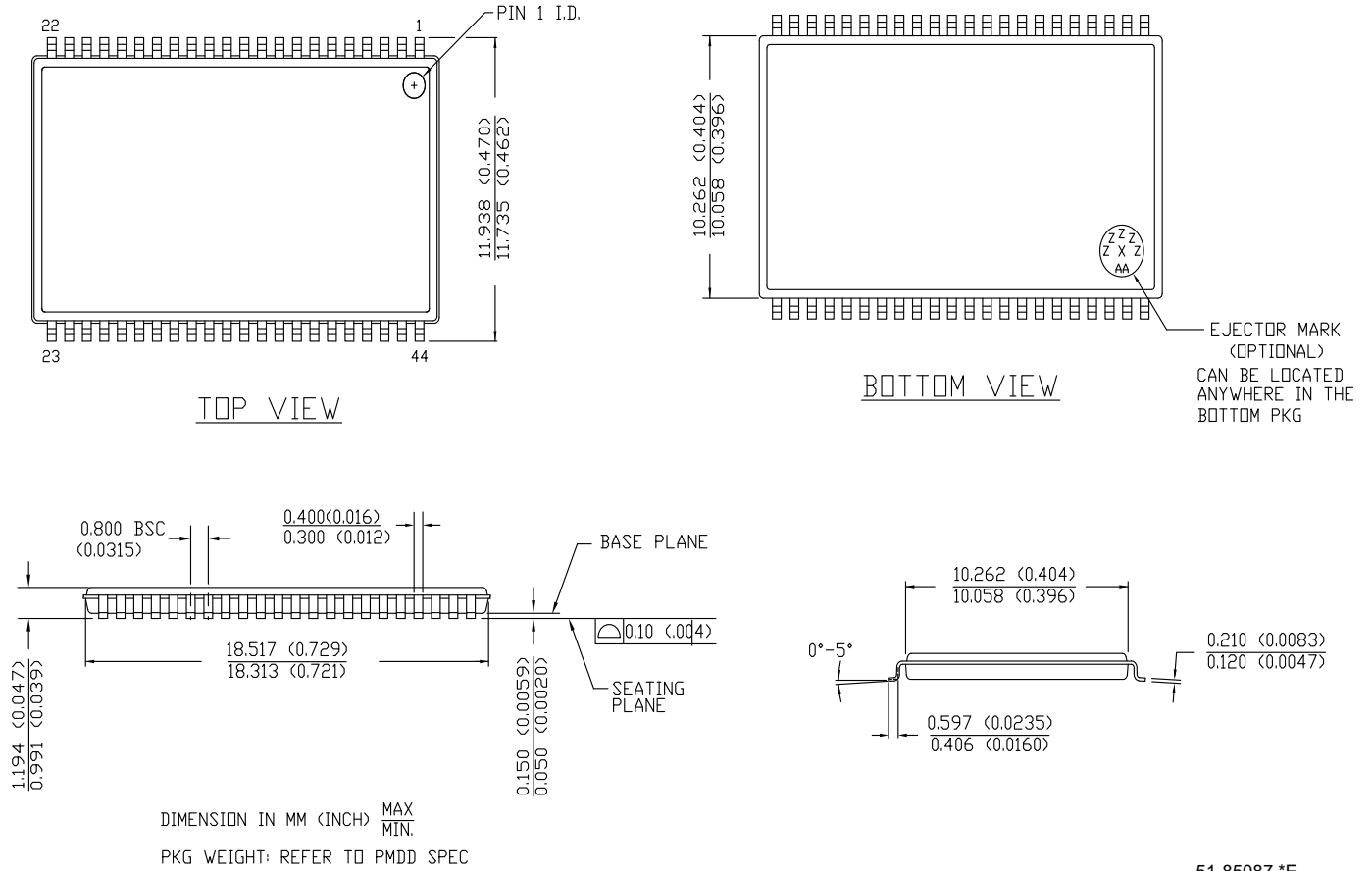
すべての製品は鉛フリーです。在庫状況については、最寄りのサイプレスの販売代理店にお問い合わせください。

注文コードの定義



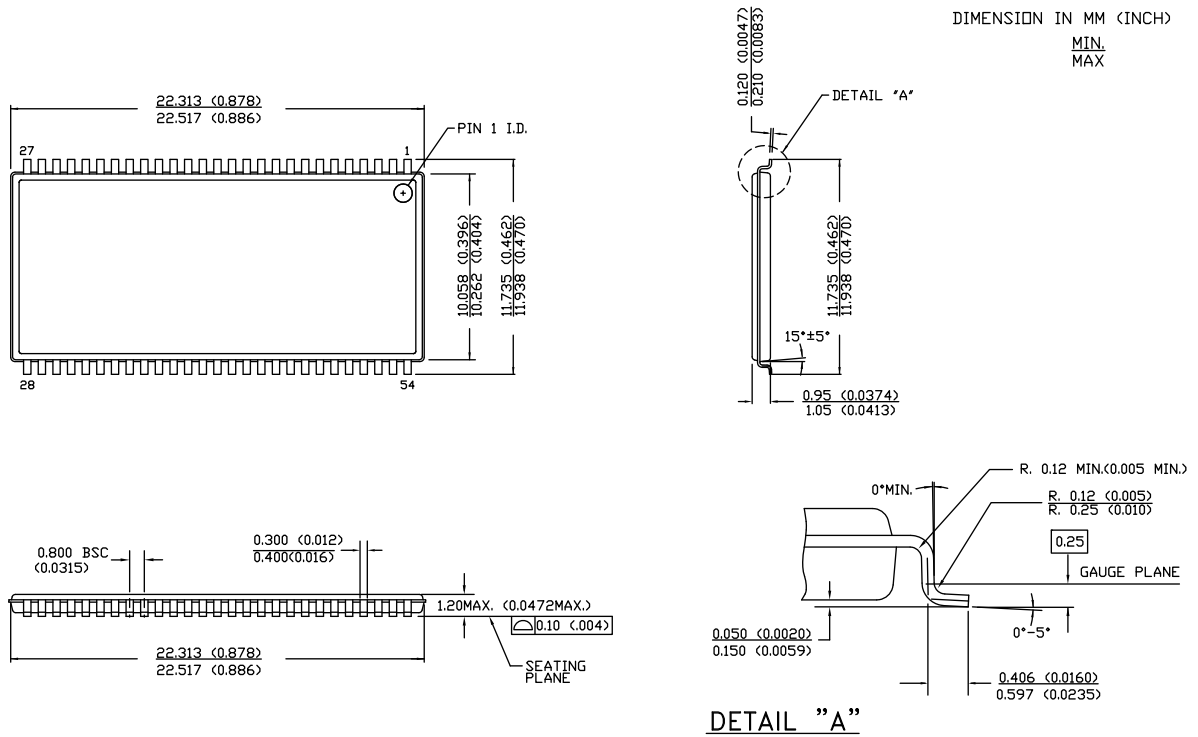
外形図

図 23. 44 ピン TSOP II パッケージ外形図 (51-85087)



外形図 (続き)

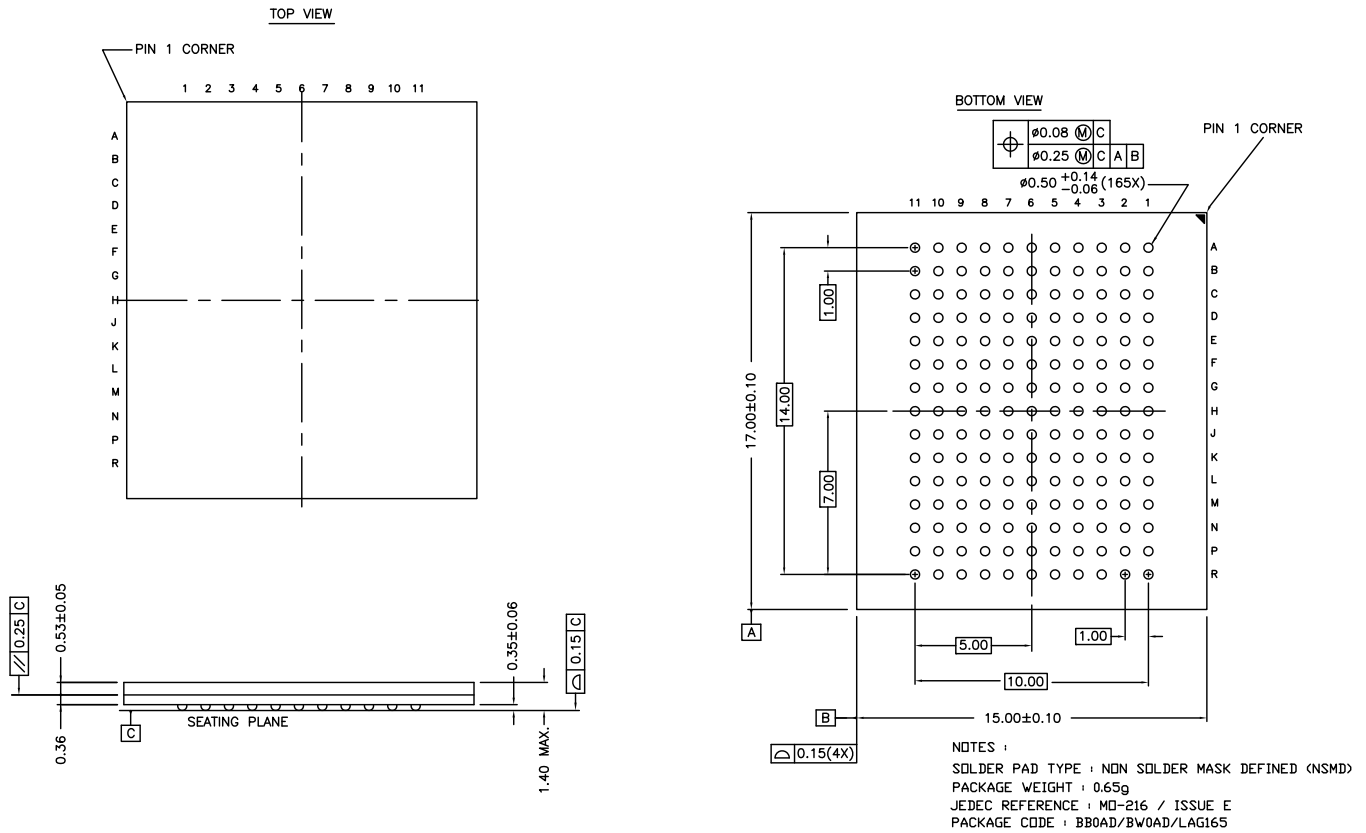
図 24. 54 ピン TSOP II パッケージ外形図 (51-85160)



51-85160 *E

外形図 (続き)

図 25. 165 ボール FBGA (15 mm × 17 mm × 1.40 mm) パッケージ外形図 (51-85195)



51-85195 *E

略語

表 8. 本書で使用される略語

略語	説明
BCD	Binary Coded Decimal (二進化十進表現)
CMOS	Complementary Metal Oxide Semiconductor (相補型金属酸化膜半導体)
EIA	Electronic Industries Alliance (米国電子工業会)
FBGA	Fine-Pitch Ball Grid Array (微細ピッチ ボール グリッド アレイ)
I/O	Input/Output (入力/出力)
JESD	JEDEC Standards (JEDEC 規格)
nvSRAM	nonvolatile Static Random Access Memory (不揮 発性スタティック ランダム アクセス メモリ)
RoHS	Restriction of Hazardous Substances (特定有害物質使用規制)
RTC	Real time clock (リアル タイム クロック)
RWI	Read and Write Inhibited (読み出しおよび書き込み禁止)
TSOP II	Thin Small Outline Package (小型薄型パッケージ)

本書の表記法

測定単位

表 9. 測定単位

記号	測定単位
°C	摂氏温度
Hz	ヘルツ
Kbit	キロビット
kHz	キロヘルツ
kΩ	キロオーム
μA	マイクロアンペア
mA	ミリアンペア
μF	マイクロファラド
Mbit	メガビット
MHz	メガヘルツ
μs	マイクロ秒
ms	ミリ秒
ns	ナノ秒
Ω	オーム
pF	ピコファラド
V	ボルト
W	ワット

この製品の全エラッタは修正済み、発行日付コード 1431 (YY=14、WW=31)。詳細については、データシート 001-67786 Rev. *G を参照する、または <http://www.cypress.com/support> にてサイプレス テクニカル サポートまで連絡してください。

改訂履歴

文書名 : CY14B116K/CY14B116M, リアル タイム クロック付き 16M ビット (2048K × 8 / 1024K × 16) nvSRAM 文書番号 : 001-92102			
版	ECN 番号	発行日	変更内容
**	4341490	4/11/2014	これは英語版 001-67786 Rev *D を翻訳した日本語版 Rev. ** です。
*A	5702664	04/25/2017	これは英語版 001-67786 Rev *J を翻訳した日本語版 001-92102 Rev. *A です。
*B	6791873	01/31/2020	これは英語版 001-67786 Rev *K を翻訳した日本語版 001-92102 Rev. *B です。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック & バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [サンプルコード](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカルサポート

cypress.com/support

© Cypress Semiconductor Corporation, 2011-2020. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。)) を含むものは、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が付属しておらず、かつ Cypress との間で別途本ソフトウェアの使用法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラッタと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のために提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, Capsense, EZ-USB, F-RAM, 及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。