

BGT60LTR11(B)AIP ユーザーガイド

60 GHz レーダー

本書について

適応範囲と目的

このアプリケーションノートは、データシートとユーザーガイドでの BGT60LTR11(B)AIP の使用方法の詳細を提供することを目的とします。

データシートでは技術データと制限されたデバイス内容のみが記載されているため、このユーザーガイドでは、デバイスの操作方法をより詳細に説明するために、次のことを説明しています。

- すべての異なるビルディングブロック
- さまざまなブロックの操作方法
- SPI レジスタの設定は、真理値表を含むトピックごとにグループ化されています。

対象者

この文書は、インフィニオンの 60 GHz の BGT60LTR11(B)AIP のハードウェア設計を始めようとするエンジニアのためのファームウェアやソフトウェア入門書として機能します。

目次

目次

	本書について	1
	目次	2
1	はじめに	4
2	メインコントローラ	5
2.1	「アドバンスモード」とクアッドステート入力	6
2.1.1	「アドバンスモード」	6
2.1.2	クワッドステートの基本	6
2.1.3	QS1	6
2.1.4	QS2	7
2.1.5	QS3	8
2.1.6	QS4	9
2.2	パワーアップとシーケンス	9
2.2.1	電源投入時	10
2.2.2	初期化シーケンス	10
2.2.3	パルスモードシーケンス	12
2.2.4	CW モードシーケンス	16
2.2.5	SPI モードシーケンス	17
2.2.6	検出器	17
2.3	動的制御信号の概要	17
3	SPI インターフェース	19
3.1	SPI インターフェースの説明	20
3.1.1	SPI 書き込みモード	20
3.1.2	SPI 読み出しモード	20
3.1.3	SPI バーストモード	21
3.1.3.1	SPI バーストアクセス	21
3.2	SPI レジスタ	22
3.2.1	レジスタの概要	22
3.2.2	ダイレクトアクセスレジスタ	23
3.2.3	レジスタマップのビットフィールド	23
3.2.4	レジスタ Reg0 – ダイレクトアクセスレジスタ	25
3.2.5	レジスタ Reg1 – ダイレクトアクセスレジスタ	27
3.2.6	レジスタ Reg2 – 閾値	28
3.2.7	レジスタ Reg4 – PLL 設定 1	29
3.2.8	レジスタ Reg5 – PLL 設定 2	31
3.2.9	レジスタ Reg6 – PLL 設定 3	32
3.2.10	レジスタ Reg7 – デューティサイクル、タイミング、pd、MPA	33
3.2.11	レジスタ Reg8 – 分周器	35
3.2.12	レジスタ Reg9 – ベースバンド	36

目次

3.2.13	レジスタ Reg10 – ホールド時間	38
3.2.14	レジスタ Reg12 – BITE	38
3.2.15	レジスタ Reg13 – Algo 1	39
3.2.16	レジスタ Reg14 – Algo 2	41
3.2.17	レジスタ Reg15 – デジタル制御	42
3.2.18	レジスタ Reg34 – ADC 開始	44
3.2.19	レジスタ Reg35 – ADC 変換	45
3.2.20	レジスタ Reg36 – ADC ステータス	47
3.2.21	レジスタ Reg38～53 – ADC の結果	47
3.2.22	レジスタ Reg56 – 状態とチップバージョン	48
3.2.23	レジスタ GSR0 – SPI ステータスレジスタ	51
4	AD コンバーター	52
4.1	AD 変換のシーケンス	52
4.1.1	バンドギャップの有効化	52
4.1.2	ローカル ADC クロックの有効化	52
4.1.3	ADC を有効化	52
4.1.4	ADC 変換の開始	52
4.1.4.1	単一変換	52
4.1.4.2	順次変換	52
4.2	ADC 構成	53
4.2.1	アナログ入力チャネルゲイン	53
4.2.2	アナログ入力電圧サンプリング	53
4.2.3	ADC フェーズ	53
4.3	変換時間	53
4.4	ADC のパワーダウンシーケンス	54
5	検出器	55
5.1	デジタル評価	55
5.1.1	ホールド時間	55
	改訂履歴	56
	免責事項	57

1 はじめに

BGT60LTR11(B)AIP は、アンテナ、設定可能な内蔵検出器、および完全に自律的な動作を可能にするステートマシンを含む、完全に統合されたマイクロ波モーションセンサーです。これは、BGT60LTR11AIP バージョンでは 61 GHz~61.5 GHz、BGT60LTR11(B)AIP バージョンでは 60.5 GHz~61GHz の周波数帯域でドップラーモーションセンサーとして動作できるように設計されています。

フェーズロックループ (PLL) を備えた分周器は、電圧制御発振器 (VCO) の周波数を安定させ、連続波 (CW) 動作を可能にします。このデバイスは、完全自律モードと SPI モードの 2 つの動作モードをサポートしています。この異なるモードは、ハードウェアプリセットピンを介して選択できます。

BGT60LTR11(B)AIP には、高周波信号生成用の統合された低位相ノイズプッシュプッシュ VCO があります。送信部は、シリアル・ペリフェラル・インターフェース (SPI) を介して制御し、設定可能/調整可能な出力パワー、ミディアムパワーアンプで構成されています。送信電力は、統合された電力検出器によって監視されます。パッケージ化されたモノリシックマイクロ波集積回路 (MMIC) は、最大のエリアカバレッジを実現する統合ブロードビームアンテナを備えています。

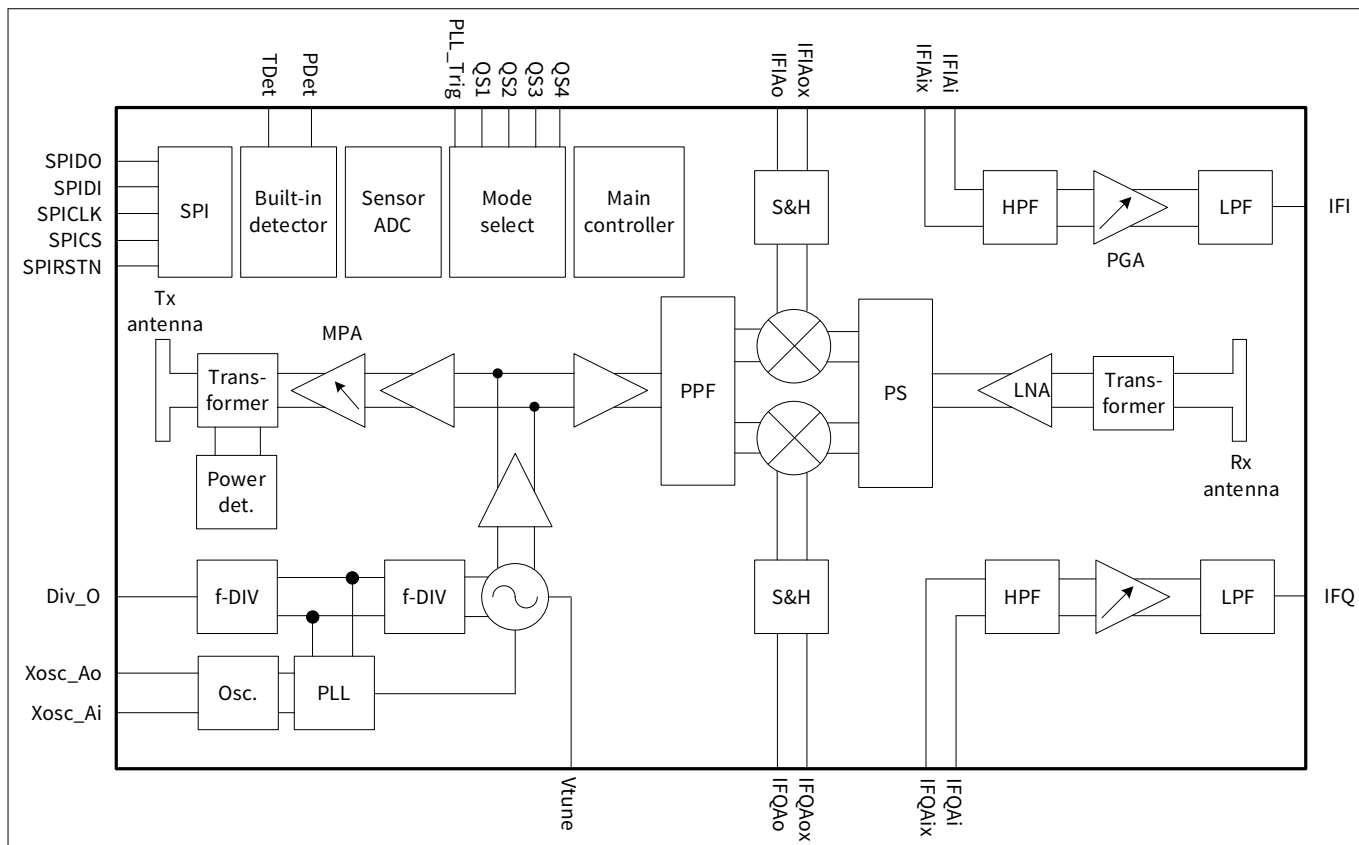


図 1 BGT60LTR11(B)AIP ブロック図

2 メインコントローラ

メインコントローラの主な目的は、自動的にパルスおよび CW モードを処理することです。さらに、SPI インターフェースを使用して外部マイクロコントローラからすべてを制御できる SPI モードも利用できます。

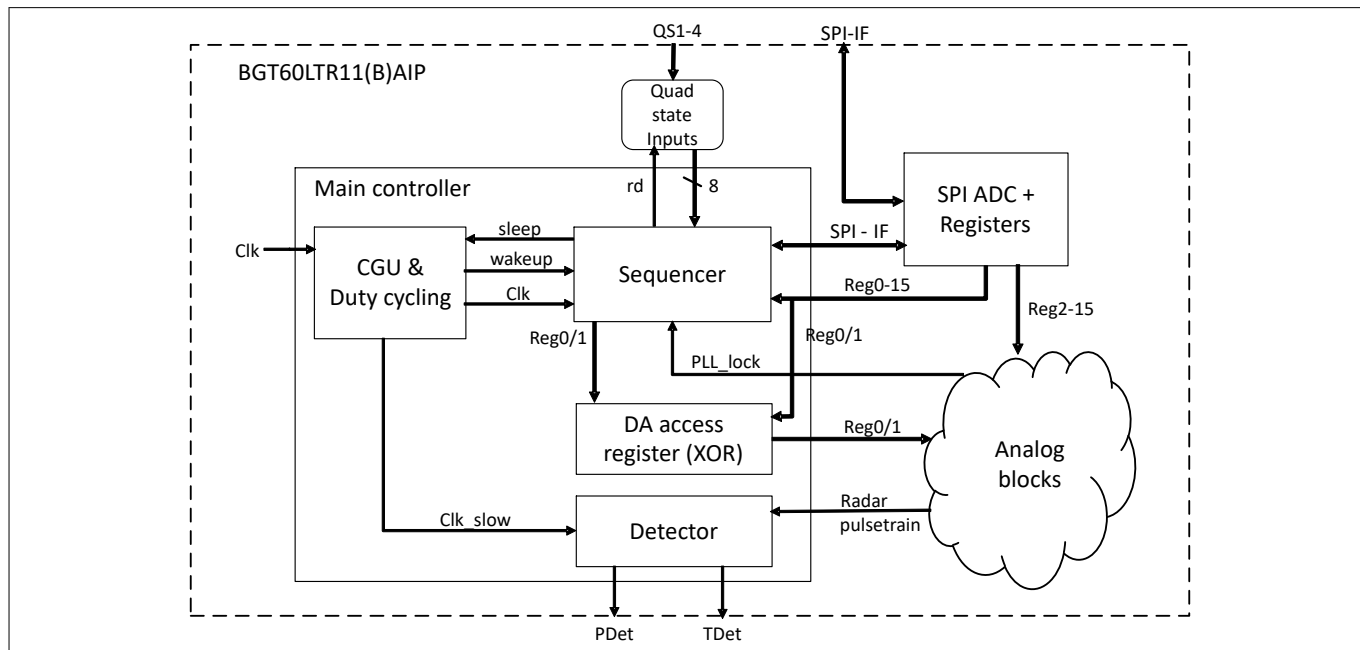


図 2 メインコントローラのブロック図

初期状態の指示情報は「接近」に設定されています。出力パッド電圧の真理値表を表 1 に示します。

表 1 出力パッド電圧の真理値表

モーション	接近/離れる	出力パッド電圧	
		TDet	PDet
No	離れる	高	高
No	接近	高	高
Yes	離れる	低	低
Yes	接近	低	高

BGT60LTR11(B)AIP は、4 つのクアドステート入力 QS1-4 を提供します。1 つのクアドステート入力を使用すると、1 つの入力ピンから 4 つのステートを取得できます。これらのピンは、チップの構成に使用されます。

2.1 「アドバンスモード」とクワッドステート入力

デジタルメインコントローラのリセット時および初期化シーケンス中に、チップが開始する設定を決定するために、いくつかのチップ入力ピンがサンプリングされます。

2.1.1 「アドバンスモード」

デジタルメインコントローラがリセットから立ち上がる間に PLL_Trig ピンが「0」のとき、チップブートはベーシックモードになります。

dc_rep_rate (REG7[11:10]) : ピンがチップの起動中に「1」に維持し、チップブートと QS1 が同時に GND または OPEN である場合、ピン SPIDI と SPICLK も PRT を決定するためにサンプリングされます。さらに、ピン QS2 と QS3 は ADC によって測定され、各「平均ウィンドウ」の前にそれぞれ 4 ビット値に変換されます。

表 2 アドバンスモードの PRT

PLL_Trig	SPIDI	SPICLK	dc_rep_rate	PRT
0	*	*	1	500 μ s
1	0	0	1	500 μ s
1	0	1	3	2000 μ s
1	1	0	0	250 μ s
1	1	1	2	1000 μ s

2.1.2 クワッドステートの基本

クワッドステート入力は、1 つの入力ピンで 4 つの異なる状態を設定できます。表 3 は、可能な入力状態と、結果として得られるそれぞれの内部信号をバイナリ記述で示しています。クワッドステート入力は、電源投入時のメインコントローラにより初期化シーケンスの開始時点にサンプリングされます。このサンプリング後の変更は無効です。リセットピンをセットするか、レジスタ Reg15 に対応するビットを書き込みソフトリセットをアクティブにすることで、リサンプリングをトリガーすることができます。

表 3 クワッドステート入力の状態

パッド	ビット 1	ビット 0
ground	0	0
open	0	1
100 k Ω ~ V_{DD}	1	0
V_{DD}	1	1

2.1.3 QS1

QS1 は、チップのモード (Autonomous または SPI) を選択するために使用されます。

表 4 QS1

パッド	ビット 1	ビット 0	動作モード
Ground	0	0	自律 CW モード ¹⁾
open	0	1	自律パルスモード

(続く)

2 メインコントローラ

表 4 (続き) QS1

パッド	ビット 1	ビット 0	動作モード
100 kΩ ~ V_{DD}	1	0	外部 9.6MHz クロックが有効になる SPI モード
V_{DD}	1	1	SPI モード

1) 通常の動作モードではありません。FCC、ETSI などのテスト目的のみです。

2.1.4 QS2

QS2 は、ターゲットの同一なレーダー反射断面積に対して検出器の閾値を選択するために使用されます。検出器のしきい値が低いほど、検出範囲が高くなります。[レジスタ Reg10 – ホールド時間](#)で説明されているレジスタ Reg2 に書き込まれます。

表 5 QS2

パッド	ビット 1	ビット 0	検出器の閾値
ベーシックモード			
ground	0	0	80
open	0	1	192
100 kΩ ~ V_{DD}	1	0	480
V_{DD}	1	1	2560

アドバンスモード

$1 \cdot V_{DD}/16 - 2 \cdot V_{DD}/16$ ¹⁾	*	*	66
$2 \cdot V_{DD}/16 - 3 \cdot V_{DD}/16$	*	*	80
$3 \cdot V_{DD}/16 - 4 \cdot V_{DD}/16$	*	*	90
$4 \cdot V_{DD}/16 - 5 \cdot V_{DD}/16$	*	*	112
$5 \cdot V_{DD}/16 - 6 \cdot V_{DD}/16$	*	*	136
$6 \cdot V_{DD}/16 - 7 \cdot V_{DD}/16$	*	*	192
$7 \cdot V_{DD}/16 - 8 \cdot V_{DD}/16$	*	*	248
$8 \cdot V_{DD}/16 - 9 \cdot V_{DD}/16$	*	*	320
$9 \cdot V_{DD}/16 - 10 \cdot V_{DD}/16$	*	*	384
$10 \cdot V_{DD}/16 - 11 \cdot V_{DD}/16$	*	*	480
$11 \cdot V_{DD}/16 - 12 \cdot V_{DD}/16$	*	*	640
$12 \cdot V_{DD}/16 - 13 \cdot V_{DD}/16$	*	*	896
$13 \cdot V_{DD}/16 - 14 \cdot V_{DD}/16$	*	*	1344
$14 \cdot V_{DD}/16 - 15 \cdot V_{DD}/16$	*	*	1920
$15 \cdot V_{DD}/16 - 16 \cdot V_{DD}/16$	*	*	2560

1) サンプリングされた電圧範囲に応じて割り当てられた QS 状態: 例えば、 $1 \cdot V_{DD}/16 - 2 \cdot V_{DD}/16$ は、 $1 \cdot V_{DD}/16$ から $2 \cdot V_{DD}/16$ までを意味します。

2.1.5 QS3

QS3 は、TDet 出力のホールドタイムを選択するために使用されます。これはターゲットが検出された後、出力ステータスが保持される期間を定義します。[レジスタ Reg10 - ホールド時間](#)で説明されているレジスタ Reg10 に書き込まれます。

表 6 QS3

パッド	ビット 1	ビット 0	TDet ホールドタイム
ベーシックモード			
ground	0	0	16/32/64/128 ms (dc_rep_rate 内の dep.)
open	0	1	1 s
100 kΩ to V _{DD}	1	0	10 s
V _{DD}	1	1	1 min
アドバンスモード			
0*V _{DD} /16 – 1*V _{DD} /16 ¹⁾	*	*	100 ms
1*V _{DD} /16 – 2*V _{DD} /16	*	*	500 ms
2*V _{DD} /16 – 3*V _{DD} /16	*	*	1 s
3*V _{DD} /16 – 4*V _{DD} /16	*	*	2 s
4*V _{DD} /16 – 5*V _{DD} /16	*	*	3 s
5*V _{DD} /16 – 6*V _{DD} /16	*	*	5 s
6*V _{DD} /16 – 7*V _{DD} /16	*	*	10 s
7*V _{DD} /16 – 8*V _{DD} /16	*	*	30 s
8*V _{DD} /16 – 9*V _{DD} /16	*	*	45 s
9*V _{DD} /16 – 10*V _{DD} /16	*	*	1 min
10*V _{DD} /16 – 11*V _{DD} /16	*	*	90 s
11*V _{DD} /16 – 12*V _{DD} /16	*	*	2 min
12*V _{DD} /16 – 13*V _{DD} /16	*	*	5 min
13*V _{DD} /16 – 14*V _{DD} /16	*	*	10 min
14*V _{DD} /16 – 15*V _{DD} /16	*	*	15 min
15*V _{DD} /16 – 16*V _{DD} /16	*	*	30 min

1) サンプリングされた電圧範囲に応じて割り当てられた QS 状態: 例えば、1*V_{DD}/16 – 2*V_{DD}/16 は、1*V_{DD}/16 から 2*V_{DD}/16 までを意味します。

2.1.6 QS4

QS4 は、PLL の設定によりデバイスの動作周波数を選択するために使用されます。周波数は、チップのバージョン (BGT60LTR11AIP または BGT60LTR11(B)AIP) にも依存します。

表 7 QS4

パッド	ビット 1	ビット 0	VCO 周波数
BGT60LTR11AIP			
ground	0	0	61.1 GHz
open	0	1	61.2 GHz
100 k Ω ~ V_{DD}	1	0	61.3 GHz
V_{DD}	1	1	61.4 GHz
BGT60LTR11BAIP			
ground	0	0	60.6 GHz
open	0	1	60.7 GHz
100 k Ω ~ V_{DD}	1	0	60.8 GHz
V_{DD}	1	1	60.9 GHz

警告: 同じ動作周波数で近接で動作しているセンサーは干渉する可能性があります。

2.2 パワーアップとシーケンス

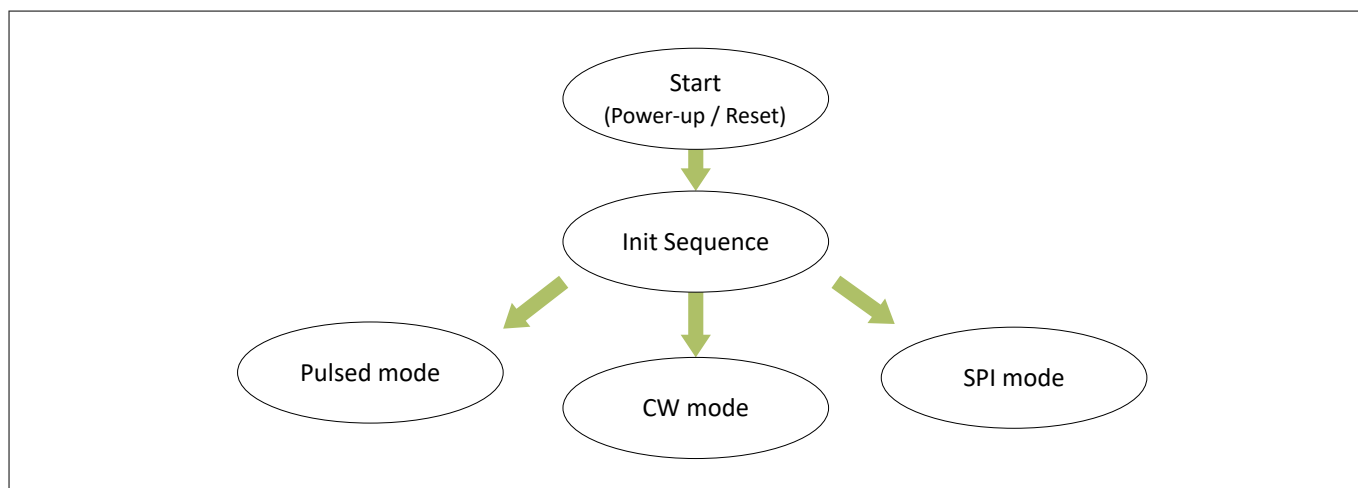


図 3 状態図の概要

クワッドステート入力 QS1 に応じて、3 つの使用可能なモードのいずれかが選択されます。起動時、内部メインコントローラが SPI インターフェースを制御します。したがって、そのフェーズ中または自律 (パルスまたは CW) モード中に外部からチップをプログラムすることは推奨しません。したがって、SPI アクティビティは、SPI モードの場合にのみ推奨されます。

その理由は、メインコントローラは同期の問題を防止するために、パッド SPICSN がアクティブ(=0) であればに停止されるためです。これは、SPI インターフェースの現在のマスターとは無関係です。したがって、SPI インターフェースを使用しない場合、または外部コントローラが存在しない場合は、パッドを「1」に設定する必要があります。

2.2.1 電源投入時

図 4 に、電源投入に関連する内部信号を示します。

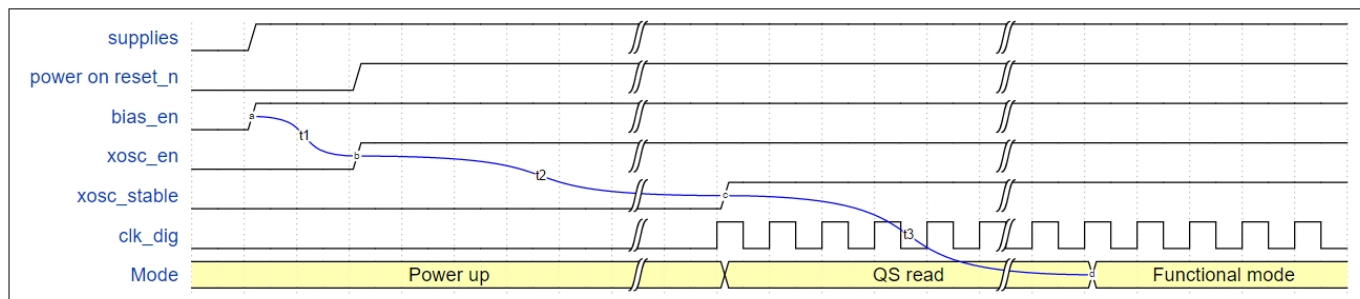


図 4 電源投入時

供給ランプは 400 μ s より短くする必要があります。bias_en は電源に直接接続されているため、同時にランプします。統合されたパワーオンリセットにより、デジタル部分が定義された状態でウェイクアップし、この信号が発振器を起動する xosc_en にも接続されます。これらの信号の立ち上りエッジ間の時間 t_1 は、少なくとも 9 μ s 以上の必要があります。これは、ランプする時間が定義されたとおりに満たされます。

発信機はメインコントローラのクロックを安定かつ有効化する時間 t_2 を必要とし、 t_2 は 1 ミリ秒未満です。時間 t_3 は QS1-4 入力設定を読み込むために必要とされます。これには 200 μ s かかります。チップは、外部から SPI モード、パルスモードまたは CW モードで SPI コマンドを受け入れることができ、これには 25 μ s 以上かかります。

2.2.2 初期化シーケンス

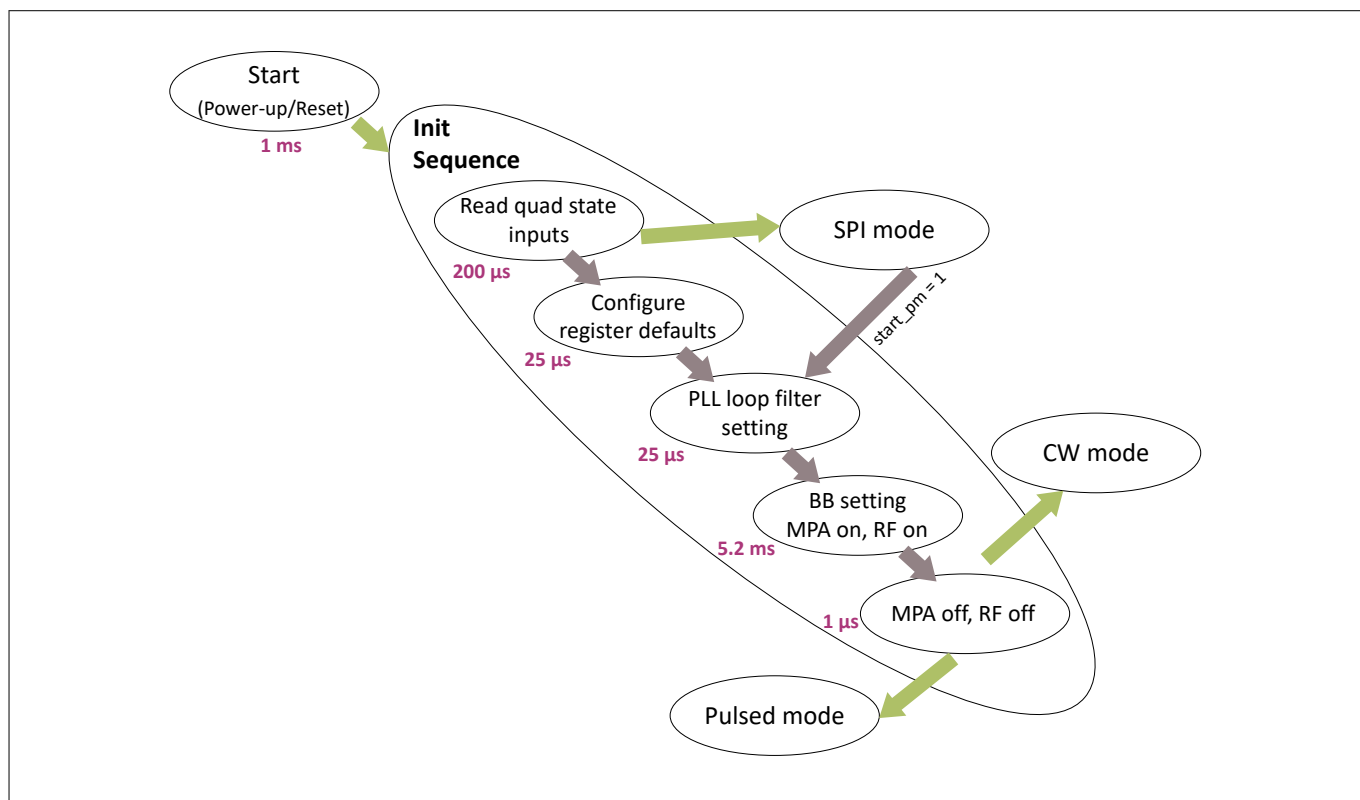


図 5 初期化シーケンス

2 メインコントローラ

初期化シーケンスは、電源投入/リセットの直後に開始されます。これは、次の手順で構成されます。

1. 選択された動作モードを知るために、クワッドステート入力を読み出します。これはアナログセトリングに 200 μ s を必要とします。SPI モードの場合、初期化シーケンスが終了され、メインコントローラが SPI モードに切り替わり、SPI インターフェースの制御が外部マイクロコントローラに切り替わります。
2. パルスモードと CW モードの場合、設定レジスタのデフォルト値が設定され、内部の SPI ADC ブロックの SPI インターフェースを使用して書き込まれます。
3. PLL が起動後、ループフィルターのセトルメント中には中電力増幅器 (MPA) はアクティブになりません。20 μ s 後、MPA がアクティブになり、RF も実行されます。BB が安定するまで 5ms かかります。
4. CW モードを選択すると、初期化シーケンスが終了し、メインコントローラが CW モードに切り替わります。
5. パルスモード MPA の場合、RF および PLL がオフになり、メインコントローラがパルスモードに切り替わります。

初期化シーケンス終了時にはステータスビットである INIT_DONE (Reg56[13])が設定されます。

表 8 **初期化シーケンスの詳細**

番号	コマンド	説明
1	write Reg1 0x0100	ビット qs_rd_en を設定
2	2*read Reg55	事前に定義された値を 2 回読み出し、十分なクロックサイクルを提供
3	wait 200 μ s	クワッドステート入力を読み出す前に 200 μ s 待機
4	read quad state inputs	SPI モード設定時に初期化シーケンスを読み出し、終了
5	write Reg1 0x0000	リセットビット qs_rd_en
6	spiwrite Reg4 Reg4_init	定義された初期値を書き込み
7	spiwrite Reg5 Reg5_init	定義された初期値を書き込み
8	spiwrite Reg6 Reg6_init	定義された初期値を書き込み
9	spiwrite Reg7 Reg7_init	定義された初期値を書き込み (PLL_Trig, SPICLK, SPIDI ピンから部分的に計算)
10	spiwrite Reg8 Reg8_init	定義された初期値を書き込み
11	spiwrite Reg9 Reg9_init	定義された初期値を書き込み
12	spiwrite Reg2 Reg2_init	定義された初期値を書き込み (ピン PLL_Trig、クワッドステート(アドバンスモードでのアナログ読み出し) から計算)
13	spiwrite Reg10 Reg10_init	定義された初期値を書き込み (ピン PLL_Trig、クワッドステート(アドバンスモードでのアナログ読み出し) から計算)
14	write Reg0 0x311F	vcobuf_en, vco_en, pll_en, rxbuf_en, txbuf_en, mixi_en, mixq_en, lna_en を設定
15	write Reg1 0x1036	div_bias_en, bb_boost_dis, bb_clk_chop_en, bb_strup_hp, bb_amp_en を設定
16	wait PLLen 2 PLLactive	定義された時間 pll_en から pll_active (2 μ s) まで待機
17	write Reg0 0x371F	pll_active、pll_clk_gate_en を設定
18	wait for lock detect	待機後、SPI の制御を外部に設定
19	wait 20 μ s	MPA をオフにして PLL ループフィルターをセトリング
20	write Reg0 0x373F	mpa_en を設定

(続く)

表 8 (続き) 初期化シーケンスの詳細

番号	コマンド	説明
21	wait MPA to sample enable	MPA が Sample & Hold – mpa2sh_dly (Reg7 [5:4]) を有効にするまで設定時間待機
22	write Reg1 0x1037	bb_sample_en を設定
23	wait 5 ms	ベースバンドがセトリングするまで待機
24	end for CW mode	CW モードの設定時に初期化シーケンスを終了
25	write Reg1 0x1092	bb_boost_dis, bb_strup_hp, bb_sample_en をリセットし、bb_dig_det_en を設定。 (100ns 待機)
26	write Reg0 0x371F	mpa_en をリセット
27	wait 20 μ s	パルスモード時、最適なリロックのために MPA がアクティブではない状態での PLL のセトリングを許可
28	write Reg0 0x311F	pll_active、pll_clk_gate_en をリセット (100ns 待機)
29	write Reg1 0x0092	div_bias_en をリセット
30	write Reg0 0x0900	RF オフ、pll_en のみがオン、pll_open_loop が設定される
31	end for pulsed mode	パルスモードの初期化シーケンスを終了し、dc_rep_rate (Reg7[11:10]) で定義されたスリープフェーズでパルスモードを開始。その後、パルスモードシーケンスが開始

2.2.3 パルスモードシーケンス

パルスモードでは、VCO, RF, および PLL がオフになった後の短時間だけデバイスがアクティブになります。その後、ベースバンドは常に動作し続けます。オン/オフレートは約 1:5 から 1:140 の範囲設定が可能です。デフォルト設定は 1:35 ですこれは、デフォルトの繰り返し時間が 500 μ s で、オン時間が 14 μ s であるためです。これは、RF および PLL の起動に必要な約 9 μ s と、デフォルトのサンプル時間として 5 μ s で構成されます。

表 9 パルスモードシーケンスの詳細

	コマンド	内容
1	write Reg0 0x391F	vcobuf_en, vco_en, pll_en, rxbuf_en, txbuf_en, mixi_en, mixq_en, lna_en を設定
2	write Reg1 0x1092	div_bias_en を設定
3	wait VCO to PLL	定義された時間 VCO が PLL にオンになるのを待機 – vco2pll_dly (Reg7[6])
4	write Reg0 0x3F1F	pll_active、pll_clk_gate_en を設定
5	wait for lock detect	
6	write Reg0 0x3F3F	mpa_en を設定
7	wait MPA enable to S&H	定義された時間、MPA が Sample&Hold を有効にするまで待機 – ld2sh_dly (Reg7[5:4])
8	write Reg1 0x1093	bb_sample_en を設定

(続く)

表 9 (続き) パルスモードシーケンスの詳細

	コマンド	内容
9	sampling running	定義された時間待機- dc_on_pulse_len (Reg7[9:8])
10	write Reg1 0x1092	bb_sample_en をリセット 100ns 待機
11	write Reg0 0x393F	pll_active、pll_clk_gate_en をリセット 100ns 待機
12	write Reg0 0x391F	mpa_en をリセット 100ns 待機
13	write Reg1 0x0092	div_bias_on をリセット
14	write Reg0 0x0900	RF がオフで、pll_en のみがオンのままで、pll_open_loop が設定
15	wait for next wake-up	シーケンスは、定義された時間の後に再開されます。 dc_rep_rate dc_rep_rate (Reg7[11:10]), dc_rep_rate は、アクティブフェーズからアクティブフェーズまでを測定します

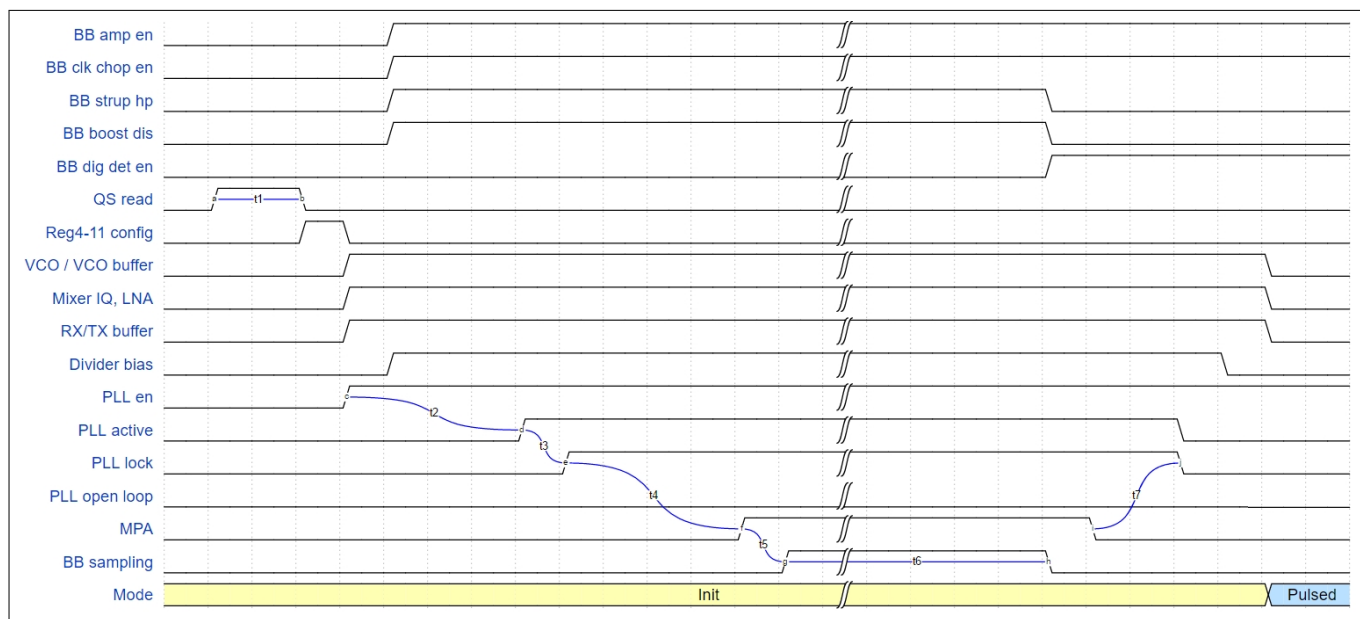


図 6 パルスモード - 初期化フェーズ

図 6 に、パルスモード初期化フェーズのすべての制御信号の波形図を示します。

t1: 200 μ s、クアッドステートの読み出し入力が 1 になるまでに必要な時間。

それぞれのブロックがオン変わる前に、設定レジスタ Reg4-11 が書き込まれます。

2 メインコントローラ

- t2: 2 μ s、PLL がアクティブ状態に設定される前に PLL イネーブルが有効になるのに必要な時間。VCO をオンにした直後に、分周器バイアスをアクティブにする必要があります。
- t3: $\sim 15 \mu$ s、PLL ロックに必要な時間。
- t4: 20 μ s、MPA を無効にした状態でのループフィルターのセトリングに必要な時間。
- t5: mpa2sh_dly (初期値は 1 μ s)、MPA をアクティブにしてからサンプリングするまでの時間。
- t6: 5ms、ベースバンドのセトリングに必要な時間。
- t7: 20 μ s、パルスモードで最良の再ロック状態を可能にするために MPA を無効にして PLL がセトリングするのに必要な時間。

これでデジタル検出器がオンになり、カウントが開始され、アナログ検出器が安定するまでさらに 50 ミリ秒かかります。BB は同時にパルスモード用に設定されます。

初期化フェーズでは、PLL と RF は次の順序でオフになります: Sample&Hold / MPA / PLL / Divider bias / RF、各ステップは 100ns かかる必要があります。MPA を無効にした後、時間 t_7 が必要です。信号 pll_clk_gate_en は pll_active と同じである必要があります。

レジスタは、外部からアクティブパルスモード中にプログラムできますが、次の点を考慮する必要があります。

- アクセスは、レジスタの変更を待つ間、メインコントローラのシーケンサを停止します。bb_clock_chop、デジタル検出器、ウェイクアップカウンタはまだ動作中です。
- pll_en = 1 (Reg0[8]) または pll_clk_gate_en = 1 (Reg0[10]) の場合、PLL レジスタ (Reg4 – Reg6) は変更しないでください。
- bb_dig_det_en = 1 (Reg1[7]) の場合、デジタル検出器の設定 (Reg2、Reg10) を変更しないでください。
- ウェイクアップロジックからシーケンサへのウェイクアップパルスの長さは 1.6 μ s です。SPI アクセスがパルス全体をカバーする場合、次の電源投入フェーズはスキップされます。次のウェイクアップパルスで、次のウェイクアップが発生します。

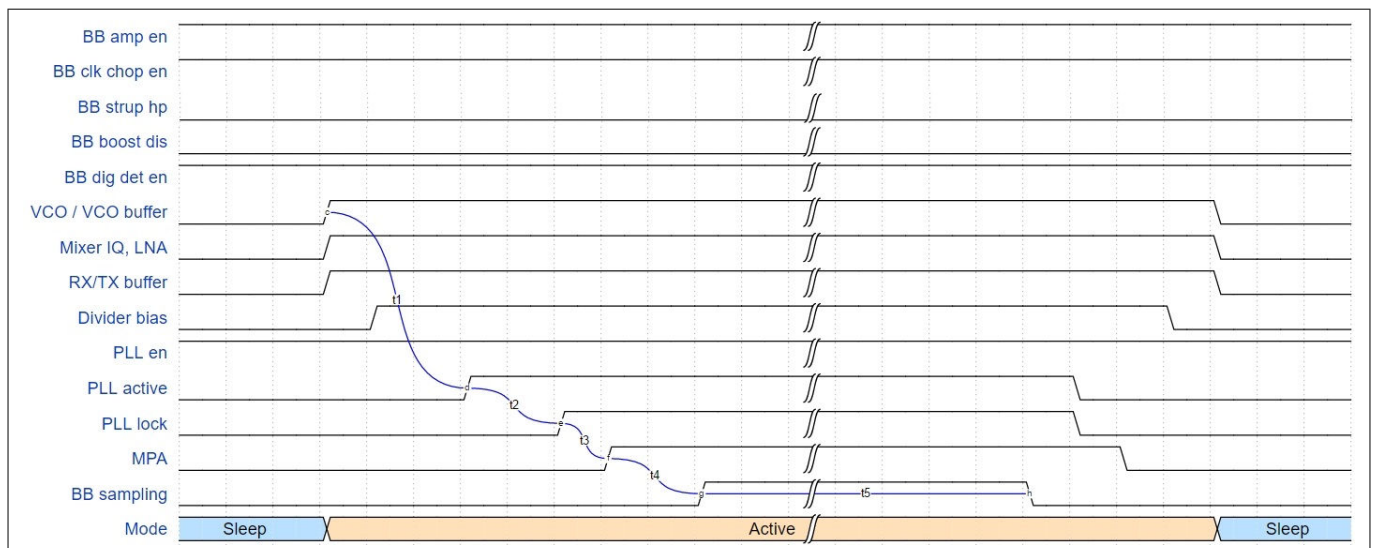


図 7 パルスモード - アクティブフェーズ

図 7 は、スリープフェーズで始まりスリープフェーズで終了する初期化フェーズ後のパルスモードを示します。dc_rep_rate (Reg7[11:10]) は、アクティブフェーズの開始から次のアクティブフェーズの開始までの時間を定義します。

2 メインコントローラ

- t1: vco2pll_dly (初期値は 1 μ s)、VCO を有効にした後に PLL アクティブが設定される時間。VCO をオンにした直後に、分周器バイアスをアクティブにする必要があります。
- t2: $\sim 5 \mu$ s、PLL がロックに必要な時間。
- t3: 300 \sim 400 ns、ロック検出信号の同期と MPA の有効化に必要な時間。
- t4: mpa2sh_dly (初期値は 1 μ s)、MPA をアクティブにしてからサンプリングするまでの時間。
- t5: dc_on_pulse_len (初期値は 5 μ s) Reg7[9:8]、時間どおりにサンプリング。

アクティブフェーズの場合、PLL と RF は次の順序でオフになります: Sample&Hold / PLL / MPA / Divider bias / RF、各ステップは 100ns かかる必要があります。信号 pll_clk_gate_en は pll_active と同じである必要があります。

パルスが終了するとすぐに、ADC が開始され、IF 信号が変換されてデジタル検出器により測定されます。

2.2.4 CW モードシーケンス

連続波モードでは、デバイスはクアッドステート入力どおり設定された状態でアクティブになります。メインコントローラは ADC のみを使用し、デジタル検出器で IF 信号を測定します。初期化シーケンスは正しいステップで残されたため、CW モードシーケンス自体には 2 つのエントリしか含まれません。1 つは制御信号のみをオフにし、検出器のデジタル部分をオンにするためです。

表 10 CW モードシーケンスの詳細

	コマンド	説明
1	write Reg1 0x10B3	bb_dig_det_en を設定し、bb_strup_hp をリセットします
2	end	

図 8 は、初期化フェーズを含む CW モードを示します。

ベースバンドのセトリングが終了するまでの初期化フェーズは、パルスモードの場合と同じです。CW モードでは、ベースバンドとサンプリングは継続的にオンになり、bb_strup_hp=0 になります。

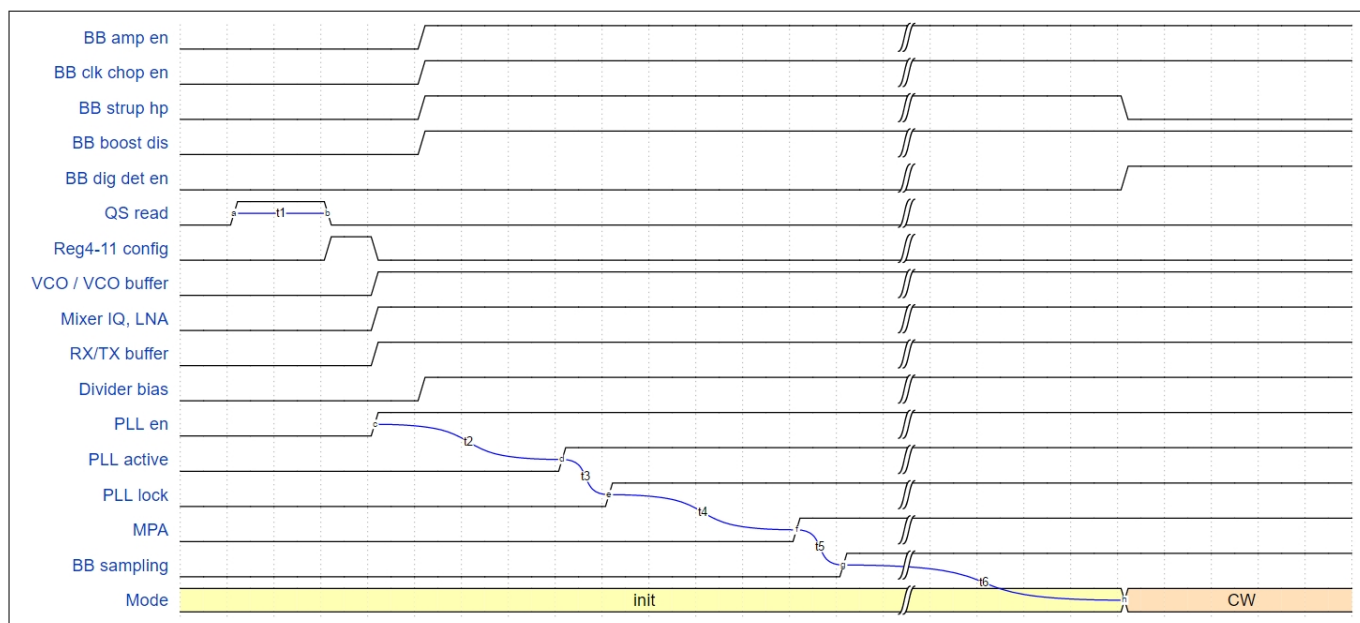


図 8 CW モード

2.2.5 SPI モードシーケンス

これはマニュアルモードであり、メインコントローラは非アクティブであり、Reg0/1 はメインコントローラによりすべてオフに設定されています。SPI シーケンスは、クアッドステート入力をオフにするだけです。クアッドステート入力 QS1 に応じて、外部 9.6 MHz クロックが有効 (QS1="10") または無効 (QS1="11") になります。

表 11 SPI モードシーケンスの詳細

	コマンド	説明
1	write Reg1 0x0000	qs_rd_en ビットをリセットします
2	end	

オプションとして、レジスタを構成し、後でパルスモードまたは CW モードをアクティブにすることもできます。これは、start_pm (Reg15[14]) を "1" に設定することで実行できます。start_cw = 0 (Reg15[12]) の場合はパルスモードになり、それ以外の場合は CW モードになります。

外部クロックが有効になっている場合 (QS1="10")、ビット clk_ext_dis (Reg15[13]) を設定することにより、同じ SPI アクセスでオフに切り替えることができます。クロックがオフになると、外部コンポーネントがスリープ状態になるように、さらに 16~32 個のクロックが配信されます。

2.2.6 検出器

RF ブロックをオンにすると、検出器をアクティブにできます。ベースバンドのセトリングのために検出器を有効にしてから、さらに 50ms かかります。この間、出力 TDet と PDet は非アクティブ状態に保たれます。

2.3 動的制御信号の概要

表 12 動的制御信号の概要

	パルスモード	CW モード	SPI モード
vcobuf_en, vco_en	トグル	1	0
pll_clk_gate_en, pll_active	トグル	1	0
pll_open_loop	0	0	0
pll_en	1	1	0
mpa_en	トグル	1	0
rxbuf_en, txbuf_en	トグル	1	0
mixi_en, mixq_en	トグル	1	0
lna_en	トグル	1	0
div_bias_en	トグル	1	0
qs_rd_en	0	0	0
bb_dig_det_en	1	1	0
bb_boost_dis	0	1	0
bb_clk_chop_en	1	1	0
bb_strup_hp	0	0	0
bb_amp_en	1	1	0

(続く)

表 12 (続き) 動的制御信号の概要

	パルスモード	CW モード	SPI モード
bb_sample_en	トグル	1	0

動的制御信号は、アナログブロックとデジタルブロックのオン/オフを切り替えるために使用されます。これらは、(=レジスタ=0/1) ダイレクトアクセスレジスタに配置されています。メインコントローラはフルクロック速度でシーケンスを実行でき、各レジスタアクセスに 100ns かかります。他のすべてのレジスタの場合、メインコントローラは約 25 クロックサイクル (=2.5 μ s) 必要とする SPI インターフェースを使用する必要があります。

図 13 に、この概念のブロック図を示します。これらのビットをマニュアルでプログラミングする場合は、排他的論理和ロジックを考慮する必要があります。

メインコントローラが 1 つのビットをオフにする場合は、"1"でプログラミングすることで実行できます。メインコントローラが 1 つのビットをオンにする場合は、"0"でプログラミングすることで実行できます。

明確にするためのいくつかの例:

- bb_clk_chop_en をオフにする必要がある場合は、パルスモードと CW モードの場合は"1"、SPI モードの場合は"0"にプログラムする必要があります。
- bb_boost_dis をオンにする必要がある場合は、パルスモードと SPI モードの場合は"1"、CW モードの場合は"0"にプログラムする必要があります。
- lna_en をオフにする必要がある場合は、CW モードは"1"、SPI モードは"0"にプログラムする必要があります。メインコントローラにより継続的にプログラムされるため、パルスモードではオフにできません。"1"でプログラミングすると、ビットが反転するだけです。

3 SPI インターフェース

SPI – Serial Peripheral Interface

- 7 ビットの連続アドレス空間
- 16 ビットの固定ペイロード
- チップセレクト (スレーブ選択) は Low アクティブ
 - 外部 SPI マスターから SPI アクセスがない場合、High に保つ必要があります。SPI モードではこのようなアクセスが推奨されています。メインコントローラによって内部的にも使用されるため、このように使用しない場合、SPI インターフェースで競合が発生する可能性があります。

- SPICS=1 の場合、データ出力 SPIDO (別名 MISO) は High-Z です

上記のような競合で引き起こされる問題を回避するために、以下を推奨します。

- SPI を使用しない場合は、SPICSN を High に保ってください。そうしないと、内部シーケンサが続行できず、動作が停止します。

- チップが自律モード (パルス / CW) で動作している間、以下のタイミング制約を考慮する必要があります。

SPIDO を使用可能にするため、ビット「miso_drv」(Reg15[6])を設定することを強く推奨します!

- アクセス中は SPICSN を長時間 (1.6 μ s) ローに駆動してはいけません。これによって、内部使用の SPI を妨げ、シーケンサのタイミングを崩します。これは主に低速のデータレート (16 Mbps 未満) の場合やバーストアクセスに関連しています。
 - アクセスを開始する際には、以下の調停プロトコルを使用する必要があります。
 1. 初期状態では、SPICSN は High にドライブされています (最小で 100ns 以上)。
 2. SPIDO が Low になるまで待ちます (High は内部シーケンサが SPI を使用していることを意味します)。ul> - それは長い時間はかからないはずです。しかし、何かが完全に壊れている場合は、タイムアウトのような問題の検出に役立つ場合があります。「miso_drv」=0 の場合は、このステップをスキップしてください。
3. SPICSN を Low にドライブする (バスを予約してみてください)。
4. 100ns 以上待ちます (SPICSN の同期に必要な時間)。
5. SPIDO をもう一度チェックしてください。High であれば (シーケンサも SPI を開始し)、ステップ 1 に進んでください。
 - それ以外の場合は、ステップ 6 に進んでください。
6. 実際のデータ送信を行ってください。ここでは、あまり時間をかけないでください (上記参照)!
7. SPICSN を High にドライブしてください (バスを解放)。
- アクティブモード時のタイミングとアービトレーションを制限する代わりに、SPI を内部で使用していないスロットを使用することも可能です。つまり周期的な SPIDO のパターン (周期はサンプルレート) に従って、外部アクセスを調整します。

3.1 SPI インターフェースの説明

SPI コマンドはデータ入力 SPIDI (シリアルデータ入力) を介して読み込まれ、この入力はマスター(FPGA)から供給されるクロック入力 SPICLK に同期しています。出力ワードは、データ出力 SPIDO (シリアルデータ出力) に同期して表示されます。送信サイクルは、入力信号 SPICSN (chip select not) のアクティブ Low により開始します。SPICLK の最後の立ち上りエッジで、データが書き込まれます。レジスタ・ブロック送信サイクルは、入力信号 SPICSN の立ち上りエッジで終了します。

動作エッジはクロックの立ち上りエッジです。動作エッジごとに SPIDI のステータスが入力レジスタにシフトされます。また、作業エッジごとに、SPIDO バスの状態が出力からシフトされます。SPIDO のタイミングは fast_mode (reg15[8]) を"1"に設定することで変更できます。この場合、SPIDO は SPI クロックサイクルの半分だけ遅延します(したがって、代わりに立ち下りエッジで変化します)。これにより、外部 SPI マスターのホールド時間が長くなります(ただし、セットアップ時間は短くなります)。

3.1.1 SPI 書き込みモード

書き込み(ライト)アクセスは、SPICSN の立ち下りエッジの後で、MSB を先頭に 7 ビットのアドレスを転送して開始します。続く 8 ビット目の (RW = read/write ビット) が"1"であれば、ライトアクセスであることを示します。その後、16 ビットのペイロードが送信されます。送信順番は MSB が先です。

アドレスと RW ビットを受信すると同時に、グローバルステータスレジスタ GSR0 (8 ビット) が SPIDO (MSB ファースト) でシリアルシフトアウトされます。ペイロードの送信中、前のレジスタの内容が SPIDO でシリアルにシフトアウトされます。

最後に SPICSN の立ち上りエッジでアクセスを終了します。

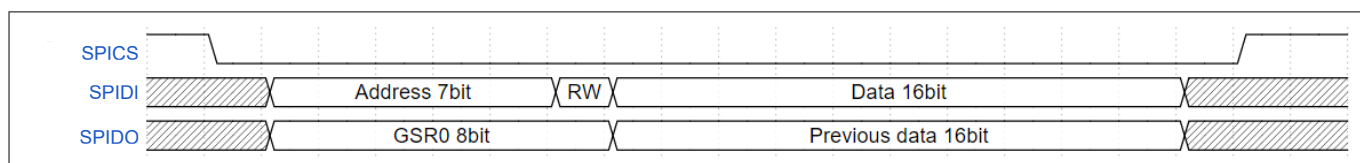


図 9 SPI 書き込み - MSB、RW = "1"

3.1.2 SPI 読み出しモード

読み出し(リード)アクセスは、SPICSN の立ち下りエッジの後で、MSB を先頭に 7 ビットのアドレスを転送して開始します。続く 8 ビット目 (RW=read/write ビット) が"0"であれば、リードアクセスであることを示します。次の 16 ビットデータは、リードアクセスには必要ないため、無視されます。

アドレスと RW ビットを受信すると同時に、グローバルステータスレジスタ GSR0 (8 ビット) が SPIDO (MSB ファースト) でシリアルシフトアウトされます。その直後、読み出されたデータは SPIDO でシリアルにシフトアウトされます。最後に SPICSN の立ち上りエッジでアクセスを終了します。

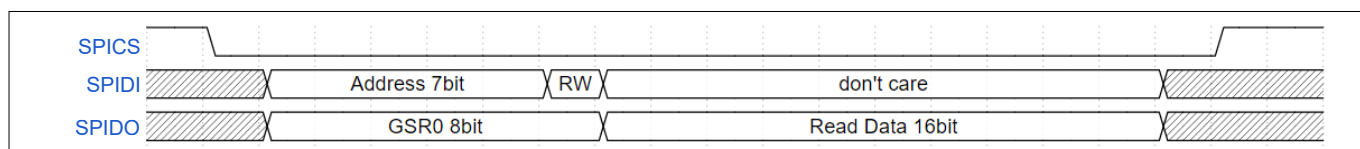


図 10 SPI 読み出し - MSB、RW = "0"

3.1.3 SPI バーストモード

バーストモードは、単一のレジスタだけを読み出すのではなく、複数のレジスタを読み出したり書き出したりするために使用されます。バーストモードコマンドはいくつかのビットフィールドで構成され、表 13 に示されています。

バーストコマンドの例:

レジスタ Reg4 にアクセスするためのバーストコマンド (読み出し: 0xFF08、書き込み: 0xFF09)

表 13 バーストモードコマンド

ビットフィールド	ビット幅	ビットフィールド名	説明
15:8	8	addr/RW	バースト開始アドレス (常に 0xFF)
7:1	7	saddr	バーストモード開始アドレス
0	1	rwb	バーストモードの読み出し/書き込み 0-バースト読み出し 1-バースト書き込み

3.1.3.1 SPI バーストアクセス

スタートコンディションの後、SPIDI 上に SPI マスターから 16 ビットバーストモードコマンドが送信されます。同時に SPIDO 上でステータスレジスタ GSR0 (8bit) と 8bit のダミーデータが SPIDO 上でシフトアウトされます。コマンドシーケンスが完了した後、バーストライトモードでは、書き込みバーストデータは SPIDI の SPI マスターからシフトインされるか、読み出しバーストデータはバースト読み出しモードの SPIDO の SPI マスターにシフトアウトされます。

バーストアクセスでは、任意の数の書き込み/読み出しデータブロックを使用できます。アクセスは、SPICS の立ち上がりエッジで終了します。

バーストモード読み出しシーケンス

バースト読み出しシーケンスでは、SPI マスターはデバイスから読み出しを行います。

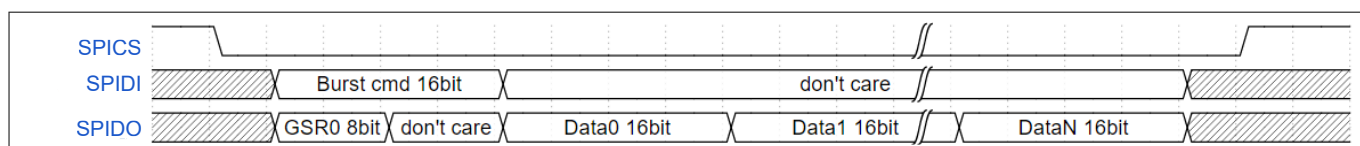


図 11 SPI バースト読み出し

バーストモードの書き込みシーケンス

バースト書き込みモードでは、SPI マスターがデバイスに書き込みを行います。

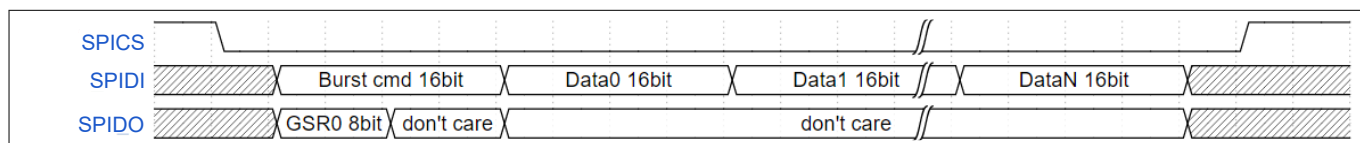


図 12 SPI バースト書き込み

3 SPI インターフェース

3.2 SPI レジスタ

3.2.1 レジスタの概要

表 14 レジスタの概要

レジスタ	モード	内容	リセット値	初期化シーケンス後の値 (パルススリープ / CW)
Reg0	RW	Control bits	0x0000	0x0900 ¹⁾ / 0x373F ¹⁾
Reg1	RW	Control bits	0x0000	0x0092 ¹⁾ / 0x10B3 ¹⁾
Reg2	RW	Threshold	0x0000	QS2 に依存
Reg3	RW	Reserved	0x0000	0x0000
Reg4	RW	PLL 1	0x0000	0x053A
Reg5	RW	PLL 2	0x0000	QS4 に依存
Reg6	RW	PLL 3	0x0000	0x6800
Reg7	RW	Duty cycling, timing, pd, MPA	0x0000	0x0457
Reg8	RW	Divider	0x0000	0x0000
Reg9	RW	Baseband	0x0000	0x0066 / 0x0076
Reg10	RW	Hold time	0x0000	QS3 に依存
Reg11	RW	Reserved	0x0000	0x0000
Reg12	RW	BITE, AMUX	0x0000	0x0000
Reg13	RW	Algo 1	0x0000	0x0000
Reg14	RW	Algo 2	0x0000	0x0000
Reg15	RW	Digital control	0x0000	0x0000
Reg34	RW	ADC start	0x0000	0x0000
Reg35	RW	ADC convert	0x0000	0x0000
Reg36	RO	ADC status	0x0000	0x0000
Reg38-53	RO	ADC result channel 0 – 15	該当なし	該当なし
Reg56	RO	Status and chip version	0x0000	0x2000 Bit [0:21] chip_version に依存 Bit [7:8] QS4 に依存 Bit [9:10] QS3 に依存 Bit [11:11] QS2 に依存 Bit [15:14] QS1 に依存
GSR0	RO	8 ビット SPI ステータスレジスタ	0x00	0x00

1) これらの値はメインコントローラによって設定されるため、レジスタを読み出すと 0x0000 が出力されます。

3 SPI インターフェース

リセット値については、リセット直後の値と初期化シーケンス終了時の値を区別する必要があります。この理由は、パルスモードと CW モード SPI モードでは、リセットされた値は初期化シーケンスの処理によって上書きされることがあるためです。「実際の」リセット値は、SPI モードでは変更されないため、SPI モードでのみ読み出せます。

3.2.2 ダイレクトアクセスレジスタ

Reg0 および Reg1 は図 13 に示すようにダイレクトアクセスレジスタです。これらのビットは、メインコントローラから直接制御できます。他のすべてレジスタは、外部オプションのマイコンから SPI でプログラムするか、または電源投入時にメインコントローラから内部的に SPI によってプログラムする必要があります。

SPI からの外部リードアクセスは、常に SPI ADC ブロック内のレジスタをアドレス指定するため、XOR (排他的論理和) の出力に関する情報を読み出すことはできません。リードアクセスは、SPI ADC 内に格納された値を提供します。

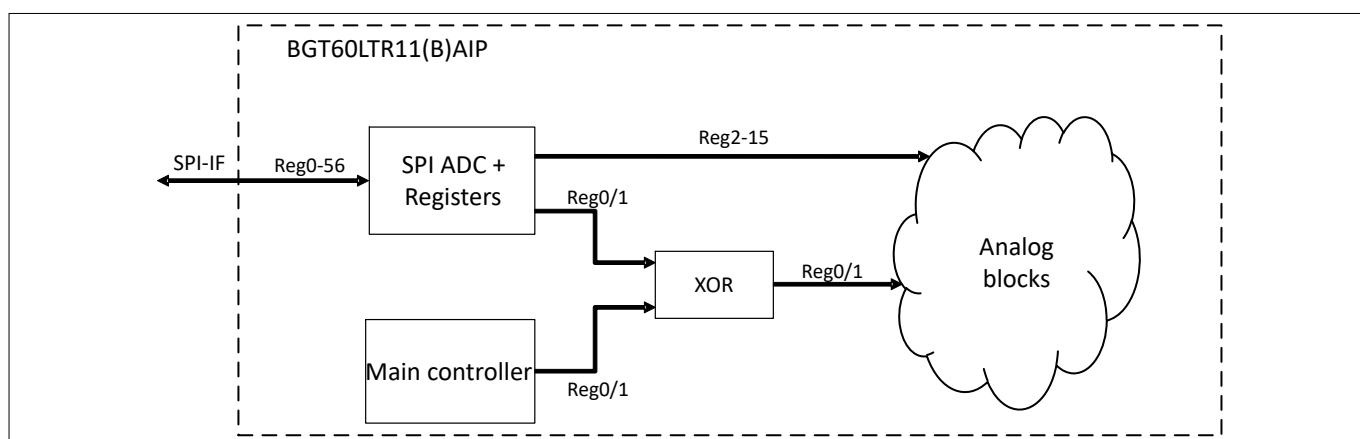


図 13 ダイレクトアクセスレジスタ

3.2.3 レジスタマップのビットフィールド

表 15 レジスタマップ

		7	6	5	4	3	2	1	0
Reg0	[15:8]	reserved		vcobuf_en	vco_en	pll_open_loop	pll_clk_gate_en	pll_active	pll_en
	[7:0]	reserved		mpa_en	txbuf_en	mixq_en	mixi_en	lna_en	rxbuf_en
Reg1	[15:8]	reserved			div_bias_en	reserved			qs_rd_en
	[7:0]	bb_dig_det_en	reserved	bb_boost_dis	bb_clk_hop_en	reserved	bb_strup_hp	bb_amp_en	bb_sample_en
Reg2	[15:8]	hprt	aprt	dir_mode	thrs				
	[7:0]	thrs							
Reg3	[15:8]	reserved							
	[7:0]								

(続く)

表 15 (続き) レジスタマップ

		7	6	5	4	3	2	1	0
Reg4	[15:8]	pll_dft_dmux		reserved	pll_bias_dis	pll_lf_iso	pll_lf_r4_sel	pll_cl_lo op_pmode	pll_lf_r2_sel
	[7:0]	xosc_mode	pll_fbdiv_cnt	pll_cp_icp_sel			pll_cp_mode	pll_pfd_rdt_sel	
Reg5	[15:8]	reserved				pll_fcw			
	[7:0]	pll_fcw							
Reg6	[15:8]	pll_ld_tw_sel			pll_ld_en	pll_ld_en	reserved		
	[7:0]	reserved							
Reg7	[15:8]	reserved				dc_rep_rate		dc_on_pulse_len	
	[7:0]	reserved	vco2pll_dly	mpa2sh_dly		pd_en	mpa_ctrl		
Reg8	[15:8]	reserved							
	[7:0]	reserved				div_sel		div_out_en	div_test mode_en
Reg9	[15:8]	reserved							
	[7:0]	bb_hp_res		bb_clk_hop_sel	bb_lpf_bw	bb_ctrl_gain			
Reg10	[15:8]	hold							
	[7:0]								
Reg11	[15:8]	reserved							
	[7:0]								
Reg12	[15:8]	reserved							
	[7:0]	bb_amux_ctrl		bb_amux_en	bite_pd_en	bite_ctrl			bite_en
Reg13	[15:8]	reserved							
	[7:0]	phase_win_len			mean_win_len			prt_mult	
Reg14	[15:8]	thrs_offset							
	[7:0]	dir_hys_dis	dir_keep	hold_x32	swap_iq	autoblin d_dis	pulse_m on	phase_thrs	
Reg15	[15:8]	soft_rese t	start_pm	clk_ext_d is	start_cw	fast_pha se	dir_c2_1		fastmode
	[7:0]	adc_mon	miso_drv	mot_pol	dir_pol	stat_mux			
Reg34	[15:8]	reserved							
	[7:0]	reserved					adc_en	bandgap _en	adc_clk _en

(続く)

表 15 (続き) レジスタマップ

		7	6	5	4	3	2	1	0
Reg35	[15:8]	reserved							
	[7:0]	lv_gain	reserved		chnr_all	chnr			
Reg36	[15:8]	reserved							
	[7:0]	reserved						adc_read_y	bandgap_up
Reg38 - Reg53	[15:0]	ADC 結果レジスタチャンネル 0～15							
Reg56	[15:8]	qs1_s		init_done	qs2_s		qs3_s		qs4_s
	[7:0]	qs4_s	advance_mode	reserved		pll_lock_detect	chip_version		
GSR0	[7:0]	reserved					adc_result_ready	reserved	

3.2.4 レジスタ Reg0 - ダイレクトアクセスレジスタ

初期化シーケンス後の値: 0x0900 (パルスモード)

初期化シーケンス後の値: 0x373F (CW モード)

DAR_REG0_REG

Address (アドレス):

H

Reg0 のレジスタ割り当て

リセット値:

0x0000_H

15	14	13	12	11	10	9	8
Res	vcobuf_en	vco_en	pll_open_lo_op	pll_clk_gate_en	pll_active	pll_en	
rw	rw	rw	rw	rw	rw	rw	
7	6	5	4	3	2	1	0
Res	mpa_en	txbuf_en	mixq_en	mixi_en	lna_en	rxbuf_en	
rw	rw	rw	rw	rw	rw	rw	

フィールド	ビット	タイプ	内容
Res	15:14	rw	未使用。リセット値から変更しないでください。
vcobuf_en	13	rw	VCO バッファの有効 0 _D : VCO バッファをオフ 1 _D : VCO バッファをオン
vco_en	12	rw	VCO の有効 0 _D : VCO をオフ 1 _D : VCO をオン

(続く)

3 SPI インターフェース

(続き)

フィールド	ビット	タイプ	内容
pll_open_loop	11	rw	PLL オープンループクロックゲートの有効 ロック検出後、PLL をオープンループに切り替えます 0 _D : クローズループ 1 _D : ロック検出後のオープンループ
pll_clk_gate_en	10	rw	PLL クロックゲートの有効 PLL のデジタル部クロックをアクティブにします。PLL 内で同期化 0 _D : PLL デジタルクロックオフ 1 _D : PLL デジタルクロックオン
pll_active	9	rw	PLL のアクティブ ビットが設定時、PLL ロック開始 0 _D : PLL ループオープン 1 _D : PLL ロック開始
pll_en	8	rw	PLL の有効 このビットは、PLL のバイアス構造を有効にします。pll_en が「1」に限り、PLL 設定レジスタは安定しています。 0 _D : PLL 無効 1 _D : PLL 有効
Res	7:6	rw	未使用。リセット値から変更しないでください。
mpa_en	5	rw	ミディアムパワーアンプの有効 0 _D : MPA をオフ 1 _D : MPA をオン
txbuf_en	4	rw	TX バッファの有効 0 _D : TX バッファをオフ 1 _D : TX バッファをオン
mixq_en	3	rw	ミキサー Q の有効 0 _D : ミキサー Q をオフ 1 _D : ミキサー Q をオン
mixi_en	2	rw	ミキサー I の有効 0 _D : ミキサー I をオフ 1 _D : ミキサー I をオン
lna_en	1	rw	LNA の有効 0 _D : LNA をオフ 1 _D : LNA をオン
rxbuf_en	0	rw	RX バッファの有効 0 _D : RX バッファをオフ 1 _D : RX バッファをオン

3.2.5 レジスタ Reg1 – ダイレクトアクセスレジスタ

初期化シーケンス後の値: 0x0092 (パルスモード)

初期化シーケンス後の値: 0x10B3 (CW モード)

DAR_REG1_REG

Address (アドレス):

H

Reg1 のレジスタ割り当て

リセット値:

0x0000_H

15	14	13	12	11	10	9	8
Res			div_bias_en	Res			qs_rd_en
rw			rw	rw			rw
7	6	5	4	3	2	1	0
bb_dig_det_en	Res	bb_boost_dis	bb_clk_chop_en	Res	bb_strup_hp	bb_amp_en	bb_sample_en
rw	rw	rw	rw	rw	rw	rw	rw

フィールド	ビット	タイプ	内容
Res	15:13	rw	未使用。リセット値から変更しないでください。
div_bias_en	12	rw	分周器バイアスの有効 0 _D : 分周器バイアスをオフ 1 _D : 分周器バイアスをオン
Res	11:9	rw	未使用。リセット値から変更しないでください。
qs_rd_en	8	rw	クワッド状態入力の有効 アナログセトリングを可能にするために、入力を読み出しの 200μs 前にクワッドステート入力を有効にしなければいけません。 0 _D : QS をオフ 1 _D : QS をオン
bb_dig_det_en	7	rw	デジタルベースバンド検出器の有効 検出器のデジタル部分を有効にします。起動/チップリセット後、このビットを最初にオンにした時、検出器のデジタル部分がターゲットヒットのカウントを開始し、アナログ回路のセトリングを可能にするまでは 50ms かかります。 0 _D : BB 検出器がオフ 1 _D : BB 検出器がオン
Res	6	rw	未使用。リセット値から変更しないでください。
bb_boost_dis	5	rw	ベースバンドサンプルとホールドスイッチブーストの設定 0 _D : SandH ゲート電圧ブーストが有効 (パルスモード) 1 _D : SandH ゲート電圧ブーストが無効 (CW モード)
bb_clk_chop_en	4	rw	クロックチョップの有効 チョッピング用の継続クロック信号を有効にします。 0 _D : クロックオフ 1 _D : クロックオン
Res	3	rw	未使用。リセット値から変更しないでください。

(続く)

3 SPI インターフェース

(続き)

フィールド	ビット	タイプ	内容
bb_strup_hp	2	rw	ベースバンド起動ブーストモード設定 0 _D : 起動ブーストモードが無効 1 _D : 起動ブーストモードが有効
bb_amp_en	1	rw	ベースバンドアンプの有効 0 _D : ベースバンドアンプが無効 1 _D : ベースバンドアンプが有効
bb_sample_en	0	rw	ベースバンドサンプリングの有効 ミキサー出力のサンプルおよびホールド容量への接続を制御。 0 _D : 切断、ホールドフェーズ 1 _D : 接続、サンプリングフェーズ

3.2.6 レジスタ Reg2 – 閾値

初期化シーケンス後の値: QS2 に依存

THOLD_REG2_REG

Address (アドレス):

H

Reg2 のレジスタ割り当て

リセット値:

0x0000_H

15	14	13	12	11	10	9	8
hprt	aprt	dir_mode	thrs				
rw	rw	rw	rw				
7	6	5	4	3	2	1	0
thrs							
rw							

フィールド	ビット	タイプ	内容
hprt	15	rw	高いパルスの繰り返し時間 初期化シーケンスの後、起動時の SPICSN のレベルの逆数。 0 _D : 変更なし 1 _D : PRT は Reg13 の prt_mult で乗算されます。これは省電力ですが、方向検知に問題が発生する可能性があります。
aprt	14	rw	アダプティブパルスの繰り返し時間 初期値: 1 _D 0 _D : 変更なし 1 _D : PRT はターゲットが検出されない限り、Reg13 の prt_mult が乗算されます。これは電力を節約するためです。
dir_mode	13	rw	方向検出モード 初期値: 1 _D 0 _D : Mode 1, PDet=0, TDet=1 (ターゲットが検出されない)。 1 _D : Mode 2, PDet=1, TDet=1 (ターゲットが検出されない)。

(続く)

3 SPI インターフェース

(続き)

フィールド	ビット	タイプ	内容
thrs	12:0	rw	検出器の閾値設定 初期化シーケンス後の初期値 (QS2 に従う) 内部は 32 で除算され、IF 信号の ADC 結果は LSB に対応します。

3.2.7 レジスタ Reg4 – PLL 設定 1

初期化シーケンス後の値: 0x0F3A

pll_en = 1(Reg0[8])の場合、このレジスタは変更しないでください。

PLL_CONFIG1_REG4_REG

Address (アドレス):

H

Reg4 のレジスタ割り当て

リセット値:

0x0000_H

15	14	13	12	11	10	9	8
pll_dft_mux	Res	pll_bias_div_s	pll_lf_iso	pll_lf_r4_sel	pll_cl_loop_pmode	pll_lf_r2_sel	
rw	rw	rw	rw	rw	rw	rw	rw
7	6	5	4	3	2	1	0
xosc_mode	pll_fbdiv_cnt	pll_cp_icp_sel	pll_cp_mode	pll_pfd_rdt_sel			
rw	rw	rw	rw	rw			rw

フィールド	ビット	タイプ	内容
pll_dft_mux	15:14	rw	DFT 用 PLL データマルチプレクサ 初期化シーケンス後の初期値: 0 _D チップ出力の SPIDO は、PLL テスト情報を外部に表示するために使用されます。このビットフィールドは機能モードに設定されていない場合、SPI のリードアクセスはできませんが、SPI ライトアクセスは動作できます。 PLL ロックは内部 PLL ロックであり、デジタルステートマシンに接続されているものではありません。ビットフィールド pll_ld_len で設定できる遅延ではありません。内部 PLL ロック信号は、ロック検出が無効の場合、永久に"1"です。 0 _D : 機能モード 1 _D : PLL ロック 2 _D : 基準クロックを 4 で分周 3 _D : 分周クロックを 4 で分周
Res	13	rw	未使用。リセット値から変更しないでください。

(続く)

3 SPI インターフェース

(続き)

フィールド	ビット	タイプ	内容
pll_bias_dis	12	rw	PLL バイアス無効 初期化シーケンス後の初期値: 0 _D PLL および V2I コンバーターのバンドギャップを無効にします (=PLL バイアス)。SPI モードでの消費電流を低減させるために設定できます。また内部メインコントローラのクロックを無効化するため、PLL バイアスをオフにした場合、パルスは使用できません。 0 _D : バイアスオン 1 _D : バイアスオフ
pll_lf_iso	11	rw	ループフィルターの分離モード 初期化シーケンス後の初期値: 1 _D 0 _D : 電荷保持バッファを有効にした場合の分離 1 _D : スイッチのみの分離
pll_lf_r4_sel	10	rw	ループフィルターの R4 設定 初期化シーケンス後の初期値: 1 _D 0 _D : 12.4 k 1 _D : 0.1 k
pll_cl_loop_pmode	9	rw	クローズドループのパルスモード 初期化シーケンス後の初期値: 1 _D pll_open_loop (Reg0[11]) は PLL ロック後の PLL のオープン/クローズドループを制御します。このビットはパルスモード時にメインコントローラによって設定されます。pll_cl_loop_pmode を設定することにより、クローズドループはパルスモードでも使用されます。 0 _D : パルスモードで使用するオープンループモード 1 _D : パルスモードで使用するクローズドループモード (pll_open_loop は強制的に「0」)
pll_lf_r2_sel	8	rw	ループフィルターの R2 設定 初期化シーケンス後の初期値: 1 _D 0 _D : 21.6 k 1 _D : 18.7 k
xosc_mode	7	rw	XTAL 発振モード 初期化シーケンス後の初期値: 0 _D 0 _D : 振幅設定 1 1 _D : 振幅設定 2
pll_fbdiv_cnt	6	rw	フィードバック分周器カウンタの設定 初期化シーケンス後の初期値: 0 _D 0 _D : 60 GHz モード cntA=21dec の場合 (38.4MHz) 1 _D : 60 GHz モード cntB=20dec の場合 (40MHz)

(続く)

3 SPI インターフェース

(続き)

フィールド	ビット	タイプ	内容
pll_cp_icp_sel	5:3	rw	チャージポンプ電流設定 初期化シーケンス後の初期値: 7 _D 0 _D : 20 μA 1 _D : 25 μA 2 _D : 30 μA 3 _D : 35 μA 4 _D : 40 μA 5 _D : 45 μA 6 _D : 50 μA 7 _D : 55 μA
pll_cp_mode	2	rw	チャージポンプのバイアスモード 初期化シーケンス後の初期値: 0 _D 0 _D : バイアス調整ループがアクティブ 1 _D : 固定バイアルモード=バイアス調整ループオフ
pll_pfd_rdt_sel	1:0	rw	PFD リセット遅延時間選択 初期化シーケンス後の初期値: 2 _D 0 _D : 175 ps 1 _D : 275 ps 2 _D : 375 ps 3 _D : 470 ps

3.2.8 レジスタ Reg5 – PLL 設定 2

初期化シーケンス後の値: QS4 に依存

pll_en = 1(Reg0[8])の場合、このレジスタは変更しないでください。

PLL_CONFIG2_REG5_REG

Address (アドレス):

H

Reg5 のレジスタ割り当て

リセット値:

0x0000_H

15	14	13	12	11	10	9	8
Res				pll_fcw			
rw				rw			
7	6	5	4	3	2	1	0
pll_fcw							
rw							

フィールド	ビット	タイプ	内容
Res	15:12	rw	未使用。リセット値から変更しないでください。

(続く)

3 SPI インターフェース

(続き)

フィールド	ビット	タイプ	内容
pll_fcw	11:0	rw	PLL 周波数ワード 初期化シーケンス後の初期値 (QS4 に従う) fstart(4 ビットの整数+8 ビットの小数)の FCW → 2.4MHz ラスター @ 60 GHz 日本モードの定義済み設定 (BGT60LTR11BAI): 0xEA2: 60.6 GHz 0xECC: 60.7 GHz 0xEF5: 60.8 GHz 0xF1F: 60.9 GHz ヨーロッパモードの定義済み設定(BGT60LTR11BAIP): 0xF72: 61.1 GHz 0xF9C: 61.2 GHz 0xFC6: 61.3 GHz 0xFEf: 61.4 GHz

3.2.9 レジスタ Reg6 – PLL 設定 3

初期化シーケンス後の値: 0x6800

pll_en = 1(Reg0[8])の場合、このレジスタは変更しないでください。

PLL_CONFIG3_REG6_REG

Address (アドレス):

H

Reg6 のレジスタ割り当て

リセット値:

0x0000_H

15	14	13	12	11	10	9	8
pll_ld_tw_sel			pll_ld_len	pll_ld_en	Res		
rw			rw	rw	rw		
7	6	5	4	3	2	1	0
Res							
rw							

3 SPI インターフェース

フィールド	ビット	タイプ	内容
pll_ld_tw_sel	15:13	rw	ロック検出の時間ウィンドウ 初期化シーケンス後の初期値: 3 _D コンパレータ内のロック検出条件として許容される位相差 (標準値)。 0 _D : 0.26 ns 1 _D : 0.5 ns 2 _D : 1.0 ns 3 _D : 1.5 ns 4 _D : 2.0 ns 5 _D : 2.8 ns 6 _D : 3.8 ns 7 _D : 4.6 ns
pll_ld_len	12	rw	ロック検出-ロックアサーション条件 + ロック検出-ロック遅延 初期化シーケンス後の初期値: 0 _D このビットには 2 つの機能があります。 ロックアサート条件: 連続したクロックサイクルの数 ロック基準を満たす必要があります。 0 _D : 24 クロックサイクル 1 _D : 16 クロックサイクル ロック検出遅延時間 $t_{\text{delay_lock}}$: ロック検出からロック検出信号の立ち上りエッジまでの時間 0 _D : 3.57 μs 1 _D : 5.23 μs
pll_ld_en	11	rw	ロック検出の有効 初期化シーケンス後の初期値: 1 _D 0 _D : ロック検出オフ+ PLL がアクティブな場合、 $t_{\text{delay_lock}}$ 後にロックビットが強制的に High になります。 $t_{\text{delay_lock}}$ は pll_ld_len によってプログラムできます。 1 _D : ロック検出オン
Res	10:0	rw	未使用。リセット値から変更しないでください。

3.2.10 レジスタ Reg7 - デューティサイクル、タイミング、pd、MPA

初期化シーケンス後の値: 0x0457

DC_TMGM_PD_MPA_REG7_REG

Reg7 のレジスタ割り当て

Address (アドレス):

リセット値:

H

0x0000_H

3 SPI インターフェース

15	14	13	12	11	10	9	8
Res				dc_rep_rate		dc_on_pulse_len	
rw				rw		rw	
7	6	5	4	3	2	1	0
Res	vco2pll_dly	mpa2sh_dly		pd_en	mpa_ctrl		
rw	rw	rw		rw	rw		

フィールド	ビット	タイプ	内容
Res	15:12	rw	未使用。リセット値から変更しないでください。
dc_rep_rate	11:10	rw	デューティサイクルの繰り返しレート アドバンスモードでは、入力 SPICLK と SPIDI によって定義されています。 第 2.1.1 章 を参照してください。 初期化シーケンス後の初期値: 1 _D パルスモードで次のパルスシーケンスが開始するまでの時間を定義。 0 _D : 250 μs (10 km/h) 1 _D : 500 μs 2 _D : 1000 μs 3 _D : 2000 μs
dc_on_pulse_len	9:8	rw	パルス長のデューティサイクル 初期化シーケンス後の初期値: 0 _D 1 回のパルシングイベントの間、サンプリングがアクティブになる時間を定義。 0 _D : 5 μs 1 _D : 10 μs 2 _D : 3 μs 3 _D : 4 μs
Res	7	rw	未使用。リセット値から変更しないでください。
vco2pll_dly	6	rw	VCO から PLL への遅延 初期化シーケンス後の初期値: 1 _D VCO を有効にした後、PLL を有効にする時間を定義。 0 _D : 500 ns 1 _D : 1000 ns
mpa2sh_dly	5:4	rw	MPA イネーブルからサンプルホールドまでの遅延 初期化シーケンス後の初期値: 1 _D PLL ロック及び MPA が有効後、サンプルホールドがアクティブになる時間を定義。 0 _D : 500 ns 1 _D : 1000 ns 2 _D : 2000 ns 3 _D : 4000 ns

(続く)

3 SPI インターフェース

(続き)

フィールド	ビット	タイプ	内容
pd_en	3	rw	PD の有効 初期化シーケンス後の初期値: 0 _D 0 _D : PD をオフ 1 _D : PD をオン
mpa_ctrl	2:0	rw	ミディアムパワーアンプのゲイン制御 初期化シーケンス後の初期値: 7 _D 0 _D : -34 dBm 1 _D : -31.5 dBm 2 _D : -25 dBm 3 _D : -18 dBm 4 _D : -11 dBm 5 _D : -5 dBm 6 _D : 0 dBm 7 _D : 4.5 dBm

3.2.11 レジスタ Reg8 – 分周器

初期化シーケンス後の値: 0x0000

DIV_REG8_REG

Address (アドレス):

H

Reg8 のレジスタ割り当て

リセット値:

0x0000_H

15	14	13	12	11	10	9	8
Res							
rw							
7	6	5	4	3	2	1	0
Res				div_sel		div_out_en	div_testmo de_en
rw				rw		rw	rw

フィールド	ビット	タイプ	内容
Res	15:4	rw	未使用。リセット値から変更しないでください。
div_sel	3:2	rw	分周器の選択 初期値: 0 _D 分周器の設定を選択します。初期状態では、内部 9.6 MHz のクロックが選択されています。このクロックは、QS1 入力によって外部クロックによる SPI モードが選択され、ディゼーブルビットである clk_ext_dis (REG15[13]) で選択されている場合のみアクティブになります。 0 _D : 発振器から内部 9.6MHz クロックを選択 1 _D : 2 ¹³ 2 _D : 2 ¹⁶ 3 _D : 2 ²⁰

(続く)

3 SPI インターフェース

(続き)

フィールド	ビット	タイプ	内容
div_out_en	1	rw	分周器出力の有効 初期値: 0 _D 2 ¹³ 、2 ¹⁶ 、2 ²⁰ の分周ロジックを有効にします。 div_sel からの設定 0 には影響せず、QS1 でコレスポンデントモードが選択され、テストモードがオフ(div_testmode_en=0)の場合、パッド Div_O の内部クロックが有効になります。 0 _D : 分周器の出力をオフ 1 _D : 分周器の出力をオン
div_testmode_en	0	rw	分周器テストモードの有効 初期値: 0 _D VCO 周波数を 16 で割った値をパッド Div_O に配置します。ビットフィールド div_sel からの設定をオーバーライドします。 0 _D : テストモードをオフ (div_sel アクティブ) 1 _D : テストモードをオン

3.2.12 レジスタ Reg9 - ベースバンド

初期化シーケンス後の値: 0x0066

BB_REG9_REG

Address (アドレス):

H

Reg9 のレジスタ割り当て

リセット値:

0x0000_H

15	14	13	12	11	10	9	8
Res							
rw							
7	6	5	4	3	2	1	0
bb_hp_res	bb_clk_cho p_sel	bb_lpf_bw	bb_ctrl_gain				
rw	rw	rw	rw				

フィールド	ビット	タイプ	内容
Res	15:8	rw	未使用。リセット値から変更しないでください。
bb_hp_res	7:6	rw	ハイパスフィルターの抵抗値設定 初期値: 1 _D 0 _D : 8 MΩ 1 _D : 4 MΩ 2 _D : 2 MΩ 3 _D : 1 MΩ

(続く)

3 SPI インターフェース

(続き)

フィールド	ビット	タイプ	内容
bb_clk_chop_sel	5	rw	クロックチョップ周波数の選択 初期値: 1 _D チョッピング (アナログ用入力) 用クロックの周波数を選択します。 ABB では 2 分周し (50%のデューティサイクルを得るため)、さらに 2 分周しています。 0 _D : 96 kHz 1 _D : 192 kHz
bb_lpf_bw	4	rw	ローパスフィルターの設定 初期値: 0 _D 0 _D : 10 kHz 1 _D : 60 kHz
bb_ctrl_gain	3:0	rw	ベースバンド PGA ゲインの設定 初期値: 8 _D 0 _D : 10 dB 1 _D : 15 dB 2 _D : 20 dB 3 _D : 25 dB 4 _D : 30 dB 5 _D : 35 dB 6 _D : 40 dB 7 _D : 45 dB 8 _D : 50 dB

3.2.13 レジスタ Reg10 – ホールド時間

初期化シーケンス後の値: QS3 に依存

HT_REG10_REG Address (アドレス): H
Reg10 のレジスタ割り当て リセット値: 0x0000_H

15	14	13	12	11	10	9	8
hold							
rw							
7	6	5	4	3	2	1	0
hold							
rw							

フィールド	ビット	タイプ	内容
hold	15:0	rw	ホールド時間 初期化シーケンス後の初期値 (QS3 に従う) ターゲット検出のための保持時間を 128ms 単位で設定します。振幅が 64 サンプルでフィルタリングされ、最短のホールド時間は PRT に応じて 16/32/64/128ms です。その最小のホールド時間は"0"によって設定されます。

3.2.14 レジスタ Reg12 – BITE

BITE_REG12_REG Address (アドレス): H
Reg12 のレジスタ割り当て リセット値: 0x0000_H

15	14	13	12	11	10	9	8
Res							
rw							
7	6	5	4	3	2	1	0
bb_amux_ctrl	bb_amux_en	bite_pd_en	bite_ctrl		bite_en		
rw	rw	rw	rw		rw		

フィールド	ビット	タイプ	内容
Res	15:8	rw	未使用。リセット値から変更しないでください。
bb_amux_ctrl	7:6	rw	QS4 パッドのアナログ電圧の選択 初期化シーケンス後の初期値: 0 _D 0 _D : ベースバンドバンドギャップ電圧 1 _D : 温度センサー電圧 2 _D : 共通モード電圧 I チャンネル 3 _D : 共通モード電圧 Q チャンネル

(続く)

3 SPI インターフェース

(続き)

フィールド	ビット	タイプ	内容
bb_amux_en	5	rw	QS4 パッドのアナログ電圧 Mux の有効 初期化シーケンス後の初期値: 0 _D 0 _D : AMUX をオフ 1 _D : AMUX をオン
bite_pd_en	4	rw	BITE パワーディテクタの有効 初期化シーケンス後の初期値: 0 _D 0 _D : BITE PD をオフ 1 _D : BITE PD をオン
bite_ctrl	3:1	rw	BITE 制御の設定 初期化シーケンス後の初期値: 0 _D 位相を角度単位で制御します。 0 _D : 0 1 _D : 45 2 _D : 90 3 _D : 135 4 _D : 180 5 _D : 225 6 _D : 270 7 _D : 315
bite_en	0	rw	BITE の有効 初期化シーケンス後の初期値: 0 _D 0 _D : BITE が無効 1 _D : BITE が有効

3.2.15 レジスタ Reg13 - Algo 1

初期化シーケンス後の値: 0x0000
メタルパッチによって変更可能

ALGO1_REG13_REG

Address (アドレス):

H

Reg13 のレジスタ割り当て

リセット値:

0x0000_H

15	14	13	12	11	10	9	8
Res							
rw							
7	6	5	4	3	2	1	0
phase_win_len		mean_win_len			prt_mult		
rw		rw			rw		

フィールド	ビット	タイプ	内容
Res	15:8	rw	未使用。リセット値から変更しないでください。

(続く)

3 SPI インターフェース

(続き)

フィールド	ビット	タイプ	内容
phase_win_len	7:5	rw	フェーズウィンドウの長さ 初期化シーケンス後の初期値: 0 _D 位相差はこの長さのウィンドウの間で平均化されます。この設定は、下記の表で選択する前に dc_rep_rate で排他的論理和されます。 0 _D : 256 1 _D : 512 2 _D : 256 3 _D : 128 4 _D : 64 5 _D : 256 6 _D : 256 7 _D : 256
mean_win_len	4:2	rw	平均ウィンドウの長さ 初期化シーケンス後の初期値: 0 _D 直流オフセット補償は、このウィンドウ間で平均化されます。この設定は、下記の表で選択する前に dc_rep_rate で排他的論理和されます。 0 _D : 256 1 _D : 512 2 _D : 256 3 _D : 128 4 _D : 64 5 _D : 256 6 _D : 256 7 _D : 256
prr_mult	1:0	rw	パルス繰り返し時間乗数 初期化シーケンス後の初期値: 0 _D Aprt (Reg2[14]) を「1」に設定して APRT が有効に設定された場合、乗数は下記の表で設定できます。 0 _D : 4 1 _D : 8 2 _D : 16 3 _D : 2

3.2.16 レジスタ Reg14 - Algo 2

初期化シーケンス後の値: 0x0000
メタルパッチによって変更可能

ALGO2_REG14_REG

Address (アドレス):

H

Reg14 のレジスタ割り当て

リセット値:

0x0000_H

15	14	13	12	11	10	9	8
thrs_offset							
rw							
7	6	5	4	3	2	1	0
dir_hys_dis	dir_keep	hold_x32	swap_iq	autoblind_dis	pulse_mon	phase_thrs	
rw	rw	rw	rw	rw	rw	rw	

フィールド	ビット	タイプ	内容
thrs_offset	15:8	rw	閾値値のオフセット 初期化シーケンス後の初期値: 0 _D 振幅閾値を上下に移動させることが可能。
dir_hys_dis	7	rw	方向ヒステリシスの無効 初期化シーケンス後の初期値: 0 _D このビットを使用して、方向検出の調整が可能。 0 _D : 方向性の切り替えにヒステリシスを使用 1 _D : ヒステリシスは使用せず、デフォルトは「departing」
dir_keep	6	rw	方向性アルゴリズムの実行を維持 初期化シーケンス後の初期値: 0 _D 方向検出アルゴリズムの動作を設定可能。 0 _D : 動きを検知している間のみ実行します。それ以外の出力は「departing」です。 1 _D : ホールドタイム中、動きを検知していなくても、アルゴリズムが実行し続けます。
hold_x32	5	rw	ホールドタイムに 32 を乗算 初期化シーケンス後の初期値: 0 _D 0 _D : 変更なし 1 _D : ホールド時間が 32 倍長くなる
swap_iq	4	rw	I 信号と Q 信号の交換 初期化シーケンス後の初期値: 0 _D 0 _D : 変更なし 1 _D : 方向性アルゴリズムによる解釈のために IF 信号を交換します。これは反対方向の検出につながります。

(続く)

3 SPI インターフェース

(続き)

フィールド	ビット	タイプ	内容
autoblind_dis	3	rw	ブランキングオフセンサーの無効化 (dead-time) 初期化シーケンス後の初期値: 0 _D 検出後のブランキングアルゴリズムを無効にします。変更しないでください。
pulse_mon	2	rw	レーダーパルスの監視 初期化シーケンス後の初期値: 0 _D 0 _D : 出力パッド PDet は通常の方法指示として使用されます。 1 _D : 出力パッド PDet を代わりに内部レーダーパルスタイミングを監視するために使用されます。
phase_thrs	1:0	rw	位相しきい値 初期化シーケンス後の初期値: 0 _D 方向アルゴリズムで使用されるしきい値を変更します。 0 _D : 変化なし (~5 度) 1 _D : 2 で割る 2 _D : 4 で割る 3 _D : 「0」に設定

3.2.17 レジスタ Reg15 - デジタル制御

初期化シーケンス後の値: 0x0000

メタルパッチによって変更可能

DIGI_CTRL_REG15_REG

Address (アドレス):

H

Reg15 のレジスタ割り当て

リセット値:

0x0000_H

15	14	13	12	11	10	9	8
soft_reset	start_pm	clk_ext_dis	start_cw	fast_phase	dir_c2_1		fastmode
rw	rw	rw	rw	rw	rw		rw
7	6	5	4	3	2	1	0
adc_mon	miso_drv	mot_pol	dir_pol	stat_mux			
rw	rw	rw	rw	rw			

フィールド	ビット	タイプ	内容
soft_reset	15	rw	ソフトリセット 初期化シーケンス後の初期値: 0 _D ソフトウェアによりすべてのデジタル部分 (SPI ADC, メインコントローラ, PLL dig) を非同期にリセットが可能。リセットにより、すべての FF が電源投入状態に移行します。また、レジスタ自体がリセットされるため、このビットに「0」を書き込む必要はありません。 0 _D : リセット、非アクティブ 1 _D : リセット、アクティブ

(続く)

3 SPI インターフェース

(続き)

フィールド	ビット	タイプ	内容
start_pm	14	rw	パルスモード開始 初期化シーケンス後の初期値: 0 _D このビットを使用すると、SPI モードからパルスモード (または CW モード) が開始できます。一般的な使用例は、このビットを 1 に設定することでレジスタを設定し、その後パルス/CW モードを開始します。これは、このビットでのみ許されている使用法です。 0 _D : 非アクティブ 1 _D : 立ち上りエッジでパルスモード (ビット 12 が設定されている場合は CW モード) をトリガーします。
clk_ext_dis	13	rw	外部クロックを無効 初期化シーケンス後の初期値: 0 _D 外部クロックを有効時に SPI モードを選択して外部クロックをオンにした場合は、このビットを「1」に設定することでオフにできます。スイッチをオフにすると、さらに 16~32 のクロックエッジが配信されます。 0 _D : クロックは無効ではない 1 _D : クロックを無効
start_cw	12	rw	代わりに CW モードを開始 初期化シーケンス後の初期値: 0 _D 0 _D : 変更なし 1 _D : ビット 14 (「start_pm」) の動作を変更し、パルスモードではなく CW モードを開始します (両方とも同じ SPI アクセスで設定できます)
fast_phase	11	rw	高速なフェーズ測定 初期化シーケンス後の初期値: 0 _D 0 _D : ターゲットが検出された場合にのみフェーズ (方向) 測定を開始します。したがって、TDet と PDet の間には常にある程度の遅延があります。 1 _D : ターゲット検出の前にもフェーズ評価を開始します。待ち時間は短くなりますが、方向が正しくなくなるリスクが高くなります。Reg14 のビット 6 も「1」に設定することで、さらに多くの動作の違いを検出できます。
dir_c2_1	10:9	rw	方向モード 初期化シーケンス後の初期値: 0 _D Reg2 のビット「dir_mode」に似ています。変更しないでください。
fastmode	8	rw	SPI fast モード 初期化シーケンス後の初期値: 0 _D 0 _D : SPICLK の立ち上りエッジで SPIDO が変化します。 1 _D : SPICLK の立ち下りエッジで SPIDO が変化します。
adc_mon	7	rw	ADC モニタリング 初期化シーケンス後の初期値: 0 _D 詳細なデバッグのみ使用。変更しないでください。

(続く)

3 SPI インターフェース

(続き)

フィールド	ビット	タイプ	内容
miso_drv	6	rw	SPI フォース MISO ドライバー 初期化シーケンス後の初期値: 0 _D 0 _D : SPICSN = 1 の場合、SPIDO は High-Z です。 1 _D : SPIDO は常にあるレベルまで駆動されます。
mot_pol	5	rw	モーションの極性 初期化シーケンス後の初期値: 0 _D 0 _D : TDet は Low アクティブ 1 _D : TDet は High アクティブ
dir_pol	4	rw	方向極性 初期化シーケンス後の初期値: 0 _D 0 _D : 離れる時に PDet が Low 1 _D : 接近時に PDet が High
stat_mux	3:0	rw	ステータスマルチプレクサ 初期化シーケンス後の初期値: 0 _D 詳細なデバッグ時のみ使用。変更しないでください。 1 _D : アドバンスモードおよび「00」でのパッド QS2 の 8 ビット ADC 読み出し 2 _D : アドバンスモードおよび「00」でのパッド QS3 の 8 ビット ADC 読み出し 3 _D : アドバンスモードおよび「00」での GND の 8 ビット ADC 読み出し 4 _D : アドバンスモードおよび「00」での Vdd の 8 ビット ADC 読み出し 5 _D : "000000", advance_mode, SPICSN, SPIDI, および SPICLK (リセット後のパッド状態) 6 _D : 振幅 7 _D : 振幅 << 3 その他: qs1_s, init_done, qs2_s, qs3_s, qs4_s, および advance_mode

3.2.18 レジスタ Reg34 - ADC 開始

ADC_STRT_REG34_REG

Address (アドレス):

H

Reg34 のレジスタ割り当て

リセット値:

0x0000_H

15	14	13	12	11	10	9	8
Res							
rw							
7	6	5	4	3	2	1	0
Res					adc_en	bandgap_en	adc_clk_en
rw					rw	rw	rw

3 SPI インターフェース

フィールド	ビット	タイプ	内容
Res	15:3	rw	未使用。リセット値から変更しないでください。
adc_en	2	rw	ADC ブロックの有効 初期値: 0 _D 0 _D : ADC が無効 1 _D : ADC が有効
bandgap_en	1	rw	バンドギャップの有効 初期値: 0 _D このバンドギャップは ADC に必要です。 0 _D : バンドギャップが無効 1 _D : バンドギャップが有効
adc_clk_en	0	rw	ADC クロックの有効 初期値: 0 _D 0 _D : ADC クロックが無効 1 _D : ADC クロックが有効

3.2.19 レジスタ Reg35 - ADC 変換

Reg35 への書き込みアクセスは、同じデータがレジスタに書き込まれている場合でも、選択した設定で ADC 変換を開始します。

ADC_CNVT_REG35_REG

Address (アドレス):

H

Reg35 のレジスタ割り当て

リセット値:

0x0000_H

15	14	13	12	11	10	9	8
Res							
rw							
7	6	5	4	3	2	1	0
lv_gain	Res		chnr_all	chnr			
rw	rw		rw	rw			

フィールド	ビット	タイプ	内容
Res	15:8	rw	未使用。リセット値から変更しないでください。
lv_gain	7	rw	lv_gain 初期値: 0 _D アナログ入力チャンネルのゲイン構成 推奨: 精度を上げるためには、「1」の設定を使用してください。 0 _D : ゲイン= 0.75, フルスケールアナログ入力電圧 1.613V 1 _D : ゲイン= 1.00, フルスケールアナログ入力電圧 1.21V
Res	6:5	rw	未使用。リセット値から変更しないでください。

(続く)

3 SPI インターフェース

(続き)

フィールド	ビット	タイプ	内容
chnr_all	4	rw	すべてのチャンネル番号 初期値: 0 _D 0 _D : chnr は変換するチャンネルを選択します 1 _D : 16 チャンネルすべてを変換し、chnr は無視されます
chnr	3:0	rw	チャンネル番号 初期値: 0 _D サンプリング用に選択されたアナログ入力チャンネル番号。

3.2.20 レジスタ Reg36 - ADC ステータス

ADC_STS_REG36_REG
Reg36 のレジスタ割り当て

Address (アドレス):
リセット値: 0x0000_H

15	14	13	12	11	10	9	8
Res							
ro							
7	6	5	4	3	2	1	0
Res						adc_ready	bandgap_up
ro						ro	ro

フィールド	ビット	タイプ	内容
Res	15:2	ro	未使用。リセット値から変更しないでください。
adc_ready	1	ro	ADC 準備フラグ 初期値: 0 _D このフラグは、ADC が動作する準備ができているかどうかを示します。 0 _D : ADC がアクティブ化されていないか、またはまだ起動中 1 _D : ADC 対応
bandgap_up	0	ro	バンドギャップアップフラグ 初期値: 0 _D このフラグは、バンドギャップが実行されているかどうかを示します。 0 _D : バンドギャップが実行していないか、またはまだ起動中 1 _D : バンドギャップ実行中

3.2.21 レジスタ Reg38～53 - ADC の結果

これらは ADC の結果レジスタであり、結果は 10 ビット幅で、各レジスタのビット 0～9 が占有されています。ビット 10～15 は未使用です。ADC は物理的に 8 ビット ADC であるため、ビット 0 とビット 1 も使用されません。使用されないビットは、読み出されたときにゼロを提供します。

表 16 Reg38～53 の信号表

チャンネル	Reg	機能
0	38	パワーセンサー mpa 出力
1	39	パワーセンサー mpax 出力
2	40	IFI
3	41	IFQ
4	42	パワーセンサー bite_pd_out
5	43	パワーセンサー bite_pd_outx

(続く)

表 16 (続き) Reg38～53 の信号表

チャンネル	Reg	機能
6	44	QS2
7	45	QS3
8	46	共通モード電圧 IFI
9	47	共通モード電圧 IFQ
10	48	SPI に近い V_{DD} RF
11	49	GND
12	50	温度センサー
13	51	PLL バンドギャップ電圧
14	52	ADC バンドギャップ電圧
15	53	ABB バンドギャップ電圧

3.2.22 レジスタ Reg56 – 状態とチップバージョン

リセット値: chip_version および Reg15 の「stat_mux」の設定によって異なります (ここでは「stat_mux」=0 のフィールドが表示されています)

初期化シーケンス後の値: chip_version と QS1 に依存、init_done=1、pll_lock_detect=1

STS_CHIP_VER_REG56_REG

Address (アドレス):

H

Reg56 のレジスタ割り当て

リセット値:

H

15	14	13	12	11	10	9	8
qs1_s		init_done	qs2_s		qs3_s		qs4_s
ro		ro	ro		ro		ro
7	6	5	4	3	2	1	0
qs4_s	advance_m ode	Res		pll_lock_de tect	chip_version		
ro	ro	ro		ro	ro		

フィールド	ビット	タイプ	内容
qs1_s	15:14	ro	クワッド状態入力 1 これらのビットには、電源投入後の初期シーケンス中に読み出される QS1 入力からの読み出し値が含まれています。 00 _B : QS1 = GND 01 _B : QS1 = オープン 10 _B : QS1 = 100 kΩ ~ V_{DD} 11 _B : QS1 = V_{DD}

(続く)

3 SPI インターフェース

(続き)

フィールド	ビット	タイプ	内容
init_done	13	ro	初期化シーケンスが完了 初期化シーケンス後の初期値: 1 _D この入力、メインコントローラが初期化シーケンスを完了した後すぐに設定されます。 0 _D : 初期シーケンスは完了していない。 1 _D : 初期化シーケンスは完了
qs2_s	12:11	ro	クワッド状態入力 2 これらのビットには、電源投入後の初期シーケンス中に読み出される QS2 入力からの読み出し値が含まれています。 00 _B : QS2 = GND 01 _B : QS2 = オープン 10 _B : QS2 = 100 kΩ ~ V _{DD} 11 _B : QS2 = V _{DD}
qs3_s	10:9	ro	クワッド状態入力 3 これらのビットには、電源投入後の初期シーケンス中に読み出される QS3 入力からの読み出し値が含まれています。 00 _B : QS3 = GND 01 _B : QS3 = オープン 10 _B : QS3 = 100 kΩ ~ V _{DD} 11 _B : QS3 = V _{DD}
qs4_s	8:7	ro	クワッド状態入力 4 これらのビットには、電源投入後の初期シーケンス中に読み出される QS4 入力からの読み出し値が含まれています。 00 _B : QS4 = GND 01 _B : QS4 = オープン 10 _B : QS4 = 100 kΩ ~ V _{DD} 11 _B : QS4 = V _{DD}
advance_mode	6	ro	アドバンスモードインジケータ 初期化シーケンス後の初期値: 1 _D このビットは、サンプリングされた PLL_Trig 状態を反映します。 0 _D : ベーシックモード 1 _D : アドバンスモード
Res	5:4	ro	未使用。リセット値から変更しないでください。
pll_lock_detect	3	ro	PLL ロック検知 初期化シーケンス後の初期値: 1 _D この値は、PLL から直接入力されます。PLL が正常にロックしているかどうかを示します。 0 _D : PLL がロックされていない 1 _D : PLL がロックされている

(続く)

(続き)

フィールド	ビット	タイプ	内容
chip_version	2:0	ro	チップバージョン 初期状態: サンプルは here 3 に依存します。 すべてのバリエーションには独自のバージョン番号があり、アナログトップレベルに配線されています。これらのビットは読み出し専用です。

4 AD コンバーター

4.1 AD 変換のシーケンス

ADC 変換は、以下に詳細を記した 4 つの異なるフェーズで構成されています。

4.1.1 バンドギャップの有効化

バンドギャップは、レジスタ 34 の `bandgap_en` ビットの設定により有効にできます。この設定は `adc_clk_en` と同時に行えます。バンドギャップは、他のすべての ADC から独立して有効または無効にできます。

バンドギャップの立ち上がり時間は温度やデバイスに依存します。`bandgap_up` フラグ (`reg36[0]`) が High で読み出されるまでは、ADC を有効にできません。

4.1.2 ローカル ADC クロックの有効化

ローカルクロックジェネレータは、レジスタ 34 の `adc_clk_en` ビットを設定することで、有効になります。`bandgap_en` を除く他のビットでは有効にできません。

4.1.3 ADC を有効化

ADC ブロックを有効にする前に、ローカルクロックとバンドギャップが使用可能である必要があります。

`adc_en` ビット (`Reg34[2]`) の設定により、ADC の有効にできます。`adc_ready` フラグ (`Reg36[1]`) が High になることは、ADC の起動が完了したことを示します。`adc_ready="1"` になるまでに変換を開始することはできません。

4.1.4 ADC 変換の開始

4.1.4.1 単一変換

変換は、書き込まれたデータに関係なく、レジスタ 35 への SPI 書き込みコマンドで開始されます。変換の実行中は、これらのビットを変更することはできません。

AD 変換は以下の処理が実行されます。

- ・ サンプリングフェーズの開始
- ・ 変換フェーズの開始
- ・ 対応する結果レジスタの更新
- ・ `adc_result_ready` ビットを "1" に設定

4.1.4.2 順次変換

レジスタ 35 の `chnr_all` ビットを "1" に書き込むことにより、全入力チャネルの変換シーケンスが要求されます。この場合、AD 変換は以下の処理が実行されます。

- ・ 全 16 チャンネルの連続変換と対応する結果レジスタの更新
- ・ `adc_result_ready` ビットを "1" に設定

GSR0 内の `adc_result_ready` ビットは、結果レジスタ (レジスタ 38~53) のいずれかを読み出すことでクリアされます。

4.2 ADC 構成

4.2.1 アナログ入力チャネルゲイン

lv_gain ビットの設定により、アナログ入力チャネルのゲインを選択できます。

- lv_gain = 0: フルスケールアナログ入力電圧 = 1.613 V
- lv_gain = 1: フルスケールアナログ入力電圧 = 1.21 V

4.2.2 アナログ入力電圧サンプリング

最初のフェーズでは、アナログ入力電圧が DAC コンデンサにサンプリングされます。このフェーズは、サンプリングフェーズと呼ばれ、実行時間は stc ビットで制御されます。サンプリング時間は ES で固定されており、16 クロックサイクルです。

4.2.3 ADC フェーズ

ADC の物理的な分解能は 8 ビットです。

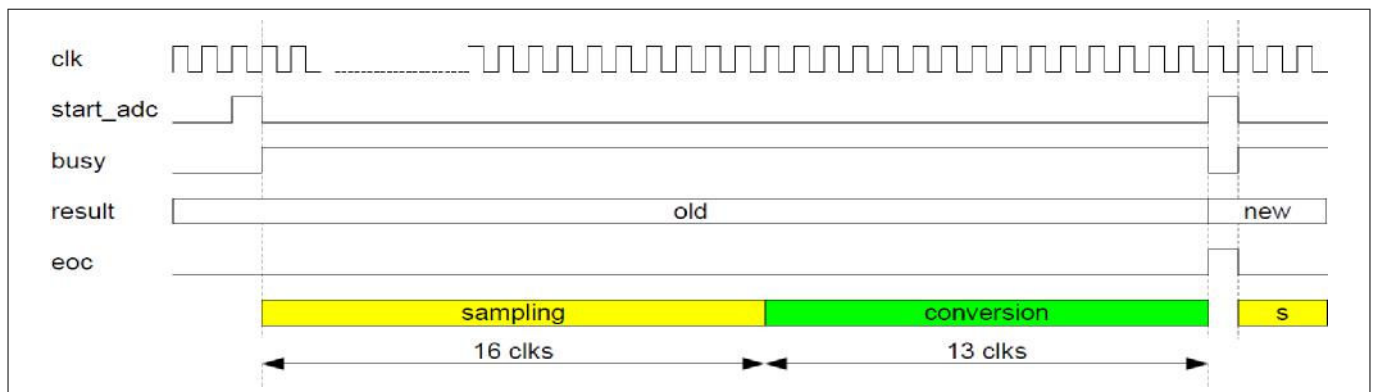


図 14 タイミング図

4.3 変換時間

計算式の例を以下に示します。ポストキャリブレーションには、さらに 12 クロックサイクルが必要です。サンプリング時間は 16 クロックサイクルです。配布時間 (= 実際の変換) は 13 クロックサイクルです。ADC クロックは内部で生成され、温度とチップサンプルに依存します (最小 15 MHz、最大 50 MHz)。

$$t_{\text{conv}} = (t_{\text{sample}} + t_{\text{distrib}} + t_{\text{epcal}}) * t_{\text{adc_clk}} = (16 + 13 + 12) * t_{\text{adc_clk}} \quad (1)$$

$$t_{\text{conv_min}} = (t_{\text{sample}} + t_{\text{distrib}} + t_{\text{epcal}}) * t_{\text{adc_clk_50M}} = (16 + 13 + 12) * (1/50\text{e}6) = 0.82 \mu\text{s} \quad (2)$$

$$t_{\text{conv_max}} = (t_{\text{sample}} + t_{\text{distrib}} + t_{\text{epcal}}) * t_{\text{adc_clk_15M}} = (16 + 13 + 12) * (1/15\text{e}6) = 2.73 \mu\text{s} \quad (3)$$

4.4 ADC のパワーダウンシーケンス

低消費電流モードが必要な場合、ADC のフルパワーダウンを 2 つのフェーズで起動できます。

1. `adc_enable` を "0" に設定し、ADC を無効にしてください。FSM を定義されている状態に切り替えるためには、クロックは動作している必要があります。
2. `clock_enable` を "0" に設定することにより、クロックを無効にしてください。

バンドギャップは、`bandgap_en` を "0" に設定することにより、個別に無効にできます。これは、ステップ 1 の後、またはステップ 2 の後で実行できます。

5 検出器

5.1 デジタル評価

検出器は、ADC からの入力を測定し、BGT60LTR11(B)AIP の TDet/PDet 出力を設定する役割を果たします。

ターゲット検出 (TDet) 出力は Low アクティブです。位相検出 (PDet) 出力は、検出されたターゲットの方向を示す用途で使用されます。ターゲットが接近している場合は High、それ以外の場合は Low に設定されます。

bb_dig_det_en を設定してから 50ms 後に検出器のスイッチがオンになり、ベースバンド回路 Reg1[7]がセトリングできるようになります。

5.1.1 ホールド時間

ホールド時間は、ターゲットが検出されたときの TDet の Low パルスの長さを定義します。この Low パルス中に別のターゲットが検出された場合、ホールド時間が再び動き始めます。したがって、ホールド時間は検出に必要な時間より長い場合、TDet が Low で安定します。

これは Reg10 で設定できます。

改訂履歴

版数	発行日	変更内容
V1.0	2020-09-09	本版は英語版のみの発行です。
V1.1	2020-10-06	本版は英語版のみの発行です。
V1.2	2021-07-15	本版は英語版のみの発行です。
V1.3	2021-10-11	本版は英語版のみの発行です。
V1.4	2022-04-12	本版は英語版 AN625 User's guide BGT60LTR11(B)AIP について、DEVELOPER COMMUNITY の参画者によって日本語に翻訳されたドキュメントです。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2022-04-12

Published by

Infineon Technologies AG
81726 Munich, Germany

© 2022 Infineon Technologies AG
All Rights Reserved.

Do you have a question about any
aspect of this document?

Email: erratum@infineon.com

Document reference
IFX-ahh1628527864346

重要事項

本手引書に記載された情報は、本製品の使用に関する手引きとして提供されるものであり、いかなる場合も、本製品における特定の機能性能や品質について保証するものではありません。本製品の使用前に、当該手引書の受領者は実際の使用環境の下であらゆる本製品の機能及びその他本手引書に記載された一切の技術的情報について確認する義務が有ります。インフィニオンテクノロジーズはここに当該手引書内で記される情報につき、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

警告事項

技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。

インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。