

# 优化基于 CoolMOS™ CE 的电源，以满足 EMI 要求

## 关于本文档

### 范围和目的

提高效率是 AC-DC 开关模式电源(SMPS)、充电器和适配器设计人员的一个重要考虑因素。由于便携式电子设备的大量增加，充电器和适配器被广泛使用，因此需要不断改进效率和热性能以便实现产品差异化和总体成本的降低。这些 SMPS 中的开关往往使用 MOSFET，**通常是导通电阻  $R_{DS(ON)}$  越低，效率越高**。这里的 MOSFET 可以是普通平面型 MOSFET 或超结 MOSFET 在  $R_{DS(ON)}$  和额定电压相同的情况下，超结 MOSFET 与普通平面型 MOSFET 相比具有较低的寄生电容。正因为如此，在电磁干扰(EMI)符合性测试中，需要特别关注快速开关的超结 MOSFET。在本应用说明中，我们将讨论与开关 MOSFET 相关的元器件和寄生效应的影响，并修改其参数值以观察对 EMI 特性的影响。还讨论了一些使用 CoolMOS™ CE MOSFET 成功实现上述技术的实际案例。

### 目标受众

有兴趣从普通 MOSFET 转向超结 CoolMOS™ CE MOSFET，以便提高其设计的效率性能的 SMPS 设计人员。

## 目录

### 关于本文档 1

1	在反激式 AC-DC 充电器和适配器 SMPS 中，典型的开关 MOSFET 相关的噪声源 .....	3
2	在 CoolMOS™ CE 内降低 $dv/dt$ 和 $di/dt$ .....	5
2.1	降低 MOSFET $di/dt$ .....	5
2.2	降低 MOSFET $dv/dt$ .....	6
3	阅读 EMI 测量图 .....	9
4	各种测试用例的实际测量结果 .....	11
4.1	优化最初为普通 MOSFET 优化的 AC-DC SMPS – CoolMOS™ CE 取代普通 MOSFET .....	11
4.2	优化最初为超结 MOSFET 优化的 AC-DC SMPS – CoolMOS™ CE 通过不同的技术取代超结 MOSFET .....	19
4.3	优化最初为 CoolMOS™ CE 优化的 AC-DC SMPS – 使用 CoolMOS™ CE 开始 SMPS 设计 .....	23
5	使用 CoolMOS™ CE 时降低 EMI 的总结.....	34
6	系统相关的 EMI 优化.....	35
6.1	选项 A：反激式电源中降低 $di/dt$ 和 $dv/dt$ 的布局实践.....	35
6.2	选项 B：散热器接地到输入大电容回路，而不是底盘接地.....	35
6.3	选项 C：Y 电容.....	36
6.4	选项 D：变压器屏蔽 .....	36
6.5	选项 E：带频率调制的可变频率 PWM 控制器 .....	37
7	结论 .....	39
8	参考资料 .....	40
	<b>修订记录</b>	<b>41</b>

---

在反激式 AC-DC 充电器和适配器 SMPS 中，典型的开关 MOSFET 相关的噪声源

在反激式 AC-DC 充电器和适配器 SMPS 中，典型的开关 MOSFET 相关的噪声源

## 1 在反激式 AC-DC 充电器和适配器 SMPS 中，典型的开关 MOSFET 相关的噪声源

在以下几节中将说明典型电源中与 MOSFET 相关的  $di/dt$  和  $dv/dt$ 。如图 1 所示，漏极回路是“噪声源”高  $dv/dt$  的回路。通常，在设计反激电路时，尽可能减少此回路的面积会有所帮助。MOSFET 应尽可能靠近变压器的管脚放置。由于  $I = C \cdot dv/dt$  且  $dv/dt$  是不可避免的，因此减少  $C$  将会降低噪声电流，但不会降低开关速度或降低转换器的效率或产生不得不耗散的更多热量。该回路的电容与其面积成比例，通过减小回路的面积，其对于外界的电容也将减小。

$dv/dt$  通常通过电容耦合去影响驱动电流，而“ $di/dt$ ”是不同的问题，这些快速变化的电流和关联的谐波在其他地方产生耦合的噪声电压，造成 EMI。

此外，“ $di/dt$ ”经常可以通过磁场耦合，因为电流产生磁场。初级开关电流影响 EMI 和 EMC，因为是非常快速变化的  $di/dt$ 。反激电路有几个快速变化的电流需要注意。

在图 1 所示的三个环路中，最常引起问题是输出电流环路。此环路的面积应尽可能最小化，以便使快速变化的磁场最小化。所示的所有电流应使其环路面积最小化，但出于本应用说明的目的，重点在初级电流上。

在反激式设计中还有变压器寄生电容。有效屏蔽和正确使用 Y 电容（限制正确的 PCB 设计的环路面积）可最小化这些寄生效应的影响。

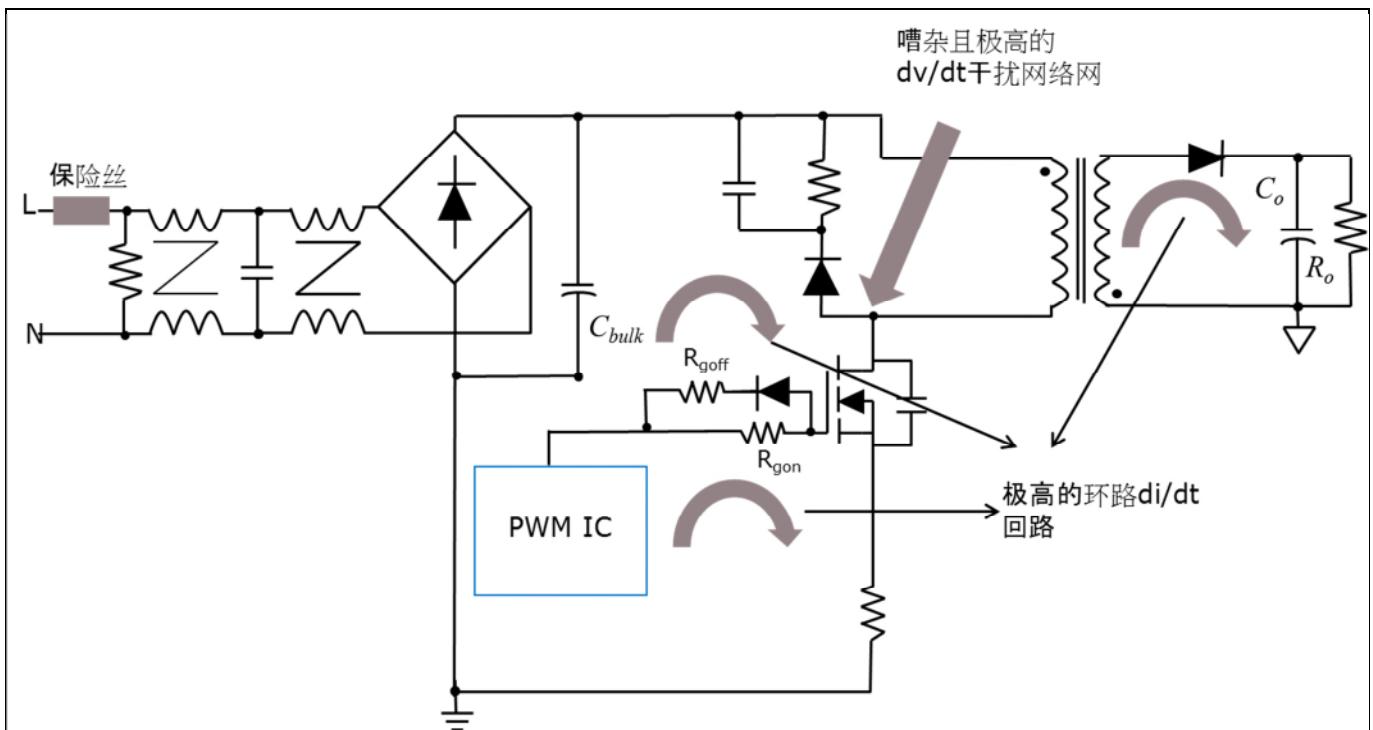


图 1 典型的反激式电源及其  $dv/dt$ 、 $di/dt$  环路

为了驱动 MOSFET，优先使用分别独立的开通和关断栅极电阻，如图 1 中所示。串联的快速恢复二极管用于保持关断期间的栅极电阻低于开通期间的栅极电阻。这是必需的，因为对于某些功率器件，关断延迟时间

在反激式 AC-DC 充电器和适配器 SMPS 中，典型的开关 MOSFET 相关的噪声源

通常比开通延迟时间长。同时，这还能有助于防止经由米勒电容发生电容性开通。还有助于单独调整开通和关断行为。提高  $R_{goff}$  会导致关断时间增加，因此在关断期间的感应峰值过压将减小。提高  $R_{gon}$  会导致开通时间增加，从而有效地减慢 MOSFET 开关速度。续流二极管的反向峰值电流将减小。关断时间影响效率，开通时间影响 EMI 性能。因此，必须通过更高的  $R_{gon}$  和更低的  $R_{goff}$  来实现效率与 EMI 性能之间的最佳平衡。CoolMOS™ CE 器件将  $R_g$  集成到了器件中，如图 2 所示。

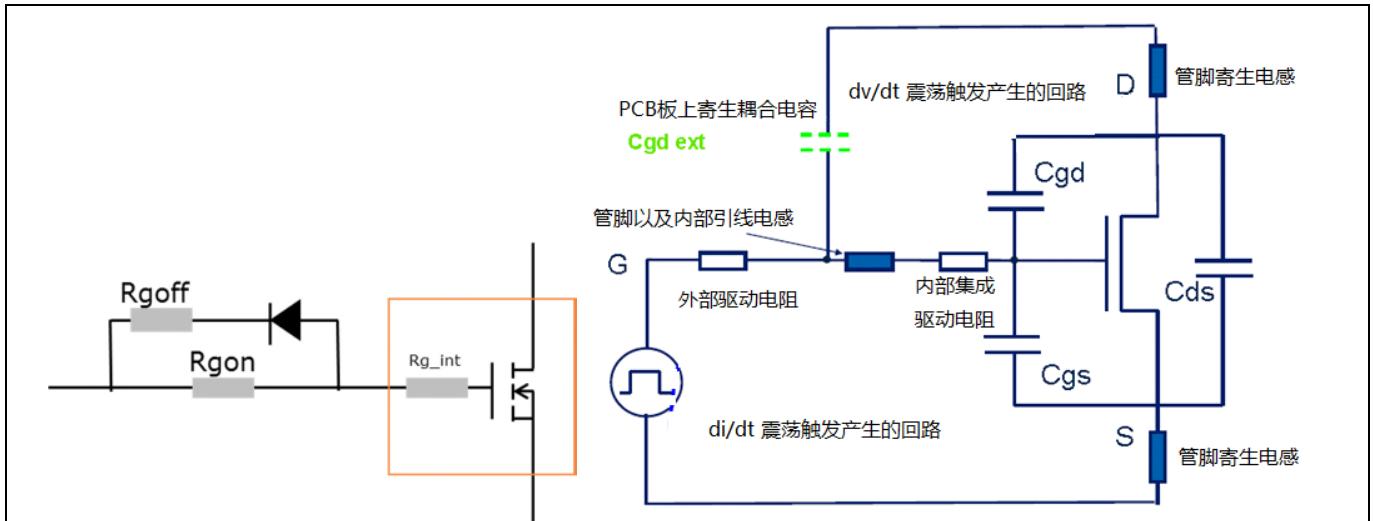


图 2 CoolMOS™ CE 中集成了  $R_g$ ，并用于限制  $dv/dt$  ( 红色环路 ) 和  $di/dt$  ( 蓝色环路 ) 触发的振荡

$R_g$  对 MOSFET 的  $dv/dt$  和  $di/dt$  都有影响。

$$dv/dt = V_{gs} / (R_g * C_{gd})$$

$$di/dt = VL / L, \text{ 其中 } VL \text{ 是添加到栅极电压 } V_{gs} \text{ 的振荡电压}$$

此内部  $R_g$  可抑制由外部寄生效应引起的任何振荡。因此，对于具有内部  $R_{g\_int}$  [2] 的 MOSFET ( 例如 CoolMOS™ CE )，在栅漏 ( $R_{g\_ext}$ ) 和栅源 ( $C_{gs\_ext}$ ) 之间增加外部电容是安全的。

在 CoolMOS™ CE 内降低 dv/dt 和 di/dt

## 2 在 CoolMOS™ CE 内降低 dv/dt 和 di/dt

我们在前一节中讨论了 MOSFET dv/dt 和 di/dt 的基本概念，并看到了和这些瞬态关联的典型网络和环路。图 3 显示了整个电路中具有不同寄生效应的反激式电源。

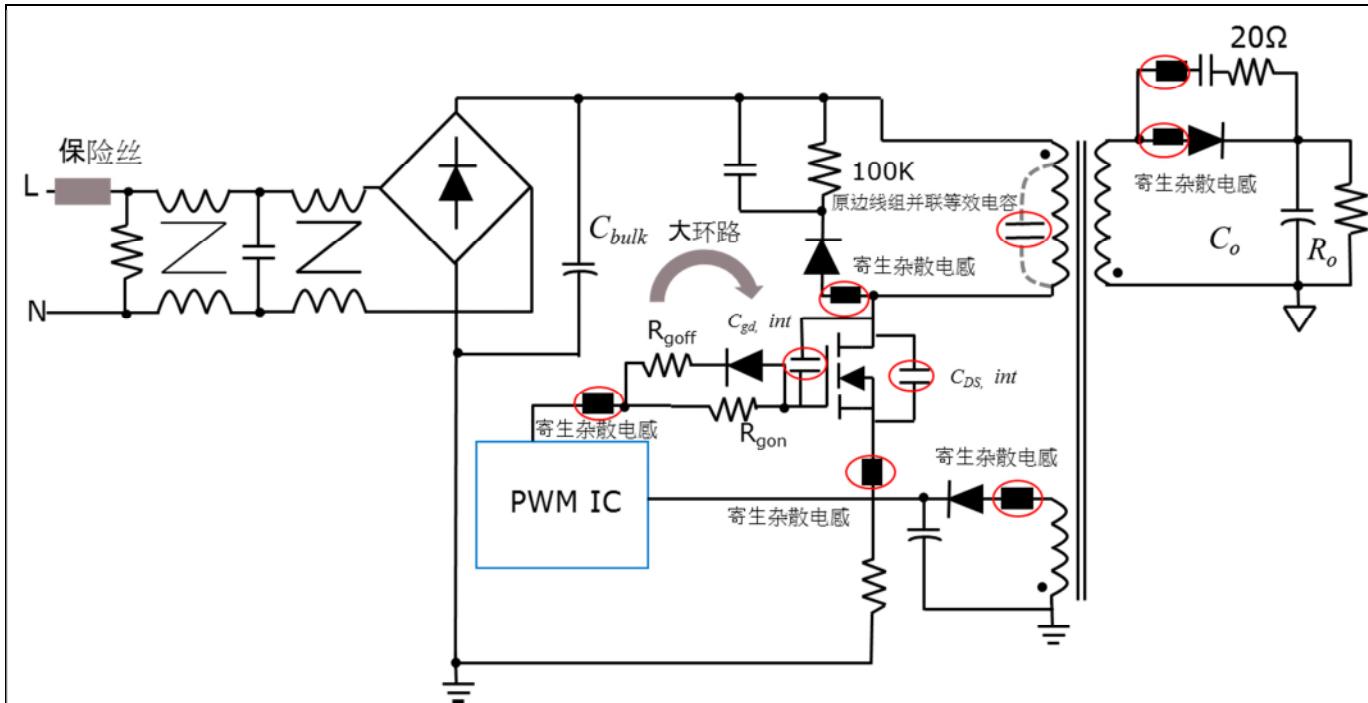


图 3 反激式电源和关联的寄生效应

各种寄生效应包括 MOSFET 的漏极和源极处的杂散电感以及栅极驱动级中的杂散电感，变压器输出、输出二极管和缓冲器吸收电路的杂散电感。杂散电感（通常为几毫亨）经常导致环路中基于 di/dt 的大的电压过冲。类似地，由于该回路内 dv/dt 的存在，MOSFET 内部寄生参数（包括输出电容和传输电容）和变压器的绕组电容中将会形成噪声电流。因此，这些噪声电流和电压的相互作用导致 EMI。

### 2.1 降低 MOSFET di/dt

从上图中，MOSFET 驱动阶段中存在的各个 di/dt 部分产生以下效果

1. 由于栅极处的杂散电感引起的噪声电压
2. 由于源极处的杂散电感引起的噪声电压
3. 由于漏极处的杂散电感引起的噪声电压
4. 由于初级阶段大环路的噪声电压

如果尚未完成最佳 PCB 布局，那么我们首先减少主开关节点周围的 PCB 环路面积。这可以通过增加高频高压直流电容（优选陶瓷类型）来减少有效环路面积和分离高频和低频两个部分来实现。在图 4 中显示为 CBP。

为了额外降低 di/dt，在电路中增加了已知的电感。由于此已知电感与杂散电感串联，所以总值始终在设计者已知的增加电感范围内。

在 CoolMOS™ CE 内降低  $dv/dt$  和  $di/dt$ 

铁氧体磁珠是在宽频率范围内过滤高频噪声能量的无源器件。它在其预期频率范围内变为电阻，并以热的形式消散噪声能量。然而，在系统设计中不当使用铁氧体磁珠会导致一些有害的问题。例如，由于将磁珠与用于低通滤波的去耦电容组合导致不期望的谐振，以及直流偏置电流依赖性的效应会降低磁珠的 EMI 抑制能力。正确理解和考虑铁氧体磁珠的性能，可以避免这些问题。

$L_{\text{bead}}$ ，磁珠电感可通过以下公式计算：

$$L_{\text{bead}} = XL / 2 * \pi * f$$

从典型的铁氧体磁珠数据表中，磁珠电感最大的区域给出频率  $f$ ，例如  $f = 30 \text{ MHz}$ ，那么  $30 \text{ MHz}$  处的  $XL$  电抗为  $233\Omega$ 。上述公式给出了典型铁氧体磁珠的  $1.2 \mu\text{H}$  的电感值 ( $L[1]\text{bead}\{2\}$ )。SMPS 中使用的大多数铁氧体磁珠在  $1.2 \mu\text{H}$  到  $2.2 \mu\text{H}$  的范围内。

应从器件数据表中验证磁珠的寄生电容和直流电阻，以使电容工作模式和直流损耗最小化。正确应用铁氧体磁珠可能是一种减少高频率噪声和开关瞬变的经济有效的方法。因此，正确选择的铁氧体磁珠可以放置在 MOSFET 的  $di/dt$  瞬变部分，如图 4 所示。输出和辅助电源电路中整流器的反向恢复的  $di/dt$  通过接通 MOSFET 的初级侧来控制。因此，在这些点放置磁珠也有助于降低由于  $di/dt$  效应引起的 EMI。

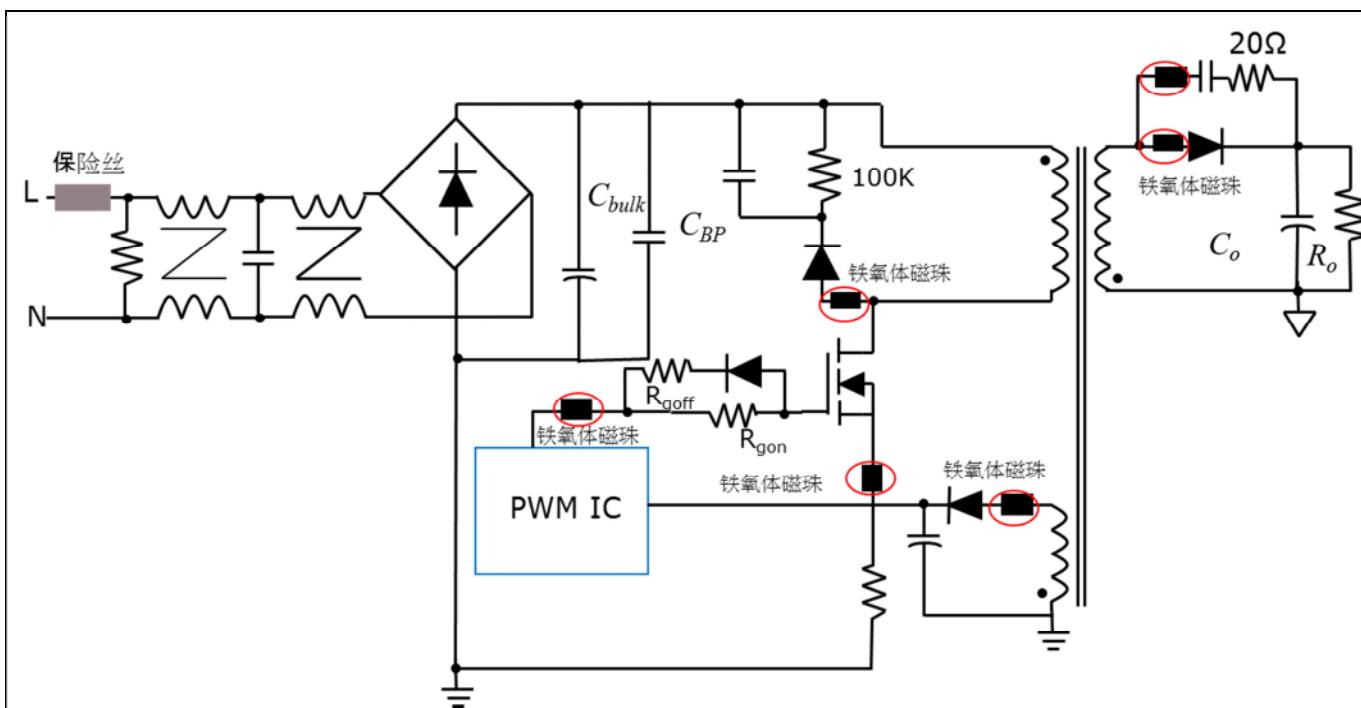


图 4 MOSFET  $di/dt$  降低技术

## 2.2 降低 MOSFET $dv/dt$

典型 MOSFET 开通和关断在许多文章中已经分析过了，在本应用说明的参考部分中也可以找到一些范例。如图 5 所示 MOSFET 的等效电路。

我们关注的是 MOSFET 的  $dv/dt$  特性以及影响此特性的寄生效应。 $dv/dt = V_{gsth} / (R_g * C_{gd})$

因此， $R_g$  和  $C_{gd}$  越低， $dv/dt$  越高  $C_{oss} = C_{gd} + C_{ds}$

因此， $C[1]\text{oss}\{2\}$  越低， $dv/dt$  越高

在 CoolMOS™ CE 内降低  $dv/dt$  和  $di/dt$

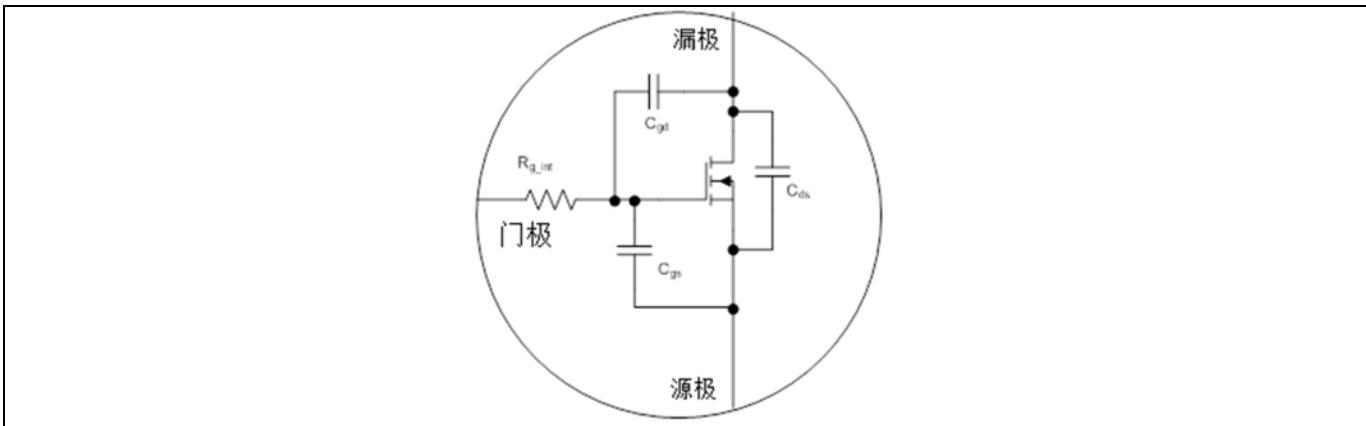


图 5 典型的 MOSFET 模型

从上面的公式，我们可以清楚地看到可以修改四个参数来降低  $dv/dt$ 。

分别是：

提高  $C_{ds}$

提高  $C_{gd}$

提高  $R_g$

提高  $C_{gs}$

较高的  $C_{ds}$  可以降低  $dv/dt$  并降低 V[1] DS {2} 过冲。

较高的  $C_{gd}$  实质上增加了 MOSFET 保持在米勒平台中的持续时间，因此可减慢  $dv/dt$ 。

这将导致增加开关损耗，因而降低 MOSFET 的效率并提高其温度。

准谐振反激转换器的辐射噪声主要取决于谐振电容，即 MOSFET 的  $C_{ds}$ 。

普通 MOSFET 具有大  $C_{ds}$ ，因此  $dv/dt$  较低。

大  $C_{ds}$  也有助于满足辐射 EMI。

准谐振转换器的效率在非 ZVS 条件下和小  $C_{ds}$  时较高，因为可以使用具有较低击穿电压和低导通电阻的 MOSFET。

因此，如果考虑噪声辐射使用小的谐振电容 ( $C_{ds}$ )，则可以利用非 ZVS 条件和较小的谐振电容  $C_{gd}$  实现高效率。

因此，在满足辐射 EMI 要求和满足效率目标之间需要进行权衡。

因此，只要 MOSFET 的内部寄生参数 ( $C_{gd}$  和  $C_{ds}$ ) 较低，就可能有必要使用外部  $C_{gd}$  和  $C_{ds}$  来确保降低  $dv/dt$ 。

外部电容的范围为 10 pF 到 100 pF，为设计人员提供这些寄生电容的固定值进行设计。

普通 MOSFET 具有较大的内部  $C_{gd}$  和  $C_{ds}$  电容，如其数据表中所示。

因此，在用 CoolMOS™ CE 替代 MOSFET 时，需要使用外部  $C_{ds}$  和  $C_{gd}$  来减慢快速开关的超结 MOSFET。

也可以在栅极处添加外部  $C_{gs}$  电容，但是很少使用此方法，因为增加栅极电阻  $R_g$  相对更简单。

如本应用说明前面部分所述，最好在 MOSFET 的开通和关断条件中设置不同的  $R_g$  值集合。

在 CoolMOS™ CE 内降低  $dv/dt$  和  $di/dt$ 

为了减少关断损耗，需要较低的  $R_{g, off}$  值。

为了减少开通电压尖峰，需要较高的  $R_{g, on}$  值。

MOSFET 内需要内部  $R_g$ ，以通过从内部抑制由于不良的 PCB 布局导致的振荡，从而保证平缓的开通和关断特性。

CoolMOS™ CE 具有集成的  $R_g$ ，需要仔细选择外部  $R_{g, on}$  和  $R_{g, off}$ （应该包括基于使用的  $R_{dson}$  的内部门极电阻  $R_g$  值）。

较高的  $R_g$  不仅会提高温度和开关损耗来降低 MOSFET 的工作性能，还会影响器件的开关行为来降低系统效率和性能。

较高的  $R_g$  严重影响驱动器/PWM 控制器，要求其维持更高的温度，以及耗散更多的功率以对 MOSFET 输入电容充电。

同时潜在地产生交叉影响，可能由于静态  $dv/dt$  而导致系统击穿。

图 6 总结了用于降低  $dv/dt$  的技术。

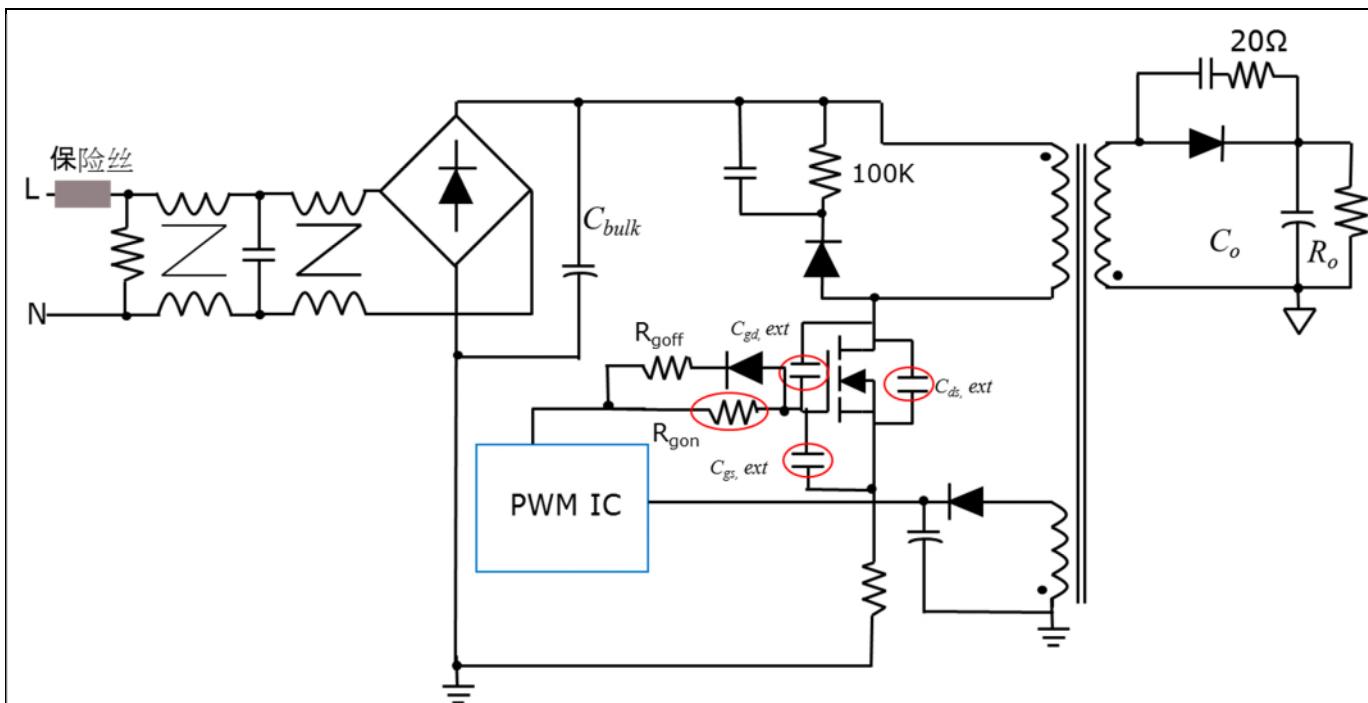


图 6 MOSFET  $dv/dt$  降低技术 - 添加外部电容和增加门极电阻  $R_g$

阅读 EMI 测量图

### 3 阅读 EMI 测量图

图 7 和 8 显示了典型的传导和辐射 EMI 界限。

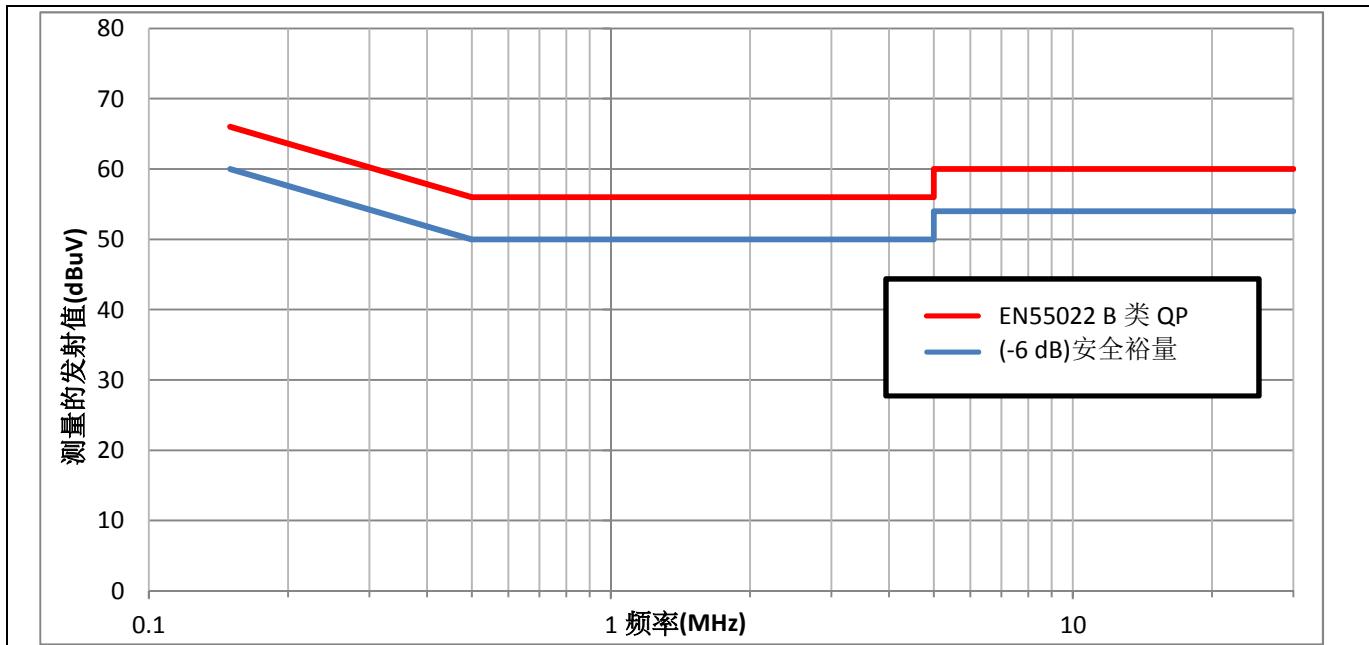


图 7 传导发射测试界限 - 150 kHz 到 30 MHz

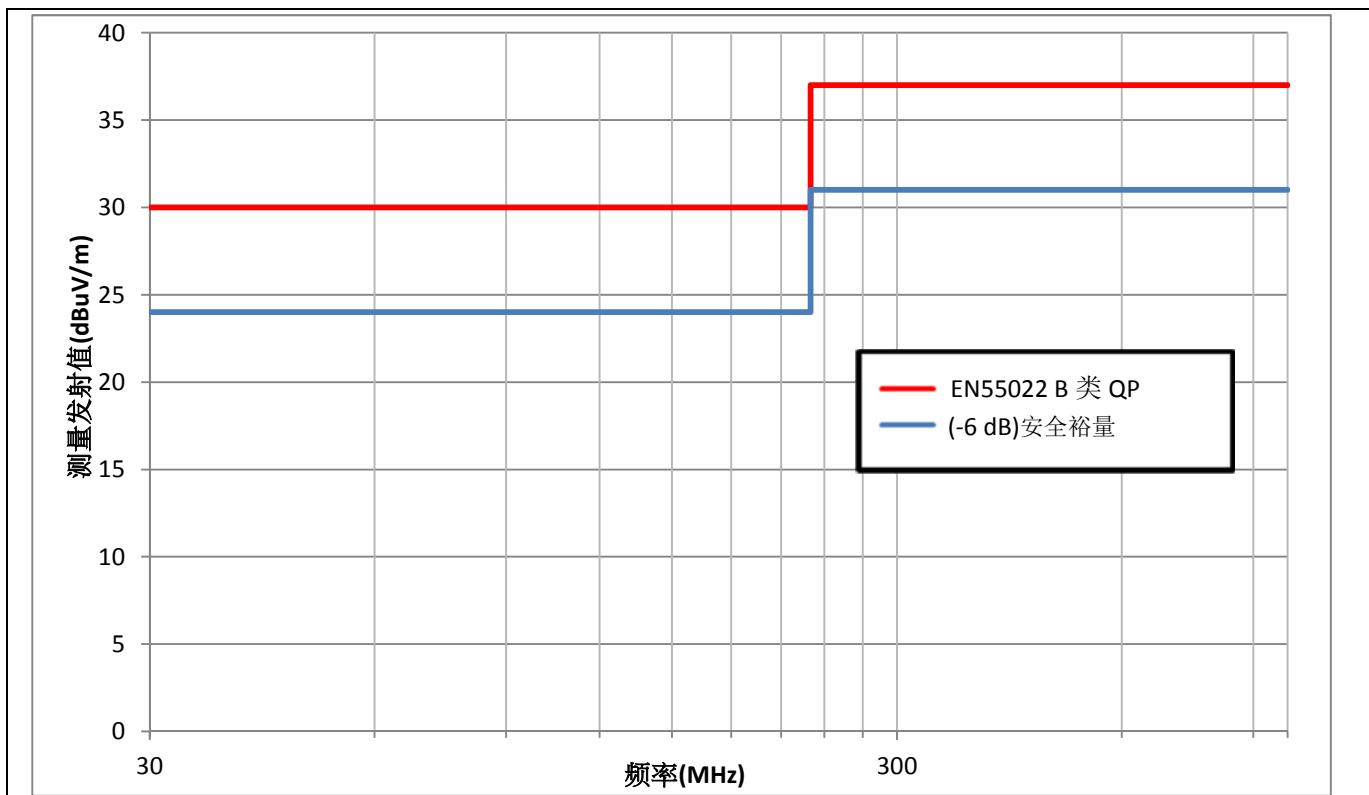


图 8 辐射发射测试界限 - 30 MHz 到 1 GHz

## 阅读 EMI 测量图

根据在频谱分析仪中使用的检测器，可以获得平均、准峰值 (QP) 或峰值测量。

峰值检测始终给出最高读数，然后是准峰值，再然后是平均读数。

因此，为了快速执行 EMI 扫描，大多数工程师喜欢执行峰值检测，然后再将结果与 QP 限值对比。

如果满足此条件，那么实际上实现了额外的裕量（安全裕量）。

应该仅在峰值检测测试（应用了 QP 限制）略有失败时执行 QP 检测。

通常，需要有-6dB 的安全裕量以便考虑测量误差、板与板之间的差异变化等情况。

通常，如果满足 QP 限制，则也满足平均限制（使用平均检测和平均限制）。

在低于大约 5MHz 的频率下，主要是差模噪声电流引起，而在高于 5MHz 的频率下，主要是共模噪声电流引起。

在高于 20MHz 的频率下，传导噪声归因于感应耦合，可以是来自输入电缆或输出电缆的辐射。

满足传导发射规范并不意味着一定能够满足辐射发射规范，而在大多数情况下满足辐射发射规范也能够满足传导发射规范。

所以，为了节省时间，设计人员通常倾向于首先检查辐射发射。

在本应用说明的下一部分中，显示了 EMI 测试前后的各种结果。

使用 MOSFET  $di/dt$  和  $dv/dt$  降低技术，CoolMOS™ CE 可以成功满足 EMI 要求。

我们还采用了本应用说明前面章节中讲到的经验，并开发了一个快速修复表，用以帮助 CoolMOS™ CE 满足 EMI 测试要求。

各种测试案例的实际测量结果

## 4 各种测试案例的实际测量结果

现在，我们将在 CoolMOS™ CE 的三种不同但典型的使用中来实现在本应用说明的前述章节中学到的经验。

1. 优化最初为普通 MOSFET 优化的 AC-DC SMPS - 此处，CoolMOS™ CE 取代普通 MOSFET。
2. 优化最初为超结 MOSFET 优化的 AC-DC SMPS - 此处，CoolMOS™ CE 取代不同技术的超结 MOSFET。
3. 优化最初为 CoolMOS™ CE 优化的 AC-DC SMPS - 此处，使用 CoolMOS™ CE 开始 SMPS 设计。

### 4.1 优化最初为普通 MOSFET 优化的 AC-DC SMPS – CoolMOS™ CE 取代普通 MOSFET

因为效率提高是 AC-DC 适配器设计者的重要目标之一。因此，超结 MOSFET 始终是开关 MOSFET 的首选。

由于成本限制，设计人员可能被迫使用普通 MOSFET。在 CoolMOS™ CE 系列产品组合中，价格吸引力和多种封装选项以及各种导通电阻选择使其成为设计者在其设计中替换普通 MOSFET 的优先选择。

图 9 中显示了所考虑的电路：

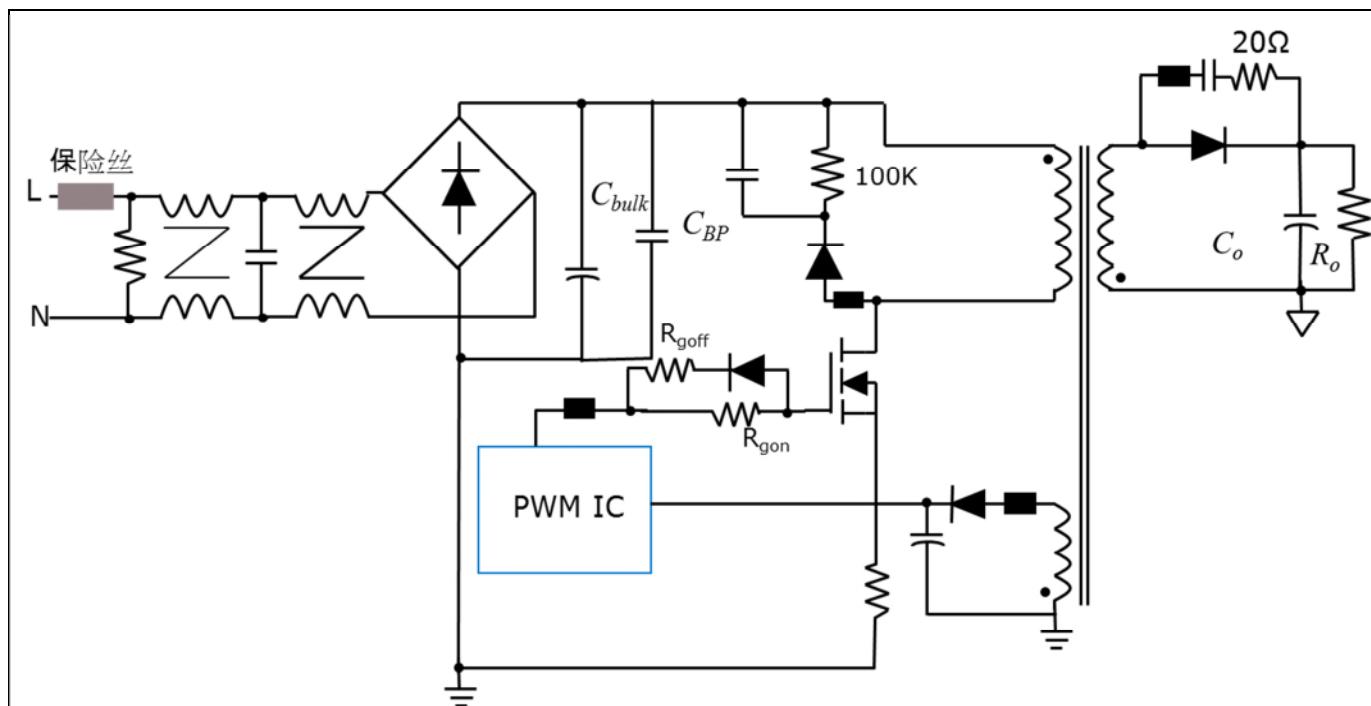


图 9 典型反激式电源 - 30W 到 65W 输出功率

我们观察了不同供应商现有的从 30W 到 65W 的不同功率水平的几个适配器。在所有这些产品中已经采用了一些降低  $dv/dt$  和  $di/dt$  技术，如图 15 中所总结的。图 10 显示了在用 CoolMOS™ CE 替换普通 MOSFET 时采用的典型方法。

各种测试案例的实际测量结果

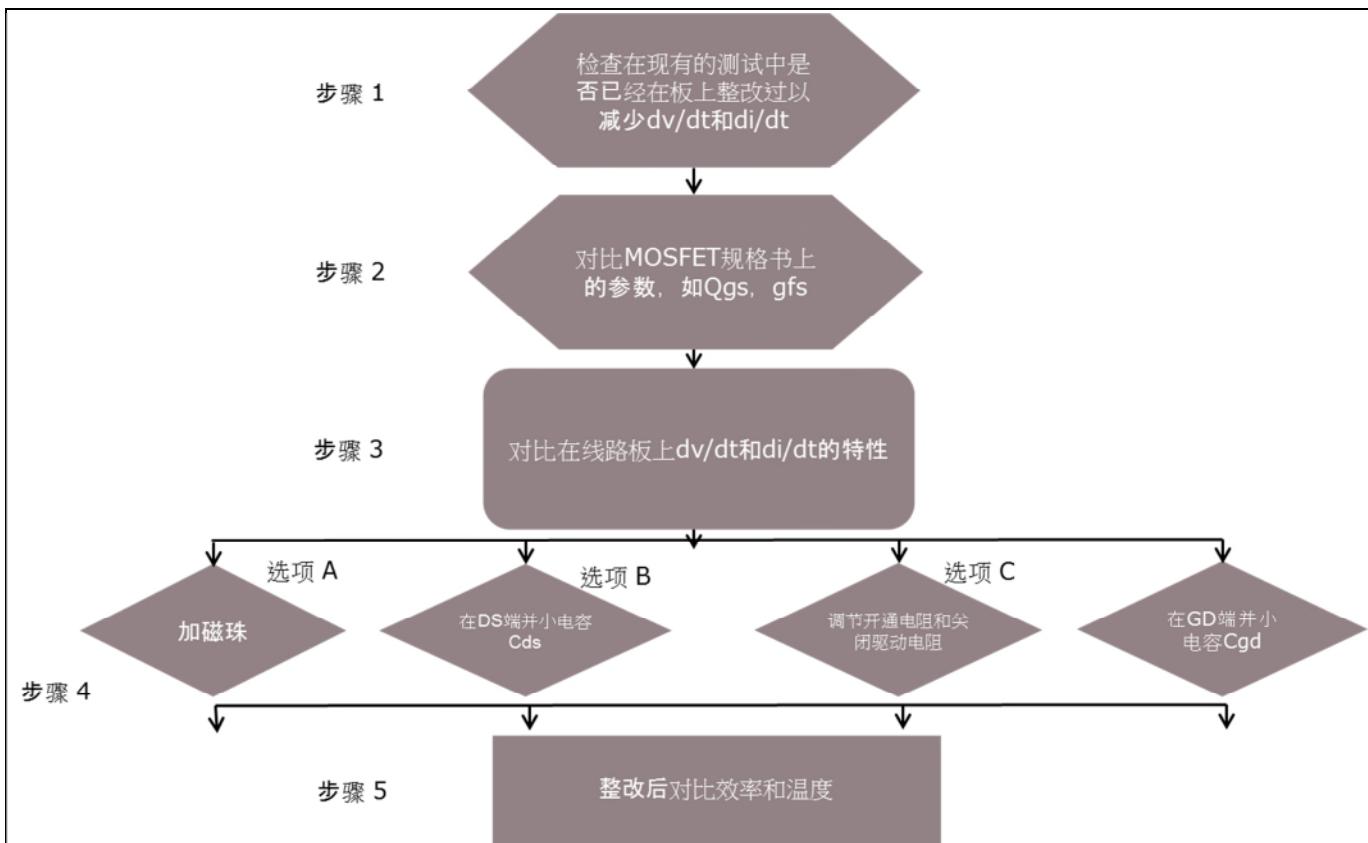
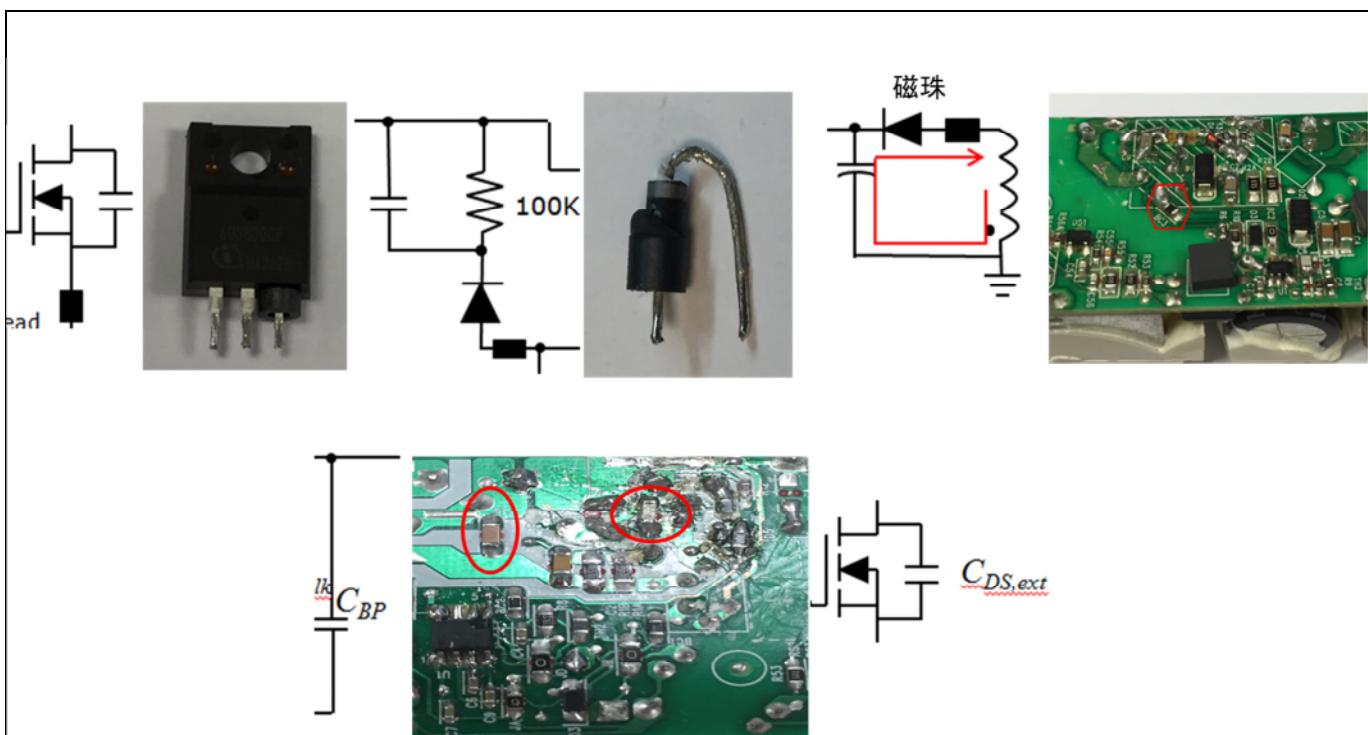


图 10 用 CoolMOS™ CE 替换普通 MOSFET 的流程图

下面详细解释上述流程图中所示的步骤：

#### 步骤 1：

通过目视检查 SMPS PCB 或通过查看原理图，检查现有的  $di/dt$  和  $dv/dt$  降低方法。



各种测试案例的实际测量结果

图 11 目视检查 AC-DC SMPS 中的各种  $di/dt$  和  $dv/dt$  测量方法 - (A) MOSFET 源中用于降低  $di/dt$  的磁珠，初级缓冲二极管 (B) 高频旁路电容 CBP 和外部  $C_{ds}$

步骤 2：

比较数据表参数，以确保识别普通 MOSFET 和 CoolMOS™ CE 之间的差异并可以估计所需的修改，如图 19 所示。

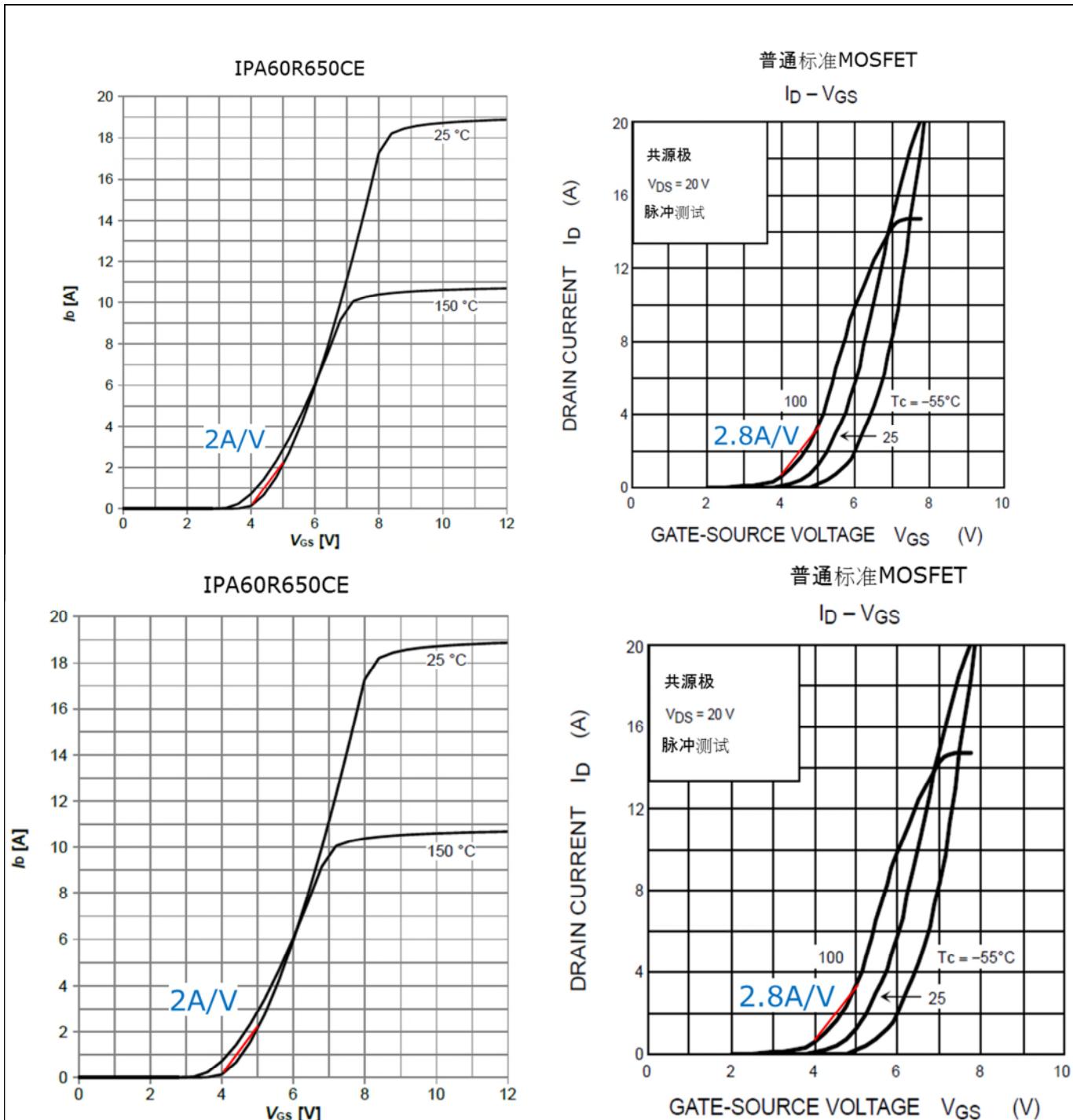


图 12 CoolMOS™ CE 和普通 MOSFET 数据表比较。(A)  $Q_{gs}$  以确定  $V_{GS}$  的充电时间。(B)  $g_{fs}$  确定  $R_{ds(on)}$  变化率对比  $V_{GS}$

## 各种测试案例的实际测量结果

根据上面的比较结果：从  $Q_{gs}$  和  $g_{fs}$  曲线确定器件的  $di/dt$

$$\frac{di}{dt} = \frac{\frac{g_{fs} \times \Delta V}{Q_{gs}} - \frac{g_{fs} \times \Delta V}{Q_{gs} \times R_{g, on}}}{I_{driving}}$$

对于 CoolMOS™ CE

$$Q_{gs} = 0.46nC @ VGS = 4V \rightarrow 5V$$

假设  $V_{driving} = 5V$ ,  $R_{g, on} = 200\Omega$

$$I_{driving} = 5/200 = 25mA, t_{driving} = 18.4ns$$

$$g_{fs} = 2A/V @ VGS = 4V \rightarrow 5V$$

MOSFET 的  $di/dt @ VGS = 4V \rightarrow 5V$

$$di/dt (\text{CoolMOS™ CE}) = 2A/18.4ns = 108A/\mu s$$

对于普通 MOSFET：

$$Q_{gs} = 1.24nC @ VGS = 4V \rightarrow 5V$$

假设  $V_{driving} = 5V$ ,  $R_{g, on} = 200\Omega$

$$I_{driving} = 5/200 = 25mA, t_{driving} = 49.6ns$$

$$g_{fs} = 2.8A/V @ VGS = 4V \rightarrow 5V$$

MOSFET 的  $di/dt @ VGS = 4V \rightarrow 5V$

$$di/dt (\text{普通 MOSFET}) = 2.8A/49.6ns = 56.4A/\mu s$$

因此，从数据表比较：

1. 650CE 的  $g_{fs}$  是普通 MOSFET 的 70%
2. 650CE 的  $Q_{gs}$  是普通 MOSFET 的 37%

在 MOSFET 开通时要保持相同的 MOSFET  $di/dt$

$$R_{g, on(CE)} = \frac{\frac{g_{fs, CE}}{Q_{gs, CE}}}{\frac{g_{fs}}{Q_{gs}}} R_{g, on, original}$$

650CE 的  $R_{g, on}$  是普通 MOSFET 的 189%，具有与 MOSFET 导通相似的  $di/dt$ 。步骤 3 和步骤 4：比较开关波形以获得  $di/dt$  的估计值，并重新确认我们以前的发现，即需要较高的  $R_{g, on}$  来抑制 CoolMOS™ CE 的  $di/dt$ 。

还需比较  $dv/dt$  以检查寄生电容效应。

有关使用  $R_{g, on}$  抑制  $di/dt$ ，请参阅图 20。

各种测试案例的实际测量结果

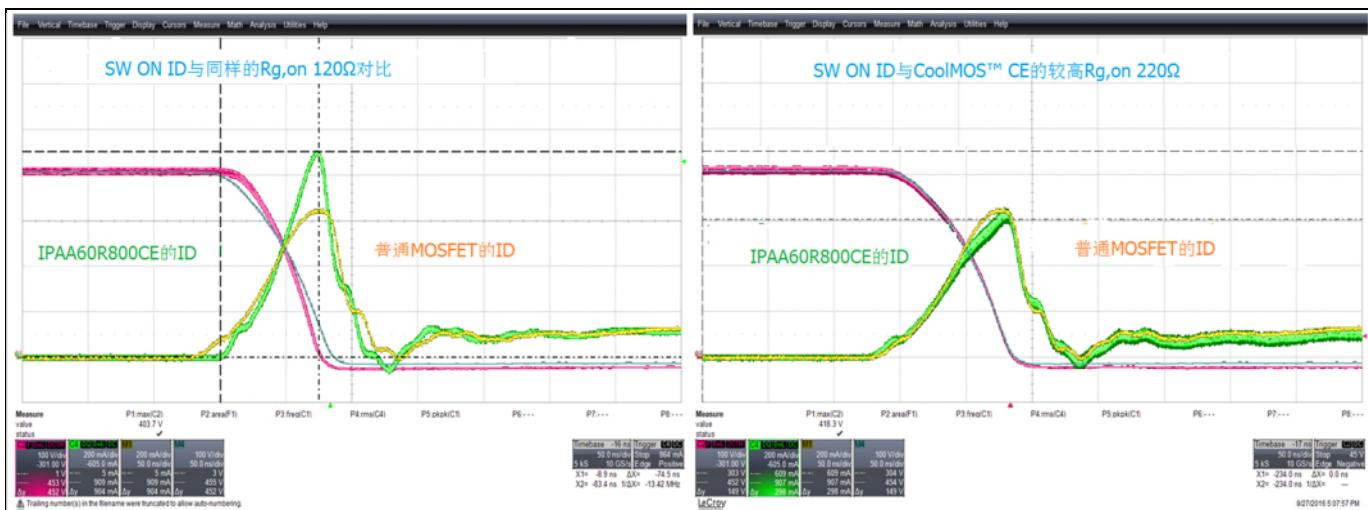


图 13 使用较高的  $R_{g,\text{on}}$  为 CoolMOS™ CE 抑制  $di/dt$ 。对普通 MOSFET 和 CoolMOS™ CE 使用较高的  $R_{g,\text{on}}$  抑制  $di/dt$  是相似的

当主 CoolMOS™ CE 开通时，此较高的  $R_{g,\text{on}}$  还会抑制次级同步 MOSFET（如果使用）上的电压尖峰。

提高  $R_{g,\text{on}}$  会增加开关损耗，如下面的图 14 所示。

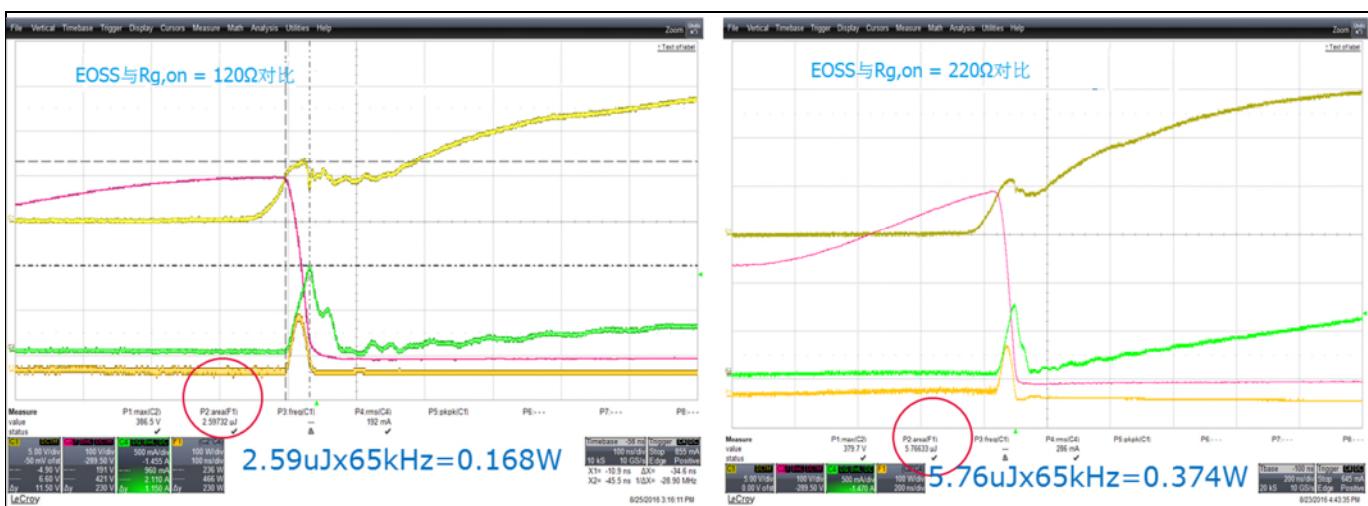


图 14 基于  $di/dt$  抑制（以满足普通 MOSFET  $di/dt$ ）选择的两个  $R_{g,\text{on}}$  之间的 CoolMOS™ CE  $E_{oss}$  比较。 $R_{g,\text{on}}$  加倍时开关损耗加倍

与普通 MOSFE 相比，在相同的条件下，CoolMOS™ CE 具有更高的  $di/dt$  和  $dv/dt$  关断特性。

从图 15 中可以看出。需要外部 Cds 以匹配器件关断性能。

各种测试案例的实际测量结果

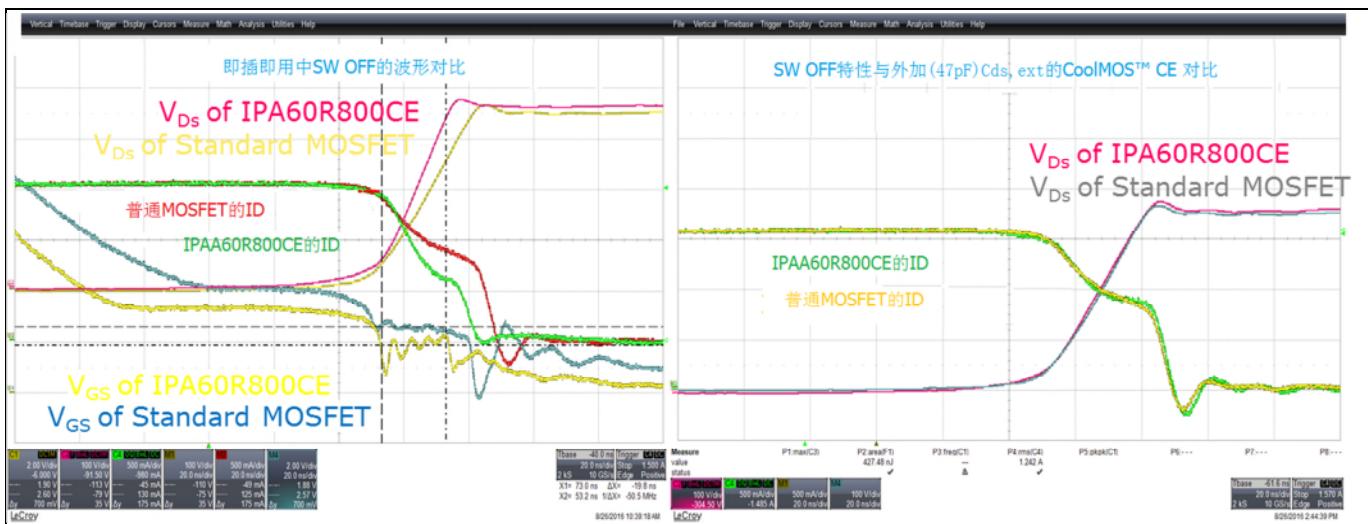


图 15 即插即用中的 CoolMOS™ CE 关断(SW Off)特性，并需要外部  $C_{ds}$  (47 pF) 以匹配普通 MOSFET 的关断特性。.

即插即用中的 CoolMOS™ CE 和普通 MOSFET 之间的开关损耗对比如图 15 所示，使用 47pF 的外部  $C_{ds}$  如图 16 所示。可以看出由于添加外部  $C_{ds}$  而造成的 CoolMOS™ CE 开关损耗的增加。

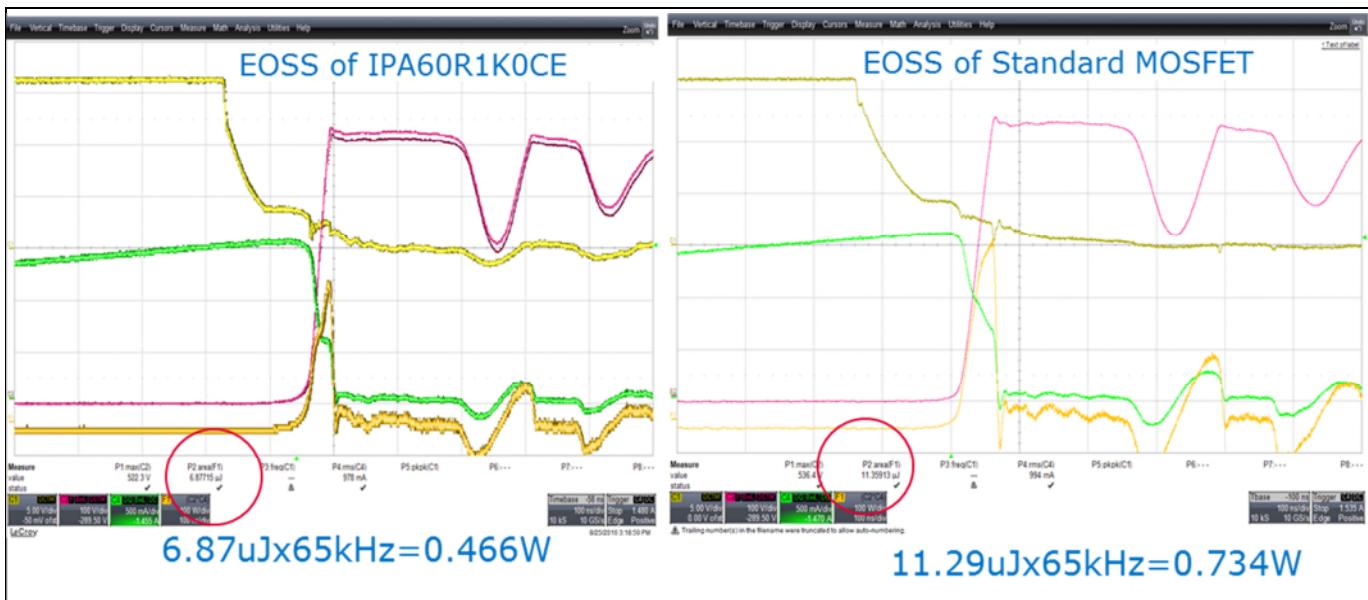


图 16 即插即用中的 CoolMOS™ CE 显示了较低的开关损耗

各种测试案例的实际测量结果

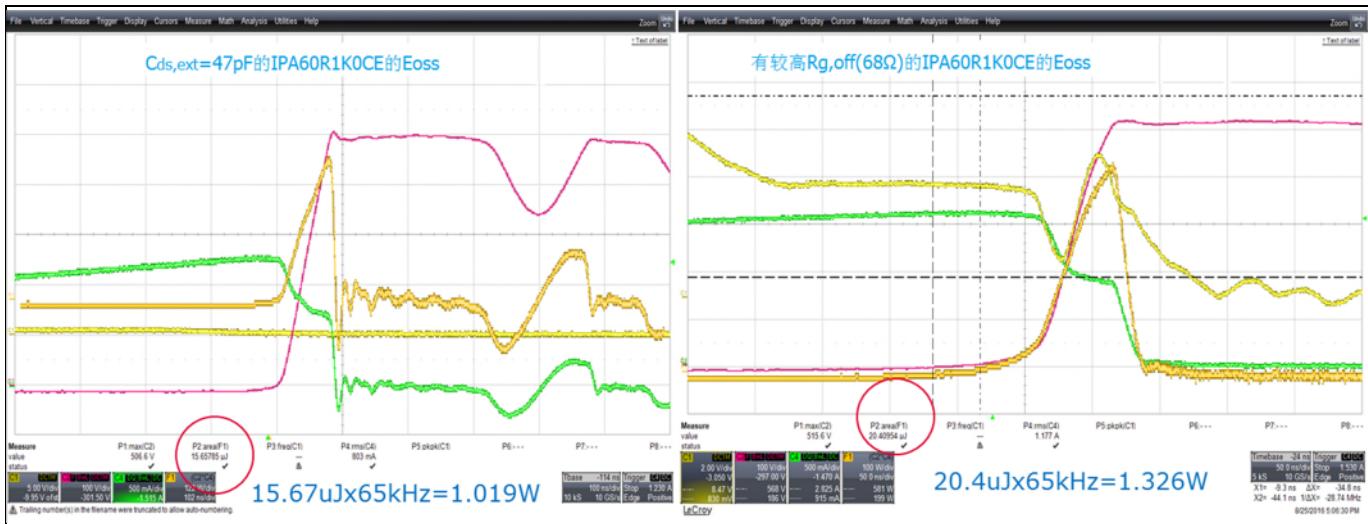


图 17 由于增加 27pF 的外部  $C_{ds}$  和将  $R_{g,off}$  提高到  $68 \Omega$  (为了满足与普通 MOSFET 相似水平的 EMI 性能)，而造成 CoolMOS™ CE 开关损耗增加。

#### 步骤 5：

通过器件数据表以及实际测试开关波形和性能，进行一些细小的修改，CoolMOS™ CE 已达到与普通 MOSFET 相似水平的 EMI 性能。

作为最后一步，建议比较效率和热性能，以确保所需的性能。

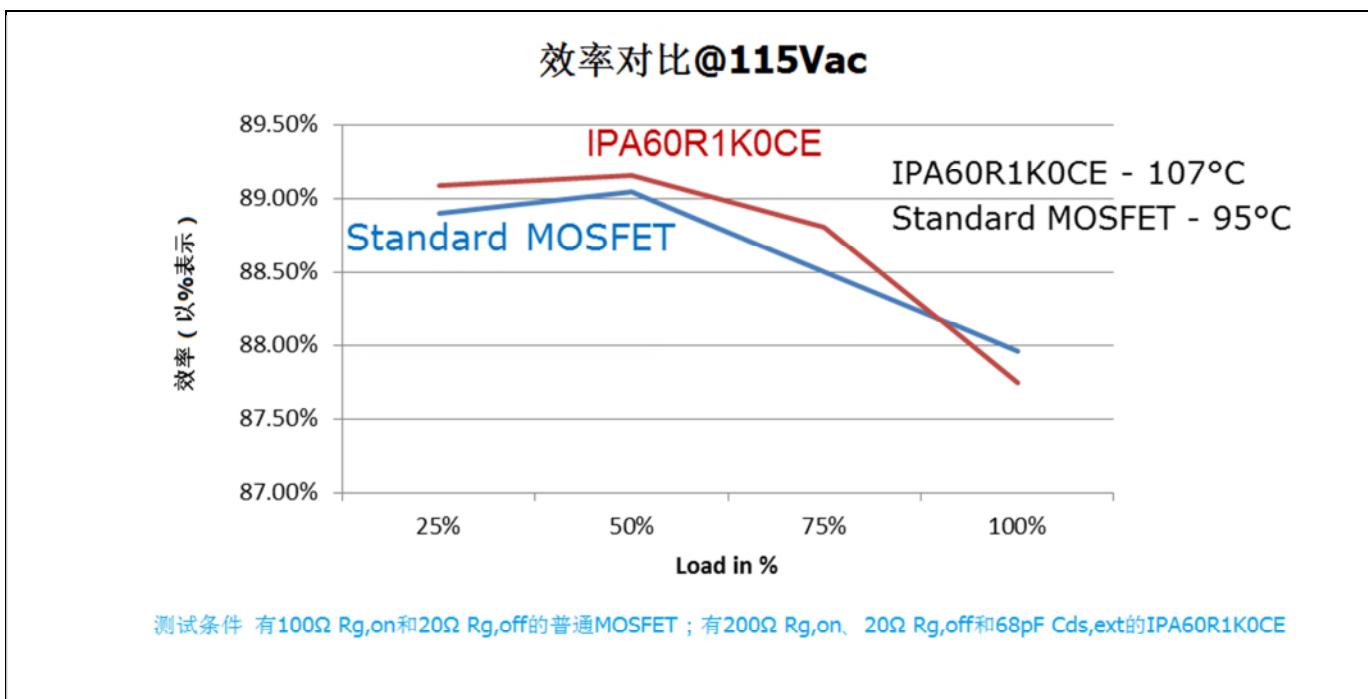


图 18 在 45W 适配器应用中，可以看出来 CoolMOS™ CE 的效率性能优于普通 MOSFET，即使需要较高的门极电阻  $R_{g, on}$  和外部电容  $C_{ds}$  来满足 EMI 要求。由于器件中的开关损耗较高，热性能较低。CoolMOS™ CE 能够满足  $110^\circ C$  温度要求。满载效率方面的差异是由于普通 MOSFET 的导通电阻较低。

各种测试案例的实际测量结果

图 19 中显示了 EMI 比较结果。

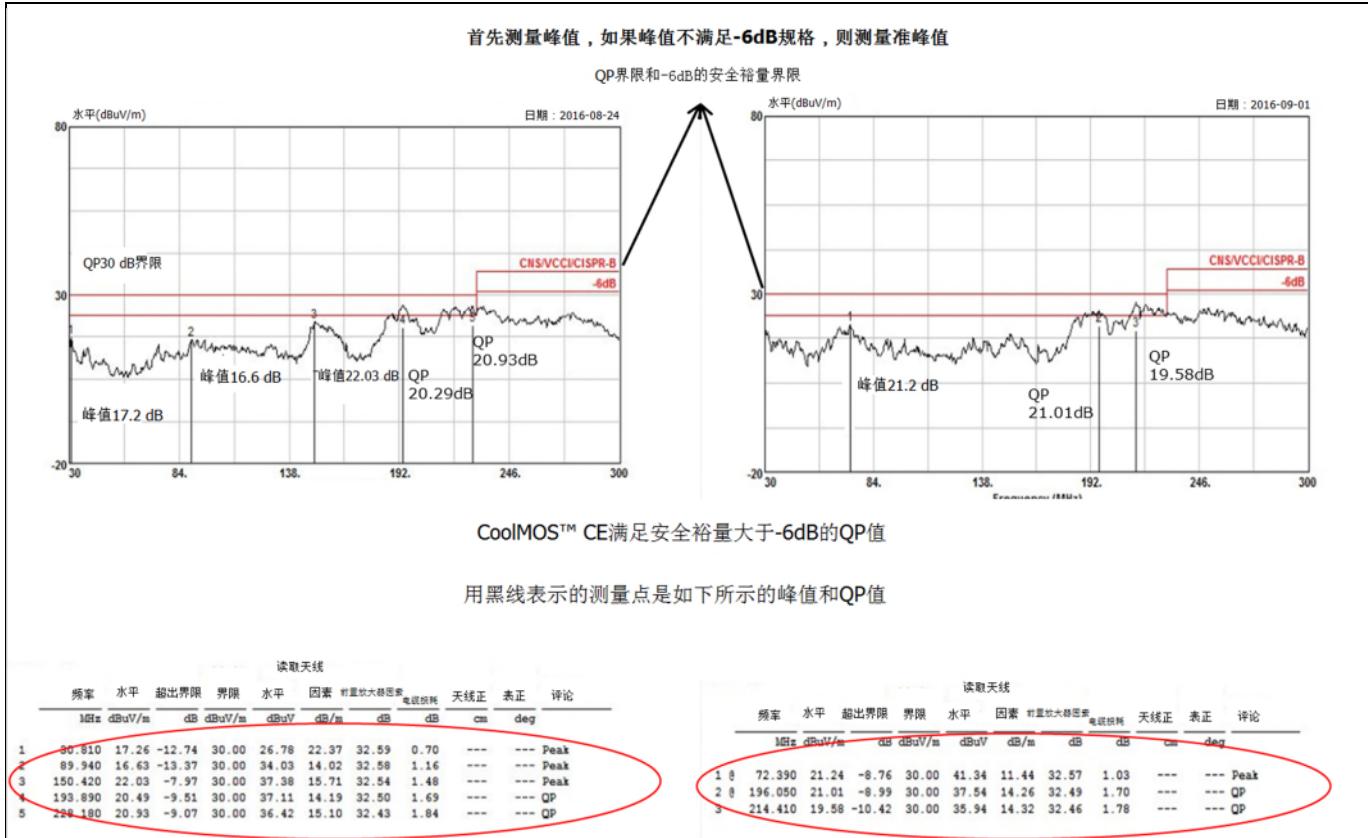


图 19 IPA60R1K0CE CoolMOS™ CE 成功满足 45W 适配器的 EMI 要求 >6dB 安全裕量

图 28 显示了所测试的各种电源的汇总表。此表适用于上述 1 到 5 个步骤的类似步骤。

在所有功率水平，CoolMOS™ CE 都成功满足了 EMI 要求， $di/dt$  和  $dv/dt$  的降低类似于普通 MOSFET 性能。

各种测试案例的实际测量结果

适配器	输出功率		65W	65W	65W	45W	27W	65W	30W
带普通MOSFET的原始版	Rg,on	150Ω+磁珠	300+10Ω	270+100Ω	100+20Ω	(100+0)Ω	200+0Ω	100+15Ω	
	Rg,off	磁珠	100Ω	100Ω	20Ω	0Ω	0Ω	15Ω	
	Cds	33pF	100pF	NC	NC	47pF	NC	NC	
	C	1nF	2.2nF	3.3nF	12nF	2.2nF	10nF	1nF	
	R	300kΩ	86kΩ	102kΩ	102kΩ	102kΩ	102kΩ	470kΩ	
	D	-	-	有	有	有	-	-	
	穿芯磁珠	有	-	-	-	-	-	-	
	C	1nF	1nF	330pF	1nF	1nF	1nF	1nF	
	R	10Ω	47Ω	47Ω	20Ω	7.5Ω	10Ω	27Ω	
类似导通电阻的 CoolMOS™ CE 系列和普通MOSFET的电压等级	穿芯磁珠	无	有	有	无	有	-	-	
	Rg,on	150Ω+磁珠	400+10Ω	270+100Ω	200+20Ω	(240+0)Ω	200+0Ω	100+15Ω	
	Rg,off	150Ω+磁珠	100Ω	100Ω	20Ω	0Ω	0Ω	15Ω	
	Cds	100pF	100pF	100pF	47pF	100pF	100pF	47pF	
	C	1nF	2.2nF	3.3nF	12nF	2.2nF	10nF	1nF	
	R	300kΩ	86kΩ	102kΩ	102kΩ	102kΩ	102kΩ	470kΩ	
	D	-	有	有	有	-	-	-	
	穿芯磁珠	有	无	无	-	-	-	-	
	C	1nF	1nF	330pF	1nF	1nF	1nF	1nF	
	R	10Ω	47Ω	47Ω	20Ω	7.5Ω	10Ω	27Ω	
	穿芯磁珠	无	无	有	无	有	-	-	

选项A：添加磁珠  
选项B：添加外部C<sub>ds</sub>  
选项C：增大R<sub>g</sub>

图 20 IPA60R1K0CE CoolMOS™ CE 在具有 30W 到 65W 输出功率的现成标准品适配器中成功满足 EMI 要求

## 4.2 优化最初为超结 MOSFET 优化的 AC-DC SMPS – CoolMOS™ CE 通过不同的技术取代超结 MOSFET

很多时候，超结 MOSFET 提供的效率明显更高，在成本限制超过性能标准的设计中，有一个选项可以考虑更高的导通电阻。在这里我们来看一个设计，其中英飞凌的 IPI65R600C6 在 25W 充电器应用中被 IPI70R950CE 所取代。

各种测试案例的实际测量结果

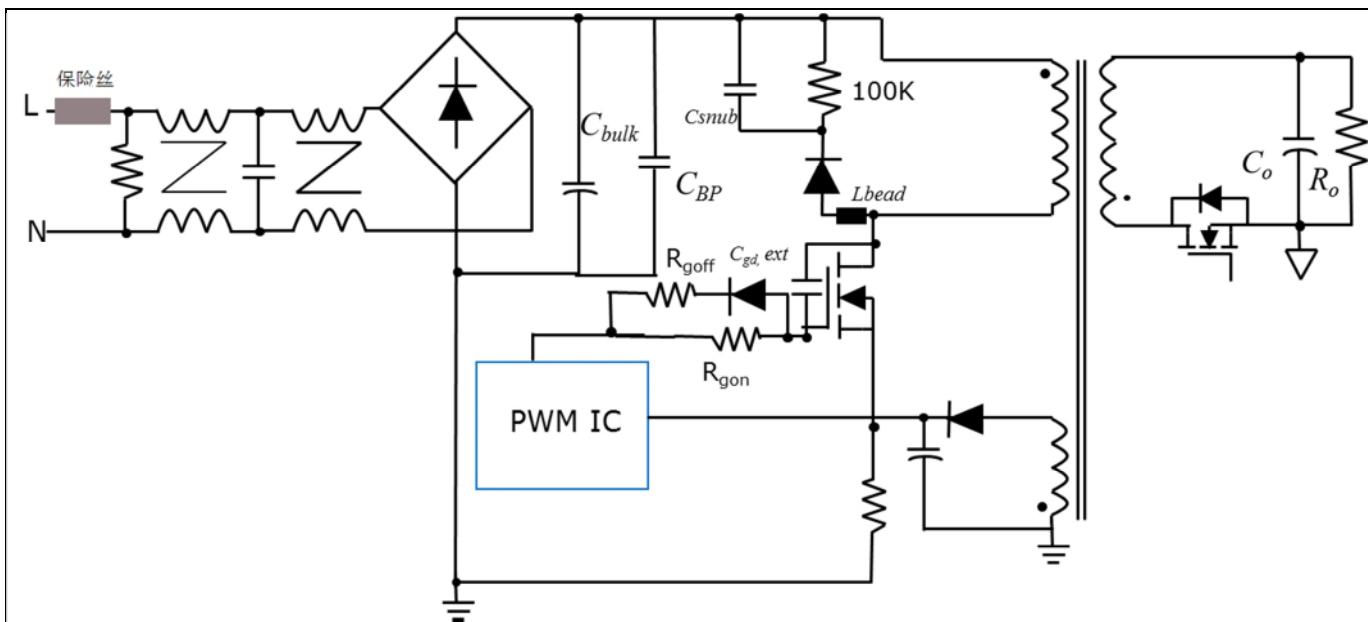


图 21 典型的 25W AC-DC 开关电源充电器

我们将采用与前一个范例中所用流程图类似的方法，几乎没有更改。

由于使用更高导通电阻的目的是降低效率，所以这里我们主要关注 EMI 方面。

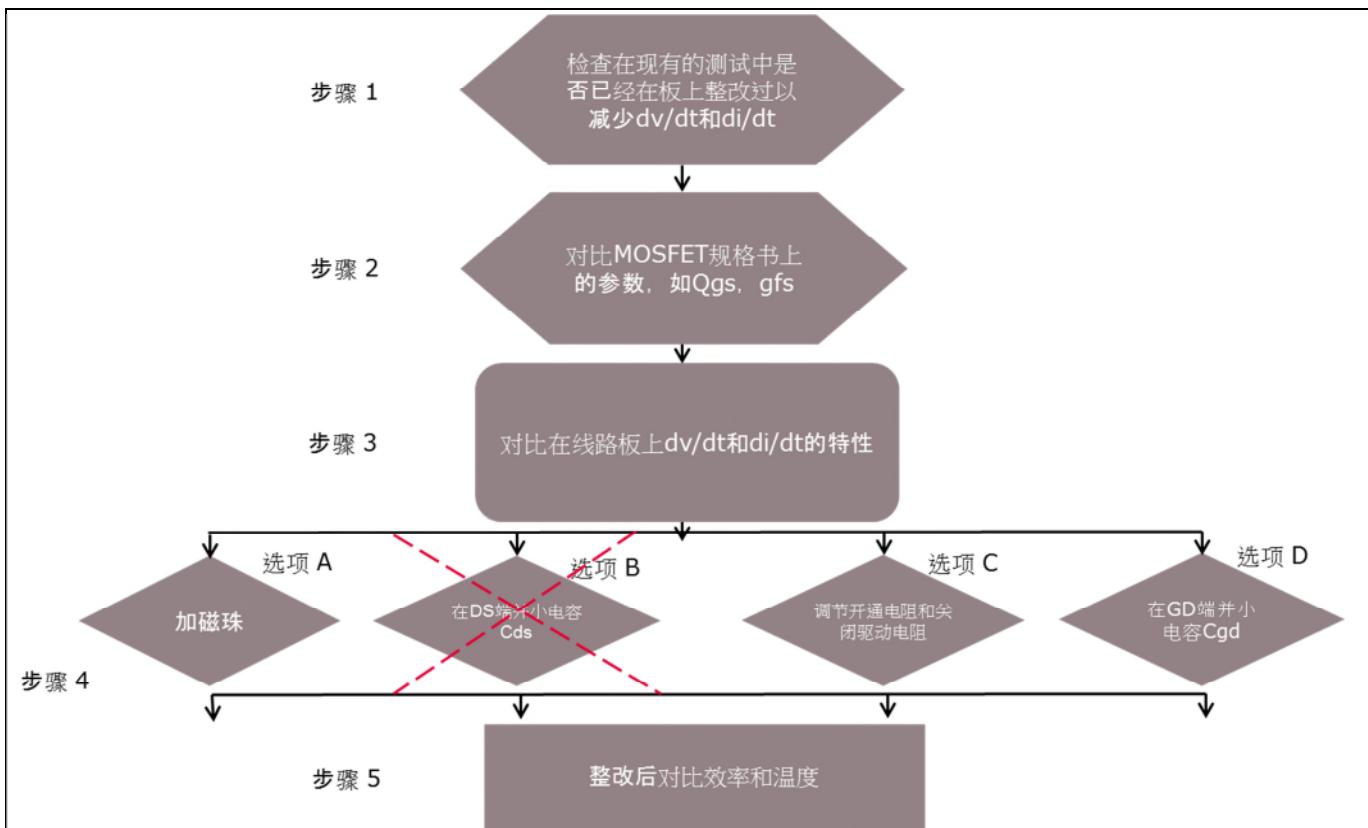


图 22 替换超结 MOSFET 的流程图

降低 EMI 不考虑增加 Cds。

如果漏极到源极电压尖峰变得太大，我们将使用外部 Cds。

## 各种测试案例的实际测量结果

为了满足 EMI 要求，我们将依靠  $R_g$  和外部  $C[1]$  来降低  $di/dt$ 。

## 步骤 1：

检查 PCB 上的电流方法。与前面的范例不同，25W 充电器板没有使用铁氧体磁珠来降低  $di/dt$ 。

## 步骤 2：

比较器件数据表。仔细观察所示的器件数据表，除了较高的导通电阻之外的一个关键参数不同，如图 23 所示。

表4 - 静态特性				表6 - 静态特性					
参数	符号	值			参数	符号	值		
		最小	典型	最大			最小	典型	最大
漏源击穿电压	$V_{BROSS}$	700	-	-	$V_{BROSS}$	650	-	-	V
门极阈值电压	$V_{GS(th)}$	2.5	3.0	3.5	$V_{GS(th)}$	2.5	3	3.5	$V_{GS}=0 \text{ V}, I_g=0.2 \text{ mA}$
零门极电压的漏极电流	$I_{DSS}$	-	-	1	$I_{DSS}$	-	-	1	$\mu\text{A}$
		-	10	-		-	10	-	$V_{GS}=700 \text{ V}, V_{DS}=0 \text{ V}, T_j=25^\circ\text{C}$
门源漏极电流	$I_{DSS}$	-	-	100	nA	$V_{GS}=20 \text{ V}, V_{DS}=0 \text{ V}$	-	100	nA
漏源导通电阻	$R_{DS(on)}$	-	0.86	0.95	$R_{DS(on)}$	-	0.54	0.6	$\Omega$
		-	2.22	-		-	1.40	-	$V_{GS}=600 \text{ V}, I_d=2.1 \text{ A}, T_j=25^\circ\text{C}$
门极电阻	$R_g$	-	5.5	-	$R_g$	-	17.5	-	$\Omega$
表5-动态特性									
参数	符号	值			单位	注释/测试条件			
		最小	典型	最大		最小	典型	最大	
输入电容	$C_{iss}$	-	328	-	pF	$V_{GS}=0 \text{ V}, V_{DS}=100 \text{ V}, f=1 \text{ MHz}$	-	-	
输出电容	$C_{oss}$	-	23	-	pF	$V_{GS}=0 \text{ V}, V_{DS}=100 \text{ V}, f=1 \text{ MHz}$	-	-	
有效输出电容 (能量相关)	$C_{oss(v)}$	-	14	-	pF	$V_{GS}=0 \text{ V}, V_{DS}=0...480 \text{ V}$	-	-	
有效输出电容 (时间相关)	$C_{oss(t)}$	-	58.5	-	pF	$I_d = \text{恒定}, V_{GS}=0 \text{ V}, V_{DS}=0...480 \text{ V}$	-	-	
开通延迟	$t_{f(on)}$	-	6.6	-	ns	$V_{GS}=400 \text{ V}, V_{DS}=13 \text{ V}, I_d=2.2 \text{ A}, R_G=10.2 \Omega; \text{ see table 9}$	-	-	
上升时间	$t_f$	-	5.2	-	ns	$V_{GS}=400 \text{ V}, V_{DS}=13 \text{ V}, I_d=2.2 \text{ A}, R_G=10.2 \Omega; \text{ see table 9}$	-	-	
Turn-off delay time	$t_{f(off)}$	-	41	-	ns	$V_{GS}=400 \text{ V}, V_{DS}=13 \text{ V}, I_d=2.2 \text{ A}, R_G=10.2 \Omega; \text{ see table 9}$	-	-	
下降时间	$t_f$	-	13.6	-	ns	$V_{GS}=400 \text{ V}, V_{DS}=13 \text{ V}, I_d=2.2 \text{ A}, R_G=10.2 \Omega; \text{ see table 9}$	-	-	
表6-门极电荷特性									
参数	符号	值			单位	注释/测试条件			
		最小	典型	最大		最小	典型	最大	
门源电荷	$Q_{gs}$	-	1.8	-	nC	$V_{GS}=480 \text{ V}, I_d=2.2 \text{ A}, V_{DS}=0 \text{ to } 10 \text{ V}$	-	-	
门漏电荷	$Q_{gd}$	-	8	-	nC	$V_{GS}=480 \text{ V}, I_d=2.2 \text{ A}, V_{DS}=0 \text{ to } 10 \text{ V}$	-	-	
门极电荷总量	$Q_g$	-	15.3	-	nC	$V_{GS}=480 \text{ V}, I_d=2.2 \text{ A}, V_{DS}=0 \text{ to } 10 \text{ V}$	-	-	
米勒平台电压	$V_{GDS(on)}$	-	5.4	-	V	$V_{GS}=480 \text{ V}, I_d=2.2 \text{ A}, V_{DS}=0 \text{ to } 10 \text{ V}$	-	-	
表7-动态特性									
参数	符号	值			单位	注释/测试条件			
		最小	典型	最大		最小	典型	最大	
输入电容	$C_{iss}$	-	440	-	pF	$V_{GS}=0 \text{ V}, V_{DS}=100 \text{ V}, f=1 \text{ MHz}$	-	-	
输出电容	$C_{oss}$	-	30	-	-	$V_{GS}=0 \text{ V}, V_{DS}=0...480 \text{ V}$	-	-	
有效输出电容 (能量相关)	$C_{oss(v)}$	-	21	-	-	$I_d = \text{恒定}, V_{GS}=0 \text{ V}, V_{DS}=0...480 \text{ V}$	-	-	
有效输出电容 (时间相关) <sup>2</sup>	$C_{oss(t)}$	-	88	-	-	$V_{GS}=400 \text{ V}, I_d=3.2 \text{ A}, R_G=6.8 \Omega$ (see table 20)	-	-	
开通延迟	$t_{f(on)}$	-	12	-	-	-	-	-	
上升时间	$t_f$	-	9	-	-	-	-	-	
Turn-off delay time	$t_{f(off)}$	-	80	-	-	-	-	-	
下降时间	$t_f$	-	13	-	-	-	-	-	
表8-门极电荷特性									
参数	符号	值			单位	注释/测试条件			
		最小	典型	最大		最小	典型	最大	
门源电荷	$Q_{gs}$	-	2.75	-	nC	$V_{GS}=480 \text{ V}, I_d=3.2 \text{ A}, V_{DS}=0 \text{ to } 10 \text{ V}$	-	-	
门漏电荷	$Q_{gd}$	-	12	-	-	-	-	-	
门极电荷总量	$Q_g$	-	23	-	-	-	-	-	
米勒平台电压	$V_{GDS(on)}$	-	5.5	-	V	-	-	-	

图 23 与 IPI65R600C6 相比，IPI70R950CE 体内的  $R_g$  和  $Q_g$  更低

## 步骤 3：

添加外部  $C_{ds}$ 、 $C_{gd}$  和增加  $R_g$  将显著降低效率，这是由于所考虑的更高的导通电阻器件。

在相似的导通电阻 MOSFET 之间，这些选项是可行的选择。

因此，决定通过添加磁珠 (Lbead) 和修改主缓冲电容 ( $C_{snub}$ ) 值来优化 EMI，以保持较低的效率影响。

## 步骤 4 和步骤 5：

验证。

图 24 显示了 IPI70R950CE 与 IPI65R600C6 的即插即用结果对比。

各种测试案例的实际测量结果

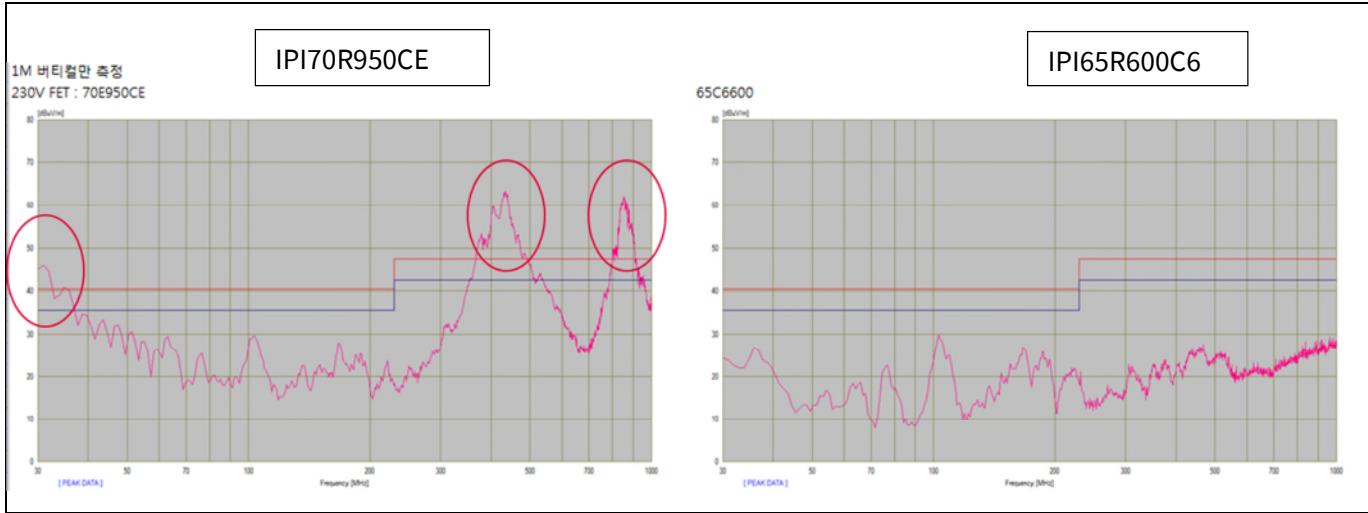


图 24 与满足 EMI 且有充足裕量的 IPI65R600C6 对比，IPI70R950CE 明显超出了辐射 EMI 要求。

如图 25 所示，添加 2.2 uH 磁珠并将缓冲电容增加到 45 pF，使用 CoolMOS™ CE 成功满足了 EMI 目标。

82 pF 的缓冲电容提供了更大的安全裕量，但是由于更高的电容引起的效率下降是不可接受的。

因此，效率和安全裕量之间的平衡需要使用 47 pF 作为缓冲电容。

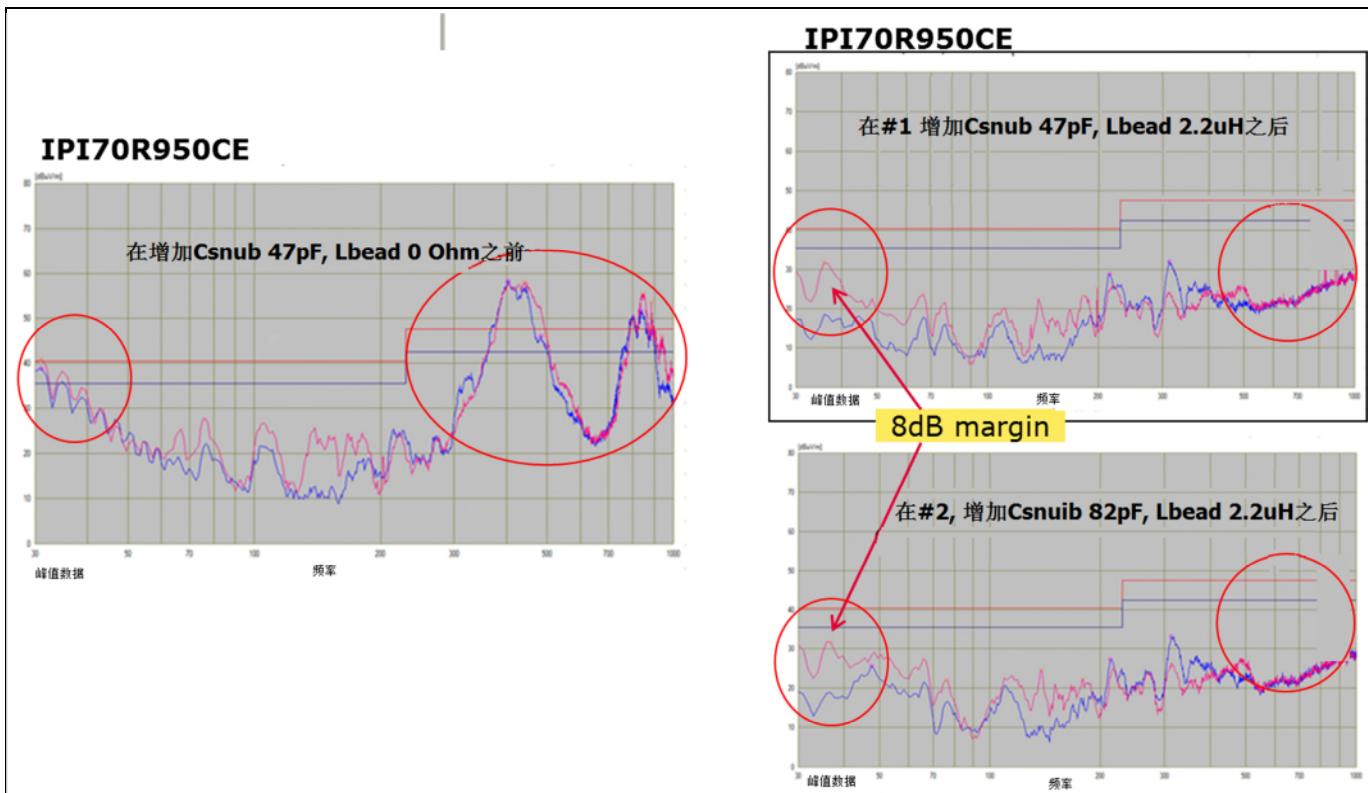


图 25 通过在 MOSFET 的漏极添加磁珠 ( $L_{bead}$ , 如图 21 中所示) 并增加缓冲电容 ( $C_{snub}$ , 如图 21 中所示)，IPI70R950CE CoolMOS™ CE 成功满足了 EMI 要求

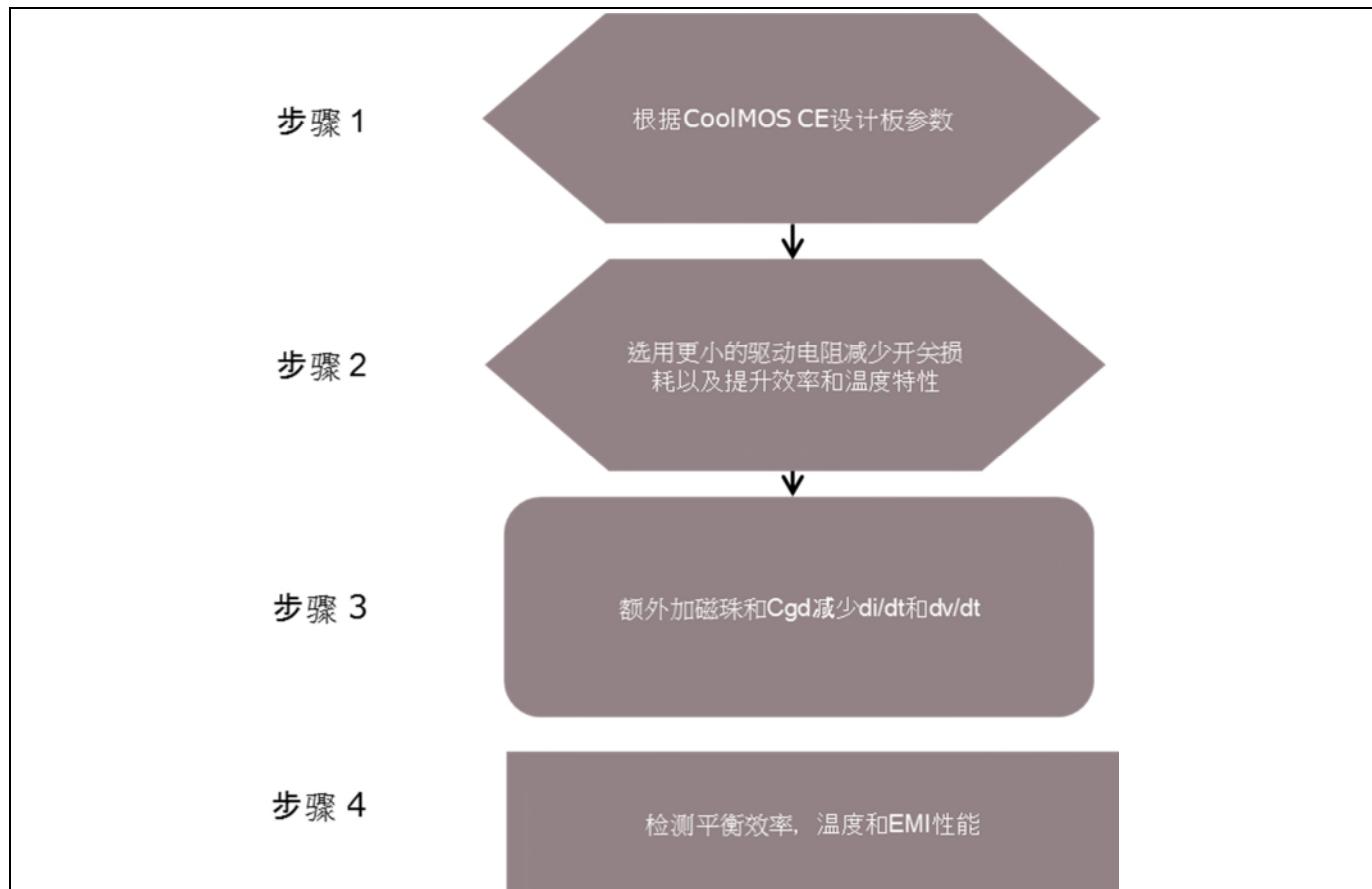
各种测试案例的实际测量结果

#### 4.3 优化最初为 CoolMOS™ CE 优化的 AC-DC SMPS – 使用 CoolMOS™ CE 开始 SMPS 设计

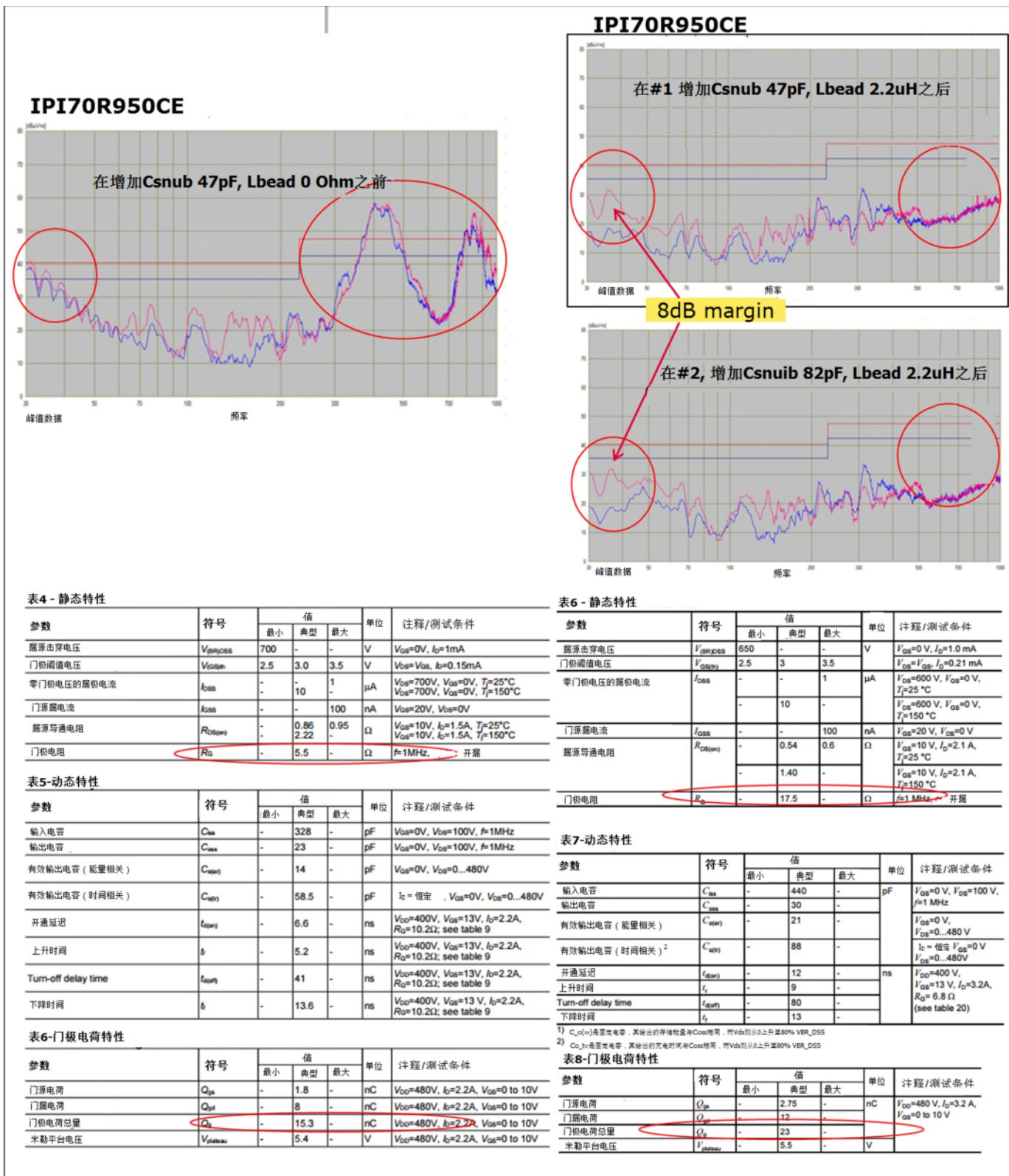
理想情况下，始终优先使用 CoolMOS™ CE 来开始优化的 AC-DC 设计

在设计阶段考虑器件参数，并设计合适的 EMI 滤波器、PCB 布局、变压器，那么基于超结技术的 CoolMOS™ CE 的效率优势显而易见。

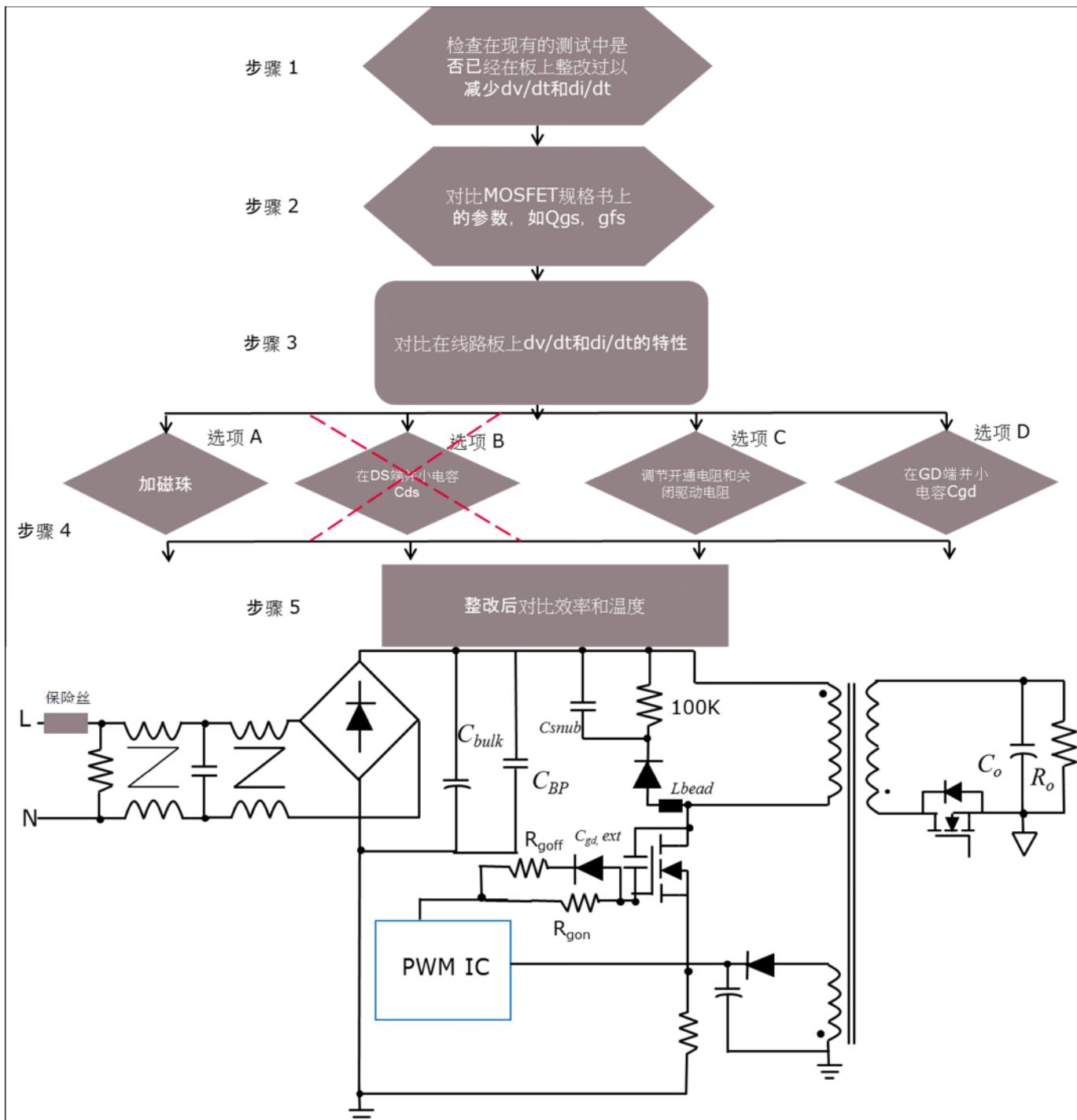
下面显示了使用 CoolMOS™ CE 进行设计的流程图：



各种测试案例的实际测量结果



各种测试案例的实际测量结果



# 优化基于 CoolMOS™ CE 的电源，以满足 EMI 要求



各种测试案例的实际测量结果

适配器	输出功率		65W	65W	65W	45W	27W	65W	30W
带普通MOSFET的原始板	Rg,on	150Ω+磁珠	300+10Ω	270+100Ω	100+20Ω	(100+0)Ω	200+0Ω	100+15Ω	
	Rg,off	磁珠	100Ω	100Ω	20Ω	0Ω	0Ω	15Ω	
	Cds	33pF	100pF	NC	NC	47pF	NC	NC	
	C	1nF	2.2nF	3.3nF	12nF	2.2nF	10nF	1nF	
	R	300kΩ	86kΩ	102kΩ	102kΩ	102kΩ	102kΩ	470kΩ	
	D	-	-	有	有	有	-	-	
	穿芯磁珠	有	-	-	-	-	-	-	
	C	1nF	1nF	330pF	1nF	1nF	1nF	1nF	
	R	10Ω	47Ω	47Ω	20Ω	7.5Ω	10Ω	27Ω	
	穿芯磁珠	无	有	无	有	-	-	-	
类似导通电阻的 CoolMOS™ CE 系列和普通MOSFET的电压等级	Rg,on	150Ω+磁珠	400+10Ω	270+100Ω	200+20Ω	(240+0)Ω	200+0Ω	100+15Ω	
	Rg,off	150Ω+磁珠	100Ω	100Ω	20Ω	0Ω	0Ω	15Ω	
	Cds	100pF	100pF	100pF	47pF	100pF	100pF	47pF	
	C	1nF	2.2nF	3.3nF	12nF	2.2nF	10nF	1nF	
	R	300kΩ	86kΩ	102kΩ	102kΩ	102kΩ	102kΩ	470kΩ	
	D	-	有	有	有	-	-	-	
	穿芯磁珠	有	无	无	-	-	-	-	
	C	1nF	1nF	330pF	1nF	1nF	1nF	1nF	
	R	10Ω	47Ω	47Ω	20Ω	7.5Ω	10Ω	27Ω	
	穿芯磁珠	无	无	有	无	有	-	-	

选项A：添加磁珠

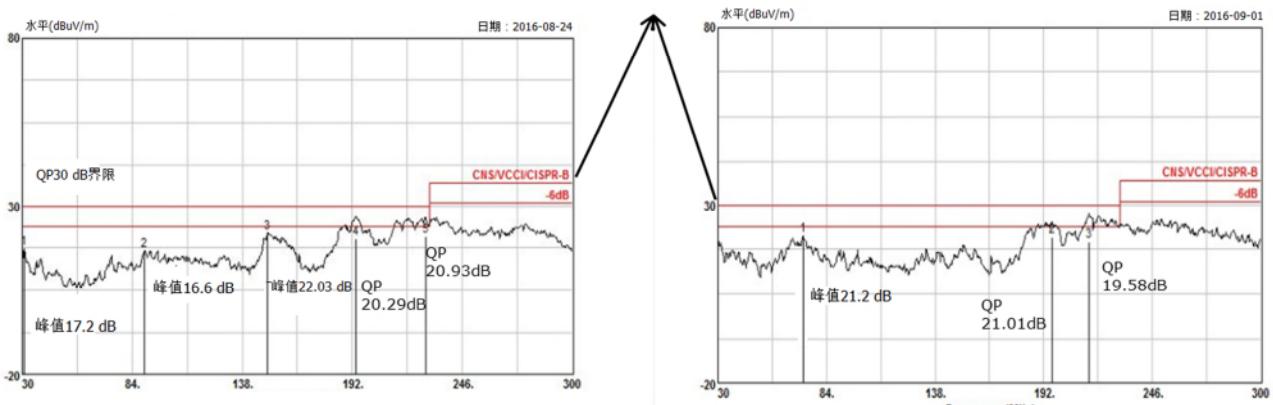
选项B：添加外部C<sub>ds</sub>

选项C：增大R<sub>g</sub>



首先测量峰值，如果峰值不满足-6dB规格，则测量准峰值

QP界限和-6dB的安全裕量界限



CoolMOS™ CE满足安全裕量大于-6dB的QP值

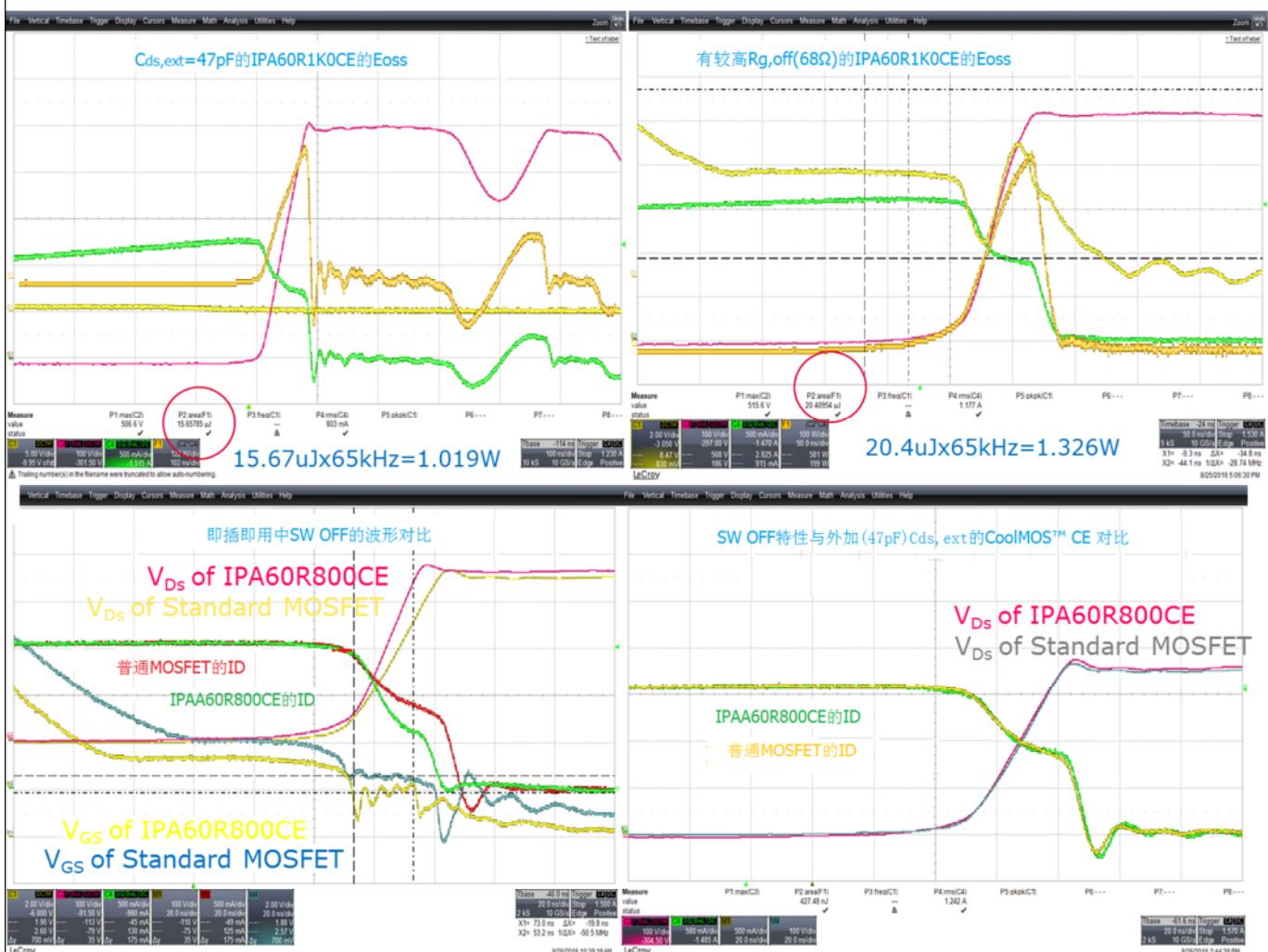
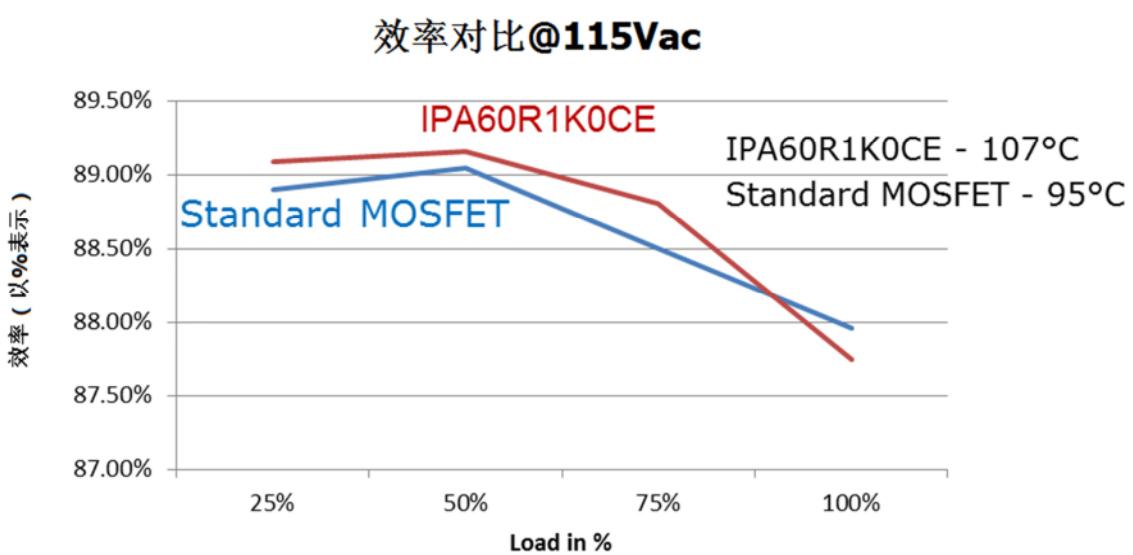
用黑线表示的测量点是如下所示的峰值和QP值

读取天线										
频率	水平	超出界限	界限	水平	因素	前置放大器增益	电容损耗	天线正	表正	评论
MHz	dBµV/m	dB	dBµV/m	dBµV	dB/m	dB	dB	cm	deg	
1 80.810	17.26	-12.74	30.00	26.78	22.37	32.59	0.70	---	---	Peak
2 89.940	16.63	-13.37	30.00	34.03	14.02	32.58	1.16	---	---	Peak
3 150.420	22.03	-7.97	30.00	37.38	15.71	32.54	1.48	---	---	Peak
4 193.890	20.49	-9.51	30.00	37.11	14.19	32.50	1.69	---	---	QP
5 298.180	20.93	-9.07	30.00	36.42	15.10	32.43	1.84	---	---	QP

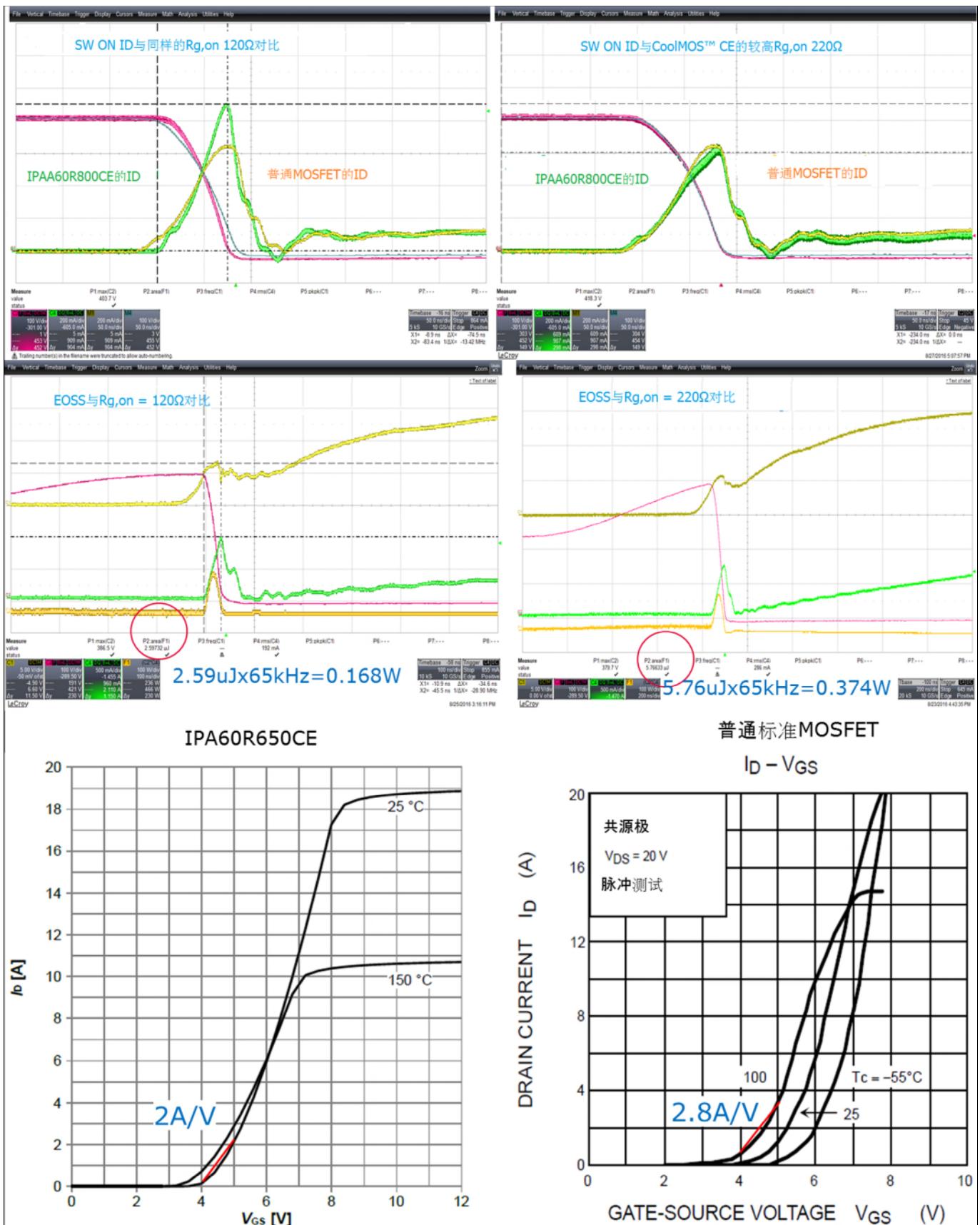
  

读取天线										
频率	水平	超出界限	界限	水平	因素	前置放大器增益	电容损耗	天线正	表正	评论
MHz	dBµV/m	dB	dBµV/m	dBµV	dB/m	dB	dB	cm	deg	
1 8 72.390	21.24	-8.76	30.00	41.34	11.44	32.57	1.03	---	---	Peak
2 8 196.050	21.01	-8.99	30.00	37.54	14.26	32.49	1.70	---	---	QP
3 8 214.410	19.58	-10.42	30.00	35.94	14.32	32.46	1.78	---	---	QP

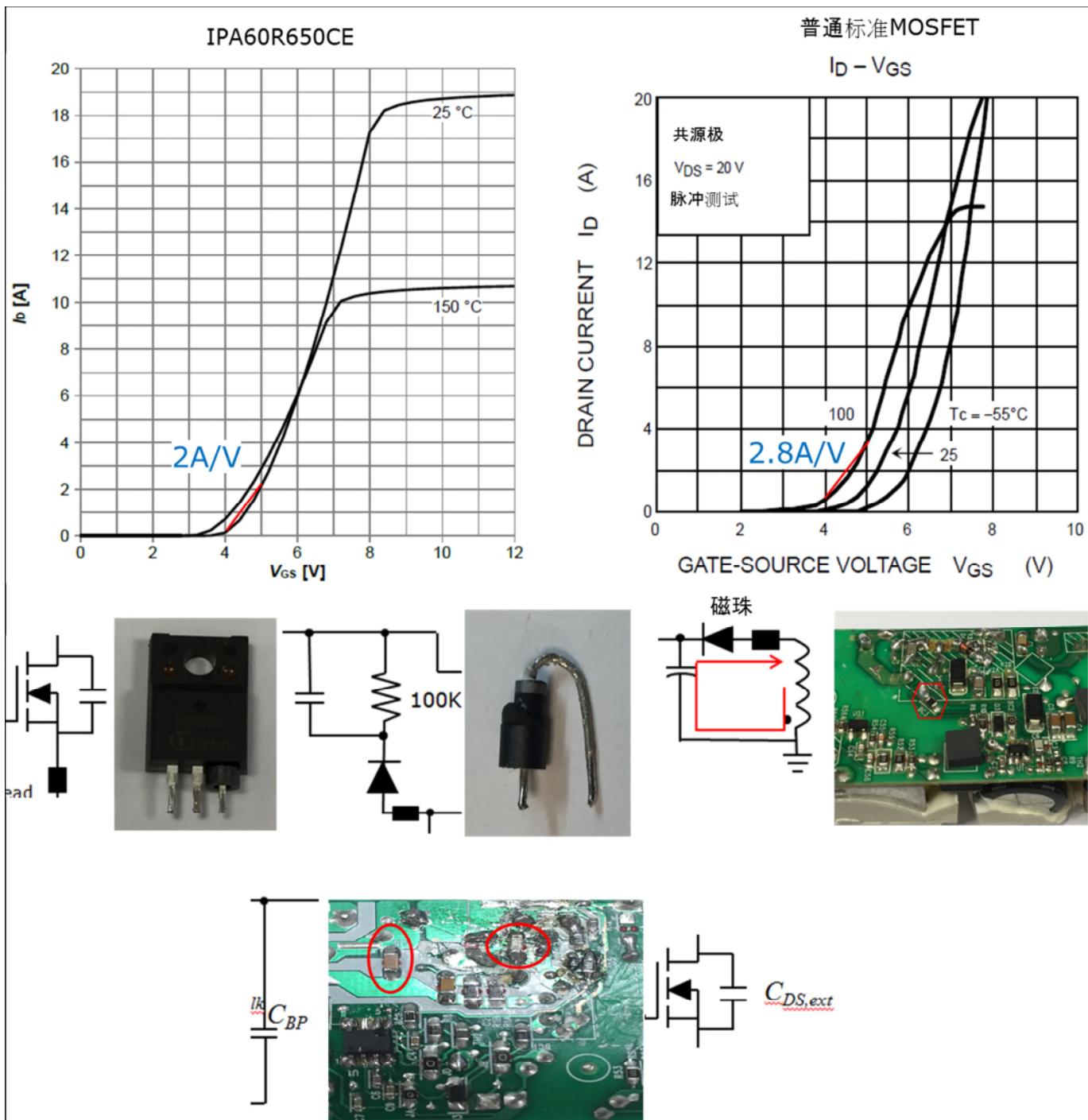
各种测试案例的实际测量结果



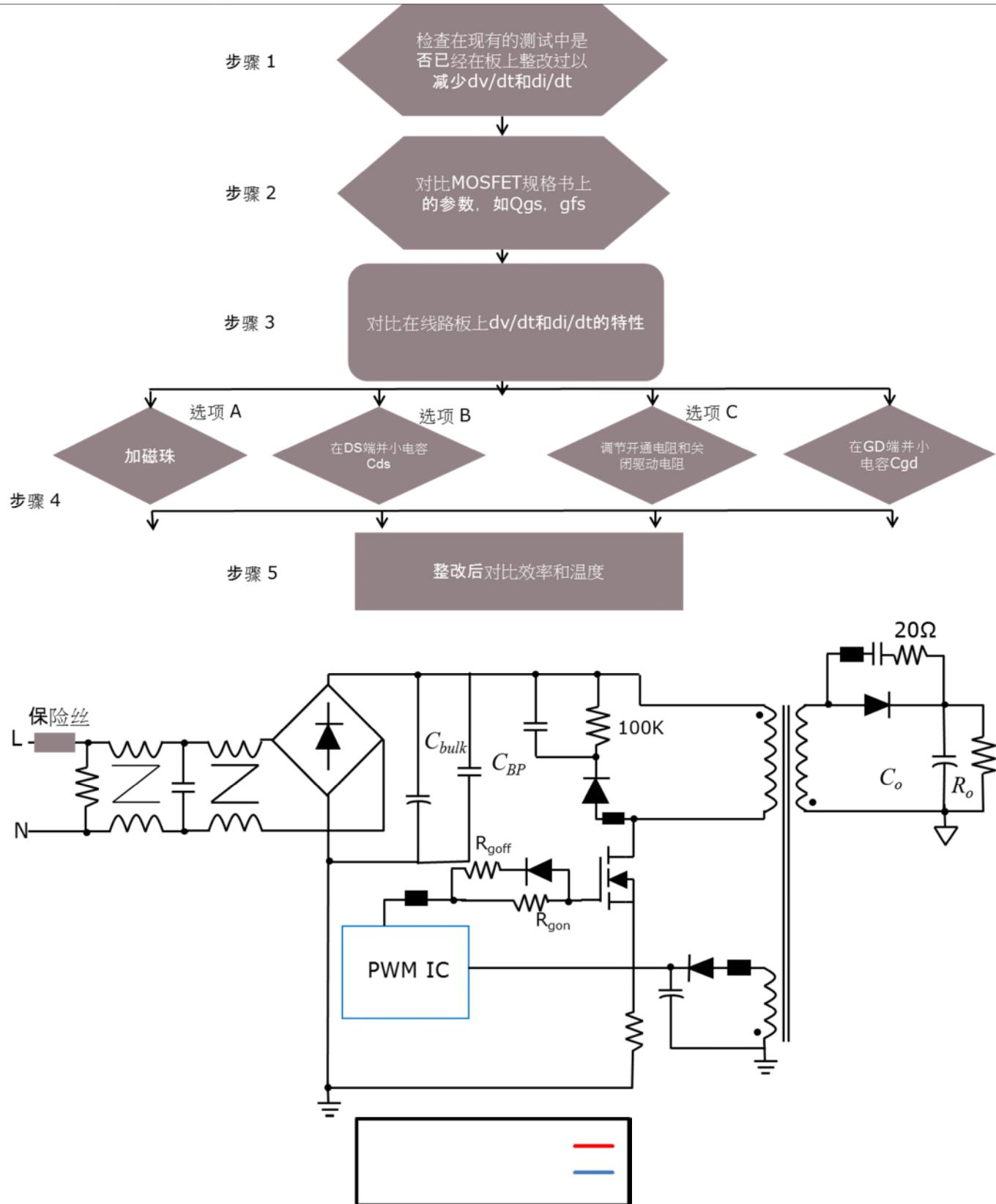
## 各种测试案例的实际测量结果



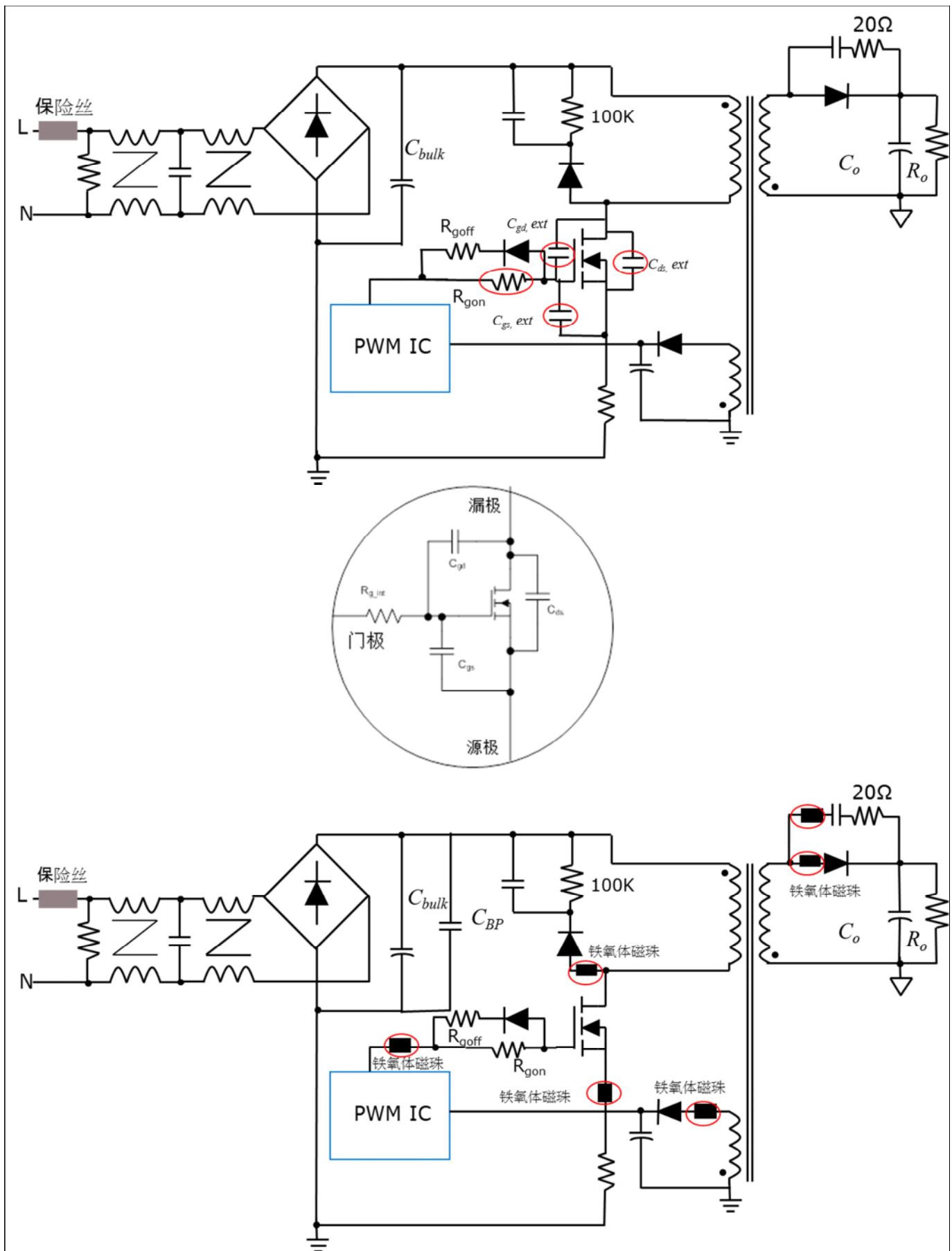
各种测试案例的实际测量结果



各种测试案例的实际测量结果



各种测试案例的实际测量结果



各种测试案例的实际测量结果

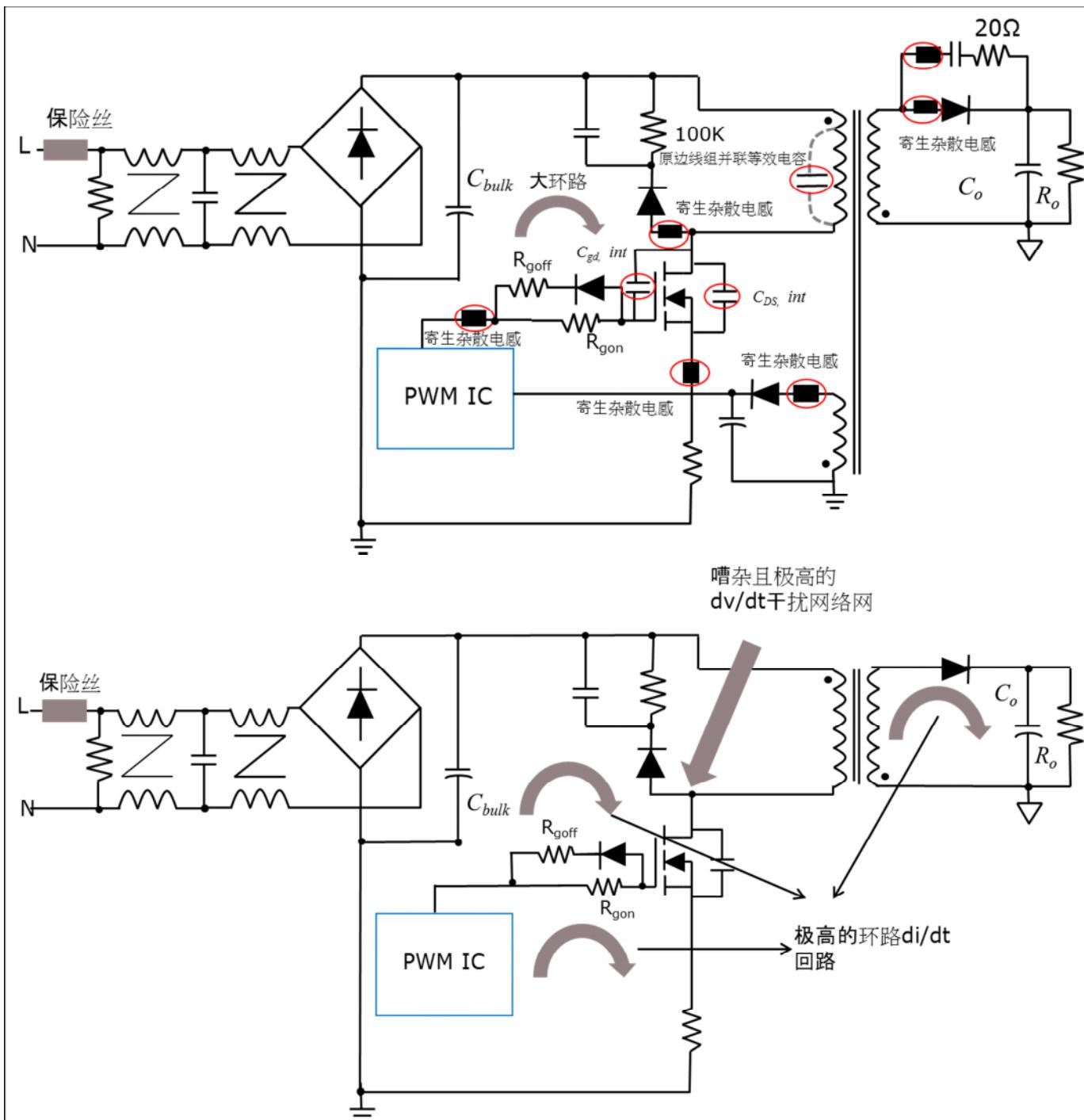


图 26 使用 CoolMOS™ CE 进行设计

110 W LED 驱动器演示板可用于测试 IPD60R460CE。

有关设计指南，请访问 [http://www.infineon.com/dgdl/Infineon-ICL5101-AN-v02\\_02\\_EN.pdf?fileId=5546d462503812bb015046008b145ff7](http://www.infineon.com/dgdl/Infineon-ICL5101-AN-v02_02_EN.pdf?fileId=5546d462503812bb015046008b145ff7)

图 27 显示了传导和辐射 EMI 测量结果。

各种测试案例的实际测量结果

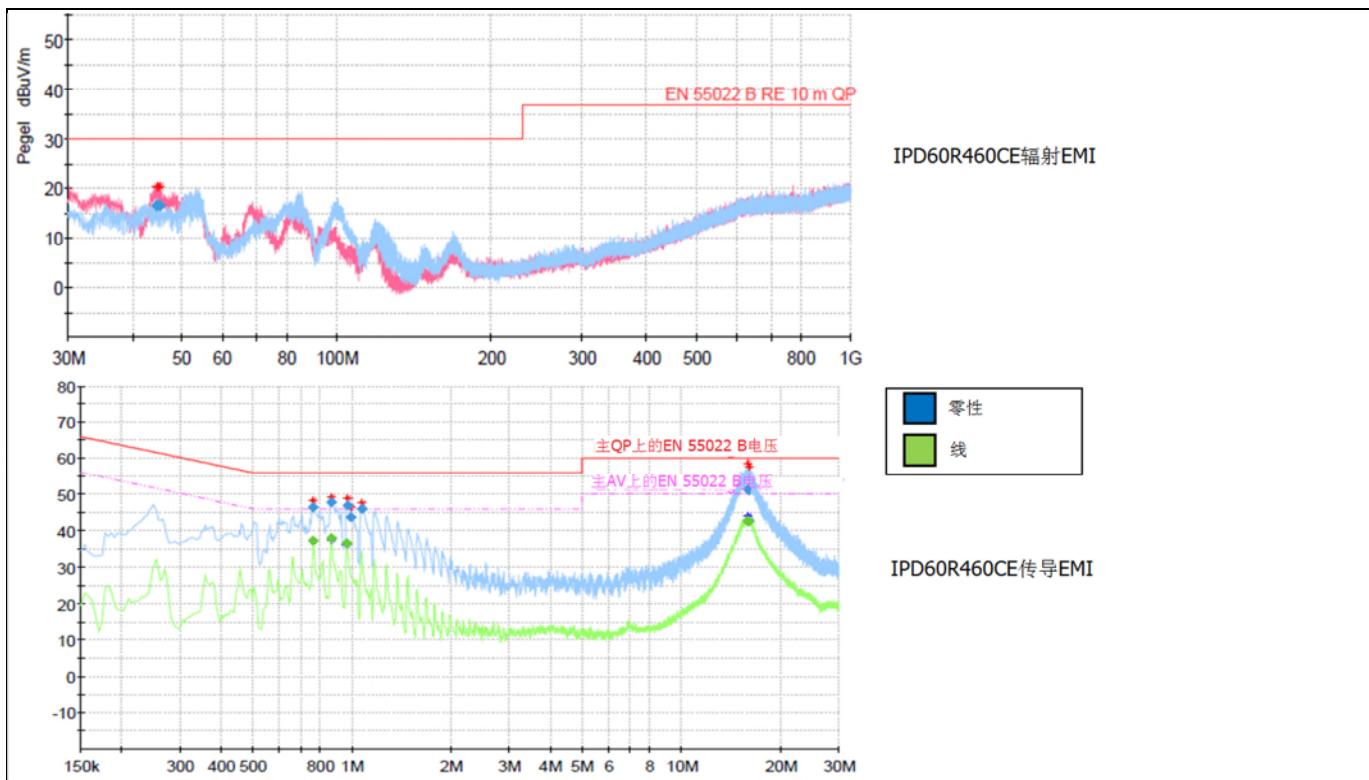


图 27 当从设计开始就针对 CoolMOS™ CE 优化 110 W 演示板时，CoolMOS™ CE 以充足的裕量和高效率 (>90%) 成功满足 QP 传导和辐射 EMI 要求

使用 CoolMOS™ CE 时降低 EMI 的总结

## 5 使用 CoolMOS™ CE 时降低 EMI 的总结

图 28 显示了降低快速开关 CoolMOS™ CE ( 替换普通 MOSFET ) 的  $di/dt$  和  $dv/dt$  的总体摘要。

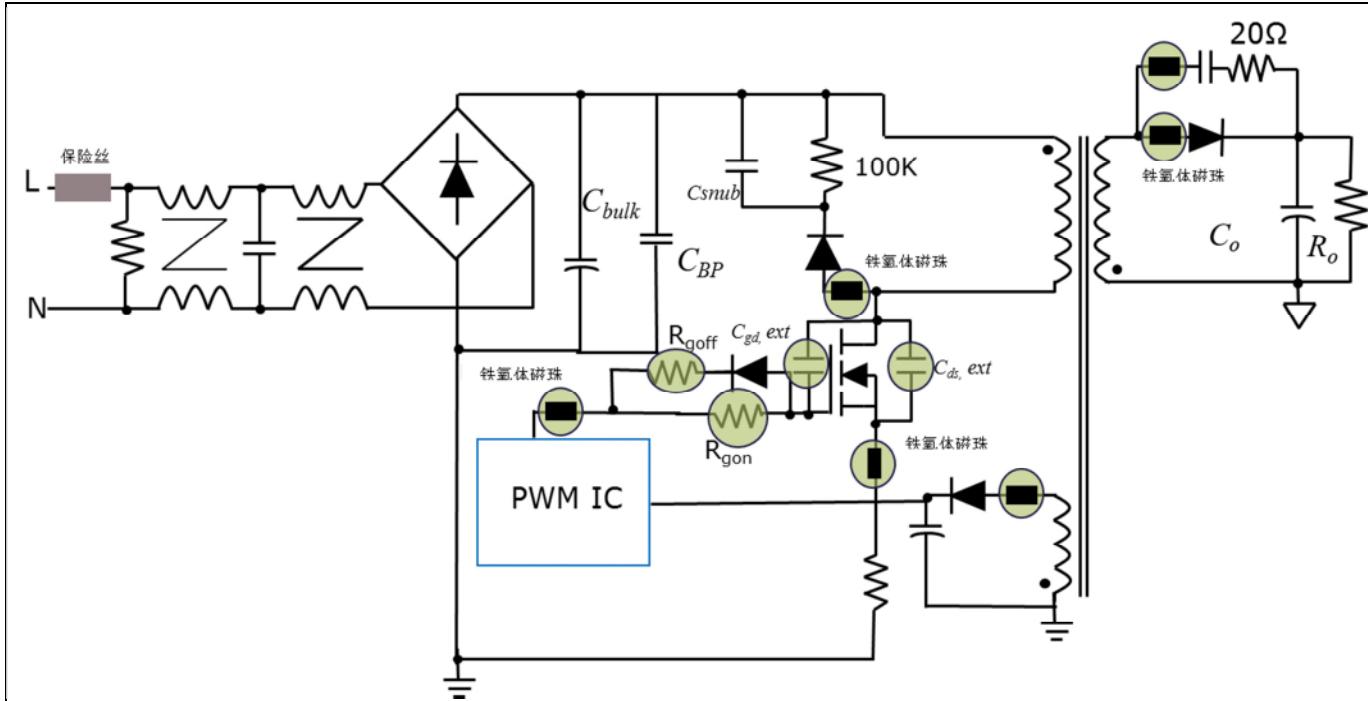


图 28 CoolMOS™ CE  $di/dt$  和  $dv/dt$  降低技术摘要

下表显示了优先选择顺序及其对效率和温度上升的影响：

选择	参数	典型值	典型值效率	拓扑首选项	MOSFET 热性能	成本
选项 A	添加铁氧体磁珠	1.2 $\mu$ H 到 4.7 $\mu$ H	保持不变	固定频率和 QR 反激	保持不变	每个+0.01 美元
选项 B	添加外部 $C_{ds}$	最大 100 pF	降低 ~0.1%	固定频率和 QR 反激	提高~2°C	+0.005 美元
选项 C	添加外部 $C_{gd}$	最大 22 pF	降低 ~0.2%	固定频率和 QR 反激	提高~5°C	+0.005 美元
选项 D	增加 $R_{g, on}$	10 $\Omega$ 最大* 250 $\Omega$ 最大**	降低 ~0.5%	QR 反激	提高~10°C	0

本应用说明主要关注 MOSFET 相关的参数修改。然而，还可以实施系统方法来降低 EMI。

不用修改 MOSFET 外围相关参数，但是会有助于降低 EMI。下一节中将讨论一些与系统相关的修改。

## 系统相关的 EMI 优化

## 6 系统相关的 EMI 优化

### 6.1 选项 A：反激式电源中降低 $di/dt$ 和 $dv/dt$ 的布局实践

最佳的 PCB 布局在满足 EMI 要求方面也发挥着关键作用。

应注意降低所有环路  $di/dt$ 。

必须通过尽可能短的路线进行连接。

如图 1、2 和 3 中所示的开关环路面积应该保持最小。

减少电路板中的非预期天线，例如：

1. 长走线 - 保持走线尽可能短。
2. 通孔 - 使用屏蔽通孔。
3. 元器件引线和管脚 - 通过缩短引线减少杂散电感。
4. 在确定存在电压波动的电源和地之间放置去耦电容。
5. 电源层应从 PCB 的边缘退出。
6. 在地线层或电源层内避免走线切割，这可能会产生意外的天线口径。
7. 避免环绕任何路线的环路，路线中的正向和反向电流都在良好定义的传导路径上。

### 6.2 选项 B：散热器接地到输入大电容回路，而不是底盘接地

将散热器接地到 PCB 接地/输入大电容回路，以减少共模噪声和辐射噪声。

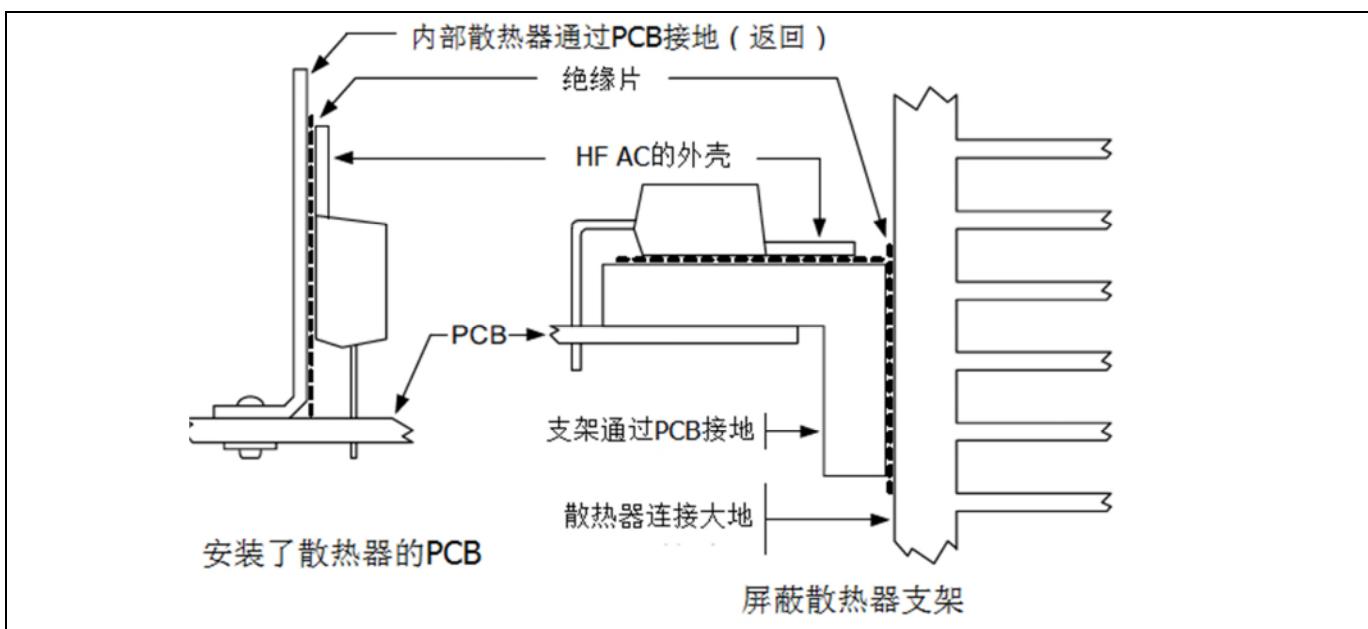


图 29 两个散热器装置将电容耦合噪声转移到电路公共端而不是底盘接地

## 系统相关的 EMI 优化

## 6.3 选项 C : Y 电容

除了在如图 3 所示的反激变压器中具有寄生绕组电容之外，实际的变压器在初级和次级绕组之间也具有一些杂散电容。此电容与转换器的开关操作相互作用。由于输入和输出之间没有其他连接，这将导致输入和输出之间的高频电压。来自电源的电缆现在充当天线，传输由开关过程产生的高频。

为了抑制高频共模，需要在电源的输入和输出侧之间放置电容，其电容容量基本上高于反激变压器中的电容值。这种办法可有效地使高频短路，并防止其从电源中逸出。

在设计诸如充电器的 2 类（未接地）电源时，除了将这些电容连接到输入“直流”和/或“中性”之外别无选择。然而，这些电容的短路故障将是严重的问题。

在诸如适配器的 1 类电源中，电源和主电源接地之间的电容的故障将意味着对地短路（相当于“基本”绝缘的故障）。

在 2 类电源中，电容的故障更糟，这将意味着对用户的直接和严重的安全危害（等同于“双重”或“加强”绝缘故障）。

为了防止对用户造成危害，电容必须设计成极不可能发生短路故障。

因此，需要特殊的电容来隔离由于变压器寄生电容引起的噪声电压。

这些电容称为“Y 电容”（另一方面，X 电容用于电源线和电源中性线之间）。

“Y 电容”有两种主要子类型，“Y1”和“Y2”（Y1 是较高额定类型）。

一般来说，Y1 电容用于充电器，Y2 电容用于适配器。

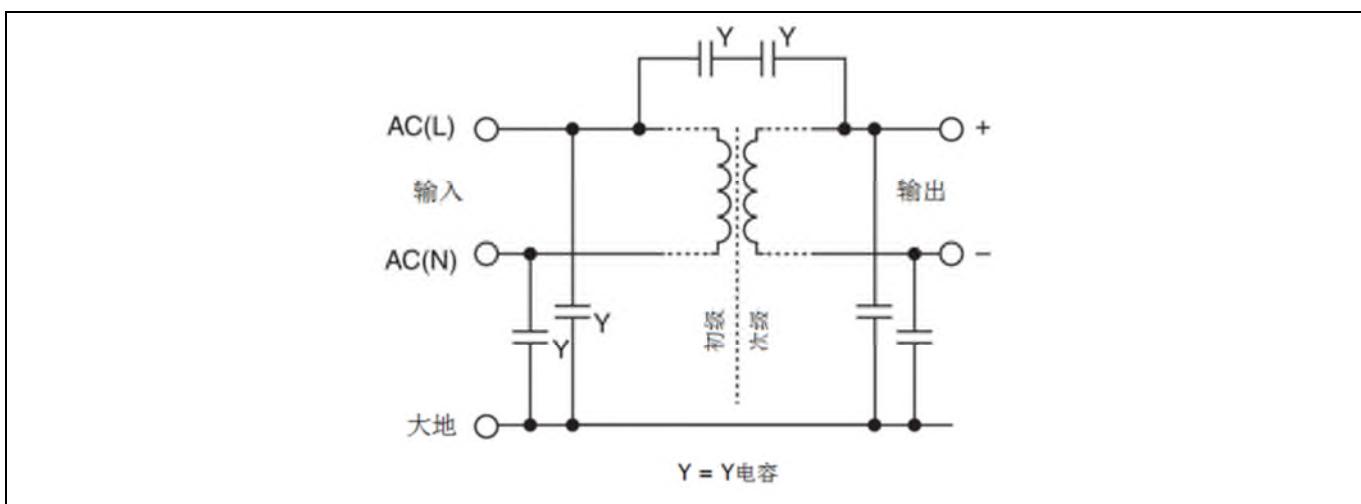


图 30 使用 Y 电容来限制由于变压器寄生电容引起的噪声

## 6.4 选项 D : 变压器屏蔽

变压器设计为在初级和次级绕组之间有法拉第屏蔽或铜箔。

这些屏蔽连接到初级和次级接地，以确保噪声电压安全地返回到各自的接地。

更多信息可以从参考章节中的应用说明 3 和 4 获得。

## 系统相关的 EMI 优化

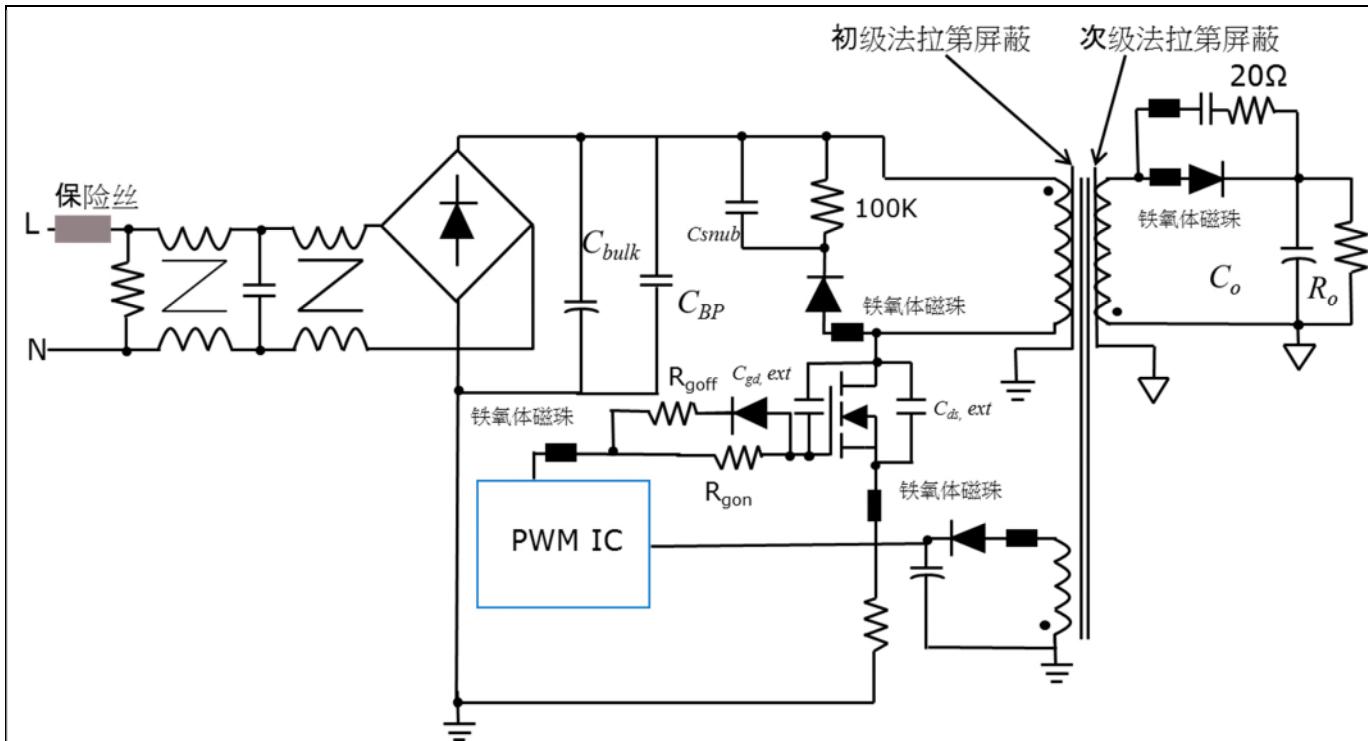


图 31 变压器屏蔽以最小化由于初级和次级之间的寄生电容引起的噪声耦合

## 6.5 选项 E：带频率调制的可变频率 PWM 控制器

除了本应用说明上面讨论的技术，对于由具有恒定频率和占空比(D)的方波控制的反激转换器，减少 EMI 的常规技术包括使用无源滤波器。

这种方法存在限制：尺寸、重量、设计复杂性、效率、成本等。

可以使用现代可变频率(VF) EMI 降低技术来克服滤波器解决方案中面临的问题。

交织技术用于均衡地共享待传送的总功率，图 33 显示了 VF 扩频信令中的一般思想。

虽然在图 33(a) 和 (b) 之间频谱分布不同，但是在这两种情况下总能量是相同的，尽管在图 33(b) 中峰值电平已经降低。

开关频率调制(SFM)是在 SMPS 中减少 EMI 的有效方法。

这种技术基于原始扩频时钟生成(SSCG)技术。

使用 SFM，需要在 EMI 谐波的幅度减小和具有较小幅度的一组附加边带谐波的生成之间取得平衡。

SMPS 的 PWM 扩频控制原理如下：

$f = f_s + \Delta f$ ，其中  $f_s$  是 PWM 开关的参考频率； $\Delta f$  是附加扩频信号频率，是根据扩频信号的时域特性变化的频率。

## 系统相关的 EMI 优化

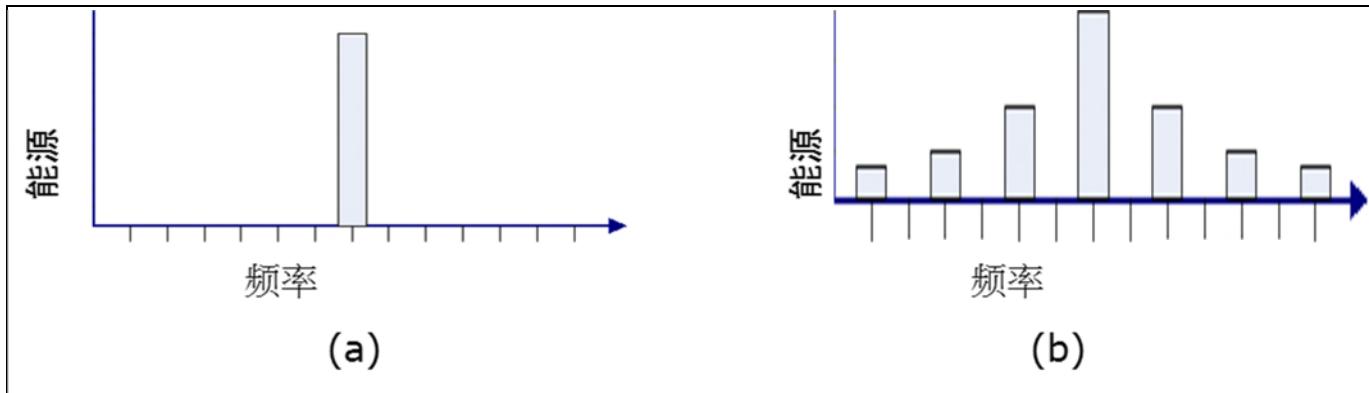


图 32 使用可变频率 PWM 控制器的扩频频率生成

这种非线性控制设计方法的优点是电路的简单性：只需使用几个额外的无源组件，就可以使用来自许多 IC 制造商的基本 SMPS 控制电路。

这种方法的主要缺点是设计者必须仔细研究所有负载条件下的电路性能和参数变化，以确保扩频操作和整个系统在所有情况下的稳定性。

英飞凌有许多 PWM 控制器（例如 ICE3XS03）采用这种频率调制技术来降低控制器级的 EMI。

---

结论

## 7 结论

当用新的 CoolMOS™ CE MOSFET 替换普通或超结技术 MOSFET 时，无论是为提高效率或降低成本，应注意 CoolMOS™ CE MOSFET 的开关参数。

EMI 测试突显了开关特性的差异，并且通常需要本应用说明中讨论的技术来安全地满足 EMI 要求。

使用 CoolMOS™ CE 器件时，效率和热性能的巨大收益通常由于需要更大的 EMI 安全裕量而减少，这是由于对用于驱动 CoolMOS™ CE 的周围组件进行了修改，如本应用说明所述。

正是电源设计人员找到最佳的权衡，并有效地获得 CoolMOS™ CE 的优势。

除了降低 CoolMOS™ CE 的  $di/dt$  和  $dv/dt$  之外，设计人员还可以查看优化 PCB 布局的系统解决方案，使用正确接地的 Y 电容，通过正确的接地屏蔽开关变压器，将散热器接地并使用具有可变频率（包括频率调制选项）的 PWM 控制器。

使用 CoolMOS™ CE 时，利用系统解决方案方法来满足 EMI 要求往往会提高充电器和适配器的效率。

感谢 Gary Chang (英飞凌台湾) 和 Tommy Lee (英飞凌韩国) 对本应用说明测量部分的宝贵贡献以及使用 CoolMOS™ CE 在典型应用板上进行的 EMI 验证。

---

参考资料

## 8 参考资料

1. CoolMOS™ C6 – Mastering the Art of Slowness  
<http://www.infineon.com/dgdl/Infineon+-+Application+Note+-+PowerMOSFETs+-+600V+CoolMOS%E2%84%A2+-+C6+-+Mastering+the+Art+of+Slowness.pdf?fileId=db3a3043271faefd0127903d130171e1>
2. CoolMOS™ C7 - Mastering the Art of Quickness  
<http://www.infineon.com/dgdl/Infineon+-+Application+Note+-+650V+CoolMOS+C7+-+Mastering+the+Art+of+Quickness.pdf?fileId=db3a30433e5a5024013e6a966779640b>
3. Transformer construction techniques  
<http://www.infineon.com/dgdl/an-1024.pdf?fileId=5546d462533600a401535591115e0f6d>
4. Meeting EMI-EFT requirements on a system level  
<http://www.infineon.com/dgdl/AN-PS0001+Lightning+test.pdf?fileId=db3a304412b407950112b4182a8224f9>

参考资料

修订记录

上次修订以来的重大变更

页码或参考	变更说明

#### **Trademarks of Infineon Technologies AG**

AURIX™, C166™, CanPAK™, CIPOS™, CoolGaN™, CoolMOS™, CoolSET™, CoolSiC™, CORECONTROL™, CROSSAVE™, DAVE™, DI-POL™, DrBlade™, EasyPIM™, EconoBRIDGE™, EconoDUAL™, EconoPACK™, EconoPIM™, EiceDRIVER™, euepec™, FCOST™, HITFET™, HybridPACK™, Infineon™, ISOFACE™, IsoPACK™, i-Wafer™, MIPAQ™, ModSTACK™, my-d™, NovalithIC™, OmniTune™, OPTIGA™, OptiMOS™, ORIGA™, POWERCODE™, PRIMARION™, PrimePACK™, PrimeSTACK™, PROFET™, PRO-SiL™, RASIC™, REAL3™, ReverSave™, SatRIC™, SIEGET™, SIPMOS™, SmartLEWIS™, SOLID FLASH™, SPOCT™, TEMPFET™, thinQ!™, TRENCHSTOP™, TriCore™.

Trademarks updated August 2015

#### **Other Trademarks**

All referenced product or service names and trademarks are the property of their respective owners.

#### **IMPORTANT NOTICE**

The information contained in this application note is given as a hint for the implementation of the product only and shall in no event be regarded as a description or warranty of a certain functionality, condition or quality of the product. Before implementation of the product, the recipient of this application note must verify any function and other technical information given herein in the real application. Infineon Technologies hereby disclaims any and all warranties and liabilities of any kind (including without limitation warranties of non-infringement of intellectual property rights of any third party) with respect to any and all information given in this application note.

The data contained in this document is exclusively intended for technically trained staff. It is the responsibility of customer's technical departments to evaluate the suitability of the product for the intended application and the completeness of the product information given in this document with respect to such application.

For further information on the product, technology, delivery terms and conditions and prices please contact your nearest Infineon Technologies office ([www.infineon.com](http://www.infineon.com)).

#### **WARNINGS**

Due to technical requirements products may contain dangerous substances. For information on the types in question please contact your nearest Infineon Technologies office.

Except as otherwise explicitly approved by Infineon Technologies in a written document signed by authorized representatives of Infineon Technologies, Infineon Technologies' products may not be used in any applications where a failure of the product or any consequences of the use thereof can reasonably be expected to result in personal injury.

**Edition 2016-12-28**

**Published by**

**Infineon Technologies AG**

**81726 Munich, Germany**

**© 2017 Infineon Technologies AG.  
All Rights Reserved.**

**Do you have a question about this  
document?**

**Email:** [erratum@infineon.com](mailto:erratum@infineon.com)

**Document reference**  
**AN\_201612\_PL52\_005**