

将 I²C EEPROM 替换为赛普拉斯的 I²C F-RAM™

作者: Shivendra Singh

相关器件系列: I²C F-RAM

相关代码示例: 无

相关应用笔记: AN96578、AN87352

AN97798 对赛普拉斯 I²C F-RAM™ 解决方案与 I²C EEPROM 相比的优势和差异进行了概述, 在替换 I²C EEPROM 时需要考虑这些内容。本应用笔记也说明了移植的好处。

目录

| | | | | | |
|-----|--|---|-----|--------------------------------|----|
| 1 | 简介 | 1 | 4.2 | 页面写延迟 | 9 |
| 2 | F-RAM 优势 | 2 | 5 | 替换为 I ² C F-RAM 的好处 | 10 |
| 2.1 | 更快的存储器 | 2 | 5.1 | 零时钟周期的写延迟 | 10 |
| 2.2 | 更简单设计 | 2 | 5.2 | 低功耗模式设计 | 11 |
| 2.3 | 数据安全性 | 2 | 5.3 | 不需要多器件设计 | 13 |
| 2.4 | 其它性能 | 2 | 5.4 | 页面尺寸不受限制 | 13 |
| 3 | 将 I ² C EEPROM 替换为 I ² C F-RAM | 2 | 5.5 | 不需要耗损均衡技术或老化跟踪 | 13 |
| 3.1 | 引脚和封装兼容性 | 2 | 5.6 | 掉电后无需采取任何措施 | 13 |
| 3.2 | 参数兼容性 | 4 | 6 | 总结 | 14 |
| 3.3 | 特性和访问协议的兼容性 | 6 | | 文档修订记录 | 15 |
| 4 | 固件兼容性 | 7 | | 全球销售和设计支持 | 16 |
| 4.1 | EEPROM 中的多个页面与 F-RAM 中的单页面 | 7 | | | |

1 简介

EEPROM 通常用于系统数据的非易失性存储。然而, 由于 EEPROM 的非易失性写入速度慢, 并且写耐久性有限, 因此在需要以总线速度频繁对非易失性存储器进行写入操作的过程中, EEPROM 的使用受到限制。许多系统设计尝试通过使用耗损均衡技术来提高有效耐久性来解决与 EEPROM 相关联的问题, 但这样会增大 EEPROM 容量和软件开销。其它保存关键系统数据的备用方法是将数据存储在暂存器 RAM 内, 然后通过备用电源在断电时将已存储的数据传输到非易失性存储器 (如 EEPROM 或闪存) 内。这两种方法的效率都很低, 因为它们需要的组件、电路板空间、硬件设计复杂性和软件开销都不占优势。

赛普拉斯的 I²C F-RAM 是采用先进铁电过程的串行、非易失性存储器。它提供了节能的高性能、高可靠性的非易失性 RAM 解决方案。它适用于工业和汽车温度范围。

赛普拉斯的 F-RAM 产品具有快速随机访问 SRAM 存储器单元, 提供了高达 10¹⁴ 次的读/写次数。与 EEPROM 相比, 该次数提高了好几个数量级。与串行 EEPROM 和闪存存储器不同, F-RAM 可以以总线速度执行写操作而不会引起任何写延迟 (NoDelay™)。数据可以被直接写入到 F-RAM 阵列内, 而且不需要检查器件是否就绪便可以立即启动新的总线周期。

串行 I²C F-RAM 器件可以替换标准的 I²C EEPROM 器件。本应用笔记介绍了行业标准 I²C EEPROM 和 I²C F-RAM 解决方案之间的差异。将基于 I²C EEPROM 解决方案替换为赛普拉斯的 I²C F-RAM 解决方案时, 需要考虑这些差异。

欲了解 I²C F-RAM 设计的详细信息, 请参考应用笔记 AN96578 — I²C F-RAM 设计。

欲了解串行赛普拉斯 F-RAM 比串行 EEPROM 的优势, 请参考应用笔记 AN87352 — 用于智能电子仪表的 F-RAM。

2 F-RAM 优势

2.1 更快的存储器

- 随机访问：不需要进行任何页读/写操作
- 以总线速度写入到整个存储器，对每一页进行写操作后不存在任何内部页面编程延迟。

2.2 更简单设计

- 不需要用于管理页边界的软件。
- 无限次数（10¹⁴）的读/写耐久性不需要耗损均衡技术
- 适用于符合行业标准的封装

2.3 数据安全性

- 先进的高可靠性的铁电工艺
- 不需要电池或电容备用来存储最新数据

2.4 其它性能

- 节能的快速非易失性 RAM
- 在 65 °C 温度下，数据保留时间为 151 年
- 无铅技术

3 将 I²C EEPROM 替换为 I²C F-RAM

赛普拉斯的 I²C F-RAM 具有两种行业标准的包装类型：8 引脚 SOIC 和 8 引脚 DFN。这些标准灵活的封装选项使 I²C F-RAM 能够替换封装和尺寸相同的大多数 EEPROM，并不会影响系统性能。另外，F-RAM 解决方案提供了多项优势功能，如更高的数据吞吐量、无延迟（NoDelay）的写操作和节能操作。

下面的内容重点介绍了 I²C EEPROM 和 I²C F-RAM 之间重要的差异和兼容性。

3.1 引脚和封装兼容性

I²C F-RAM 与 I²C EEPROM 的引脚和封装相兼容。表 1 显示的是引脚的映射情况，表 2 显示的是对 I²C EEPROM 和 I²C F-RAM 封装的比较。

表 1. I²C EEPROM 和 I²C F-RAM 之间的引脚映射

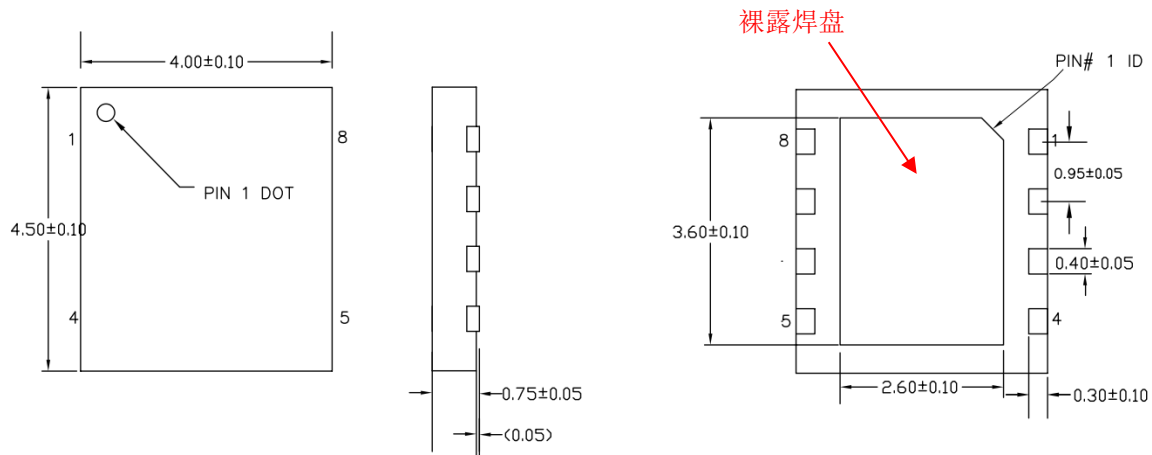
| 引脚说明 | 引脚名称 | |
|------------------|----------------------------------|------------------------|
| | I ² C EEPROM | I ² C F-RAM |
| 器件选择地址 | E2、E1、E0 或 A2、A1、A0 | A2、A1、A0 |
| 串行数据/地址输入和串行数据输出 | SDA | SDA |
| 串行时钟输入 | SCL | SCL |
| 写保护输入 | WP 或 \overline{WC} | WP |
| 供电电压 | V _{DD} /V _{CC} | V _{DD} |
| 接地 | V _{SS} /GND | V _{SS} |

表 2. I²C EEPROM 和 I²C F-RAM 的封装比较

| 特性/功能 | I ² C EEPROM | I ² C F-RAM | 备注 |
|-------|---|------------------------|--|
| 封装选项 | 8-DFN 8-SOIC 8-PDIP 8-TSSOP 8-UDFN 8-WLCSP 8-MSOP | 8-DFN 8-SOIC | 可使用 I ² C F-RAM 替换 EEPROM 标准 8-DFN 和 8-SOIC 封装。 其它 I ² C EEPROM 封装与 I ² C F-RAM 不兼容，因此需要更改 PCB。 F-RAM 8-DFN 封装中的裸露焊盘是一个 NC（未连接）焊盘，如图 1 中所示。 |

注释： 该表列出了所有封装的容量选项，但是 I²C F-RAM 不一定支持所有容量。请参考相应的器件数据手册，在替换前详细了解封装间的差异。

图 1. I²C F-RAM 8-DFN (4 mm × 4.5 mm × 0.75 mm) 封装外形



由于 I²C F-RAM 露焊盘未连接裸片 (die)，因此它处于悬空状态。替换为 I²C F-RAM 时，请确保不要将 I²C F-RAM DFN 封装的裸露焊盘焊接在 PCB 上。否则会使 I²C F-RAM 的裸片暴露在过高的温度中，从而导致比特故障和容限损失。

3.2 参数兼容性

表 3 汇总了将 I²C EEPROM 替换为 I²C F-RAM 时，需要通过进行评估来确定系统级兼容性的各种关键参数。

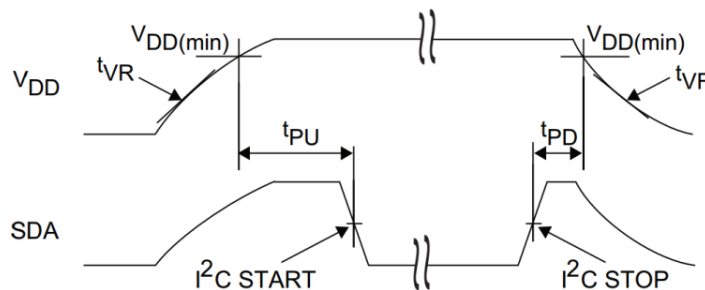
表 3. 关键参数检查表

| 参数 | 说明 | I ² C EEPROM | I ² C F-RAM | 备注 |
|--------------------------|----------------------------|--------------------------------|--|--|
| 直流参数 | | | | |
| V _{DD} | 供电电压 | 1.5 V 到 3.6 V 1.7 V 到 5.5 V | 2.0 V 到 5.5 V | I ² C EEPROM 支持更宽的工作电压范围。替换为 I ² C F-RAM 时，系统必须确保 I ² C F-RAM 的工作电压属于主机控制器访问 I ² C F-RAM 时的工作电压范围。 |
| V _{IH} | 输入高电平电压 | 变化 | 0.7 × V _{DD} 到 V _{DD} + 0.3 V | I ² C F-RAM 遵循 CMOS 逻辑标准。系统必须确保逻辑电平位于主机和 I ² C 从器件的工作电压范围内，从而能够正常进行操作 |
| V _{IL} | 输入低电平电压 | 变化 | -0.3 V 到 0.3 × V _{DD} | |
| V _{OL} | 输出低电平电平 | 变化 | 变化 0.6 V (max), I _{OL} = +6 mA 0.4 V (max), I _{OL} = +3 mA 0.4 V (max), I _{OL} = +2 mA 0.2 V (max), I _{OL} = +150 μA | I ² C F-RAM 输出驱动器支持标准的输出驱动强度，因此它与大多数主机控制器相兼容。 系统必须确保逻辑电平位于 I ² C 主器件（主机）和 I ² C F-RAM 的工作电压范围内，从而能够正常进行操作。 |
| 交流参数 | | | | |
| f _{SCL} | I ² C 时钟频率 | 频率最高达 1 MHz | 频率最高达 3.4 MHz | 两个器件遵循 I ² C 访问的 NXP 规范。因此，从 I ² C EEPROM 替换为 I ² C F-RAM 时，为得到相同的总线速度，不需要进行任何系统更新操作。 一些加密的 I ² C EEPROM 器件可以支持高达 5 MHz 的 I ² C 总线速度。由于特性和访问速度的不兼容性，I ² C F-RAM 不能替换这些特殊器件。 |
| C _b | 一个 I ² C 总线的总电容 | 变化 (等于或低于 NXP 标准负载) | 遵循 NXP 标准 I ² C 总线负载 | 替换为 I ² C FRAM 时，不需要修改或调整总线负载。 |
| 其它 I ² C 交流参数 | 器件的所有其它交流参数 | 兼容 NXP I ² C 规范 | 兼容 NXP I ² C 规范 | 由于 I ² C EEPROM 和 I ² C F-RAM 均兼容 NXP I ² C 规范，所以替换为 I ² C F-RAM 时不需要进行任何修改。 建议替换前比较所有交流参数，从而可以发现全部差异，并评估它的影响。 |

| 参数 | 说明 | I ² C EEPROM | I ² C F-RAM | 备注 |
|-------------------------|--|-------------------------|--|---|
| $t_w / t_{wc} / t_{wr}$ | 写周期时间 (将数据从页缓冲器写入到 EEPROM 存储器内所需时间) | 变化, 从 5 ms 到 10 ms | 不适用 | 对于 I ² C F-RAM, 数据字节被直接写入到内部非易失性 F-RAM 单元中。因此, 写周期时间不适用, 器件可立即进行下一次访问。 |
| 电源参数 | | | | |
| t_{VR} | V_{DD} 上电升降斜率 | 变化 | 30 $\mu\text{s}/\text{V}$ 50 $\mu\text{s}/\text{V}$ (最小值) | 替换为 I ² C F-RAM 时, 系统必须确保 V_{DD} 电源升降斜率位于 I ² C F-RAM 的规范内, 如图 2 中所示。 |
| t_{VF} | V_{DD} 下电升降斜率 | 变化 | 30 $\mu\text{s}/\text{V}$ 100 $\mu\text{s}/\text{V}$ (最小值) | 系统必须确保 I ² C F-RAM V_{DD} 电源升降斜率比最小值慢。例如, V_{DD} 电源上升或下降 1.0 V 的时间不能小于 30 μs (对于 30 $\mu\text{s}/\text{V}$ 的升降斜率)。 |
| t_{PU} | 给 V_{DD} (最小值) 上电到第一次访问 (START 条件) 的时间 | 未指定 | 1 ms | I ² C F-RAM 需要等待 1 ms 来完成它的启动序列并进入就绪状态。所有器件都有一定的启动时间, 但是有些器件没有指定它们的启动时间, 这是因为在实际系统中并未观察到该时间。 从 I ² C EEPROM 替换为 I ² C F-RAM 时, 应该评估该参数, 并要修改控制器固件 (若需要), 从而匹配 t_{PU} 时间延迟 (仅在第一次访问时)。 |

注释: 其它器件参数, 如不同操作模式下的器件电流、ESD 配置文件、锁存电流分布、焊接分布和各种封装, 在 I²C EEPROM 和 I²C F-RAM 之间存在差异, 并且在将 I²C EEPROM 替换为 I²C F-RAM 前确保系统级分析。

图 2. I²C F-RAM 电源周期时序



3.3 特性和访问协议的兼容性

表 4 对 I²C EEPROM 和 I²C F-RAM 的协议和功能进行了对比，并说明了从 I²C EEPROM 替换为 I²C F-RAM 时需要注意的重点内容。

表 4. I²C EEPROM 和 I²C F-RAM 协议和功能的比较

| 功能 | I ² C EEPROM | I ² C F-RAM | 备注 |
|------------------------|---|---|---|
| I ² C START | 标准的 I ² C START | | 替换为 I ² C F-RAM 时不要进行任何修改。 |
| I ² C STOP | 标准的 I ² C STOP | | |
| 数据输入 | 器件在 SCL 上升沿上对 SDA 进行采样 | | |
| 数据输出 | SCL 为低电平状态时，修改 SDA | | |
| 器件寻址 | 7 位寻址 | | |
| 存储器寻址 | 2 字节还是 1 字节，具体情况取决于存储器容量 | | 替换为 I ² C F-RAM 时不要进行任何修改。 优先发送最高有效地址字节，然后才发送最低有效地址字节。在一字节中，先发送最高有效地址位。 |
| 单字节写入 | 对页存储器进行单字节写入操作后，存在非易失性写周期时间。 仅在完成该时间 (t _{wc}) 后，才能启动下一次访问。 | 以总线速度对非易失性存储器进行字节写入。 完成写入操作后，可以立即启动下一次访问。 | 替换为 I ² C F-RAM 时不要进行任何修改。 但是，可以降低 I ² C F-RAM 的写延迟时间，并增大批量写入尺寸，这样可以明显提高系统的非易失性写入性能。 |
| 批量写入 | 批量写入的最大尺寸限制为页大小，后面存在非易失性写周期时间。超出页边界后继续执行写入操作会使写操作返回到页的起始点，并覆盖已经写入的数据。 仅在等完该时间 (t _{wc}) 后，才能启动下一次访问。 | 批量写入的最大尺寸是存储器阵列。超出阵列尺寸后，如果继续进行写入操作，会使地址计数器返回到存储器阵列的起始点。 完成写入操作后，可以立即启动下一次访问。 | |
| 随机地址读取 | 将（随机）地址加载到地址寄存器内时，需要一个虚拟写周期，然后才会执行读取操作。 | | 替换为 I ² C F-RAM 时不要进行任何修改。 |
| 当前地址读取 | 读取是从执行前周期中写入或读取访问后所设置的当前地址开始的。 | | |
| 连续读取 | 在执行随机或当前地址读取后可以执行这种读取操作。成功执行第一次读取后，地址计数器会自动递增为下一个地址，并且输出数据。该过程会持续执行，直到 I ² C 主器件发送 NACK 信号或生成停止 (STOP) 条件为止。 | | |
| 写入保护引脚配置 | 变化。大多数器件具有一个内部弱下拉电阻，该电阻会使该引脚在悬空（未连接）时处于低电平状态。 | 所有 I ² C F-RAM 器件均有一个内部的弱下拉电阻，使该引脚在悬空（未连接）时处于低电平状态 | |

| 功能 | I ² C EEPROM | I ² C F-RAM | 备注 |
|-----------------------|--|---|--|
| 从器件选择引脚 (A2、A1、A0) 配置 | 变化。大多数器件具有一个内部的弱下拉电阻，使这些引脚在悬空 (未使用) 时处于低电平状态。 | 所有 I ² C F-RAM 器件均有一个内部的弱下拉电阻，使这些引脚在悬空 (未使用) 时处于低电平状态。 | |
| 软件复位 | 有些 I ² C EEPROM 器件通过执行一个或所有下述协议来实现软件复位： <ul style="list-style-type: none"> ▪ 生成 START 条件 ▪ 生成九个虚拟 SCL 时钟周期 ▪ 在 START 条件后生成 STOP 条件 | I ² C F-RAM 不需要该功能。然而，如果实现该功能，也不会影响器件操作。 | 替换为 I ² C F-RAM 时不需要进行任何修改。 该功能通常由 NXP I ² C 规范定义，用于使器件退出总线的死机情况。一般在突然终止 I ² C 通信时会发生这种情况。 |

4 固件兼容性

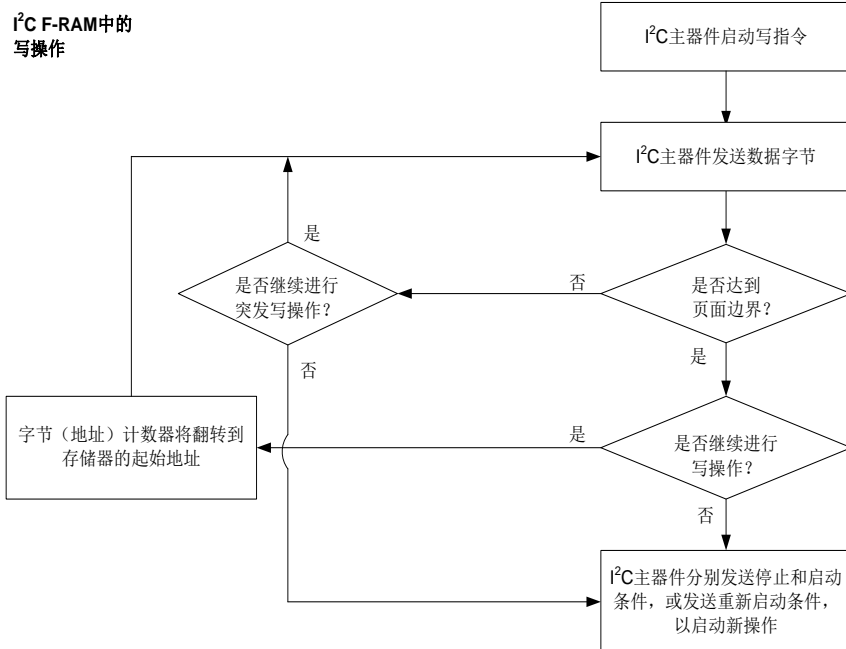
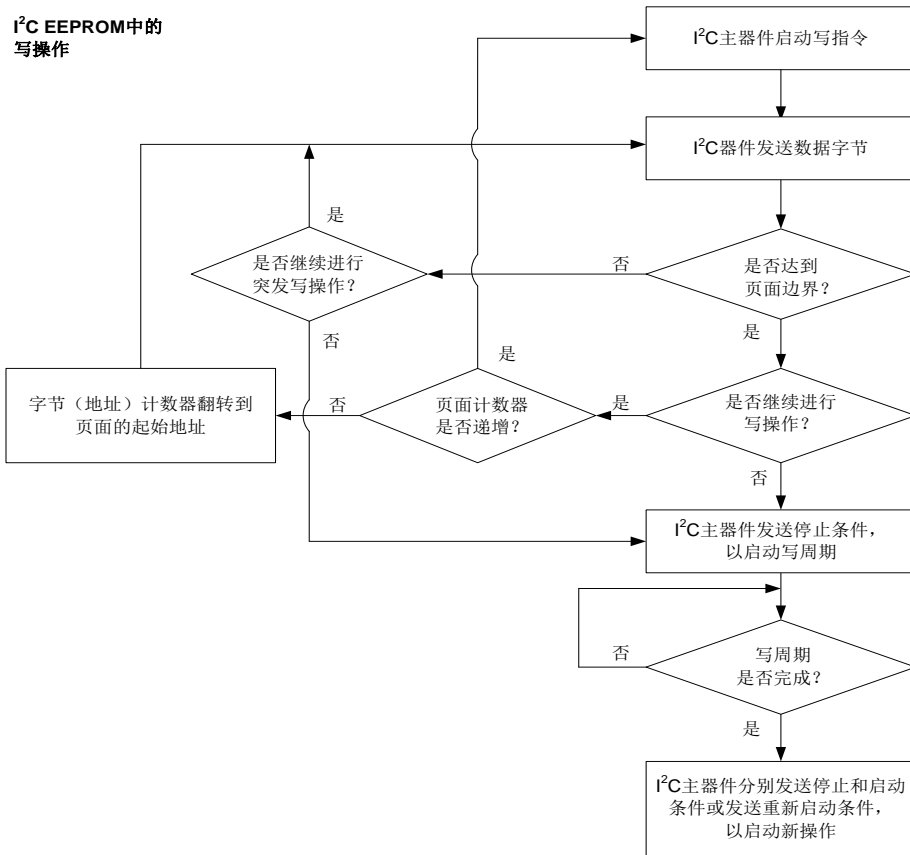
用于 I²C EEPROM 访问的 I²C 主器件固件的运行同 I²C F-RAM 的一样。本节介绍的是当 I²C EEPROM 替换为 I²C F-RAM 解决方案时，通过固件更新在系统中得到改善的各种操作。

4.1 EEPROM 中的多个页面与 F-RAM 中的单页面

逐页对 EEPROM 进行编写或编程。1 Mb EEPROM 器件的页面大小一般为 256 字节 (2 Kb)。意味着需要写入到整个 EEPROM 存储器，主机控制器需要启动 512 次页面写操作。主机控制器还需要跟踪写入到单独页面上的总数据字节数，以防止地址计数器被翻转。

F-RAM 不支持页面架构；因此，整个存储器阵列作为一页处理。通过使用单个写指令可以在突发模式下对整个 F-RAM 阵列进行编写。一旦内部地址计数器达到最后的 F-RAM 地址，计数器将翻转到起始地址 0h。由于 I²C F-RAM 包含一个单页面，因此主机控制器只需要跟踪一个计数器，而不是跟踪页面中的页面计数和字节计数两个计数器。I²C F-RAM 通过减少执行步骤的数量来简化固件设计。图 3 演示了在 I²C EEPROM 和 I²C F-RAM 中进行的写操作。

图 3. I²C EEPROM 和 I²C F-RAM 中进行的写操作



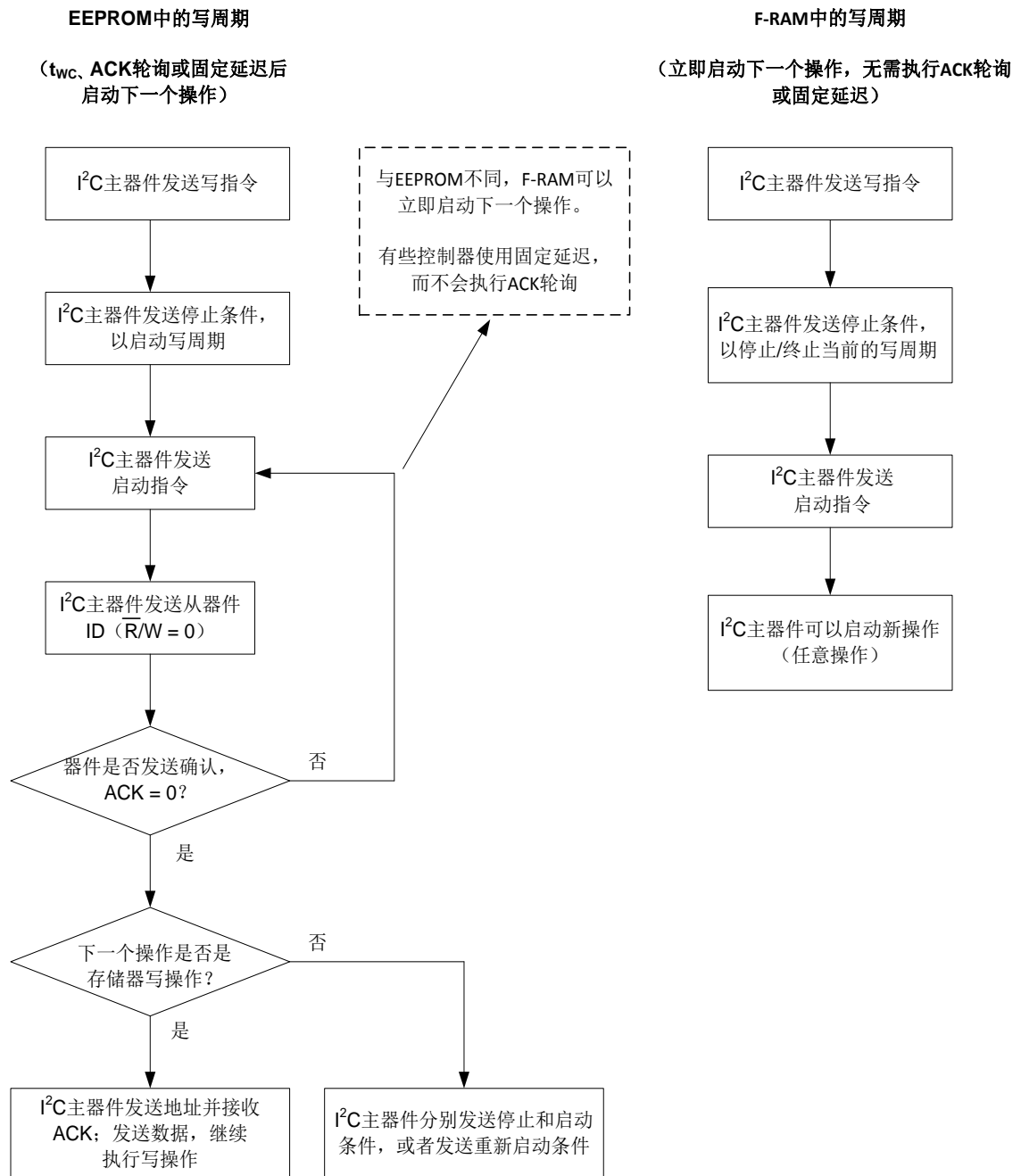
4.2 页面写延迟

EEPROM 通常需要 t_{wc} (一般为 5 ms) 的页面写延迟, 用以将其缓冲器中的数据传送到非易失性 EEPROM 内。EEPROM 在 t_{wc} 期间显示为繁忙状态, 并返回 NACK。固件可以等待固定的写周期延迟、 t_{wc} , 或轮询确认 (ACK) 信号。图 4 显示的是 ACK 轮询方式, 用于完成 EEPROM 写周期。

EEPROM 页面大小根据容量变化或容量不同的不同供应商产品而变化。系统固件必须考虑不同页面大小以及不同 EEPROM 器件间的页面写延迟。

I²C F-RAM 不需要页面写延迟, 因此可以从固件移除写延迟, 以便提高系统的非易失性写性能。

图 4. EEPROM 与 F-RAM 中的写周期



5 替换为 I²C F-RAM 的好处

本节说明了从 I²C EEPROM 替换为 I²C F-RAM 解决方案的好处。

5.1 零时钟周期的写延迟

一个典型的 EEPROM 需要 5 ms 的写周期时间，以将其页面数据转移到非易失性 EEPROM 内。当需要写入几千字节的数据时，会导致写入时间较长。相反，在 F-RAM 中，所有写操作均以总线速度进行，并没有存储器引起的延迟。下面的示例显示了 F-RAM 的零时钟周期写延迟提高了非易失性写入性能，其性能比 EEPROM 的更好。图 5 描述了写延迟的影响。

5.1.1 示例

通过公式 1，可以确定 I²C EEPROM 中的总写入时间。

$$\text{公式 1 } T1(\text{EEPROM}) = \frac{N \times 8}{f} \times 1000 + \frac{N}{PS} \times T_{wc}$$

其中：

T1 — EEPROM 中的总写入时间 (ms)

N — 通过 I²C 总线传输的数据字节数

f — I²C 频率 (Hz)

PS — EEPROM 页面尺寸

T_{wc} — EEPROM 的写周期时间 (ms)

通过公式 2，可以确定 I²C F-RAM 中的总写入时间。

$$\text{公式 2 } T2(\text{F-RAM}) = \frac{N \times 8}{f} \times 1000$$

其中：

T2 — F-RAM 中的总写入时间 (ms)

N — 通过 I²C 总线传输的数据字节数

f — I²C 频率 (Hz)

EEPROM 写入时间示例

1 MHz I²C EEPROM 的容量为 128 KB (1 Mb)，它的页面大小为 256 字节，页面写周期时间 (t_{wc}) 为 5 ms，它需要大约 28 ms 的时间来备份 8 Kb (4 页) 数据：

$$T1(\text{EEPROM}) = \frac{1024 \times 8}{1000000} \times 1000 + \frac{1024}{256} \times 5 = 28.192 \text{ ms}$$

与之相似，I²C EEPROM 需要 3.608 秒的时间来备份 128 KB (1 Mb) 数据：

$$T1(\text{EEPROM}) = \frac{128 \times 1024 \times 8}{1000000} \times 1000 + \frac{1024 \times 128}{256} \times 5 = 3608 \text{ ms or } 3.608 \text{ seconds}$$

写入时间示例

1 MHz I²C F-RAM 的容量为 128 KB (1 Mb)，它需要大约 8 ms 的时间来备份 8 Kb 数据：

$$T2(\text{F-RAM}) = \frac{1024 \times 8}{1000000} \times 1000 = 8.192 \text{ ms}$$

类似，I²C F-RAM 需要 1.049 秒来备份 128 Kb (1 Mb) 数据：

$$T2(\text{F-RAM}) = \frac{1024 \times 128 \times 8}{1000000} \times 1000 = 1049 \text{ ms or } 1.049 \text{ seconds}$$

此外，容量相同的 EEPROM 可以有不同大小的页面；该示例中 EEPROM 页尺寸更小，因此要求更多的页写入操作，这样便需要更长的时间来完成写周期。因此造成额外的写延迟。因为 F-RAM 不是分页的存储器，所以将给定的数据集写入到它时所需的时间不会随存储器的容量而变化。

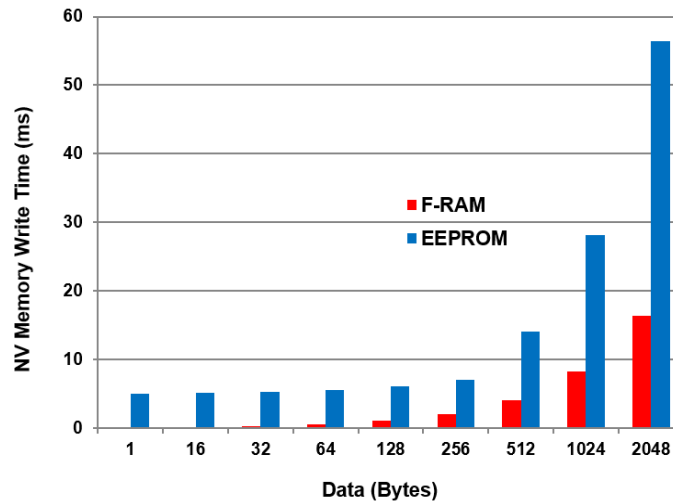
表 5 和图 5 显示的是 F-RAM 和 EEPROM 中的非易失性存储器写入时间。

表 5. 使用 1 MHz I²C 接口写入 EPROM 和 F-RAM 消耗的时间

| 数据字节 | 写入非易失性存储器中的时间（单位为 ms） | |
|------|-----------------------|--------|
| | F-RAM | EEPROM |
| 1 | 0.008 | 5.008 |
| 16 | 0.128 | 5.128 |
| 32 | 0.256 | 5.256 |
| 64 | 0.512 | 5.512 |
| 128 | 1.024 | 6.024 |
| 256 | 2.048 | 7.048 |
| 512 | 4.096 | 14.096 |
| 1024 | 8.192 | 28.192 |
| 2048 | 16.384 | 56.384 |

注释： 表 5 中的计算不包括用于在发送即将写入的数据前发送控制和地址字节的开销。执行 I²C EEPROM 中的多页写入操作时，每一页的写入都需要新的 I²C 写指令。

图 5. EEPROM 与 F-RAM 中的写入性能



5.2 低功耗模式设计

F-RAM 器件消耗的工作电流大约是 EEPROM 的 1/3，而 F-RAM 的待机/睡眠电流规格与 EEPROM 的待机/睡眠电流规格差不多。工作电流的差异对功耗产生很大的影响，特别是由于应用程序（如：智能电子式电表）频繁记录数据而使写密集时。除了工作电流更高外，EEPROM 还会产生额外的页写入延迟，这样使器件在较长时间内保持工作模式，因而增加了功耗。

写入 I²C F-RAM 和 I²C EEPROM 需要的能源通过使用能源计算示例计算得到。表 6 对 F-RAM 和 EEPROM 中的能源消耗进行比较，如图 6 所示。该比较演示了功耗情况。

5.2.1 能源计算示例

公式 3 可以确定 F-RAM 和 EEPROM 在写周期期间所消耗的能源：

$$\text{公式 3} \quad E = V \times I \times t$$

其中：

V — 工作电压

I — 执行写入操作时的工作电流

t — 写入非易失性存储器的总时间

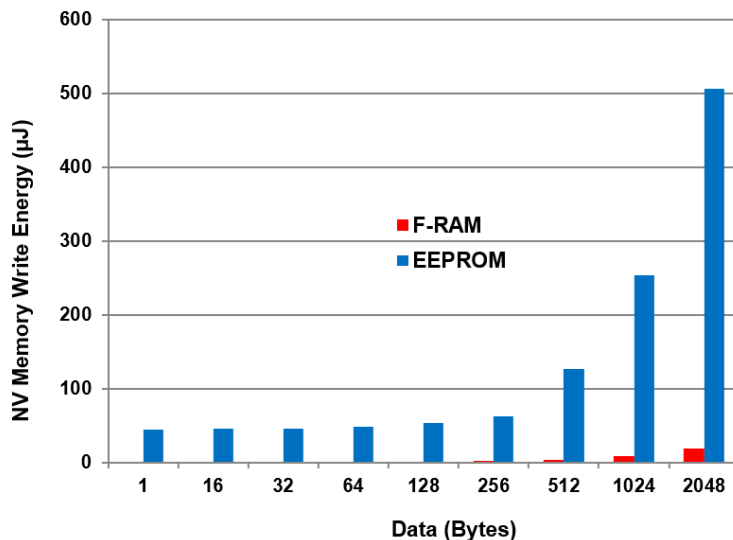
表 6. 写入 EEPROM 和 F-RAM 需要的能源

| 写入数据字节 | 非易失性存储器写入能源 (μJ) | |
|--------|------------------|---------|
| | F-RAM | EEPROM |
| 1 | 0.0096 | 45.072 |
| 16 | 0.1536 | 46.152 |
| 32 | 0.3072 | 47.304 |
| 64 | 0.6144 | 49.608 |
| 128 | 1.2288 | 54.216 |
| 256 | 2.4576 | 63.432 |
| 512 | 4.9152 | 126.864 |
| 1024 | 9.8304 | 253.728 |
| 2048 | 19.6608 | 507.456 |

注意：

1. 典型的 3 V、1 Mb I²C EEPROM 在写操作过程中所消耗的工作电流为 3 mA。因此，I²C EEPROM 编写 128 字节（1 Kb）数据时所消耗的能源为 54.22 μJ（3.0 V x 3 mA x 6.024 ms）。
2. 典型的 3 V、1 Mb I²C F-RAM 在写操作过程中所消耗的工作电流为 0.4 mA。因此，I²C F-RAM 编写 128 字节（1 Kb）数据时消耗的能源为 1.23 μJ（3.0 V x 0.4 mA x 1.024 ms）。

图 6. EEPROM 与 F-RAM 数据写入的能源消耗



5.3 不需要多器件设计

EEPROM 写操作中的数据传输有两个阶段。数据先被写入到页缓冲器内，然后才发生非易失性存储器的写周期。在写周期内，禁止访问 EEPROM，因此不可进行下一次访问，直到完成当前的写周期为止。

相反，I²C F-RAM 以总线速度进行数据写入。因此，它不需要流水线执行，因此简化了系统固件架构并缩短了开发周期时间、减少了相关联的测试开销。

5.4 页面尺寸不受限制

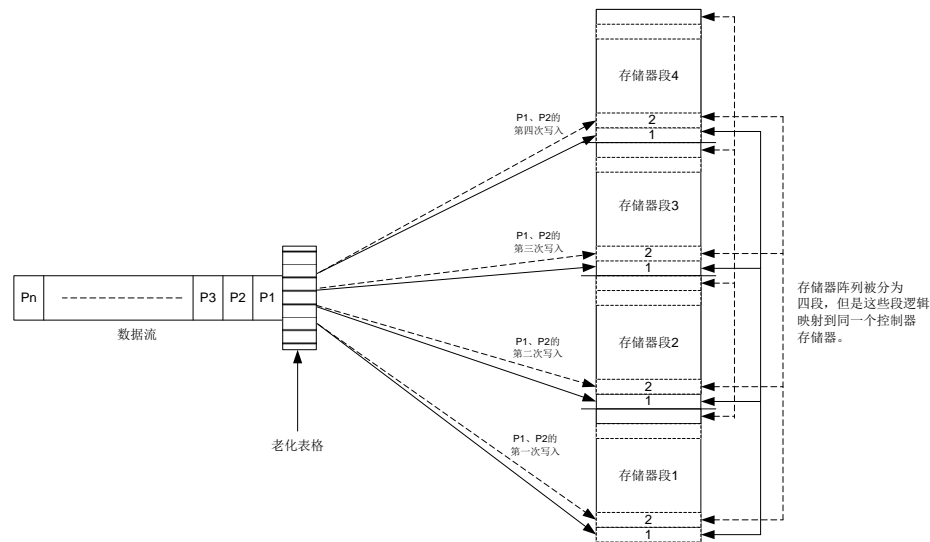
EEPROM 的页面尺寸会因容量的变化而异。与 EEPROM 连接的固件程序必须灵活编写，并对多种容量进行测试，以便支持不同产品版本的多种容量。F-RAM 没有规定页面的大小，所以您可以写入任意大小的数据模块而不用考虑被使用的存储器大小。

5.5 不需要耗损均衡技术或老化跟踪

需要频繁写入 EEPROM 的所有系统都使用严格地址管理。这种方法被称为“耗损均衡技术”，旨在平衡每个页面被写入的次数。

耗损均衡技术适用于 EEPROM，以增加有效的耐力极限。在实现耗损均衡技术过程中，将整个存储器阵列分为多个段，它们仍被映射到一个微控制器或处理器的相同地址。例如，如果在当前存储器段中的某些地址上发生了写操作，则在该地址上进行的后续写操作将在另一段上执行。图 7 中显示的是耗损均衡技术的实现情况。

图 7. EEPROM 中的耗损均衡技术机制



耗损均衡技术需要控制器中的适当复杂驱动器子程序，用于管理所有非易失性访问。该子程序将数据结构的内部寻址转换为存储器中的物理寻址方案。通常，存储器阵列上的“老化表”跟踪器件的使用情况。这会消耗小型存档系统中的大量代码空间。在一个架构变化中，当转移到新的处理器系列时，会增大设计周期时间。

一个典型 EEPROM 器件指定耐久性周期为 10^6 ，而 F-RAM 器件的耐久性周期为 10^{14} ，比典型 EEPROM 的耐久性周期大 1 亿次。因此，为了同 F-RAM 耐久性相匹配，系统需要 1 亿个 EEPROM 器件，或需要一个比 F-RAM 容量大 1 亿倍的 EEPROM，这几乎是不可能完成的事。

5.6 掉电后无需采取任何措施

数据被写入到 F-RAM 后立即变为非易失性。这是 F-RAM 器件重要优点之一：在极端故障中，它增大了系统数据的完整性。所有写操作在非易失性存储器中直接发生。因此，不需要提供备用电源或扩展电源，掉电后仍能保存数据。

相反地，当检测到掉电事件时，要保存在基于 EEPROM 的系统中的有效数据，控制器必须启动，并执行一个完整的写周期以获得数据模块的所需大小。在这个过程中，主电源必须存储足够的能量，保证为控制器及其外设供电。控制器必须防止由电源故障中快速切换电源导致的崩溃。该系统固件必须在故障条件的范围内彻底测试，以确保断电前在所有系统状态中执行正确的操作。

6 总结

将 I²C EEPROM 替换为赛普拉斯的 I²C F-RAM 可提高系统的性能、可靠性，并能节省功耗。I²C F-RAM 中的行业标准引脚和封装配置以及电气兼容性使替换过程更加简单。两种器件间存在一定的差异，本应用笔记中已重点进行了说明，需要考虑。然而，在大多数应用中，这些差异通常不会成为替换的阻碍。

关于作者

姓名： Shivendra Singh

职务： 首席应用工程师

文档修订记录

文档标题: AN97798 — 将 I²C EEPROM 替换为赛普拉斯的 I²C F-RAM™

文档编号: 002-03924

| 版本 | ECN | 变更者 | 提交日期 | 变更说明 |
|----|---------|------|------------|---------------------------------------|
| ** | 4979541 | YANS | 10/27/2015 | 本文档版本号为 Rev**, 译自英文版 001-97798 Rev**。 |

全球销售和 design 支持

赛普拉斯公司拥有由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要想查找离您最近的办事处，请访问 [赛普拉斯所在地](#)。

产品

| | |
|---------|--|
| 汽车级产品 | cyress.com/go/automotive |
| 时钟与缓冲器 | cyress.com/go/clocks |
| 接口 | cyress.com/go/interface |
| 照明与电源控制 | cyress.com/go/powerpsoc |
| 存储器 | cyress.com/go/memory |
| PSoC | cyress.com/go/psoc |
| 触摸感应 | cyress.com/go/touch |
| USB 控制器 | cyress.com/go/usb |
| 无线/射频 | cyress.com/go/wireless |

PSoC® 解决方案

psoc.cyress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

技术支持

cyress.com/go/support

PSoC 是赛普拉斯半导体公司的注册商标，且 F-RAM 是赛普拉斯半导体公司的商标。此处引用的所有其他商标或注册商标归其各自所有者所有。

| | | |
|---|--|---|
|  | 赛普拉斯半导体公司 198 Champion Court San Jose, CA 95134-1709 | 电话 : 408-943-2600 传真 : 408-943-4730 网址 : www.cyress.com |
|---|--|---|

©赛普拉斯半导体公司，2015。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

该源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保持在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此类使用而受到任何指控。

产品使用可能受赛普拉斯相应软件许可协议的限制。