

SPI EEPROM からサイプレスの SPI F-RAM™ への置換え

著者: Shivendra Singh

関連プロジェクト: 該当なし

関連製品ファミリ: SPI F-RAM

ソフトウェア バージョン: 該当なし

関連アプリケーション ノート: [AN304](#)、[AN87352](#)

本アプリケーション ノートの最新版を入手するには www.cypress.com/go/AN96614 へアクセスしてください。

AN96614 は SPI EEPROM をサイプレスの高信頼性かつエネルギー効率の良い SPI F-RAM ソリューションに置き換える際の利点および重要な注意点について説明しています。

目次

1	はじめに	1	3.5	パラメータの互換性	8
2	EEPROM に比べた SPI F-RAM の利点	2	4	ファームウェアの互換性	9
2.1	より高速なメモリ	2	4.1	EEPROM での複数のページ対 F-RAM での 単一のページ	9
2.2	より簡単な設計	2	4.2	ページの書込み遅延	10
2.3	データ セキュリティ	2	4.3	RDY ステータス レジスタ内の/ WIP ビット	10
2.4	付加機能	2	5	まとめ	11
3	SPI EEPROM から SPI F-RAM への置換え	2	6	関連文書:	11
3.1	ピンおよびパッケージの互換性	2	6.1	アプリケーション ノート	11
3.2	コマンド (オペコード) の互換性	5	改訂履歴	12	
3.3	ステータス レジスタ互換性	6	ワールドワイドな販売と設計サポート	13	
3.4	HOLD 動作での互換性	7			

1 はじめに

EEPROM はシステム データの不揮発性ストレージによく使われています。ただし、EEPROM の低速不揮発性書込み性能および制限される書換え可能回数のため、バス速度で不揮発性メモリに頻繁に書込みを実行する必要があるシステムでは EEPROM の使用が制限されます。多くのシステム デザインでは、ウェアレベリング (消去回数の平均化) 技術を使って効果的に書換え可能回数限を上げることで EEPROM に関連する問題を解決しようとしたが、増加した EEPROM 容量とソフトウェア オーバヘッドを伴います。重要なシステム データを格納する別の方法は、電源切断時にバックアップ電源を使用することで、スクラッチ パッド RAM にデータを格納してから、格納されたデータを EEPROM やフラッシュなどの不揮発性メモリに転送することです。上記の両方の方法とも、コンポーネント数の増加、基板面積、ハードウェア設計の複雑さおよびソフトウェア オーバヘッドのため、非常に非効率的です。

サイプレスの SPI F-RAM は高度な強誘電体プロセスを適用したシリアル不揮発性メモリで、世界で最もエネルギー効率の良い高性能かつ高信頼性の不揮発性 RAM ソリューションを提供します。サイプレスの SPI F-RAM は工業用および車載用温度グレードで提供されています。

サイプレスの F-RAM は高速なランダム アクセス SRAM メモリ セルを備えており、実質的に無制限 (10^{14}) の書換え回数 (EEPROM の書換え回数よりも桁違いに非常に多い書換え回数) を提供します。シリアル EEPROM やフラッシュ メモリと違って、F-RAM は書込み遅延を起こさずに (NoDelay™)、バス速度で書込み動作を実行します。データは F-RAM アレイに直接書き込まれます。次のバス サイクルは後続のアクセス前にデバイスの準備ができていないかを確認せずに直ちに開始できます。

シリアル SPI F-RAM デバイスは標準 SPI EEPROM デバイスのドロップイン代替品として提供されます。本アプリケーション ノートでは業界標準 SPI EEPROM とサイプレスの SPI F-RAM ソリューションの違いを示します。SPI EEPROM ベースのソリューションをサイプレスの SPI F-RAM ソリューションに置き換える際にこの違いに注意する必要があります。本アプリケーション ノートは比較のために M95M01 および AT256B SPI EEPROM データシートを参照します。

SPI F-RAM 設計の詳細については、「AN304 - SPI Guide for F-RAM™」アプリケーション ノートを参照してください。

シリアル EEPROM に比べたサイプレスの F-RAM の利点については、「AN87352-F-RAM™ for Smart E-Meters」アプリケーション ノートを参照してください。

2 EEPROM に比べた SPI F-RAM の利点

2.1 より高速なメモリ

- ランダム アクセス: ページ読出し／書込みは不要
- 各ページの書込み後の内部ページ プログラム遅延無しのバス速度での完全なメモリ書込み

2.2 より簡単な設計

- EEPROM を利用する時のようなページ境界の管理用のソフトウェア オーバヘッドはない
- 書換え回数が実質的に無制限 (10^{14}) なので、ウェアレベリング技術の適用は不要
- 業界標準のパッケージとして提供

2.3 データ セキュリティ

- 高信頼性の高度な強誘電体プロセス
- 最期の瞬間データを格納するのにバッテリーまたはコンデンサのバックアップを必要としない

2.4 付加機能

- サイプレスの F-RAM は世界で最もエネルギー効率の良い高速不揮発性 RAM
- 65°C でのデータ保持時間は 151 年
- 鉛フリー技術

3 SPI EEPROM から SPI F-RAM への置換え

サイプレスの SPI F-RAM は 2 つの業界標準パッケージで使用可能: 8 ピン SOIC および 8 ピン DFN これらの標準的かつ用途の広いパッケージ オプションにより、サイプレスの SPI F-RAM はシステムの性能に影響せずに、同じフットプリントのほとんどの EEPROM のドロップイン代替品となります。さらに、サイプレスの F-RAM ソリューションは、より高いデータスループット、NoDelay™ 書込みやエネルギー効率の良い動作などの性能上の利点を提供します。

次の節では、SPI EEPROM と SPI F-RAM のすべての主な違いおよび互換性をハイライトします。

3.1 ピンおよびパッケージの互換性

サイプレスの SPI F-RAM は SPI EEPROM とのピンおよびパッケージの互換性があります。表 1 は SPI EEPROM と SPI F-RAM のピン マッピングを示し、表 2 はパッケージの比較を示します。

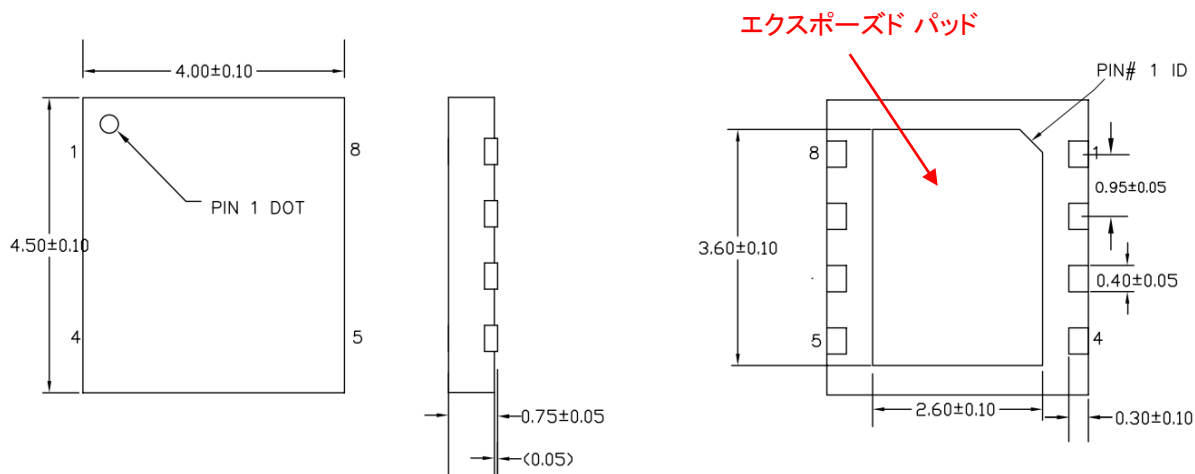
表 1. SPI EEPROM と SPI F-RAM のピン マッピング

ピンの説明	ピン名	
	SPI EEPROM	サイプレスの SPI F-RAM
チップセレクト	$\overline{SS} / \overline{S} / CS$	\overline{CS}
シリアル クロック	C/SCK	SCK
シリアル データ入力	D/SI	SI
シリアル データ出力	Q/SO	SO
書き込み保護	W / WP	\overline{WP}
ホールド	HOLD	\overline{HOLD}
電源電圧	V_{CC}/V_{DD}	V_{DD}
グランド	V_{SS}/GND	V_{SS}

表 2. SPI EEPROM と SPI F-RAM のパッケージ比較

特長／機能	SPI EEPROM	SPI F-RAM	コメント
DFN エクスPOSEド パッド	未接続	未接続	F-RAM の 8 ピン DFN パッケージのエクスポーズド パッドは NC (未接続) パッド。そのため、このパッドを開放のままにするか、または V_{SS}/V_{DD} に接続することが可能 サイプレスはプリント基板上に F-RAM DFN エクスPOSEド パッドをはんだづけすることを推奨しない
パッケージのオプション	8 ピン DFN、 8 ピン SOIC (150mil)、 8 ピン SOIC (208mil)、 8 ピン PDIP、 8 ピン TSSOP、 8 ピン dBGA、 8 ピン UDFN、 8-WLCSP、 8 ピン MSOP	8 ピン DFN、 8 ピン SOIC (150 mil)、 8 ピン SOIC (208 mil)	EEPROM の標準的な 8 ピン DFN および 8 ピン SOIC パッケージを SPI F-RAM に置き換えることが可能 その他の SPI EEPROM パッケージは SPI F-RAM と互換性がないため、プリント基板の変更が必要

図 1. SPI F-RAM の 8 ピン DFN (4 mm × 4.5 mm × 0.75 mm) パッケージ図



SPI F-RAM のエクスポーズド パッドはダイに接続されないため、開放のままにする必要があります。SPI EEPROM を SPI F-RAM に置き換える際に SPI F-RAM DFN パッケージのエクスポーズド パッドはプリント基板にはんだづけされないことを確保します。はんだづけすると、SPI F-RAM ダイが過度の熱にさらされて、フェイル ビットや損失マージンを引き起こす可能性があります。

3.2 コマンド (オペコード) の互換性

表 3 に、SPI EEPROM および SPI F-RAM でサポートされるオペコードの一覧を示します。表 3 に示される RDID (ABh)、PE0 (42h) や SE0 (D8h) などの、EEPROM セル動作に特有のオペコードは SPI F-RAM にドント ケア コマンドです。それらは実行する際に SPI F-RAM に無視されます。SPI EEPROM がそのような特別機能を持って、アプリケーションがその機能を使用する場合、SPI EEPROM を SPI F-RAM に置換えできません。

表 3. オペコードの比較

コマンド オペコード (16 進数)	コマンドの説明	SPI EEPROM	SPI F-RAM	コメント
WREN (06h)	書き込みイネーブル ラッチのセット	√	√	同一機能
WRDI (04h)	書き込みイネーブル ラッチのリセット	√	√	
RDSR (05h)	ステータス レジスタの読出し	√	√	
WRSR (01h)	ステータス レジスタの書き込み	√	√	利点: F-RAM はステータス レジスタへの書き込み後、5ms の不揮発性書き込み遅延を必要としない
READ (03h)	メモリ データの読出し	√	√	同一機能
WRITE (02h)	メモリ データの書き込み	√	√	利点: SPI EEPROM バースト書き込みのアドレス カウンタは EEPROM のページ境界でロールオーバーする。EEPROM は各バイト/ページ書き込みの後に 5ms の不揮発性書き込み遅延を必要とする SPI F-RAM バースト書き込み動作は書き込み遅延無しにメモリ全体をバス速度で書き込むことを可能にする。アドレス カウンタは最後のメモリ位置でロールオーバーする
FSTRD (0Bh)	メモリ データの高速読出し	X	√	EEPROM でサポートされない
スリープ(B9h)	スリープ モードへの移行	√	√	同一機能
RDID (9Fh)	デバイス ID の読出し	X	√	EEPROM でサポートされない
SNR (C3h)	シリアル番号の読出し	X	√	
RDID (ABh)	ディープ パワーダウンからの解放 (標準命令として使用不可)	√	X	これらのコマンドは標準 SPI EEPROM コマンドでない。これらは特定の EEPROM でのみサポートされる これらは SPI F-RAM でサポートされない
PE0 (42h)	ページ消去	√	X	
SE0 (D8h)	セクタ消去	√	X	
RDID (83h)	識別専用のページの読出し	√	X	
WRID (82h)	識別専用のページの書き込み	√	X	
RDLS (83h)	識別ページのロック ステータスの読出し	√	X	
LID (82h)	読出し専用モードへの識別ページのロック	√	X	

3.3 ステータス レジスタ互換性

SPI EEPROM および SPI-FRAM でのステータス レジスタへのアクセスは、EEPROM ではステータス レジスタの読出しコマンド (RDSR) を再送信せずにループでステータス レジスタを読出し可能であることを除き、同様です。ホスト コントローラは EEPROM ステータス レジスタをループでポーリングして、「レディ」か「書き込み中」ステータス (RDY / WIP) を決定することができます。その一方、SPI F-RAM は実行中の命令が完了するとすぐに、常に次の命令の準備ができています。そのため、どんな場合でも SPI F-RAM がステータス レジスタを連続的に読み出す必要はありません。これは SPI F-RAM を使用する時のファームウェアの改善となります。

SPI F-RAM ステータス レジスタを読み出すと常に「レディ」ステータスが返ります。SPI EEPROM を SPI F-RAM に置き換える際、ファームウェアは、ステータス レジスタ 読出しコマンドごとに 1 バイトだけを読み出すか、または複数のバイトを読み出す場合、ファームウェアが最初のバイトだけを受け取ることを保証する必要があります。表 4 は SPI EEPROM と SPI F-RAM のステータス レジスタビットの定義およびそれらの互換性を示します。

表 4. ステータス レジスタの比較

ステータス レジスタ	SPI EEPROM	SPI F-RAM	コメント
ビット 0	RDY / WIP	ドント ケア(0)	SPI EEPROM はページ書き込み動作間でビジーになる時、このビットを「1」にセット。その一方、SPI F-RAM は常に「0」を返し、レディ状態を示す。そのため、SPI F-RAM への置き換える際はファームウェアの更新は不要
ビット 1	WEL	WEL	同一の動作。
ビット 2	BP0	BP0	
ビット 3	BP1	BP1	
ビット 4	ドント ケア(0)	ドント ケア(0)	
ビット 5	ドント ケア(0)	ドント ケア(0)	
ビット 6	ドント ケア (0)	ドント ケア (0/1)	このビットは SPI F-RAM で読出し専用ビット 一部の SPI F-RAM は読出し時に「0」を返す。 (例: FM25C160B) 一部の SPI F-RAM は読出し時に「1」を返す。 (例: FM25V20A)
ビット 7	SRWD	WPEN	同一の動作。

注: ビット 4～6 は「ドント ケア」ビットです。SPI EEPROM を SPI F-RAM に置き換える際に、これら 3 ビットの初期設定値を無視することができます。

図 2. SPI EEPROM ステータス レジスタ読出し

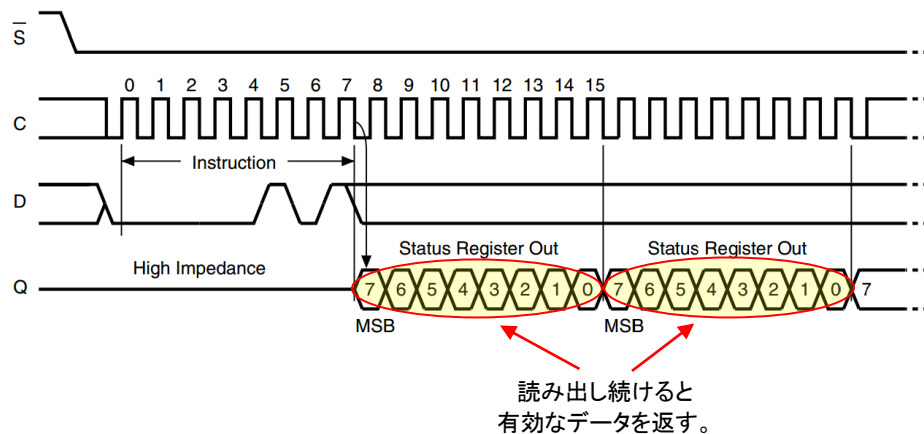
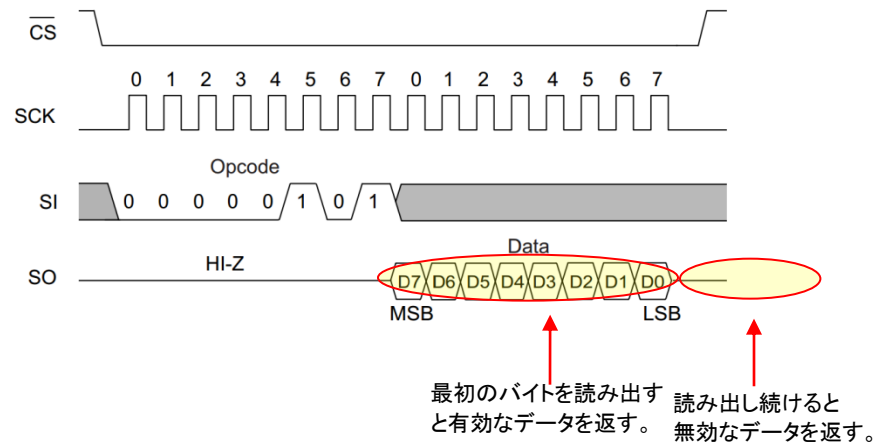


図 3. SPI F-RAM ステータス レジスタ読出し



3.4 HOLD 動作での互換性

$\overline{\text{HOLD}}$ ピンを使って、連続動作を中断せずそれぞれに割り込めます。SCK が LOW の間に、バス マスタが $\overline{\text{HOLD}}$ ピンを LOW にすると、当時点の動作は一時停止します。SCK が LOW の間に $\overline{\text{HOLD}}$ ピンを HIGH にすると、一時停止した動作を再開します。HOLDの遷移は SCK が LOW の間に発生する必要があります。

SPI EEPROM と SPI F-RAM 間の $\overline{\text{HOLD}}$ 動作の違いは次のとおりです。

- SPI F-RAM は図 4 に示すようにホールド状態中に SCK および $\overline{\text{CS}}$ ピンをトグルすることを可能にします。
- 一部の SPI EEPROM はホールド状態中に $\overline{\text{CS}}$ をトグルすることを許可しません。ホールド状態中に $\overline{\text{CS}}$ をトグルすると、これらのデバイスでの通信をリセットさせます。
- いくつかの SPI EEPROM は、 $\overline{\text{CS}}$ が LOW、かつ SCK が HIGH の時に $\overline{\text{HOLD}}$ ピンを LOW にトグルすることでホールド状態に移行することを許可します。また、これらのデバイスは $\overline{\text{CS}}$ が LOW、かつ SCK が HIGH の時に $\overline{\text{HOLD}}$ ピンを HIGH にトグルすることでホールド状態を終了することを許可します。図 5 を参照してください。

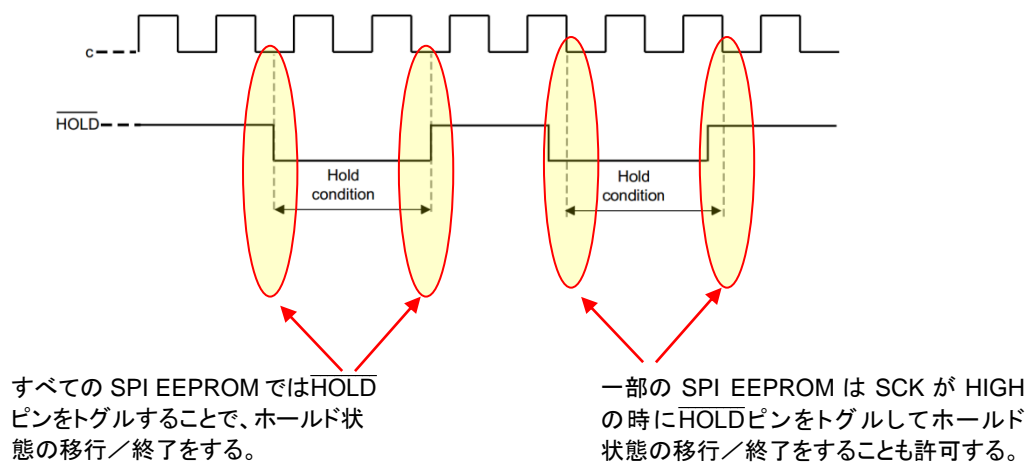
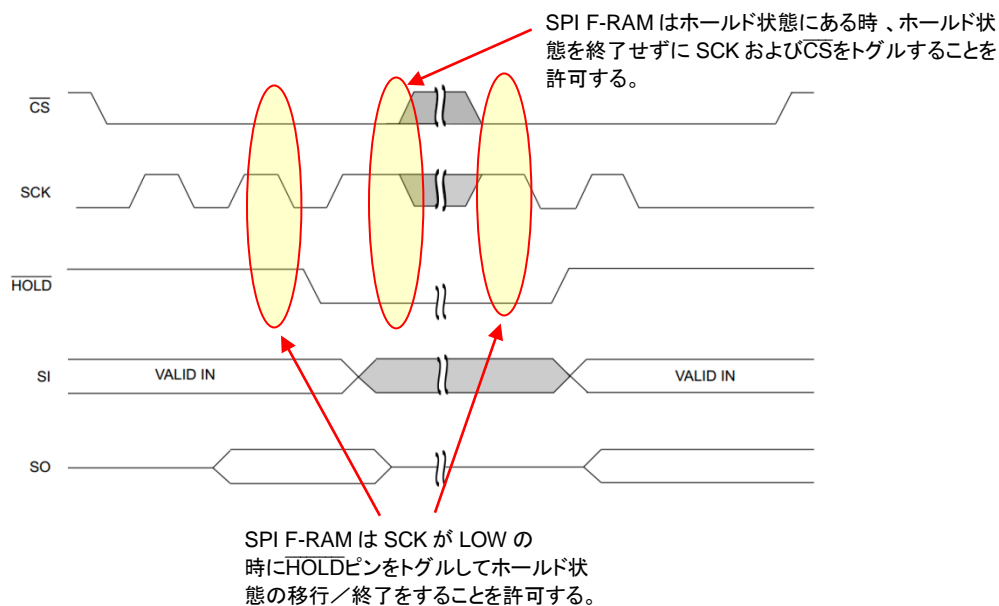
 図 4. SPI EEPROM の $\overline{\text{HOLD}}$ タイミング


図 5. SPI F-RAM のHOLDタイミング



3.5 パラメータの互換性

表 5 に、SPI EEPROM からサイプレスの SPI F-RAM への置き換え時にシステム レベルの互換性を評価する必要がある主なパラメータをまとめます。

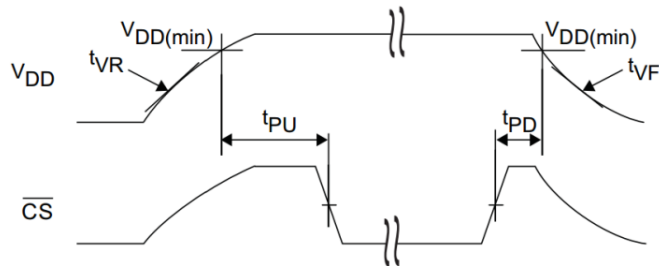
表 5. 主なパラメータのチェックリスト

パラメータ	説明	SPI EEPROM	SPI F-RAM	コメント
DC パラメータ				
V_{DD}	電源電圧	1.5 V ~ 3.6 V 1.7 V ~ 5.5 V	2.0 V ~ 5.5 V	SPI EEPROM の方はより広い動作電圧範囲に対応。SPI F-RAM への置換え時に、システムは SPI F-RAM の動作電圧がその動作電圧範囲内にあることを保証する必要がある
V_{IH}	入力 HIGH 電圧	変化	$0.7 \times V_{DD} \sim V_{DD} + 0.3 V$	SPI F-RAM は CMOS 論理標準に従う。正しい動作のために、システムは論理レベルが SPI ホストと SPI F-RAM の動作範囲内にあることを保証する必要がある
V_{IL}	入力 LOW 電圧	変化	$-0.3 V \sim 0.3 \times V_{DD}$	
V_{OH}	出力 HIGH 電圧	変化	2.4 V (最小)、 $I_{OH} = -1 \text{ mA}$; $V_{DD} - 0.2 V$ (最小)、 $I_{OH} = -100 \mu A$	SPI F-RAM の出力ドライバは標準出力駆動能力に対応するので、ほとんどのホストコントローラと互換性がある
V_{OL}	出力 LOW 電圧	変化	0.4 V (最大)、 $I_{OL} = +2 \text{ mA}$; 0.2 V (最大)、 $I_{OL} = +150 \mu A$	正しい動作のために、システムは論理レベルが SPI ホストと SPI F-RAM の動作範囲内にあることを保証する必要がある

パラメータ	説明	SPI EEPROM	SPI F-RAM	コメント
AC パラメータ				
f_{SCK}	SPI クロック周波数	最大 20 MHz	最大 40 MHz	SPI EEPROM から SPI F-RAM への置き換えはファームウェアの変更を必要としない。ただし、SPI F-RAM がより速いアクセス速度に対応するため、ファームウェアをアップグレードすることで、SPI F-RAM を使用する時のデータ スループットを向上できる
電源パラメータ				
t_{VR}	V_{DD} 電源投入時 ランプ レート	変化	30~50 $\mu\text{s/V}$	SPI F-RAM への置換え時に、システムは V_{DD} 電源ランプ レートが SPI F-RAM の仕様以内であることを保証する必要がある (図 6 を参照)
t_{VF}	V_{DD} 電源切断時 ランプ レート	変化	30~100 $\mu\text{s/V}$	

異なる動作モードでのデバイス電流、出力負荷、起動時間、電源ランプ（電源挿入と電源切断）、ESD プロファイルやパッケージなどの、SPI EEPROM と SPI F-RAM 間で異なるデバイスの他のパラメータを使うことで、SPI EEPROM から SPI F-RAM への置換え前にシステム レベルの分析を行えます。

図 6. SPI F-RAM パワー サイクル タイミング



4 ファームウェアの互換性

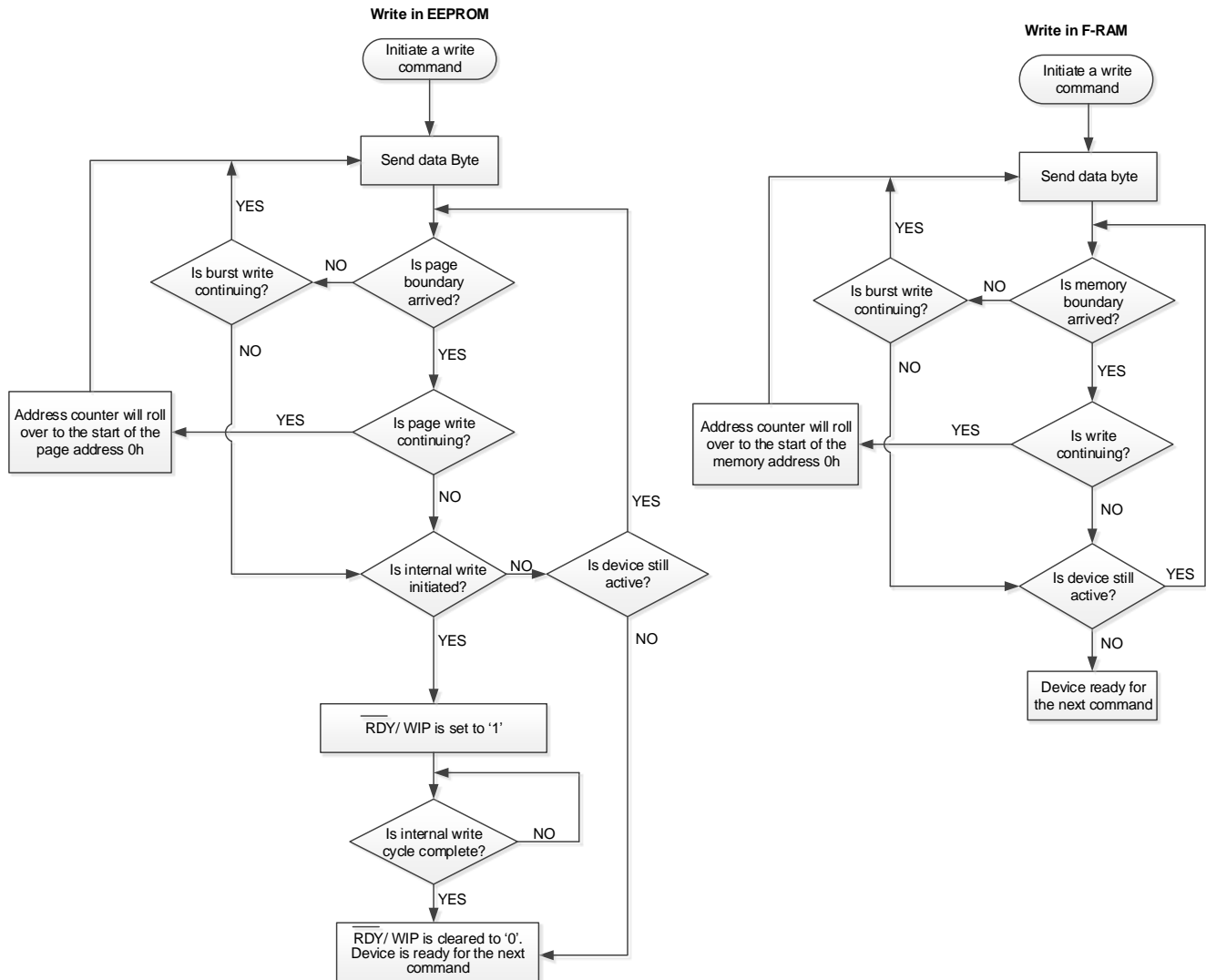
SPI EEPROM アクセス用の SPI ホスト コントローラ ファームウェアは、サポートされない機能／オペコードを除き、SPI F-RAM で同様に機能します。本節では、SPI F-RAM ソリューションへの置換え時にシステム内でファームウェアの更新により改善できる EEPROM での様々な動作について説明します。

4.1 EEPROM での複数のページ対 F-RAM での単一のページ

EEPROM はページ単位で書き込まれるか、またはプログラムされます。EEPROM デバイスの通常のページ サイズはメモリ サイズの 512 分の 1 です。これは、EEPROM メモリを完全に書き込むために、ホスト コントローラは 512 ページの書き込み動作を開始する必要があるということを意味します。また、ホスト コントローラは、カウンタのロールオーバーが発生しないように個別のページに書き込まれる合計のデータ バイト数を記録する必要もあります。

F-RAM はページ アーキテクチャに対応しないため、メモリ アレイ全体は 1 ページとして処理されます。F-RAM アレイ全体は単一の書き込みコマンドによりバーストモードで書き込みます。内部カウンタは F-RAM の最後のアドレスに到達すると、開始アドレス 0h にロールオーバーします。SPI F-RAM の書き込み動作は単一のページを含むため、ホスト コントローラは、ページ数とページ内のバイト数の複数のカウンタを記録するとは対照的に、SPI F-RAM 用に 1 個だけのカウンタを記録する必要があります。SPI F-RAM は実行ステップ数を減らすことでファームウェア設計を簡略化します。図 7 に、SPI EEPROM と SPI F-RAM での書き込み動作の比較を示します。

図 7. EEPROM と F-RAM での書き込み動作



4.2 ページの書き込み遅延

通常、EEPROM はそのバッファ データを不揮発性 EEPROM セルに転送するには 5 ms のページ書き込み遅延を必要とします。EEPROM のページ サイズは容量、または同じ容量を有する製品のベンダによって異なります。異なる EEPROM 製品間のページ サイズの変化とページ書き込み遅延を考慮しながらシステム ファームウェアを設計する必要があります。

SPI F-RAM ではページ書き込み遅延が不要なので、SPI F-RAM への置き換え時にシステムの不揮発性書き込み性能を向上させるためにファームウェアで書き込み遅延を除去することが可能です。

4.3 ステータス レジスタ内の $\overline{\text{RDY}}$ /WIP ビット

SPI EEPROM はステータス レジスタ ビット 0 を、「レディ」($\overline{\text{RDY}}$) または「書き込み中」(WIP) として定義します。EEPROM のページ書き込みが進行中の時、ステータス レジスタ ビット 0 は「1」にセットされ、EEPROM が ビジー状態にあることを示します。ホスト コントローラは新しい書き込みまたは読み出しアクセスを開始する前に、EEPROM のステータスを確認するためにステータス レジスタの $\overline{\text{RDY}}$ /WIP ビットをポーリングします。

5 まとめ

SPI EEPROM からサイプレスの SPI F-RAM への置換えはシステムの性能、信頼性およびエネルギー効率を向上させます。サイプレスの SPI F-RAM の業界標準のピンとパッケージ コンフィギュレーション, SPI 命令セット (オペコード), および電氣的互換性により、置換えは簡単になります。本アプリケーション ノートでは 2 つのデバイスの違いがハイライトされています。ほとんどのアプリケーションでは、置換えの際にこれらの違いを考慮する必要がありますが、これらの違いは置換えのゲートとなりません。

6 関連文書:

6.1 アプリケーション ノート

- [AN304 - SPI Guide for F-RAM™](#)
- [AN87352 - F-RAM™ for Smart E-Meters](#)

著者について

氏名: Shivendra Singh

役職: アプリケーション エンジニア主任

改訂履歴

文書名: AN96614 – SPI EEPROM からサイプレスの SPI F-RAM™ への置換え

文書番号: 001-98305

版	ECN	変更者	発行日	変更内容
**	4843797	HZEN	07/20/2015	これは英語版 001-96614 Rev. **を翻訳した日本語版 001-98305 Rev. **です。
*A	6281010	SSAS	08/14/2018	これは英語版 001-96614 Rev. *Aを翻訳した日本語版 001-98305 Rev. *Aです。

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック&バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmuc
タッチ センシング	cypress.com/touch
USB コントローラ	cypress.com/usb
ワイヤレス/RF	cypress.com/wireless

PSoC®ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカル サポート

cypress.com/support



Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709

© Cypress Semiconductor Corporation, 2015-2018. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社（以下、「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア又はファームウェア（以下、「本ソフトウェア」という。）を含む）は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき、Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、また、本段落で特に記載されているものを除き、Cypress の特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾していない。本ソフトウェアにライセンス契約書が伴っておらず、かつ、あなたが Cypress との間で別途本ソフトウェアの使用法を定める書面による合意をしていない場合、Cypress は、あなたに対して、（1）本ソフトウェアの著作権に基づき、（a）ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに（b）Cypress のハードウェア製品ユニットに用いるためにのみ、（直接又は再販売者及び販売代理店を介して間接のいずれかで）エンドユーザーに対して、バイナリーコード形式で本ソフトウェアを外部に配布すること、並びに（2）本ソフトウェア（Cypress により提供され、修正がなされていないもの）に抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス（サブライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェアに関しても、明示又は黙示をとわず、いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラーと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は、参照目的のためだけに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計されたシステム、重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用（以下「本目的外使用」という。）のために設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部をとわず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本来目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任（人身傷害又は死亡に基づく請求を含む）から免責補償される。

Cypress、Cypress のロゴ、Spansion、Spansion のロゴ及びこれらの組み合わせ、WICED、PSoC、CapSense、EZ-USB、F-RAM、及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress の商標のより完全なリストは、cypress.com を参照のこと。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。