

AN96592

将 Everspin 的 4 Mbit SPI MRAM (MR2xH40) 替换为赛普拉斯的 4 Mbit SPI F-RAM (CY15B104Q)

作者: Shivendra Singh

相关项目: 无

相关器件系列: CY15B104Q

软件版本: 无

相关应用笔记: AN304、AN87352

要想获得本应用笔记的最新版本, 请访问 www.cypress.com/go/AN96592。

AN96592 介绍的是将 Everspin 的 4 Mbit SPI MRAM (MR2xH40) 替换为赛普拉斯高可靠节能的 4 Mbit SPI F-RAM (CY15B104Q) 时需要考虑的各种优势和差别。

1 简介

赛普拉斯的 SPI F-RAM 是一款采用了先进铁电过程的串行、非易失性存储器。它是世界上最节能的高性能、高可靠的非易失性 RAM 解决方案。F-RAM 能够解决其他串行非易失性存储器 (如: 串行 EEPROM、闪存和 MRAM) 存在的复杂性、开销和系统级可靠性等问题。与串行 EEPROM 和闪存存储器不同, F-RAM 可以以总线速度执行写操作, 并且不会引起任何写延迟 (NoDelay™)。数据可以被直接写入到 F-RAM 阵列内, 并且在进行下一个写入访问操作前可以马上开启一个新的总线周期, 而不需要通过轮询数据来验证器件是否准备就绪。

赛普拉斯的 F-RAM 产品提供了高达 10^{14} 次的写入次数。与典型的串行非易失性存储器 (如: EEPROM 和闪存) 相比, 该数量被提高了好几个数量级。另外, 与串行 EEPROM、闪存或 MRAM 相比, F-RAM 的耗能更低。此外, 在磁场环境下存储在 F-RAM 阵列中的数据不受任何影响。因此该存储器成为在磁场环境下大多数工业应用中用于存储重要数据的非易失性存储器最佳选择。最普遍的替代解决方案 (SPI MRAM) 使用磁性存储元件 (铁磁性的板) 存储数据, 这种方法很容易受到磁场的影响, 从而破坏数据。

本应用笔记着重说明了 4 Mbit SPI MRAM (MR2xH40) 和 4 Mbit SPI F-RAM (CY15B104Q) 之间的差别。将 MR2xH40 替换为 CY15B104Q 时需要注意这些差别。

欲了解更多 SPI F-RAM 设计的信息, 请参考应用笔记 [AN304 — F-RAM™ 的 SPI 指南](#)。

欲了解 F-RAM 与串行非易失性存储器 (EEPROM) 相比的优势, 请参考应用笔记 [AN87352 — 用于智能电子仪表的 F-RAM™](#)。

2 将 4 Mbit SPI MRAM 替换为 4 Mbit SPI F-RAM

以下各部分重点介绍了 4 Mbit SPI MRAM 和 4 Mbit SPI F-RAM 之间的主要差别, 并探讨了将 SPI MRAM 替换为 SPI F-RAM 时遇到的兼容性情况。

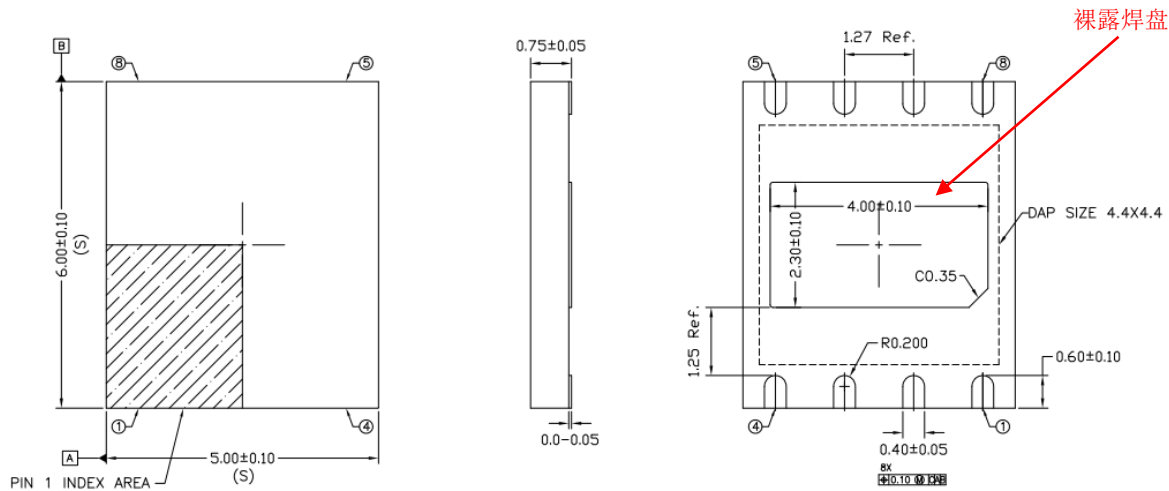
2.1 引脚和封装兼容性

赛普拉斯的 4 Mbit SPI F-RAM 器件适用于两个工业标准封装 (8 引脚 SOIC 和 8 引脚 DFN)。这些标准灵活的封装选项使赛普拉斯的 SPI F-RAM 能够替换所有现有的 MRAM 封装, 并不会影响系统性能。此外, 赛普拉斯的 F-RAM 解决方案还提供了附加优势 (如: 节省能量、磁耐性), 从而能够提高系统的可靠性。[表 1](#) 讨论了它们之间的主要差别和兼容性。

表 1. 引脚和封装比较

特性/功能	SPI MRAM (MR2xH40)	SPI F-RAM (CY15B104Q)	注释
8 引脚 DFN 裸露焊盘	请勿在该焊盘上连接任何部件 (V _{SS} 除外)	无连接	F-RAM 8 引脚 DFN 封装上的裸露焊盘是无连接 (NC) 焊盘, 因此, 它们将处于悬空状态或者连接到 V _{SS} / V _{DD} 。 赛普拉斯不建议在 PCB 上焊接 F-RAM DFN 裸露焊盘。
8 引脚封装	8 引脚 DFN, 8 引脚 DFN (较小的标志)	8 引脚 DFN, 8 引脚 SOIC	显示在图 2 和图 3 内 MRAM 的两个 8 引脚 DFN 封装均与显示在图 1 内的 F-RAM 8 引脚 DFN 封装相兼容。 SPI F-RAM 还支持 8 引脚 SOIC 封装。

图 1. 4 Mbit SPI F-RAM 8 引脚 DFN (5 mm × 6 mm × 0.75 mm) 封装外形



由于 SPI F-RAM 裸露焊盘未连接裸片 (die), 因此它处于悬空状态。从 SPI MRAM 替换为 SPI F-RAM 时, 请确保不要将 SPI F-RAM DFN 封装的裸露焊盘焊接在 PCB 上。否则会使 SPI F-RAM 的裸片 (die) 暴露在过高的温度中, 从而导致位故障和容限损失。

图 2 和图 3 分别显示了 Everspin 的 4 Mbit SPI MRAM 的 8 引脚 DFN 和 8 引脚 DFN (小标志) 的封装外形。可以将 8 引脚 DFN 封装的 4 Mbit SPI F-RAM 直接焊接在这两个封装的引脚上。

图 2. 4 Mbit SPI MRAM 8 引脚 DFN 封装外形

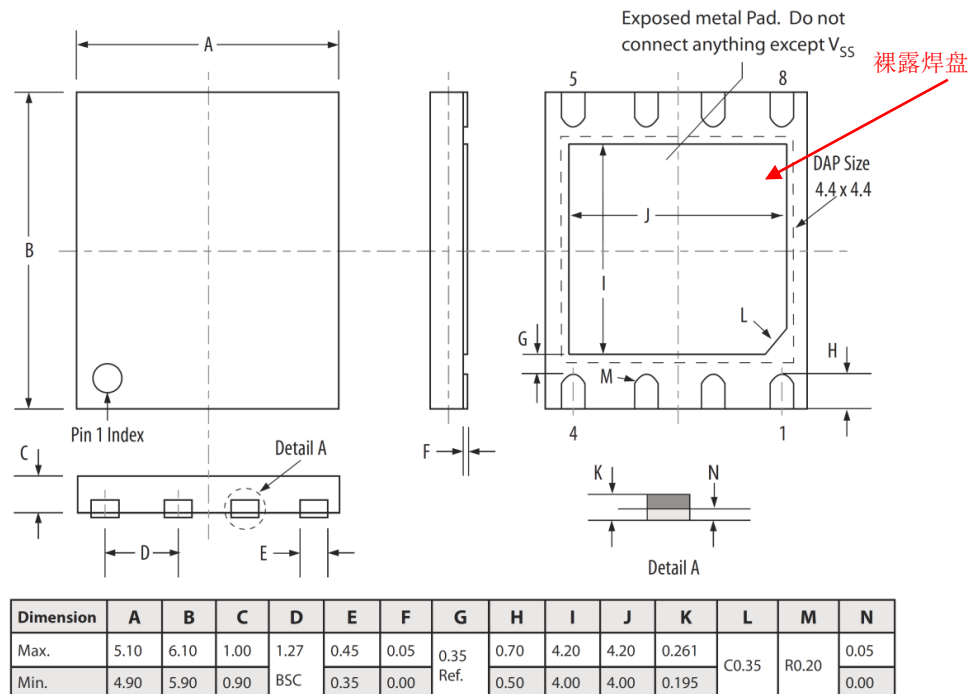
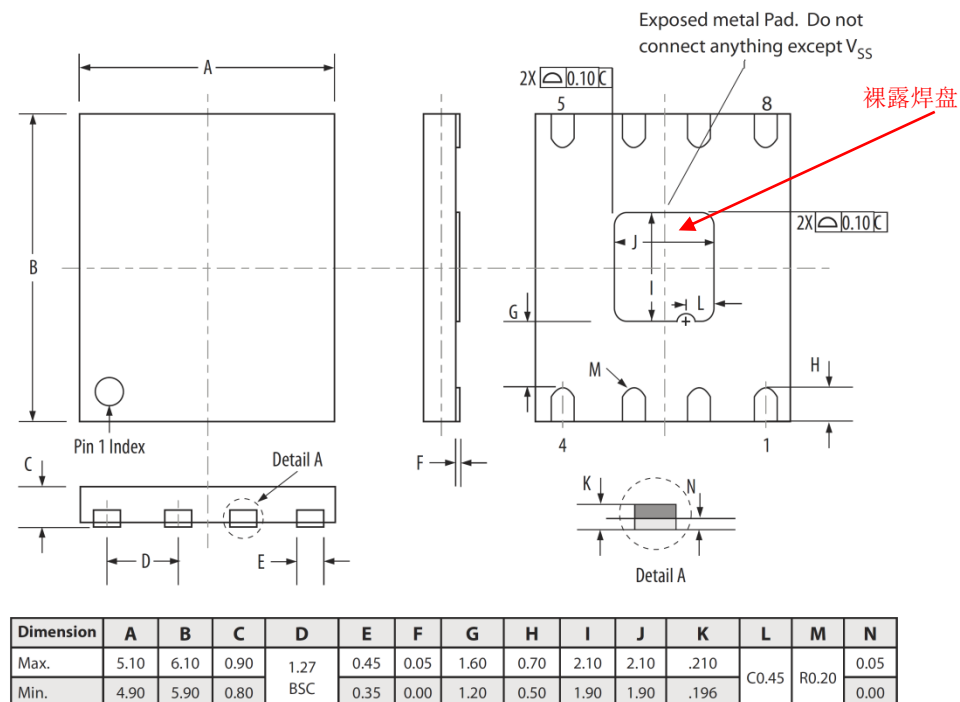


图 3. 4 Mbit SPI MRAM 8 引脚 DFN (小标志) 封装外形



注意： 4 Mbit SPI F-RAM DFN 封装比 4 Mbit SPI MRAM DFN 封装薄 0.2 mm。对于组件厚度受限的系统，这是 SPI F-RAM 的一大优点。

2.2 指令（操作码）兼容性

表 2 显示了 4 Mbit SPI MRAM 和 SPI F-RAM 访问指令（操作码）以及它们的兼容性

表 2. 操作码比较

指令操作码 (十六进制)	指令 说明	SPI MRAM (MR2xH40)	SPI F-RAM (CY15B104Q)	注意
WREN (06h)	设置写使能锁存	√	√	其功能完全相同。
WRDI (04h)	复位写使能锁存	√	√	
RDSR (05h)	读取状态寄存器	√	√	
WRSR (01h)	写入状态寄存器	√	√	
READ (03h)	读取存储器数据	√	√	
FSTRD (0Bh)	快速读取存储器数据	X	√	4 Mbit SPI MRAM 不支持该指令。
WRITE (02h)	写入存储器数据	√	√	其功能完全相同。
SLEEP (B9h)	进入睡眠模式	√	√	4 Mbit SPI MRAM 需要经过 t_{DP} (3 μ s) 时间才能进入睡眠模式。
WAKE (ABh)	退出睡眠模式	√	X	4 Mbit SPI F-RAM 不支持该指令。由于 SPI F-RAM 在 \overline{CS} 从高电平切换为低电平时被唤醒（而忽略从它的输入端上发出的后续唤醒指令），因此从 MRAM 移植到 F-RAM 时不需要更新软件。
RDID (9Fh)	读取器件 ID	X	√	4 Mbit SPI MRAM 不支持该特性。

2.3 状态寄存器兼容性

只有 4 Mbit SPI MRAM 和 SPI F-RAM 的功能完全相同时，才能访问状态寄存器。但是在两个器件间，状态寄存器所读取的返回值中某些位的位置可能不一样。例如：SPI MRAM 状态寄存器中的“Don't Care”（无需关注）位都是可写位，它们的返回值可以是‘0’，也可以是‘1’；但是 SPI F-RAM 状态寄存器中的“Don't Care”位都是只读位，并且返回值只能是‘0’。表 3 显示了两种器件的状态寄存器位定义以及它们的兼容性。

表 3. 状态寄存器比较

状态寄存器	SPI MRAM (MR2xH40)	SPI F-RAM (CY15B104Q)	注意
位 0	无需关注	无需关注 (0)	在 SPI F-RAM 中，该位是不可写的，并且读取时始终返回‘0’。在 SPI MRAM 中可以修改该位。
位 1	WEL	WEL	其特性完全相同。
位 2	BP0	BP0	其特性完全相同。
位 3	BP1	BP1	其特性完全相同。
位 4	无需关注	无需关注 (0)	这些位在 SPI F-RAM 中都是只读位，读取时始终返回‘0’。在 SPI MRAM 中可以修改这些位。
位 5	无需关注	无需关注 (0)	
位 6	无需关注	无需关注 (1)	该位在 SPI F-RAM 中是只读位，读取时始终返回‘1’。在 SPI MRAM 中可以修改该位。
位 7	SRWD	WPEN	其特性完全相同。

2.4 器件规范的兼容性

本节的表 4 中列出了两种器件间的规范区别。从 4 Mbit SPI MRAM 移植到 4 Mbit SPI F-RAM 时，需要考虑这些区别，以便通过调整系统参数使信号更完整、更节能并且使操作更可靠。然而，将 SPI MRAM 代替为 SPI F-RAM 前，有些数据是用于担保系统级分析的。它们包括：输出负载、启动时间和电源变化（供电和断电）。

表 4. 器件规范比较

参数	说明	SPI MRAM (MR2xH40)	SPI F-RAM (CY15B104Q)	注意
直流参数				
V_{DD}	供电电压	3.0 V 到 3.6 V	2.0 V 到 3.6 V	SPI F-RAM 的工作电压范围较宽。
V_{IH}	输入高电压	2.2 V 到 $V_{DD} + 0.3 V$	$0.7 \times V_{DD}$ 到 $V_{DD} + 0.3 V$	$V_{DD} = 3.0 V$ 时，SPI F-RAM 的 V_{IH} （最小值）= 2.1 V，这是它所具有的一项优势。
V_{IL}	输入低电压	-0.5 V 到 0.8 V	-0.3 V 到 $0.3 \times V_{DD}$	$V_{DD} = 3.0 V$ 时，SPI F-RAM 的 V_{IL} （最大值）= 0.9 V，这是它所具有的一个优势。对于 SPI F-RAM， V_{IL} （最小值）= -0.3 V 比较小。 系统需要确保 F-RAM 输入引脚上的信号摆幅不能低于 -0.3 V。
V_{OH}	输出高电压	2.4 V（最小值）， $I_{OH} = -4 mA$; $V_{DD} - 0.2 V$ （最小值）， $I_{OH} = -100 \mu A$	2.4 V（最小值）， $I_{OH} = -1 mA$; $V_{DD} - 0.2 V$ （最小值）， $I_{OH} = -100 \mu A$	从 4 Mbit SPI MRAM 移植到 4 Mbit SPI F-RAM 时，不需要更改系统中任何典型配置。但是，重新加载的系统总线必须确保 V_{OH} 保持在输入的逻辑电平范围内。
V_{OL}	输出低电压	0.4 V（最大值）， $I_{OL} = +4 mA$; 0.2 V（最大值）， $I_{OL} = +100 \mu A$	0.4 V（最大值）， $I_{OL} = +2 mA$; 0.2 V（最大值）， $I_{OL} = +150 \mu A$	从 4 Mbit SPI MRAM 移植到 4 Mbit SPI F-RAM 时，不需要更改系统中任何典型配置。但是，重新加载的系统总线必须确保 V_{OL} 值保持在输入的逻辑电平范围内。
I_{DDR}	读取时有效电流	17 mA, 40 MHz	3 mA, 40 MHz	与 SPI MRAM 相比，SPI F-RAM 进行读操作时消耗的电流低 82%。
I_{DDW}	写入时有效电流	42 mA, 40 MHz	3 mA, 40 MHz	与 SPI MRAM 相比，SPI F-RAM 进行写入时消耗的电流低 93%。
I_{SB}	待机电流	180 μA	250 μA	在待机模式下，SPI F-RAM 消耗的电流更大（39%）。
I_{ZZ}	睡眠模式下的电流	40 μA	8 μA	在睡眠模式下，SPI F-RAM 消耗的电流更低（80%）。
H_{max_write}	写入过程中的最大磁场	12000 A/m	不适用	SPI F-RAM 对磁场一点也不敏感，因此 F-RAM 的数据在任意强度的磁场中都不会被破坏。
H_{max_read}	读取或待机过程中的最大磁场	12000 A/m	不适用	
I_{OUT}	每个引脚上的直流输出电流	$\pm 20 mA$	$\pm 15 mA$	这是器件的最大绝对额定值。在工作范围中，该参数不会影响器件执行的任何操作。

参数	说明	SPI MRAM (MR2xH40)	SPI F-RAM (CY15B104Q)	注意
时序参数				
t_{DP}	进入睡眠模式的时间	3 μ s	不适用	键入 SLEEP (睡眠) 指令后, 当 \overline{CS} 从低电平切换为高电平时, SPI F-RAM 将立即进入睡眠模式。
t_{PU}	启动时间 (从 V_{DD} 最小到第一次访问)	400 μ s	1000 μ s	通常需要大于 1000 μ s 的时间来启动主机控制器。各系统需要检查 SPI F-RAM 中较长 t_{PU} 时间的影响, 从而正确调整它们的时序参数。
t_{REC} (t_{RDP})	从睡眠模式唤醒的时间	$t_{RDP} = 400 \mu$ s	$t_{REC} = 450 \mu$ s	各系统需要检查 SPI F-RAM 中较长唤醒时间的影响, 从而正确调整它们的时序参数。
t_{OD}	输出禁用时间	$t_{DIS} = 12$ ns (最小值)	$t_{OD} = 12$ ns (最大值)	<p>SPI F-RAM 将该时序参数定义为最大规格, 但 SPI MRAM 将它定义为最小规格。</p> <p>该最大规格能保证器件在 12 ns 时间内释放输出。该最小规格则确保了只有超过 12 ns 后器件才会释放输出。</p> <p>为某个系统提供该最大规格便能更好地确定可以访问总线的时间。</p>
电源参数				
V_{WI}	写入禁止的电压	2.2 V	不适用	V_{DD} 下降低于 V_{DD} 最小值时, 将立即禁止访问 SPI F-RAM。
t_{VR}	V_{DD} 上电升降斜率	未指定	50 μ s/V	系统必须确保 V_{DD} 的电升降斜率符合该数据手册中定义的规格。
t_{VF}	V_{DD} 断电升降斜率	未指定	100 μ s/V	系统必须确保 V_{DD} 断电升降斜率符合该数据手册中定义的规格。
t_{PD}	从最后一次访问 (\overline{CS} 为高电平) 到断电 (V_{DD} 最小) 的时间	未指定	0 μ s	未给 SPI MRAM 定义该参数。访问完最后一位后, SPI F-RAM 的电源会立即关闭。

注意 2: 该表未列出的所有其他 AC/DC 参数均为等效的。

图 4. 4 Mbit SPI F-RAM 电源周期时序图

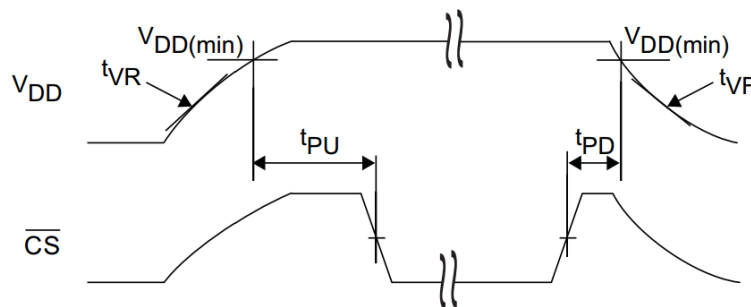
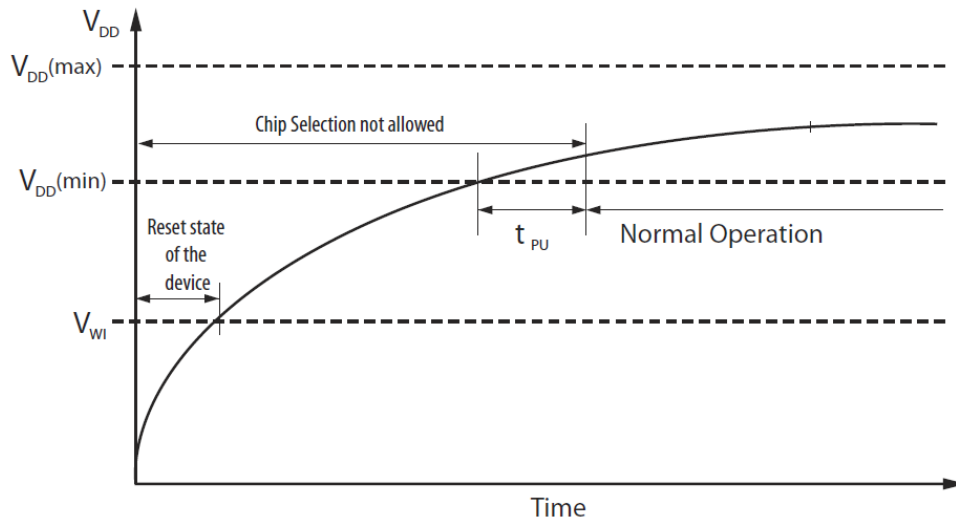


图 5.4 Mbit SPI MRAM 电源周期时序图



3 总结

将 Everspin 的 4 Mbit SPI MRAM (MR2xH40) 替换为赛普拉斯的 4 Mbit SPI F-RAM (CY15B104Q) 能够使系统的可靠性更好, 同时也可以节省能量。赛普拉斯的 4 Mbit SPI F-RAM 的标准引脚、封装配置、SPI 指令集 (操作码) 以及电气兼容性等特性都更加简单。两个器件间差别都在本应用笔记中突出显示。需要考虑这些差异, 但在大部分应用中通常不用过于关注这些差异。

4 相关文档

4.1 应用笔记

- AN304 — F-RAM™的 SPI 指南
- AN87352 — F-RAM™在智能电子式电表中的应用

关于作者

姓名: Shivendra Singh

职务：首席应用工程师

文档修订记录

文档标题: AN96592 – 将 Everspin 的 4 Mbit SPI MRAM (MR2xH40) 替换为赛普拉斯的 4 Mbit SPI F-RAM (CY15B104Q)

文档编号: 001-98303

版本	ECN	变更者	提交日期	变更说明
**	4840312	RZZH	07/16/2015	本文档版本号为 Rev**, 译自英文版 001-96592 Rev**。

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。如果想要查找离您最近的办事处，请访问 [赛普拉斯所在地](#)。

产品

汽车级产品	cypress.com/go/automotive
时钟与缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应	cypress.com/go/touch
USB 控制器	cypress.com/go/usb
无线/射频	cypress.com/go/wireless

PSoC®解决方案

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

技术支持

cypress.com/go/support

PSoC 是赛普拉斯半导体公司的注册商标，且 PSoC Creator 是赛普拉斯半导体公司的商标。此处引用的所有其他商标或注册商标归其各自所有者所有。



赛普拉斯半导体公司
198 Champion Court
San Jose, CA 95134-1709
电话 : 408-943-2600
传真 : 408-943-4730
网址 : www.cypress.com

©赛普拉斯半导体公司，2015。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不会根据专利权或其他权利以明示或暗示方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

该源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受限于赛普拉斯软件许可协议。