

AN96589

サイプレスの 1Mb Quad SPI nvSRAM による設計

著者: Suhail Zain

関連プロジェクト: なし

関連製品ファミリー: CY14V101xS

ソフトウェア バージョン: なし

関連アプリケーション ノート: AN43593

AN96589 は Quad SPI (QSPI) を紹介し、サイプレスの 1Mb QSPI nvSRAM を使用して設計する方法について説明します。QSPI は標準 SPI プロトコルの拡張版であり、それよりデータ スループットを 4 倍改善しながら、標準シリアル SPI のコンパクトなフォームファクターを維持しています。QSPI デバイスを用いたシステム設計はより小さい基板面積を消費し、その結果システムコストが低くなります。

目次

QSPI の概要	2
QSPI 命令プロトコル	4
コマンド シーケンス例	5
プリント基板のレイアウト ガイド	17
電源デカップリング	17
クロックのルーティング	17
データ信号のルーティング	17
まとめ	17
ワールドワイドな販売と設計サポート	19

はじめに

サイプレスの 1Mb QSPI nvSRAM は真のランダム メモリ アクセス（書き込みと読み出し）を提供する高性能の不揮発性 SRAM 製品です。これは Quad SPI を備えたモノリシック集積回路であり、多機能のコマンド セットによりシングル（1 ビット/クロック サイクルで 1 I/O チャンネル）、デュアル（2 ビット/クロック サイクルで 2 I/O チャンネル）、またはクワッド（4 ビット/クロック サイクルで 4 I/O チャンネル）コンフィギュレーションでメモリの読み書きが可能です。

QSPI nvSRAM アーキテクチャはサイプレス独自の SRAM にシリコン-酸化物-窒化物-酸化物半導体 (SONOS) の不揮発性要素を統合しています。これは、高速 SRAM と不揮発性メモリの性能特性を組み合わせています。QSPI nvSRAM 内のクワッド シリアル インターフェースは現在の業界標準のクワッド シリアル ペリフェラル インターフェースに適合しています。命令セットは標準的な Quad SPI オペコード、nvSRAM 固有の機能および新しい性能最適化特性を提供しています。QSPI nvSRAM 信号は SCK（シリアル クロック）、SI、SO（コマンド／応答およびデータ入力／出力用）および制御信号 CS#、HOLD#、WP#です。このハードウェア インターフェースにより、パッケージ サイズや占めるプリント基板面積が小さくなり、全体的なシステム コストが削減された低ピン数のデバイスを製造します。

本アプリケーション ノートは QSPI を紹介し、1Mb QSPI nvSRAM をシステム設計に使用する方法を説明します。

QSPI の概要

QSPI は、マイクロコントローラ (マスター) を 1 つ以上の外部メモリ (スレーブ) とインターフェースさせるための通信プロトコルです。これは一般的なシリアル ペリフェラル インターフェース (SPI) に基づいています。SPI では、マスターとスレーブ間には 4 つの接続があります: データ入力、データ出力、クロック (立ち上がりエッジのみを使用)、およびチップ選択 (SPI マスターが使用しているスレーブを示す)。QSPI では、マスターとスレーブ間には 6 つの接続があります: 4 本の双方向シリアル データ リンク、クロック (立ち上がりエッジのみ、または立ち上がりと立ち下がり両方のエッジを使用)、およびチップ選択。追加のデータ リンクにより、QSPI は SPI に比べてデータスループットが約 4 倍高いです。高いクロック速度により、QSPI プロトコルは 25~35 の接続を備えたレガシー パラレル メモリ インターフェースに相当するデータ転送速度を生成できます。IC 間接続を 5 倍減らすには、4 本のシリアル チャネルを介して送信されるアドレスとデータを含む命令が必要です。

図 1 は、SPI と QSPI それぞれのコンフィギュレーションでのホスト (マスター-SPI/QSPI) と 1Mb QSPI nvSRAM の接続を示します。

図 1. SPI/QSPI 接続の概要

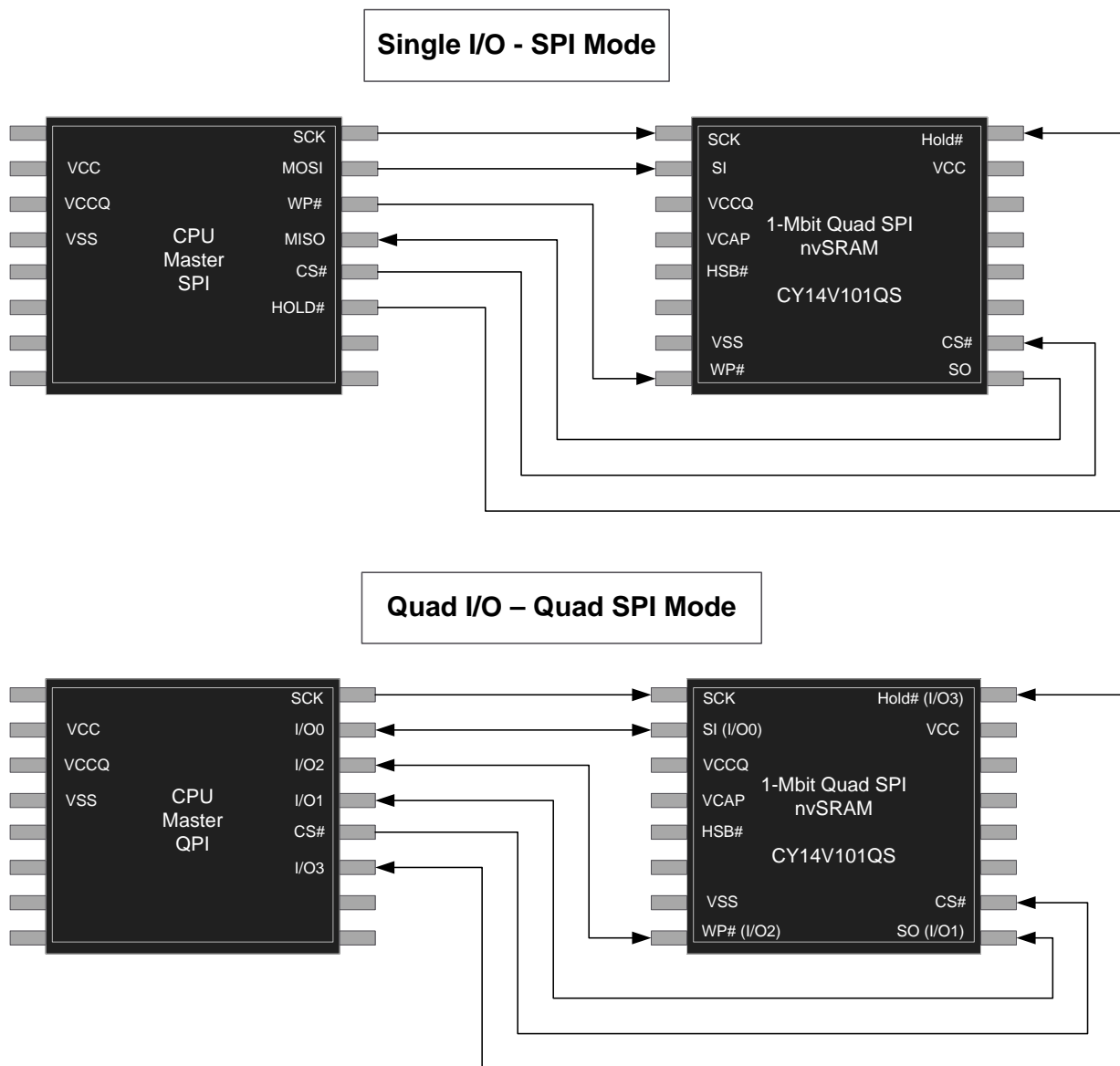


図 1 に示すように、QSPI nvSRAM はピン機能を切り替えて単方向と双方向両方のデータバスをサポートすることで、複数の I/O 機能に対応しています。SPI モードでは、コマンド、アドレスおよびデータはシリアルであり、SI と SO 単方向チャンネルを通信に使用します。QSPI モードでは、コマンド、アドレスおよびデータはシリアルですが、x4 I/O 通信に対応するために SI (I/O0)、SO (I/O1)、WP# (I/O2) および Hold# (I/O3) 双方向チャンネルを使用します。QSPI モードでは、WP# と HOLD# ピンがそれぞれ I/O2 と I/O3 として個別に機能するため、ハードウェア書き込み保護および通信保持機能がありません。QSPI nvSRAM は、SI (I/O0) と SO (I/O1) がコマンド、アドレスおよびデータ通信用に双方向モードで使用されるデュアル SPI (2 本のデータチャンネル) モードにも対応しています。但し、デュアル SPI モードでは、ハードウェア書き込み保護および通信保持機能が維持されます。

表 1 は、1Mb QSPI nvSRAM がサポートする各命令の w-x-y-z 表記を示します。ここでは、「w」はコマンド用のチャンネル数を、「x」はアドレス用のチャンネル数を、「y」はモード用のチャンネル数を、「z」はデータ用のチャンネル数を示します。

表 1. 命令セットの w-x-y-z 表記

命令の説明	命令名	オペコード	SPI	DPI	QPI	拡張 SPI
制御						
書き込みディスエーブル	WRDI	04h	[1,-,-]	[2,-,-]	[4,-,-]	
書き込みイネーブル	WREN	06h	[1,-,-]	[2,-,-]	[4,-,-]	
DPI イネーブル	DPIEN	3Dh	[1,-,-]		[4,-,-]	
QPI イネーブル	QPIEN	38h	[1,-,-]	[2,-,-]		
DPI/QPI モード ディスエーブル	DQPIDI	FFh		[2,-,-]	[4,-,-]	
メモリの読み出し						
読み出し	READ	03h	[1,1,-]	[2,2,-]	[4,4,-]	
高速読み出し	FAST_READ	0Bh	[1,1,1]	[2,2,2]	[4,4,4]	
デュアル出力 (高速) 読み出し	DOR	3Bh				[1,1,2]
クアッド出力 (高速) 読み出し	QOR	6Bh				[1,1,4]
デュアル入出力 (高速) 読み出し	DIOR	BBh				[1,2,2]
クアッド入出力 (高速) 読み出し	QIOR	EBh				[1,4,4]
メモリの書き込み						
書き込み	WRITE	02h	[1,1,-]	[2,2,-]	[4,4,-]	
デュアル入力書き込み	DIW	A2h				[1,1,-2]
クアッド入力書き込み	QIW	32h				[1,1,-4]
デュアル入出力書き込み	DIOW	11h				[1,2,-2]
クアッド入出力書き込み	QIOW	12h				[1,4,-4]
SR のコマンド						
ソフトウェアリセット	RESET	F0h	[1,-,-]	[2,-,-]	[4,-,-]	
RTC 読み出し	RDRTC	13h	[1,1,-]	[2,2,-]	[4,4,-]	
RTC 書き込み	WRRTC	2Dh	[1,1,-]	[2,2,-]	[4,4,-]	
RTC 高速読み出し	FAST_RDRTC	1Dh	[1,1,-]	[2,2,-]	[4,4,-]	
ハイバネートモード移行	HIBEN	BAh	[1,-,-]	[2,-,-]	[4,-,-]	
スリープモード移行	SLEEP	B9h	[1,-,-]	[2,-,-]	[4,-,-]	
スリープモード終了	EXSLP	ABh	[1,-,-]	[2,-,-]	[4,-,-]	

命令の説明	命令名	オペコード	SPI	DPI	QPI	拡張 SPI
レジスタのコマンド						
ステータス レジスタ読み出し	RDSR	05h	[1,-,-,1]	[2,-,-,2]	[4,-,-,4]	
ステータス レジスタ書き込み	WRSR	01h	[1,-,-,1]	[2,-,-,2]	[4,-,-,4]	
コンフィギュレーション レジスタ読み出し	RDCR	35h	[1,-,-,1]	[2,-,-,2]	[4,-,-,4]	
コンフィギュレーション レジスタ書き込み	WRCR	6Fh	[1,-,-,1]	[2,-,-,2]	[4,-,-,4]	
フォルト レジスタ読み出し	RDGR	6D	[1,1,-,1]	[2,2,-,2]	[4,4,-,4]	
ID レジスタ読み出し	RDID	9Fh	[1,-,-,1]	[2,-,-,2]	[4,-,-,4]	
ID レジスタ高速読み出し	FAST_RDID	4Bh	[1,-,1,1]	[2,-,2,2]	[4,-,2,4]	
シリアル番号レジスタ書き込み	WRSN	C2h	[1,-,-,1]	[2,-,-,2]	[4,-,-,4]	
シリアル番号レジスタ読み出し	RDSN	C3h	[1,-,-,1]	[2,-,-,2]	[4,-,-,4]	
シリアル番号レジスタ高速読み出し	FAST_RDSN	C9h	[1,-,1,1]	[2,-,2,2]	[4,-,4,4]	
NV 固有のコマンド						
STORE	STORE	3Ch	[1,-,-,-]	[2,-,-,-]	[4,-,-,-]	
RECALL	RECALL	60h	[1,-,-,-]	[2,-,-,-]	[4,-,-,-]	
AutoStore イネーブル	ASEN	59h	[1,-,-,-]	[2,-,-,-]	[4,-,-,-]	
AutoStore ディスエーブル	ASDI	19H	[1,-,-,-]	[2,-,-,-]	[4,-,-,-]	
モード ビット						
モード ビット (セット、リセット)		Exh, Fxh				

QSPI 命令プロトコル

ホストと 1Mb QSPI nvSRAM の通信は全て命令の形式です。各命令は、実行する情報転送のタイプを選択するコマンドで始まります。命令はまた、アドレス、コマンド修飾子 (モード ビット)、レイテンシー (ダミー サイクル)、およびメモリかレジスタへ／からのデータ転送を含むことがあります。すべての命令はホストと 1Mb QSPI nvSRAM の間でシリアル実行されます。

命令の特性は以下の通りです。

- 各命令は CS#が LOW になることで開始され、CS#が HIGH になることで終了されます。
- SCK (シリアル クロック) は各ビットまたは各ビット グループの転送を示します。
- 各命令は 8 ビット コマンドで始まります。コマンドは、実行されるデバイス動作のタイプを選択します。
- コマンドは単独である、またはその後にアドレス ビットが続きます。アドレス ビットは、メモリ アドレス空間またはレジスタ マップ内の位置を選択するためです。アドレスは、メモリ アドレスなら 24 ビットであり、レジスタ アドレスなら 8 ビットです。
- アドレス ビットの後にレイテンシー (ダミー サイクル) を必要とする読み出し命令があります。SCK はトグルし続け、データ ビットはレイテンシー サイクルの終わりに駆動されます。
- アドレスの後に「モード ビット」と呼ばれるコマンド修飾子を送信するコマンドがあります。モード ビットは、次の命令が特定のコマンドと同じタイプであるかを示します。そのため、次の命令はコマンド バイトを提供せず、新しいアドレスとモード ビットを提供します。これは一般的に「execute in place」(XIP) と呼ばれています。
- 書き込みまたは読み出しデータはアドレスまたはモード ビットの後に続きます。
- 命令の後、CS#は HIGH にならなければなりません。データを返す命令では、CS#は 8 番目のビットの後に HIGH になります。書き込み命令では、CS#は転送された最後のデータ バイトの後に HIGH になります。そうしないと、コマンドは拒否されます。

- バースト データ モードを実行される読み出し／書き込み命令中に、CS#が LOW になっている間に SCK はトグルし続けます。このモードでは、データがデバイス内外に連続してシフトイン／アウトされている間、アドレスはデバイス内で自動的にインクリメントされます。
- コマンド、アドレスおよびモード ビットはすべて MSB ファーストでデバイスにシフトインされます。データ ビットもデバイス内外に MSB ファーストでシフトイン／アウトされます。
- STORE/RECALL 処理中にデバイスにアクセスしようとしても無視されます。
- 命令によって実行時間が異なります。ステータス レジスタ読み出し命令はデバイスがビジーであるか、命令の実行が完了されたかを判定するために使用できます。

コマンドシーケンス例

以下の節は異なる命令のシーケンスを示します。各コマンドのタイミング詳細はサイプレス 1Mb QSPI nvSRAM データシートで指定されています。

READ 命令 – メモリ アレイへのアクセス

図 2 に SPI モードでのメモリ読み出し命令のシーケンスを示します。このシーケンスでは、最初の読み出しデータ バイトの後に CS#が HIGH にされず、SCK が連続してトグルされていれば、バースト データ モードが実行されます。命令を終了するには、CS#を HIGH にする必要があります。

図 2. READ の機能的なフロー図 – SPI モード

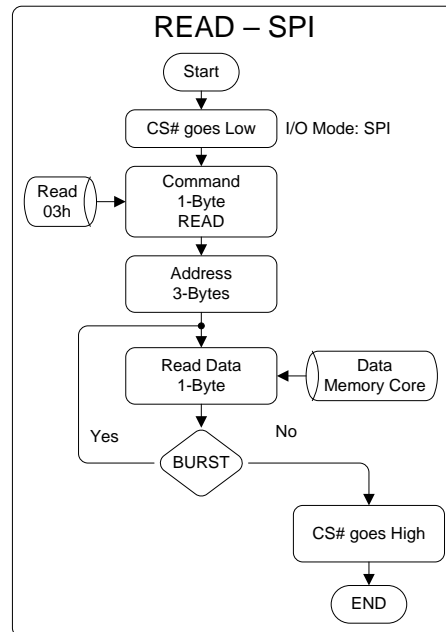


図 3 にデュアル SPI モードでのメモリ読み出し命令のシーケンスを示します。デバイスが SPI モードで起動してからデュアル SPI モードを有効にし、命令シーケンス後に SPI モードに戻されることを前提としています。このシーケンスでは、アドレス ビットの後に 1 サイクルのレイテンシーが必要です。最初の読み出しデータ バイトの後に CS#が HIGH にされず、SCK が連続してトグルされていれば、バースト データ モードが実行されます。命令を終了するには、CS#を HIGH にする必要があります。

図 3. READ の機能的なフロー図 – デュアル SPI モード

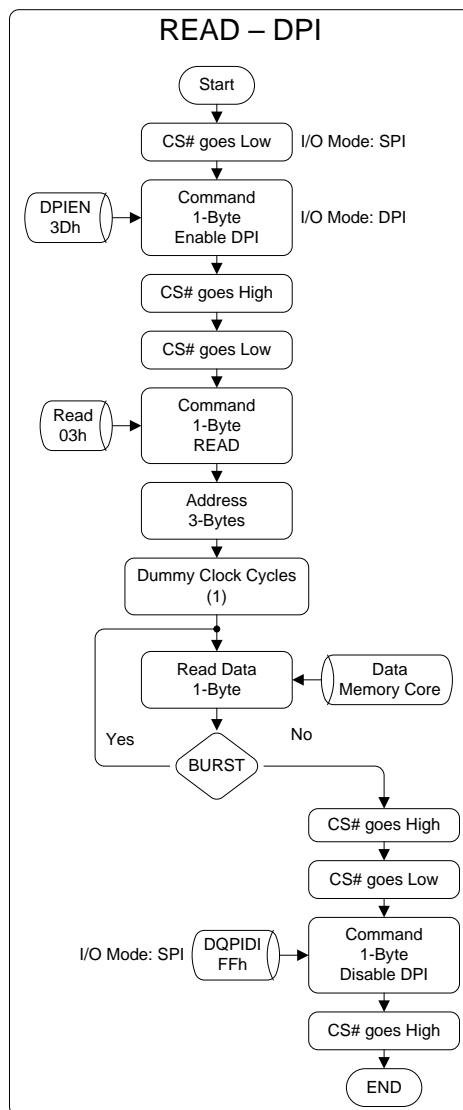
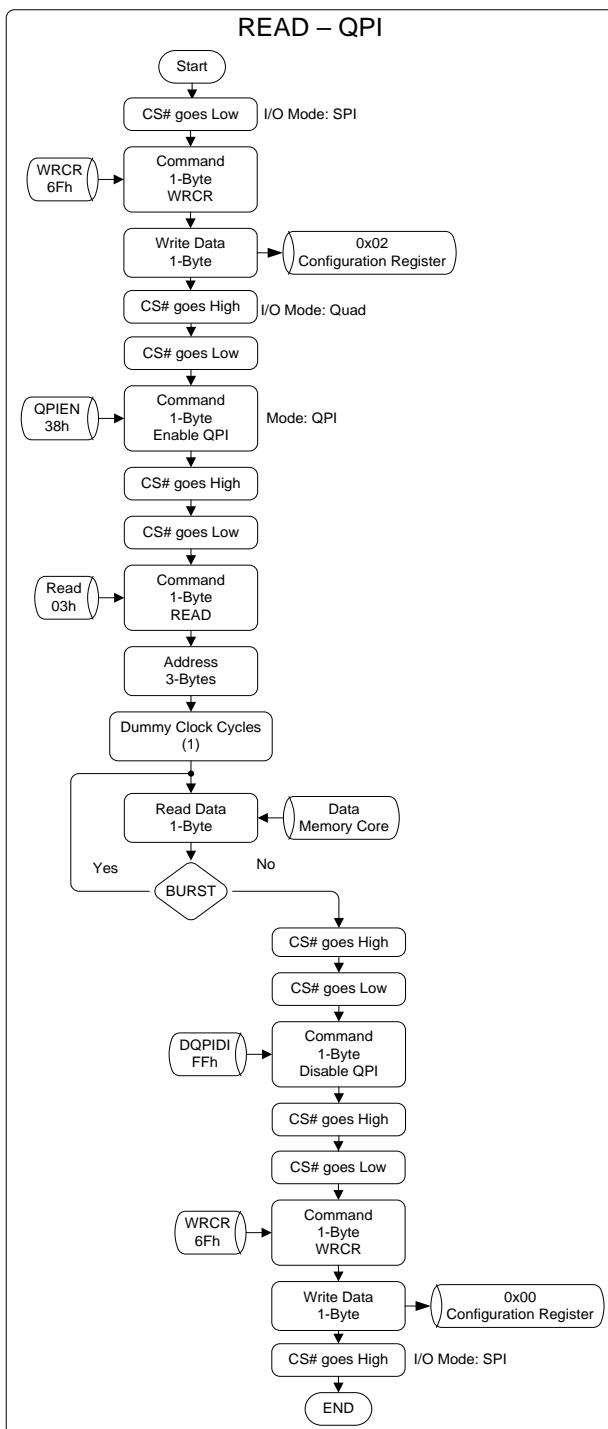


図 4 に QSPI モードでのメモリ読み出し命令のシーケンスを示します。デバイスが SPI モードで起動してから QSPI モードを有効にし、命令シーケンス後に SPI モードに戻されることを前提としています。このモードでも、アドレス ビットの後には 1 サイクルのレイテンシーが必要です。最初の読み出しデータ バイトの後に CS# が HIGH にされず、SCK が連続してトグルされていれば、バースト データ モードが実行されます。命令を終了するには、CS# を HIGH にする必要があります。

図 4. READ の機能的なフロー図 – QSPI モード



FAST_READ 命令 – メモリ アレイへのアクセス

図 5 に SPI モードでのメモリ高速読み出し命令のシーケンスを示します。高速読み出し命令は最大 108MHz で実行できます。このシーケンスには、アドレス ビットの後に XIP が実行されているかを判定するためのモード バイト オプションが示されます。最初の読み出しデータ バイトの後に CS#が HIGH にされず、SCK が連続してトグルされていれば、バースト データ モードが実行されます。命令を終了するには、CS#を HIGH にする必要があります。

図 5. FAST_READ の機能的なフロー図 – SPI モード

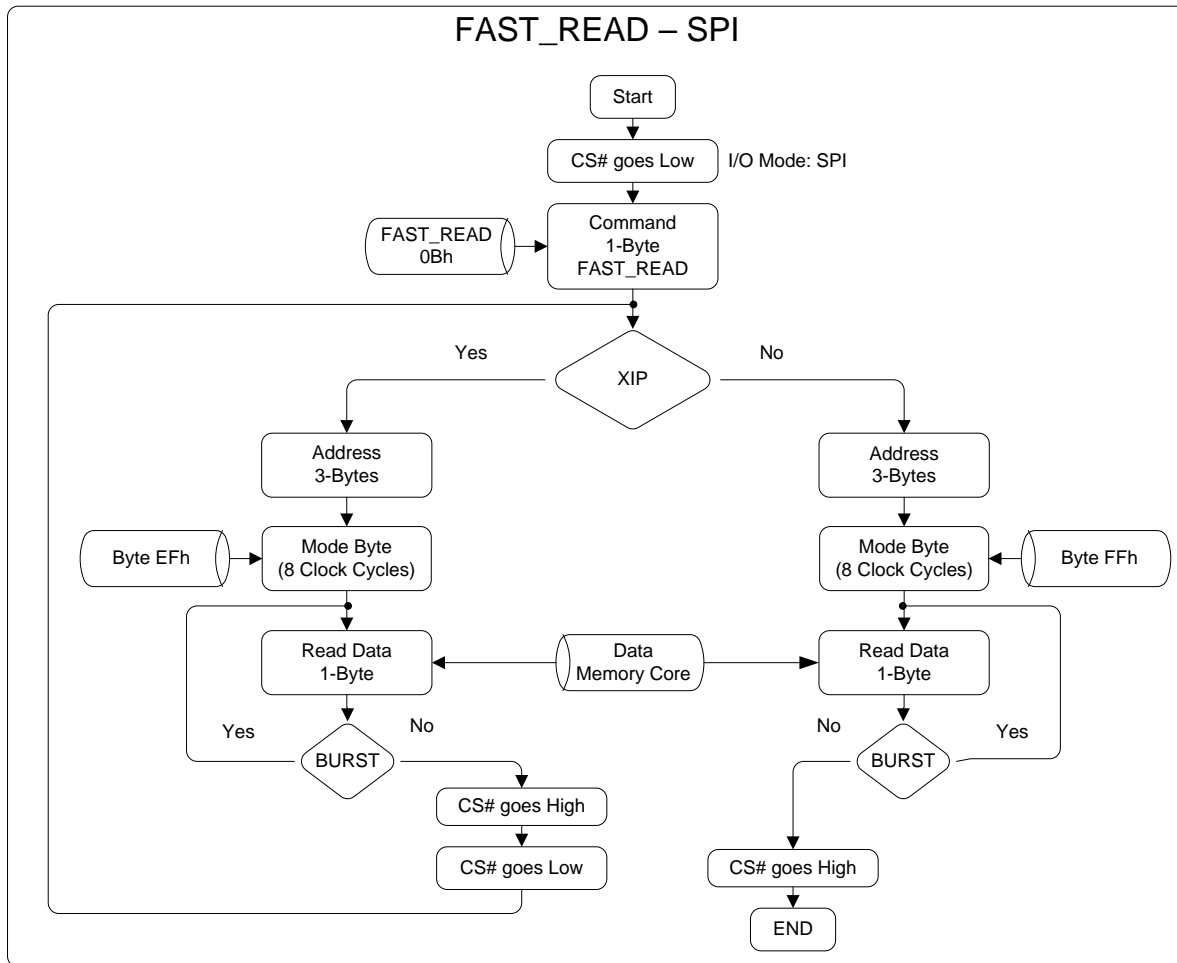


図 6 にデュアル SPI モードでのメモリ高速読み出し命令のシーケンスを示します。デバイスが SPI モードで起動してからデュアル SPI モードを有効にし、命令シーケンス後に SPI モードに戻されることを前提としています。このシーケンスにも、アドレス ビットの後に XIP が実行されているかを判定するためのモード バイト オプションが示されます。最初の読み出しデータ バイトの後に CS#が HIGH にされず、SCK が連続してトグルされていれば、バースト データ モードが実行されます。命令を終了するには、CS#を HIGH にする必要があります。

図 6. FAST_READ の機能的なフロー図 – デュアル SPI モード

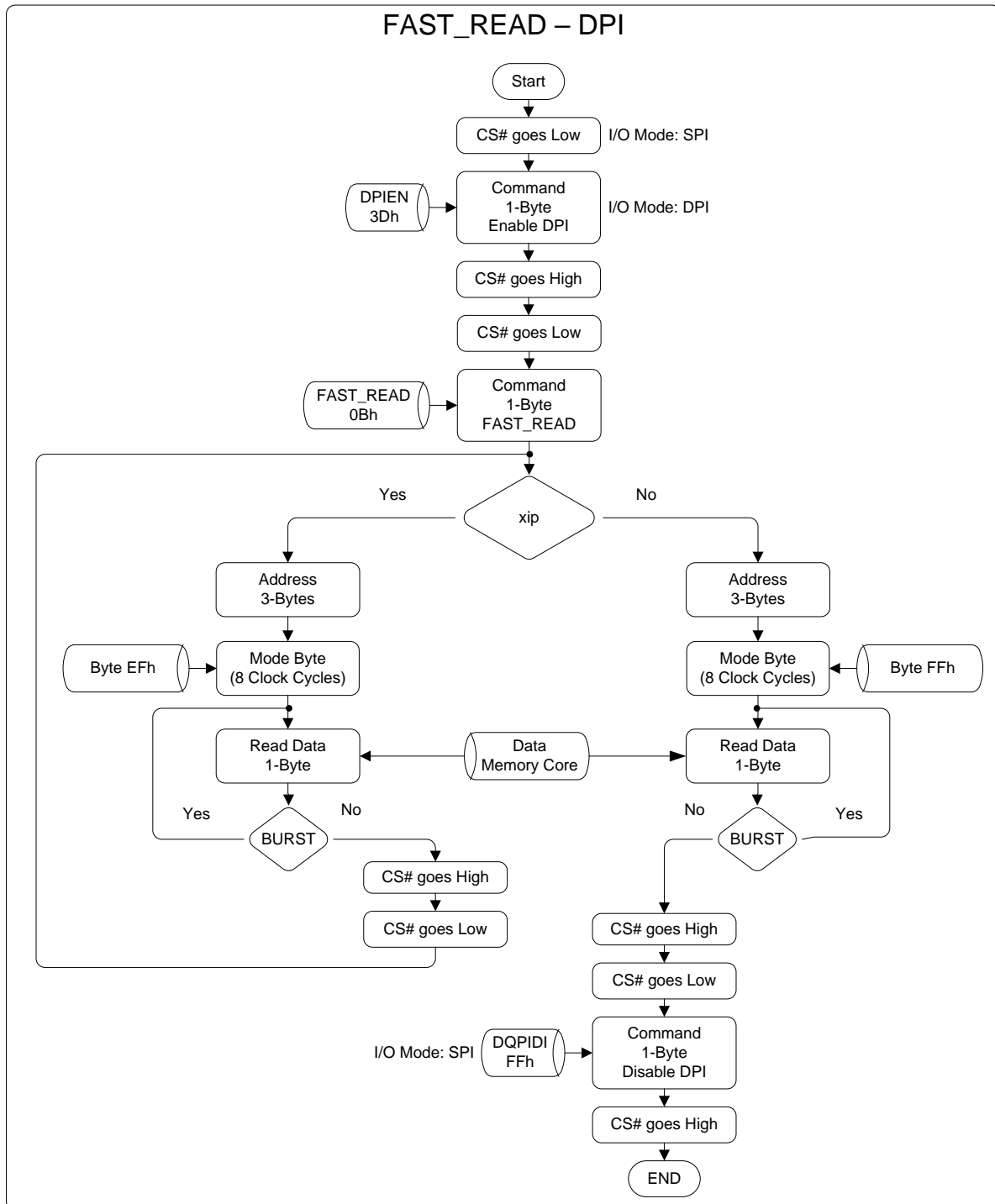
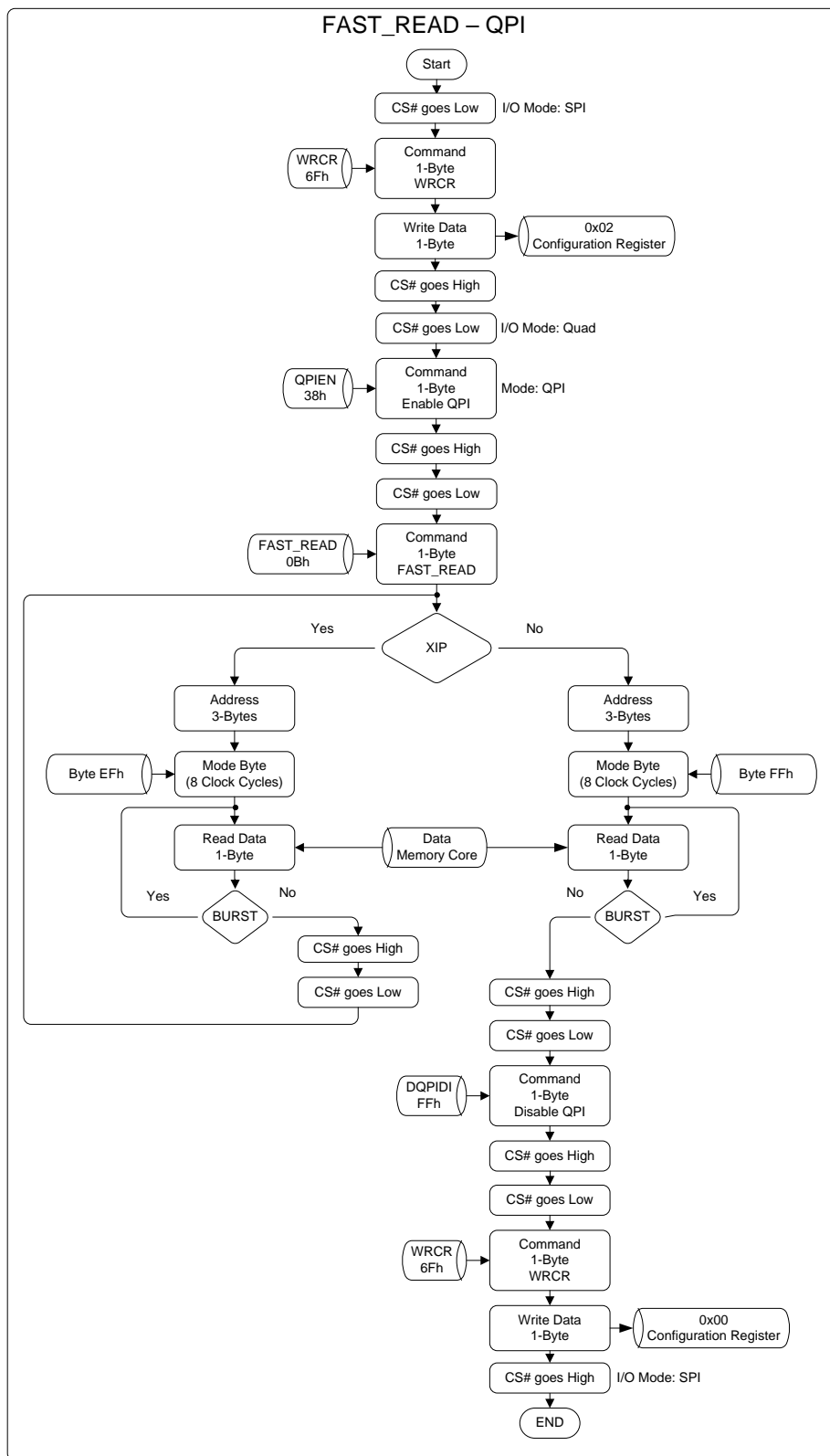


図 7 に QSPI モードでのメモリ高速読み出し命令のシーケンスを示します。デバイスが SPI モードで起動してから QSPI モードを有効にし、命令シーケンス後に SPI モードに戻されることを前提としています。このシーケンスにも、アドレス ビットの後に XIP が実行されているかを判定するためのモード バイト オプションが示されます。最初の読み出しデータ バイトの後に CS#が HIGH にされず、SCK が連続してトグルされていれば、バースト データ モードが実行されます。命令を終了するには、CS#を HIGH にする必要があります。

図 7. FAST_READ の機能的なフロー図 – QSPI モード



WRITE 命令 – メモリ アレイへのアクセス

図 8 に SPI モードでのメモリ書き込み命令のシーケンスを示します。まず、書き込みイネーブル ラッチ (WEL) はメモリへの WRITE 処理が実行される前にセットされなければなりません。次に、最初の書き込みデータ バイトの後に CS# が HIGH にされず、SCK が連続してトグルされていれば、バースト データ モードが実行されます。最後に、メモリへの書き込みコマンドが WEL をリセットしないため、WEL を無効にする必要があります。命令を終了するには、CS# を HIGH にする必要があります。

図 8. WRITE の機能的なフロー図 – SPI モード

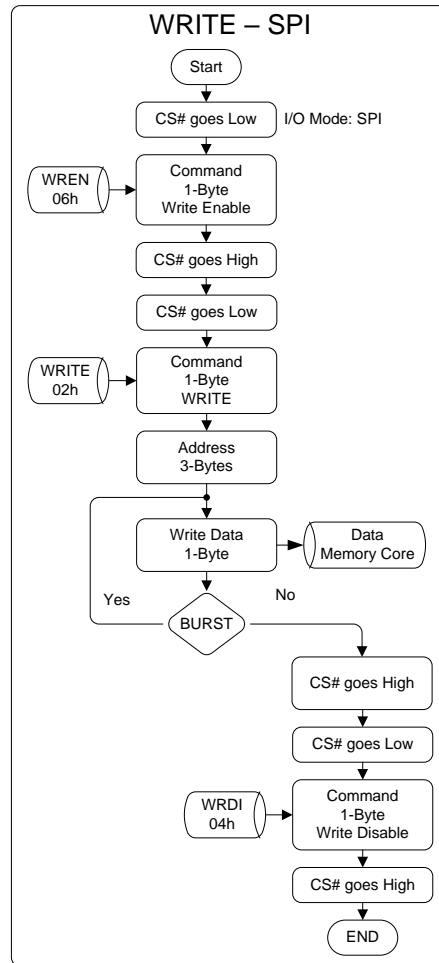


図 9 にデュアル SPI モードでのメモリ書き込み命令のシーケンスを示します。デバイスが SPI モードで起動してからデュアル SPI モードを有効にし、命令シーケンス後に SPI モードに戻されることを前提としています。まず、書き込みイネーブル ラッチ (WEL) はメモリへの WRITE 処理が実行される前にセットされなければなりません。次に、最初の書き込みデータ バイトの後に CS# が HIGH にされず、SCK が連続してトグルされていれば、バースト データ モードが実行されます。最後に、メモリへの書き込みコマンドが WEL をリセットしないため、WEL を無効にする必要があります。命令を終了するには、CS# を HIGH にする必要があります。

図 9. WRITE の機能的なフロー図 – デュアル SPI モード

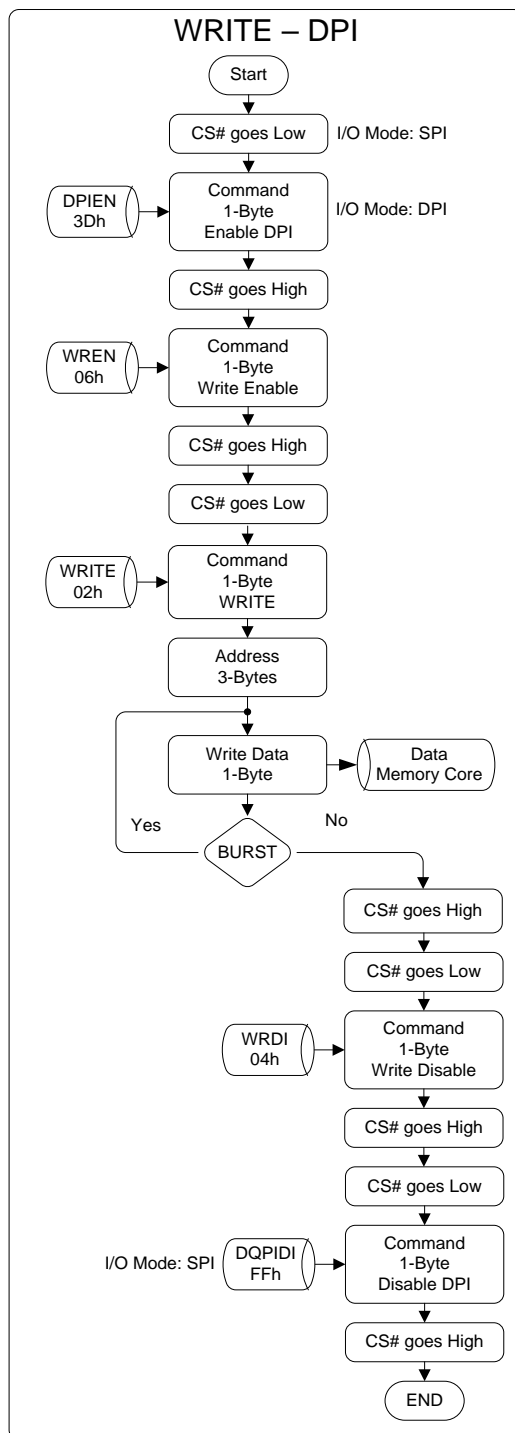
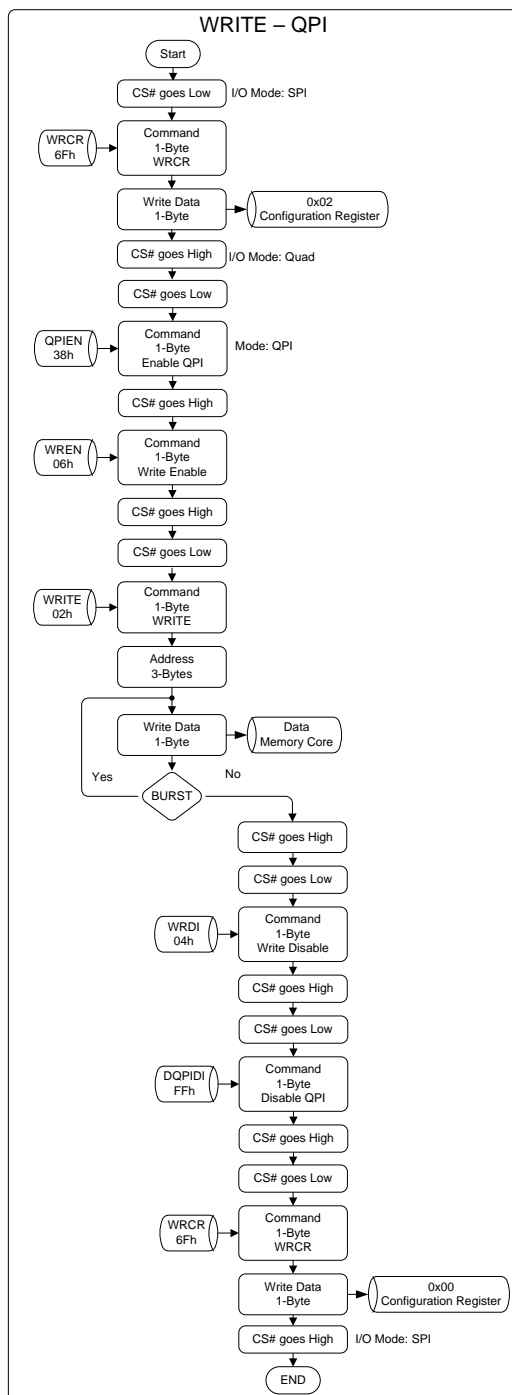


図 10 に QSPI モードでのメモリ書き込み命令のシーケンスを示します。デバイスが SPI モードで起動してから QSPI モードを有効にし、命令シーケンス後に SPI モードに戻されることを前提としています。まず、書き込みイネーブル ラッチ (WEL) はメモリへの WRITE 処理が実行される前にセットされなければなりません。次に、最初の書き込みデータ バイトの後に CS# が HIGH にされず、SCK が連続してトグルされていれば、バースト データ モードが実行されます。最後に、不注意による書き込みを防ぐためにメモリへの書き込みコマンドが WEL をリセットしないため、WEL を無効にする必要があります。命令を終了するには、CS# を HIGH にする必要があります。

図 10. WRITE の機能的なフロー図 – QSPI モード



HIBEN 命令 – 省電力ハイバネート モード

図 11 に SPI モードでのハイバネート命令のシーケンスを示します。ハイバネート モードは最消費電力モードで、デバイス リーク電流が I_{ZZ} (10 μ A) です。最後の STORE 処理の前に書き込み命令が実行された場合、ハイバネート命令は、データを SRAM 要素から不揮発性 SONOS メモリ要素に転送する STORE 処理を開始します。HIBEN 処理は t_{HIBEN} (8ms) を要し、完了状態を判定するためにステータス レジスタの WIP (Work In Progress; 処理中) ビットをポーリングすることができます。命令を終了するには、CS#を HIGH にする必要があります。

図 11. HIBEN の機能的なフロー図 – SPI モード

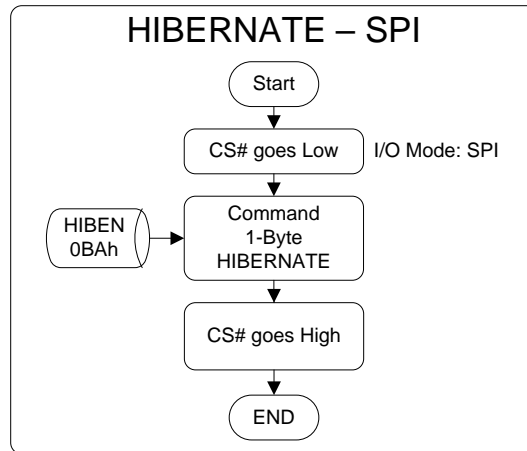
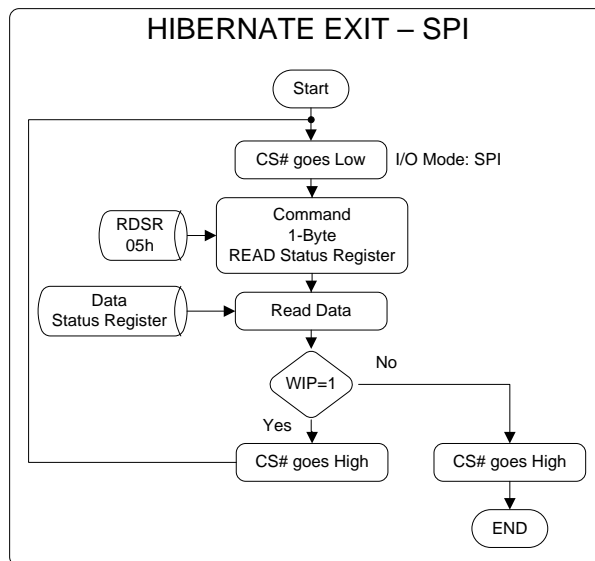


図 12 に SPI モードでのハイバネート終了命令のシーケンスを示します。ハイバネート モードからの終了は、CS#を LOW にすることで始まります。このためには、データが不揮発性 SONOS メモリ要素から SRAM 要素に転送する RECALL 処理が必要です。HIBERNATE EXIT 処理は t_{WAKE} (20ms) を要し、完了状態を判定するためにステータス レジスタの WIP ビットをポーリングすることができます。命令を終了するには、CS#を HIGH にする必要があります。

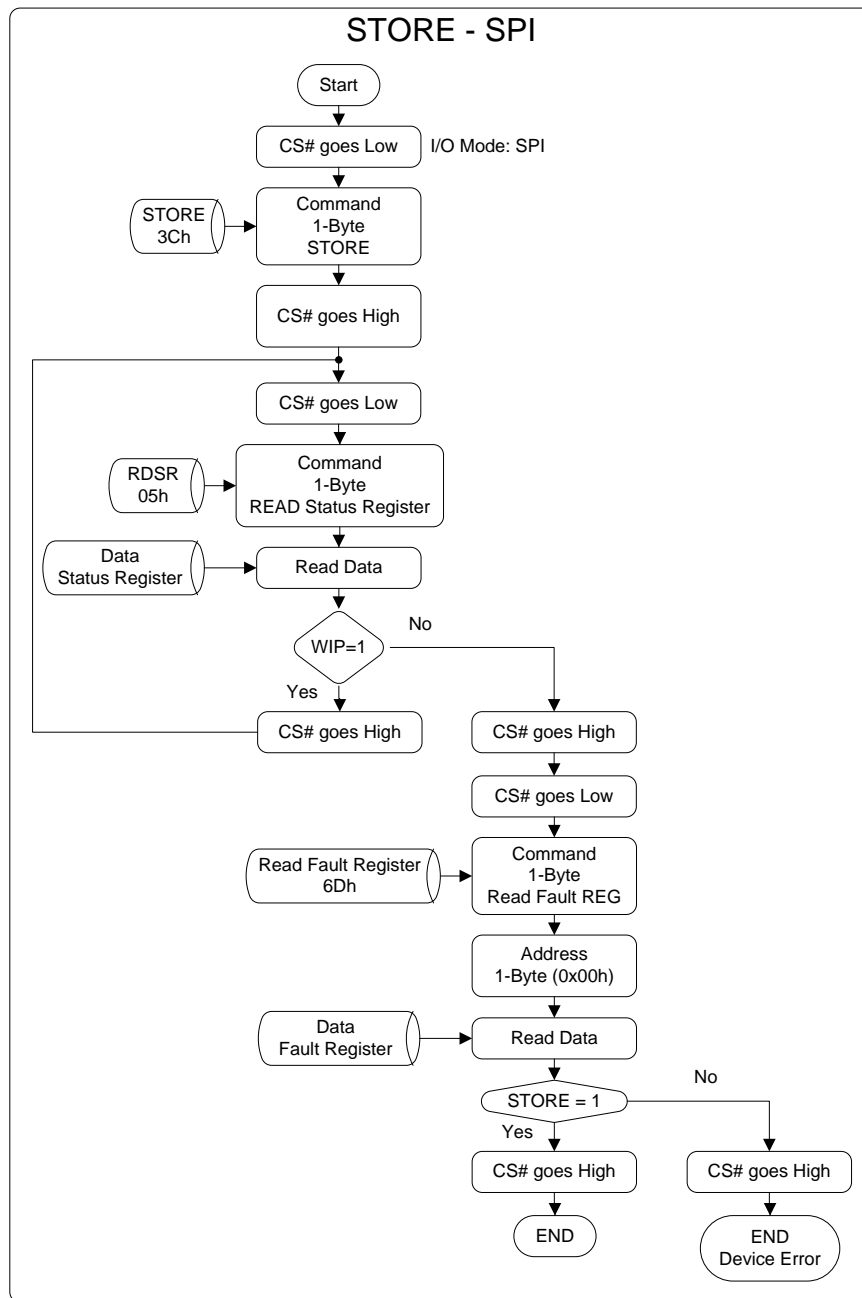
図 12. HIBERNATE EXIT の機能的なフロー図 – SPI モード



STORE 命令 – 不揮発性格納処理

図 13 に SPI モードでの STORE 命令のシーケンスを示します。QSPI nvSRAM では、STORE 動作はデータを SRAM 要素から SONOS 不揮発性要素に転送します。STORE 処理の完了状態を確認するためにステータス レジスタの WIP ビットをポーリングすることができます。QSPI nvSRAM は FAULT レジスタも提供しています。WIP が LOW になると、このレジスタの STORE ビットをチェックすることで成功した完了を確認することができます。命令を終了するには、CS#を HIGH にする必要があります。

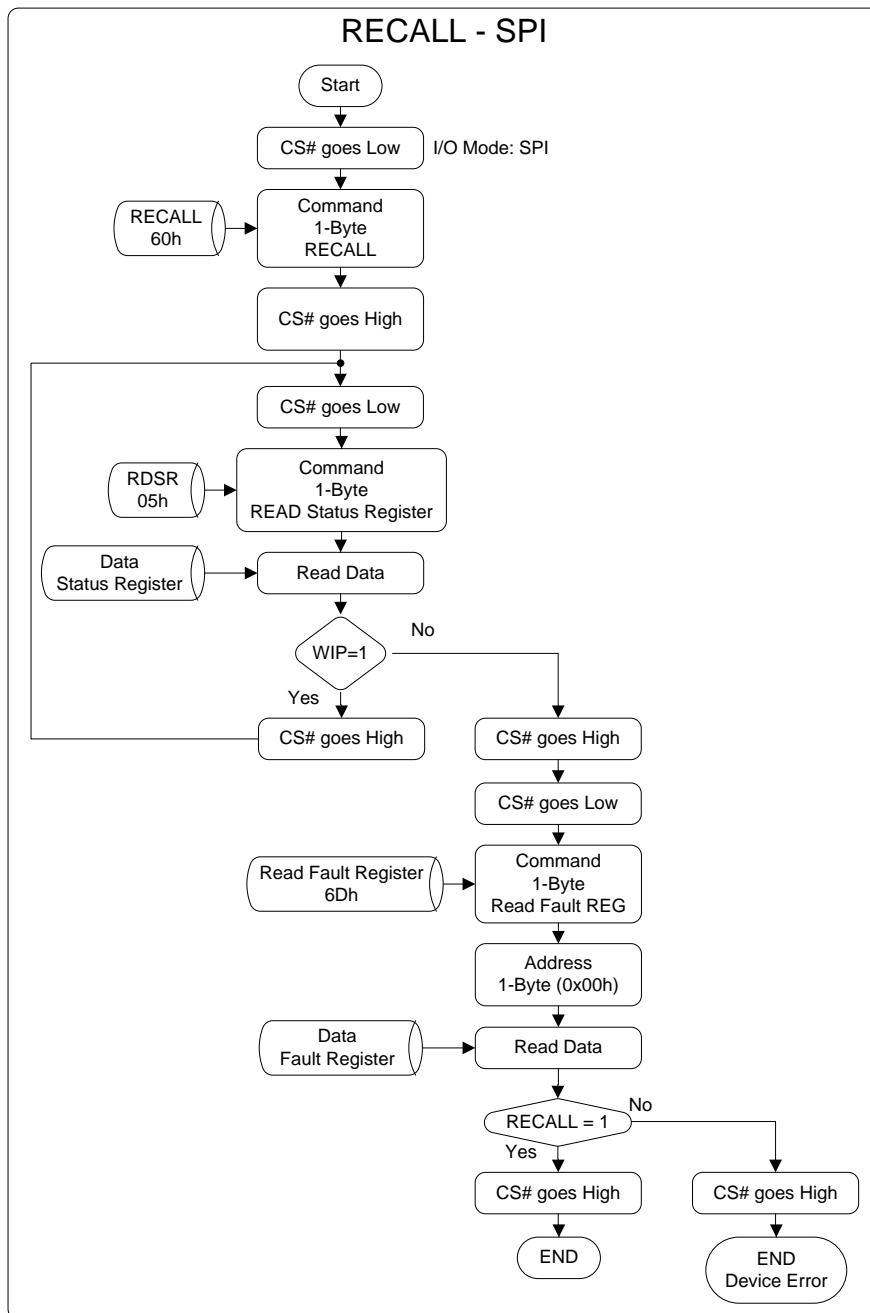
図 13. STORE の機能的なフロー図 – SPI モード



RECALL 命令 – 不揮発性復元処理

図 14 に SPI モードでの RECALL 命令のシーケンスを示します。Quad SPI nvSRAM では、RECALL 動作はデータを SONOS 不揮発性要素から SRAM 要素に転送します。RECALL 処理の完了状態を確認するためにステータス レジスタの WIP ビットをポーリングすることができます。QSPI nvSRAM は FAULT レジスタも提供しています。WIP が LOW になると、このレジスタの RECALL ビットをチェックすることで成功した完了を確認することができます。命令を終了するには、CS# を HIGH にする必要があります。

図 14. RECALL の機能的なフロー図 – SPI モード



プリント基板のレイアウト ガイド

本節は一般的なレイアウトの推奨事項を提供します。

電源デカップリング

サイプレス 1Mb QSPI nvSRAM は 2 本の電源入力ピン (VCC と VCCQ) と 1 本のグランド ピン (VSS) を備えています。通常 0603 や 0402 パッケージでは、各電源入力ピンを分離するために 0.1 μ F セラミック コンデンサの使用が推奨されています。デカップリング コンデンサは可能な限り電源入力ピンの近くに配置してください。デカップリング コンデンサの配線はインダクタンスを最小限にするように最適化する必要があります。パッケージ パッドからビアへの電源配線長を可能な限り短くし、配線幅を約 0.6mm にします。2 個以上のデカップリング コンデンサ間で同じビアを共有しないようにしてください。

クロックのルーティング

信頼できる高速同期データ転送には、クロック信号は優れた信号完全性を持つ必要があります。以下はクロック信号のルーティングの推奨事項です。

- クロック信号を他のすべての信号配線から少なくとも配線幅の 3 倍である距離で離します。これにより、クロック信号はノイズを含みません。
- クロック信号の経路全体に可能な限り少ないビアを使用します。各ビアはインピーダンスを変化させ、信号反射を発生させることがあります。
- クロック配線を可能な限りまっすぐ走らせ、曲がりくねったルーティングを防ぎます。
- 次の層でリファレンス面として連続したグランドを維持します。
- 通常 50 Ω (許容誤差 $\pm 5\%$) の制御されたインピーダンスのクロック配線をルーティングします。

データ信号のルーティング

サイプレス 1Mb QSPI nvSRAM は 1 ビット、2 ビット、4 ビット データ バスのコンフィギュレーションに対応しています。2 ビットと 4 ビットの複数 I/O コンフィギュレーションでは、同等の伝播遅延を保証するには、I/O 配線を同じ配線長 (約 1mm 以内) を持つようにルーティングすることが重要です。すべてのコンフィギュレーションで信頼性の高いデータ転送のためには、クロック配線とデータ配線の伝播遅延が同じであることを保証してください。信号反射を最小限にするために、通常 50 Ω の制御されたインピーダンスのデータ信号をルーティングしてください。90°角を作らないようにデータ配線をしてください。90°角の配線を実装するために角を切って配線を平らにすることが推奨されています。信号完全性を最大限にするために、データ信号のルーティングに複数の信号層を使用せず、すべての信号配線が連続したリファレンス面を持つことを保証してください。

まとめ

AN96589 は QSPI の概要を説明しました。命令セットおよび命令プロトコルを紹介し、ホスト (マスター) とサイプレス 1Mb QSPI nvSRAM (スレーブ) デバイスとの通信の一連の例を提供しました。本書はまた、最適な性能を達成するためのプリント基板レイアウトの推奨事項を含んでいます。

改訂履歴

文書名: AN96589- サイプレスの 1Mb Quad SPI nvSRAM による設計

文書番号: 001-97224

版	ECN 番号	変更者	発行日	変更内容
**	4764313	HZEN	05/26/2015	これは英語版 001-96589 Rev. ** を翻訳した日本語版 001-97224 Rev. ** です。

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション](#) ページをご覧ください。

製品

車載	cyress.com/go/automotive
クロック & バッファ	cyress.com/go/clocks
インターフェース	cyress.com/go/interface
照明 & 電源管理	cyress.com/go/powerpsoc cyress.com/go/plc
メモリ	cyress.com/go/memory
PSoC	cyress.com/go/psoc
タッチ センシング	cyress.com/go/touch
USB コントローラー	cyress.com/go/usb
ワイヤレス/RF	cyress.com/go/wireless

PSoC®ソリューション

psoc.cypress.com/solutions

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカル サポート

cyress.com/go/support

PSoC はサイプレス セミコンダクタ社の登録商標です。本書で言及するその他すべての商標または登録商標は、それぞれの所有者に帰属します。



Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709
Phone : 408-943-2600
Fax : 408-943-4730
Website : www.cypress.com

© Cypress Semiconductor Corporation, 2015. 本文書に記載される情報は予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡すること、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの一部の重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

このソースコード (ソフトウェアおよび/またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンスに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンスの製品のみをサポートするカスタム ソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限って、サイプレスのソース コードの派生著作物をコピー、使用、変更そして作成するためのライセンス、ならびにサイプレスのソース コードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責事項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任にも負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの一部の重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。