

AN96589

使用赛普拉斯 1 Mb 四路 SPI nvSRAM 进行设计

作者: **Suhail Zain**

相关项目: 无

相关器件系列: **CY14V101xS**

软件版本: 无

相关应用笔记: **AN43593**

AN96589 介绍了四路 SPI (QSPI)，并展示了如何使用赛普拉斯 1 Mb QSPI nvSRAM 进行设计。QSPI 是标准的 SPI 协议的改善，它可以在保持该标准串行 SPI 的压缩尺寸封装的前提下提供高达四倍的数据吞吐量。使用 QSPI 器件的系统设计占用的电路板空间更小，并且降低了系统整体成本。

目录

QSPI 概述.....	2
QSPI 指令协议	4
指令顺序示例	5
PCB 布局指南.....	17
电源去耦	17
时钟路由	17
数据信号路由	17
总结	17
全球销售和设计支持	19

简介

赛普拉斯 1 Mb QSPI nvSRAM 是一款高性能的非易失性 SRAM 产品，提供了真正的随机存储器访问（读和写访问）。它是一个具有四路 SPI 的单片集成电路，能够通过功能强大的指令集并使用单路配置（每个时钟周期使用一个 I/O 通道传输一位）、双路配置（每个时钟周期使用 2 个 I/O 通道传输 2 位）或四路配置（每个时钟周期使用 4 个 I/O 通道传输 4 位）对存储器进行读写操作。

QSPI nvSRAM 架构将硅 - 氧化 - 氮化 - 氧化半导体 (SONOS) 非易失性单元集成到赛普拉斯的独特 SRAM 内。它结合了高速 SRAM 和非易失性存储器的性能特点。QSPI nvSRAM 中的四路串行接口符合通用工业标准的四路串行外设接口。该指令集包含标准的 QSPI 操作码、nvSRAM 特定的功能和以绩效为导向的新功能。QSPI nvSRAM 信号包含了串行时钟 (SCK)、SI 以及 SO（用于指令/响应和数据输入/输出），并包含控制信号 CS#、HOLD# 以及 WP#。该硬件接口创建了一个引脚数较少的器件，从而降低了封装体积、PCB 面积和系统总成本。

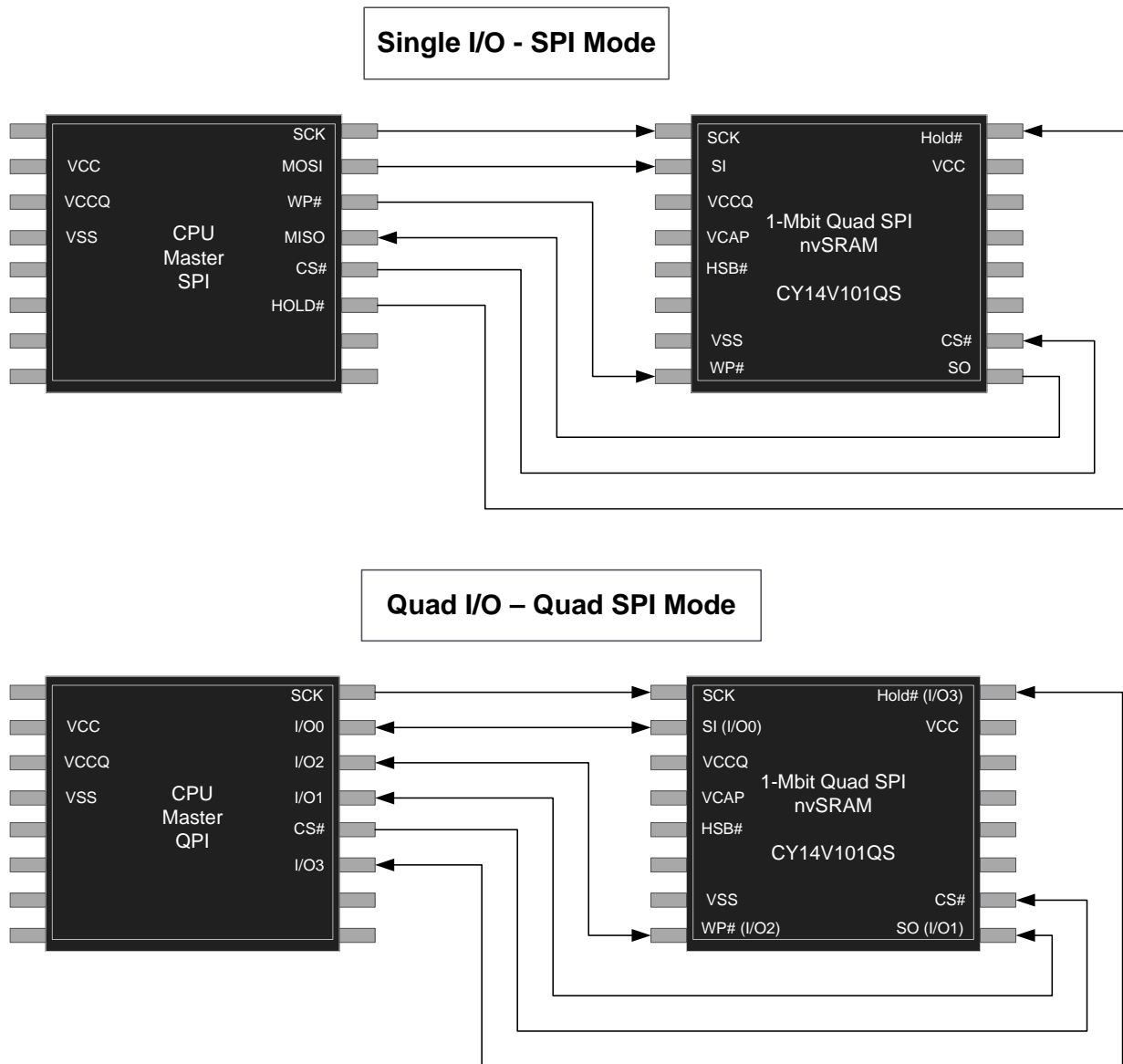
该应用笔记介绍了 QSPI，并展示了在系统设计过程中如何使用 1 Mb QSPI nvSRAM。

QSPI 概述

QSPI 是一个用于连接一个微控制器（主设备）和一个或更多的外部存储器（从设备）的通信协议。它基于流行的串行外设接口（SPI）。SPI 在主设备与从设备间存在四种连接：数据输入、数据输出、时钟（仅支持上升沿）和芯片选择（指出 SPI 主设备正在使用的从设备）。QSPI 在主设备与从设备间存在六个连接：四个双向串行数据链接、时钟（使用上升沿或上升沿和下降沿）和芯片选择。额外链接能够使 QSPI 具有四倍于 SPI 的数据吞吐量。通过高时钟速率，QSPI 协议可以生成高速的数据传输，该速度与传统并行存储器接口（具有 25 到 35 个连接）的传输速度相应。想要通过该性能将 IC-IC 连接数量减少 5 倍，需要使用通过四个串行通道传输的指令（包含地址和数据）。

图 1 显示的是主机（主设备 SPI/QSPI）与 1 Mb QSPI nvSRAM 分别在 SPI 和 QSPI 配置中的连接配置情况。

图 1. SPI/QSPI 连接概述



如图 1 所示，通过切换引脚功能，QSPI nvSRAM 可提供多项 I/O 功能，从而支持单向或双向数据总线。在 SPI 模式下，通过 SI 和 SO 的单向通道连续传输指令、地址和数据。在 QSPI 模式下，指令、地址和数据也被连续传输，但它们使用 SI (I/O0)、SO (I/O1)、WP# (I/O2) 和 Hold# (I/O3) 等双向通道以进行 x4 I/O 通信。在 QSPI 模式下，当 WP# 和 HOLD# 引脚分别作为 I/O2 和 I/O3 使用时，便不能实现硬件写保护和通信保持的功能。QSPI nvSRAM 还支持双路 SPI（两个数据通道），其中 SI (I/O0) 和 SO (I/O1) 被用于双向模式，从而实现指令、地址和数据通信。但在双路 SPI 模式下，硬件写保护和通信保持功能均被保留。

表 1 显示的是由 1 Mb QSPI nvSRAM 支持的每条指令的 w-x-y-z 符号，其中：“w”表示指令的通道数量，“x”表示地址的通道数量，“y”表示模式的通道数量，“z”表示数据的通道数量。

表 1. w-x-y-z 指令集符号

指令说明	指令名	操作码	SPI	DPI	QPI	SPI 扩展
控制						
禁用写入	WRDI	04h	[1,-,-]	[2,-,-]	[4,-,-]	
写使能	WREN	06h	[1,-,-]	[2,-,-]	[4,-,-]	
使能 DPI	DPIEN	3Dh	[1,-,-]		[4,-,-]	
使能 QPI	QPIEN	38h	[1,-,-]	[2,-,-]		
禁用 DPI/QPI 模式	DQPIDI	FFh		[2,-,-]	[4,-,-]	
存储器读取操作						
读取	READ	03h	[1,1,-,1]	[2,2,-,2]	[4,4,-,4]	
快速读取	FAST_READ	0Bh	[1,1,1,1]	[2,2,2,2]	[4,4,4,4]	
双输出（快速）读取	DOR	3Bh				[1,1,1,2]
四路输出（快速）读取	QOR	6Bh				[1,1,1,4]
双路 IO（快速）读取	DIOR	BBh				[1,2,2,2]
四路 IO（快速）读取	QIOR	EBh				[1,4,4,4]
存储器写入操作						
写入	WRITE	02h	[1,1,-,1]	[2,2,-,2]	[4,4,-,4]	
双输入写入操作	DIW	A2h				[1,1,-,2]
四输入写入操作	QIW	32h				[1,1,-,4]
双 IO 写入操作	DIOW	11h				[1,2,-,2]
四路 IO 写入操作	QIOW	12h				[1,4,-,4]
SR 指令						
软件复位	RESET	F0h	[1,-,-,-]	[2,-,-,-]	[4,-,-,-]	
读取 RTC	RDRTC	13h	[1,1,-,1]	[2,2,-,2]	[4,4,-,4]	
写入 RTC	WRRTC	2Dh	[1,1,-,1]	[2,2,-,2]	[4,4,-,4]	
快速读取 RTC	FAST_RDRTC	1Dh	[1,1,-,1]	[2,2,-,2]	[4,4,-,4]	
进入休眠模式	HIBEN	BAh	[1,-,-,-]	[2,-,-,-]	[4,-,-,-]	
进入睡眠模式	SLEEP	B9h	[1,-,-,-]	[2,-,-,-]	[4,-,-,-]	
退出睡眠模式	EXSLP	ABh	[1,-,-,-]	[2,-,-,-]	[4,-,-,-]	

指令说明	指令名	操作码	SPI	DPI	QPI	SPI 扩展
寄存器指令						
读取状态寄存器	RDSR	05h	[1,-,-,1]	[2,-,-,2]	[4,-,-,4]	
写入状态寄存器	WRSR	01h	[1,-,-,1]	[2,-,-,2]	[4,-,-,4]	
读取配置寄存器	RDCR	35h	[1,-,-,1]	[2,-,-,2]	[4,-,-,4]	
写入配置寄存器	WRCR	6Fh	[1,-,-,1]	[2,-,-,2]	[4,-,-,4]	
读取故障寄存器	RDGR	6D	[1,1,-,1]	[2,2,-,2]	[4,4,-,4]	
读取 ID 寄存器	RDID	9Fh	[1,-,-,1]	[2,-,-,2]	[4,-,-,4]	
快速读取 ID 寄存器	FAST_RDID	4Bh	[1,-,1,1]	[2,-,2,2]	[4,-,2,4]	
写入序列号寄存器	WRSN	C2h	[1,-,-,1]	[2,-,-,2]	[4,-,-,4]	
读取序列号寄存器	RDSN	C3h	[1,-,-,1]	[2,-,-,2]	[4,-,-,4]	
快速读取序列号寄存器	FAST_RDSN	C9h	[1,-,1,1]	[2,-,2,2]	[4,-,4,4]	
NV 特定指令						
存储	STORE	3CH	[1,-,-,-]	[2,-,-,-]	[4,-,-,-]	
回读	RECALL	60h	[1,-,-,-]	[2,-,-,-]	[4,-,-,-]	
自动存储使能	ASEN	59h	[1,-,-,-]	[2,-,-,-]	[4,-,-,-]	
自动存储禁用	ASDI	19h	[1,-,-,-]	[2,-,-,-]	[4,-,-,-]	
模式位						
模式位（设置、复位）		Exh, Fxh				

QSPI 指令协议

主机与 1 Mb QSPI nvSRAM 间的所有通信都以指令的形式执行。每条指令以一个命令开始，该命令选择了将被执行的信息传输类型。各条指令可能具有一个地址、命令修改器（模式位）、延迟（虚拟周期）以及数据传输到的或传输出的存储器或寄存器。所有指令都在主机与 1 Mb QSPI nvSRAM 之间串行执行。

这些指令的具体结构如下：

- 每个指令都开始于 **CS#** 的下降沿上，并在 **CS#** 的上升沿上结束。
- **SCK**（串行时钟）标记了传输单个位或一组位。
- 每个指令以一个 8 位的命令开始。其中，命令用于选择将被执行的器件操作类型。
- 该命令可以是单独的，或者后面紧跟地址位，用于选择存储器地址空间内的位置或寄存器映射。该地址是 24 位的（存储器）或 8 位的（寄存器）。
- 某些读指令在地址位后面可能需要延迟（虚拟周期）。延迟周期结束时，将连续切换 **SCK** 并驱动数据位。
- 某些命令会发出一个命令修改器（称为“模式位”）后面是该地址，用于表示后面的指令类型将和隐式命令相同。因此，下一条指令只会提供新地址和模式位，并不提供命令位。它通常作为“直接执行”（XIP）指令被提及。
- 写入或读取数据需要遵循地址或模式位。
- 该指令结束后，**CS#** 信号必须为高电平。对于不返回数据的指令，该 **CS#** 信号需要在第 8 位后为高电平。对于写指令，**CS#** 必须在传输最后数据位后为高电平。否则，会拒绝该指令。

- 当 **CS#** 信号在任意一条读/写指令执行突发数据模式期间下降，那么 **SCK** 将持续切换。在该模式下，数据被持续移入或移出期间，该地址将在器件内自动递增。
- 所有命令、地址和模式位被移入到器件内，但首先要移入最高有效位。各个数据位也同样被移入到或移出器件内，最高有效位先移入/移出。
- 执行存储/回读操作期间，访问器件的所有尝试都被忽略。
- 该执行时间会因指令而发生变化。读取状态寄存器的指令可用于确定器件是否忙碌，并能够确定指令是否已经完成操作。

指令顺序示例

下面部分提供了不同的指令顺序。有关每条指令时序，请参考赛普拉斯 1 Mb QSPI nvSRAM 数据手册。

读指令 — 访问存储器阵列

图 2 显示的是 **SPI** 模式下存储器读指令的顺序。因此，如果 **CS#** 信号在第一个读数据位后没有上升，并且 **SCK** 持续切换，那么将执行突发数据模式。要想结束该指令，需要将 **CS#** 置为高电平有效状态。

图 2. READ 功能流程图 — SPI 模式

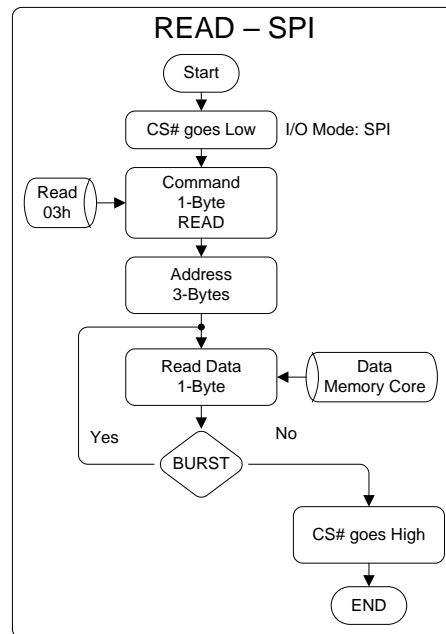


图 3 显示的是双 **SPI** 模式下的存储器读指令顺序。在这里，假设该器件从 **SPI** 模式启动，并使能了双 **SPI** 模式，然后在该指令顺序完成后返回到 **SPI** 模式。因此，地址位后面需要紧跟着一个延迟周期。同样，如果 **CS#** 在完成第一个读数据位后保持低电平状态，并且 **SCK** 持续切换，那么将执行突发数据模式。想要结束该指令，需要将 **CS#** 置为高电平有效状态。

图 3. READ 功能流程图 — 双 SPI 模式

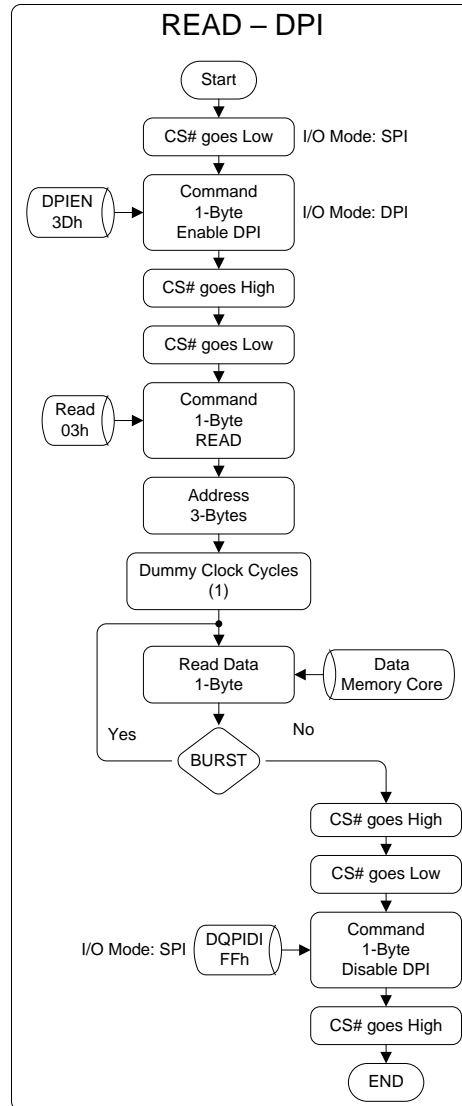
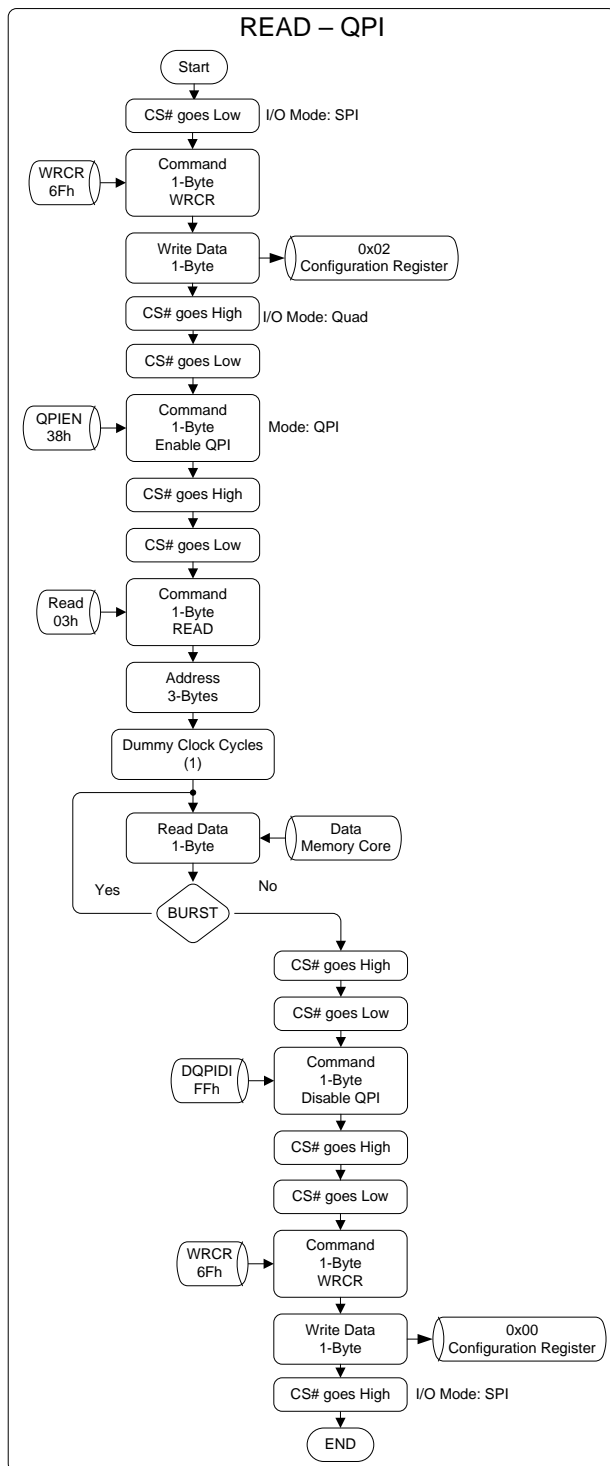


图 4 显示的是 QSPI 模式下的存储器读指令顺序。在这里，假设该器件是从 SPI 模式启动的，并使能了 QSPI 模式，然后在该指令顺序完成后将返回到 SPI 模式。因此，地址位后将再次需要紧跟一个延迟周期。如果 CS# 信号在第一个读数据位后没有变为高电平，并且 SCK 持续切换，那么将执行突发数据模式。想要结束该指令，需要将 CS# 置为高电平有效状态。

图 4. READ 功能流程图 — QSPI 模式



FAST_READ 指令 — 访问存储器阵列

图 5 显示的是 SPI 模式下存储器快读指令顺序。该快读指令可以在高达 108 MHz 的频率下执行。因此，将在地址位后面显示一个模式字节选项，以确定是否正在执行 XIP。同样，如果 CS# 信号在第一个读数据位后没有变为高电平，并且 SCK 持续切换，那么将执行突发数据模式。想要结束该指令，需要将 CS# 置为高电平有效状态。

图 5. FAST_READ 功能流程图 — SPI 模式

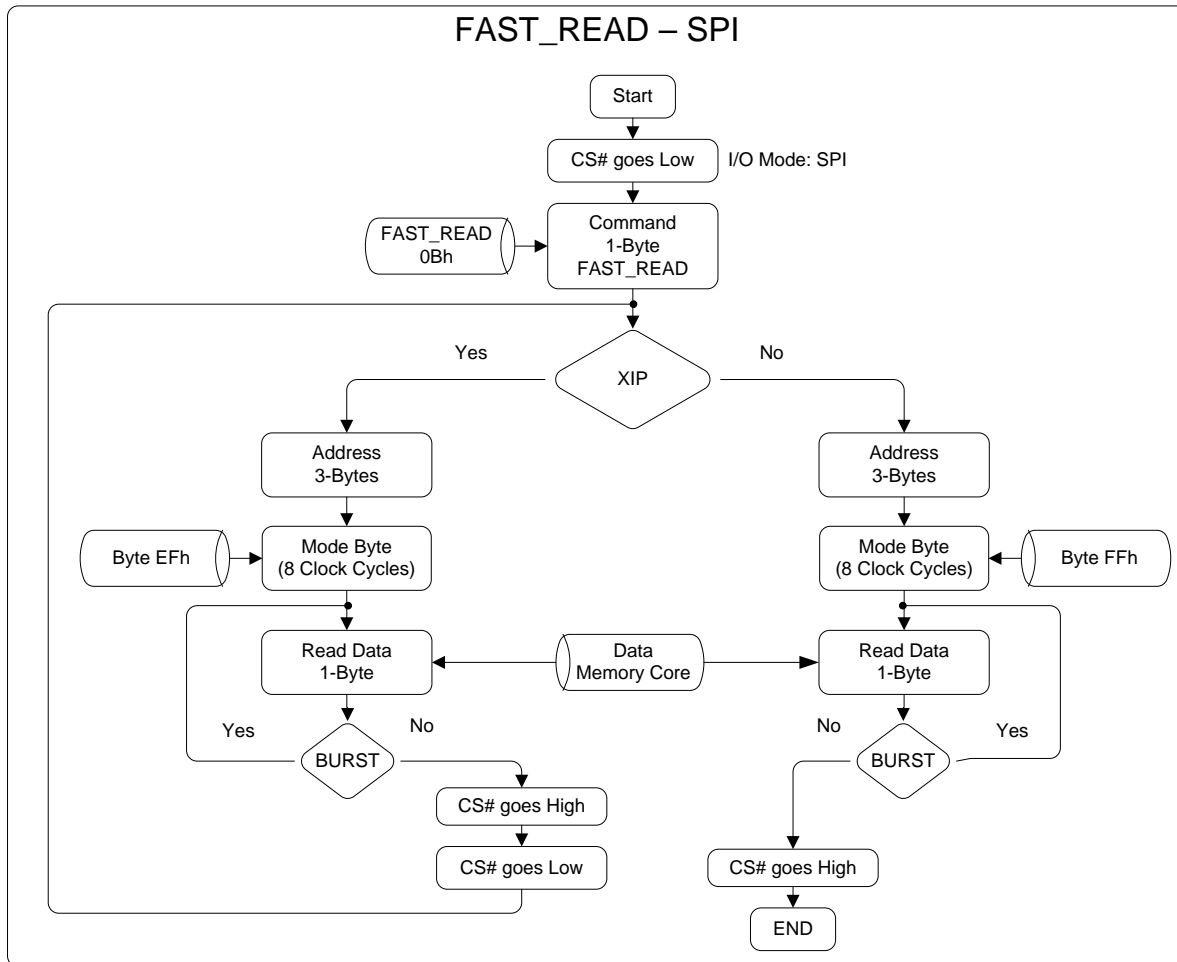


图 6 显示的是双 SPI 模式下的存储器快读指令顺序。假设该器件是从 SPI 模式启动的，并且使能了双 SPI 模式，然后在该指令顺序完成后会返回到 SPI 模式。因此，将在地址位后面再次显示一个模式字节选项，用于确定是否正在执行 XIP。同样，如果 CS# 信号在第一个读数据位后没有进入高电平状态，并且 SCK 持续切换，那么将执行突发数据模式。想要结束该指令，需要将 CS# 置为高电平有效状态。

图 6. FAST_READ 功能流程图 — 双 SPI 模式

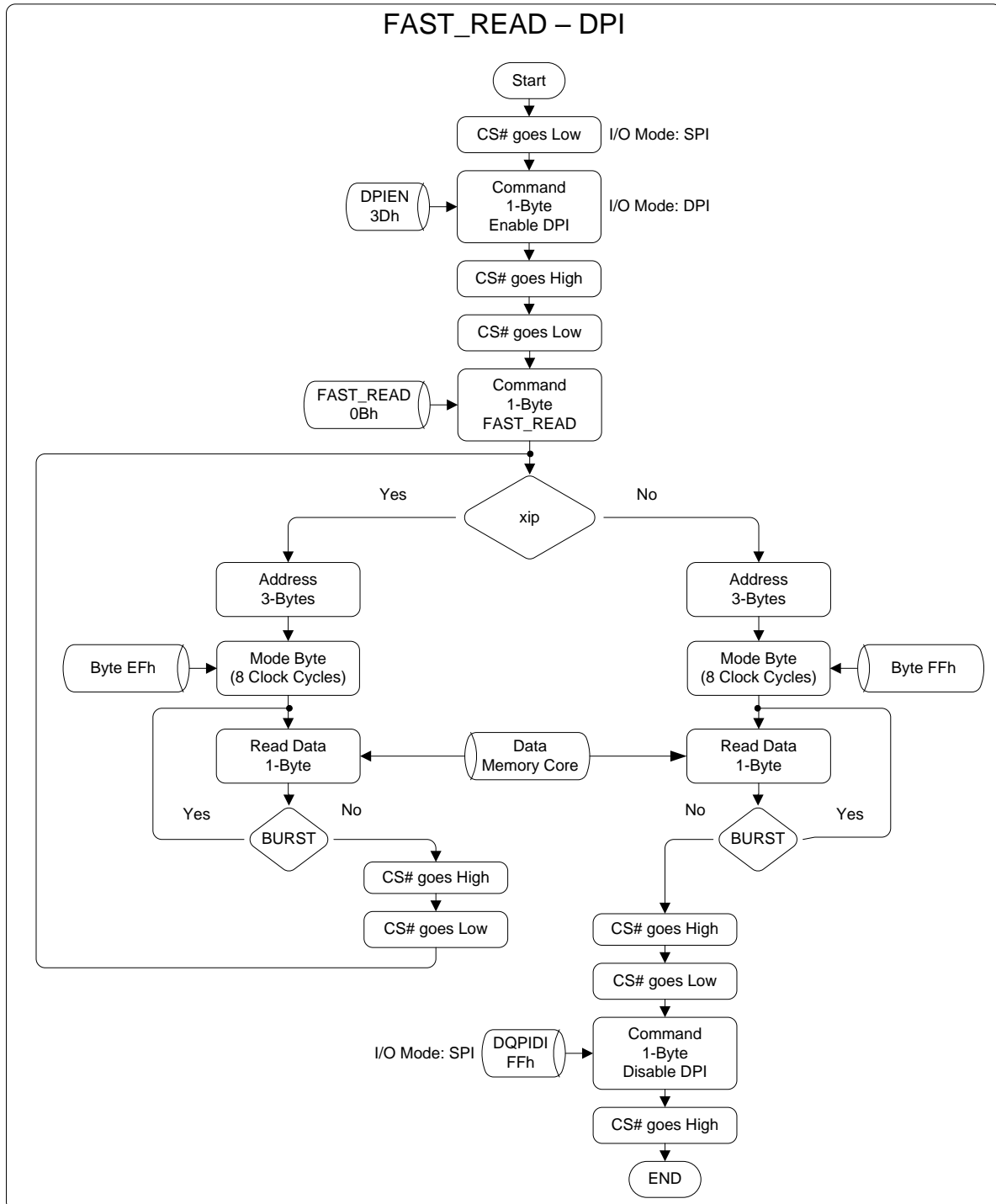
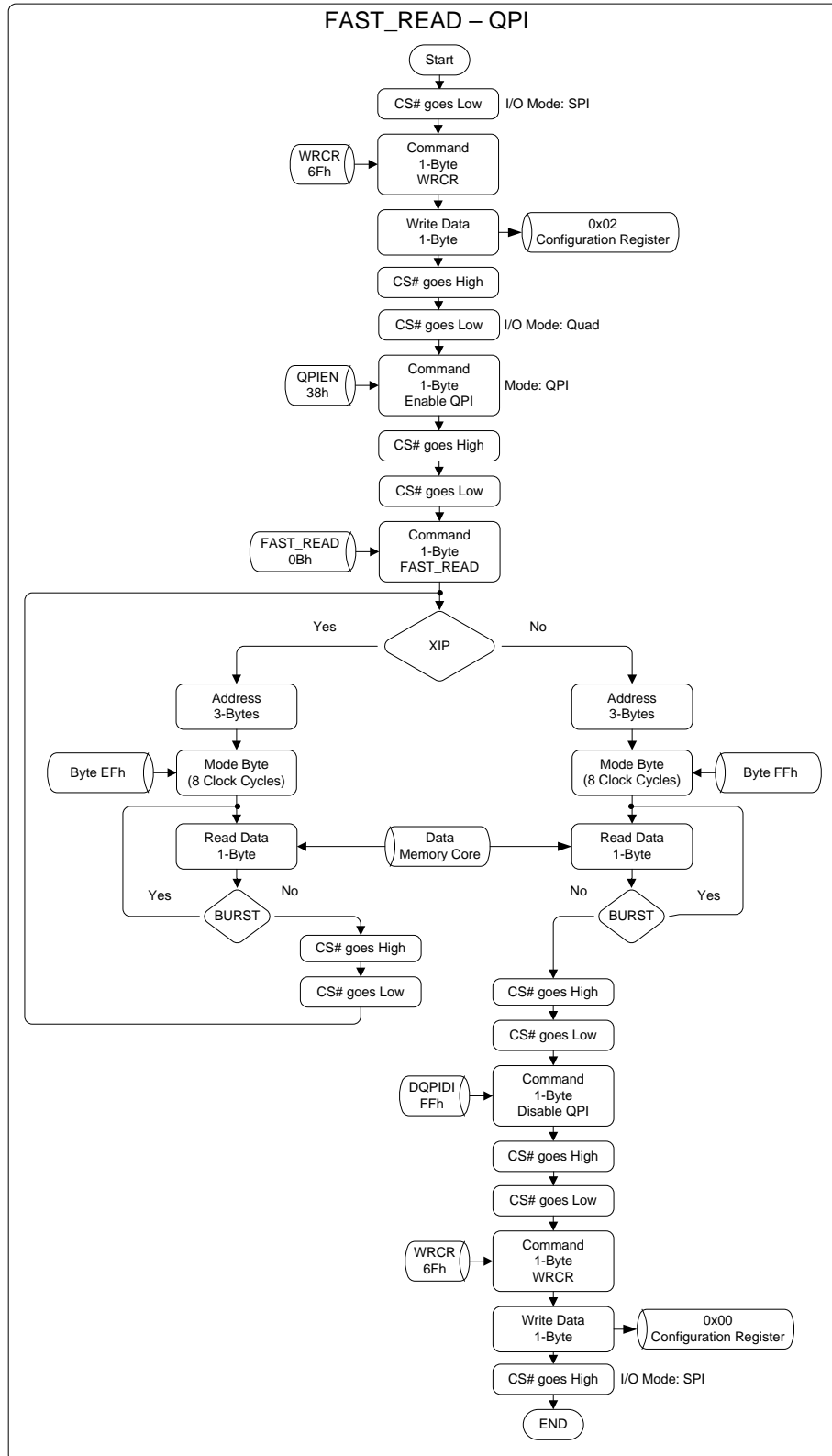


图 7 显示的是 QSPI 模式下存储器快读指令顺序。在这里，假设该器件是从 SPI 模式启动的，并使能了 QSPI 模式，然后在该指令顺序完成后返回到 SPI 模式。因此，将在地址位后面再次显示一个模式字节选项，用于确定是否正在执行 XIP。同样，如果 CS# 信号在第一个读数据位后没有进入高电平状态，并且 SCK 持续切换，那么将执行突发数据模式。要想结束该指令，需要将 CS# 设置为高电平有效状态。

图 7. FAST_READ 功能流程图 — QSPI 模式



WRITE 指令 — 访问存储器阵列

图 8 显示的是 SPI 模式下存储器写指令顺序。首先，要确保对存储器执行任何写操作前设置好了写使能锁存（WEL）。然后，如果 CS# 信号在第一个读数据位后没有进入高电平状态，并且 SCK 持续切换，那么将执行突发数据模式。最后，应禁用该写使能锁存（WEL），因为对存储器执行的写指令不能重置 WEL。想要结束该指令，需要将 CS# 置为高电平有效状态。

图 8. WRITE 功能流程图 — SPI 模式

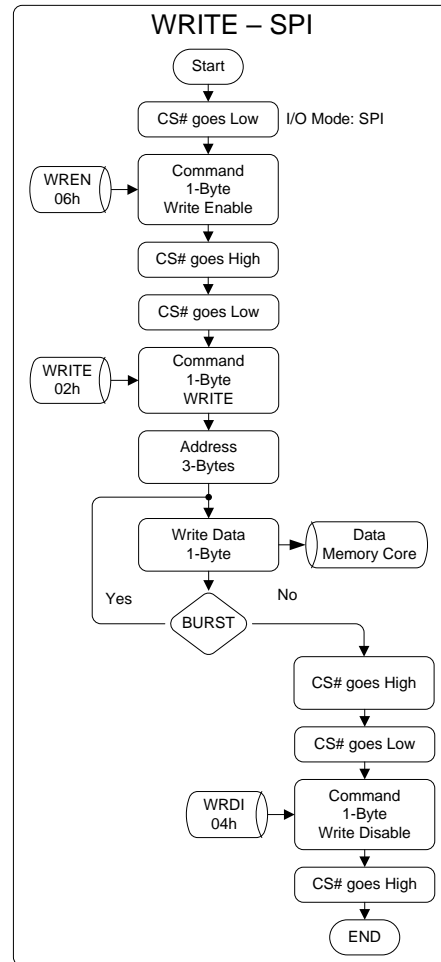


图 9 显示的是双 SPI 模式下的存储器写指令顺序。在这里，假设该器件是从 SPI 模式启动的，并且使能了双 SPI 模式，然后在该指令顺序完成后将返回到 SPI 模式。首先，要确保对存储器执行任何写操作前设置好了写使能锁存（WEL）。再次，如果 CS# 在完成第一个写数据位后保持低电平状态，并且 SCK 持续切换，那么将执行突发数据模式。最后，要禁用该写使能锁存（WEL），因为对存储器的写指令不会重置 WEL。想要结束该指令，需要将 CS# 置为高电平有效状态。

图 9. WRITE 功能流程图 — 双 SPI 模式

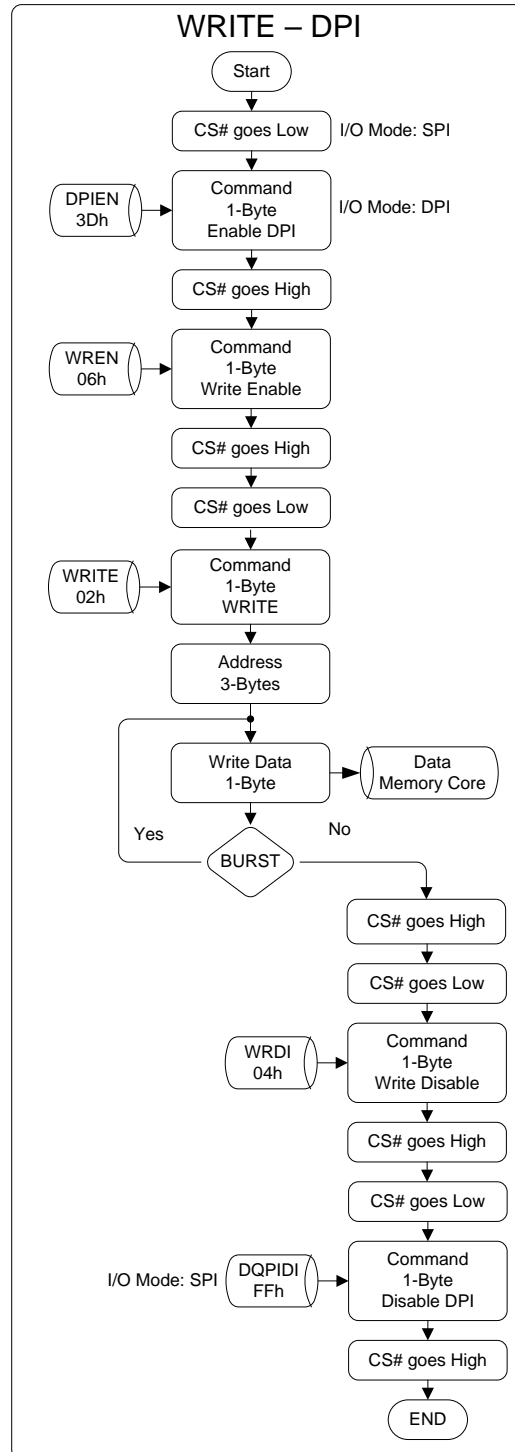
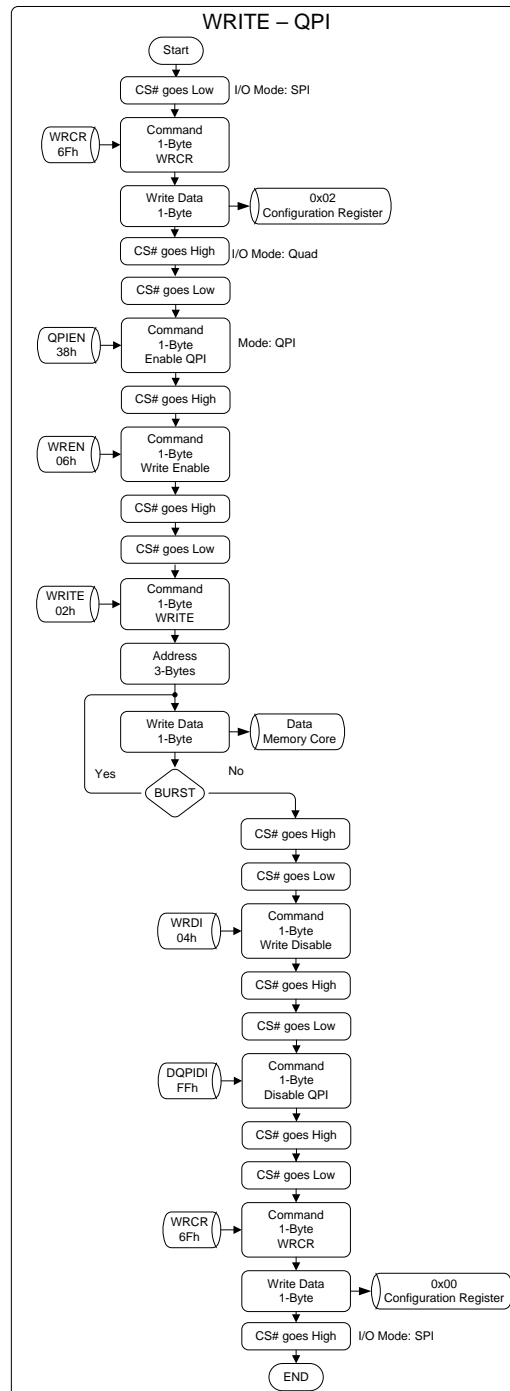


图 10 显示的是 QSPI 模式下的存储器写指令顺序。在这里，假设该器件是从 SPI 模式启动的，并且使能了 QSPI 模式，然后在该指令顺序完成后将返回到 SPI 模式。首先，要确保对存储器执行任何写操作前设置好了写使能锁存（WEL）。然后，如果 CS# 信号在第一个写数据位后没有进入高电平状态，并且 SCK 持续切换，那么将执行突发数据模式。最后，应禁用该写使能锁存（WEL）以防止发生意外的写操作，因为对存储器的写指令不能重置 WEL。要想结束该指令，需要将 CS# 置为高电平有效状态。

图 10. WRITE 功能流程图 — QSPI 模式



HIBEN 指令 — 省电休眠模式

图 11 显示的是 SPI 模式下的休眠指令顺序。休眠模式是最低功耗模式，器件的漏电流为 I_{zz} （10 μA ）该休眠指令会初始化一个存储操作（如果在最后存储操作前已执行写指令），数据将从 SRAM 单元中被传输到非易失性 SONOS 存储器单元内。该 HIBEN 操作需要 t_{HIBEN} （8 ms）长时间，并且可能会查询状态寄存器 WIP（正在执行中）位，以确定完成状态。想要结束该指令，需要将 CS# 置为高电平有效状态。

图 11. HIBEN 功能流程图 — SPI 模式

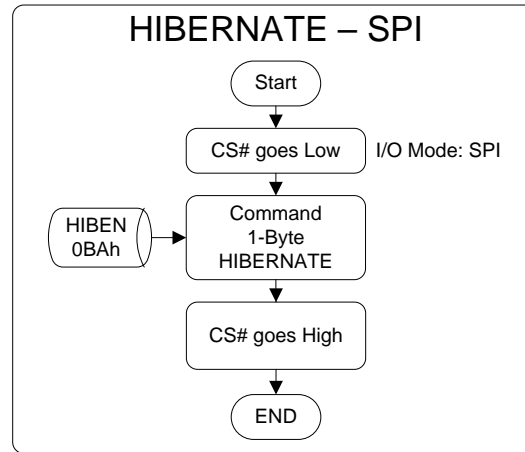
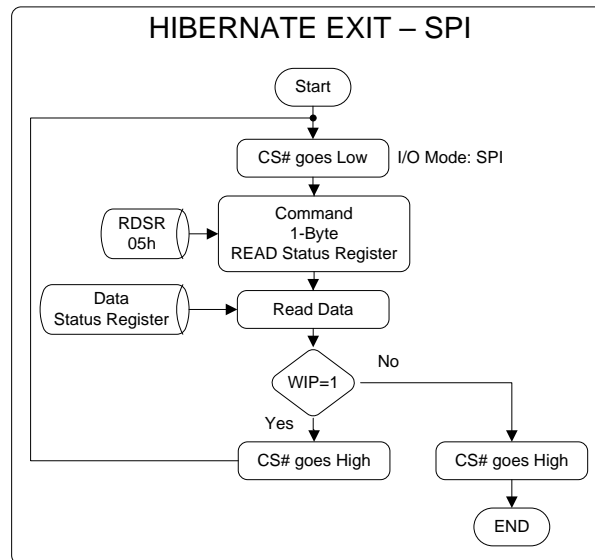


图 12 显示的是 SPI 模式下的休眠退出指令顺序。为退出休眠模式，先要将 CS# 设置为低电平，因此要求执行一个回读操作，其中数据将从非易失性 SONOS 存储器单元传输到 SRAM 单元内。该休眠退出操作需要 t_{WAKE} （20 ms）长时间，并且可能查询状态寄存器 WIP 位，以确定完成状态。想要结束该指令，需要将 CS# 置为高电平有效状态。

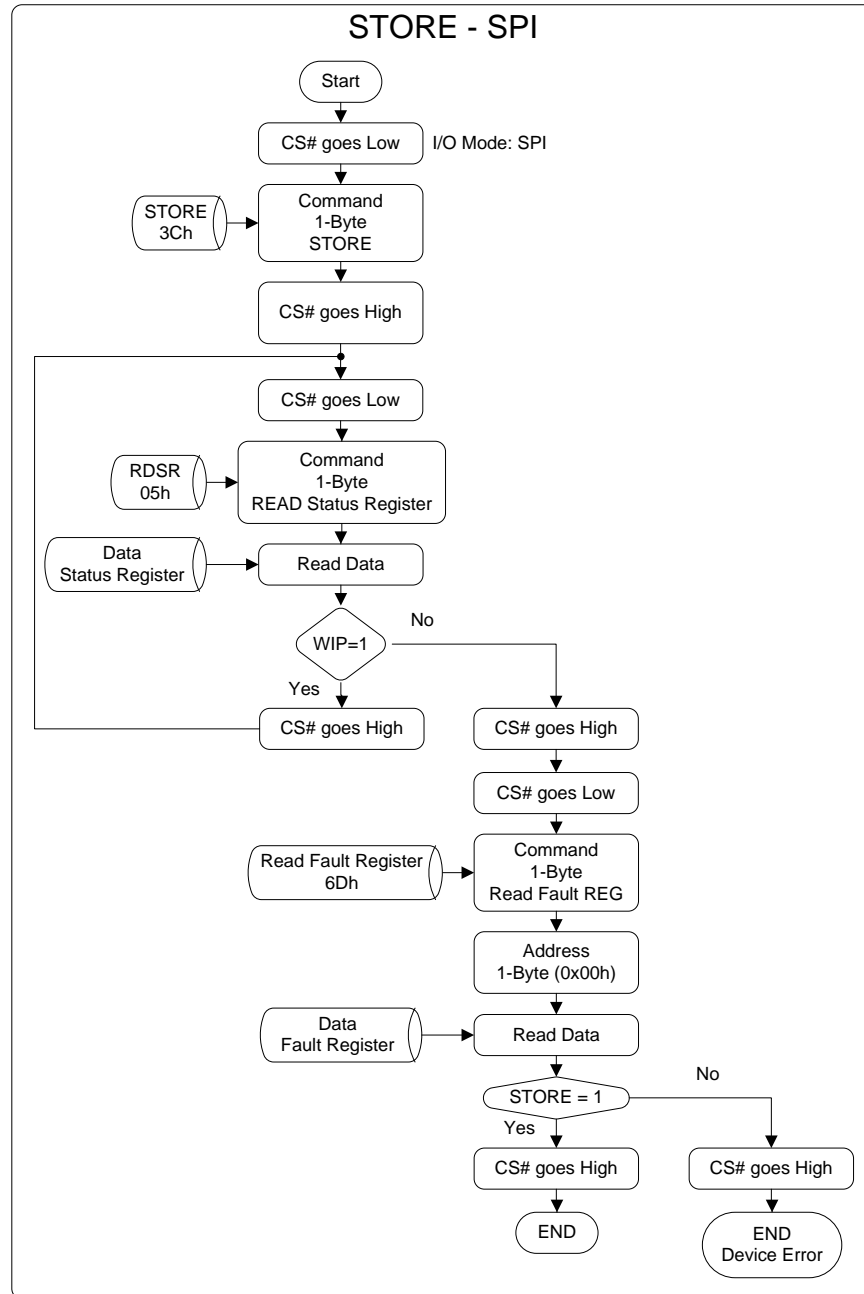
图 12. HIBERNATE EXIT 功能流程图 — SPI 模式



存储指令 — 非易失性存储操作

图 13 显示的是 SPI 模式下的存储指令顺序。该存储操作会将数据从 SRAM 单元中传输到 QSPI nvSRAM 内的 SONOS 非易失性单元内。可以通过查询状态寄存器中的 WIP 位来确定存储操作的完成状态。QSPI nvSRAM 还提供了一个故障寄存器，当 WIP 位下降显示成功完成时，该寄存器将检查存储位的状态。要想结束该指令，需要将 CS# 置为高电平有效状态。

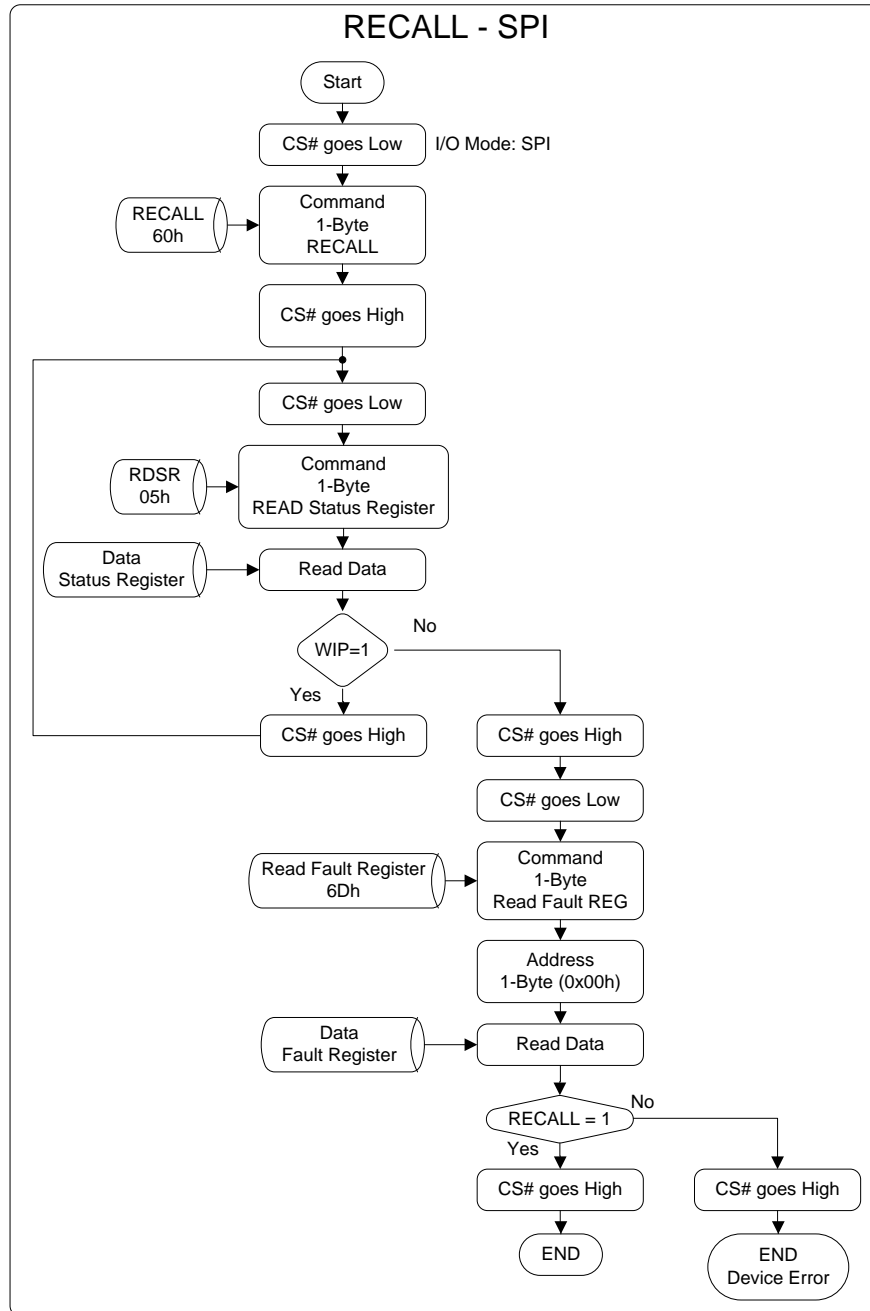
图 13. STORE 功能流程图 — SPI 模式



RECALL 功能 — 非易失性回读操作

图 14 显示的是 SPI 模式下的回读指令顺序。该回读操作会将数据从 SRAM 单元中传输到 QSPI nvSRAM 的 SONOS 非易失性单元内。可以通过查询状态寄存器中的 WIP 位来确定回读操作的完成状态。QSPI nvSRAM 还提供了一个故障寄存器，当 WIP 位下降显示成功完成时，该寄存器将检查回读位的状态。要想结束该指令，需要将 CS# 置为高电平有效状态。

图 14. RECALL 功能流程图 — SPI 模式



PCB 布局指南

本部分介绍了常见的布局注意事项：

电源去耦

赛普拉斯 1 Mb QSPI nvSRAM 具有两个电源输入引脚（VCC 和 VCCQ）和一个接地引脚（VSS）。建议使用一个 0.1 μF 陶瓷电容（通常在 0603 或 0402 封装中）对每个电源的输入引脚进行去耦操作。应将该去耦电容放置在靠近电源输入引脚的地方。应该优化去耦电容的路由，从而获得低感应系数。应尽量缩短从封装面板到过孔电源间走线的长度，并且走线宽度约为 0.6 毫米。建议不要在两个或更多的去耦电容间进行过孔连接。

时钟路由

为了获得可靠的高速同步数据传输，时钟信号必须具有良好的信号健全性。下面是对路由时钟信号的建议内容：

- 时钟信号运行的位置离所有其他信号走线的距离至少为走线宽度的 3 倍。这样可以确保时钟信号不受噪声的影响。
- 尽量减少过孔数量，从而可以获得时钟信号的完整路径。每个过孔都会引起阻抗变化，并会引起信号反射。
- 进行时钟布线时，尽量使用直导线，防止蛇形走线。
- 将一个连续接地层放置在下一层中，作为参考平面。
- 使用受限阻抗路由时钟走线，通常使用容差为 $\pm 5\%$ 的 50 Ω 走线阻抗。

数据信号路由

赛普拉斯 1 Mb QSPI nvSRAM 支持 1 位、2 位和四位的数据总线配置。在 2 位和 4 位多 I/O 配置中，必须保证路由各个 I/O 走线的长度相同（容差约为 1 毫米），以确保传播延迟相同。为了提高所有配置数据传输的可靠性，要确保时钟走线和所有数据走线的传播延迟相同。这些数据信号应通过受限阻抗进行路由（通常是 50 Ω ），以降低信号反射。数据走线不应构成 90° 的直角。通过消减直角，使之成为圆滑的弧度可以避免构成 90° 直角。想要最大限度地提高信号的健全性，要避免使用多个单层实现数据信号路由，并且要确保所有信号走线均具有连续的参考平面。

总结

AN96589 提供了 QSPI 的概述。它介绍了该指令集和指令协议，并提供了主机（主设备）与赛普拉斯 1 Mb QSPI nvSRAM（从设备）器件之间多个通信示例。它还包含了 PCB 布局的建议内容，从而能够获得最佳性能。

文档修订记录

文档标题: AN96589 — 使用赛普拉斯 1 Mb 四路 SPI nvSRAM 进行设计

文档编号: 001-97221

版本	ECN	变更者	提交日期	变更说明
**	4757146	LYAO	05/07/2015	本文档版本号为 Rev**, 译自英文版 001-96589 Rev**。

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、工厂代表和经销商组成的全球性网络。要找到离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

汽车级	cypress.com/go/automotive
时钟与缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明和电源控制	cypress.com/go/powerpsoc cypress.com/go/plc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应	cypress.com/go/touch
USB 控制器	cypress.com/go/usb
无线/射频	cypress.com/go/wireless

PSoC®解决方案

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

技术支持

cypress.com/go/support

PSoC 是赛普拉斯半导体公司的注册商标。此处引用的所有其他商标或注册商标归其各自所有者所有。

	赛普拉斯半导体	电话	: 408-943-2600
	198 Champion Court	传真	: 408-943-4730
	San Jose, CA 95134-1709	网址	: www.cypress.com

©赛普拉斯半导体公司，2015。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

该源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受限于赛普拉斯软件许可协议。