

AN96588

Everspin QSPI MRAM の代わりにサイプレス QSPI nvSRAM を使用

著者: Suhail Zain

関連プロジェクト: なし

関連製品ファミリー: CY14V101xS

ソフトウェア バージョン: なし

関連アプリケーション ノート: AN43593

AN96588 は Everspin の 1Mb クワッド SPI (QSPI) MRAM とサイプレスの 1Mb QSPI nvSRAM との重要な相違点を説明します。アプリケーションをデザインする時、同じフットプリントで MRAM を nvSRAM に交換するドロップインを有効にするために、この相違点に注意してください。

はじめに

サイプレスの 1Mb QSPI nvSRAM は真のランダム メモリ アクセス (書き込みと読み出し) を提供する高性能の不揮発性 SRAM 製品です。これはシリアル ペリフェラル インターフェース (Quad SPI) を備えたモノリシック集積回路であり、多機能のコマンド セットによりシングル (1 ビット/クロック サイクルで 1 I/O チャンネル)、デュアル (2 ビット/クロック サイクルで 2 I/O チャンネル)、またはクワッド (4 ビット/クロック サイクルで 4 I/O チャンネル) コンフィギュレーションでメモリの読み書きが可能です。QSPI はコスト効率が良く、低ピン数で、不揮発性メモリの nvSRAM 提供しています。

QSPI nvSRAM アーキテクチャはサイプレス独自の SRAM をシリコン-酸化物-窒化物-酸化物半導体 (SONOS) の不揮発性要素を組み合わせています。これは、高速 SRAM と不揮発性メモリの性能特性を組み合わせています。クワッド SPI nvSRAM 内のクワッド シリアル インターフェースは現在の業界標準の QSPI インターフェースに適合しています。命令セットは標準的な SPI オペコード、nvSRAM 固有の関数および性能最適化向けの新しい機能です。QSPI nvSRAM 信号は SCK (シリアル クロック)、SI、SO (コマンド/応答およびデータ入力/出力用) および制御信号 CS#、HOLD#、WP#を含んでいます。このハードウェア インターフェースにより、パッケージ サイズや占めるプリント基板面積が小さくなり、全体的なシステムコストが削減された低ピン数のデバイスを製造します。

同じ不揮発性メモリは Everspin の 1Mb クワッド SPI 磁気抵抗の RAM (MRAM) です。MRAM の記憶要素は書き込み中にセル ステージを変化するのに局所的な磁場を要求します。読み出しはセルの抵抗性の測定によって行われます。1Mb QSPI MRAM アーキテクチャは真のランダム アクセスも提供していますが、QSPI は拡張 SPI のエクステンションで、現在の業界標準に適合していません。その上、MRAM は外部磁場の影響を受けやすく、書き込みなどの時、欠陥のあるビットプログラミングの原因となります。従って、MRAM は磁場や通電導体に接近しないように、アプリケーションに注意しなければなりません。

サイプレスの 1Mb QSPI nvSRAM は MRAM の磁場の影響を受けやすいことなく、基準インターフェースで不揮発性ソリューションを提供しています。これはいくつかの商業的、工業的なアプリケーションの磁場に影響されません。

このアプリケーション ノートはハードウェアやオペコードを替えずに、同様なソケットにおいて 1Mb QSPI MRAM の代わりに 1Mb QSPI nvSRAM を使用するオプションに集中して、ハードウェアとファームウェア (命令オペコード) とのデザインを説明しています。

1Mb QSPI MRAM (MR10Q010) の代わりに 1Mb QSPI nvSRAM (CY14B101QS) を使用

このセクションはパッケージ と命令セットに関して、1Mb QSPI nvSRAM と 1Mb QSPI MRAM デバイスとの相違点を強調します。完璧に置換できる設計検討についても説明します。

パッケージの互換性

16 ピン SOIC パッケージは 1Mb QSPI nvSRAM と 1Mb QSPI MRAM を提供しています。表 11 のように、パッケージ寸法は同じで、ソケットは準拠しています。

重要な相違点は五つのピンがあり、すなわちピン 6、ピン 11、ピン 12、ピン 13 とピン 14 です。表 22 はピンの相違点に関する詳細な説明およびサイプレスのプリント基板デザイン、接続設定を提供しています。

表 11. 16 ピン SOIC パッケージの比較

パッケージの寸法	サイプレス 1Mb Quad SPI nvSRAM (mm)		Everspin 1Mb Quad SPI MRAM (mm)	
	Min	Max	Min	Max
長さ	10.08	10.49	10.21	10.46
幅	7.39	7.59	7.42	7.59
高さ	2.33	2.66	2.46	2.64
ピッチ	—	1.27	—	1.27

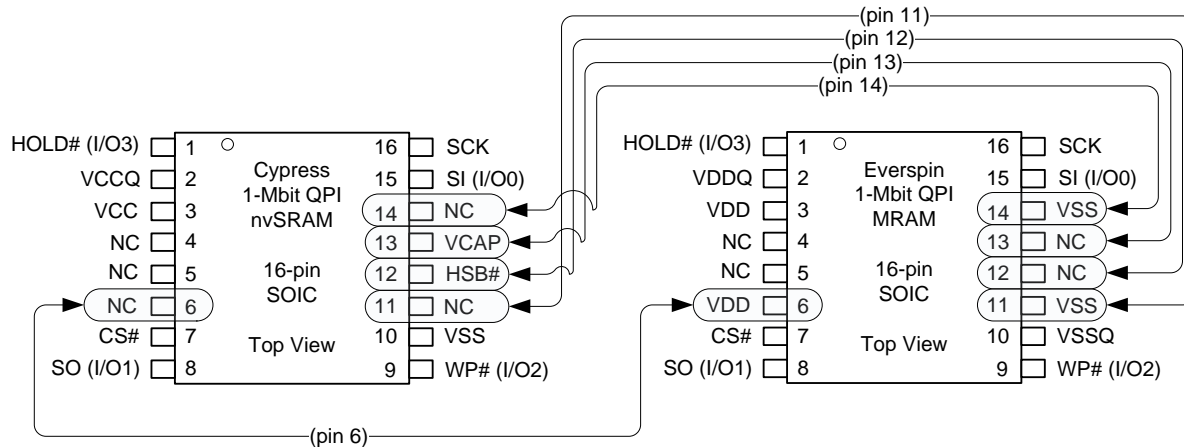
表 22. ピンの比較の詳細 - Quad SPI nvSRAM と Quad SPI MRAM

ピン番号	サイプレス 1Mb Quad SPI nvSRAM	サイプレスの接続	Everspin 1Mb Quad SPI MRAM	Everspin の接続	サイプレスの接続設定
6	NC	無接続	VDD/VCC (3.3V)	電源供給電圧+3.0~+3.6V (VDD/VCC)	VDD/VCC に対するバイアスになる可能性がある
11	NC	無接続	VSS (GND)	グラウンドピン (VSS/GND)	VSS/GND/VDD/VCC に対するバイアスになる可能性がある
12	HSB#	Hardware Store Busy (ハードウェアストアビジー) 出力: LOW の時、nvSRAM のビジー状態を示す 入力: このピンを外部で LOW にプルダウンすることによって実施されるハードウェアストア	NC	無接続	nvSRAM の HSB#ピンの機能を使用しない場合、このピンを開放 (NC) にすることが可能。 HSB#ピンがコントローラーI/O に接続され制御される場合、このピンに 4.7KΩ~10KΩ の外部プルアップ抵抗を接続することを推奨。 nvSRAM における HSB#動作の詳細については AN43380 を参照してください。
13	V _{CAP}	オートストアコンデンサ SRAM から不揮発性要素にデータを STORE (格納) するため、電力喪失時に nvSRAM に電源を供給。オートストアが必要でない場合は、このピンを未接続の状態にしなければならない。これは絶対にグラウンドに接続しないでください。	NC	無接続 注意: V _{CAP} コンデンサに適合するために、このピンを未接続の状態にしたデザインにおいては MRAM を使用しなければならない	nvSRAM のオートストア機能を使用する時、コンデンサをインストールしなければならない
14	NC	無接続	VSS (GND)	グラウンドピン (VSS/GND)	VSS/GND/VDD/VCC に対するバイアスになる可能性がある

ピンの互換性

図 11 は 1Mb QSPI nvSRAM と 1Mb QSPI MRAM とのピン機能の相違点を表示します。

図 11. 1Mb QSPI nvSRAM と 1Mb QSPI MRAM とのピンの比較 – 16 ピン SOIC パッケージ



ステータス レジスタ互換性

1Mb QSPI nvSRAM と 1Mb QSPI MRAM は 8 ビットのステータス レジスタがあります。このレジスタのビットはデバイスのビジー ステータスからメモリ コア書き込みの保護選択まで多数な機能を提供します。表 3 は詳細な比較とサイプレスの使用推奨を提供します。

表 3. ステータス レジスタ比較の詳細

ビット番号	サイプレス 1Mb Quad SPI nvSRAM	サイプレスの説明	Everspin 1Mb Quad SPI MRAM	Everspin の説明	サイプレスの推奨
0	WIP	動作中	予約済み	予約済みビット 0	読み出しのみ (コンフリクトなし): デバイスがビジーであるかどうか断定することに使用すべきである
1	WEL	書き込みイネーブル ラッチ	WEL	書き込みイネーブル ラッチ	同一機能
2	BP0	ブロック保護ビット	BP0	ブロック保護ビット	サイプレスの nvSRAM ブロック保護はデバイス 容量の 1/64 を、Everspin の MRAM はバイス 容量の 1/4 を使用
3	BP1		BP1		
4	BP2		予約済み	予約済みビット 1	
5	TBPROT	ブロック保護のコンフィギュレーション開始	予約済み	予約済みビット 2	
6	SNL	シリアル番号ロック	Quad SPI モード	デバイスは Quad SPI モードになったら表示	nvSRAM は QPIEN コマンドによるコンフィギュレーション レジスタに Quad SPI ビットがある
7	SRWD	ステータス レジスタ書き込みディスエーブル	SRWD	ステータス レジスタ書き込みディスエーブル	同一機能

通信プロトコル (命令セット) の互換性

1Mb QSPI nvSRAM は 1Mb QSPI MRAM の機能を向上させ、Mb QSPI MRAM をコントロールする豊富な命令セットがあります。nvSRAM 通信プロトコルは MRAM の上位セットであり、より高いデータ処理能力をサポートします。表 44 は命令オペコードの詳細な概要と2つのデバイス間の互換性を提供します。

表 44. 命令セット (オペコード) の比較の詳細

命令の説明	命令名	オペコード	SPI	DPI	QPI	拡張 SPI	MRAM SPI 互換性	MRAM QPI 互換性	MRAM 拡張 SPI 互換性
制御									
書き込みディスエーブル	WRDI	04h	[1,-,-]	[2,-,-]	[4,-,-]		有		有
書き込みイネーブル	WREN	06h	[1,-,-]	[2,-,-]	[4,-,-]		有		有
DPI イネーブル	DPIEN	3Dh	[1,-,-]		[4,-,-]		NA		NA
QPI イネーブル	QPIEN	38h	[1,-,-]	[2,-,-]			有		有
DPI/QPI モード ディスエーブル	DQPIDI	FFh		[2,-,-]	[4,-,-]				有
メモリ読み出し									
読み出し	読み出し	03h	[1,1,-]	[2,2,-]	[4,4,-]		有	無	
高速読み出し	FAST_READ	0Bh	[1,1,1]	[2,2,2]	[4,4,4]		有	無	
デュアル出力 (高速) 読み出し	DOR	3Bh				[1,1,2]			NA
クアッド出力 (高速) 読み出し	QOR	6Bh				[1,1,4]			無
デュアル入出力 (高速) 読み出し	DIOR	BBh				[1,2,2]			NA
クアッド入出力 (高速) 読み出し	QIOR	EBh				[1,4,4]			有
メモリ書き込み									
書き込み	書き込み	02h	[1,1,-]	[2,2,-]	[4,4,-]		有	無	
デュアル入力書き込み	DIW	A2h				[1,1,-]			NA
クアッド入力書き込み	QIW	32h				[1,1,-]			有
デュアル入出力書き込み	DIOW	11h				[1,2,-]			NA
クアッド入出力書き込み	QIOW	12h				[1,4,-]			有
SR コマンド									
ソフトウェア リセット	リセット	F0h	[1,-,-]	[2,-,-]	[4,-,-]		NA	NA	

命令の説明	命令名	オペコード	SPI	DPI	QPI	拡張 SPI	MRAM SPI 互換性	MRAM QPI 互換性	MRAM 拡張 SPI 互換性
RTC 読み出し	RDRTC	13h	[1,1,-,1]	[2,2,-,2]	[4,4,-,4]		NA	NA	
RTC 書き込み	WRRTC	2Dh	[1,1,-,1]	[2,2,-,2]	[4,4,-,4]		NA	NA	
RTC 高速読み出し	FAST_RDRTC	1Dh	[1,1,-,1]	[2,2,-,2]	[4,4,-,4]		NA	NA	
ハイバネート モード移行	HIBEN	BAh	[1,-,-,-]	[2,-,-,-]	[4,-,-,-]		NA	NA	
スリープ モード移行	SLEEP	B9h	[1,-,-,-]	[2,-,-,-]	[4,-,-,-]		有	有	
スリープ モード終了	EXSLP	ABh	[1,-,-,-]	[2,-,-,-]	[4,-,-,-]		有	有	
レジスタのコマンド									
ステータス レジスタの読み出し	RDSR	05h	[1,-,-,1]	[2,-,-,2]	[4,-,-,4]		有	無	
ステータス レジスタの書き込み	WRSR	01h	[1,-,-,1]	[2,-,-,2]	[4,-,-,4]		有	無	
コンフィグレーション レジスタ	RDCR	35h	[1,-,-,1]	[2,-,-,2]	[4,-,-,4]		NA	NA	
コンフィギュレーション レジスタ書き込み	WRCR	6Fh	[1,-,-,1]	[2,-,-,2]	[4,-,-,4]		NA	NA	
フォルト レジスタの読み出し	RDGR	6D	[1,1,-,1]	[2,2,-,2]	[4,4,-,4]		NA	NA	
ID レジスタの読み出し	RDID	9Fh	[1,-,-,1]	[2,-,-,2]	[4,-,-,4]		無	無	
ID レジスタの高速読み出し	FAST_RDID	4Bh	[1,-,1,1]	[2,-,2,2]	[4,-,2,4]		有	無	
シリアル番号レジスタの書き込み	WRSN	C2h	[1,-,-,1]	[2,-,-,2]	[4,-,-,4]		NA	NA	
シリアル番号レジスタの読み出し	RDSN	C3h	[1,-,-,1]	[2,-,-,2]	[4,-,-,4]		NA	NA	
シリアル番号レジスタ高速読み出し	FAST_RDSN	C9h	[1,-,1,1]	[2,-,2,2]	[4,-,4,4]		NA	NA	
NV 特有のコマンド									
STORE	STORE	3CH	[1,-,-,-]	[2,-,-,-]	[4,-,-,-]		NA	NA	
RECALL	RECALL	60h	[1,-,-,-]	[2,-,-,-]	[4,-,-,-]		NA	NA	
AutoStore イネーブル	ASEN	59h	[1,-,-,-]	[2,-,-,-]	[4,-,-,-]		NA	NA	
AutoStore ディスエーブル	ASDI	19H	[1,-,-,-]	[2,-,-,-]	[4,-,-,-]		NA	NA	
モードビット									
モード ビット (セット、リセット)		Exh, Fxh							

[1,1,1,1] = [命令、アドレス、モード、データ] = 命令の周期中に使用されるピン数。NA = 該当なし

MRAM は標準 SPI と QSPI モードをサポートします。QSPI モードで稼動するために、SPI ピンを設定しなおします。SI ピン、SO ピン、WP#ピンおよび HOLD#ピンを I/O0 ピン、I/O1 ピン、I/O2 ピンおよび I/O3 ピンとしてアサインし、命令でのオペコード転送のみを許可します。QSPI モードでのアドレス及び/またはデータは Quad アドレス/データ命令または Quad データ命令により制御されます。コマンドが QSPI モードで転送され、アドレス/データが SPI モードで転送される MRAM での命令は回避すべきです。そうしないと、MRAM 商品を使う時の性能が落ち、MRAM と nvSRAM QSPI のパーツとの顕著なコーディング差分が発生することがあります。

表 5 には、上記をもたす QSPI モードでの MRAM 命令のリストを挙げます。この表から分かる通りに、これらの命令のデータは常にシングルピン上で転送され、スループットの最適化がありません。

表 5. 回避すべきのオペコード MRAM 命令

命令の説明	命令名	オペコード	QPI
メモリ読み出し			
読み出し	READ	03h	[4,1,-,1]
高速読み出し	FAST_READ	0Bh	[4,1,1,1]
メモリ書き込み			
書き込み	WRITE	02h	[4,1,-,1]
レジスタのコマンド			
ステータス レジスタの読み出し	RDSR	05h	[4,-,-,1]
ステータス レジスタの書き込み	WRSR	01h	[4,-,-,1]
ID コマンドの読み出し			
ID レジスタの高速読み出し	FAST_RDID	4Bh	[4,-,1,1]

[1,1,1,1] = [命令、アドレス、モード、データ] = 命令の周期中に使用されるピン数

電源に関する注意事項

1Mb QSPI nvSRAM には堅牢な電源回路があり、どのような電源ランプ速度や電圧低下条件でもデータの完全性を確保できるように設計されます。それに対して、nvSRAM では、電源モードが変わっても、その内部の不揮発性エレメントと SRAM セルとの間にデータの一貫性が求められます。詳細は次項に説明されます。

電源投入

V_{CC} 電源が内部閾値 (V_{SWITCH}) を超えると、1Mb QSPI nvSRAM はブートアップシーケンスを開始し、その次にメモリパワーアップのリコール動作を実行します。電源投入リコール処理は内部不揮発性エレメントから隣接の SRAM セルにデータを転送し、デバイスが通常動作になっておく状態を準備します。外部コンデンサ (V_{CAP}) は、電源投入シーケンス中にデバイスから V_{DD} にわたり充電され、nvSRAM 動作中にそのレベルで維持されます。nvSRAM はブートアップシーケンスを完了するまで 20ms (t_{RECALL}) かかります。この期間中に、このデバイスにはアクセス不可です。QSPI nvSRAM に接続されるマスター QSPI コントローラーは電源投入中この 20ms 遅延に応じて調整しなければなりません。

電源切断

V_{CC} または V_{CCQ} 電源提が内部閾値 (V_{SWITCH}) を下回ると、1Mb QSPI nvSRAM は自動保存の動作を開始します。自動保存処理は同時にすべての SRAM セルの状態をその隣接の不揮発性エレメントに転送します。この期間中、nvSRAM は衰弱している V_{DD} 電圧を切断し、電源提供には外部 V_{CAP} コンデンサでのチャージのみを使います。デバイスが V_{CC}/V_{CCQ} 電源を失った時に書き込みが実行中の場合、自動保存が開始される前にそれが終了することが許可されます。これにより、最後のデータワードが正常に nvSRAM に書き込まれることが確保できます。

要約

プリント基板レイアウトと Everspin MRAM 命令オペコードの回避を事前に考慮すれば、サイプレスの 1Mb QSPI nvSRAM が Everspin の 1Mb QSPI MRAM とのピン互換性を持つように設定できます。2 つの重要なのは V_{CAP} を nvSRAM V_{CAP} ピン (MRAM 用の NC ピン) を追加すること、および、本アプリケーション ノートに記載される命令オペコード差分のアドレスを指定することです。

本アプリケーション ノートに乗ってある説明の通りに実施すれば、1Mb QSPI nvSRAM は 1Mb QSPI MRAM の当座の代替として使えます。

改訂履歴

文書名: AN96588 – Everspin QSPI MRAM の代わりにサイプレス QSPI nvSRAM を使用

文書番号: 001-97223

版	ECN 番号	変更者	発行日	変更内容
**	4764312	HZEN	05/13/2015	これは英語版 001-96588 Rev. **を翻訳した日本語版 001-97223 Rev. **です。

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを持っています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

車載	cypress.com/go/automotive
クロック & バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明 & 電源管理	cypress.com/go/powerpsoc cypress.com/go/plc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/usb
ワイヤレス/RF	cypress.com/go/wireless

PSoC®ソリューション

psoc.cypress.com/solutions

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカル サポート

cypress.com/go/support

PSoC はサイプレス セミコンダクタ社の登録商標です。本書で言及するその他すべての商標または登録商標は、それぞれの所有者に帰属します。



Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709

電話番号 : 408-943-2600
ファックス : 408-943-4730
サイト : www.cypress.com

© Cypress Semiconductor Corporation, 2015. 本文書に記載される情報は予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や誤りによって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

このソースコード (ソフトウェアおよび/またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンスに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンスの製品のみをサポートするカスタム ソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限って、サイプレスのソース コードの派生著作物をコピー、使用、変更そして作成するためのライセンス、ならびにサイプレスのソース コードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責条項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。