

AN96588

将 Everspin QSPI MRAM 替换为赛普拉斯 QSPI nvSRAM

作者: **Suhail Zain**

相关项目: 无

相关器件系列: **CY14V101xS**

软件版本: 无

相关应用笔记: **AN43593**

AN96588 介绍了 Everspin 的 1 Mb Quad SPI (QSPI) MRAM 和赛普拉斯的 1 Mb QSPI nvSRAM 器件之间主要的区别。设计一个应用时, 需要注意这里所介绍的区别, 以便在同一个封装中轻松将 MRAM 替换为 nvSRAM。

简介

赛普拉斯的 1 Mb QSPI nvSRAM 是一款高性能的非易失性 SRAM 产品, 可以提供真正的随机内存访问 (读和写访问)。它是一个具有四路串行外设接口 (Quad SPI) 的单片集成电路, Quad SPI 允许通过功能强大的指令集并使用单路配置 (每个时钟周期使用一个 I/O 通道传输一位)、双路配置 (每个时钟周期使用 2 个 I/O 通道传输 2 位) 或四路配置 (每个时钟周期使用 4 个 I/O 通道传输 4 位) 对存储器执行读写操作。QSPI 提供的 nvSRAM 具有成本效益低、引脚数量少的非易失性存储器解决方案等特点。

QSPI nvSRAM 架构将硅-氧化-氮化-氧化半导体 (SONOS) 非易失性单元集成到赛普拉斯独有的 SRAM 内。它结合了高速 SRAM 和非易失性存储器的性能特点。Quad SPI nvSRAM 中的四路串行接口与普遍的工业标准 QSPI 接口相兼容。指令集包含标准的 QSPI 操作码、nvSRAM 特定的功能和以绩效为导向的新功能。QSPI nvSRAM 信号包含了串行时钟 (SCK)、SI 以及 SO (用于指令/响应和数据输入/输出), 并包含控制信号 CS#、HOLD# 以及 WP#。该硬件接口创建了一个引脚数较少的器件, 从而降低了封装体积、PCB 面积和系统总成本。

Everspin 的 1 Mb Quad SPI 磁阻 RAM (MRAM) 是一款类似的非易失性存储器解决方案。MRAM 存储元件需要一个局部的磁场, 用于在写入过程中更改单元状态。通过测量单元阻抗实现读取操作。1 Mb QSPI MRAM 架构还提供了真正的随机访问, 但 QSPI 是扩展 SPI 的扩充, 并不符合实际工业标准。此外, MRAM 很容易受到外部磁场 (如写入过程中显示) 的影响, 从而导致非准确位编程。因此, 在各个应用中需要更加小心, 确保不会将 MRAM 放置在靠近磁场或载流导体的位置。

赛普拉斯的 1 Mb QSPI nvSRAM 提供了一个具有标准化接口并且不带有 MRAM 磁场敏感性的非易失性解决方案。它不受存在于某些商业和工业应用中磁场的影响。

本应用笔记介绍了硬件和固件 (指令操作码) 设计。该设计主要介绍在同一个套接字上将 1 Mb QSPI MRAM 替换为 1 Mb QSPI nvSRAM, 而不要更改任何硬件或操作码。

将 1 Mb QSPI MRAM (MR10Q010) 替换为 1 Mb QSPI nvSRAM (CY14B101QS)

本节重点介绍了 1 Mb QSPI nvSRAM 和 1 Mb QSPI MRAM 器件间在封装和指令集方面的区别。另外，它还介绍了设计中的注意事项，从而能够无缝替换。

封装兼容性

在 16 引脚的 SOIC 封装中提供了 1 Mb QSPI nvSRAM 和 1 Mb QSPI MRAM。这两个封装的尺寸一样，它们的套接字相互兼容，如表 1 所示。

它们主要有五个引脚存在区别 — 被命名为引脚 6、引脚 11、引脚 12、引脚 13 以及引脚 14。表 2 提供了这些引脚间区别的详细说明和赛普拉斯 PCB 设计推荐的连接。

表 1. 16 引脚 SOIC 封装比较

封装尺寸	赛普拉斯 1 Mb Quad SPI nvSRAM (mm)		Everspin 1 Mb Quad SPI MRAM (mm)	
	最小值	最大值	最小值	最大值
长度	10.08	10.49	10.21	10.46
宽度	7.39	7.59	7.42	7.59
高度	2.33	2.66	2.46	2.64
间距	—	1.27	—	1.27

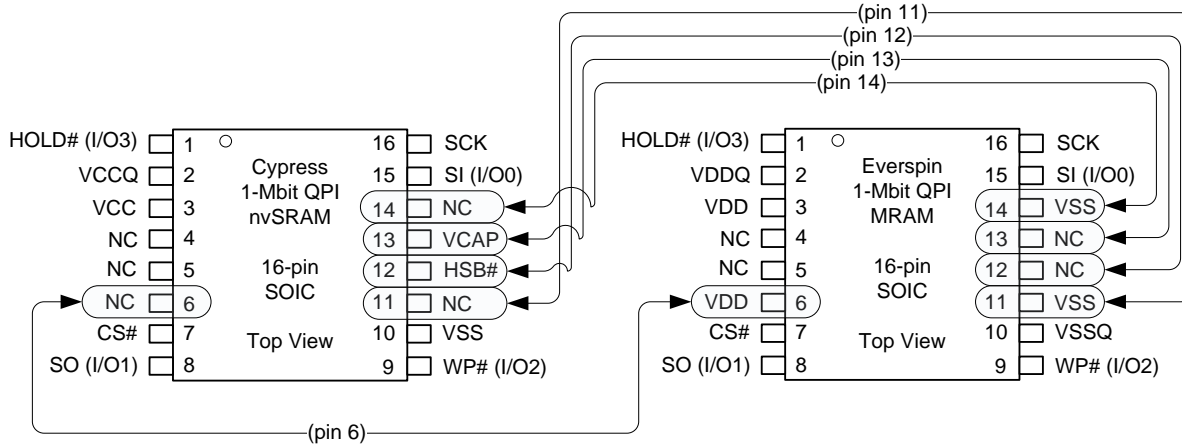
表 2. 引脚比较的详细信息 — Quad SPI nvSRAM 和 Quad SPI MRAM

引脚编号	赛普拉斯 1 Mb Quad SPI nvSRAM	赛普拉斯产品的连接情况	Everspin 1 Mb Quad SPI MRAM	Everspin 产品的连接情况	赛普拉斯的推荐连接
6	NC	未连接。	VDD/VCC (3.3 V)	电源电压范围为+3.0 ~ +3.6 V (VDD/VCC)。	可以加偏压到 VDD/VCC。
11	NC	未连接。	VSS (GND)	接地引脚 (VSS/GND)。	可以加偏压到 VSS/GND。
12	HSB#	硬件存储繁忙。 输出：指示 nvSRAM 在低电平时的繁忙状态。 输入：通过外部将该引脚下拉为低电平实现硬件存储。	NC	未连接。	如果设计中不需要使用 nvSRAM HSB# 引脚的功能，那么保持它为悬空 (NC) 状态。 如果 HSB# 引脚连接了一个控制器 I/O，建议在该引脚上连接一个大小为 4.7 kΩ ~ 10 kΩ 的外部上拉电阻。 请参考 AN43380，了解 nvSRAM 中 HSB# 操作的详细信息。
13	V _{CAP}	自动存储电容器。 断电期间为 nvSRAM 提供电源，从而能在该过程中将数据从 SRAM 存储到非易失性单元中。如果不需要自动存储，那么需要将该引脚设置为“未连接”状态。该引脚绝对不能接地。	NC	未连接。 注意： 如果设计中采用了 MRAM，那么必须将该引脚设置为“未连接”状态，从而可以适应 V _{CAP} 电容。	在 nvSRAM 中使用自动存储功能时，必须安装电容器。
14	NC	未连接。	VSS (GND)	接地引脚 (VSS/GND)。	可以加偏压到 VSS/GND。

引脚兼容性

图 1 显示的是 1 Mb QSPI nvSRAM 和 1 Mb QSPI MRAM 间引脚功能的差别。

图 1. 1 Mb QSPI nvSRAM 和 1 Mb QSPI MRAM（16 引脚 SOIC 封装）的引脚比较



状态寄存器兼容性

1 Mb QSPI nvSRAM 和 1 Mb QSPI MRAM 都带有 8 位状态寄存器。这些寄存器位提供了多项功能，包括从器件繁忙状态到存储器内核写保护选项。表 3 提供了详细比较内容以及使用的赛普拉斯建议。

表 3. 状态寄存器比较详情

位编号	赛普拉斯 1 Mb Quad SPI nvSRAM	赛普拉斯产品的说明	Everspin 1 Mb Quad SPI MRAM	Everspin 产品的说明	赛普拉斯建议
0	WIP	正在进行的工作	保留	保留位 0	只读（无冲突）：用于确定器件是否处于繁忙状态。
1	WEL	写使能锁存	WEL	写使能锁存	相同的功能
2	BP0	模块保护位	BP0	模块保护位	赛普拉斯的 nvSRAM 块保护是基于 1/64 器件密度装置，而 Everspin 的 MRAM 则是基于 1/4 器件密度装置。
3	BP1		BP1		
4	BP2		保留	保留位 1	
5	TBPROT	配置模块保护的起始地址	保留	保留位 2	
6	SNL	序列号锁定	Quad SPI 模式	显示器件是否处于 Quad SPI 模式	nvSRAM 具有配置寄存器中的 Quad SPI 位；通过 QPIEN 指令可以设置该寄存器。
7	SRWD	状态寄存器写入操作禁用	SRWD	状态寄存器写入操作禁用	相同的功能

通信协议（指令集）兼容性

1 Mb QSPI nvSRAM 集成了一个丰富的指令集，从而可以提高整个 1 Mb QSPI MRAM 的功能和控制力。nvSRAM 通信协议是一个 MRAM 通信协议的超级集合，并且支持更高的数据吞吐量。表 4 介绍的是指令操作码的详细说明以及两个器件间兼容的操作码。

表 4. 指令集（操作码）比较详情

指令说明	指令名	操作码	SPI	DPI	QPI	SPI 扩展	MRAM SPI 兼容性	MRAM QPI 兼容性	MRAM SPI 扩展兼容性
控制									
写禁用	WRDI	04h	[1,-,-]	[2,-,-]	[4,-,-]		有		有
写使能	WREN	06h	[1,-,-]	[2,-,-]	[4,-,-]		有		有
使能 DPI	DPIEN	3Dh	[1,-,-]		[4,-,-]		NA		NA
使能 QPI	QPIEN	38h	[1,-,-]	[2,-,-]			有		有
禁用 DPI/QPI 模式	DQPIDI	FFh		[2,-,-]	[4,-,-]				有
存储器读取									
读取	READ	03h	[1,1,1]	[2,2,2]	[4,4,4]		有	无	
快速读取	FAST_READ	0Bh	[1,1,1,1]	[2,2,2,2]	[4,4,4,4]		有	无	
双输出（快速）读取	DOR	3Bh				[1,1,1,2]			NA
四输出（快速）读取	QOR	6Bh				[1,1,1,4]			无
双路 IO（快速）读取	DIOR	BBh				[1,2,2,2]			NA
四路 IO（快速）读取	QIOR	EBh				[1,4,4,4]			有
存储器写入									
写入	WRITE	02h	[1,1,1]	[2,2,2]	[4,4,4]		有	无	
双输入写入	DIW	A2h				[1,1,-,2]			NA
四输入写入	QIW	32h				[1,1,-,4]			有
双路 IO 写入	DIOW	11h				[1,2,-,2]			NA
四路 IO 写入	QIOW	12h				[1,4,-,4]			有
SR 指令									
软件复位	RESET	F0h	[1,-,-]	[2,-,-]	[4,-,-]		NA	NA	
读取 RTC	RDRTC	13h	[1,1,1]	[2,2,2]	[4,4,4]		NA	NA	

指令说明	指令名	操作码	SPI	DPI	QPI	SPI 扩展	MRAM SPI 兼容性	MRAM QPI 兼容性	MRAM SPI 扩展兼容性
写入 RTC	WRRTC	2Dh	[1,1,-,1]	[2,2,-,2]	[4,4,-,4]		NA	NA	
快速读取 RTC	FAST_RDRTC	1Dh	[1,1,-,1]	[2,2,-,2]	[4,4,-,4]		NA	NA	
进入休眠模式	HIBEN	BAh	[1,-,-,-]	[2,-,-,-]	[4,-,-,-]		NA	NA	
进入睡眠模式	SLEEP	B9h	[1,-,-,-]	[2,-,-,-]	[4,-,-,-]		有	有	
退出睡眠模式	EXSLP	ABh	[1,-,-,-]	[2,-,-,-]	[4,-,-,-]		有	有	
寄存器指令									
读取状态寄存器	RDSR	05h	[1,-,-,1]	[2,-,-,2]	[4,-,-,4]		有	无	
写入状态寄存器	WRSR	01h	[1,-,-,1]	[2,-,-,2]	[4,-,-,4]		有	无	
读取配置寄存器	RDCR	35h	[1,-,-,1]	[2,-,-,2]	[4,-,-,4]		NA	NA	
写入配置寄存器	WRCR	6Fh	[1,-,-,1]	[2,-,-,2]	[4,-,-,4]		NA	NA	
读取故障寄存器	RDGR	6D	[1,1,-,1]	[2,2,-,2]	[4,4,-,4]		NA	NA	
读取 ID 寄存器	RDID	9Fh	[1,-,-,1]	[2,-,-,2]	[4,-,-,4]		无	无	
快速读取 ID 寄存器	FAST_RDID	4Bh	[1,-,1,1]	[2,-,2,2]	[4,-,2,4]		有	无	
写入序列号寄存器	WRSN	C2h	[1,-,-,1]	[2,-,-,2]	[4,-,-,4]		NA	NA	
读取序列号寄存器	RDSN	C3h	[1,-,-,1]	[2,-,-,2]	[4,-,-,4]		NA	NA	
快速读取序列号寄存器	FAST_RDSN	C9h	[1,-,1,1]	[2,-,2,2]	[4,-,4,4]		NA	NA	
非易失性特定的指令									
存储	STORE	3CH	[1,-,-,-]	[2,-,-,-]	[4,-,-,-]		NA	NA	
回读	RECALL	60h	[1,-,-,-]	[2,-,-,-]	[4,-,-,-]		NA	NA	
自动存储使能	ASEN	59h	[1,-,-,-]	[2,-,-,-]	[4,-,-,-]		NA	NA	
自动存储禁用	ASDI	19h	[1,-,-,-]	[2,-,-,-]	[4,-,-,-]		NA	NA	
模式位									
模式位（设置、复位）		Exh, Fxh							

[1,1,1,1] = [指令、地址、模式、数据] = 指令周期内所使用的引脚数

NA = 不可用

MRAM 支持标准的 SPI 和 QSPI 模式。通过将 SI 引脚、SO 引脚、WP#引脚以及 HOLD#引脚分配为 I/O0 引脚、I/O1 引脚、I/O2 引脚以及 I/O3 引脚，它重新配置 SPI 引脚，使其能够工作在 QSPI 模式，因此操作码只能在指令中传输。通过四路地址/数据或四条数据指令控制 QSPI 模式的地址和/或数据赛普拉斯建议不要使用 MRAM 中的指令，因为 MRAM 是在 QSPI 模式中传输命令并在 SPI 模式中传输地址/数据的位置。使用 MRAM 产品时，采用这些 MRAM 指令会影响该产品的功能，并创建 MRAM 和 nvSRAM QSPI 器件间的编码显示差别。

表 5 列出了 QSPI 模式下具有上述行为的 MRAM 指令。可以看到，这些指令的数据始终被传输在单一的引脚上，并且缺少吞吐量优化。

表 5. 应避免的 MRAM 指令操作码

指令说明	指令名	操作码	QPI
存储器读取			
读取	READ	03h	[4,1,-,1]
快速读取	FAST_READ	0Bh	[4,1,1,1]
存储器写入			
写入	WRITE	02h	[4,1,-,1]
寄存器指令			
读取状态寄存器	RDSR	05h	[4,-,-,1]
写入状态寄存器	WRSR	01h	[4,-,-,1]
读取 ID 指令			
快速读取 ID 寄存器	FAST_RDID	4Bh	[4,-,1,1]

[1,1,1,1] = [指令、地址、模式、数据] = 指令周期内所使用的引脚数

电源注意事项

1 Mb QSPI nvSRAM 包括强大的电源电路，它是专门为保持所有类型电源爬坡速率和欠压条件下数据的完整性而设计的。但在不同的电源模式下，nvSRAM 需要它的内部非易失性元素和 SRAM 单元间的数据一致，如下述介绍。

上电

当 V_{CC} 电源超过内部阈值 (V_{SWITCH}) 时，1 Mb QSPI nvSRAM 将开始它的启动顺序，然后进行存储器上电回读操作。上电回读过程会将数据从内部非易失性元素传输到相邻的 SRAM 单元中，从而使器件正常工作。另外，外部电容 (V_{CAP}) 在上电序列中会通过器件被充电到 V_{DD} ，并保持为 nvSRAM 正常工作时的电平。nvSRAM 需要 20 ms (t_{RECALL}) 长的时间来完成启动顺序。在这段时间内，不能访问器件。上电时，连接到 QSPI nvSRAM 的主设备 QSPI 控制器需要包含这段 20 ms 的延迟。

断电

当 V_{CC} 或 V_{CCQ} 电源低于内部阈值 (V_{SWITCH}) 时，1 Mb QSPI nvSRAM 将开始执行一个自动存储操作。在自动存储过程中，同时会将所有 SRAM 单元状态传输到相邻的非易失性元素中，nvSRAM 将关闭崩溃 V_{DD} 电压，并只使用存储在外部 V_{CAP} 电中的电荷来供电。当器件断开 V_{CC}/V_{CCQ} 电源时，如果正在进行写周期，那么开始自动存储前允许完成写周期。这样可以保证最后数据字被成功写入到 nvSRAM 中。

总结

预先考虑 PCB 的布局，并注意避免使用某些 Everspin MRAM 指令操作码，赛普拉斯的 1 Mb QSPI nvSRAM 可以与 Everspin 的 1 Mb QSPI MRAM 引脚相互兼容。需要实现两项重要的操作，即：为 nvSRAM V_{CAP} 引脚添加电压 V_{CAP} (MRAM 的 NC 引脚)；处理本应用笔记所介绍的指令操作码差别。

遵循本应用笔记中的指导可以使用 1 Mb QSPI nvSRAM 直接替换 1 Mb QSPI MRAM。

文档修订记录

文档标题: AN96588 — 将 Everspin QSPI MRAM 替换为赛普拉斯 QSPI nvSRAM

文档编号: 001-97222

版本	ECN	变更者	提交日期	变更说明
**	4757149	LYAO	05/07/2015	本文档版本号为 Rev**, 译自英文版 001-96588 Rev**。

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、工厂代表和经销商组成的全球性网络。要找到离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

汽车级	cypress.com/go/automotive
时钟与缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc cypress.com/go/plc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应	cypress.com/go/touch
USB 控制器	cypress.com/go/usb
无线/射频	cypress.com/go/wireless

PSoC®解决方案

psoc.cypress.com/solutions
[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#)

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

技术支持

cypress.com/go/support

PSoC 是赛普拉斯半导体公司的注册商标。此处引用的所有其他商标或注册商标归其各自所有者所有。



赛普拉斯半导体	电话	: 408-943-2600
198 Champion Court	传真	: 408-943-4730
San Jose, CA 95134-1709	网址	: www.cypress.com

©赛普拉斯半导体公司，2015。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

该源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受限于赛普拉斯软件许可协议。