

90nm 同期／NoBL[®] SRAM より優れた 65nm 技術の利点

著者: Devardhi Mandya

関連プロジェクト: No

関連製品ファミリ: CY7C14**KV33/25

CY7C13**KV33/25

ソフトウェア バージョン: 該当なし

関連アプリケーション ノート: 該当なし

AN94077 では、サイプレスの同期／NoBL[®] (No Bus Latency[™]) SRAM ファミリに関して 90nm 技術より優れた 65nm 技術の利点を説明します。

目次

1	はじめに	1	改訂履歴	12
2	65nm と 90nm 同期／NoBL SRAM デバイスの比較...1		ワールドワイドな販売と設計サポート	13
2.1	消費電力および接合部温度の計算	4	製品	13
3	65nm 同期／NoBL SRAM における ECC 実装	6	PSoC [®] ソリューション	13
4	65nm 同期／NoBL SRAM の幅と深さの拡張	8	サイプレス開発者コミュニティ	13
5	アドレス ピンの割り当て	10	テクニカル サポート	13
6	まとめ	11		

1 はじめに

サイプレスの 65nm 同期／NoBL[®] (No Bus Latency[™]) 製品ファミリは、90nm 同期／NoBL 製品ファミリのダイ縮小と完全に下位互換性があり、ソフト エラー耐性を改善し、フィールドの品質を向上するためのエラー訂正コード (ECC) も内蔵しています。

SRAM デバイスの耐久性は、放射線照射でしばしば問題となります。サイプレスは、SRAM デバイス上で観察される最大 SER を低減するために ECC 内蔵の 65nm 同期／NoBL SRAM デバイスを提供しています。これらのデバイスは、SER が 216FIT/Mb の ECC なしの 65nm SRAM や SER が 394FIT/Mb の 90nm SRAM デバイスと比べて SER が最大 0.01FIT/Mb を達成します。

本アプリケーション ノートでは、65nm と 90nm 同期／NoBL SRAM 間の主な違いの詳細について説明しながら、90nm 技術より優れた 65nm 技術の利点にもハイライトを当てます。

2 65nm と 90nm 同期／NoBL SRAM デバイスの比較

表 1 に、アクティブ電流 (I_{DD})、スタンバイ電流 (I_{SB})、スリープ モード電流 (I_{ZZ})、スイッチング電流 (I_{DDQ})、入出力静電容量、ECC、ソフト エラー率 (SER)、コア電圧 (V_{DD})、I/O 電圧 (V_{DDQ})、消費電力、容量、構成およびパッケージに関して 65nm と 90nm 同期／NoBL SRAM の違いを示します。

90nm デバイスと比べると 65nm 同期／NoBL デバイスでは、アクティブ電流 (I_{DD}) 値が半減するという大幅な改善が見られる一方、スタンバイ電流 (I_{SB}) も大幅に低減されます。65nm デバイスでは電流が低減されるため、デバイスの総消費電力は 90nm SRAM デバイスの半分です。入力／出力の静電容量は、新製品の 65nm SRAM デバイスでは低減されます。

表 1. 65nm と 90nm 同期／NoBL デバイスの特長

<div><div>65nm</div><div>90nm</div><div>65nm および 90nm</div></div>			標準同期 SRAM		NoBL SRAM	
			パイプライン SRAM	フロースルー SRAM	パイプライン SRAM	フロースルー SRAM
最大周波数 ^[1]	36M & 18M	65nm	250MHz	133MHz	250MHz	133MHz
		90nm	250MHz	133MHz	250MHz	133MHz
I _{DD} – アクティブな電流 (Max) ^[2]	36M	65nm	240mA	170mA	240mA	170mA
		90nm	475mA	310mA	475mA	310mA
	18M	65nm	200mA	149mA	200mA	149mA
		90nm	350mA	210mA	350mA	210mA
I _{SB1} – スタンバイ電流 ^[3]	36M	65nm	90mA	90mA	90mA	90mA
		90nm	225mA	180mA	225mA	180mA
	18M	65nm	80 mA	80mA	80mA	80mA
		90nm	160mA	140mA	160mA	140mA
I _{SB2} – スタンバイ電流 ^[3]	36M	65nm	80mA	80mA	80mA	80mA
		90nm	120mA	120mA	120mA	120mA
	18M	65nm	70mA	70mA	70mA	70mA
		90nm	70mA	70mA	70mA	70mA
I _{SB3} – スタンバイ電流 ^[3]	36M	65nm	90mA	90mA	90mA	90mA
		90nm	200mA	180mA	200mA	180mA
	18M	65nm	80mA	80mA	80mA	80mA
		90nm	135mA	130mA	135mA	130mA
I _{SB4} – スタンバイ電流 ^[3]	36M	65nm	80mA	80mA	80mA	80mA
		90nm	135mA	135mA	135mA	135mA
	18M	65nm	70mA	70mA	70mA	70mA
		90nm	80mA	80mA	80mA	80mA
I _{DDZZ} – スリープ モード スタンバイ電流 ^[3]	36M	65nm	75mA	75mA	75mA	75mA
		90nm	100mA	100mA	100mA	100mA
	18M	65nm	65mA	65mA	65mA	65mA
		90nm	80mA	80mA	80mA	80mA
V _{DD} – コア電圧	36M & 18M	65nm	3.3V または 2.5V			
		90nm				
V _{DDQ} – I/O 電圧	36M & 18M	65nm	3.3V／2.5V (3.3V V _{DD} の場合) または 2.5V (2.5V V _{DD} の場合)			
		90nm				

¹ サイプレスは、周波数 200MHz、167MHz、133MHz のパイプライン SRAM と周波数 100MHz のフロー スルーSRAM も提供しています。

² 比較するアクティブ電流は、x36 バス幅の SRAM 向けの値です。容量が違う他の SRAM のアクティブ電流 (I_{DD}) については、www.cypress.com/?id=95 に掲載している各製品のデータシートを参照してください。

³ それぞれのスタンバイ電流のテスト条件については、データシートを参照してください。

			標準同期 SRAM		NoBL SRAM	
<div>65nm</div> <div>90nm</div> <div>65nm および 90nm</div>			パイプライン SRAM	フローズルー SRAM	パイプライン SRAM	フローズルー SRAM
最大のコア消費電力 ^[4]	36M	65nm	792mW	561mW	792mW	561mW
		90nm	1568mW	1023mW	1568mW	1023mW
	18M	65nm	660mW	492mW	660mW	492mW
		90nm	1155mW	693mW	1155mW	693mW
総消費電力 ^[5]	36M	65nm	1037mW	691mW	1037mW	691mW
		90nm	1813mW	1153mW	1813mW	1153mW
	18M	65nm	905mW	622mW	905mW	622mW
		90nm	1425mW	1179mW	1425mW	1179mW
C _{IO} – 入力／出力の静電容量 (TQFP/FBGA)	36M	65nm	5pF／5pF			
		90nm	5.5pF／6pF			
	18M	65nm	5pF／5pF			
		90nm	5pF／9pF			
構成 (バス幅)	36M & 18M	65nm	x18、x32、x36 、x72	x18、x32、 x36	x18、x32、 x36、x72	x18、x32、 x36
		90nm	x18、x32、x36 、x72	x18、x32、 x36	x18、x32、 x36、x72	x18、x32、 x36
ECC ^[6]	36M & 18M	65nm	有 – シングルビット エラー訂正 (SEC)			
		90nm	無			
最大 SER (FIT/Mb) ^[7]	36M & 18M	単一論理ビット反転 (LSBU) – 65nm (ECC 内蔵)	0.01			
		LSBU – 65nm (ECC なし)	216			
		LSBU – 90nm	394			
パッケージ	36M	65nm	100ピン TQFP、165 ボール FBGA			
		90nm	100ピン TQFP、119 ボール BGA、165 ボール FBGA			
	18M	65nm	100ピン TQFP、119 ボール BGA、165 ボール FBGA			
		90nm	100ピン TQFP、119 ボール BGA、165 ボール FBGA			
JTAG ^[8]	36M & 18M	65nm	有			
		90nm				
32ビット JTAG ID コード	36M & 18M	65nm	90nm と 65nm デバイスは同じ JTAG ID コードを共有			
		90nm				

⁴ コア消費電力 = $V_{DD} \times I_{DD}$
⁵ 総消費電力 = (コア消費電力) + (スイッチング消費電力) = $(V_{DD} \times I_{DD}) + (\alpha \times f \times C_L \times V_{DD}^2 \times N)$
⁶ サイプレスは、ECC 内蔵の 65nm デバイスと ECC なしの 65nm デバイスをサポートしています。

⁷ 詳細は、アプリケーション ノート「AN54908 – Accelerated Neutron SER Testing and Calculation of Terrestrial Failure Rates」を参照してください。

⁸ 100ピン TQFP パッケージでは JTAG オプションがサポートされていません。

2.1 消費電力および接合部温度の計算

2.1.1 消費電力 (P_d)

以下の式で消費電力を計算します。

P_d = コア消費電力 + I/O スイッチング消費電力

$$P_d = V_{DD} I_{DD} + \alpha f C_L V_{DDQ}^2 N$$

ここで:

V_{DD} = コア電圧

I_{DD} = アクティブ電流

α = 動作係数、すなわち出力が切り替わる周波数とクロック周波数の比率

f = 動作周波数

C_L = 外部負荷容量

V_{DDQ} = I/O 電圧

N = 切り替わる I/O の数

表 2 に、65nm デバイスは 90nm デバイスより定格電力が優れていることを示します。

表 2. 65nm と 90nm 同期／NoBL デバイスの消費電力の比較

65nm 同期 SRAM (36Mb) CY7C1440KV33-250AXC	90nm 同期 SRAM (36Mb) CY7C1440AV33-250AXC
$V_{DD} = 3.3V$	$V_{DD} = 3.3V$
$I_{DD} = 240mA$	$I_{DD} = 475mA$
$\alpha = 0.5$	$\alpha = 0.5$
$f = 250MHz$	$f = 250MHz$
$C_L = 5pF$ (100 ピン TQFP パッケージ)	$C_L = 5pF$ (100 ピン TQFP パッケージ)
$V_{DDQ} = 3.3V$	$V_{DDQ} = 3.3V$
$N = 36$	$N = 36$
よって: $P_d = V_{DD} I_{DD} + \alpha f C_L V_{DDQ}^2 N$ $P_d = 3.3V \times 240mA + 0.5 \times 250MHz \times 5pF \times (3.3V)^2 \times 36$	よって: $P_d = V_{DD} I_{DD} + \alpha f C_L V_{DDQ}^2 N$ $P_d = 3.3V \times 475mA + 0.5 \times 250MHz \times 5pF \times (3.3V)^2 \times 36$
総消費電力 = 1037mW	総消費電力 = 1813mW

65nm 同期 SRAM (18Mb) CY7C1370KV33-250AXC	90nm 同期 SRAM (18Mb) CY7C1370D-250AXC
$V_{DD} = 3.3V$	$V_{DD} = 3.3V$
$I_{DD} = 200mA$	$I_{DD} = 350mA$
$\alpha = 0.5$	$\alpha = 0.5$
$f = 250MHz$	$f = 250MHz$
$C_L = 5pF$ (100 ピン TQFP パッケージ)	$C_L = 5pF$ (100 ピン TQFP パッケージ)
$V_{DDQ} = 3.3V$	$V_{DDQ} = 3.3V$
$N = 36$	$N = 36$
よって: $P_d = V_{DD} I_{DD} + \alpha f C_L V_{DDQ}^2 N$ $P_d = 3.3V \times 200mA + 0.5 \times 250MHz \times 5pF \times (3.3V)^2 \times 36$	よって: $P_d = V_{DD} I_{DD} + \alpha f C_L V_{DDQ}^2 N$ $P_d = 3.3V \times 350mA + 0.5 \times 250MHz \times 5pF \times (3.3V)^2 \times 36$
総消費電力 = 905mW	総消費電力 = 1400mW

2.1.2 接合部温度 (T_J)

以下の式で接合部の温度を計算します。

$$T_J = P_d \theta_{JA} + T_A$$

ここで:

θ_{JA} = 接合部から周囲までの熱抵抗

T_A = 周囲温度

P_d = 消費電力

表 3 に、65nm デバイスは 90nm デバイスより定格接合部温度が低いことを示します。

表 3. 65nm と 90nm Sync/NoBL デバイスの接合部温度 (T_J) の比較

65nm 同期 SRAM (36MB) CY7C1440KV33-250AXC (100 ピン TQFP)	90nm 同期 SRAM (36MB) CY7C1440AV33-250AXC (100 ピン TQFP)
$\theta_{JA} = 35.36^\circ C/W$	$\theta_{JA} = 25.21^\circ C/W$
$T_A = 30^\circ C$	$T_A = 30^\circ C$
$P_d = 1037mW$	$P_d = 1813mW$
よって: $T_J = P_d \theta_{JA} + T_A$ $T_J = (1037m \times 35.36) + 30$ 接合部温度 = 66.67°C	よって: $T_J = P_d \theta_{JA} + T_A$ $T_J = (1813m \times 25.21) + 30$ 接合部温度 = 75.7°C

65nm 同期 SRAM (18MB) CY7C1370KV33-250AXC (100 ピン TQFP)	90nm 同期 SRAM (18MB) CY7C1370D-250AXC (100 ピン TQFP)
$\theta_{JA} = 37.95^{\circ}\text{C/W}$	$\theta_{JA} = 28.66^{\circ}\text{C/W}$
$T_A = 30^{\circ}\text{C}$	$T_A = 30^{\circ}\text{C}$
$P_d = 905\text{mW}$	$P_d = 1425\text{mW}$
よって: $T_J = P_d \theta_{JA} + T_A$ $T_J = (905\text{m} \times 37.95) + 30$ 接合部温度 = 64.34$^{\circ}\text{C}$	よって: $T_J = P_d \theta_{JA} + T_A$ $T_J = (1425\text{m} \times 28.66) + 30$ 接合部温度 = 70.84$^{\circ}\text{C}$

3 65nm 同期／NoBL SRAM における ECC 実装

メモリ コアは、1 つのデータ ワードにマルチ ビット エラーが発生する可能性を低下させるよう設計されています。「カラム多重化」とも呼ばれているビット インターリーブは、メモリ アレイを空間的マルチビット エラーから保護するために使用される従来の方法です。ハミング コードによる ECC の SEC タイプはアーキテクチャの原理に基づいて選択されます。ECC は、9 個のデータ ビット毎に 4 個の追加の「シンドローム ビット」を含みます。シンドローム ビットは、外部ホストからアクセス不可で、パッケージやピン配置にかかわらず同じです。

図 1 に示すように、新しいデータが書き込まれると、ECC ロジックは 4 個のシンドローム ビットを計算し、それらをデータ ビットと共にメモリ コアに格納します。この例では、データ入力バッファ内の 36 ビットは、4 個の 9 ビット ワードに再グループ化されます。これらワードは順番に ECC エンコーダー ブロックに渡されます。同様に x18 と x72 データ幅のアーキテクチャでは、入力ビットはそれぞれ 2 個の 9 ビット ワードと 8 個の 9 ビット ワードに再グループ化されます。エンコーダー ブロックにより生成された 4 個のシンドローム ビットは、データ ビットと共に格納されます。任意のデータ ワードの位置を読み出した時、故障が発生したかどうかを判定するためにシンドローム／パリティ ビットが ECC デコーダー ブロックで分析されます。シンドローム ビットは、データ ワード内の誤ったビットの位置を識別します。データ ワードは誤ったビットを反転することで訂正されます。

図 1. ECC パリティビットの生成

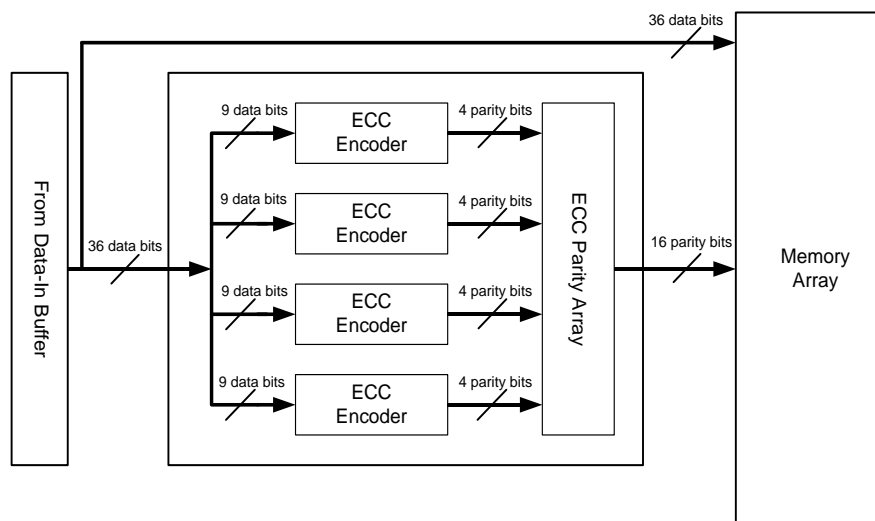
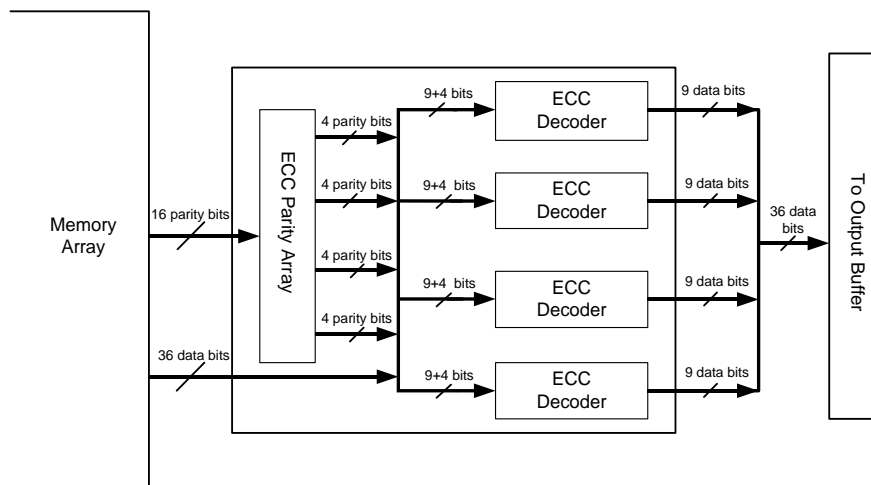


図 2 に、SRAM からデータ ワードを読み出す際のシングルビット エラーの訂正プロセスを示します。ECC は、いずれかのデータ ワードまたはすべてのデータ ワード内のシングルビット エラーを訂正することができます。SRAM 内のデータが再度書き込まれずに長い間保持される場合、エラーは複数のビットに蓄積する可能性はほとんどありません。万が一これが発生した場合、ECC はマルチビット エラーを訂正することができないので、破損したデータが出力されます。サイプレスは、マルチビット エラーの発生を除去するために時折のデータ スクラビングをお勧めします。

図 2. データ ビット訂正

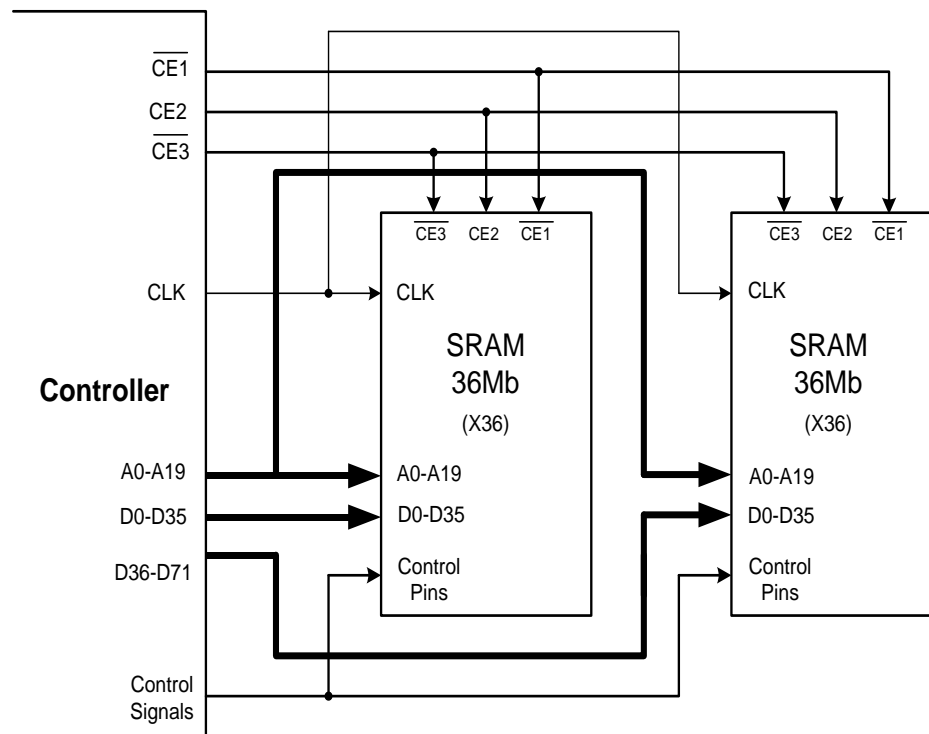


4 65nm 同期／NoBL SRAM の幅と深さの拡張

本節では、65nm SRAM の幅と深さを拡張する推奨方法 (90nm 同期／NoBL SRAM と同様) を説明します。拡張では、システムのメモリ容量を増加するために複数の SRAM を使用します。

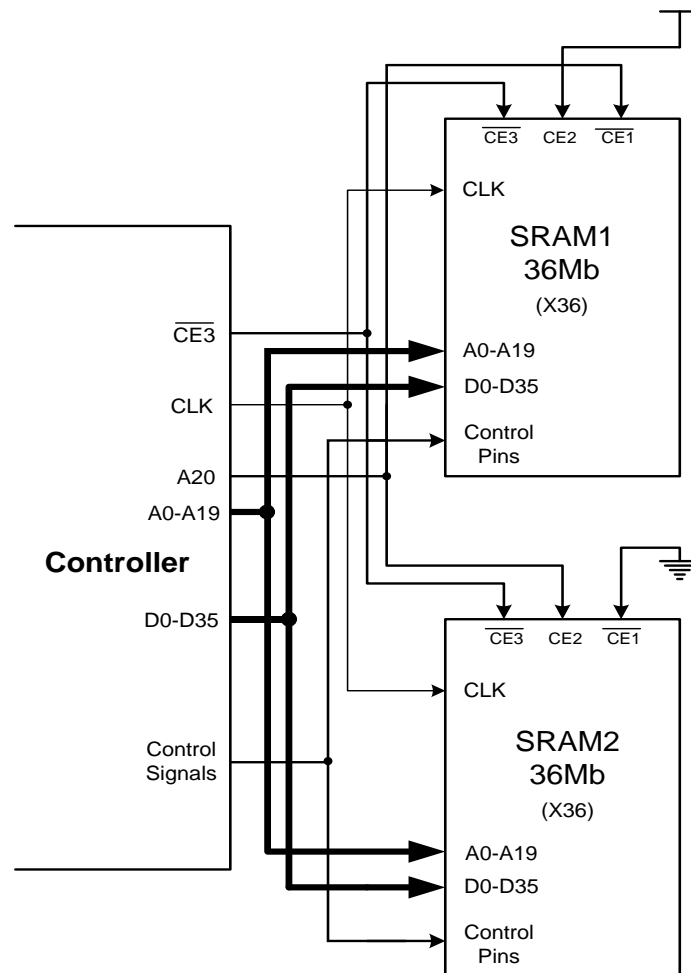
- **幅の拡張:** この方法では、各チップのデータバスを組み合わせ、より大きな幅のある単一チップのデータバスとして使用します。両方のチップを有効にし、アドレスラインが共用されたままになります。図 3 に示すように、I/O 幅が 36 ビットの 36Mb SRAM を 2 個採用してメモリ幅を 72 ビットに拡張し、メモリ容量を 72Mb に増加します。アドレスライン (A0～A19)、制御ライン (ADSP、ADSC、ADV、OE、BWE、GW)、チップイネーブルライン (CE1、CE2、CE3) が共用されたままになるよう 2 個の SRAM を組み合わせます。データライン D0～D35 は 1 番目の SRAM に接続され、データライン D36～D71 は 2 番目の SRAM に接続されます。読み出し／書き込み処理の間、制御ラインで両方の SRAM を有効にします。行アドレスが両方の SRAM 間で共用されるため、通常のメモリ処理の間同時にすべての 72 箇所のメモリビット位置にアクセスすることができます。

図 3. 幅の拡張



- **深さの拡張:** 深さの拡張では、プロセッサ／FPGA がアクセス可能な行数は増えますが、I/O の幅は変わりません。コントローラー側からの追加アドレス ラインは、2 個の SRAM チップのどちらかから対応する行を有効にするために使用されます。チップ イネーブル (CE) ピンは、対象の SRAM にアクセスするために選択的に駆動されます。図 4 に示すように、共用のアドレス (A0～A19)、制御ライン (ADSP、ADSC、ADV、OE、BWE、GW)、データ ライン (D0～D35) は各チップに接続されます。両方の SRAM の $\overline{\text{CE3}}$ ピンは、コントローラーからの共用信号 $\overline{\text{CE3}}$ で駆動します。SRAM1 の CE2 ピンは HIGH に接続し、SRAM2 の $\overline{\text{CE1}}$ ピンはグラウンドに接続します。SRAM1 の $\overline{\text{CE1}}$ ピンと SRAM2 の CE2 ピンをアドレス ライン A20 に接続します。SRAM1 内の行にアクセスするには、A20 ピンを LOW のままにして SRAM1 チップを有効にします。SRAM2 を有効にするには、アドレス ライン A20 を HIGH に駆動します。これと同時に SRAM1 は無効になります。このように両方のメモリを採用すると、同期／NoBL SRAM の合計の深さが 2 倍になります。図 4 に、深度拡張時のコントローラーからメモリピンへの接続を示します。

図 4. 深さの拡張



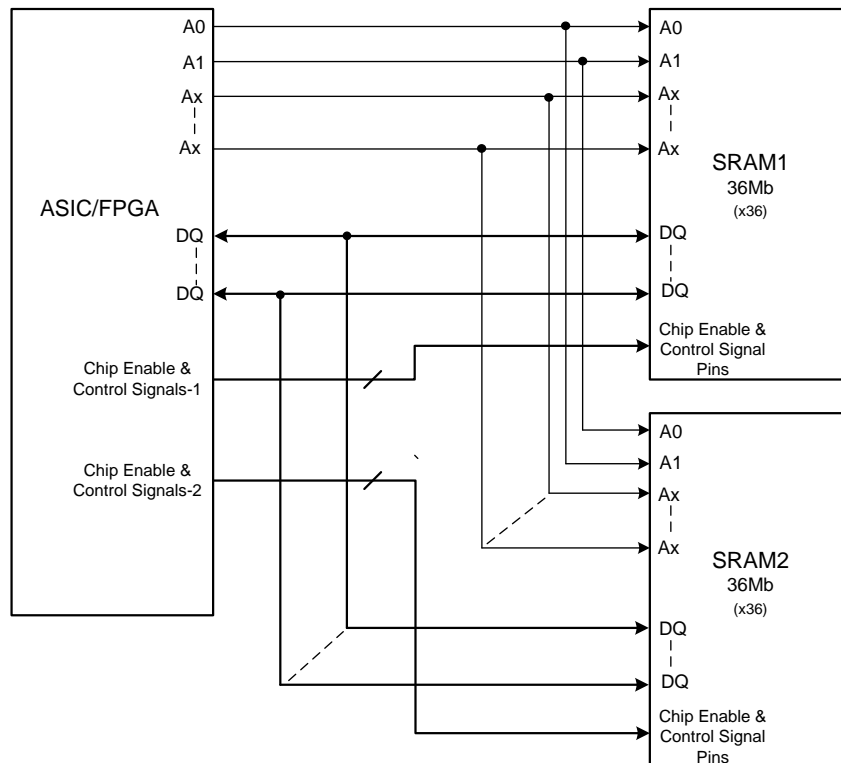
幅と深さの拡張の間、共有の信号ラインの配線長はいつも同じであるようにしてください。また、これらの信号ラインのインピーダンスを適切な終端抵抗を介して整合させる必要があります。

5 アドレスピンの割り当て

アドレスピンに特定のビット位置を割り当てると、読み書き動作はメモリでは同じ位置から行われます。各 SRAM には、アドレスや I/O として定義されたそれぞれのピングループがあります。⁹ そのため、A0 と A1 ピン以外、アドレス (A) ピンの番号は正確な割り付けがされません。同期 SRAM と NoBL SRAM では、アドレス A0 と A1 は、バーストカウンタにロードされる際の順番のように適切に順番付ける必要があります。

2 個の同一の SRAM が単一の ASIC/FPGA に接続される例を検討してみます。SRAM2 が、SRAM1 に格納されて読み出されるデータを複製するために使用されることを前提にします。SRAM2 の A0 と A1 ピンへの接続は、図 5 のように設計されています。ASIC/FPGA は、両方の SRAM へ書き込んだり、各々の SRAM を読み出したりするために対応するチップイネーブルと制御信号をアサートします。

図 5. 2 個の同一の 36Mb 同期/NoBL SRAM に接続される ASIC/FPGA



ASIC/FPGA はアドレス位置 A0=0 A1=1 A2=0 Ax=1 で書き込みシーケンスを開始する場合、SRAM1 は内部アドレス 1.....010 に書き込み、SRAM2 は内部アドレス 1.....001 に書き込みます。ASIC/FPGA は同じアドレス A0=0 A1=1 A2=0 Ax=1 から読み出しを実行する場合、SRAM1 は 1.....010 から、SRAM2 は 1.....001 からデータを読み出します。そのため、ASIC/FPGA はアドレス指定にかかわらず、常に特定のアドレスに対応する予想されたデータを受信します。この理由で、その側のアドレスピンを SRAM のアドレスピンに接続することができます。唯一の例外としては、A0 と A1 アドレスはすべての SRAM でバーストカウンタにロードされる際の順番に合致するように適切に順番付ける必要があります。

ASIC/FPGA は読み出し/書き込みのアドレスを SRAM にロードします。その後、SRAM は内蔵の 2 ビット バーストカウンタを使用して次の 3 つのアドレスを生成します。読み出しサイクルでは、ASIC/FPGA は、前提としたアドレスに基づいて特定のデータシーケンスが書き込みシーケンス中に SRAM の内蔵バーストカウンタにより生成されることを期待するため、A0 と A1 の位置は重要です。A0 と A1 が混同されれば、期待されるデータが返されない場合があります。

⁹ サイプレスは、JEDEC SRAM ピン配置規格に従っています。JEDEC 規格には、アドレスの違いによる機能の変化のない設定では特定のピンを特定のアドレスに割り当てる必要があるという規定はありません。

例えば、ASIC/FPGA が開始アドレス A0=1、A1=0、およびデータ 100、101、102、103 でリニア バースト書き込みを開始すると、SRAM1 はアドレス 01 から開始し、内部アドレスを 10、11、00 の順で生成します。一方、SRAM2 は開始アドレス 10 を持っており、内部アドレス 11、00、01 を生成します。ASIC/FPGA はアドレス 11 で始まるバースト読み出しを実行すれば、期待されるデータは 102、103、100、101 になります。SRAM1 は、アドレス 11 で終わる内部アドレスから開始し、データ 102、103、100、101 を生成します。SRAM2 もアドレス 11 から開始しますが、データを 101、102、103、100 の順で生成します。これは、ASIC/FPGA が SRAM2 にアクセスする際に誤ったデータを読み出してしまう原因となることがあります。そのため同期バーストの間、A0 と A1 ピンの接続はデバイス間で一致する必要がありますが、残りのアドレス ピンは一致しなくても構いません。

6 まとめ

65nm 同期／NoBL SRAM ファミリは、ECC を内蔵してソフト エラー耐性を改善することが可能です。90nm 技術と比べて、65nm SRAM は消費電力、入出力の静電容量、接合部温度の定格はより低いです。さらに、65nm デバイスは 90nm 技術のデバイスと外形形状、構造、機能上の互換性があります。

改訂履歴

文書名: AN94077 - 90nm 同期／NoBL[®] SRAM より優れた 65nm 技術の利点

文書番号: 001-95977

版	ECN	変更者	発行日	変更内容
*A	4720469	PRIT	04/08/2015	これは英語版 001-94077 Rev. *A を翻訳した日本語版 001-95977 Rev. *A です。
*B	4837746	HZEN	07/16/2015	これは英語版 001-94077 Rev. *B を翻訳した日本語版 001-95977 Rev. *B です。
*C	4970053	DEVM	10/16/2015	これは英語版 001-94077 Rev. *C を翻訳した日本語版 001-95977 Rev. *C です。

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

車載用	cypress.com/go/automotive
クロック&パワファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明 & 電源管理	cypress.com/go/powerpsoc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/usb
ワイヤレス/RF	cypress.com/go/wireless

PSoC®ソリューション

psoc.cypress.com/solutions

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカル サポート

cypress.com/go/support

PSoC はサイプレス セミコンダクタ社の登録商標であり、PSoC Creator は同社の商標です。本書で言及するその他すべての商標または登録商標は、それぞれの所有者に帰属します。



Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709
Phone : 408-943-2600
Fax : 408-943-4730
Website : www.cypress.com

© Cypress Semiconductor Corporation, 2015. 本文書に記載される情報は予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡すること、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤作動や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

このソースコード (ソフトウェアおよび/またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタム ソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限って、サイプレスのソース コードの派生著作物をコピー、使用、変更そして作成するためのライセンス、ならびにサイプレスのソース コードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソース コードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責条項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤作動や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。