

同步/NoBL® SRAM 的 65 nm 技术与 90 nm 技术间的优势

作者: Devardhi Mandya

相关项目: 无

相关器件系列: CY7C14**KV33/25

CY7C13**KV33/25

软件版本: N/A

相关应用笔记: N/A

AN94077 详细介绍了赛普拉斯同步/NoBL® (No Bus Latency™) SRAM 的 65 nm 技术与 90 nm 技术间的优势。

目录

1	简介	1	文档修订记录.....	12
2	65 nm 和 90 nm 同步/NoBL SRAM 器件对比	1	全球销售和设计支持.....	13
2.1	功耗和结温计算.....	4	产品.....	13
3	在 65 nm 同步/NoBL SRAM 中实现 ECC.....	6	PSoC® 解决方案.....	13
4	65 nm 同步/NoBL SRAM 的宽度和深度扩展.....	8	赛普拉斯开发者社区.....	13
5	地址引脚分配.....	10	技术支持.....	13
6	总结	11		

1 简介

赛普拉斯 65 nm 同步/NoBL® (No Bus Latency™) 系列产品是与 90 nm 同步/NoBL 系列产品完全向后兼容的缩小芯片。它集成了嵌入式纠错码 (ECC)，因而提高了软错误免疫性，并提升了现场质量。

SRAM 器件的稳定性受辐射的影响。为了降低 SRAM 器件的最大软错误率 (SER)，赛普拉斯提供了带有 ECC 的 65 nm 同步/NoBL SRAM 器件。这些器件的最大 SER 为 0.01 FIT/Mb，另外不带 ECC 的 65 nm SRAM 和 90 nm SRAM 器件的最大 SER 分别为 216 FIT/Mb 和 394 FIT/Mb。

本应用笔记详细说明了 65 nm 和 90 nm 同步/NoBL SRAM 间的主要区别，并重点介绍了 65 nm 技术的优点。

2 65 nm 和 90 nm 同步/NoBL SRAM 器件对比

表 1 总结了 65 nm 和 90 nm 同步/NoBL SRAM 器件在活动电流 (I_{DD})、待机电流 (I_{SB})、睡眠电流 (I_{ZZ})、开关电流 (I_{DDQ})、输入/输出电容、ECC、软错误率 (SER)、内核电压 (V_{DD})、I/O 电压 (V_{DDQ})、功耗、容量、结构和封装等方面的区别。

与 90 nm 器件相比，65 nm 同步/NoBL 器件的活动电流 (I_{DD}) 明显得到改善，几乎降低了一半，待机电流 (I_{SB}) 也显著降低。由于 65 nm 器件的电流得到降低，65 nm SRAM 器件需要的总功耗与 90 nm SRAM 器件相比几乎降低了一半。在新型 65 nm SRAM 器件中，输入/输出电容值也得到减少。

表 1. 65 nm 和 90 nm 同步/NoBL 器件的特性对比

<div>65 nm</div> <div>90 nm</div> <div>65 nm 和 90 nm</div>			标准同步 SRAM		NoBL SRAM	
			流水线 SRAM	输出式 SRAM	管道式 SRAM	输出式 SRAM
最大频率 ^[1]	36M & 18M	65 nm	250 MHz	133 MHz	250 MHz	133 MHz
		90 nm	250 MHz	133 MHz	250 MHz	133 MHz
I _{DD} — 活动电流（最大值） ^[2]	36M	65 nm	240 mA	170 mA	240 mA	170 mA
		90 nm	475 mA	310 mA	475 mA	310 mA
	18M	65 nm	200 mA	149 mA	200 mA	149 mA
		90 nm	350 mA	210 mA	350 mA	210 mA
I _{SB1} — 待机电流 ^[3]	36M	65 nm	90 mA	90 mA	90 mA	90 mA
		90 nm	225 mA	180 mA	225 mA	180 mA
	18M	65 nm	80 mA`	80 mA	80 mA`	80 mA
		90 nm	160 mA	140 mA	160 mA	140 mA
I _{SB2} — 待机电流 ^[3]	36M	65 nm	80 mA	80 mA	80 mA	80 mA
		90 nm	120 mA	120 mA	120 mA	120 mA
	18M	65 nm	70 mA	70 mA	70 mA	70 mA
		90 nm	70 mA	70 mA	70 mA	70 mA
I _{SB3} — 待机电流 ^[3]	36M	65 nm	90 mA	90 mA	90 mA	90 mA
		90 nm	200 mA	180 mA	200 mA	180 mA
	18M	65 nm	80 mA	80 mA	80 mA	80 mA
		90 nm	135 mA	130 mA	135 mA	130 mA
I _{SB4} — 待机电流 ^[3]	36M	65 nm	80 mA	80 mA	80 mA	80 mA
		90 nm	135 mA	135 mA	135 mA	135 mA
	18M	65 nm	70 mA	70 mA	70 mA	70 mA
		90 nm	80 mA	80 mA	80 mA	80 mA
I _{DDZZ} — 睡眠模式下的待机电流 ^[3]	36M	65 nm	75 mA	75 mA	75 mA	75 mA
		90 nm	100 mA	100 mA	100 mA	100 mA
	18M	65 nm	65 mA	65 mA	65 mA	65 mA
		90 nm	80 mA	80 mA	80 mA	80 mA
V _{DD} — 内核电压	36M & 18M	65 nm	3.3 V 或 2.5 V			
		90 nm				
V _{DDQ} — I/O 电压	36M & 18M	65 nm	3.3 V/2.5 V（V _{DD} 为 3.3 V 时）或 2.5 V（V _{DD} 为 2.5 V 时）			
		90 nm				

¹ 赛普拉斯也支持频率为 200 MHz、167 MHz 和 133 MHz 的流水线 SRAM，以及频率为 100 MHz 的直通 SRAM。

² 列表中所提供的活动电流是针对 x36 总线宽度 SRAM 的值。其它容量 SRAM 的活动电流 (I_{DD})，请在以下网站查阅相应的产品数据手册：www.cypress.com/?id=95。

³ 欲了解待机电流的测试条件，请查阅相应器件的数据手册。

			标准同步 SRAM		NoBL SRAM	
			流水线 SRAM	输出式 SRAM	管道式 SRAM	输出式 SRAM
			65 nm	90 nm	65 nm 和 90 nm	
最大内核功耗 ^[4]	36M	65 nm	792 mW	561 mW	792 mW	561 mW
		90 nm	1568 mW	1023 mW	1568 mW	1023 mW
	18M	65 nm	660 mW	492 mW	660 mW	492 mW
		90 nm	1155 mW	693 mW	1155 mW	693 mW
总功耗 ^[5]	36M	65 nm	1037 mW	691 mW	1037 mW	691 mW
		90 nm	1813 mW	1153 mW	1813 mW	1153 mW
	18M	65 nm	905 mW	622 mW	905 mW	622 mW
		90 nm	1425 mW	1179 mW	1425 mW	1179 mW
C _{I/O} — 输入/输出电容 (TQFP/FBGA)	36M	65 nm	5 pF / 5 pF			
		90 nm	5.5 pF / 6 pF			
	18M	65 nm	5 pF / 5 pF			
		90 nm	5 pF / 9 pF			
组织（总线宽度）	36M & 18M	65 nm	x18、x32、 x36、x72	x18、x32、 x36	x18、x32、 x36、x72	x18、x32、 x36
		90 nm	x18、x32、 x36、x72	x18、x32、 x36	x18、x32、 x36、x72	x18、x32、 x36
ECC ^[6]	36M & 18M	65 nm	支持 — 单比特错误纠正（SEC）			
		90 nm	不支持			
最大 SER (FIT/Mb) ^[7]	36M & 18M	单比特逻辑错误 (LSBU) — 65 nm (带 ECC)	0.01			
		LSBU — 65 nm (不带 ECC)	216			
		LSBU — 90 nm	394			
封装	36M	65 nm	100 引脚 TQFP 和 165 球形焊盘 FBGA			
		90 nm	100 引脚 TQFP、119 球形焊盘 BGA 以及 165 球形焊盘 FBGA			
	18M	65 nm	100 引脚 TQFP、119 球形焊盘 BGA 以及 165 球形焊盘 FBGA			
		90 nm	100 引脚 TQFP、119 球形焊盘 BGA 以及 165 球形焊盘 FBGA			
JTAG ^[8]	36M & 18M	65 nm	支持			
		90 nm				
32 位 JTAG ID 代码	36M & 18M	65 nm	90 nm 器件和 65 nm 器件共享同一个 JTAG ID 代码			
		90 nm				

⁴ 内核功耗 = V_{DD} × I_{DD}
⁵ 总功耗 = (内核功耗) + (开关功耗) = (V_{DD} × I_{DD}) + (α × f × C_L × V_{DDQ}² × N)

⁶ 赛普拉斯支持的 65 nm 器件可以具有 ECC 特性，也可以不具有该特性。

⁷ 欲了解更多详细信息，请参考应用笔记 [AN54908 — 加速中子 SER 测试和地面故障率的计算](#) 中的内容。

⁸ 在 100 引脚 TQFP 封装中没有提供 JTAG 选项。

2.1 功耗和结温计算

2.1.1 功耗 (P_d)

使用下面的公式计算功耗:

P_d = 内核功耗 + I/O 开关功耗

$$P_d = V_{DD} I_{DD} + \alpha f C_L V_{DDQ}^2 N$$

其中:

V_{DD} = 内核电压

I_{DD} = 工作电流

α = 活动因子, 或者是输出的切换频率与时钟频率之间的比例

f = 工作频率

C_L = 外部负载电容

V_{DDQ} = I/O 电压

N = 正在切换的 I/O 的数量

表 2 显示了与 90 nm 器件相比 65 nm 器件所具有的优质额定功率。

表 2. 65 nm 与 90 nm 同步/NoBL 器件之间的功耗比较

65 nm 同步 SRAM (36 Mb) CY7C1440KV33-250AXC	90 nm 同步 SRAM (36 Mb) CY7C1440AV33-250AXC
$V_{DD} = 3.3 \text{ V}$	$V_{DD} = 3.3 \text{ V}$
$I_{DD} = 240 \text{ mA}$	$I_{DD} = 475 \text{ mA}$
$\alpha = 0.5$	$\alpha = 0.5$
$f = 250 \text{ MHz}$	$f = 250 \text{ MHz}$
$C_L = 5 \text{ pF}$ (100 引脚 TQFP 封装)	$C_L = 5 \text{ pF}$ (100 引脚 TQFP 封装)
$V_{DDQ} = 3.3 \text{ V}$	$V_{DDQ} = 3.3 \text{ V}$
$N = 36$	$N = 36$
因此: $P_d = V_{DD} I_{DD} + \alpha f C_L V_{DDQ}^2 N$ $P_d = 3.3 \text{ V} \times 240 \text{ mA} + 0.5 \times 250 \text{ MHz} \times 5 \text{ pF} \times (3.3 \text{ V})^2 \times 36$	因此: $P_d = V_{DD} I_{DD} + \alpha f C_L V_{DDQ}^2 N$ $P_d = 3.3 \text{ V} \times 475 \text{ mA} + 0.5 \times 250 \text{ MHz} \times 5 \text{ pF} \times (3.3 \text{ V})^2 \times 36$
总功耗 = 1037 mW	总功耗 = 1813 mW

65 nm 同步 SRAM (18 Mb) CY7C1370KV33-250AXC	90 nm 同步 SRAM (18 Mb) CY7C1370D-250AXC
$V_{DD} = 3.3 \text{ V}$	$V_{DD} = 3.3 \text{ V}$
$I_{DD} = 200 \text{ mA}$	$I_{DD} = 350 \text{ mA}$
$\alpha = 0.5$	$\alpha = 0.5$
$f = 250 \text{ MHz}$	$f = 250 \text{ MHz}$
$C_L = 5 \text{ pF}$ (100 引脚 TQFP 封装)	$C_L = 5 \text{ pF}$ (100 引脚 TQFP 封装)
$V_{DDQ} = 3.3 \text{ V}$	$V_{DDQ} = 3.3 \text{ V}$
$N = 36$	$N = 36$
因此: $P_d = V_{DD} I_{DD} + \alpha f C_L V_{DDQ}^2 N$ $P_d = 3.3 \text{ V} \times 200 \text{ mA} + 0.5 \times 250 \text{ MHz} \times 5 \text{ pF} \times (3.3 \text{ V})^2 \times 36$	因此: $P_d = V_{DD} I_{DD} + \alpha f C_L V_{DDQ}^2 N$ $P_d = 3.3 \text{ V} \times 350 \text{ mA} + 0.5 \times 250 \text{ MHz} \times 5 \text{ pF} \times (3.3 \text{ V})^2 \times 36$
总功耗 = 905 mW	总功耗 = 1400 mW

2.1.2 结温 (T_J)

使用下面的公式计算结温:

$$T_J = P_d \theta_{JA} + T_A$$

其中:

θ_{JA} 为结温热阻抗

T_A 为环境温度

P_d 为功耗

表 3 显示与 90 nm 器件相比, 65 nm 器件具有更低的结温。

表 3. 65 nm 与 90 nm 同步/NoBL 器件间的结温 (T_J) 比较

65 nm 同步 SRAM (36 Mb) CY7C1440KV33-250AXC (100 引脚 TQFP)	90 nm 同步 SRAM (36 Mb) CY7C1440AV33-250AXC (100 引脚 TQFP)
$\theta_{JA} = 35.36 \text{ }^\circ\text{C/W}$	$\theta_{JA} = 25.21 \text{ }^\circ\text{C/W}$
$T_A = 30 \text{ }^\circ\text{C}$	$T_A = 30 \text{ }^\circ\text{C}$
$P_d = 1037 \text{ mW}$	$P_d = 1813 \text{ mW}$
因此: $T_J = P_d \theta_{JA} + T_A$ $T_J = (1037 \text{ m} \times 35.36) + 30$ 结温 = 66.67 $^\circ\text{C}$	因此: $T_J = P_d \theta_{JA} + T_A$ $T_J = (1813 \text{ m} \times 25.21) + 30$ 结温 = 75.7 $^\circ\text{C}$

65 nm 同步 SRAM (18 Mb) CY7C1370KV33-250AXC (100 引脚 TQFP)	90 nm 同步 SRAM (18 Mb) CY7C1370D-250AXC (100 引脚 TQFP)
$\theta_{JA} = 37.95\text{ }^{\circ}\text{C/W}$	$\theta_{JA} = 28.66\text{ }^{\circ}\text{C/W}$
$T_A = 30\text{ }^{\circ}\text{C}$	$T_A = 30\text{ }^{\circ}\text{C}$
$P_d = 905\text{ mW}$	$P_d = 1425\text{ mW}$
因此: $T_J = P_d \theta_{JA} + T_A$ $T_J = (905\text{m} \times 37.95) + 30$ 结温 = 64.34 $^{\circ}\text{C}$	因此: $T_J = P_d \theta_{JA} + T_A$ $T_J = (1425\text{m} \times 28.66) + 30$ 结温 = 70.84 $^{\circ}\text{C}$

3 在 65 nm 同步/NoBL SRAM 中实现 ECC

通过构建存储器内核，单数据字中的多比特错误得到极大的降低。位交错（也被称为“列复用”）是防止存储器阵列发生空间多比特错误的传统方法。根据该架构的原理，选择了 ECC 的基于 Hamming 代码的 SEC 类型。ECC 包含的四个附加的“错误纠正位”用于每九个数据位。不能从外部主机访问这些错误纠正位，而且封装或引脚分布没有被更改。

如图 1 所示，当写入新的数据时，ECC 逻辑将计算四个错误纠正位并将它们以及其他数据位存储在存储器内核中。在该示例中，数据输入缓冲区中的 36 位被重新组合成四个 9 位字，然后依次被传递到 ECC 编码器模块内。同样，对于 x18 和 x72 数据宽度架构，输入位分别被重新组合成两个和八个 9 位字。编码器模块生成的四个错误纠正位和各个数据位被存储在一起。读取任何数据字地址时，将在 ECC 解码器模块内对综合征/奇偶校验位进行分析，以确定是否发生了错误。错误纠正位确定了数据字中错误位的位置，通过翻转错误位可以纠正该数据字。

图 1. ECC 奇偶校验位的生成

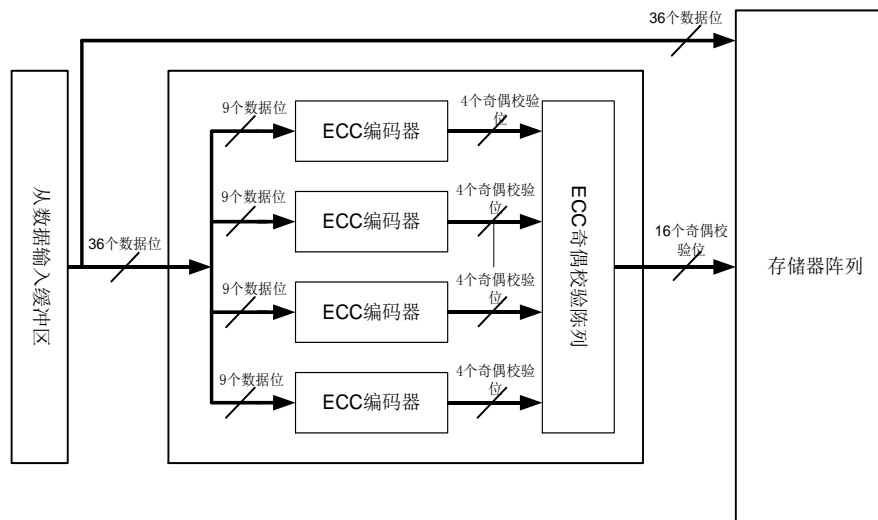
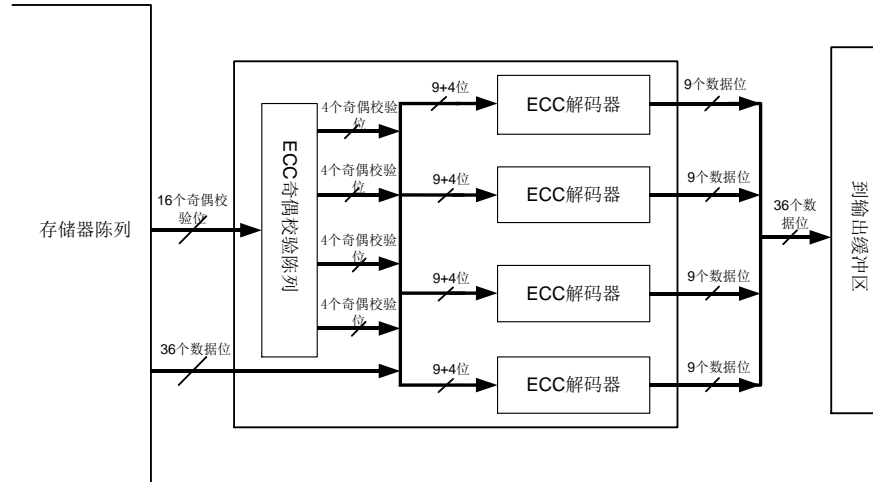


图 2 显示的是读取 SRAM 中的数据字时，纠正单比特错误的过程。ECC 可以纠正任何或所有数据字中的单比特错误。如果 SRAM 中的数据保存的时间较长而未被改写，那么多比特位可能会发生错误。如果发生这种情况，ECC 将无法纠正多比特错误，并且会输出被损坏的数据。赛普拉斯建议经常进行数据清理，以避免发生多比特错误。

图 2. 数据位的纠正

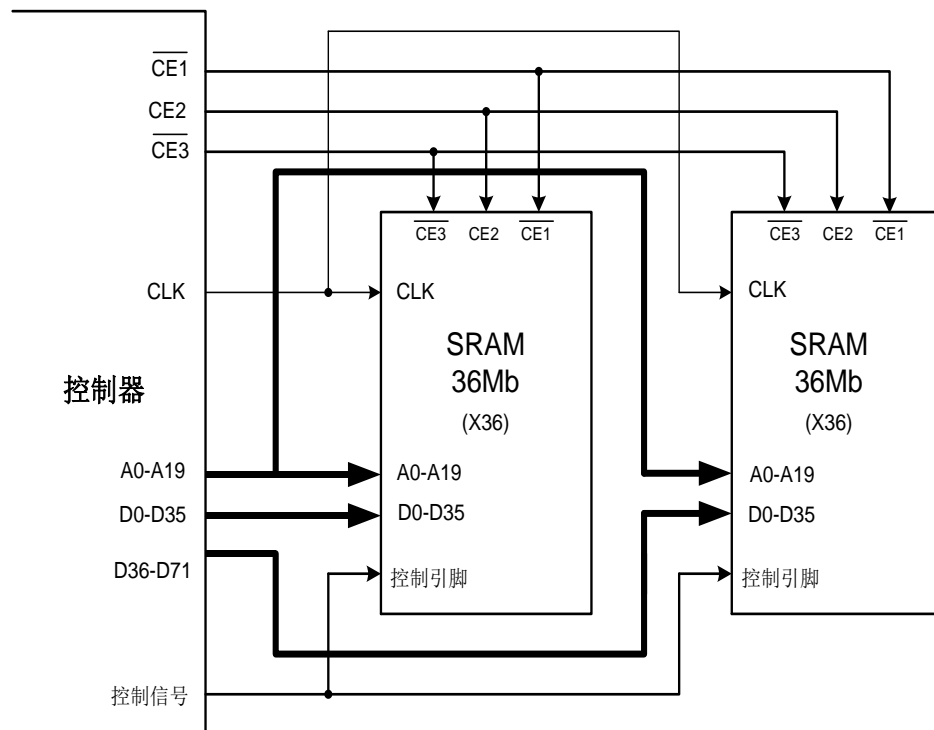


4 65 nm 同步/NoBL SRAM 的宽度和深度扩展

本节介绍了扩展 65 nm SRAM 的宽度和深度的方法，同使用于 90 nm 同步/NoBL SRAM 的方法相似。在扩展过程中，使用了多个 SRAM 来扩展系统中存储器的容量。

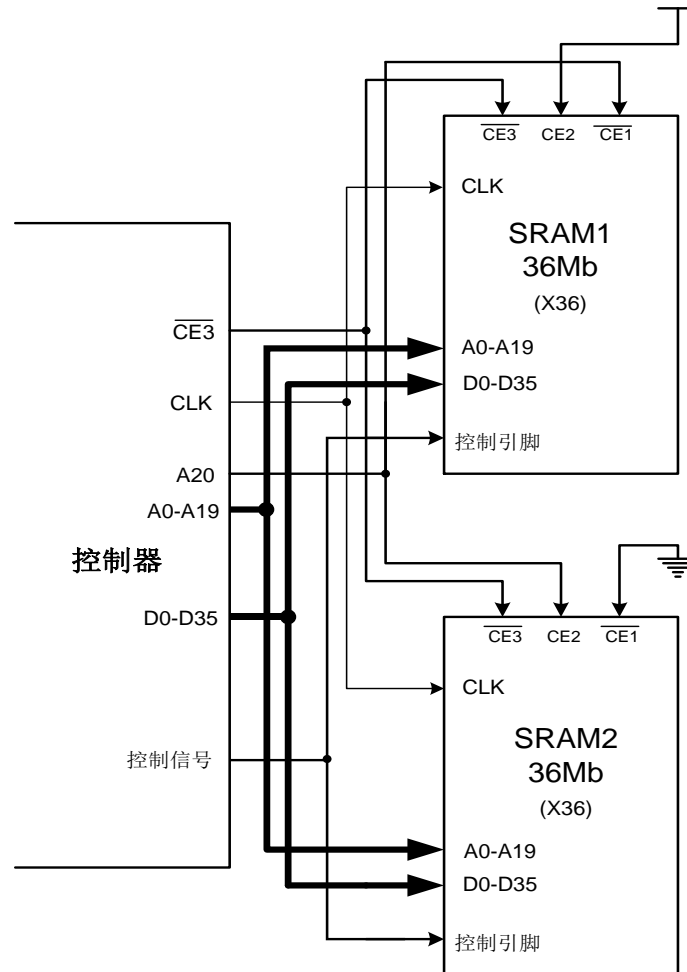
- **宽度扩展：**该操作将每个芯片的数据总线结合在一起，并将它作为具有更大宽度的单芯片使用。两个芯片都被使能，而且共用了该地址线。如图 3 中所示，使用两个 I/O 宽度为 36 位的 36 Mb SRAM，将宽度扩展到 72 位并使存储器容量扩大为 72 Mb。将两个 SRAM 结合在一起，这样地址行（A0–A19）、控制行（**ADSP**、**ADSC**、**ADV**、**OE**、**BWE**、**GW**）和芯片使能行（**CE1**、**CE2**和**CE3**）将被共用。数据行 D0–D35 连接至第一个 SRAM，数据行 D36–D71 连接至第二个 SRAM。在进行读/写操作期间，控制行将使能两个 SRAM。由于两个 SRAM 的列地址是相同的，因此在进行通用的存储器操作期间，您可以同时访问所有 72 个存储器位的位置。

图 3. 宽度扩展



- **深度扩展：**如果进行深度扩展，那么处理器/FPGA 可访问的列数量将增加，但 I/O 宽度保持不变。可以使用控制器端的附加地址行来激活 SRAM 芯片中的相应列。通过驱动芯片使能（CE）引脚可以访问所需要的 SRAM。通用的地址行（A0–A19）、控制行（**ADSP**、**ADSC**、**ADV**、**OE**、**BWE**、**GW**）和数据行（D0–D35）都被连接到每一个芯片，具体如图 4 所示。两个 SRAM 的 **CE3** 引脚由控制器中的通用信号 **CE3** 驱动。SRAM1 的 **CE2** 引脚连接至高电平，而 SRAM2 的 **CE1** 引脚则接地。SRAM1 的 **CE1** 引脚和 SRAM2 的 **CE2** 引脚都连接至地址行 A20。要想访问 SRAM1 中的列，需要将 A20 引脚保持为低电平，从而使能 SRAM1 芯片。要想使能 SRAM2，需要将地址行 A20 驱动为高电平，以禁用 SRAM1。如果按照这种方法使用了两个存储器，那么同步/NoBL SRAM 的总深度将增加一倍。图 4 显示的是深度扩展的控制信号到存储器引脚的连接情况。

图 4. 深度扩展



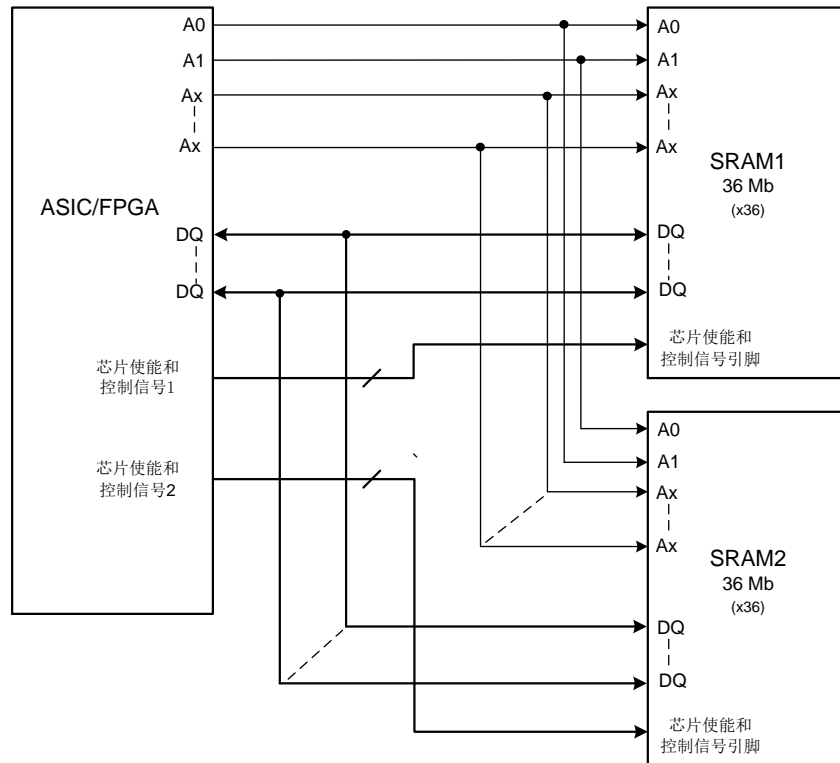
在进行宽度和深度扩展期间，请确保共享信号行之间的走线长度是相等的。应该通过合适的终端电阻实现它们的阻抗匹配。

5 地址引脚分配

为地址引脚分配某个特定的位位置时，读和写操作也在存储器中相同的位置上进行。每个 SRAM 都有一组引脚被定义为地址，另一组则被定义为 I/O 等。⁹ 因此，没有提供正确的地址（A）引脚编号，但 A0 和 A1 引脚除外。在同步和 NoBL SRAM 中，地址 A0 和 A1 必须按顺序排列，因为这些位被加载到某个突发计数器内。

请考虑一个示例，其中两个相同的 SRAM 都连接着唯一的一个 ASIC/FPGA。假设正在使用 SRAM2 来复制将被存储在 SRAM1 内并将被读取的数据。SRAM2 A0 和 A1 引脚的连接被颠倒，如图 5 所示。ASIC/FPGA 通过激活相应芯片使能和控制信号对两个 SRAM 进行写操作并读取某个 SRAM。

图 5. 连接到两个相同的 36 Mb 同步/NoBL SRAM 的 ASIC/FPGA



如果 ASIC/FPGA 在地址 A0=0 A1=1 A2=0 Ax=1 中启动了一个写序列，那么 SRAM1 会将数据写入到内部地址 1.....010 中，而 SRAM2 会将数据写入到内部地址 1.....001 中。如果 ASIC/FPGA 从相同的地址（即 A0=0 A1=1 A2=0 Ax=1）中执行读操作，那么 SRAM1 将从 1.....010 中读取数据，SRAM2 将从 1.....001 中读取数据。因此，ASIC/FPGA 总是接收给定地址的预期数据，并不依赖于地址标记。这样，您可以将 ASIC/FPGA 上的地址引脚连接到 SRAM 中任意地址的引脚。必须将 A0 和 A1 地址放在所有 SRAM 中是一个例外，因为这些位会被加载到突发计数器中。

ASIC/FPGA 将读/写地址加载到 SRAM 中，然后 SRAM 会使用 2 位的内部突发计数器生成后面的三个地址。A0 和 A1 的位置非常重要，因为根据 ASIC/FPGA 假设在写序列中 SRAM 的内部突发计数器生成的地址，ASIC/FPGA 会希望在读周期中得到一定的数据序列。如果 A0 和 A1 的位置比较乱，那么可能不返回预期的数据。

⁹ 赛普拉斯遵循了 JEDEC SRAM 引脚分布标准。JEDEC 标准没有规定应将某个特定的引脚分配给一个设置中的地址（在该设置中，地址差异不会对功能产生影响）。

例如，如果 ASIC/FPGA 以起始地址分别为 $A0=1$ 和 $A1=0$ ，并且以数据 100、101、102 和 103 来开始线性突发写周期，那么 SRAM1 会以地址 01 开始，并以 10、11 和 00 的顺序生成内部地址。另一方面，SRAM2 的起始地址为 10，并生成 11、00 和 01 的内部地址。当 ASIC/FPGA 执行在地址 11 开始的突发读周期时，预期的数据将为 102、103、100 和 101。SRAM1 会在以 11 结束的内部地址中开始访问数据，并生成数据 102、103、100，且最后生成的是 101。SRAM2 也会以 11 开始访问数据，但生成数据 101、102、103，最后生成的将是 100。这样会导致：当 ASIC/FPGA 正在访问 SRAM2 时，ASIC/FPGA 会读取错误的数据。因此，在同步突发中，各器件的 A0 和 A1 引脚连接必须互相匹配，但剩下的地址引脚不一定匹配。

6 总结

SRAM 的 65 nm 同步/NoBL 系列提供了通过引进 ECC 来改善软错误抵抗能力的功能。同 90 nm 技术相比，它的功耗、输入和输出电容以及结温额定值都得到降低。此外，65 nm 器件的外形形状、结构以及功能与 90 nm 器件的相兼容。

文档修订记录

文档标题: AN94077 — 同步/NoBL[®] SRAM 的 65 nm 技术与 90 nm 技术间的优势

文档编号: 001-95974

版本	ECN	变更者	提交日期	变更说明
*A	4720460	PRIT	04/08/2015	发布到网上。
*B	4854113	WEIZ	07/27/2015	本文档版本号为 Rev*B, 译自英文版 001-94077 Rev*B。
*C	4970002	DEVM	10/16/2015	本文档版本号为 Rev*C, 译自英文版 001-94077 Rev*C

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。如果想要查找离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

汽车级产品	cypress.com/go/automotive
时钟与缓冲区	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应	cypress.com/go/touch
USB 控制器	cypress.com/go/usb
无线/射频	cypress.com/go/wireless

PSoC® 解决方案

psoc.cypress.com/solutions

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#)

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

技术支持

cypress.com/go/support

PSoC 是赛普拉斯半导体公司的注册商标且 PSoC Creator 是赛普拉斯半导体公司的商标。此处引用的所有其他商标或注册商标归其各自所有者所有。

	赛普拉斯半导体公司	电话	: 408-943-2600
	198 Champion Court	传真	: 408-943-4730
	San Jose, CA 95134-1709	网址	: www.cypress.com

©赛普拉斯半导体公司，2015。此处所包含的信息可随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

该源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建定制软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受赛普拉斯软件许可协议的限制。