

CY27410 設計のベスト プラクティスについて

著者: Amitava Banerjee および Hiromu Takehara

関連プロジェクト: なし

関連製品ファミリ: CY27410

関連アプリケーション ノート: [AN94024](#)、[AN93892](#)

AAN94074 は組み込み先システムで最高性能を得るための CY27410 の基本的な設計ガイドラインを説明します。このベスト プラクティス ガイドは、CY27410 に適用可能な他の設計、製造およびソフトウェア ガイドラインと共に使用する必要があります。

はじめに

CY27410 は 4PLL のスペクトラム拡散クロック ジェネレーターで、最大 700MHz の 1ps 以下のジッタ性能を達成する 8 つの差動および 4 つのシングルエンド クロック 出力を生成します。本書では CY27410 のアーキテクチャ概要を説明し、組み込み先のシステムで最高性能を得るための設計ガイドラインを説明します。またサンプル クロッキング要件を満たすために CY27410 を使用する方法を示すケーススタディも含まれています。

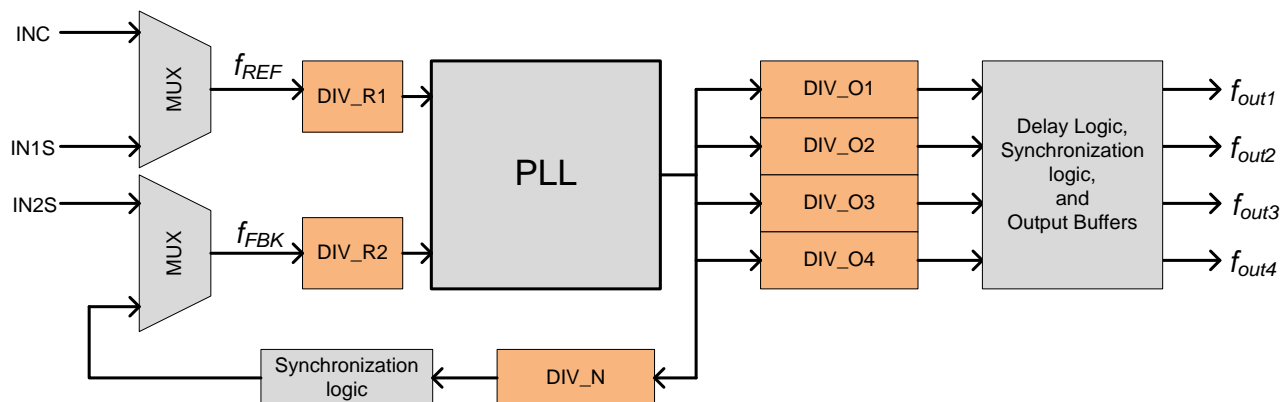
設定の一般規則

CY27410 PLL の基本アーキテクチャを図 1 に示します。本デバイスは倍率係数を使って PLL 出力ポートに合成されたクロックを生成します。出力周波数を決定する基本式は次のとおりです。

$$f_{OUT} = f_{REF} \times \frac{(DIV_N)}{(DIV_R) \times (DIV_O)}$$

- f_{REF} は入力リファレンス周波数で、
- DIV_R (DIV_R1 および DIV_R2) は入力リファレンス周波数の分周係数です。これらの分周器はプリスケラと呼ばれています。
- DIV_N はフラクショナル N 分周係数です。
- DIV_O (DIV_O1 、 DIV_O2 、 DIV_O3 、 DIV_O4) は出力端子前の後分周の係数です。

図 1. CY27410 PLL 簡略化したアーキテクチャ ブロック図



PLL 動作の周波数範囲は 2.4GHz~3GHz です。入力クロック (f_{REF}) はプリスケラ (DIV_R1 または DIV_R2) によって分周され、PLL の入力リファレンス クロックを生成します。 DIV_R カウンターのカウント値は 1~28 です。後分周の係数 DIV_O は 4~1020 の偶数です。制御ループは前の式に従って所望の f_{OUT} に一致するように PLL を駆動します。

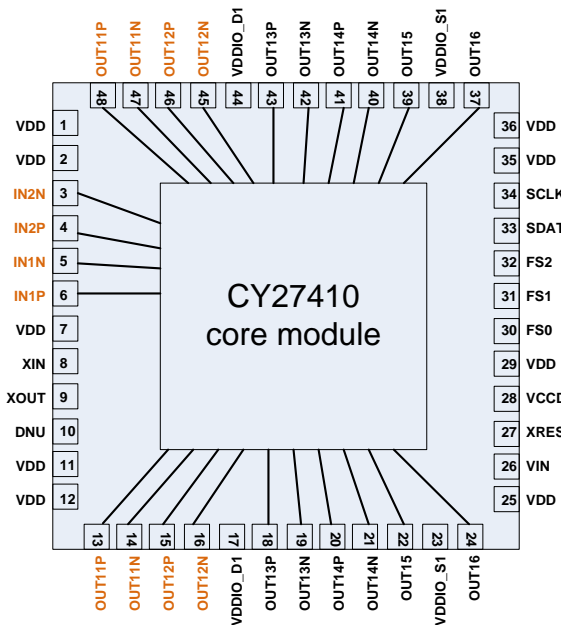
設計ガイドライン

2 個以上の PLL がアクティブになる高度な設計では、ジッタを回避するために、PLL 間の周波数間隔が最小になるよう周波数計画を立てる必要があります。これらの PLL 周波数は少なくとも 50MHz の間隔を持つ必要があります。これに反する場合、同じ周波数で動作する PLL ブロック間の干渉に起因するクロストークが発生する可能性があります。

入力リファレンス信号経路 (IN2N、IN2P、IN1N、IN1P ピンの信号配線) の付近では、すべての出力を LVPECL、LVDS、CML または HCSL などの差動信号規格とする必要があります。LVCMOS 規格とした場合、大きな電圧スイングが入力リファレンス周波数信号にクロストークを発生させます。発生するクロストークは PLL の性能に影響し、出力クロックにノイズが載ることがあります。

OUT11、OUT12、OUT21、OUT22 出力 (図 2 でのオレンジ色の信号ピン) は入力信号ライン (IN2N、IN2P、IN1N、IN1P) の近くにあるため、差動信号規格とすることが推奨されます。これらのラインのいずれかがシングル エンド CMOS 規格とされ、かつ 0V~3.3V の電圧スイングを持つ場合、隣接する差動ラインにもジッタが発生する可能性があります。LVCMOS 規格の出力はこれら 入力リファレンス クロック ラインから離して配置することをお勧めします。

図 2. 高周波入出力信号ラインを示す
CY27410 のピン配置図



CY27410 は全部で 4 つの I/O 電源電圧ドメインがあります。これらは VDDIO_D1 (OUT11 ~ OUT14)、VDDIO_S1 (OUT15、OUT16)、VDDIO_D2 (OUT21 ~ OUT24)、VDDIO_S2 (OUT25、OUT26) です。クロストークを低減し、良いジッタ性能を得るために、特定の VDDIO ドメインの全出力を 1 つの PLL から取り出すことが推奨されます。例えば OUT11~OUT14 出力を PLL1 から、OUT15、OUT16 出力を PLL2 から、OUT21~OUT24 から PLL3 から、OUT25、OUT26 を PLL4 から取り出します。

図 2 に CY27410 のピン配置図および高周波入出力ラインを示します。入力と出力ライン間のクロストークは PLL ジッタの大きな要因の 1 つです。このクロストークは IC 内部の配線から生じ変更できません。システム レベルでは、プリント基板レイアウトは入力と出力ライン間のシールドに特別な注意を払う必要があります。

この他、すべての電源ピンをコンデンサでデカップリングし、フェライト ビーズをできる限り電源ピンの近くに配置する必要があります。

例: サイプレスのクロックで複数の周波数を発生する

以下の例は次のサンプル クロッキング要件を満たすために CY27410 を使用する方法を説明するケーススタディです。

- 3 つの PCIe の第 2 世代のスペクトラム拡散 (SS) クロック (それぞれ 100MHz の周波数、位相が整い 0.5% 下方拡散をほどこす)
- 4 つの異なるアプリケーション用の 5 つの専用 LVCMOS クロック:
 - ASIC 用の 1 つの 33.33MHz (0.5% 下方拡散) クロック
 - イーサネット用の 1 つの 25.00MHz クロック
 - モデム用の 1 つの 24.576MHz クロック
 - CPU 用の 1 つの 20.00MHz クロック
 - ASIC 用の 1 つの 64.00MHz (0.5% 中央拡散) クロック

CY27410 を使ってこのシステムを設計する最初の仕事は周波数の計画を立てることです。4 個の PLL 周波数の計画は以下の方法で立てる必要があります。

1. 33.33MHz の SS と 100.00MHz の SS は関連性がありますが、64MHz の SS は関連性がありません。したがって 33.33MHz、64MHz、100MHz クロックを生成するために 2 個の PLL が必要になります。

注: PLL 周波数の範囲が 2400MHz~3000MHz で、64 と 100 の最小公倍数が 1600 のため、両方のクロック出力を生成できるように特定の PLL の周波数を設定する解決法はありません。そのため 64MHz と 100MHz クロックは「関係性がない」とされます。

2. 24.576MHz が他のクロックと関係性がないため、ユーザーは 24.576MHz クロックをリファレンス入力として選択するか、このクロックを 1 個の PLL から生成する必要があります。
3. 20.00MHz と 25.00MHz のクロックは 1 個の PLL から生成することができます。
4. ASIC 用に 1 つの 64.00MHz (0.5%中央拡散) クロックがあります。

そのため PLL を次のように割り当てます。

1. 24.576MHz をリファレンス クロックとして使用します。
2. 4 つのスペクトラム拡散クロック (3 つが 100MHz PCIe クロックで、1 つが 33.33MHz ASIC クロック) を PLL1 から生成できます。
3. 1 つの 25MHz イーサネット クロックと 1 つの 20MHz CPU クロックを PLL2 から生成できます。
4. 24.576MHz モデム クロックを PLL3 から生成できます。
5. 64.00MHz (0.5%中央拡散) クロックを PLL4 から生成できます。

結論

本書では、CY27410 で最高性能を得るための設計上の推奨事項を説明しました。本書で説明するガイドラインはシステム設計者が適切な PLL 周波数および出力設定の計画を立てる手助けになります。ただし標準的なプログラミング ガイドラインに従ってすべての内部および出力パラメーターを設定することが常にできるわけではありません。それは、システム設計の複雑さ、CY27410 にクロック供給されるインターフェース デバイスの数、動作周波数、出力バッファ標準、電圧の要件、ジッタ仕様などに左右されます。

設計者は CY27410 の設計コンフィギュレーションが最良かどうかを意識する必要があります。この基本知識で設計者は、異なるアプリケーション間でトレードオフが生じる難易度の高いシステムの設計に取り組むことができます。

著者について

氏名: Amitava Banerjee および Hiromu Takehara

役職: アプリケーション エンジニア

経歴: Amitava Banerjee はインド工科大学 (IIT) カラグプル校で電気工学の修士号を取得しました。

Hiromu Takehara はサイプレスのタイミング ソリューション ビジネス ユニットで 14 年間勤務するシステム レベル の専門家です。

改訂履歴

文書名: CY27410 設計のベスト プラクティスについて – AN94074

文書番号: 001-98156

版	ECN	改版者	発行日	変更内容
**	4837670	HZEN	07/17/2015	これは英語版 001-94074 Rev. **を翻訳した日本語版 001-98156 Rev. **です。

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

車載	cypress.com/go/automotive
クロック&バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明 & 電力制御	cypress.com/go/powerpsoc cypress.com/go/plc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/usb
ワイヤレス/RF	cypress.com/go/wireless

PSoC[®]ソリューション

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカル サポート

cypress.com/go/support

PSoC はサイプレス セミコンダクタ社の登録商標であり、PSoC Creator は同社の商標です。本書で言及するその他すべての商標または登録商標は、それぞれの所有者に帰属します。



Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709
Phone : 408-943-2600
Fax : 408-943-4730
Website : www.cypress.com

© Cypress Semiconductor Corporation, 2015. 本文書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤作動や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

このソースコード (ソフトウェアおよび/またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンスに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンスの製品のみをサポートするカスタム ソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限って、サイプレスのソース コードの派生著作物をコピー、使用、変更して作成するためのライセンス、ならびにサイプレスのソース コードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソース コードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責条項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任にも負いません。サイプレスは、誤作動や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。